

기본 연산 증폭기 안정성에 대한 개요

Jerry Madalvanos
 Applications Engineer
 Precision Signal Conditioning

연산 증폭기 회로에서 가장 일반적인 문제 중 하나는 안정성입니다. 이 문서에서는 안정성에 관한 세 가지 중요한 질문에 답하겠습니다.

- 신뢰할 수 있는 설계에 얼마나 많은 위상 마진이 필요한지?
- 불안정한 회로를 어떻게 보상합니까?
- 안정성 문제에 사용할 수 있는 드롭인 솔루션은 무엇입니까?

위상 여유는 얼마나 필요할까요?

연산 증폭기 루프 안정성은 위상 여유로 측정하는데, 이는 출력 폐쇄형 루프 게인이 1보다 낮아질 때 출력 신호 위상 편이의 차이입니다. 어떤 변이는 모든 연산 증폭기(예: 우세한 극)에 고유한 변화이며, 증폭기 주변의 애플리케이션과 구성 요소에 따라 추가 변이가 달라집니다.

경험 법칙별로 30, 45 또는 60도의 위상 여유를 권장하지만 안정적인 성능을 보장하기 위해 얼마나 필요할까요? 기존의 밀러 보상 연산 증폭기의 경우 일반적인 프로세스 변동을 시뮬레이션하고 그 결과로 위상 여유에 미치는 영향을 관찰할 수 있습니다.

그림 1은(는) 1MHz 유니티 게인 대역폭과 $Z_o = 300\Omega$ 를 갖는 연산 증폭기의 개방형 루프 게인(AOL)과 출력 임피던스(Z_o)의 근사치입니다. 프로세스 변동에 따라 밀러 커패시터(C26)의 값은 약 $\pm 30\%$ 와 온도에 따른 추가 $\pm 30\%$ (근사치)가 될 수 있습니다. 이 변이는 $\pm 30\% \times \pm 30\%$ 의 총 오차를 제공하며, 이는 $\pm 30\% + \pm 9\%$ 또는 $\pm 39\%$ 변동과 동일합니다. 밀러 커패시터의 값은 연산 증폭기의 AOL에서 지배적 극점의 배치를 변경하기 때문에 이러한 변동은 유니티 게인 대역폭 및 위상 여유에 큰 영향을 미칠 수 있습니다. 따라서 이러한 사양은 정밀 증폭기와 고속 증폭기에도 항상 일반 값으로 주어집니다.

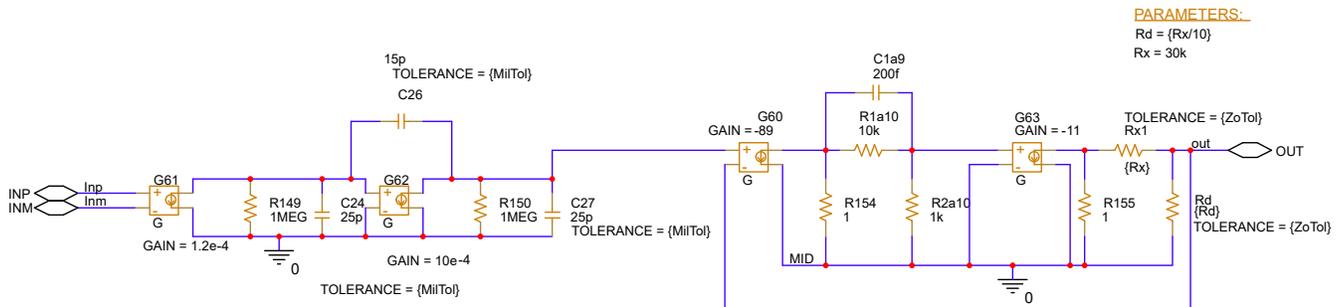


그림 1. T1용 PSpice® 회로를 위한 개방형 루프 게인 및 출력 임피던스

그림 1의 증폭기는 부하 저항과 커패시턴스로 설정되어 있으므로 피드백 루프에 45도의 위상 여유가 있습니다. 루프 안정성의 주요 요소인 밀러 커패시터, 개방형 루프 출력 임피던스, 증폭기 주변의 수동 장치에 대해 몬테카를로 분석을 실행하면 프로세스 변화 및 온도에 따른 변화가 회로의 위상 여유에 어떤 영향을 미치는지에 대한 추정치를 볼 수 있습니다.

그림 2에서는 결과적인 위상 여유를 표시합니다. 이 분석을 위해 밀러 커패시터에 $\pm 140\%$ 변화, Z_o 의 경우 $\pm 15\%$ 변화, 부하 커패시터의 경우 $\pm 10\%$, 부하 저항에 $\pm 5\%$ 를 적용했습니다. 이는 밀러 커패시터 및 Z_o 에 대한 예상 내부 허용 오차와 많은 범용 애플리케이션에 일반적인 구성 요소 정밀도입니다.

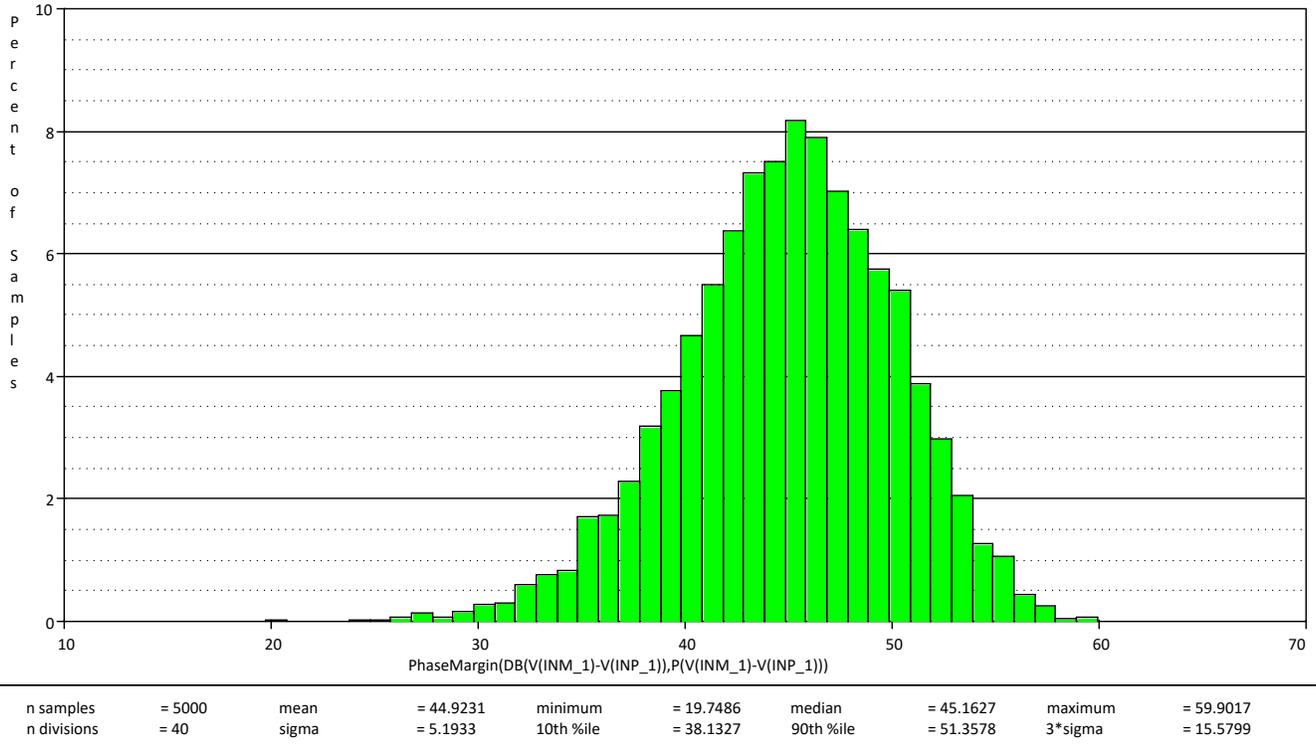


그림 2. 예상 공정 변화 및 온도 변화에 대한 5,000회의 몬테카를로 분석

이 변동을 통해 피드백 루프의 위상 여유는 최소 위상 여유인 19도, 45도에서 26도의 편차를 보입니다. 프로세스 변화 및 온도를 통해 약 27도의 위상 여유가 있을 경우 회로는 안정된 상태로 유지되지만 45도가 양호한 과도 성능과 정착 시간을 모두 제공합니다. 위상 여유가 0도에 가까울수록 출력이 최종 값을 오버슈트할수록 최종 출력 값으로 안정화하는 데 더 오래 걸립니다. 45도의 위상 여유는 정착 시간에 영향을 주거나 과도한 오버슈트 없이 위상 여유 변화를 허용할 수 있는 충분한 설계 허용 오차를 제공합니다.

이러한 시뮬레이션은 밀러 커패시터 변화가 성능에 미치는 영향을 이해하는 데 도움이 되지만, 궁극적으로 설계의

성능에 대한 책임은 회로 설계자에게 있습니다. 시뮬레이션은 계산 집약도를 낮추기 위해 많은 이상적인 속성을 가정하여 포함된 비이상적인 속성만큼만 정확합니다.

보상 체계

전압 레일 조정, 아날로그-디지털 컨버터의 필터 커패시턴스 또는 기타 회로 요구 사항에 대해 연산 증폭기 출력의 커패시터를 줄일 수 없는 경우가 있습니다. 이러한 경우 적절한 위상 마진을 어떻게 달성할까요? 위상 마진을 높일 수 있는 여러 보상 체계가 있지만 이 문서에서는 **그림 3**과 **그림 4**에 보이는 두 가지 즉, 절연 저항(Riso)과 Riso 듀얼 피드백에 초점을 맞춥니다. 이러한 회로를 설계할 때 피드

백 루프를 안정화하는 데 필요한 Riso의 값을 결정하기 어려울 수 있습니다.

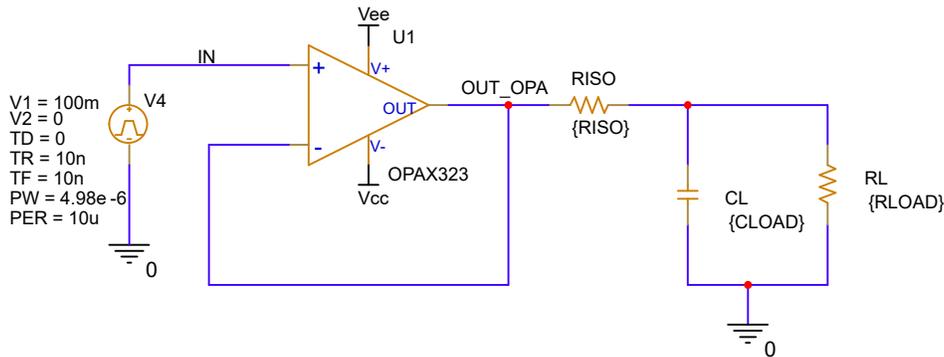


그림3. 위험 보상 체계.

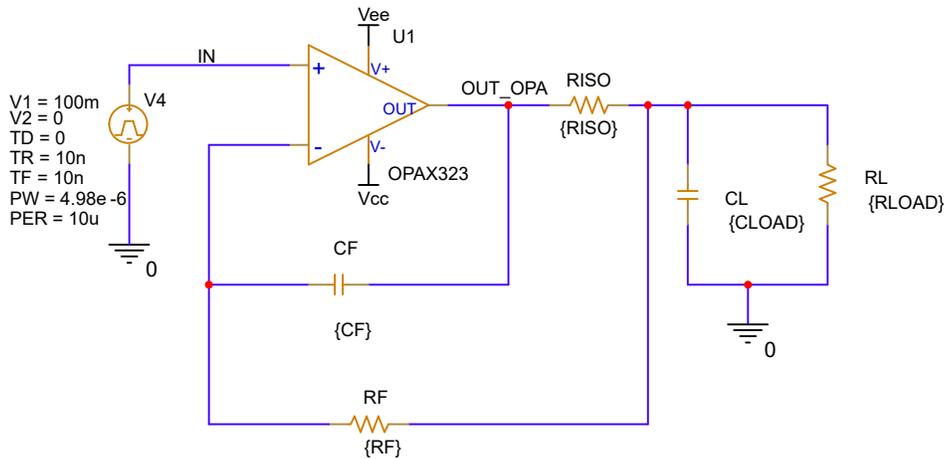


그림4. Riso 듀얼 피드백 체계.

Riso는 부하 커패시턴스에 의해 유입되는 위상 지연을 절연하는 가장 간단한 방법입니다. 여기에는 피드백 루프와 부하 커패시터 사이에 저항을 배치하는 것이 포함됩니다. 하지만 한 가지 단점은 출력에 부하 전류가 있을 때 DC 정확도가 감소한다는 것입니다. DC 오류의 양은 절연 저항 값에 출력 전류를 곱한 값이 됩니다.

Riso 듀얼 피드백 보상 체계는 이러한 DC 부정확성을 극복합니다. 이 회로는 피드백 커패시터를 통과하는 고주파 경로를 지원하여 연산 증폭기가 절연 저항기의 $I \times R$ 강하를 보상할 수 있도록 피드백 루프와 DC 경로를 안정화합니다. Riso의 다른 값을 시도하고 안정적인 작동이 있는 위치를 확인하여 이러한 값을 수학적으로 또는 시뮬레이션을 통해 찾을 수 있습니다.

시뮬레이션 결과와 함께 수학적 분석을 사용하는 접근 방식을 사용해 보겠습니다.

중폭기 루프 안정성을 정확하게 모델링하기 위한 두 가지 주요 구성 요소는 개방형 루프 게인과 개방형 루프 출력 임피던스입니다. TI의 표준 연산 증폭기 매크로 모델인 Green-Williams-LIS(GWL) 모델은 2016년 이후에 출시된 모든 연산 증폭기에 대한 이러한 매개 변수를 정확하게 특성화합니다. LM2904 및 최신 버전인 LM2904B와 같이 널리 사용되는 연산 증폭기 중 상당수에도 GWL 매크로 모델이 만들어져 있습니다. SPICE 매크로 모델용 라이브러리 파일에는 SPICE 모델에 정확하게 반영되는 매개 변수를 자세히 설명하는 헤더가 포함되어 있습니다. 개방형 루프 게인과 개방형 루프 출력 임피던스를 모델링하면 모델의 안정성이 실리콘의 성능을 반영할 가능성이 높습니다.

SPICE 모델의 정확도를 보장하면 회로의 루프 안정성을 분석하고 수학적으로 Riso에 대한 최적의 값을 계산할 수 있습니다. 45도의 위상 마진을 보장하는 Riso 값은 피드백 팩터(1/베타)와 증폭기 개방형 루프 이득의 교차점 지점에서 피드백 루프에 0을 생성해야 합니다. 추가적인 보증을 위해 개방 루프 이득이 20dB인 0을 설정하면 피드백 루프의 0에서 최대 양의 위상 편이를 볼 수 있습니다.

보상	수식
큰 정전식 부하	
Riso(최소)	$R_{iso} = \frac{1}{2 \pi f_{AOL \text{ Loaded} = 0dB} C_{LOAD}}$
Riso	$R_{iso} = \frac{1}{2 \pi f_{AOL \text{ Loaded} = 20dB} C_{LOAD}}$
Riso + 듀얼 피드백	$R_F \geq R_{ISO} \cdot 100$ $\frac{5 \times R_{iso} \times C_L}{R_F} \leq C_F \leq \frac{10 \times R_{iso} \times C_L}{R_F}$

표 1. Riso 듀얼 피드백에 대한 절연 저항 값과 피드백 구성 요소를 계산하는 공식.

TI용 PSpice의 강력한 기능 중 하나는 이후 회로도에 대한 시뮬레이션 및 방정식을 설정, 보관 및 공유할 수 있다는 것입니다. Riso 및 Riso 듀얼 피드백에 대한 평가는 공식적이고 쉽게 반복할 수 있는 것이므로 이러한 템플릿 프로젝트를 활용하여 4가지 일반적인 연산 증폭기 회로에 대해 Riso 또는 RF/CF를 계산하는 공식을 기억할 필요가 없습니다. TI용 PSpice 프로젝트를 다운로드하고, 분석하려는 연산 증폭기를 놓고, 안정화가 필요한 특정 회로를 완성하는 매개 변수를 입력하고, 시뮬레이션을 실행하여 필요한 Riso 값을 찾으면 됩니다. 이러한 프로젝트는 인버팅 단자의 커패시턴스로 불안정한 회로를 보상하거나 피드백 저항이 매우 큰 회로를 보상할 수도 있습니다.

회로 유형	TI용 PSpice 프로젝트
버퍼 증폭기	https://www.ti.com/lit/zip/sbomcj2
반전 증폭기	https://www.ti.com/lit/zip/sbomcj0
비반전 증폭기	https://www.ti.com/lit/zip/sbomcj9
차동 증폭기	https://www.ti.com/lit/zip/sbomcj1

드롭인 솔루션

추가적인 보상 회로를 원하지 않거나 이를 추가할 수 없는 경우도 있습니다. TI의 OPA994 장치 제품군은 정전식 부하에 걸쳐 안정적인 특수한 보상 구조가 있습니다. 이는 출력에 따라 장치의 대역폭이 변하기 때문에 가능합니다. 출력 임피던스와 정전식 부하에 의해 도입된 극보다 대역폭을 지속적으로 낮게 유지하면 출력에 배치하는 커패시터에 관계없이 증폭기의 안정성을 유지할 수 있습니다. 그림 5에서는 OPA994 데이터 시트에서 가져온 외부 보상 저항이 없는 부하 커패시턴스의 여러 값에 대한 위상 마진을 보여줍니다.

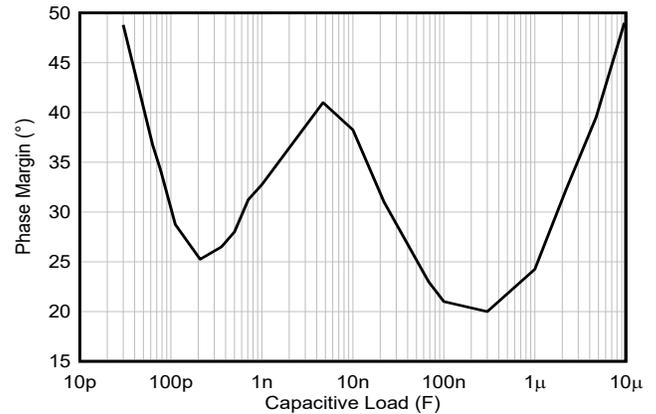


그림 5. 유닛이 게인으로 다양한 용량성 부하에 걸친 위상 마진.

모든 설계 결정에는 장점 외에도 비용이 필요하며 OPA994 장치 제품군도 제품군도 예외는 아닙니다. 설계가 복잡해지면 장치가 더 커지므로 단순한 장치보다 비용이 더 많이 듭니다. 또한 이는 장치가 0.64mm²의 초소형 아웃라인 무연(X2SON)패키지와 같은 TI의 가장 작은 패키지에 들어갈 수 없습니다. 이 설계는 현재 양극 증폭기에서만 사용할 수 있으므로 CMOS(상보성 금속 산화막 반도체)의 낮은 입력 바이어스 전류가 필요한 경우 이 장치의 입력 바이어스 전류가 너무 높을 수 있습니다.

양극 증폭기와 함께 사용하면 CMOS 장치보다 낮은 정동작 전류를 위해 더 낮은 잡음과 대역폭을 비롯하여 많은 이점이 있습니다. 바이폴라 대 CMOS의 전체 트레이드 오프는 회로별로 평가할 수 있습니다[1]. 전체적으로 OPA994는 안정성을 위한 드롭인 솔루션 역할을 할 수 있습니다.

마무리

초기 설계 단계에서 주요 질문은 프로세스 변화 및 온도에 걸쳐 안정적인 성능을 발휘하기 위해 얼마나 많은 위상 마진이 충분한가입니다. 초기 구현의 위상 마진이 충분하지 않은 경우 위상 마진을 허용 가능한 수준으로 높이기 위해 여러 보상 체계를 사용할 수 있습니다. 이러한 솔루션은 TI 용 PSpice의 사전 구성되고 사용이 편리한 프로젝트를 통해 제공됩니다. 마지막으로, 안정성 문제가 발생하는 프로젝트가 이미 생산 중인 경우 제안된 드롭인 솔루션을 사용합니다.

참고 자료

1. **CMOS, JFET 및 양극 입력 단계 기술 사이의 절충점** – Marek LIS

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

모든 상표는 해당 소유권자의 자산입니다.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated