

Technical Article

히킵 오류 응답을 지원하는 전력 컨버터를 래치하는 방법



Pradeep Shenoy

전력 컨버터는 일반적으로 원치 않는 고장 시나리오에서 보호하도록 설계되었습니다. 예를 들어 컨버터 출력에서 너무 많은 전류가 유입되면 과전류 보호 기능이 체결될 수 있습니다. 이는 컨버터의 출력 단자가 실수로 함께 단락되거나 부하 전류가 설계된 최대 전류보다 높은 경우 유용합니다. 다른 일반적인 오류 상황으로는 열 차단 트립 포인트 초과(과열)와 출력 전압이 범위를 벗어나는 것(과전압 또는 저전압)이 있습니다.

장애에 대응하는 일반적인 방법은 히킵이라고 합니다. 전력 컨버터는 자동으로 꺼지고, 잠시(예: 30ms) 기다린 다음 자동으로 다시 시작됩니다. **그림 1**은 이 응답의 예를 보여주며 출력 전압과 인덕터 전류를 모두 측정합니다. 히킵 오류 응답은 시스템에 외부 개입 없이 회복할 수 있는 기회를 제공합니다. 또한 출력 단락 시 소비되는 전력과 발열을 줄이는 데 도움이 됩니다.

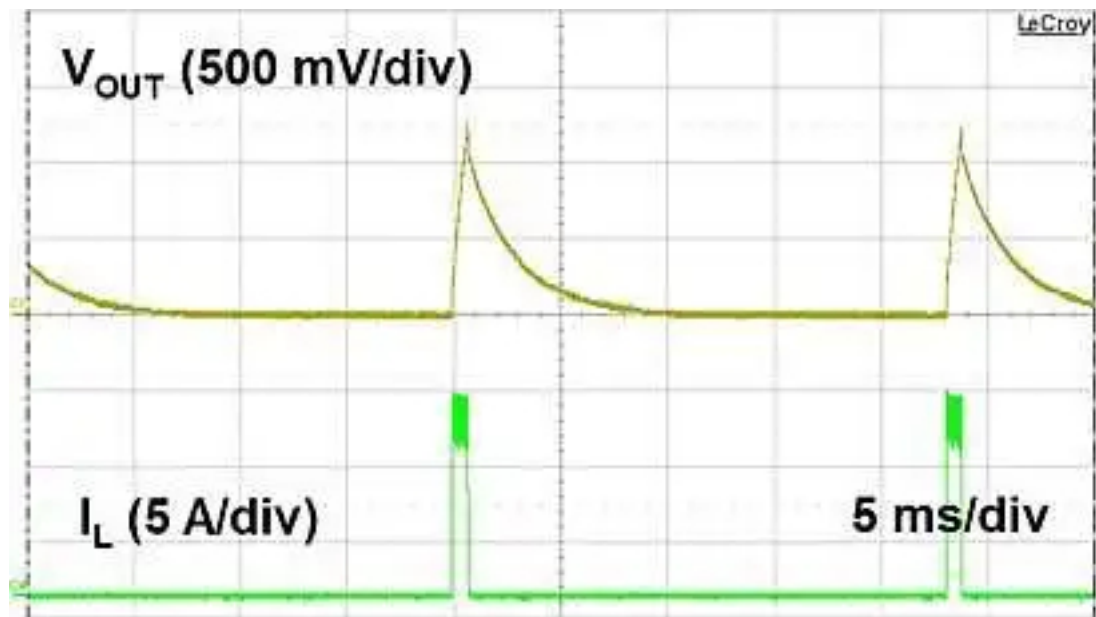


그림 1. 과전류 시나리오로 인한 히킵 오류 응답.

히킵 응답을 원하지 않는 경우가 있습니다. 중앙 컨트롤러가 보다 복잡하거나 정교한 방식으로 오류 응답을 관리하기를 원할 수도 있습니다. 일부 시스템에는 이중화 기능이 내장되어 있어 결함이 있는 하위 시스템을 완전히 꺼서 작동하는 하위 시스템을 방해하지 않도록 하려는 경우도 있습니다. 이러한 경우, 원하는 오류 응답은 결함이 있는 전원 컨버터를 래치하는 것입니다. 전력 컨버터를 래치하여 활성화(EN) 핀 또는 공급 전압을 사이클해 래치를 재설정하지 않는 한 전력 컨버터가 재시작되지 않습니다. **TPS53511**과 같은 일부 디바이스에는 래치 오프 응답이 내장되어 있지만 대부분은 아닙니다.

간단한 SR(설정/리셋) 래치 회로를 사용하여 전력 컨버터에 래치 오프 오류 응답을 추가할 수 있습니다. **그림 2**에서는 SR 래치 및 해당 진리표를 보여줍니다. 이 예에서 SR 래치에 액티브 로우 입력이 있습니다. 즉, 입력이 높을 때 출력 Q와 Q-Bar는 변하지 않는다는 것을 의미합니다. 설정 입력이 낮아지면 Q가 높음으로 설정됩니다(1). 리셋이 낮아지면 Q가 낮아집니다(0). 두 입력이 모두 낮으면 출력이 결정되지 않은 상태이므로 일반적으로 피해야 하는 상황입니다. 추가적인 로직 게이트가 이 상황을 극복할 수 있습니다.

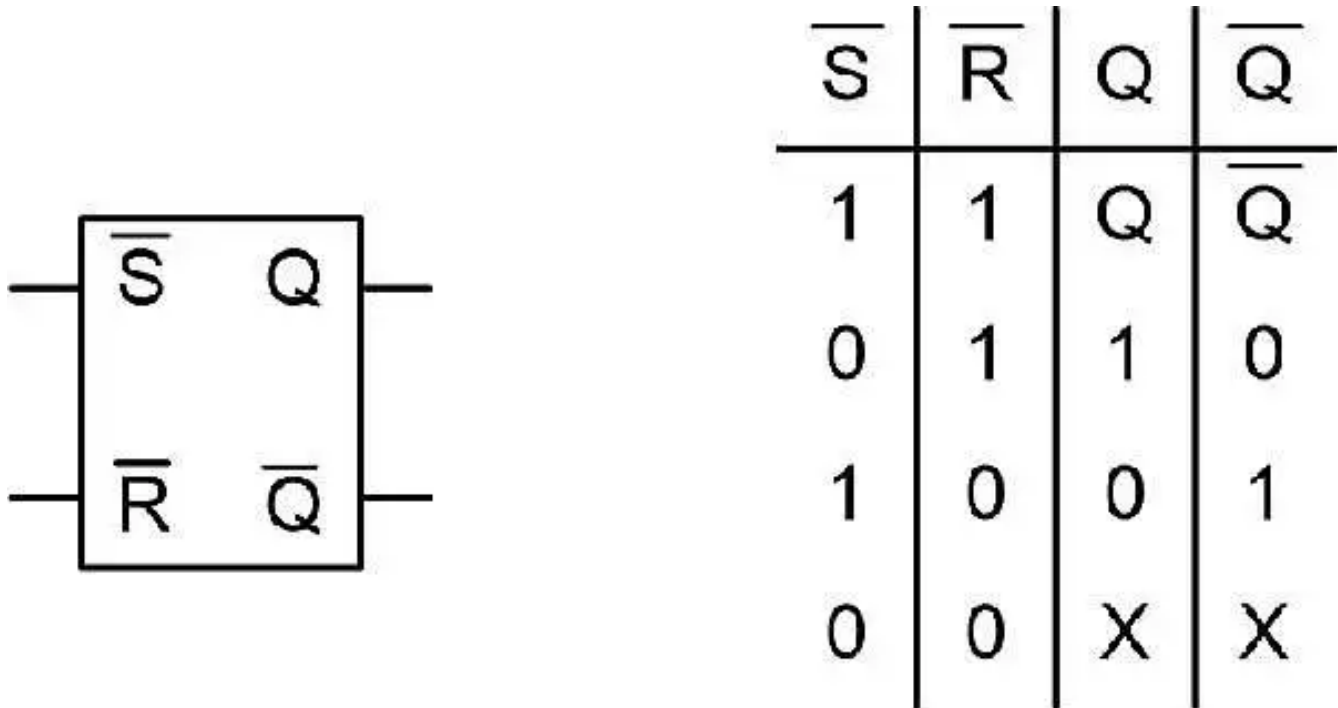


그림 2. 액티브 로우 입력 및 해당 진리표를 지원하는 SR 래치.

그림 2은 래치 회로를 구현하는 개략적인 접근 방식을 보여줍니다. 많은 전력 컨버터 및 모니터링 회로에는 전력 양호 (PGOOD) 출력이 있습니다. 컨버터에 오류가 있는 경우 PGOOD 신호가 낮아져 컨버터에 문제가 있음을 나타냅니다. PGOOD 신호가 낮아지면 래치 회로(Q)의 출력이 높아져 컨버터의 EN 핀이 낮아집니다. EN 핀이 낮아지면 컨버터가 꺼지고 자체적으로 재시작되지 않습니다. 래치로 전송되는 리셋 신호는 컨버터를 재시작하고 Q 출력을 낮게 제공하여 EN 핀을 높게 설정합니다. 인버터는 더 간소화된 인터페이스를 위해 포함되어 있으며, 오픈 드레인 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET)로 구현됩니다.

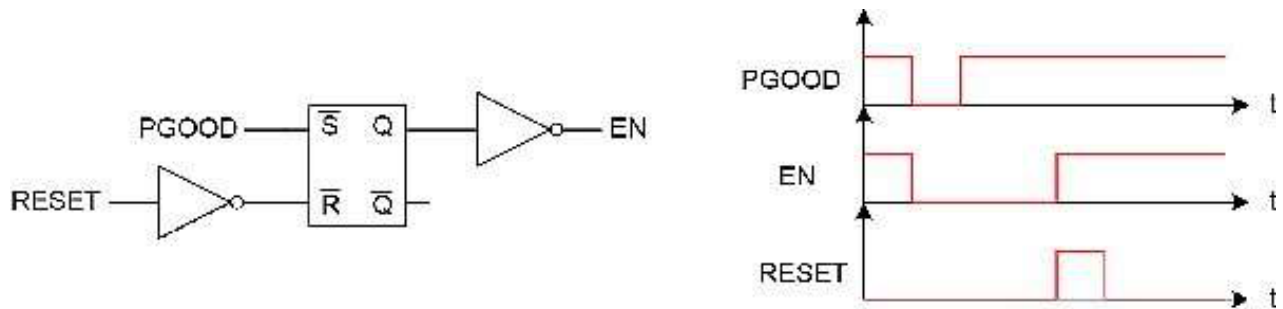


그림 3. 래치 회로 개요 및 예시 신호 다이어그램.

PGOOD 신호가 낮은 상태에서도 컨버터가 올바르게 시작되거나 다시 시작될 수 있도록 하려면 래치 회로가 리셋 지배적이어야 합니다. 즉, 설정 및 리셋 입력이 모두 낮으면 리셋 입력이 우세하여 Q 출력이 낮아질 것입니다. 그림 4에서는 해당 진리표와 함께 NAND 게이트만 사용하여 간소화된 구현을 보여줍니다. 듀얼 NAND 게이트 SN74AUP2G00 집적 회로(IC) 2개 또는 쿼드 NAND 게이트 SN74HC00 IC 1개를 사용하여 이 회로를 생성할 수 있습니다.

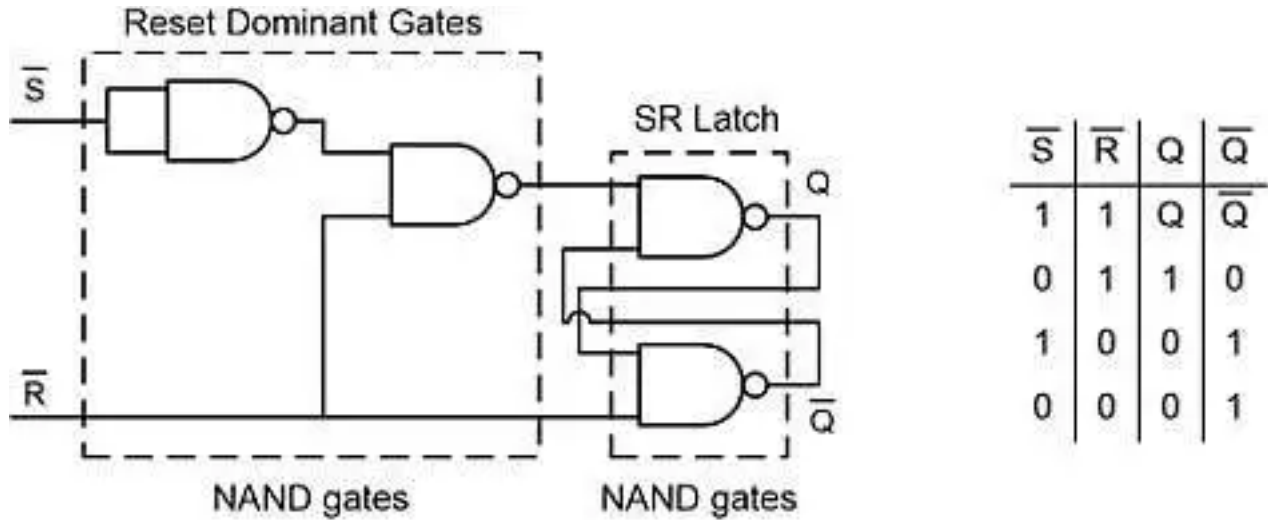


그림 4. NAND 게이트 및 해당 진리표를 사용하는 리셋 지배적 래치 회로.

그림 4에서는 래치 오프 회로의 전반적인 구현을 보여줍니다. 전력 컨버터의 PGOOD 핀은 외부 저항(최대 3.3V)을 사용하여 높게 끌어올립니다. 오류가 발생할 때마다 PGOOD에 연결된 오픈 드레인 MOSFET가 S-바 입력을 끌어내어 래치를 낮춥니다. Q 출력이 올라가면 MOSFET S1이 켜집니다. EN 핀이 낮아지면 컨버터가 꺼지고 히킵 자동 재시작을 방지합니다. 컨버터 입력 전압 레일(PVIN)이 상승하면 기생 게이트-드레인 커패시턴스(C_{gd})를 통한 정전 용량 커플링이 S1의 게이트를 끌어 올려 전원을 켤 수 있습니다. S1 게이트의 풀다운 저항은 S1이 실수로 켜지지 않도록 하는데 도움이 될 수 있습니다.

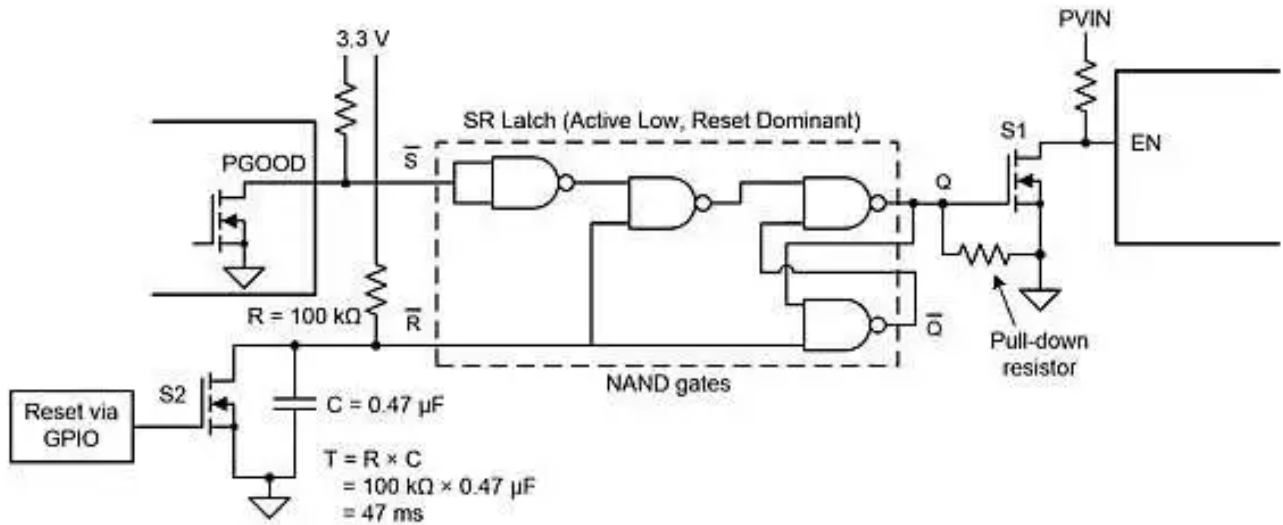


그림 5. 리셋 가능한 래치 오프 회로.

SR 래치에 대한 R-바 입력은 100kΩ 저항을 통해 높아집니다. 오픈 드레인 MOSFET S2는 S2의 게이트에 리셋 신호가 제공될 때마다 R-Bar 신호를 낮게 끌어내릴 수 있습니다. 커패시터(C, S2와 병렬로 연결된)는 풀업 저항 R을 사용하는 지연 회로를 형성합니다. 이 예에서는 지연의 RC 시간 상수가 약 47ms입니다. 이러한 지연을 조정하여 시동 중 R-Bar 입력을 낮은 상태로 유지할 수 있습니다. R-바의 느린 에지 속도는 과도한 전류 유입으로 인해 일부 CMOS(상보성 금속 산화막 반도체) NAND 게이트의 **입력을 손상**시킬 수 있습니다. 하지만 SN74AUP2G00 게이트는 드라이버가 상대적으로 약하기 때문에 손상을 입지 않습니다.

또 다른 방법은 슈미츠 트리거 입력 NAND 게이트를 사용하거나 R-바 입력에 슈미츠 트리거 버퍼를 추가하는 것입니다. 세 번째 옵션에서는 스위치 S2를 지속적으로 켜서 시동 중 R-바를 낮추면 R과 C 값을 조정하여 RC 지연을 줄이거나 완전히 제거할 수 있습니다.

여기에서 설명된 회로를 래치 오프 고장 응답이 필요한 다양한 전원 컨버터 애플리케이션에서 사용할 수 있습니다. 래치 오프 회로는 유연하고 안정적인 솔루션을 위해 몇 가지 간단한 부품과 로직 게이트를 사용합니다.

관련 문서

- 회로는 히킵 전류 제한을 제공합니다
- 잠금 전원 스위치는 임시 푸시 버튼을 사용합니다
- 오류 래치 회로가 스위처를 보호합니다

이전에 EDN.com에 게시됨 .

중요 알림 및 고지 사항

TI는 기술 및 신뢰성 데이터(데이터시트 포함), 디자인 리소스(레퍼런스 디자인 포함), 애플리케이션 또는 기타 디자인 조언, 웹 도구, 안전 정보 및 기타 리소스를 "있는 그대로" 제공하며 상업성, 특정 목적 적합성 또는 제3자 지적 재산권 비침해에 대한 묵시적 보증을 포함하여(그러나 이에 국한되지 않음) 모든 명시적 또는 묵시적으로 모든 보증을 부인합니다.

이러한 리소스는 TI 제품을 사용하는 숙련된 개발자에게 적합합니다. (1) 애플리케이션에 대해 적절한 TI 제품을 선택하고, (2) 애플리케이션을 설계, 검증, 테스트하고, (3) 애플리케이션이 해당 표준 및 기타 안전, 보안, 규정 또는 기타 요구 사항을 충족하도록 보장하는 것은 전적으로 귀하의 책임입니다.

이러한 리소스는 예고 없이 변경될 수 있습니다. TI는 리소스에 설명된 TI 제품을 사용하는 애플리케이션의 개발에만 이러한 리소스를 사용할 수 있는 권한을 부여합니다. 이러한 리소스의 기타 복제 및 표시는 금지됩니다. 다른 모든 TI 지적 재산권 또는 타사 지적 재산권에 대한 라이선스가 부여되지 않습니다. TI는 이러한 리소스의 사용으로 인해 발생하는 모든 청구, 손해, 비용, 손실 및 책임에 대해 책임을 지지 않으며 귀하는 TI와 그 대리인을 완전히 면책해야 합니다.

TI의 제품은 ti.com에서 확인하거나 이러한 TI 제품과 함께 제공되는 [TI의 판매 약관](#) 또는 기타 해당 약관의 적용을 받습니다. TI가 이러한 리소스를 제공한다고 해서 TI 제품에 대한 TI의 해당 보증 또는 보증 부인 정보가 확장 또는 기타의 방법으로 변경되지 않습니다.

TI는 사용자가 제안할 수 있는 추가 또는 기타 조건을 반대하거나 거부합니다.

주소: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated