

전력 밀도를 높이는 것의 장단점 및 기술의 이해



Jeffrey Morroni, Ph.D.
Manager - Kilby Power, Isolation and Motors
Texas Instruments

Pradeep Shenoy, Ph.D.
Manager, Power Design Services
Texas Instruments

TI POWER

전원 공급 장치의 크기를 줄이는 것이 성공적인 설계의 핵심인 경우가 많습니다. 공간은 제한적이고 효율성을 높여야 한다는 압박은 계속됩니다. 게다가 새 시장과 애플리케이션에서 전원 공급 장치의 소형화는 계속해서 이루어질 것입니다.

한눈에 보기

본 문서는 전력 밀도 증가의 제한 요소를 살펴보고 설계자가 이러한 문제를 극복하는 데 도움이 되는 기술적 예시를 제공합니다.



전력 밀도란?

상황에 따라 여러 관점으로 전력 밀도를 볼 수는 있지만 목표는 동일합니다. 솔루션 크기의 감소는 전력 밀도의 향상으로 이어집니다.

1



전력 밀도를 제한하는 요소는?

설계자의 전력 밀도 개선을 제한하는 주요 요소는 전도, 전하 관련, 역복구, 턴온 및 턴오프 손실을 포함한 컨버터 전력 손실과 시스템의 열 성능입니다.

2



전력 밀도의 장애물을 무너뜨리는 방법

설계자는 밀도를 제한하는 각 요소를 동시에 공략해야 합니다. 스위치 손실을 줄이고, 패키지 열 성능을 높이고, 혁신적인 토폴로지 및 회로를 도입해야 하며, 더 많은 수동 통합을 수용해야 합니다.

3

높은 전력 밀도에 대한 트렌드는 수십 년 동안 업계에 존재했고 앞으로도 계속될 것입니다. **그림 1**에서 6A~10A 전원 모듈의 컨버터 크기가 시간에 따라 작아지고 있음을 볼 수 있습니다. 기술의 발전에 따라 크기가 작아지거나 전력 출력 용량이 크게 늘어날 수 있습니다. 각각의 선은 새로운 세대의 기술을 보여주며 그에 따라 전력 밀도가 어떻게 커졌는지 보여줍니다.

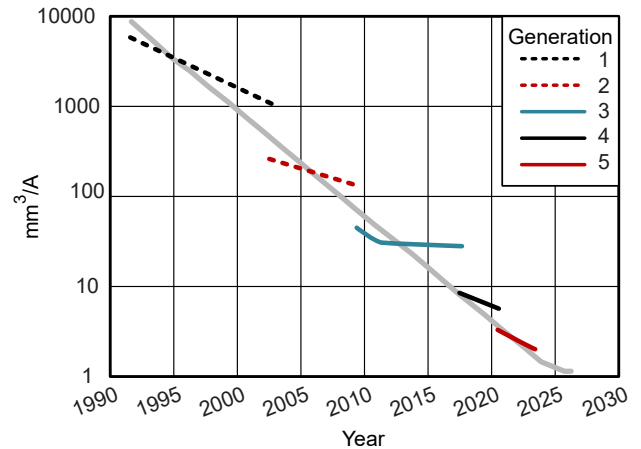


그림 1. 시간의 흐름과 새로운 기술 세대의 등장에 따른 전원 모듈 크기의 감소.

전력 밀도가 향상되면 효율성이나 비용과 같은 다른 영역의 발전도 뒤따를 수 있습니다. 일반적으로 전력 변환 효율성이 근본적으로 개선되면 솔루션 크기가 감소할 수 있습니다. 이러한 감소는 물리적 자재 감소, 부품 수 감소, 비용 구조 개선, 솔루션 통합 증가, 총 소유 비용 감소와 같은 파급 효과를 낳습니다.

전력 밀도란?

전력 밀도는 지정된 공간에서 처리할 수 있는 전력을 측정하는 것으로, 부피 단위에 따라 처리되는 전력량을 입방미터당 와트(W/m³) 또는 입방인치당 와트(W/in³) 단위로 수량화한 것입니다. 이 값은 **그림 2**에 나와 있듯이 컨버터의 전력 등급과 모든 부품이 포함된 전원 솔루션의 **외형 체적(길이 × 너비 × 높이)**을 기준으로 계산됩니다. 적절한 전력 레벨 또는 크기로 장치를 확장할 수 있습니다. 예를 들어 전기 자동차에 있는 온보드 배터리 충전기의 FOM(Figure Of Merit)은 리터당 킬로와트인데 이 전력 컨버터가 킬로와트 수준의 전력(3~22kW)을 출력하기 때문입니다.

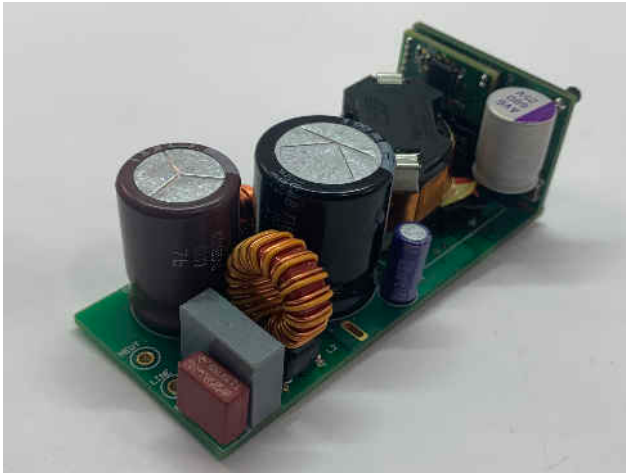


그림2. 65W 능동 클램프 플라이백 컨버터(65mm x 28mm x 25mm).

전류 밀도는 전력 밀도와 관련이 있는 매우 유용한 측정값으로, 부피 단위당 전류를 평방인치당 암페어 또는 평방밀리미터당 암페어로 수량화할 수 있습니다. 전류 밀도 계산에는 컨버터의 전류 등급(주로 입력 전류 또는 출력 전류)이 사용됩니다.

전류 밀도는 POL(Point-of-Load) 전압 레귤레이터 등에 적용하기에 더욱 적합한 FoM입니다. 이러한 설계의 크기는 출력 전류에 따라 커지며 출력 전압 레벨은 보통 1V 내외로 낮습니다. 하지만 비현실적으로 높은 출력 전압을 가정하여 전력 밀도를 인공적으로 높일 수 있습니다. 따라서 출력 전압을 고려하지 않는 전류 밀도가 더욱 효과적인 측정값입니다.

때로는 체적 밀도가 중요하지 않은 경우가 있습니다. 설계 시 다른 부분의 크기가 더 커서 전력 부품의 크기에 제한이 없을 수 있습니다. 대신 회로 보드 공간이 제약을 주는 요소가 될 수 있습니다. 이러한 상황에서 전력 밀도를 개선시키면 구성 요소의 중첩 또는 3D 통합을 통한 전력 솔루션 풋프린트 절감으로 이어질 수 있습니다. 이후에는 사용된 측정값을 수정하여 솔루션과 입방밀리미터당 와트 또는 입방인치당 암페어를 비교하며, 이를 통해 주요 설계 목표가 중점적으로 드러납니다(그림 3 참조).

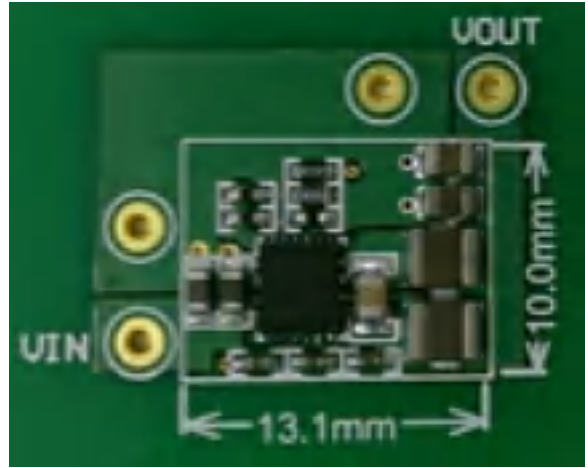


그림3. 10A POL(Point-of-Load) 컨버터(13.1mm x 10mm)의 경우 전류 밀도는 76mA/mm²입니다.

상황에 따라 다른 방법으로 전력 밀도를 볼 수는 있지만 목표는 동일합니다. 솔루션 크기의 감소는 전력 밀도의 향상으로 이어집니다. 문제는 어떻게 전력 밀도를 높일까 하는 것입니다.

전력 밀도를 제한하는 요소는?

엔지니어와 연구원들은 오랜 시간 동안 전력 밀도를 높이는 방법을 찾는 데 집중했습니다. 이는 쉬운 일이 아닙니다. 대부분은 에너지 변환에 사용되는 수동 부품의 크기를 줄이는 데 중점을 두었습니다. **그림 4**에 나와 있듯이 인덕터, 커패시터, 변압기, 히트 싱크가 전력 솔루션의 크기에서 가장 큰 부분을 차지합니다. 반도체 스위치 및 제어 회로는 상당한 크기 감소와 통합이 이루어진 상태입니다.

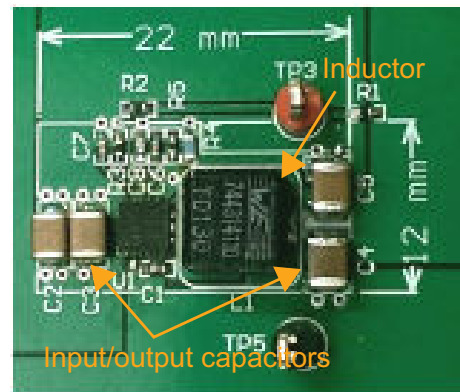


그림4. 인덕터 및 커패시터와 같은 수동 부품이 많은 공간을 차지할 수 있습니다.

수동 부품의 크기를 어떻게 줄일까요? 간단한 방법은 스위칭 주파수를 높이는 것입니다. 스위칭 컨버터의 수동 부품은 스위칭 사이클마다 에너지를 보관 및 방출합니다. 스위

칭 주파수가 높아지면 각 사이클을 위해 저장해야 하는 에너지가 감소합니다. 예를 들어 벽 컨버터의 인덕터에 대한 설계 방정식인 **방정식 1**을(를) 생각해 보세요.

$$L = \frac{D \times V_L}{F_{sw} \times \Delta I_L} \quad (1)$$

여기서

- L은 인덕턴스입니다.
- D는 충전 계수입니다.
- ΔI_L 은 인덕터 전류 리플입니다.
- F_{sw} 는 스위칭 주파수입니다.
- V_L 은 인덕터 전체의 전압입니다.

필요한 인덕턴스(L)는 스위칭 주파수(F_{sw})와 반비례합니다. 스위칭 주파수가 증가하면 인덕턴스가 감소합니다. 인덕턴스가 감소하면 인덕터가 작아지고 공간이 절감됩니다. 그림 5는 400kHz와 2MHz에서 스위칭하는 3A, 36V 컨버터에 필요한 인덕터 크기의 차이를 보여줍니다.

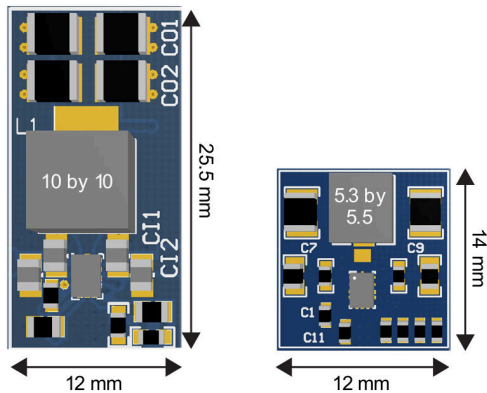


그림 5. 400kHz(왼쪽)와 2MHz(오른쪽)에서 스위칭하는 3A, 36V 컨버터의 크기 비교.

스위칭 주파수가 높아지면 크기 절감으로 이어지는 또 다른 이점이 있습니다. 스위칭 주파수를 높이면 제어 루프 대역폭이 증가하고, 이를 통해 적은 출력 커패시턴스로도 높은 성능 요구 사항을 충족할 수 있습니다. 인덕턴스와 커패시턴스가 작은 차동 모드 EMI(전자기 간섭) 필터를 설계하고 자기 코어 물질의 포화 없이 더욱 작은 변압기를 사용할 수 있습니다.

그렇다면 모두가 스위칭 주파수를 높이지 않는 이유는 무엇일까요? 실제로 그렇게 하기가 어렵기 때문입니다. 전력 컨버터에 사용하는 모든 수동 부품을 매우 작은 크기로 축

소한다 해도 여전히 전력 솔루션 크기를 줄일 수 있는 방법이 있습니다. 전력 스위치, 게이트 드라이버, 모드 설정 저항, 피드백 네트워크 구성 요소, EMI 필터, 전류 감지 구성 요소, 인터페이싱 회로, 히트 싱크 및 여러 구성 요소가 소중할 물리적 공간을 차지합니다. 전반적인 전력 설계의 모든 요소에서 혁신을 통해 전력 밀도를 개선할 수 있습니다. 설계자의 전력 밀도 개선 가능성을 제한하는 주요 요인을 검토해 보겠습니다.

전력 밀도를 제한하는 요소: 스위칭 손실

스위칭 주파수를 높이면 전력 밀도가 증가할 수 있지만 현재의 전력 컨버터가 일반적으로 메가헤르츠 범위 이상으로 스위칭하지 않는 이유가 있습니다. 스위칭 주파수를 높이면 스위칭 손실 증가 및 주변 온도 증가라는 원치 않는 부작용이 발생합니다. 이는 몇 가지 주요한 스위칭 손실에 의한 것입니다.

이러한 스위칭 손실을 파악하려면 먼저 일부 업계 명명법을 적용하는 것이 중요합니다. 반도체 장치에서 해당 장치와 연관된 전하의 양은 일반적으로 온 상태 저항과 관련이 있습니다. 저항이 낮아지면 게이트 전하와 기생 커패시턴스가 높아집니다. 이 저항과 전하 사이의 상충 관계는 RQ FoM으로 수량화되며, 작동 전압에서 장치를 스위칭하기 위해 단자에 공급되어야 하는 총 전하에 장치의 온 상태 저항을 곱한 것으로 정의됩니다. 추가로 목표 저항을 달성하기 위해 장치가 차지하는 영역의 크기를 영역 저항(R_{sp})이라고 합니다. MOSFET(금속 산화막 반도체 전계 효과 트랜지스터)의 온 상태 저항($R_{DS(on)}$)을 줄여 전도 손실을 줄일 수 있습니다. 하지만 온 상태 저항을 줄이면 장치의 스위칭 관련 손실이 증가하고 전반적인 다이 영역과 비용이 증가합니다.

구현 및 적용 제품에 따라 전체 전력의 스위칭 손실 차이로 인한 영향은 다를 수 있습니다. 각 유형의 손실에 관한 자세한 내용은 애플리케이션 메모 **동기 벽 컨버터에 대한 공통 소스 인덕턴스를 고려한 전원 손실 계산**을 참조하세요. 본 문서의 목적에 따라 벽 컨버터 예시를 살펴보고 각 손실 부품과 연관된 주요 제한 요소를 자세히 살펴보겠습니다.

주요 제한 요소 1: 전하 관련 손실

하드 스위칭 DC/DC 컨버터에서 시스템에서 기생 커패시턴스를 충전 및 방전하려면 약간의 에너지가 필요합니다. 스위치 기술 및 전압 등급에 따라 **방정식 2** 및 **방정식 3**에서 다음과 같은 손실을 추정할 수 있습니다.

$$P_{SW} = \frac{1}{2} \times C_{DS} \times (V_{DS})^2 \times F_{sw} \quad (2)$$

$$P_{GATE} = Q_G \times V_G \times F_{sw} \quad (3)$$

여기서

- C_{DS} 는 MOSFET 드레인-소스 커패시턴스입니다.
- V_{DS} 는 MOSFET 드레인-소스 전압입니다.
- F_{sw} 는 스위칭 주파수입니다.
- Q_G 는 게이트 전하입니다.
- V_G 는 게이트-소스 전압입니다.

방정식 2 및 **방정식 3**에서 알 수 있듯이 스위칭 주파수 감소(바람직하지는 않음), MOSFET의 전하 관련 FoM(Q_G 및 C_{DS}) 개선 또는 전도 손실과 스위칭 손실 사이의 균형 유지를 통해 이러한 손실을 줄일 수 있습니다.

주요 제한 요소 2: 역복구 손실

벅 컨버터에서 역 복구는 저압측 MOSFET의 바디 다이오드가 전류를 전도 중인 동안 고압측 MOSFET가 켜질 때 발생하며, 그에 따라 저압측 다이오드 전류가 빠르게 고압측 MOSFET로 강제 전환됩니다. 전환 도중 직접 스위칭 손실을 유발하는 저압측 다이오드 소수 전하를 제거하는 데 전류가 필요합니다. **방정식 4**을(를) 참조하세요.

$$E_{RR} = (V_{IN} \times I_L \times t_{RR}) + (V_{IN} \times Q_{RR}) \quad (4)$$

다이오드 역복구의 영향을 줄이는 최적의 접근 방식 중 하나는 최적화된 MOSFET 설계를 통해 보관된 전하(Q_{RR})를 줄이거나 상승 에지 데드 타임을 감소 또는 제거하여 손실의 영향을 완전히 없애는 것입니다.

주요 제한 요소 3: 턴온 및 턴오프 손실

기생 루프 인덕턴스는 많은 스위칭 관련 손실을 유발할 수 있으며, 이로 인해 효율성이 크게 떨어질 수 있습니다. 다시 한 번 인덕터 전류를 전도하는 고압측 MOSFET가 포함된 벅 컨버터를 예로 들겠습니다. 고압측 스위치를 끄면 기생 인덕턴스를 통한 전류가 인터럽트됩니다. 기생 루프 인

덕턴스와 함께 과도 전류(di/dt)가 전압 스파이크를 유도합니다. di/dt가 높으면 스위칭 손실이 적고, 장치 전압 강도가 증가합니다. 일부 턴오프 속도에서는 벅 컨버터 고압측 스위치에 중단이 발생할 것입니다. 따라서 DC/DC 컨버터가 안전한 작동 영역에서 작동하는 상태에서 효율성을 극대화하려면 스위칭 속도를 세심하게 조절해야 합니다. 자세한 내용은 애플리케이션 노트 **고출력 전류 및 온도에서 작동하는 SOA 곡선 이해**를 참조하십시오.

추가로 고압측 MOSFET의 드레인 전하를 감소시키면 인덕터-커패시터 네트워크의 일부분으로 기생 루프 인덕턴스에 보관된 에너지를 흡수할 커패시턴스가 적은 것을 고려할 때 추가 전압 스파이크가 발생할 수 있습니다. 이로 인해 추가적인 문제가 발생하므로 드레인 전하를 가급적 낮게 유지하여 이전에 언급한 전하 관련 손실을 줄이는 것이 최선입니다. 이러한 기생 관련 전체 손실을 완화하려면 다른 게이트 드라이버 기술을 적용하면서 루프 인덕턴스 자체를 줄여야 합니다.

전력 밀도를 제한하는 요소: 열 성능

전체적인 전력 밀도에 영향을 미치는 한 가지 핵심 요소는 시스템의 열 성능입니다. 패키지가 열을 배출하는 효율이 높을수록 온도가 불합리하게 오르지 않으면서 더 많은 전력 손실을 감당할 수 있게 됩니다. 이러한 요소는 일반적으로 애플리케이션 조건에 대한 세심한 추정과 함께 접합부-주변 열 저항($R_{\theta JA}$)과 같은 데이터 시트 매개 변수를 통해 파악할 수 있습니다. MOSFET 데이터 시트의 일반적인 열 임피던스 값에 대한 자세한 내용은 다음 비디오를 시청하세요. **MOSFET 데이터 시트 이해: 열 임피던스**.

패키지 및 PCB(인쇄 회로 기판) 열 최적화의 최종 목표는 전력 컨버터 손실 시 발생하는 온도 증가를 줄이는 것입니다. 소형화와 비용 절감에 대한 트레이드가 진행되는 가운데 컨버터, 스위치 및 게이트 드라이버 솔루션의 전체 크기 또한 감소했습니다. 이로 인해 시스템 수준 열 설계가 더욱 어려워지는데, **그림 6**에서 알 수 있듯이 실리콘 및 패키지 크기가 작아지면 일반적으로 열 성능이 저하되기 때문입니다. 다이 영역이 축소되면 관련 접합부-주변 열 저항($R_{\theta JA}$)이 기하급수적으로 악화됩니다.

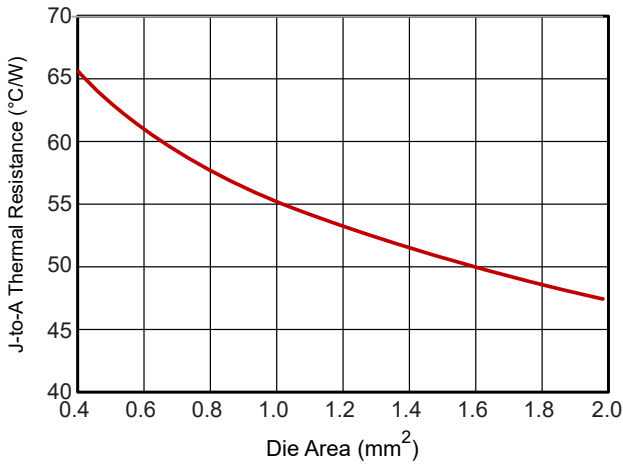


그림 6. 패키지 $R_{\theta JA}$ 대비 다이 영역.

이 그래프가 명확하게 보여주는 것은 패키지 크기, 다이 크기 및 전체 전력 밀도가 개선되면 패키지 열 성능(열 방출) 및 전력 손실 감소(열 발생 감소) 혁신에 우선권을 두지 않았을 때 예상되는 열 성능이 저하된다는 것입니다.

전력 밀도의 장애물을 무너뜨리는 방법

이전 섹션에서 강조한 주요 요소 중 하나에 초점을 맞추면 전체 전력 밀도가 개선될 수 있습니다. 이전에는 도달할 수 없었던 전력 밀도에 도달하려면 밀도를 제한하는 각 요소를 동시에 공략해야 합니다. 스위치 손실을 줄이고, 패키지 열 성능을 높이고, 혁신적인 토폴로지 및 회로를 도입해야 하며, 마지막으로 통합해야 합니다.

스위칭 손실 혁신

뛰어난 장치 성능 및 FoM을 달성하려면 반도체 기술에 투자하는 것은 분명히 필요합니다. 여기에는 기존 기술의 발전 또는 고압측 스위칭 애플리케이션용 GaN(질화 갈륨) 기술과 같은 근본적으로 성능이 더욱 뛰어난 새로운 물질 개발이 포함될 수 있습니다.

그림 7에서는 TI(텍사스 인스트루먼트)의 다양한 전력 처리 기술을 사용하는 3.3V와 1.8V 벅 컨버터를 비교합니다.

TPS54319는 TI의 이전 전력 처리 노드를 사용하는 반면 TPS62088은 RQ FoM이 낮은 TI의 최신 전력 처리 노드를 사용합니다. 효율성 곡선이 보여주는 것과 같이 TPS62088은 거의 동일한 효율성을 유지하면서 2MHz에서 스위칭하는 TPS54319와는 달리 4MHz에서 스위칭이 가능합니다. 이를 통해 외부 인덕터의 크기를 절반으로 줄일 수 있습니다. 추가로 TI의 신규 전력 처리 노드를 통해 R_{SP} 가 크게 감

소할 수 있고, 전체 패키지 크기가 4mm²에서 0.96mm²까지 감소합니다. 이 크기 감소는 전력 밀도 관점에서 매우 매력적이지만 온도 증가와 관련된 문제가 발생하기에 이 문제를 다음 섹션에서 다룰 예정입니다.

TPS54319는 2MHz에서 스위칭하고 TI의 이전 전력 처리 노드를 사용합니다. 반면 TPS62088은 4MHz에서 스위칭하고 스위칭 FoM이 개선된 TI의 최신 전력 처리 노드를 사용합니다.

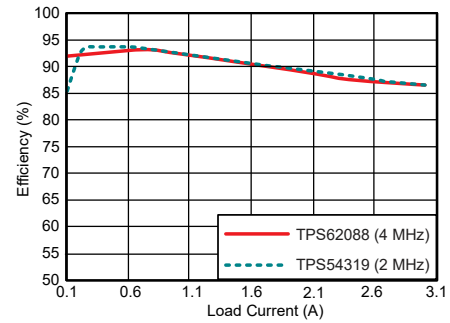


그림 7. 3.3V와 1.8V 벅 컨버터의 DC/DC 효율성 비교.

GaN의 고유한 역복구 제로, 낮은 출력 전하 및 높은 회전율의 조합 덕분에 브리지리스 역률 수정과 같은 새로운 토폴로지 토폴로지가 가능합니다. 이러한 토폴로지는 실리콘 MOSFET에서 달성할 수 없는 높은 효율성 및 전력 밀도가 가능합니다. 그림 8에서는 600V에서 업계 최고의 SiC(실리콘 카바이드) 및 슈퍼정션 실리콘 장치 중 일부와 TI의 GaN 기술을 직접 비교합니다. TI GaN 기술은 훨씬 더 낮은 손실을 제공하여 더 높은 주파수를 구현합니다.

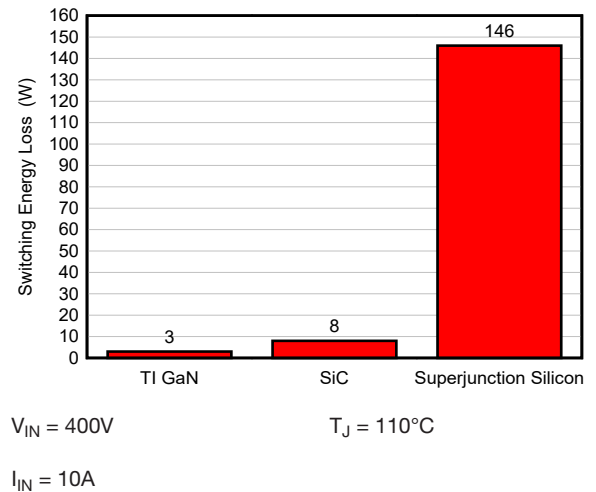


그림 8. 스위칭 에너지 손실 비교.

패키지 열 혁신

IC(통합 회로) 패키지에서 열을 없애는 기술은 전력 밀도에 직접 영향을 미칩니다. 이전에 언급했듯이, 이는 패키지가 계속해서 작아짐에 따라 더욱 중요한 문제가 되고 있습니다. 더욱이 일반적인 전력 컨버터에서 반도체 장치는 솔루션에서 가장 뜨거운 부분이 되는 경우가 많으며, 이는 Rsp가 급격하게 줄어들면 더 심해집니다.

TI는 일반적인 본드 와이어 유형 QFN(Quad Flat No Lead) 패키지를 플립 칩 스타일 패키지로 대체하는 HotRod™ 패키지의 개발 및 도입에 투자했습니다. **그림 9** 및 **그림 10**은 (는) HotRod QFN이 어떻게 QFN과 유사한 풋프린트를 유지하면서 본드 와이어를 제거하는지를 보여줍니다. 이를 통해 일반적으로 플립 칩 패키지에서 기생 루프 인덕턴스가 크게 감소하고, QFN 패키지 열 성능의 이점을 유지할 수 있습니다. HotRod QFN에는 리드 프레임과 다이를 상호 연결하는 기능이 포함되어 있습니다.

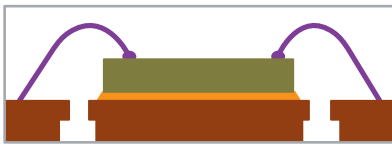


그림 9. 노출된 패드가 있는 표준 본드 와이어 QFN 패키지.

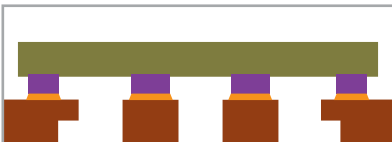


그림 10. HotRod 상호 연결 패키지(플립 칩은 리드) QFN 패키지.

HotRod 패키지의 한 가지 문제는 패키지 열 개선에 매우 유용한 대형 DAP(다이 부착 패드)를 제작하기 더욱 어렵다는 점입니다. 이 문제를 극복하기 위해 TI는 최근 HotRod QFN을 개선하여 기존 장점을 유지하면서 동시에 대형 DAP가 포함된 패키지를 내놓았습니다.

그림 11, **그림 12** 및 **그림 14**은(는) 열 성능을 향상시키기 위해 이러한 기술을 포함한 4-A **LM60440** 동기 컨버터를 보여줍니다. 패키지 중앙에 대형 DAP가 들어갈 정도의 풋프린트가 확보되는 것을 볼 수 있습니다. 이 DAP는 이전 세대와 비교할 때 약 15%의 온도 증가 관련 이점을 제공합니다. 이러한 패키지의 진화에 대한 자세한 내용은 아날로그 설계 학술지 문서 [소형 DC/DC 컨버터를 사용한 설계](#)에서 알아볼 수 있습니다. **HotRod™ QFN과 향상된 HotRod™ QFN 패키징**.

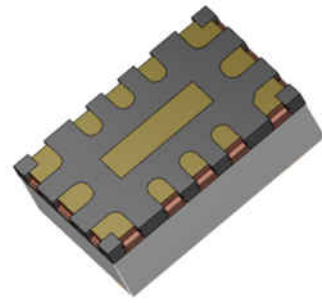


그림 11. 대형 DAP를 지원하는 개선된 HotRod QFN.

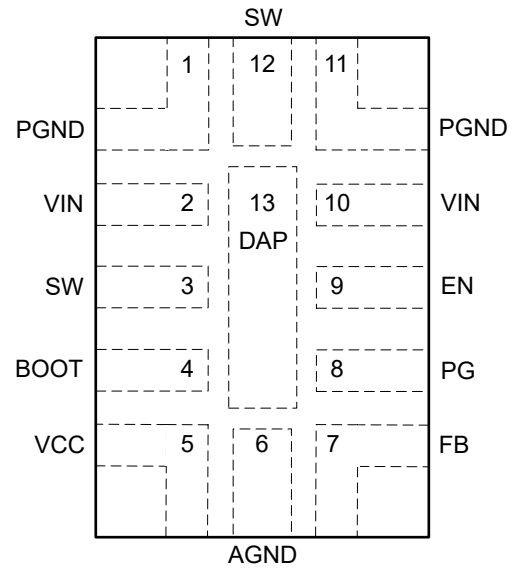


그림 12. 개선된 HotRod QFN의 LM60440의 핀아웃.

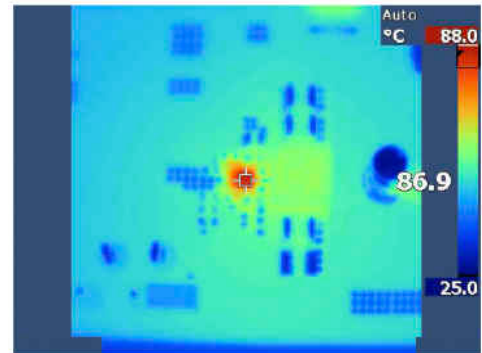


그림 13. 일반 HotRod 패키지의 열 성능.

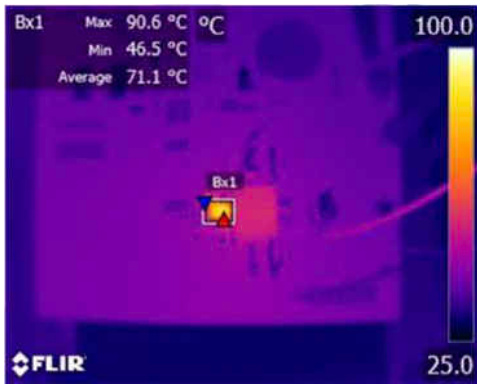
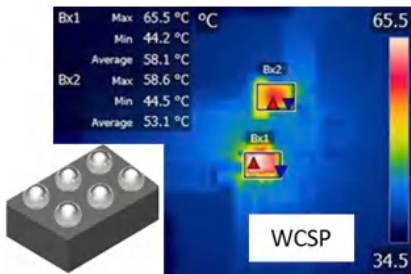


그림 14. 향상된 HotRod QFN 패키지에 DAP를 포함한 LM60440의 열 성능으로 평균 온도는 71.1°C로 낮아집니다.

또한 많은 설계자는 SOT(small-outline transistor) 표면 실장 패키지를 활용하는 것을 선호하는데, 이는 비용이 저렴하고 핀 리드를 조립하기 쉽기 때문입니다. TI는 향상된 공정 기술 및 회로 IP를 SOT-563 패키지와 결합하여 로우 프로파일, 이중 행 핀 구성이 더 높은 전류 밀도에 대한 요구를 충족할 수 있도록 합니다. **TPS566242** 3V~16V 동기식 벡 컨버터가 최근의 한 예입니다. 이 장치는 1.6mm x 1.6mm SOT-563(6핀) 풋프린트에서 98% 듀티 사이클로 최대 6A의 연속 전류를 지원합니다.

마찬가지로 WCSP(웨이퍼 칩 스케일 패키지) 사용 시 대부분의 열은 범프에서 직접 PCB로 전도됩니다. WCSP의 범프 영역이 커지면 열 성능이 개선됩니다. TI는 최근 PowerCSP™ 패키징을 개발하여 출시했습니다. 이는 WCSP의 일반적인 원형 범프를 대형 솔더 바로 대체하여 패키지 열과 전기 성능을 개선하는 것을 목표로 합니다. **그림 15**은(는) **TPS62088**에서 이 기술을 구현하는 예시를 보여줍니다. **그림 15**은(는) 표준 WCSP를 보여주며, **그림 16**은(는) PowerCSP 패키징이 포함된 동일한 장치를 보여줍니다. 별도의 시스템 변경 없이도 온도 증가가 약 5% 감소합니다.



$V_{IN} = 5V$

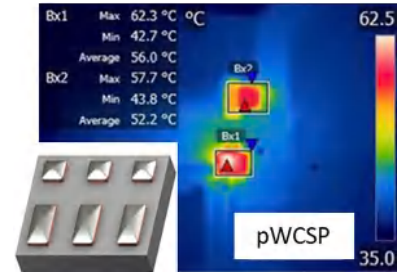
$V_{OUT} = 1.8V$

$I_{OUT} = 3A$

$T_A = 25^\circ C$

측정 지점: Bx1

그림 15. TPS62088YFP WCSP 버전의 열 성능.



$V_{IN} = 5V$

$V_{OUT} = 1.8V$

$I_{OUT} = 3A$

$T_A = 25^\circ C$

측정 지점: Bx1

그림 16. TPS62088YWC PowerCSP 버전.

고급 회로 설계 혁신

Rsp와 RQ FoM의 감소에 따른 부정적인 부산물은 전환 손실에서 감소된 드레인 전하가 미치는 영향입니다. **그림 17**을(를) 보면 고정된 전압 오버슈트에서 드레인 전하 감소에 따라 이 벡 컨버터의 턴오프 손실이 크게 증가하는 것을 볼 수 있습니다. 이러한 장단점이 존재하므로 RQ FoM MOSFET 개선에 대한 로드맵을 지속하는 가운데 MOSFET를 전기적으로 안전한 작동 영역에서 유지하면서 새로운 고급 게이트 드라이버 IP(지적 재산권)를 통해 MOSFET를 스위칭해야 합니다. 드레인 전하가 감소하면 고정된 드레인-소스 전압 강도를 유지하기 위해 턴오프 에너지가 증가합니다.

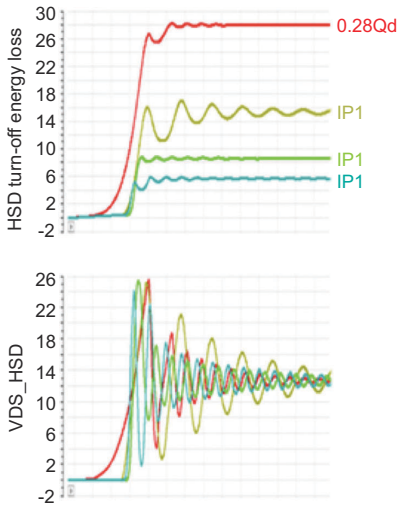


그림 17. 여러 MOSFET 기술의 턴오프 에너지 손실.

이에 따라 TI는 더욱 낮은 RQ FoM MOSFET에도 불구하고 매우 빠른 스위칭이 가능한 게이트 드라이버 기술을 개발하였고, 이로 인해 MOSFET를 전기적으로 안전한 작동 영역에서 유지하면서 전하 및 전환 손실이 개선되었습니다. 그림 18과(와) 그림 19을(를) 비교하면 알 수 있듯 피크 전압 강도를 고정한 채로 유지하면서 턴오프 에너지 손실을 79% 가량 절감하는 것이 가능합니다. 그림 19과(와) 같이 일부 설계에서 이러한 감소를 통해 피크 효율성 지점에서 4%의 효율성 이득을 얻을 수 있습니다.

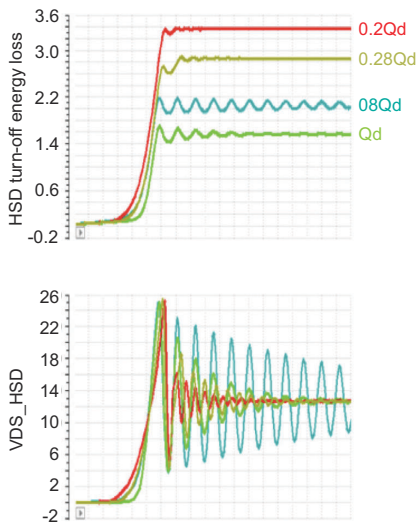


그림 18. 낮은 드레인 전하와 턴오프 에너지를 가능케 하는 게이트 드라이버 IP의 비교.

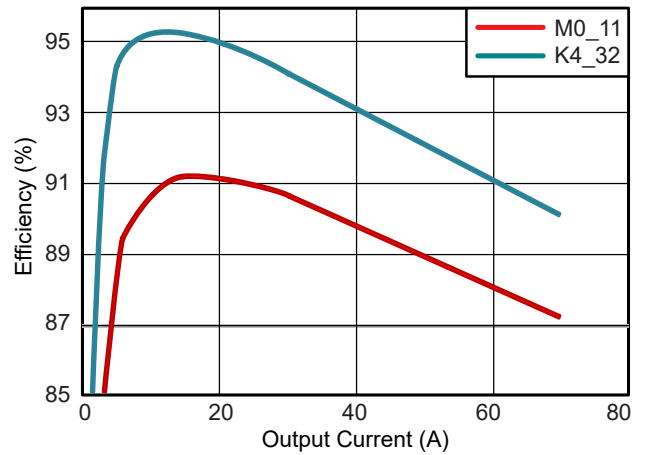


그림 19. 게이트 드라이버 IP가 시스템 효율성에 미치는 영향.

고급 게이트 드라이버 기술 외에도 토폴로지 혁신을 통해 전력 밀도를 개선시킬 수 있습니다. 그림 20은(는) 더욱 낮은 장치 전압 등급을 통한 장치 FoM 개선, 자기 필터 크기 축소 및 열 분산 개선을 포함한 중요 전력 밀도 개선이 가능한 FC4L(플라이잉 커패시터 4레벨) 컨버터 토폴로지를 보여줍니다. 이러한 이점은 그림 21에 표시된 것과 같은 전력 밀도 개선으로 이어집니다. SiC를 사용하는 다른 토폴로지와 달리 TI 솔루션은 GaN의 이점과 고급 패키징 기술과 결합한 토폴로지 사용을 통해 엄청난 부피 감소를 제공합니다. TI의 FC4L GaN 솔루션은 최고의 전력 밀도를 제공합니다.

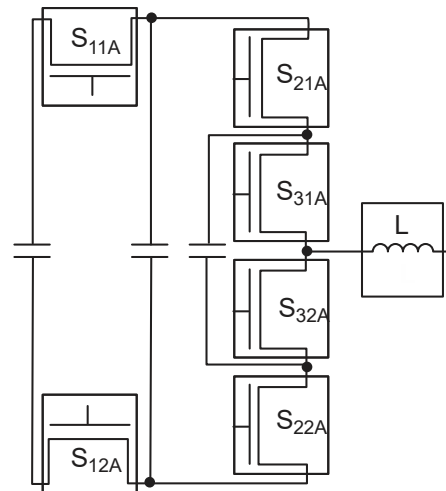


그림 20. GaN 스위치를 사용하는 플라이잉 커패시터 4레벨 컨버터 토폴로지.

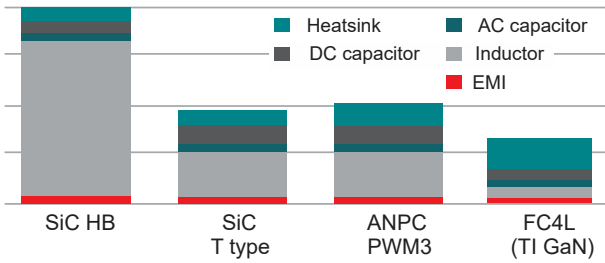


그림 21. 토폴로지 및 스위치 유형의 전체적 부피.

통합 혁신

최적의 전력 밀도에 대한 마지막 퍼즐 조각은 통합입니다. 경제적인 통합은 기생을 줄이고, BOM(Bill of Material)을 줄이며, 더 높은 효율성과 공간 절감을 이끕니다. 통합은 전력 관리의 여러 측면에 영향을 미칩니다. 여기에는 IC에 추가 전기 회로 포함, 패키지에 부품 추가, 기타 물리적 및 기계적 수단을 통한 전력 솔루션 포장량 증가 등이 있을 수 있습니다. 이 분야의 기술 리더십에 관한 몇 가지 예시로 GaN FET과 통합된 드라이버, 핵심 루프 인덕턴스 감소를 위한 커패시터 통합, 수동 부품의 3D 중첩이 있습니다.

스위칭 전력 FET에 게이트 드라이버를 포함하면 여러 이점을 얻을 수 있습니다. 스위칭 게이트-드라이브 루프 인덕턴스가 감소하고, 이를 통해 스위칭 속도 증가와 안정적인 작동, 부품 감소가 이루어집니다. GaN FET는 특히 이 통합을 통해 이점을 얻습니다. 과전류 보호, 과열 보호 및 모니터링과 같은 추가 기능이 LMG3522R030-Q1과 같은 장치에 포함됩니다(그림 22 참조). 이 통합은 전력 관리 솔루션을 크게 간소화하며, 설계자는 이를 통해 GaN이 제공하는 모든 것을 활용할 수 있습니다.

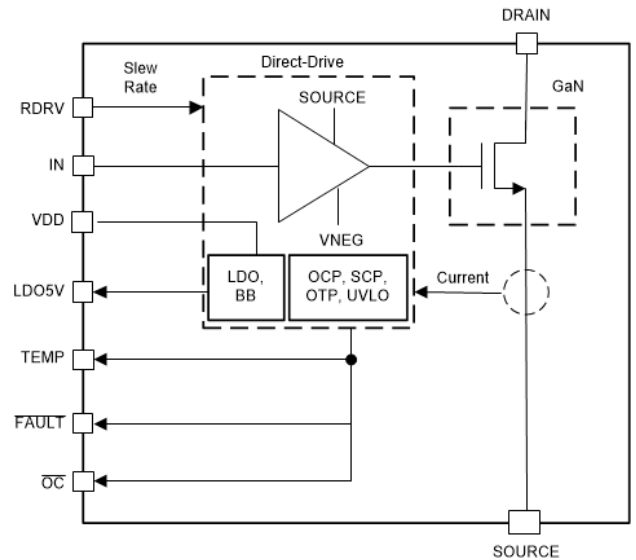


그림 22. LMG3522R030-Q1의 GaN 스위치에 통합된 드라이버, 보호 및 모니터링 기능.

통합의 또 다른 방법은 IC 패키지에 수동 부품을 포함하는 것입니다. 그림 23에 나와 있듯이 고주파 디커플링 커패시터 통합은 LMQ61460-Q1에서 사용하는 한 가지 기술입니다. 커패시터 통합은 루프 기생 인덕턴스 증가를 통해 효율성을 높이고 EMI를 줄일 수 있습니다. 이 전력 솔루션은 시스템 안정성을 저해하거나 열 제한을 초과하지 않은 채 스위칭 시간을 높일 수 있으며, 이는 스위칭 주파수 증가와 EMI 필터링 감소를 통한 솔루션 크기 감소로 이어집니다. UCC14240은 자성 부품 통합을 활용하여 외부 변압기 없이 절연 바이어스 공급을 제공합니다. 이 접근 방식은 크기, 복잡성 및 EMI를 낮춥니다.

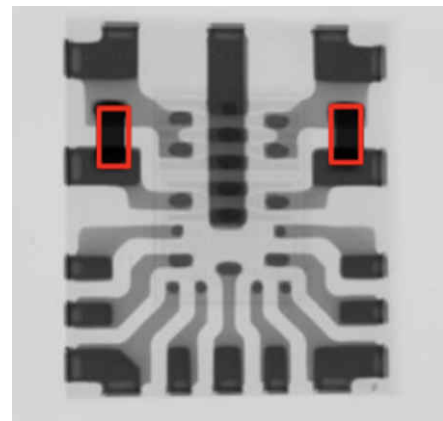


그림 23. LMQ61460-Q1의 X-레이 사진으로, 통합 바이패스 커패시터가 강조 표시되어 있습니다.

통합의 마지막 예시는 부품의 3D 중첩으로 수동 부품이 통합된 전력 모듈에서 종종 볼 수 있습니다. 그림 24은(는)

TPS82671을 예시로 사용합니다. 이 장치는 라미네이트 기판에 전원 IC를 내장하고 인덕터 및 입력 및 출력 커패시터를 상단에 배치합니다. 이 놀라운 정도로 작은 솔루션에는 추가 부품이 필요하지 않습니다. 간단한 통합 개념으로 PCB 영역 절감 및 전력 솔루션 간소화라는 놀라운 결과를 달성할 수 있습니다.

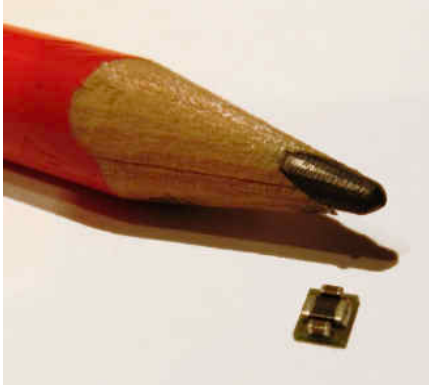


그림 24. 통합 전력 IC, 인덕터 및 커패시터를 포함한 초소형 전력 모듈.

결론

더 높은 전력 밀도를 향한 트렌드는 분명합니다. 더 작은 전력 솔루션을 만드는 데는 큰 제약 사항이 있습니다. 전력 손실 및 열 성능 문제를 극복하려면 스위칭 속성, IC 패키징, 회로 설계 및 통합 혁신이 필요합니다. 각각의 퍼즐 조각은 전력 밀도에 있어 커다란 개선의 기회를 제공하며, 각 기회는 서로 관계가 있습니다. 결과적으로 각 카테고리에서 기술을 결합하여 전력 밀도를 크게 개선할 수 있습니다.

최고의 스위칭 장치 FoM 및 업계 최고의 패키지 열 기능을 갖추고 수동 통합을 통해 루프 인덕턴스가 가장 낮은 여러 수준의 토폴로지를 사용하는 제품을 상상해 보십시오. 각 분야에서의 기술적 발전이 전력 밀도의 개선으로 이어집니다.

더 적은 공간에서 더 많은 전력을 확보하고 시스템 비용을 절감하면서 시스템 기능을 개선시키는 것이 이제는 TI의 고급 처리, 패키징 및 회로 설계 기술을 통해 가능합니다. 자세한 내용은 ti.com/powerdensity를 참조하십시오.

추가 리소스

- 배터리 충전기 IC
- 벡-부스트 및 인버팅 레귤레이터
- 질화 갈륨(GaN) IC
- 절연 바이어스 전원 공급 장치
- 절연 게이트 드라이버
- LED 드라이버
- 선형 레귤레이터(LDO)
- 멀티 채널 IC(PMIC)
- AC/DC 및 절연 DC/DC 컨트롤러와 컨버터
- 전원 스위치
- 스텝다운(벡) 레귤레이터
- 스텝업(부스트) 레귤레이터
- USB Type-C 및 USB 전원 공급 IC

중요 알림: 이 문서에 기술된 텍사스 인스트루먼트의 제품과 서비스는 TI의 판매 표준 약관에 의거하여 판매됩니다. TI 제품과 서비스에 대한 최신 정보를 완전히 숙지하신 후 제품을 주문해 주시기 바랍니다. TI는 애플리케이션 지원, 고객의 애플리케이션 또는 제품 설계, 소프트웨어 성능 또는 특허권 침해에 대해 책임을 지지 않습니다. 다른 모든 회사의 제품 또는 서비스에 관한 정보 공개는 TI가 승인, 보증 또는 동의한 것으로 간주되지 않습니다.

HotRod™ and PowerCSP™ are trademarks of Texas Instruments.
모든 상표는 해당 소유권자의 자산입니다.

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated