



Jim Karki

추상

특정 애플리케이션으로 적합한 연산 증폭기를 선택하기 위해서는 설계 목표를 명확히 하는 것과 더불어서 데이터 시트에 표기된 사양을 잘 이해하는 것이 필요합니다. 이것을 돕기 위해서 이 글에서는 데이터 시트 사양을 이해하는 것에 대해서 설명합니다.

그러기 위해서 먼저 배경 정보를 설명합니다. 증폭기에 관련된 기초적인 원리들을 설명합니다. 이상적 모델을 사용해서 두 가지 간단한 증폭기 회로를 분석합니다. 또한 연산 증폭기 회로 개략도를 사용해서 파라미터들이 어떻게 연산 증폭기의 이상적인 기능들을 제한하는지 살펴봅니다.

그리고 본격적으로 연산 증폭기 사양에 대해서 설명합니다. 연산 증폭기 사양에 관한 논의를 위해서 Texas Instruments의 참고 자료인 “Amplifiers, Comparators, and Special Functions”를 토대로 하고 있습니다. 이 논의를 통해서 Texas Instruments가 연산 증폭기 파라미터를 어떻게 정의하고 테스트하는지 알 수 있습니다.

목차

1 머리말	3
1.1 증폭기의 기본 원리.....	3
1.2 이상적인 연산 증폭기 모델.....	3
2 비반전 증폭기	5
2.1 폐쇄 루프 개념과 간소화.....	6
3 반전 증폭기	6
3.1 폐쇄 루프 개념과 간소화.....	7
4 연산 증폭기 회로 개략도	8
4.1 입력 스테이지.....	9
4.2 이차 스테이지.....	9
4.3 출력 스테이지.....	9
5 연산 증폭기 사양	9
5.1 절대 최대 정격과 권장 동작 조건.....	9
5.2 입력 오프셋 전압.....	10
5.3 입력 전류.....	10
5.4 입력 공통 모드 전압 범위.....	11
5.5 차동 입력 전압 범위.....	12
5.6 최대 출력 전압 스윙.....	13
5.7 대신호 차동 전압 증폭.....	14
5.8 입력 기생 성분.....	14
5.9 출력 임피던스.....	15
5.10 공통 모드 제거비.....	15
5.11 전원 전압 제거비.....	16
5.12 전원 전류.....	16
5.13 단위 이득일 때 slew rate.....	16
5.14 등가 입력 잡음.....	16
5.15 총 고조파 왜곡 + 잡음.....	17
5.16 단위 이득 대역폭과 위상 마진.....	18
5.17 안정화 시간.....	20
6 참고 문헌	21
7 연산 증폭기 용어	21
8 개정 내역	23

그림

그림 1-1. 증폭기, 소스, 부하를 포함한 테브닌 모델.....	3
그림 1-2. 표준적 연산 증폭기 표기.....	4
그림 1-3. 이상적 연산 증폭기 모델.....	4
그림 2-1. 비반전 증폭기.....	5
그림 3-1. 반전 증폭기.....	7
그림 4-1. 간소화된 연산 증폭기 회로 다이어그램.....	8
그림 5-1. VIO.....	10
그림 5-2. 양의 공통 모드 전압 입력 한계.....	11
그림 5-3. 음의 공통 모드 입력 한계.....	11
그림 5-4. 차동 모드 전압 입력 한계.....	13
그림 5-5. VOM±.....	13
그림 5-6. 입력 기생 성분.....	14
그림 5-7. 출력 임피던스의 영향.....	15
그림 5-8. slew rate.....	16
그림 5-9. 연산 증폭기 입력 잡음 스펙트럼 예.....	17
그림 5-10. THD + N = 1%일 때 출력 스펙트럼.....	18
그림 5-11. 일반적인 큰 신호 차동 전압 증폭 및 위상 변이 vs. 주파수.....	19
그림 5-12. 쉽게 판독할 수 있는 전압 증폭 및 위상 변이 vs. 주파수 그래프.....	20
그림 5-13. 안정화 시간.....	20

1 머리말

연산 증폭기(op amp)라고 하는 용어는 1940년에 처음으로 만들어진 것으로서, 외부 소자들을 적절히 선택해서 다양한 수학적 연산을 수행할 수 있는 증폭기를 말합니다. 초기의 연산 증폭기는 진공관을 사용했기 때문에 공간을 많이 차지하고 많은 에너지를 소모했습니다. 시간이 지나면서 디스크리트 트랜지스터를 사용해서 연산 증폭기의 크기를 줄일 수 있게 되었습니다. 오늘날 연산 증폭기는 모노리딕 IC로 구현됨으로써, 고도로 효율적이면서 경제적인 가격대로 사용할 수 있게 되었습니다.

1.1 증폭기의 기본 원리

본론으로 들어가기 앞서, 먼저 증폭기의 기초적인 원리들을 살펴보겠습니다. 증폭기는 입력 포트와 출력 포트가 있습니다. 선형적 증폭기라면 출력 신호 = $A \times$ 입력 신호가 될 것입니다. 여기서 A 는 증폭기 계수 또는 이득이라고 합니다.

입력과 출력 신호 특성에 따라서, 다음의 네 가지 증폭기 이득이 가능합니다:

- 전압(전압 출력/전압 입력)
- 전류(전류 출력/전류 입력)
- 트랜스저항(전압 출력/전류 입력)
- 트랜스컨덕턴스(전류 출력/전압 입력)

대부분의 연산 증폭기가 전압 증폭기이므로, 이 글에서는 전압 증폭기만으로 논의를 제한하도록 하겠습니다.

테브닌 정리를 사용해서 증폭기 모델을 도출하고 적합한 전압 소스와 직렬 저항을 사용해서 단순화할 수 있습니다. 입력 포트는 수동적인 역할을 하고, 자체적으로 전압을 발생시키지 않으며, 이의 테브닌 등가는 저항 소자 R_i 입니다. 출력 포트는 전압 소스 AV_i 와 출력 저항 R_o 로 모델링할 수 있습니다. 간단한 증폭기 회로를 완성하기 위해 입력 소스와 임피던스 V_s 및 R_s 와 출력 부하 R_L 를 포함합니다. **그림 1-1**은 간단한 증폭기의 테브닌 등가 회로를 보여줍니다.

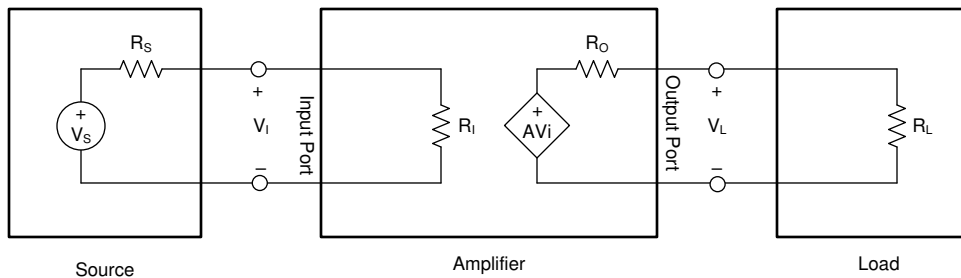


그림 1-1. 증폭기, 소스, 부하를 포함한 테브닌 모델

증폭기 입력 포트와 출력 포트 모두로 전압 분할기 회로를 볼 수 있습니다. 그러므로 다른 소스나 부하를 사용하면 계산을 다시 해야 하므로 회로 계산이 복잡해집니다.

1.2 이상적인 연산 증폭기 모델

그림 1-1은 **그림 1-2**의 테브닌 증폭기 모델을 표준적 연산 증폭기 표기로 다시 그린 것입니다. 연산 증폭기는 차동 대 싱글 엔디드 증폭기입니다. 입력 포트 상에서 전압 차이 $V_d = V_p - V_n$ 을 증폭해서 출력 포트 상에서 전압 V_o 를 발생시키고 접지로 참조합니다.

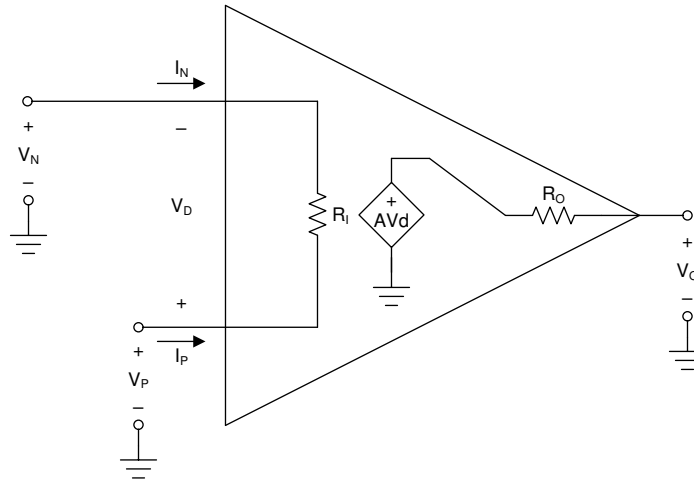


그림 1-2. 표준적 연산 증폭기 표기

위에서도 언급했듯이 입력 포트와 출력 포트에 부하 효과가 존재합니다. 이상적 연산 증폭기 모델을 사용해서 회로 계산을 단순화할 수 있으며, 이 방법이 엔지니어들이 일차적으로 대략적인 계산을 하기 위해서 흔히 사용하는 방법입니다. 이상적 모델은 단순화를 위해서 다음과 같은 세 가지 가정을 합니다:

- 이득이 무한대이다

$$a = \infty \tag{1}$$

- 입력 저항이 무한대이다

$$R_i = \infty \tag{2}$$

- 출력 저항이 0이다

$$R_o = 0 \tag{3}$$

그림 1-2로 이러한 가정들을 적용하면 그림 1-3과 같은 이상적인 연산 증폭기 모델을 얻을 수 있습니다.

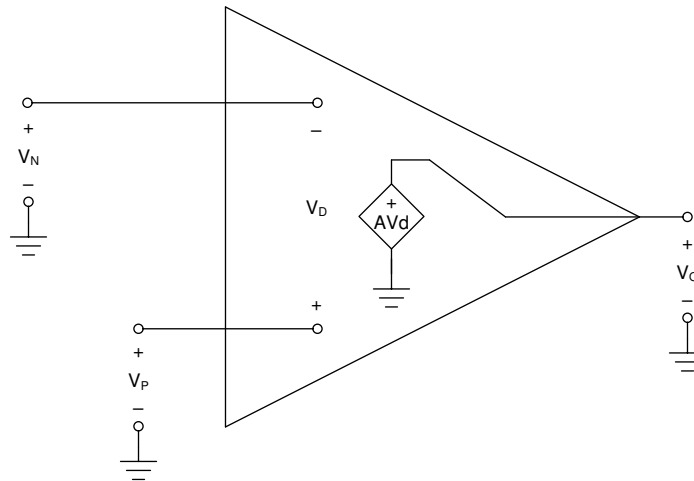


그림 1-3. 이상적 연산 증폭기 모델

이러한 이상적 연산 증폭기 모델을 사용해서 또 다른 단순화들을 할 수 있습니다:

$$\rightarrow I_n = I_p = 0 \tag{4}$$

$R_i = \infty$ 이므로 $I_n = I_p = 0$ 이라고 가정합니다. 그러므로 입력에서 부하 효과가 없습니다.

$$\rightarrow V_o = a V_d \tag{5}$$

$R_o = 0$ 이므로 출력으로 부하 효과가 없습니다.

$$\rightarrow V_d = 0 \tag{6}$$

연산 증폭기가 선형적 동작을 한다면 V_o 은 유한한 전압일 것입니다. 정의에 따라 $V_o = V_d \times a$. 재배열하면, $V_d = V_o / a$. $a = \infty$, $V_d = V_o / \infty = 0$ 이므로 이것이 가상 단락 개념의 토대입니다.

$$\rightarrow \text{공통 모드 게인} = 0 \tag{7}$$

이상적 전압 소스를 사용해서 출력 포트를 구동하면 입력 포트 상의 전압 차이만 작용할 것입니다. V_n 과 V_p 로 공통적 전압은 제거됩니다.

$$\rightarrow \text{대역폭} = \infty \tag{8}$$

$$\rightarrow \text{slew rate} = \infty \tag{9}$$

주파수 증속성은 없는 것으로 간주합니다.

$$\rightarrow \text{드리프트} = 0 \tag{10}$$

시간, 온도, 습도, 전원 변동 등에 대해서 성능 변화가 없는 것으로 간주합니다.

2 비반전 증폭기

이상적 연산 증폭기가 그 자체로서 매우 유용하지는 않습니다. 유한한 입력 신호가 무한대의 출력을 발생시키기 때문입니다. 이상적인 연산 증폭기 주변에 외부 부품을 연결함으로써 유용한 증폭기 회로를 구축할 수 있습니다. **그림 2-1**는 기본적인 연산 증폭기 회로로서, 비반전 증폭기를 보여줍니다. 삼각형 게인 블록 기호를 사용해 이상적인 연산 증폭기를 나타냅니다. + (V_p)로 표시되어 있는 입력 단자는 비반전 입력이라고 하며, - (V_n)은 반전 입력을 나타냅니다.

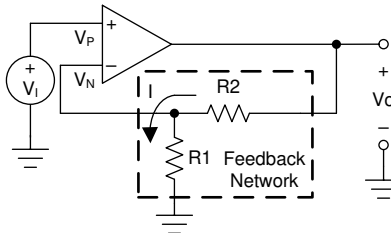


그림 2-1. 비반전 증폭기

이 회로를 이해하기 위해서는 입력 전압 V_i 와 출력 전압 V_o 사이의 관계식을 도출해야 합니다.

입력으로 부하 효과가 없다는 것을 상기한다면 다음과 같습니다.

$$V_p = V_i \tag{11}$$

V_n 에서 전압은 V_o 로부터 저항 네트워크 R_1 과 R_2 를 거쳐서 도출할 수 있습니다. 그러므로 다음과 같습니다.

$$V_n = V_o \frac{R_1}{R_1 + R_2} = V_o \cdot b \tag{12}$$

여기서,

$$b = \frac{R_1}{R_1 + R_2} \tag{13}$$

파라미터 b 를 피드백 계수라고 합니다. 출력 중에서 입력으로 피드백되는 부분을 지칭하기 때문입니다.

이상적 모델을 상기하면 다음과 같습니다.

$$V_o = aV_d = a(V_p - V_n) \tag{14}$$

이 공식을 치환해서 다음과 같은 공식을 얻을 수 있습니다.

$$V_o = a(V_i - bV_o) \quad (15)$$

그러면 이 공식을 정리해서 다음을 얻을 수 있습니다.

$$A = \frac{V_o}{V_i} = \left(\frac{1}{b}\right) \left(\frac{1}{1 + \frac{1}{ab}}\right) \quad (16)$$

이 결과를 보면, **그림 2-1**의 연산 증폭기 회로가 이득 A인 증폭기라는 것을 알 수 있습니다. V_i 와 V_o 의 극성이 동일하므로, 이 증폭기를 비반전 증폭기라고 합니다.

A는 연산 증폭기 회로의 폐쇄 루프 이득이고, a는 개방 루프 이득입니다. 곱 ab를 루프 이득이라고 합니다. 이 이득이 비반전 입력에서 시작해서 연산 증폭기와 피드백 네트워크를 거쳐서 시계방향 루프로 전달됩니다.

2.1 폐쇄 루프 개념과 간소화

방정식 1의 $a = \infty$ 를 공식 **방정식 16**에 대입하면 다음과 같습니다.

$$A = \frac{1}{b} = 1 + \frac{R2}{R1} \quad (17)$$

공식 **방정식 6**에서 V_n 과 V_p 사이의 전압 차이 V_d 가 0이라고 가정했던 것을 상기하면 $V_n = V_p$ 입니다. 그렇지만 단락된 것은 아닙니다. 이것을 V_n 과 V_p 사이에 *가상 단락*이라고 합니다. 가상 단락 개념을 사용해서 **그림 2-1**의 비반전 연산 증폭기 회로 분석을 더욱 단순화할 수 있습니다.

가상 단락 개념을 사용하면 다음과 같다고 할 수 있습니다.

$$V_n = V_p = V_i \quad (18)$$

그러면 V_n 을 구하는 것이 **방정식 12**에서 저항 분할기 문제를 푸는 것과 같아지므로 **방정식 18**을 대입해서 다음을 얻을 수 있습니다.

$$V_i = V_o \frac{R1}{R1 + R2} = V_o b \quad (19)$$

이 공식을 재배열해서 A를 구하면 다음과 같습니다.

$$A = \left(\frac{1}{b}\right) = 1 + \left(\frac{R2}{R1}\right) \quad (20)$$

방정식 17에서와 같은 결과가 도출됩니다. 가상 단락 개념을 사용해서 **그림 2-1**에서 보는 비반전 증폭기 계산을 저항 분할기 네트워크를 계산하는 것으로 단순화할 수 있습니다.

3 반전 증폭기

그림 3-1는 또 다른 기본적인 연산 증폭기 회로로서 반전 증폭기를 보여줍니다. 여기서도 이상적인 연산 증폭기를 나타내기 위해 삼각형 게인 블록 기호가 사용되고 있습니다. 입력 단자, + (V_p)는 비반전 입력이라고 하며, - (V_n)은 반전 입력을 나타냅니다. **그림 2-1**의 비반전 회로와 거의 비슷한데, 다만 신호를 R1을 거쳐서 반전 단자로 인가하고 비반전 단자를 접지로 연결하는 것이 다릅니다.

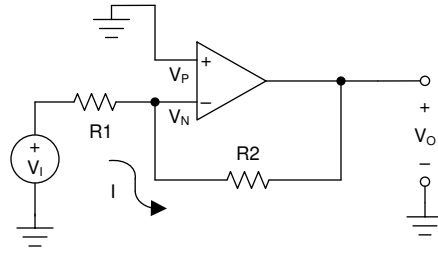


그림 3-1. 반전 증폭기

이 회로를 이해하기 위해서는 입력 전압 V_i 와 출력 전압 V_o 사이의 관계식을 도출해야 합니다.

V_p 를 접지로 연결하므로 다음과 같습니다.

$$V_p = 0 \quad (21)$$

입력으로 전류가 없다는 점을 상기하면, 대입을 해서 V_n 전압을 구할 수 있습니다. 먼저 $V_o = 0$ 이라고 하면 다음과 같습니다.

$$V_n = V_i \left(\frac{R_2}{R_1 + R_2} \right) \quad (22)$$

그 다음에는 $V_i = 0$ 이라고 하면 다음과 같습니다.

$$V_n = V_o \left(\frac{R_1}{R_1 + R_2} \right) \quad (23)$$

합치면 다음과 같습니다.

$$V_n = V_o \left(\frac{R_1}{R_1 + R_2} \right) + V_i \left(\frac{R_2}{R_1 + R_2} \right) \quad (24)$$

공식 [방정식 14](#)에서 $V_o = aV_d = a(V_p - V_n)$ 을 대입해서 재정리를 하면 다음과 같은 공식을 얻을 수 있습니다.

$$A = \frac{V_o}{V_i} = 1 - \left(\frac{1}{b} \right) \left(\frac{1}{1 + \frac{1}{ab}} \right) \quad (25)$$

여기서

$$b = \frac{R_1}{R_1 + R_2} \quad (26)$$

이 역시 증폭기 회로입니다. $b < 1$ 이므로, 폐쇄 루프 이득 A 가 음이고 V_o 의 극성은 V_i 와 반대가 될 것입니다. 그러므로 반전 증폭기입니다.

3.1 폐쇄 루프 개념과 간소화

[방정식 24](#)로 [방정식 1](#)의 $a = \infty$ 를 대입하면 다음과 같습니다.

$$A = 1 - \frac{1}{b} = -\frac{R_2}{R_1} \quad (27)$$

[방정식 6](#)에서 V_n 과 V_p 사이의 전압 차이 V_d 가 0인 것으로 가정했던 것을 상기하면, $V_n = V_p$ 입니다. 그렇지만 단락된 것은 아닙니다. 이것을 V_n 과 V_p 사이에 *가상 단락*이라고 합니다. 가상 단락 개념을 사용해서 [그림 3-1](#)의 반전 연산 증폭기 회로 분석을 더더욱 단순화할 수 있습니다.

가상 단락 개념을 사용하면 다음과 같다고 할 수 있습니다.

$$V_n = V_p = 0 \quad (28)$$

이 구성으로는 반전 입력이 가상 접지입니다.

반전 입력에서 노드 공식은 다음과 같습니다.

$$\frac{V_n - V_i}{R1} + \frac{V_n - V_o}{R1} = 0 \quad (29)$$

$V_n = 0$ 이므로 공식을 재배열해서 다음과 같이 A 를 구할 수 있습니다.

$$A = 1 - \frac{1}{b} = -\frac{R2}{R1} \quad (30)$$

동일한 결과를 방정식 24에서보다 더 손쉽게 도출할 수 있습니다. 가상 단락(또는 가상 접지) 개념을 사용해서 그림 3-1에서 보는 반전 증폭기 계산을 단일 노드 공식을 푸는 것으로 단순화할 수 있습니다.

4 연산 증폭기 회로 개략도

실제 연산 증폭기는 이상적이지 않고 한계점들을 갖습니다. 그림 4-1의 연산 증폭기 회로 개략도를 사용해서 이러한 한계점들을 논의하겠습니다.

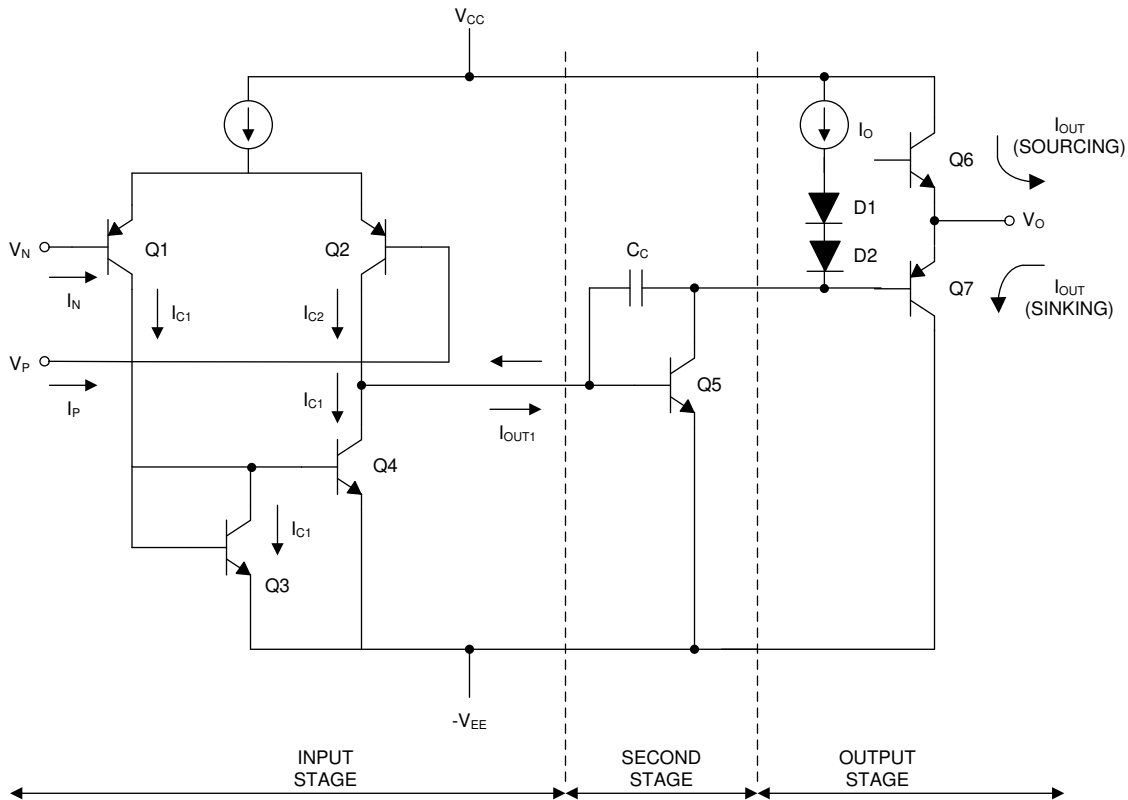


그림 4-1. 간소화된 연산 증폭기 회로 다이어그램

이 회로 개략도는 통상적인 연산 증폭기의 기본적인 세 부분을 포함합니다.

- 입력 스테이지
- 이차 스테이지
- 출력 스테이지

입력 스테이지는 입력 차이 $V_p - V_n$ 을 증폭하고 이것을 싱글 엔디드 신호로 변환합니다. 이차 스테이지는 신호를 추가적으로 증폭하고 주파수 보상을 합니다. 출력 스테이지는 출력 구동 기능을 합니다.

4.1 입력 스테이지

적절한 동작을 위해서는 입력 스테이지의 대칭성이 중요합니다. 각기 트랜지스터 쌍인 Q1-Q2와 Q3-Q4를 되도록 일치하게 매칭합니다.

Q3은 다이오드 연결을 합니다. 이렇게 하면 Q3의 컬렉터 전류가 IC_1 과 같습니다. Q3과 Q4의 베이스-이미터 접합부가 병렬이므로 둘이 동일한 V_{BE} 입니다. Q4를 Q3과 매칭하므로, 이 컬렉터 전류 역시 IC_1 과 같습니다. 이 회로를 전류 미러(current mirror)라고 합니다.

전류 소스 $2I_E$ 는 Q1과 Q2 사이에 분할됩니다. 이 분할은 입력 전압 V_p 와 V_n 에 따라서 달라집니다.

V_p 가 V_n 보다 양이면 Q1이 Q2보다 더 많은 전류를 운반하고 IC_1 이 IC_2 보다 큼니다. Q3-Q4의 전류 미러 동작에 의해서 I_{OUT1} 이 Q2-Q4의 컬렉터-컬렉터 접합부로 들어갑니다.

V_n 이 V_p 보다 양이면 Q2가 Q1보다 더 많은 전류를 운반하고 IC_2 가 IC_1 보다 큼니다. Q3-Q4의 전류 미러 동작에 의해서 I_{OUT1} 이 Q2-Q4의 컬렉터-컬렉터 접합부로부터 나옵니다.

I_{OUT1} 은 일차 스테이지로부터 나오는 싱글 엔디드 신호이고 차동 입력 $V_p - V_n$ 에 비례합니다. $I_{OUT1} = gm_1(V_p - V_n)$ 입니다. 여기서 gm_1 은 입력 스테이지의 트랜스컨덕턴스입니다. 입력 스테이지는 트랜스컨덕턴스 증폭기입니다.

4.2 이차 스테이지

이차 스테이지는 I_{OUT1} 을 전압으로 변환하고 주파수 보상을 합니다. I_{OUT1} 이 Q2-Q4의 컬렉터-컬렉터 접합부로 들어가면, 이차 스테이지 출력 전압이 양으로 구동됩니다. I_{OUT1} 이 Q2-Q4의 컬렉터-컬렉터 접합부로부터 나오면, 이차 스테이지 출력 전압이 음으로 구동됩니다. 이차 스테이지는 트랜스저항 증폭기입니다.

이차 스테이지의 커패시터 C_c 는 내부적 주파수 보상을 합니다. 주파수가 증가함에 따라서 이득이 감소합니다. C_c 가 없다면 대부분의 애플리케이션으로 연산 증폭기가 발진을 일으키지 않도록 하기 위해서 외부적 보상이 필요할 것입니다.

4.3 출력 스테이지

출력 스테이지는 전형적인 Class AB 푸시풀 증폭기입니다. Q6과 Q7의 이미터 팔로어 구성이 출력 부하로 단위 전압 이득으로 전류 구동을 제공합니다. 출력 스테이지는 전류 증폭기입니다.

5 연산 증폭기 사양

연산 증폭기 회로를 적정 이득 및 주파수로 작동하면 실제 성능이 이상적 성능에 근접할 것입니다. 하지만 이득과 주파수가 높아짐에 따라서 연산 증폭기의 특정한 제한점들이 회로 성능에 영향을 미칠 것입니다.

이론적으로 연산 증폭기의 내부 구조와 연산 증폭기를 제조하기 위해서 사용된 공정들을 이해함으로써 이러한 영향들을 계산할 수 있습니다. 하지만 다행히도 직접 이렇게 할 필요는 없습니다. 제조업체들이 데이터 시트로 이 정보를 제공하기 때문입니다. 그러므로 자신의 애플리케이션으로 적합한 연산 증폭기를 선택하기 위해서는 데이터 시트 사양을 잘 해석하는 것이 필요합니다.

이 글에서는 Texas Instruments의 데이터 시트에 기반해서 연산 증폭기 파라미터에 대해서 설명합니다. 다음 정의(주의 사항 제외)는 텍사스 인스트루먼트의 데이터 북, *증폭기, 콤퍼레이터 및 특수 기능(Amplifiers, Comparators, and Special Functions)*에 있는 "연산 증폭기 용어"에서 가져온 것입니다. 페이지 1-37~페이지 1-40 및 페이지 5-37~페이지 5-40페이지까지의 "연산 증폭기 용어" 부분에서 가져온 것입니다(특히 언급한 것 제외). 데이터 시트에서 볼 수 있는 대부분의 파라미터들을 열거하고 있습니다.

5.1 절대 최대 정격과 권장 동작 조건

TI의 연산 증폭기로 다음 파라미터들은 절대 최대 정격과 권장 동작 조건을 표기합니다. 연산 증폭기를 권장 조건으로 작동하면 정격 값에 좀더 가깝게 작동할 수 있습니다. 표기된 최대 값을 넘으면 예기치 않은 동작이 발생되거나 영구적인 손상이 발생할 수 있습니다.

- 최대 절대
 - 전원 전압
 - 차동 입력 전압
 - 입력 전압 범위
 - 입력 전류
 - 출력 전류
 - V_{DD+} 로 들어가는 총 전류
 - V_{DD-} 로부터 나오는 총 전류
 - 단락 회로 전류 지속시간(25°C 이하)

- 연속적 총 전력 소모
- 동작 온도
- 보관 온도
- 리드 온도
- 권장 동작 조건
 - 전원 전압
 - 입력 전압 범위
 - 공통 모드 입력 전압
 - 동작 온도

5.2 입력 오프셋 전압

입력 오프셋 전압 V_{IO} 는 “정지 DC 출력 전압을 0이나 또는 여타의 지정된 수준으로 만들기 위해서 입력 단자들 사이에 인가해야 하는 DC 전압”으로 정의할 수 있습니다. 입력 단계가 완벽하게 대칭이고 트랜지스터가 완벽하게 일치하면 $V_{IO} = 0$ 입니다. 하지만 제조 시의 변동성 때문에 구조나 불순물이 완벽하게 정확할 수 없습니다. 그러므로 모든 연산 증폭기들이 평형을 이루기 위해서 반전 입력과 비반전 입력 사이에 약간의 전압을 필요로 합니다. 그림 5-1에서 보듯이 V_{IO} 는 전압 소스를 사용해서 비반전 입력을 구동하는 것으로 설명할 수 있습니다.

TI 데이터 시트에서는 V_{IO} 와 관련해서 또 다른 두 개의 파라미터를 표기하고 있습니다. 입력 오프셋 전압의 평균 온도 계수와 입력 오프셋 전압의 장기적 드리프트입니다.

입력 오프셋 전압의 평균 온도 계수 αV_{IO} 는 온도에 대해서 예상되는 입력 오프셋 드리프트입니다 단위는 $\mu V/^\circ C$ 입니다. V_{IO} 는 해당 디바이스로 극단 온도들로 측정하고, αV_{IO} 는 $\Delta V_{IO} / \Delta ^\circ C$ 로 계산할 수 있습니다.

반도체 노후화로 인해서 디바이스 특성이 변화됩니다. 입력 오프셋 전압의 장기적 드리프트는 V_{IO} 가 시간이 지나면서 어떻게 변화할지를 나타낸 것입니다. 단위는 $mV/month$ 입니다.

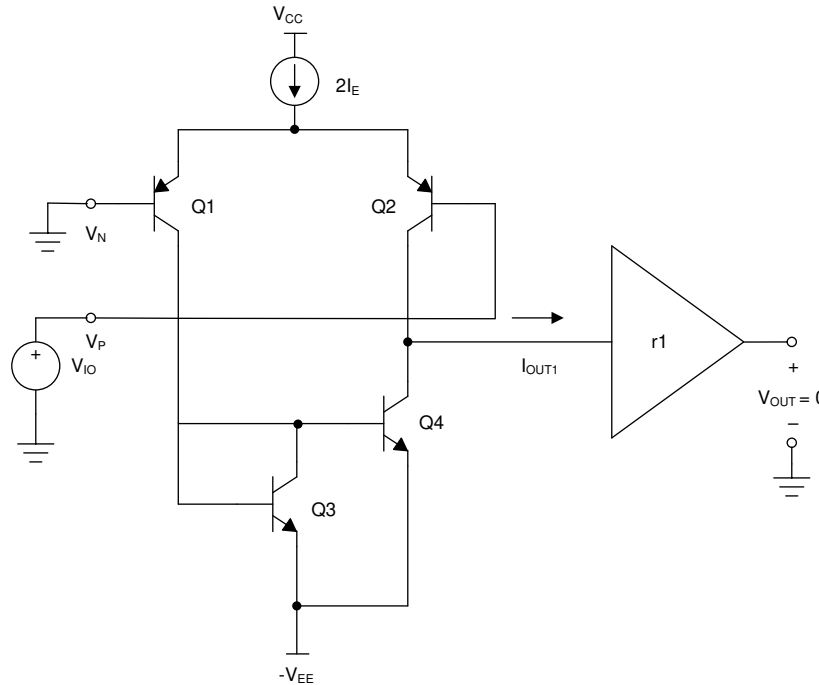


그림 5-1. V_{IO}

입력 오프셋 전압은 DC 정밀도를 요구하는 경우에 문제가 될 수 있습니다. 여러 방법들을 동원해서 이 영향을 제거할 수 있습니다.

5.3 입력 전류

다시 그림 4-1으로 돌아가서 보면, 각기 입력으로 어느 정도 바이어스 전류가 필요하다는 것을 알 수 있습니다. 입력 바이어스 전류 I_B 는 다음과 같이 두 입력의 평균으로 계산할 수 있습니다.

$$I_B = (I_N + I_P) / 2 \quad (31)$$

입력 오프셋 전류 I_{IO} 는 반전 입력과 비반전 입력에서 바이어스 전류의 차이입니다.

$$I_{IO} = I_N - I_P \quad (32)$$

바이어스 전류는 입력 소스 임피던스가 높을 때 문제가 될 수 있습니다. 대개 오프셋 전류는 바이어스 전류의 십여분의 일이므로, 입력들의 입력 임피던스를 매칭함으로써 출력 전압으로 입력 바이어스 전류의 영향을 제거할 수 있습니다.

5.4 입력 공통 모드 전압 범위

보통 연산 증폭기의 입력에 공통적인 전압이 있습니다. 이 공통 모드 전압이 지나치게 높거나 낮아지는 경우 입력이 차단되고 적절한 작업이 중단됩니다. 공통 모드 입력 전압 범위 V_{ICR} 은 정상적인 동작을 보장하는 범위를 말합니다.

그림 5-2은 그림 4-1의 연산 증폭기 회로를 사용해서 양의 입력 전압 한계를 보여줍니다. V_{IN+} 이 $V_{CC} - 0.9V$ 보다 높으면, 입력 트랜지스터와 전류 소스가 셧다운합니다.

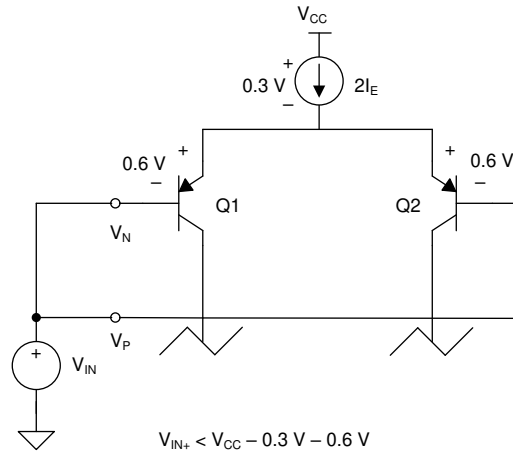


그림 5-2. 양의 공통 모드 전압 입력 한계

그림 5-3는 그림 4-1의 연산 증폭기 회로를 사용해서 음의 입력 전압 한계를 보여줍니다. V_{IN-} 이 $-V_{EE} + 0.6V$ 보다 낮으면 전류 미러(Q3-Q4)가 셧다운합니다.

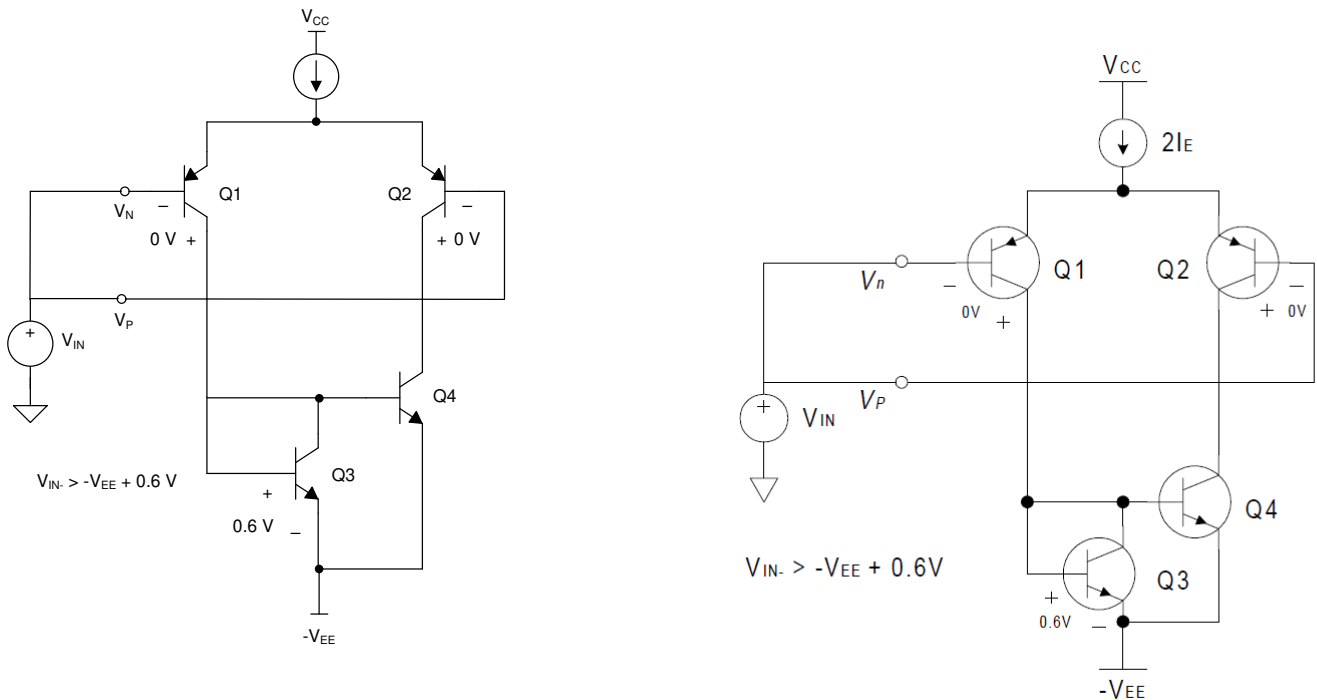
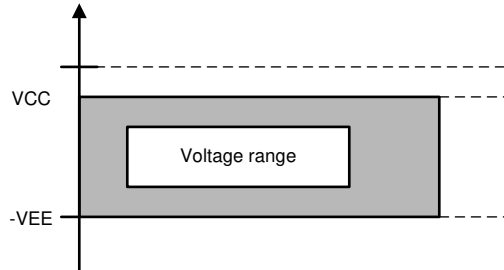


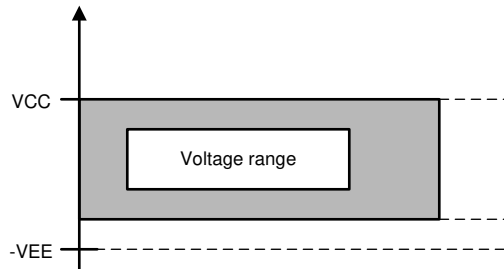
그림 5-3. 음의 공통 모드 입력 한계

위에서 예로 든 것과 같은 구조는 공통 모드 입력 전압으로 어느 쪽 전원 레일이든 포함하는 것을 할 수 없습니다. 다른 방법으로 연산 증폭기 입력을 구축하면 공통 모드 입력 전압 범위가 달라지고 어느 한 쪽이나 양쪽 다의 전원 레일을 포함할 수 있습니다. 다음과 같은 예를 들 수 있습니다(해당 회로도는 Texas Instruments의 참고 자료 *Amplifiers, Comparators, and Special Functions*에서 볼 수 있습니다).

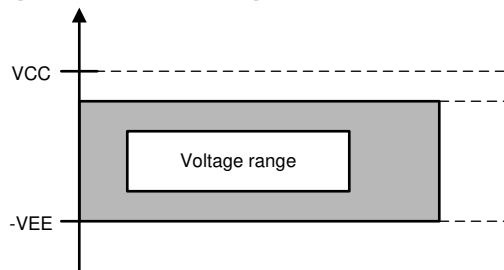
- LM324와 LM358은 바이폴라 PNP 입력을 사용하고 컬렉터를 음의 전원 레일로 연결합니다. V_{BC} 가 0이 될 수 있으므로, 공통 모드 입력 전압 범위로 음의 전원 레일을 포함할 수 있습니다.



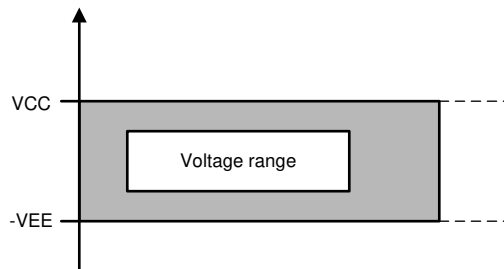
- TL07X와 TLE207X 같은 BiFET 연산 증폭기는 p-채널 JFET을 사용하고 소스를 바이폴라 전류 소스를 통해서 양의 전원 레일로 연결합니다. V_{GS} 가 0이 될 수 있으므로, 이 구조는 공통 모드 입력 전압 범위로 양의 전원 레일을 포함할 수 있습니다.



- TI LinCMOS 연산 증폭기는 p-채널 CMOS 입력을 사용하고 서브스เตร이트를 양의 전원 레일로 연결합니다. 그러므로 $V_G + V_{TH} < V_{DD}$ 이면 전도 채널을 형성하고, 그러므로 공통 모드 입력 전압 범위로 음의 전원 레일을 포함할 수 있습니다.



- 레일-to-레일 입력 연산 증폭기는 차동 입력으로 상보형 N형 및 P형 디바이스를 사용합니다. 공통 모드 입력 전압이 어느 한 쪽 레일에 가까워지더라도, 차동 입력 중에서 적어도 하나는 계속해서 작동합니다.



5.5 차동 입력 전압 범위

차동 입력 전압 범위는 일반적으로 데이터 시트에 절대 최대값으로 지정됩니다. [그림 5-4](#)은 이것을 보여줍니다.

차동 입력 전압이, 입력 트랜지스터 Q1의 베이스-이미터 역방향 항복 전압에 Q2의 베이스-이미터 순방향 항복 전압을 더한 것보다 크면, Q1의 BE 접합부가 제너 다이오드처럼 동작합니다. 이것은 파괴적인 동작으로서 Q1의 전류 이득을 악화시킵니다. V_{IN_DIFF} 가 반전되더라도 마찬가지입니다. 다만 Q2로 항복이 일어납니다.

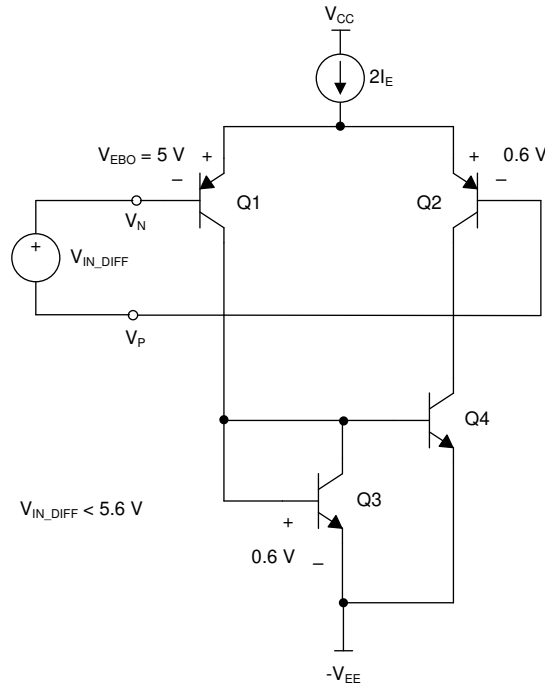


그림 5-4. 차동 모드 전압 입력 한계

일부 디바이스는 보호 기능을 내장하며, 입력으로 공급되는 전류를 제한해야 합니다. 차동 입력 모드 전압 한계는 설계 상의 문제가 되지 않습니다.

5.6 최대 출력 전압 스윙

최대 출력 전압 $V_{OM\pm}$ 는 “정지 DC 출력 전압이 0일 때 파형 클리핑을 하지 않고 달성할 수 있는 최대 양 또는 음의 피크 출력 전압”으로 정의할 수 있습니다. $V_{OM\pm}$ 는 증폭기 출력 임피던스, 출력 트랜지스터의 포화 전압, 전원 전압에 따라서 제한됩니다. 그림 5-5은 이것을 보여줍니다. $V_{OM\pm}$ 가 출력 부하에 따라서 달라진다는 것을 알 수 있습니다.

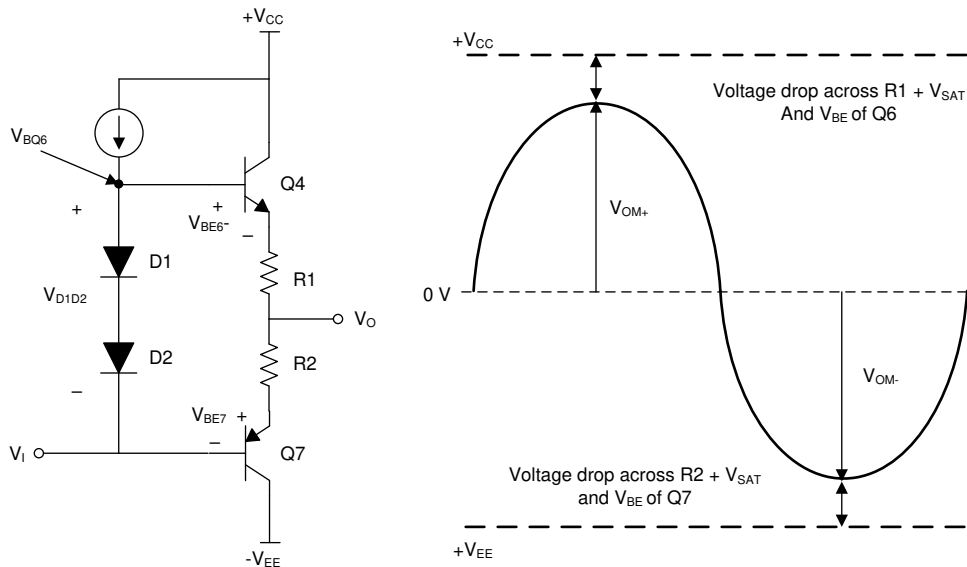


그림 5-5. $V_{OM\pm}$

V_{BQ6} 가 될 수 있는 최대 값은 $+V_{CC}$ 입니다. 그러므로 $V_O \leq +V_{CC} - V_{R1} - V_{BEQ6} - V_{SATQ6}$ 입니다. V_i 가 될 수 있는 최소 값은 $-V_{EE}$ 입니다. 그러므로 $V_O \geq -V_{EE} + V_{R2} + V_{BEQ7} + V_{SATQ7}$ 입니다.

이 이미터 팔로어 구조는 출력 전압을 어느 쪽 레일로든 구동할 수 없습니다. 레일-to-레일 출력 연산 증폭기는 공통 이미터(바이폴라) 또는 공통 소스(CMOS) 출력 스테이지를 사용합니다. 이들 구조는 출력 트랜지스터의 포화 전압(바이폴라)이나 온저항(CMOS)과 구동하고자 하는 부하에 따라서만 출력 전압 스윙이 제한됩니다.

최신 제품들은 주로 단일 전원 동작이므로, 최근에 Texas Instruments의 데이터 시트에서는 최대 및 최소 출력 전압을 표기하기 위해서 VOH와 VOL이라는 용어를 사용하고 있습니다.

연산 증폭기가 레일 수준으로 구동할 수 없으면 동적 범위를 잃는 경우에 최대 및 최소 출력 전압이 설계 문제가 될 수 있습니다. 단일 전원 시스템으로 연산 증폭기를 사용해서 아날로그-디지털 컨버터의 입력을 구동하고 이 컨버터가 접지부터 양의 레일까지 풀스케일 입력 전압을 지원하도록 구성된 경우가 바로 그렇습니다.

5.7 대신호 차동 전압 증폭

대신호 차동 전압 증폭 A_{VD} 는 V_{CM} 을 일정하게 유지하고서 입력 차동 전압 변화에 대해서 출력 전압 변화의 비입니다. 이 파라미터는 개방 루프 이득과 밀접하게 연관됩니다. 이 차이를 출력 부하를 사용해서 측정하므로 부하 효과를 반영합니다.

A_{VD} 의 DC 값이 데이터 시트에 게시되지만 A_{VD} 는 주파수에 따라 다릅니다. **그림 5-12**은 주파수에 따른 A_{VD} 그래프를 보여줍니다.

정밀한 이득이 요구되는 경우에 A_{VD} 가 설계 문제가 될 수 있습니다. **방정식 16**을 보면, 다음과 같이 비반전 증폭기의 루프 이득을 구할 수 있습니다:

$$A = \frac{V_o}{V_i} = \left(\frac{1}{b}\right) \left(\frac{1}{1 + \frac{1}{ab}}\right) \quad (33)$$

여기서,

$$b = \frac{R1}{R1 + R2} \quad (34)$$

적합한 저항을 선택해서 회로의 이득을 제어할 수 있습니다. 이 공식에서 $1/ab$ 항을 오차 요인으로 볼 수 있습니다. a 또는 A_{VD} 가 $1/b$ 와 비교해서 크면, 회로 이득으로 원치 않는 영향을 미칠 수 있습니다

5.8 입력 기생 성분

양쪽 입력 모두 연관된 기생 임피던스가 있습니다. **그림 5-6**의 모델은 각 입력 단자와 접지 사이에 그리고 두 단자 사이에 저항과 커패시턴스를 보여줍니다. 기생 인덕턴스도 있을 수 있는데, 낮은 주파수로 무시할 만합니다.

소스 임피던스가 높으면 입력 임피던스가 설계 문제가 될 수 있습니다. 입력은 소스를 로드합니다.

입력 커패시턴스가 피드백 경로로 과도한 위상 편이를 일으킬 수 있습니다. 그러면 위상 마진을 깎아먹고 높은 값의 피드백 저항을 사용할 때 문제가 될 수 있습니다.

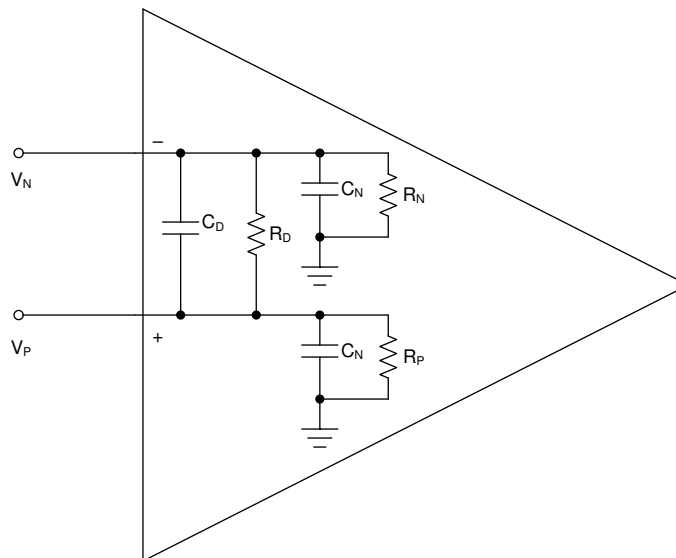


그림 5-6. 입력 기생 성분

5.8.1 입력 커패시턴스

입력 커패시턴스 C_i 는 어느 한 쪽 입력을 접지로 연결하고 입력 단자들 사이에 측정합니다. C_i 는 통상적으로 수 pF 대입니다. **그림 5-6**에서 보면, V_p 를 접지로 연결하면 $C_i = C_d \parallel C_n$ 입니다.

어떤 경우에는 공통 모드 입력 커패시턴스 C_{ic} 를 표기할 수 있습니다. **그림 5-6**에서 보면, V_p 를 V_n 으로 단락시키면 $C_{ic} = C_p \parallel C_n$ 입니다. 공통 모드 소스를 접지로 연결할 때 겪는 입력 커패시턴스입니다.

5.8.2 입력 저항

입력 저항 r_i 및 r_{id} 에 대한 두 가지 매개변수는 텍사스 인스트루먼트의 데이터 북 *증폭기, 콤파레이터 및 특수 기능의* 다음 페이지에 정의되어 있습니다. 페이지 1-39 페이지에서는 입력 저항과 관련하여 r_i 와 r_{id} 의 두 파라미터를 정의하고 있습니다. 입력 저항 r_i 는 “어느 한쪽 입력을 접지로 연결하고 입력 단자들 사이의 저항”입니다. 차동 입력 저항 r_{id} 는 “접지로 연결하지 않은 두 입력 단자들 사이의 소신호 저항”입니다.

그림 5-6에서 r_i 를 보면, V_p 를 접지로 연결하면 $r_i = R_d \parallel R_n$ 입니다. 입력 유형에 따라서, 이 값은 $10^7 \Omega$ 부터 $10^{12} \Omega$ 까지 이를 수 있습니다.

그림 5-6에서 r_{id} 를 보면, 양쪽 입력 단자들을 플로팅시키고서 $r_{id} = R_d \parallel (R_n + R_p)$ 입니다. 입력 유형에 따라서, 이 값은 $10^7 \Omega$ 부터 $10^{12} \Omega$ 까지 이를 수 있습니다.

어떤 경우에는 공통 모드 입력 저항 r_{ic} 를 표기하기도 합니다. **그림 5-6**에서 r_{ic} 를 보면, V_p 를 V_n 으로 단락시키면 $r_{ic} = R_p \parallel R_n$ 입니다. 공통 모드 소스를 접지로 연결할 때 겪는 입력 저항입니다.

5.9 출력 임피던스

다양한 데이터 시트에서 출력 임피던스를 두 가지 서로 다른 조건으로 표기하고 있습니다. 어떤 데이터 시트에서는 폐쇄 루프 출력 임피던스를 표기하고, 어떤 데이터 시트에서는 개방 루프 출력 임피던스를 표기합니다. 그러면서 둘 다 Z_o 로 표기합니다.

Z_o 는 출력 단자와 접지 사이의 소신호 임피던스로 정의됩니다(*증폭기, 콤파레이터 및 특수 기능*, 1-40 페이지 참조). 데이터 시트 값은 50Ω 부터 200Ω 까지 이를 수 있습니다.

레일-to-레일 출력 연산 증폭기에 사용되는 공통 이미터(바이폴라) 및 공통 소스(CMOS) 출력 스테이지는 이미터 팔로어 출력 스테이지보다 출력 임피던스가 높습니다.

레일-to-레일 출력 연산 증폭기를 사용해서 높은 부하를 구동하고자 할 때 출력 임피던스가 설계 문제가 될 수 있습니다. 부하가 주로 저항성이면, 출력 임피던스에 따라서 출력이 레일들에 얼마나 가까이 갈 수 있는지가 제한될 수 있습니다. 부하가 용량성인 경우 추가 위상 변이로 인해 위상 마진이 사라집니다. **그림 5-7**은 Z_o 가 주로 저항성이라고 했을 때 출력 임피던스가 출력 신호에 어떻게 영향을 미치는지 보여줍니다.

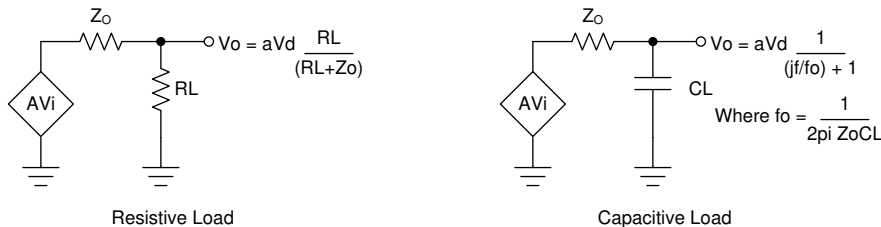


그림 5-7. 출력 임피던스의 영향

5.10 공통 모드 제거비

공통 모드 제거비(CMRR)는 공통 모드 전압 증폭에 대해서 차동 전압 증폭의 비입니다. 다시 말해서 A_{DIF}/A_{COM} 입니다. 이상적으로 공통 모드 전압을 완벽하게 제거했을 때 이 비는 무한대가 될 것입니다.

공통 모드 입력 전압은 입력 차동 쌍의 바이어스 점에 영향을 미칩니다. 입력 회로로 근본적인 불일치로 인해서 바이어스 점이 변화되면 오프셋 전압이 변화되고, 이것은 다시 출력 전압을 변화시킵니다. 실제 메커니즘은 $\Delta V_{OS}/\Delta V_{COM}$ 입니다.

Texas Instruments의 데이터 시트에서 $CMRR = \Delta V_{COM}/\Delta V_{OS}$ (dB 단위로 양의 수).

데이터 시트에 표기되는 CMRR은 DC 파라미터입니다. CMRR을 주파수에 따른 그래프로 표시하면, 이 값이 주파수가 증가함에 따라서 낮아지는 것을 볼 수 있습니다.

주된 공통 모드 간섭 전압 요인은 AC 메인으로부터의 50Hz 또는 60Hz 잡음입니다. 다른 회로 부품들로 인해서 연산 증폭기의 CMRR이 나빠지지 않도록 주의를 기울여야 합니다.

5.11 전원 전압 제거비

전원 전압 제거비 k_{SVR} (PSRR이라고도 함)은 전원 전압 변화에 대해서 출력 전압 변화의 비입니다.

전원 전압은 입력 차동 쌍의 바이어스 점에 영향을 미칩니다. 입력 회로로 근본적인 불일치로 인해서 바이어스 점이 변화되면 오프셋 전압이 변화되고, 이것은 다시 출력 전압을 변화시킵니다. 실제 메커니즘은 $\Delta V_{OS}/\Delta V_{CC\pm}$ 입니다.

Texas Instruments의 데이터 사이트에서는 듀얼 전원 연산 증폭기의 경우에 $k_{SVR} = \Delta V_{CC\pm}/\Delta V_{OS}$ 입니다(dB 단위로 양의 수). $\Delta V_{CC\pm}$ 항은 플러스 및 마이너스 전원이 대칭적으로 변화된다는 것을 뜻합니다. 단일 전원 연산 증폭기의 경우에는 $k_{SVR} = \Delta V_{DD}/\Delta V_{OS}$ 입니다(dB 단위로 양의 수).

또 하나 짚고 넘어갈 점은, k_{SVR} 을 일으키는 메커니즘이 CMRR과 같다는 것입니다. 그러므로 데이터 사이트에 표기되는 k_{SVR} 은 CMRR과 마찬가지로 DC 파라미터입니다. k_{SVR} 을 주파수 대비 그래프로 표시하면 주파수가 증가함에 따라서 감소하는 것을 볼 수 있습니다.

스위칭 전원장치는 잡음이 20kHz부터 200kHz 혹은 그 이상까지 이를 수 있습니다. 이러한 높은 주파수로는 k_{SVR} 이 거의 0이므로, 전원장치 잡음이 연산 증폭기 출력으로 잡음을 발생시킵니다.

5.12 전원 전류

전원 전류 I_{DD} 는 무부하로 연산 증폭기가 인출하는 정지 전류(quiescent current)입니다. Texas Instruments의 데이터 사이트에서 이 파라미터는 전체 패키지로 인출되는 총 정지 전류입니다. 다만 TL05X, TL06X, TL07X는 예외로서, 이들 디바이스의 경우에 I_{DD} 는 각 증폭기로 인출되는 정지 전류입니다.

연산 증폭기에서는 전력 소모가 잡음 및 속도와 절충 관계입니다.

5.13 단위 이득일 때 slew rate

slew rate SR은 스텝 입력에 대해서 출력 전압이 변화하는 속도입니다. 단위는 V/us 또는 V/ms입니다. [그림 5-8](#)은 slew rate을 보여줍니다.

다시 [그림 4-1](#)으로 돌아가서 보면, 커패시터 CC의 충전 및 방전에 따라서 이차 스테이지로 전압 변화가 제한됩니다. 차동 쌍의 어느 한 쪽으로 $2I_E$ 를 전도하고 있을 때 최대 비율의 변화가 일어납니다. 이것이 slew rate을 제한하는 가장 주된 요인입니다. 기본적으로 $SR = 2I_E/CC$ 입니다. 하지만 다른 원리로 작동하는 연산 증폭기는 다를 수 있습니다.

전류가 입력 스테이지로 들어가도록 하거나 또는 나오도록 해서 이차 스테이지로 전압을 변화시키기 위해서는 입력으로 오차 전압이 필요합니다. 바이폴라 입력을 사용하는 연산 증폭기로 최대의 slew rate을 위해서는 120mV 대의 오차 전압이 필요합니다. JFET이나 MOSFET 입력의 경우에는 이 전압이 1V부터 3V까지로 높을 수 있습니다.

커패시터 CC를 추가해서 연산 증폭기를 단위 이득으로 안정적하도록 만들 수 있습니다. 어떤 연산 증폭기는 CC 값을 낮춘 저보상 버전이 제공됩니다. 이렇게 하면 구현 가능한 대역폭과 slew rate을 높이는 대신에, 엔지니어가 다른 방법으로 회로 안정성을 달성해야 합니다.

연산 증폭기는 전력 소모가 잡음 및 속도와 절충 관계입니다. slew rate을 높이고자 하면, 연산 증폭기 내의 바이어스 전류가 증가합니다.

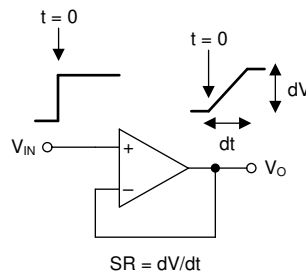


그림 5-8. slew rate

5.14 등가 입력 잡음

모든 연산 증폭기는 기생 잡음 요인을 포함합니다. 잡음은 연산 증폭기 출력에서 측정하고 입력으로 참조합니다. 그래서 이것을 등가 입력 잡음이라고 합니다.

등가 입력 잡음 사양은 통상적으로 두 가지 방법으로 표기됩니다. 첫 번째 방법은, 스팟 잡음을 표기하는 것입니다. 다시 말해서 등가 입력 잡음을 특정 주파수일 때 루트 헤르츠당 전압 V_n (혹은 전류 I_n)으로 표기하는 것입니다. 두 번째 방법은, 잡음을 주파수 대역에 걸쳐서 피크-대-피크 값으로 표기하는 것입니다. 이들 파라미터에 대해서 설명하기 위해서는 잡음 특성에 대해서 간략히 살펴보는 것이 필요합니다.

연산 증폭기에서 잡음의 스펙트럼 밀도는 $1/f$ 및 백색 잡음 성분을 갖습니다. $1/f$ 잡음은 주파수에 반비례하며 저주파수에서만 심합니다. 백색 잡음은 스펙트럼이 평면입니다. **그림 5-9**는 연산 증폭기의 등가 입력 잡음 그래프를 보여줍니다.

통상적으로 스팟 잡음은 두 주파수로 표기됩니다. 첫 번째 주파수는 대개 10Hz로서, 이 지점에서 잡음은 $1/f$ 스펙트럼 밀도를 나타냅니다. 두 번째 주파수는 1kHz로서, 이 지점에서 잡음은 스펙트럼 상으로 평평합니다. 사용되는 단위는 주로 RMS nV $\sqrt{\text{Hz}}$ 입니다(전류 잡음의 경우에는 RMS pA $\sqrt{\text{Hz}}$). **그림 5-9**에서는 $1/f$ 에서 백색 잡음으로 전환되는 지점을 코너 주파수 f_{CE} 로 표기하고 있습니다.

예를 들어서 $V_N(PP)$ 같은 잡음 사양은 통상적으로 0.1Hz~1Hz나 0.1Hz~10Hz 같은 특정한 주파수 대역에 걸쳐서 피크-대-피크 잡음입니다. 측정 단위는 일반적으로 nV pk-pk입니다. RMS에 주어진 잡음 전압을 pk-pk로 변환하기 위해 잡음 전압에서 볼 수 있는 높은 파고율을 설명하기 위해 일반적으로 약 6의 팩터가 사용됩니다. 즉, $V_N(PP) = 6 \times V_N(RMS)$ 입니다.

연산 증폭기로 바이어스 전류를 높이면 잡음이 감소합니다(SR, GBW, 전력 소모는 높아집니다).

또한 연산 증폭기 입력으로 저항이 잡음을 추가합니다. 비반전 입력으로 입력 저항을 반전 입력으로 입력 저항과 평형을 이루도록 하면 입력 바이어스 전류로 인한 오프셋과 관련해서는 도움이 되지만 회로로 잡음을 추가합니다.

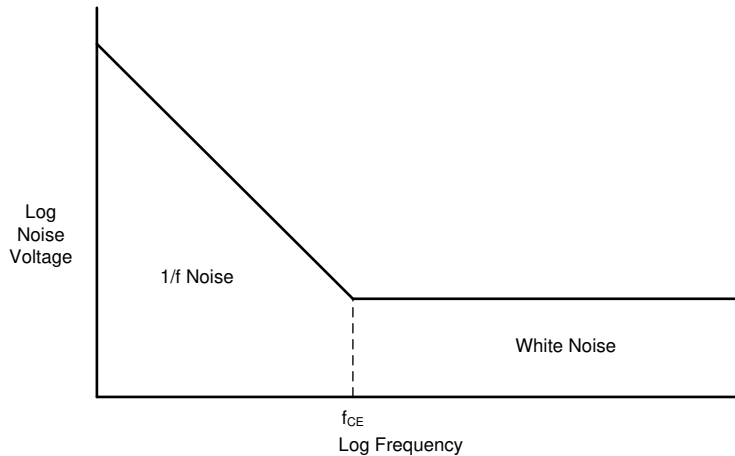


그림 5-9. 연산 증폭기 입력 잡음 스펙트럼 예

5.15 총 고조파 왜곡 + 잡음

총 고조파 왜곡 + 잡음 THD + N은 입력의 주파수 성분에 대해서 출력 신호의 주파수 성분을 비교한 것입니다. 이상적으로는 입력 신호가 순수한 사인파이면 출력 신호도 순수한 사인파입니다. 하지만 연산 증폭기의 비선형성과 잡음 요인들로 인해서 출력은 결코 순수할 수 없습니다. THD + N은 기본 주파수에 대해서 그 외의 모든 주파수 성분의 비로서, 통상적으로 다음과 같이 백분율로 표기됩니다:

$$\text{THD} + N = \frac{\sum(\text{Harmonic Voltage} + \text{Noise Voltages})}{\text{Total Output Voltage}} \times 100\% \quad (35)$$

그림 5-10은 THD + N = 1%라고 했을 때의 그래프를 보여줍니다. 기본 주파수는 입력 신호와 같은 주파수이고 출력 신호의 99%를 차지합니다. 연산 증폭기의 비선형적 동작으로 인해서 출력으로 기본 주파수의 고조파가 발생합니다. 출력 잡음의 주원인은 연산 증폭기의 입력 참조 잡음입니다. 모든 고조파와 잡음을 합하면 출력 신호에서 약 1%를 차지합니다.

연산 증폭기로 왜곡을 일으키는 두 가지 주된 이유가 출력 전압 스윙과 slew rate의 한계 때문입니다. 연산 증폭기로 낮은 THD를 달성하기 위해서는 권장 동작 조건 이하로 동작해야 합니다.

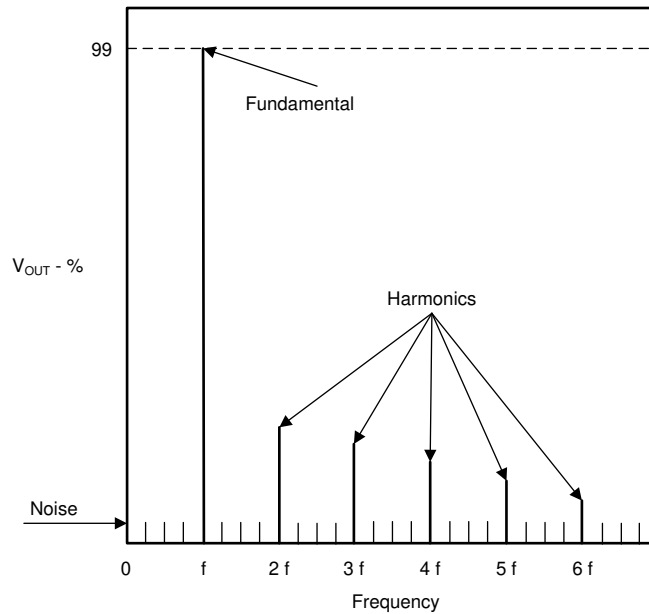


그림 5-10. THD + N = 1%일 때 출력 스펙트럼

5.16 단위 이득 대역폭과 위상 마진

Texas Instruments의 데이터 시트에서는 연산 증폭기의 주파수 특성과 관련하여 다음의 다섯 가지 파라미터를 만나실 수 있습니다:

- 단위 이득 대역폭(B_1)
- 이득 대역폭 곱(GBW)
- 단위 이득일 때 위상 마진(ϕ_m)
- 이득 마진
- 최대 출력 스윙 대역폭(B_{OM})

단위 이득 대역폭(B_1)과 이득 대역폭 곱(B_1)은 비슷합니다. B_1 은 연산 증폭기의 AVD가 1인 주파수를 말합니다:

$$B_1 = f @ A_{VD} = 1 \quad (36)$$

GBW는 개방 루프 구성으로 출력을 구동했을 때 연산 증폭기의 이득-대역폭 곱을 말합니다:

$$GBW = AVD \times f \quad (37)$$

단위 이득일 때 위상 마진(ϕ_m)은 단위 이득일 때의 위상 편이와 180° 사이에 차를 말합니다:

$$\phi_m = 180^\circ - B_1 \text{일 때 위상 편이} \quad (38)$$

이득 마진은 단위 이득과 180° 위상 편이일 때 이득 사이의 차이입니다:

$$\text{이득 마진} = 1 - 180^\circ \text{ 위상 편이일 때 이득} \quad (39)$$

최대 출력 스윙 대역폭(B_{OM})은 출력이 지정된 값을 넘는 대역폭을 말합니다:

$$B_{OM} = V_O > V_{MIN} \text{일 때의 } f_{MAX} \quad (40)$$

BOM을 제한하는 요인은 slew rate입니다. 주파수가 높아질수록 출력이 slew rate에 의해서 제한되고 지정된 출력 전압 스윙을 유지하기 위해서 충분히 재빨리 응답하지 못합니다.

연산 증폭기를 안정적으로 만들기 위해서 온칩 상으로 이차 스테이지로 커패시터 CC를 포함하고 있습니다(그림 4-1). 이러한 방식의 주파수 보상을 우성 극점 보상이라고 합니다. 기본적인 취지는 출력이 180° 위상 편이를 하기 앞서 연산 증폭기의 개방 루프 이득을 단위 이득으로 떨어트리는 것입니다. 그림 4-1는 매우 간소화한 것임을 기억하십시오. 실제 연산 증폭기 내에는 다른 주파수 형성 요소들이 존재합니다. 그림 5-11는 텍사스 인스트루먼트 데이터 시트에 일반적으로 제시된 내부 보상 연

산 증폭기에 대한 일반적인 게인 대 주파수 플롯을 보여줍니다. 그림 5-12은 동일한 정보를 보여주는 것인데, 편의상 위상 축을 이동시킨 것입니다.

앞서 언급했듯이 AVD가 주파수에 따라서 감소한다는 것을 볼 수 있습니다. 특정 주파수 대역으로 정밀한 이득을 요구하는 경우에 AVD(그러므로 B1 또는 GBW)가 설계 문제가 될 수 있습니다. 공식 방정식 16에 따라서 비반전 증폭기의 루프 이득을 다음과 같이 구할 수 있습니다:

$$A = \frac{V_o}{V_i} = \left(\frac{1}{b}\right) \left(\frac{1}{1 + \frac{1}{ab}}\right) \tag{41}$$

적합한 저항을 선택해서 회로의 이득을 제어할 수 있습니다. 이 공식에서 1/ab 항을 오차 요인으로 볼 수 있습니다. 모든 해당 되는 주파수로 a 또는 A_{VD}가 1/b와 비교해서 크지 않는 한, a가 회로 이득으로 원치 않는 영향을 미칠 수 있습니다.

위상 마진(φ_m)과 이득 마진은 서로 다른 방식으로 회로 안정성을 나타냅니다. 레일-to-레일 출력 연산 증폭기는 출력 임피던스가 높으므로, 용량성 부하를 구동할 때 상당한 위상 편이가 발생합니다. 이러한 추가적인 위상 편이는 위상 마진을 깎아먹고, 이러한 이유에서 레일-to-레일 출력을 사용하는 대부분의 CMOS 연산 증폭기는 용량성 부하를 구동하는 능력이 제한됩니다.

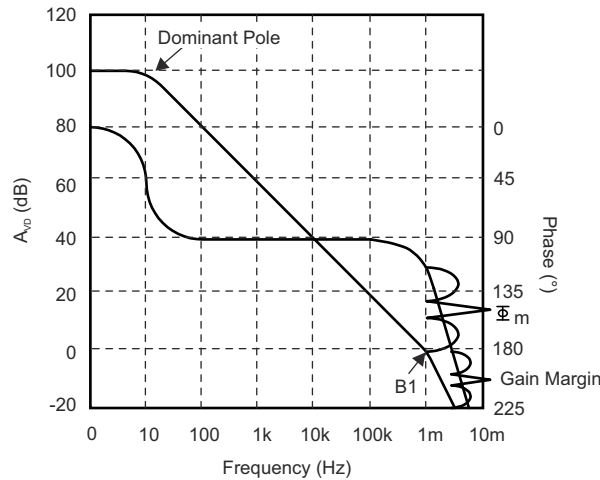


그림 5-11. 일반적인 큰 신호 차동 전압 증폭 및 위상 변이 vs. 주파수

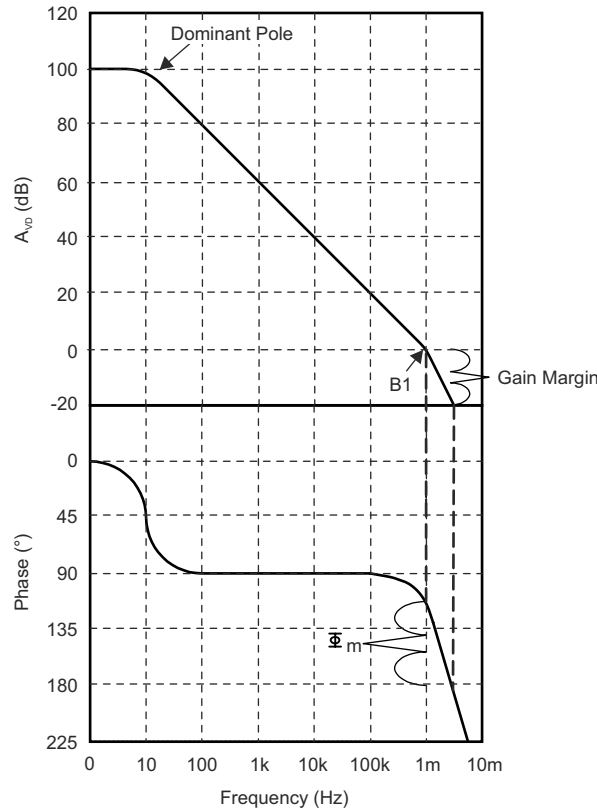


그림 5-12. 쉽게 판독할 수 있는 전압 증폭 및 위상 변이 vs. 주파수 그래프

5.17 안정화 시간

신호가 연산 증폭기의 내부 회로를 통해 전파되는 데 걸리는 시간은 한정되어 있습니다. 따라서 출력이 입력에서 단계 변화에 반응하는 데 일정 시간이 걸립니다. 또한 통상적으로 출력이 목표 값보다 높게 오버슈트를 일으키고, 감쇠 발진이 일어나고, 최종적으로 지정된 값으로 안정화합니다. 정착 시간(t_s)은 출력 전압이 단계 입력에서 주어진 최종 값의 지정된 백분율 내로 안정화되는 데 필요한 시간입니다. 그림 5-13는 이것을 보여줍니다.

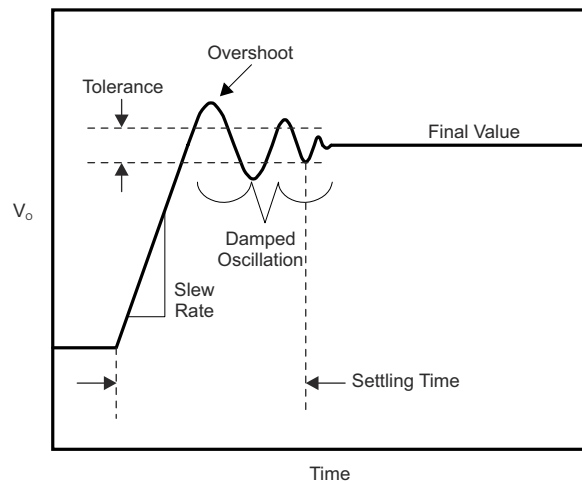


그림 5-13. 안정화 시간

안정화 시간은 신호가 빠르게 변화하는 데이터 포착 회로로 설계 문제가 될 수 있습니다. 예를 들어서 연산 증폭기에 이어서 다중화기를 사용해서 입력을 아날로그-디지털 컨버터로 버퍼링하고자 하는 경우를 들 수 있습니다. 다중화기가 채널을 변경할 때 연산 증폭기 입력으로 스텝 변화가 일어날 수 있습니다. 그러면 아날로그-디지털 컨버터가 신호를 샘플링하기에 앞서 연산 증폭기 출력이 특정한 허용오차 이내로 안정화해야 합니다.

6 참고 문헌

Paul R. Gray and Robert G Meyer. Analysis and Design of Analog Integrated Circuits. 2d ed., John Wiley & Sons, Inc., 1984.

Sergio Franco. Design with Operational Amplifiers and Analog Integrated Circuits. McGraw-Hill, Inc., 1988.

Texas Instruments, Inc. Amplifiers, Comparators, and Special Functions Data Book. Volume A and B, 1997.

7 연산 증폭기 용어

α IIO 입력 오프셋 전류의 평균 온도 계수	주변 온도 변화에 대해서 입력 오프셋 전류 변화의 비. 지정된 온도 범위로 평균 값입니다. 단위는 $\mu V/^{\circ}C$ 입니다.
αV_{IO}^{\dagger} 입력 오프셋 전압의 평균 온도 계수	주변 온도 변화에 대해서 입력 오프셋 전압 변화의 비. 지정된 온도 범위로 평균 값입니다. 단위는 $\mu V/^{\circ}C$ 입니다.
ϕ_m 위상 마진	개방 루프 증폭 계수가 1인 주파수로 출력과 반전 입력 사이에 개방 루프 위상 편이의 절대 값입니다.
A_m 이득 마진	개방 루프 위상 편이에 있어서 출력이 반전 입력과 동위상이 되는 가장 낮은 주파수로 개방 루프 전압 증폭의 역입니다.
A_V 대신호 전압 증폭	출력을 구동하기 위해서 필요한 입력 전압 변화에 대해서 피크-대-피크 출력 전압 스윙의 비.
A_{VD} 차동 전압 증폭	공통 모드 입력 전압을 일정하게 유지하면서 차동 입력 전압 변화에 대해서 출력 변화의 비.
B_1 † 단위 이득 대역폭	개방 루프 전압 증폭이 1보다 큰 주파수 범위.
B_{OM} 최대 출력 스윙 대역폭	최대 출력 전압 스윙이 지정된 값보다 높은 주파수 범위.
C_i 입력 커패시턴스	어느 한 쪽 입력을 접지로 연결하고서 입력 단자들 사이의 커패시턴스.
CMRR 공통 모드 제거비	공통 모드 전압 증폭에 대해서 차동 전압 증폭의 비. 참고: 비교: 이것은 입력 공통 모드 전압 변화와 결과적인 입력 오프셋 전압 변화의 비로서 측정할 수 있습니다.
F † 평균 잡음 지수	입력 단자의 잡음 온도가 레퍼런스 잡음 온도일 때 지정된 출력 주파수 대역 내의 총 출력 잡음 전력과 이 중에서 지정된 신호 입력 주파수 내에서 지정된 신호 입력 단자의 잡음 온도로 인해서 발생된 비중의 비. 방정식 1 방정식 2 방정식 1
I_{CC+}, I_{CC-} 전원 전류	IC의 V_{CC+} 또는 V_{CC-} 단자로 공급되는 전류.
I_{IB} 입력 바이어스 전류	출력이 지정된 수준일 때 2개 입력 단자들로 공급되는 전류의 평균.
I_{IO} 입력 오프셋 전류	출력이 지정된 수준일 때 2개 입력 단자들로 공급되는 전류 사이의 차.
I_n 등가 입력 잡음 전류	입력 단자들과 병렬인 이상적 전류 소스(내부적 임피던스 무한대)의 전류. 내부적으로 발생하는 잡음의 한 요인입니다.
I_{OL} 저수준 출력 전류	제품 사양에 의거해서 출력으로 저수준을 구축하는 입력 조건으로 출력으로 공급되는 전류.
I_{OS} 단락 회로 출력 전류	출력을 접지나, 어느 쪽 전원이나, 지정된 지점으로 단락시키고서 증폭기로부터 사용할 수 있는 최대 출력 전류.
K_{SVS} † 전원 전압 민감성	전원 전압 변화에 대해서 입력 오프셋 전압 변화 비의 절대값. 비교: 1. 특별히 언급하지 않는 한, 양쪽 전원 전압은 대칭적으로 변화합니다. 2. 이 값은 전원 제거비의 역입니다.
K_{SVR} 전원 전압 제거비	입력 오프셋 전압 변화에 대해서 전원 전압 변화 비의 절대값. 참고: 1. 특별히 언급하지 않는 한, 양쪽 전원 전압은 대칭적으로 변화합니다. 2. 2. 이 값은 전원 민감성의 역입니다.

P_D 총 전력 소모	디바이스로 공급된 총 dc 전력에서 부하로 공급된 전력을 뺀 것입니다. 참고: 무부하 시: $P_D = V_{CC+} \cdot I$
r_i 입력 저항	어느 한 쪽 입력을 접지로 연결하고 입력 단자들 사이의 저항.
r_{id} 차동 입력 저항	접지로 연결하지 않은 2개 입력 단자들 사이의 소신호 저항.
r_o 출력 저항	출력 단자와 접지 사이의 저항.
SR slew rate	스텝 신호 입력에 대해서 폐쇄 루프 증폭기 출력 전압이 변화하는 평균 시간.
t_r † 상승 시간	전원 전압 변화에 대해서 입력 오프셋 전압 변화 비의 절대값. 비고: 1. 특별히 언급하지 않는 한, 양쪽 전원 전압은 대칭적으로 변화합니다. 2. 이 값은 전원 제거비의 역입니다.
t_{tot} 총 응답 시간	입력 신호 스텝 변화 시점과 출력 신호가 지정된 수준($\pm e$)에 도달하는 시점 사이의 시간.
V_i 입력 전압 범위	어느 쪽 입력으로든 그 범위를 넘었을 때 연산 증폭기가 적절히 동작하지 못하게 되는 전압 범위.
V_{IO} 입력 오프셋 전압	정지 dc 출력 전압을 0이나 또는 지정된 여타 수준이 되도록 하기 위해서 입력 단자들 사이에 인가해야 하는 dc 전압.
V_{IC} 공통 모드 입력 전압	두 입력 전압의 평균.
V_{ICR} 공통 모드 입력 전압 범위	그 범위를 초과했을 때 연산 증폭기가 적절히 작동하지 못하게 되는 공통 모드 입력 전압 범위.
V_n 등가 입력 잡음 전압	디바이스의 입력 단자들과 직렬인 이상적 전압 소스(내부적 임피던스 0)의 전압. 내부적으로 발생하는 잡음의 한 요인입니다.
V₀₁/V₀₂ 누화 감쇠	구동 채널로 출력 전압 변화에 대해서 다른 채널로 출력 전압 변화의 비.
V_{OH} 고수준 출력 전압	제품 사양에 의거해서 출력으로 고수준을 구축하는 입력 조건을 가했을 때 출력으로 전압.
V_{OL} 저수준 출력 전압	제품 사양에 의거해서 출력으로 저수준을 구축하는 입력 조건을 가했을 때 출력으로 전압.
V_{ID} 차동 입력 전압	반전 입력에 대해서 비반전 입력의 전압.
V_{OM} 최대 피크 출력 전압 스윙	정지 dc 출력 전압이 0일 때 파형 클리핑을 하지 않고 달성할 수 있는 최대 양 또는 음 전압.
V_{O(PP)} 최대 피크-대-피크 출력 전압 스윙	정지 dc 출력 전압이 0일 때 파형 클리핑을 하지 않고 달성할 수 있는 최대 피크-대-피크 전압.
Z_{ic} 공통 모드 입력 임피던스	각 입력 단자와 접지 사이에 소신호 임피던스의 병렬 합.
Z_o 출력 임피던스	출력 단자와 접지 사이에 소신호 임피던스.
오버슈트 계수	입력 신호의 스텝 변화 전과 후의 정상 상태 출력 신호 값 차이의 절대값에 대해서 입력 신호의 스텝 변화 후에 출력 신호 값의 최종적 정상 상태 값으로부터의 최대 편차의 비.
THD + N † 총 고조파 왜곡 + 잡음	출력에서 총 RMS 잡음에 대해서 기본 신호의 RMS 잡음 전압과 RMS 고조파 전압의 비.
GBW † 이득 대역폭 곱	GBW † 이득 대역폭 곱
† 입력 오프셋 전압의 평균 장 기 드리프트 계수	시간 변화에 대해서 입력 오프셋 전압 변화의 비. 지정된 시간 간격으로 평균 값입니다. 단위는 $\mu V/month$ 입니다

8 개정 내역

참고: 이전 개정판의 페이지 번호는 현재 버전의 페이지 번호와 다를 수 있습니다

Changes from Revision A (February 2020) to Revision B (July 2021)	Page
--	-------------

- 문서 전체에서 표, 그림 및 상호 참조에 대한 번호 매기기 형식이 업데이트되었습니다..... 1
-

Changes from Revision * (January 2018) to Revision A (February 2020)	Page
---	-------------

- 새로운 TI 레이아웃으로 업데이트됨..... 1
-

IMPORTANT NOTICE AND DISCLAIMER

TI PROVIDES TECHNICAL AND RELIABILITY DATA (INCLUDING DATA SHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS AND IMPLIED, INCLUDING WITHOUT LIMITATION ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for skilled developers designing with TI products. You are solely responsible for (1) selecting the appropriate TI products for your application, (2) designing, validating and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, regulatory or other requirements.

These resources are subject to change without notice. TI grants you permission to use these resources only for development of an application that uses the TI products described in the resource. Other reproduction and display of these resources is prohibited. No license is granted to any other TI intellectual property right or to any third party intellectual property right. TI disclaims responsibility for, and you will fully indemnify TI and its representatives against, any claims, damages, costs, losses, and liabilities arising out of your use of these resources.

TI's products are provided subject to [TI's Terms of Sale](#) or other applicable terms available either on [ti.com](https://www.ti.com) or provided in conjunction with such TI products. TI's provision of these resources does not expand or otherwise alter TI's applicable warranties or warranty disclaimers for TI products.

TI objects to and rejects any additional or different terms you may have proposed.

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated