

# 電力密度を高めるためのトレードオフ とテクノロジーに関する理解



**Jeffrey Morroni, Ph.D.**  
Manager - Kilby Power, Isolation and Motors  
Texas Instruments

**Pradeep Shenoy, Ph.D.**  
Manager, Power Design Services  
Texas Instruments

多くの場合、設計を成功させるうえで重要なのは、電源のサイズを縮小することです。スペースには限りがあります。より多くの成果を、より少ないスペースで実現するという圧力が常に課されています。より一般化な表現を用いると、電源の小型化に伴い、これまでに新規市場の開拓と新規アプリケーションの実現が進んできました。この動向は、今後も続く見込みです。

## 概要

このホワイトペーパーは、電力密度向上の制限要因について検討し、設計者の皆様がこれらの障壁を打破するのに役立つテクノロジーの例を紹介します。



1

### 電力密度とは

電力密度は、アプリケーションに応じていくつかの異なる方法で検討することができますが、どの場合でも目標は共通です。ソリューション・サイズを縮小すると、電力密度の向上につながります。



2

### 電力密度を制限する要因

電力密度を向上させるうえで主な制限要因になるのは、コンバータの電力損失です。導通、電荷関連、逆回復、ターンオン、ターンオフなどの損失がこれに該当します。また、システムの放熱特性も制限要因になります。



3

### 電力密度の障壁を打破する方法

設計者の皆様は、各制限要因を並行して解決する必要があります。つまり、スイッチング損失の低減、パッケージの放熱特性の改善、革新的なトポロジーと回路の適用です。また、受動素子のいっそうの統合も推奨事項です。

電力密度の向上という流れは、産業界でこれまで何十年も見受けられており、今後も続くものと予測されています。図1に、6A~10Aのパワー・モジュールに対応するコンバータの長期的なサイズ縮小を示します。技術が進歩すると、サイズ縮小、または電力出力能力の大幅な飛躍を実現できます。各

実線は新しい世代のテクノロジーを表しており、関連する成果が電力密度の分野で得られたことを示しています。

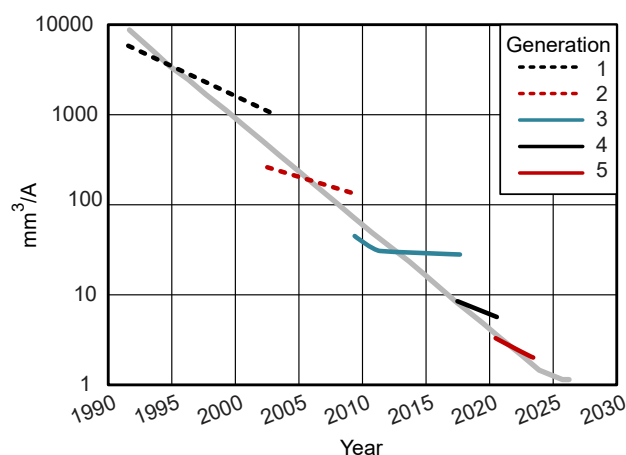


図1. テクノロジー新世代の登場に伴うパワー・モジュールの長期的なサイズ縮小。

多くの場合、電力密度の向上は、効率やコストなど他の分野での進展と連動しています。一般的に言って、電力変換効率の基礎的な向上が原動力になり、ソリューション・サイズの縮小が進んでいます。このような縮小は波及効果をもたらし、物理的な材質使用量の減少、部品点数の減少、優れたコスト構造、より多くのソリューションの統合、総所有コストの削減を通じて、コスト削減につながります。

### 電力密度とは

電力密度とは、特定の空間でどれほど多くの電力を処理できるかを表す測定値であり、立方メートル当たりのワット数 ( $W/m^3$ )、または立方インチ当たりのワット数 ( $W/in^3$ ) という単位で定量化します。これらの値は、コンバータの電力定格と、図2に示すように、すべてのコンポーネントを含めて電源ソリ

ューションを直方体として扱う場合の体積 (奥行き x 幅 x 高さ) を基礎としています。適切な電力レベルまたはサイズに合わせ、補助単位などを使用して、この単位をスケール化することも可能です。たとえば、電気自動車 (EV) のオンボード・バッテリー・チャージャの場合、kW/l (リットル当たりキロワット) が一般的な性能指標 (figure of merit、FoM) です。このようなパワー・コンバータは、kW 単位の電力を供給するからです (おおよそ 3kW ~ 22kW の範囲)。

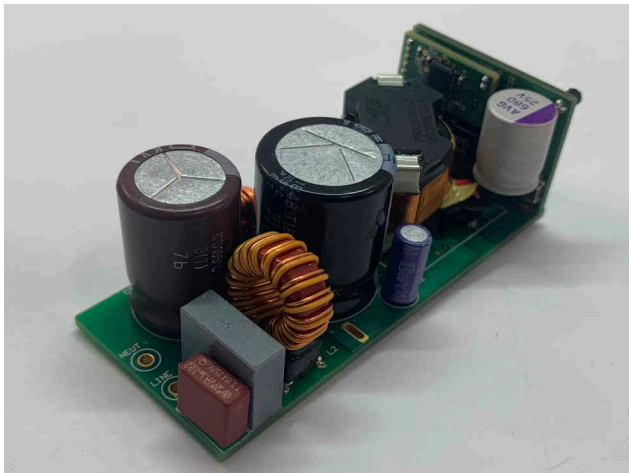


図2. ある 65W アクティブ・クランプ・フライバック・コンバータの大きさは  $65\text{mm} \times 28\text{mm} \times 25\text{mm}$ 。

電流密度は電力密度に関連のある測度 (測定概念) であり、かなり役に立ちます。体積当たりの電流という考え方を、立方インチ当たりのアンペア数、または立方 mm 当たりのアンペア数という単位で定量化できます。コンバータの電流定格 (通常は入力電流と出力電流のどちらかを採用) を使用して、電流密度を計算できます。

多くの場合、ポイント・オブ・ロード電圧レギュレータのようなアプリケーションにとっては、電流密度の方がより適切な性能指標 (FoM) になります。この種の設計のサイズは、出力電流に応じてスケールが決まります。また、出力電圧のレベルは通常は低い値で、1V 前後です。このような実情に反して、非現実的な高い出力電圧を想定すると、電力密度の数値を意図的に高く表現することも可能になります。その点、電流密度を使用すると、出力電圧を考慮に入れずに済むので、電流密度はより効果的な測度になります。

時には、体積を基準とする密度が重要ではないこともあります。パワー・エレクトロニクスでは、高さの制約が課されないこともあります。設計に使用する他の部品は電源に比べてかな

りの高さがあるからです。代わりに、回路基板の面積が制限要因になる可能性があります。このような状況で電力密度を向上させようとする場合、電源ソリューションのフットプリントを節減するために、複数の部品をスタック (積み重ね) または 3D (3 次元方向に) 集積する手法が必要になることがあります。このような場合、複数のソリューションを比較するために使用する測度を、(図 3 に示すように) W/平方 mm、または A/平方インチに変更します。この方法で、設計の重要な目標に注目できます。

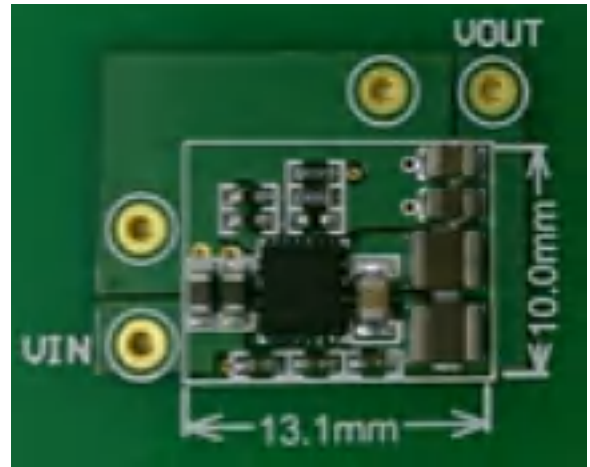


図3. ある 10A ポイント・オブ・ロード・コンバータの面積が  $13.1\text{mm} \times 10\text{mm}$  の場合、電流密度は  $76\text{mA}/\text{mm}^2$ 。

アプリケーションに応じて、いくつかの異なる方法で電力密度を検討することができますが、どの場合でも目標は共通です。ソリューション・サイズを縮小すると、電力密度の向上につながります。ここでの関心事は、電力密度の向上をどのようにして達成するかです。

## 電力密度を制限する要因

技術者と研究者の皆様は、電力密度を向上させる方法を長年にわたって見つけようとしてきました。これは難しい課題です。多くの場合は、エネルギー変換に使用する受動部品のサイズを縮小することを重視してきました。図 4 に示すように、インダクタ、コンデンサ、トランス、ヒートシンクは多くの場合、電源ソリューションのサイズで最大の比率を占めています。半導体スイッチと制御回路はかなり小型で、集積も進んでいます。

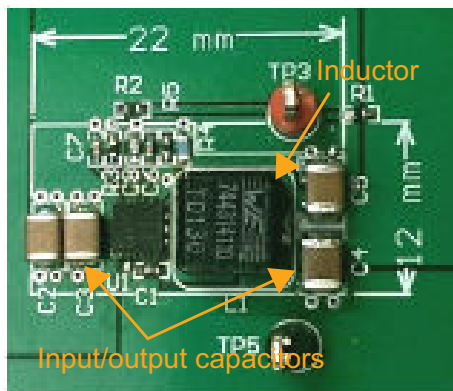


図4. インダクタやコンデンサのような受動部品はかなりのスペースを占有することがある。

受動部品のサイズを節減する方法1つのシンプルな解決策は、スイッチング周波数を高くすることです。スイッチング・コンバータ内の受動部品は、スイッチング・サイクルごとにエネルギーの蓄積と解放を行っています。スイッチング周波数を高くすると、1回のサイクルで取り扱うエネルギー蓄積量が少なくて済みます。たとえば、降圧コンバータ内のインダクタに関する設計式である式1について考えてみます。

$$L = \frac{D \times V_L}{f_{SW} \times \Delta I_L} \quad (1)$$

ここで

- L はインダクタンス
- D はデューティ比
- $\Delta I_L$  はインダクタの電流リップル
- $f_{SW}$  はスイッチング周波数
- $V_L$  はインダクタの両端電圧

必要なインダクタンス (L) は、スイッチング周波数 ( $f_{SW}$ ) に反比例します。スイッチング周波数が高くなると、インダクタンスは小さくて済みます。インダクタンスを小さくすると、インダクタは小型化し、スペースの節減につながります。スイッチング周波数が 400kHz のときと 2MHz のときに、3A、36V のコンバータで必要になるインダクタのサイズの違いを、図5に示します。

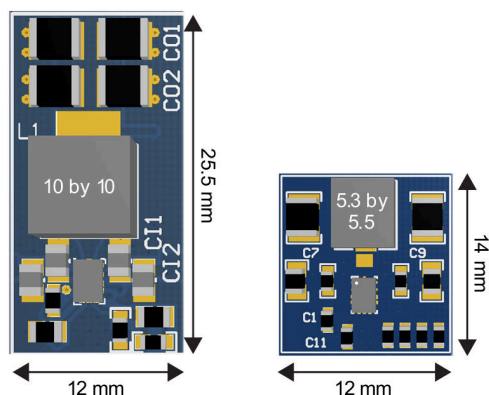


図5. スwitchング周波数が 400kHz のとき (左) と、2 MHz のとき (右) に、3A、36V のコンバータでサイズを比較。

スイッチング周波数を高くすると、サイズに関する他の利点も実現できます。スイッチング周波数を高くすると、制御ループの帯域幅が広くなります。その結果、より小さい出力容量を使用して、過渡特性に関する要件を満たすことが可能になります。より小さいインダクタンスと容量を使用して差動モードの電磁干渉 (EMI) フィルタを設計できるほか、磁気コアの材料を飽和させずに、より小型のトランスを使用することができます。

では、誰もが単純にスイッチング周波数を高くするとは限らないのは、なぜでしょうか？結局のところ、理論としては簡単ですが、実践には課題が付きまといます。パワー・コンバータで使用する受動素子すべてのサイズを少々縮小することに成功した場合でも、電源ソリューションのサイズをそれ以外の方法で縮小する機会は依然として残っているからです。パワー・スイッチ、ゲート・ドライバ、モード設定用抵抗、帰還回路の部品、EMI フィルタ、電流センシング部品、インターフェイス回路、ヒートシンク、その他多くの部品は、貴重な面積を占有しています。電源全体の設計にとって、これらの素子すべては、電力密度を高めるうえで周波数の上昇ではなく技術革新が重要な役割を果たす分野です。電力密度を向上させようとする設計者の皆様に制限を課す主要な要因について説明します。



## 電力密度を制限する要因: スイッチング損失

スイッチング周波数を高くすると電力密度が向上する可能性があります。現在のパワー・コンバータが一般的に MHz を上回る周波数を利用していないのは、1 つの理由があるからです。スイッチング周波数を高くすると、望ましくない副作用も発生します。スイッチング損失が増加し、それに伴って温度が上昇します。いくつかの支配的なスイッチング損失が主な原因になって、この現象が発生します。

このようなスイッチング損失について理解するには、業界のいくつかの命名規則について理解することが重要です。半導体デバイスで、そのデバイスに関連付けられる電荷の量は通常、オン状態の抵抗 (オン抵抗) に関係しています。オン抵抗が小さいと、結果としてゲート電荷と寄生容量が大きくなります。オン抵抗 ( $R_{on}$ ) と電荷 ( $Q$ ) に関するこのトレードオフは多くの場合、 $RQ$  FoM という値で定量化します。この値は、オン抵抗  $\times$  (デバイスを動作電圧でスイッチングするために端子に供給する必要がある合計電荷) という形で定義されます。さらに、目標のオン抵抗を実現するためにデバイスが占有する面積を、多くの場合は  $R_{sp}$  (specific on-resistance、特性オン抵抗) と呼び、オン抵抗  $\times$  面積という値で表現します。導通損失を低減するために、MOSFET (metal-oxide semiconductor field-effect transistor、金属 - 酸化膜 - 半導体の電界効果トランジスタ) のオン抵抗 ( $R_{DS(on)}$ ) を小さくすることが考えられます。ただし、オン状態の抵抗を小さくすると、デバイスのスイッチングに関連する損失が増加し、ダイ面積全体の増加とコスト上昇を招きます。

実装とアプリケーションによって、さまざまなスイッチング損失が電力損失全体に及ぼす影響は異なる可能性があります。各種損失の詳細については、アプリケーション・ノート『同期整流降圧コンバータの共通ソース・インダクタンスを考慮した電力損失計算』を参照してください。このホワイトペーパーの目的に沿って、ここではある降圧コンバータの例について考え、各損失成分に関連付けられる主な制限要因に注目します。

## 主な制限要因 1: 充電関連の損失

どのハード・スイッチング DC/DC コンバータでも、システム内に存在する寄生容量の充電と放電にある程度のエネルギーを要します。スイッチ・テクノロジーと電圧定格が決まると、**式 2** と **式 3** を使用して、これらの損失を次のように推定できます。

$$P_{SW} = \frac{1}{2} \times C_{DS} \times (V_{DS})^2 \times f_{SW} \quad (2)$$

$$P_{GATE} = Q_G \times V_G \times f_{SW} \quad (3)$$

ここで

- $C_{DS}$  は MOSFET のドレイン-ソース間容量
- $V_{DS}$  は MOSFET のドレイン-ソース間電圧
- $f_{SW}$  はスイッチング周波数
- $Q_G$  はゲート電荷量
- $V_G$  はゲート-ソース間電圧

**式 2** と **式 3** から理解できるように、これらの損失を低減するために使用できる主な方法は、スイッチング周波数の低下 (これは望ましくない)、MOSFET の電荷関連 FoM ( $Q_G$  と  $C_{DS}$ ) の改善、または導通損失とスイッチング損失のトレードオフによる調整です。

## 主な制限要因 2: 逆回復の損失

降圧コンバータで逆回復が発生するのは、ローサイド MOSFET のボディ・ダイオードが電流を導通している間にハイサイド MOSFET がオンになったときです。このとき、ローサイド・ダイオードの電流を急激にハイサイド MOSFET に強制的に遷移させる必要が生じます。この遷移プロセスで、直接的なスイッチング損失の原因となるローサイド・ダイオードの少数電荷を取り除く方向に電流を流す必要があります。**式 4** を参照してください。

$$E_{RR} = (V_{IN} \times I_L \times t_{RR}) + (V_{IN} \times Q_{RR}) \quad (4)$$

ダイオードの逆回復の影響を低減するための最善の方法の 1 つは、最適化された MOSFET 設計を使用して蓄積電荷 ( $Q_{RR}$ ) を低減すること、または立ち上がりエッジのデッドタイムを短縮または除去して損失の影響を完全になくすことです。

### 主な制限要因 3: ターンオン損失とターンオフ損失

寄生ループのインダクタンスが原因で、スイッチングに関連する多数の損失が発生します。これらの損失は、効率の大幅な低下につながる可能性があります。ハイサイド MOSFET がインダクタ電流を導通している状態の降圧コンバータについても一度考えてみます。ハイサイド・スイッチをオフにすると、寄生インダクタンスを経由している電流が中断されます。過渡電流 (di/dt) と、寄生ループのインダクタンスの組み合わせにより、電圧スパイクを誘導する結果になります。di/dt が大きいほど、スイッチング損失は小さくなりますが、その結果、デバイスの電圧ストレスも大きくなります。ターンオフの速度によっては、降圧コンバータのハイサイド・スイッチでブレークダウンが発生します。したがって、効率を最大化すると同時に、DC/DC コンバータがその安全動作領域内で動作する状態を維持できるように、スイッチング速度を注意深く制御する必要があります。詳細については、アプリケーション・ノート『[高出力電流および温度で動作する SOA 曲線について](#)』を参照してください。

さらに、インダクタとコンデンサで構成したネットワークの中で、寄生ループのインダクタンス内に蓄積されていたエネルギーを吸収するための容量を十分確保できていない場合、ハイサイド MOSFET のドレイン電荷が減少する際に、この MOSFET で追加の電圧スパイクが発生する可能性もあります。この可能性が原因で、別の課題が生じます。すでに説明した電荷関連の損失を低減するために、ドレイン電荷をできるだけ小さくすることが最善になるからです。通常、これらの寄生成分に関連する損失全体を低減するには、ゲート・ドライバに関する他の手法を使用して、ループ・インダクタンス自体を小さくする必要があります。

### 電力密度を制限する要因: 放熱性能

全体的な電力密度に重要な役割を果たす要因として、システムの放熱性能が挙げられます。パッケージの放熱性能が良好な場合、極端な温度上昇を生じさせずに、より多くの電力損失を的確に処理できます。これらの要因は一般に、接合部から周囲への熱抵抗 ( $R_{\theta JA}$ ) などのデータシート・パラメータと、アプリケーションの条件を慎重に推定することで捕捉されます。MOSFET のデータシートに記載されている一般的な熱インピーダンス値の詳細については、次のビデオをご覧ください。[MOSFET データシートについて: 熱インピーダンス](#)

パッケージとプリント基板の温度最適化に関する全体的な目標は、パワー・コンバータの損失が存在する状態で、温度上昇を低減することです。小型化とコスト削減を目指すトレンドが進んでいる現状で、コンバータ、パワー・スイッチ、ゲート・ドライバ・ソリューションの全体的なサイズは縮小してきました。その結果、システム・レベルの熱設計はますます困難になってきました。これは、[図 6](#) に示すように、シリコンとパッケージのサイズが小型化すると、通常は放熱特性が悪化するためです。ダイ面積が縮小するにつれて、関連する接合部から周囲への熱抵抗 ( $R_{\theta JA}$ ) は指数関数的に悪化します。

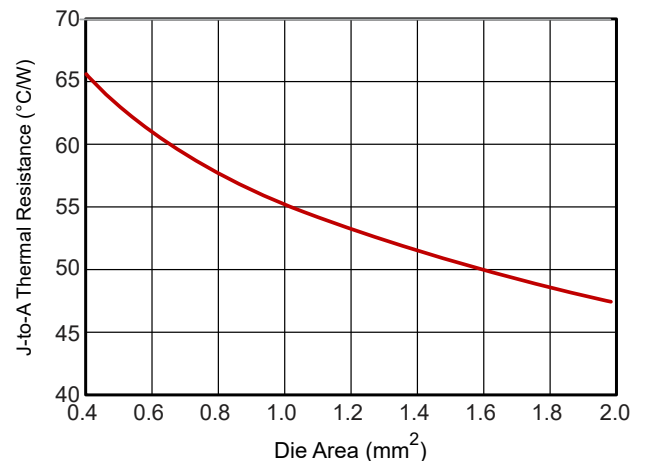


図 6. パッケージの  $R_{\theta JA}$  とダイ面積の関係。

このグラフが明確に示しているのは、設計者がパッケージの放熱特性の革新 (より多くの熱を放出) や電力損失の低減 (発熱量を低減) を優先しない場合、パッケージ・サイズ、ダイ・サイズ、全体の電力密度の向上 (サイズ縮小や、面積当たりまたは体積当たりの電力増加) が進むにつれて、予想される放熱特性が急激に悪化することです。

## 電力密度の障壁を打破する方法

ここまでのセクションで重視した主要要素のどれか 1 つを選択して注目すると、全体の電力密度の改善という結果につながる可能性があります。ただし、従来は到達不可能だった電力密度を実際に実現するには、密度を制限する各要因を並行して解決する必要があります。つまり、スイッチング損失の低減、パッケージの放熱特性の改善、革新的なトポロジーと回路の適用、そして、統合の推進です。

## スイッチング損失の革新

優れたデバイス性能と FoM (性能指標) を達成するには、半導体テクノロジーへの投資が明らかに必須です。これに該当するのは、既存のテクノロジーを改善するための革新、または根本的に優れた性能を示す新素材の開発です。たとえば、高電圧のスイッチング・アプリケーションに適した窒化ガリウム (GaN) テクノロジーです (GaN の最大耐圧はおおむね 600V)。

図 7 は、3.3V を 1.8V に変換するテキサス・インスツルメンツの各種降圧コンバータを、さまざまな電源プロセス・テクノロジーの間で比較しています。TPS54319 はテキサス・インスツルメンツの以前の電源プロセス・ノードを使用しているのに対し、TPS62088 は、RQ FoM (オン抵抗と電荷に関する性能指標) がより小さい、テキサス・インスツルメンツ最新の電源プロセスを使用しています。効率曲線が示しているように、TPS54319 が 2MHz のスイッチング周波数で動作するのに対し、TPS62088 は 4MHz のスイッチング周波数で動作しながら、事実上同等の効率を維持しています。スイッチング周波数の上昇に伴い、外部インダクタのサイズを半分にできます。さらに、テキサス・インスツルメンツの新しい電源プロセス・ノードは  $R_{SP}$  の大幅な縮小も実現するので、全体のパッケージ・サイズは  $4\text{mm}^2$  から  $0.96\text{mm}^2$  に小型化します。このサイズ縮小は電力密度の観点で非常に魅力的ですが、温度上昇の観点では課題を招くことにもなります。この点については、この後のセクションで取り組みます。

TPS54319 はテキサス・インスツルメンツの以前の電源プロセス・ノードを使用して 2MHz のスイッチング周波数で動作するのに対し、TPS62088 は、スイッチング FoM を改良したテキサス・インスツルメンツの最新の電源プロセスを使用し、4MHz のスイッチング周波数で動作します。

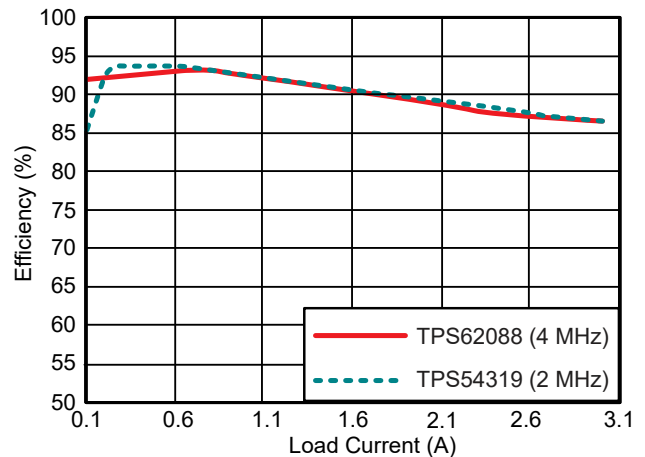


図 7. 3.3V から 1.8V への変換を実施する降圧コンバータの DC/DC 効率に関する比較。

GaN は、逆回復時間が 0、小さい出力電荷、高いスルーレートという独自の組み合わせを実現しているため、ブリッジレス力率補正など、新しいトータル・ポール・トポロジーを実現できます。このようなトポロジーは、効率がより高く、従来のシリコン MOSFET が到達できなかった電力密度を達成できます。

図 8 は、600V で動作するテキサス・インスツルメンツの GaN テクノロジーと、業界で最高クラスに位置するいくつかのシリコン・カーバイド (SiC) デバイスやスーパージャンクション・シリコン・デバイスとを直接比較しています。テキサス・インスツルメンツの GaN テクノロジーは、損失を大幅に低減し、高い周波数を実現しています。

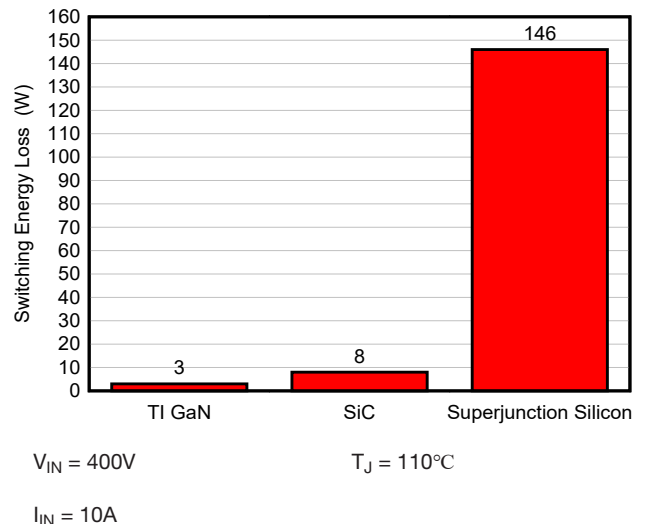


図 8. スwitching・エネルギー損失の比較。

## パッケージの放熱特性の革新

IC のパッケージから熱を放出する能力は、電力密度に直接的な影響を及ぼします。すでに説明したように、パッケージが継続的に縮小している現状で、この能力はますます重要な問題になります。さらに、一般的なパワー・コンバータで、半導体デバイスは多くの場合、ソリューションの中で最も温度が高いパーツになります。Rsp が急激に縮小している現状で、特にこのことが当てはまります。

テキサス・インスツルメンツは HotRod™ パッケージの開発と採用に投資してきました。このパッケージは、標準的なワイヤ・ボンド・タイプの QFN (quad flat no-lead、クワッド・フラット、リードなし) パッケージを、フリップ・チップ・スタイルのパッケージで置き換えます。図 9 および図 10 は、HotRod QFN 採用でワイヤ・ボンドを排除すると同時に、QFN に近いフットプリントを維持する方法を示しています。この結果、標準的なフリップ・チップ・パッケージで見受けられる寄生ループのインダクタンスを大幅に低減しながら、QFN パッケージの放熱特性の利点をいくつか維持しています。HotRod QFN には、リードフレームとダイの間のインターコネクが含まれています。

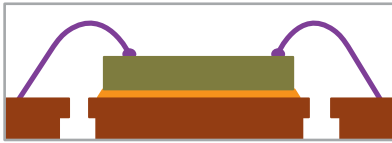


図 9. 露出パッド付き標準ボンド・ワイヤ QFN パッケージ。

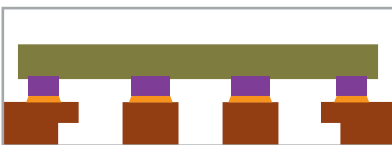


図 10. HotRod インターコネク・パッケージ (フリップ・チップ・オン・リード) QFN パッケージ。

HotRod パッケージに関連する 1 つの課題は、パッケージの放熱改善に非常に役立つことが多い、大型のダイ接続パッド (die attach pad, DAP) の製作が困難になることです。この課題を克服するために、テキサス・インスツルメンツは最近、HotRod QFN に拡張を加え、既存の利点を維持すると同時に、大型の DAP を取り付けられたパッケージを実現できるようにしました。

図 11、図 12、および図 14 に、放熱性能を向上させるためにこれらのテクノロジーを拡張した 4-A LM60440 同期整流コン

バータを示します。パッケージの中心にある大型の DAP を考慮したフットプリントになっていることを理解できます。以前の世代に比べて、この DAP は温度上昇の点で約 15% の改善を実現しています。これらのパッケージの進化の詳細については、テキサス・インスツルメンツの Analog Design Journal の記事『小型 DC/DC コンバータを使用した設計: HotRod™ QFN と Enhanced HotRod™ QFN パッケージの比較』を参照してください。

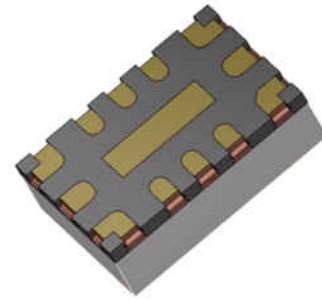


図 11. 大型の DAP がある Enhanced HotRod QFN。

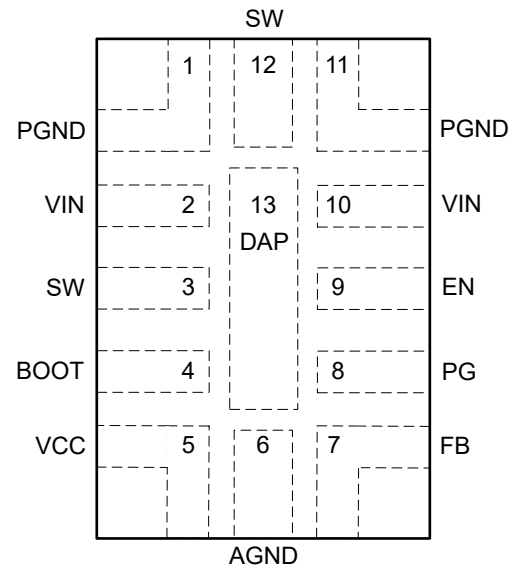


図 12. Enhanced HotRod QFN パッケージの LM60440 のピン配置。



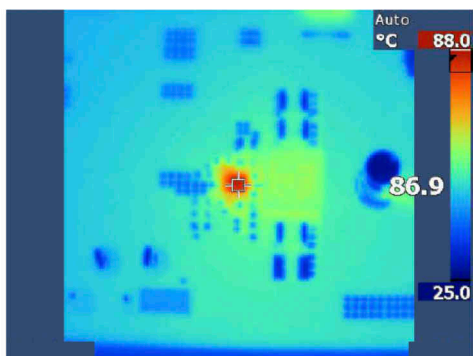


図 13. 通常の HotRod パッケージの放熱性能。

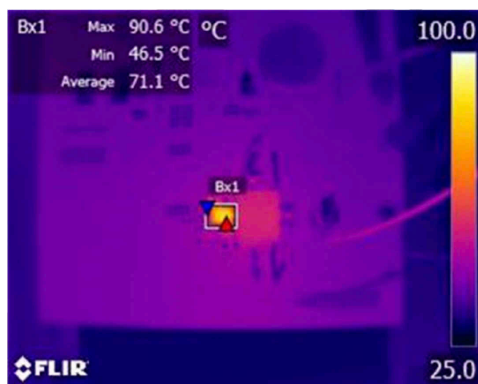
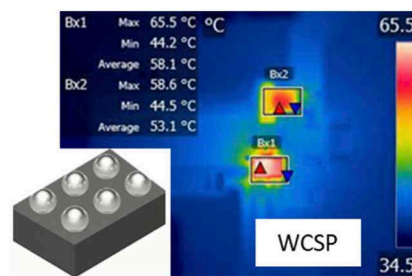


図 14. Enhanced HotRod QFN パッケージに DAP を搭載した LM60440 の放熱性能。平均温度は 71.1°C まで低下

さらに、多くの設計者は、低コストでピン・リードが組み立てやすい SOT (Small-Outline Transistor) 表面実装パッケージの使用を望んでいます。テキサス・インスツルメンツは、より大きな電流密度の要件を薄型の 2 行ピン配置で満たせるように、向上したプロセス技術と回路 IP を SOT-563 パッケージと組み合わせました。最近の例の 1 つに、TPS566242 3V~16V 同期整流降圧コンバータが挙げられます。このデバイスは、1.6mm x 1.6mm の SOT-563 (6 ピン) のフットプリントで、98% デューティ・サイクルで最大 6A の連続電流をサポートします。

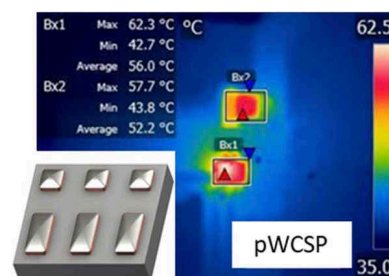
同様に、ウェハー・チップ・スケール・パッケージ (WCSP) を使用する場合、大半の熱はバンプ (突起) から外部へ直接伝わり、下部の PCB に移動します。WCSP のバンプ面積が広いほど、放熱特性は改善されます。テキサス・インスツルメンツは最近、PowerCSP™ パッケージを開発し、リリースしました。このパッケージは、WCSP の標準的な円形バンプのいくつかを大型の半田バーで置き換える方法で、パッケージの放熱特性と電気的性能を改善することを目的としています。図 15 は、TPS62088 でのこのテクノロジーの実装例を示してい

ます。図 15 は標準的な WCSP、図 16 は PowerCSP パッケージを採用した同じデバイスを示しています。温度上昇は約 5% 抑制され、システム内で他の変化は発生していません。



$V_{IN} = 5V$   $V_{OUT} = 1.8V$   
 $I_{OUT} = 3A$   $T_A = 25^\circ C$   
 測定ポイント: Bx1

図 15. TPS62088YFP の WCSP バージョンの放熱性能。



$V_{IN} = 5V$   $V_{OUT} = 1.8V$   
 $I_{OUT} = 3A$   $T_A = 25^\circ C$   
 測定ポイント: Bx1

図 16. TPS62088YFP の PowerCSP バージョン。

## 先進的な回路設計による革新

Rsp の縮小と RQ FoM の低下に伴う望ましくない副作用は、ドレイン電荷の減少が遷移損失につながることです。図 17 に示されるように、電圧オーバーシュートを固定的な量とすると、ドレイン電荷の減少によって、この降圧コンバータのターンオフ損失が大幅に大きくなるのがわかります。このトレードオフが存在する関係上、新しい先進的なゲート・ドライバ IP (知的財産) によって、できるだけ早く MOSFET のスイッチングを行いながら、MOSFET の RQ FoM を改善する継続的なロードマップの中で、各 MOSFET を電気的な安全動作領域内に維持する必要があります。ドレイン電荷が減少すると、ドレイ

ン - ソース間の固定的な電圧ストレスを維持するために、ターンオフ・エネルギーが増加します。

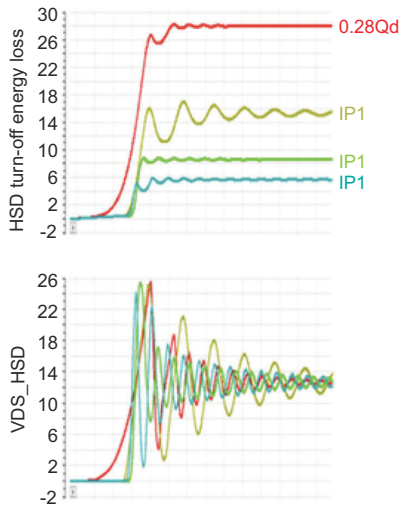


図 17. MOSFET のさまざまなテクノロジーでのターンオフ・エネルギー損失。

これらの考え方に沿って、TI が最近開発したゲート・ドライバファミリの手法は、RQ FoM が小さい MOSFET であっても非常に高速なスイッチングを可能にしています。その結果、電荷損失と遷移損失を改善すると同時に、各 MOSFET を引き続き電氣的な安全動作領域内に維持することができます。図 18 と図 19 の比較から理解できるように、ターンオフ・エネルギー損失を最大 79% 低減しながら、ピーク電圧ストレスを固定値に維持することが可能です。設計によっては、図 19 に示すように、この低減を実現すると、ピーク効率ポイントで最大 4% の効率上昇を達成できます。

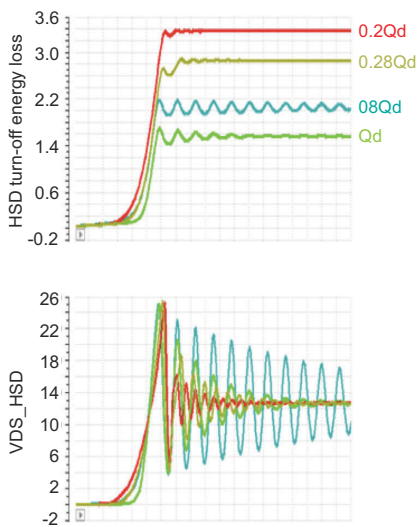


図 18. 低ドレイン電荷と低ターンオフ・エネルギーを実現するゲート・ドライバ IP の比較。

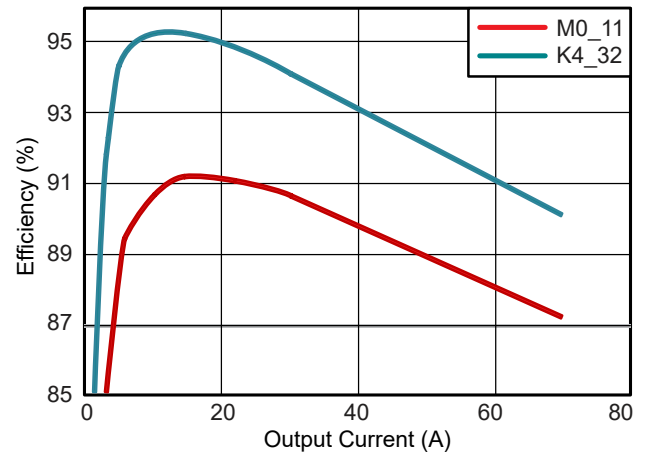


図 19. ゲート・ドライバ IP がシステム効率に及ぼす影響。

先進的なゲート・ドライバ・テクノロジーに加え、トポロジーの革新を通じて電力密度を向上させる大きな機会も生じています。図 20 は、FC4L (flying capacitor four-level、フライング・コンデンサ 4 レベル) コンバータ・トポロジーを示しています。このトポロジーを採用すると、デバイスの電圧定格の低減を通じたデバイス FoM の改善や、磁気フィルタのサイズ縮小、熱分布の改善を含め、電力密度に関する多数の重要な利点を実現できます。図 21 に示すように、これらの利点は電力密度の向上につながります。SiC を使用する他のトポロジーと比較して、TI のソリューションはこの特定のトポロジーの採用に加え、GaN の利点や先進的なパッケージング・テクノロジーとの組み合わせを通じて、大幅な体積縮小を実現しています。TI の FC4L GaN ソリューションは、最高の電力密度を実現します。

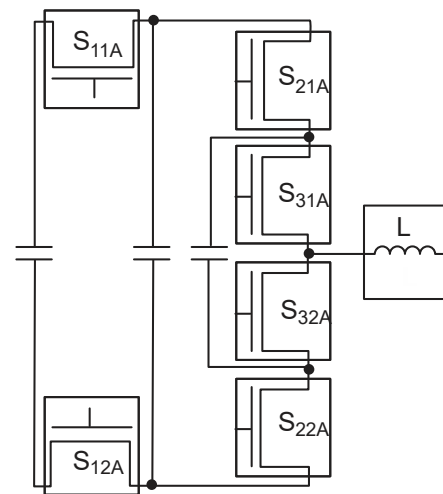


図 20. 複数の GaN スイッチを使用する FC4L (フライング・コンデンサ 4 レベル) コンバータ・トポロジー。

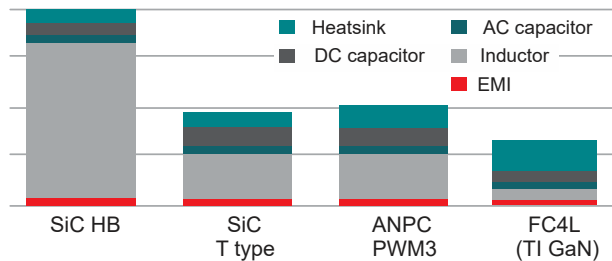


図 21. トポロジとスイッチ・タイプの全体的な体積。

## 統合の革新

最高の電力密度を達成するための最後の要因は、統合です。高いコスト効率での統合は、寄生成分の低減、部品点数 (BOM) の減少、効率の向上、スペースの節約に貢献します。統合は、パワー・マネージメントの複数の側面に適用できます。該当するのは、単一の IC へのより多くの電気回路の搭載、単一パッケージへのより多くの部品の追加、または他の物理的な手段や機械的な手段を通じた、電源ソリューションへのより多くの機能の搭載です。この分野でのテクノロジーの先進性の例として、GaN FET を統合したドライバ、重要なループ・インダクタンス低減を目的としたコンデンサ統合、複数の受動部品の 3D 積層を挙げることができます。

ゲート・ドライバにスイッチング・パワー FET を統合すると、多くの利点を実現できます。スイッチング・ゲート・ドライブのループ・インダクタンスが低下することで、スイッチング速度の上昇、動作の信頼性向上、部品点数の減少につながります。特に GaN FET は、この統合によって大きなメリットを得られます。LMG3522R030-Q1 のようなデバイスは、過電流保護、過熱保護、監視などの付加的な機能を搭載しています (図 22 を参照)。この統合を通じて、パワー・マネージメント・ソリューションを大幅に簡素化し、GaN の採用によって達成可能なすべての利点を実現することができます。

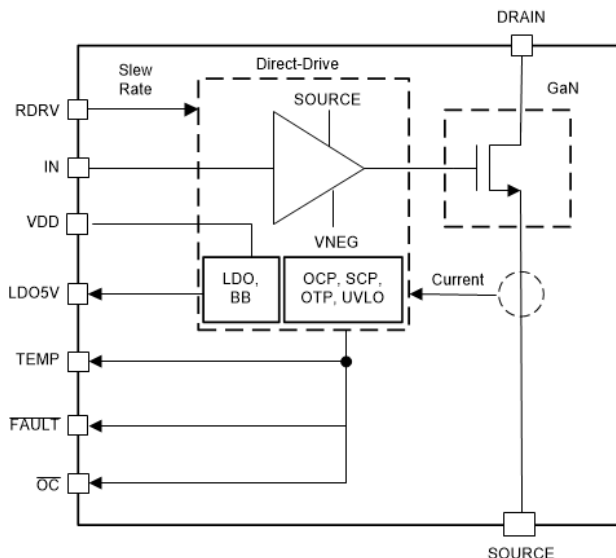


図 22. GaN スwitch とともにドライバ、保護機能、監視機能を統合した LMG3522R030-Q1。

統合の別の活用方法は、IC パッケージ内への受動部品の搭載です。高周波のデカップリング・コンデンサの統合は、図 23 に示すように、LMQ61460-Q1 が採用している手法の 1 つです。これらのコンデンサを統合すると、重要なループの寄生インダクタンスの低減によって効率が向上するほか、EMI を低減できます。また、この電源ソリューションは、システムの信頼性を犠牲にせず、熱的制限を上回らずにスイッチング回数を増やすことができるので、EMI フィルタリングの強化なしでのスイッチング周波数の向上とソリューション・サイズの縮小につながります。UCC14240 は、磁気部品の統合を活用し、外部トランスを使用せずに絶縁型バイアス電源を供給します。このアプローチで、サイズの縮小、複雑さの緩和、EMI の低減を実現できます。

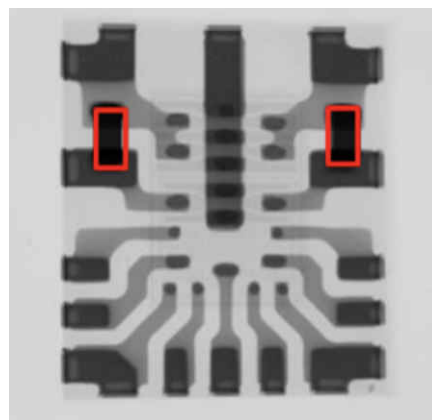


図 23. 内蔵のバイパス・コンデンサを強調した、LMQ61460-Q1 の X 線写真。

統合の最後の例は、複数の部品の 3D 積層です。受動部品を内蔵したパワー・モジュールは、高い頻度でこの手法を採用しています。図 24 は、例として TPS82671 を使用しています。このデバイスは、ラミネート・サブストレート内に電源 IC を埋め込み、その上に 1 個のインダクタと複数の入出力コンデンサを配置しています。この非常に小さいソリューションは、外部部品を必要としません。シンプルな統合コンセプトで目覚ましい成果を達成することができ、PCB 面積の節減と電源ソリューションの簡素化に貢献します。

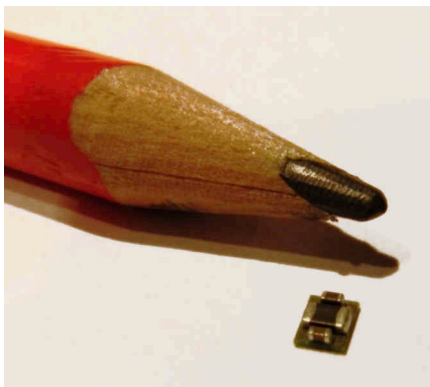


図 24. 電源 IC、インダクタ、複数のコンデンサを統合した超小型パワー・モジュール。

## まとめ

電力密度の向上を目指すトレンドは明確です。ただし、よりコンパクトな電源ソリューションを達成しようとする場合、大きな制限要因がいくつかあります。電力損失と放熱特性の課題を克服するには、スイッチング特性、IC のパッケージング、回路設計、統合に関する革新が必要です。これらの各要因は、それぞれが個別に、電力密度に関する大きな改善の好機につながる一方、各要因は他の要因と明確な相関関係を持ちません。その結果、各カテゴリのテクノロジーを組み合わせる方法で、電力密度の明確な向上を達成することが可能です。

最高の FoM を持つスイッチング・デバイスと、放熱能力の点で業界をリードするパッケージを組み合わせ、マルチレベルのトポロジーを使用し、受動部品の統合を通じてループ・インダクタンスを最小限に抑えた 1 つの製品が存在するとしましょう。これらの先進技術はそれぞれの成果を達成するとともに、

全体として電力密度の大幅な向上という結果につながりません。

テキサス・インスツルメンツの先進的なプロセス、パッケージング、回路設計テクノロジーを活用すると、より小規模なスペースでより多くの電力を供給し、システムの機能を拡張するとともに、システム・コストを削減することが可能になります。詳細については、[www.tij.co.jp/powerdensity](http://www.tij.co.jp/powerdensity) をご覧ください。

## その他の資料

- [バッテリー・チャージャ IC](#)
- [昇降圧レギュレータと反転レギュレータ](#)
- [GaN \(窒化ガリウム\) IC](#)
- [絶縁型バイアス電源](#)
- [絶縁型ゲート・ドライバ](#)
- [LED ドライバ](#)
- [リニア・レギュレータ \(LDO\)](#)
- [マルチチャンネル IC \(PMIC\)](#)
- [AC/DC および絶縁型 DC/DC コントローラおよびコンバータ](#)
- [パワー・スイッチ](#)
- [降圧 \(バック\) レギュレータ](#)
- [昇圧 \(ブースト\) レギュレータ](#)
- [USB Type-C および USB パワー・デリバリー \(電力供給\) IC](#)

**重要なお知らせ:**ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

HotRod™ and PowerCSP™ are trademarks of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated