

# Sitara™ AM6xプロセッサを用いた、インダストリー 4.0に対応する産業用制御の設計



**Mike Hannah**  
Embedded Processing

Texas Instruments

## 概要

2012年10月、「インダストリー 4.0」に関する最初の提言書がドイツのワーキング・グループからドイツ政府に対して提出されました。インダストリー 4.0は、2011年のハノーバーメッセで初めて使われた言葉です。インダストリー 4.0提言書では、多くの人が期待する現代的なファクトリ・オートメーションにおける第4の時代がどのようなものになるかを定義しています。インダストリー 4.0では、CPS（サイバー・フィジカル・システム）に基づいて情報処理、ネットワーキング、物理的なプロセスが統合されます。これらの部分が互いにつながり合い、クラウドにも接続するため、構成が容易になります。また、センサや分析機能を組み入れて、機能的に安全で自律性が向上したシステムを実現します。<sup>1</sup>

インダストリー 4.0構想に関連して、以下のような基本的な設計上の原則があります。

- 相互運用性：IoT（モノのインターネット）を通して機械、デバイス、センサ、人が相互に接続し通信を行う。
- 情報の透明性：センサ・データを高度に集約することでモデルを形成し、情報を提供する。
- 技術的支援：
  - 情報を集約し、人間が理解しやすいように視覚化して、人間による意思決定と問題解決をサポートする。
  - 人間にとっては面白くなかったり、重労働であったり、ミスにつながりやすいさまざまな作業を実行する。
- 分散的意思決定：可能な限り自律的にタスクを実行する。<sup>2</sup>

インダストリー 4.0以外にも、世の中にはこの種の構想が存在します。

- 米国の Smart Manufacturing Leadership Coalition は、オープンなスマート製造プラットフォームであり、既存のシステムに改良を加えることなく、低コストでカスタマイズ可能なモデリング技術や分析技術を製造業者が簡単に利用できるようにします。

- 中国のメイド・イン・チャイナ2025 (Made in China 2025) 構想では、機械の効率性の最適化によりコストを低減し生産性を向上させて、中国の工業を第4世代に導く方法を探っています。
- 日本のインダストリアル・バリューチェーン・イニシアティブは、ものづくりと情報技術を融合し、他の構想と同様な何らかのゴールに到達することを目指しています。

これらの構想には共通した目的があります。

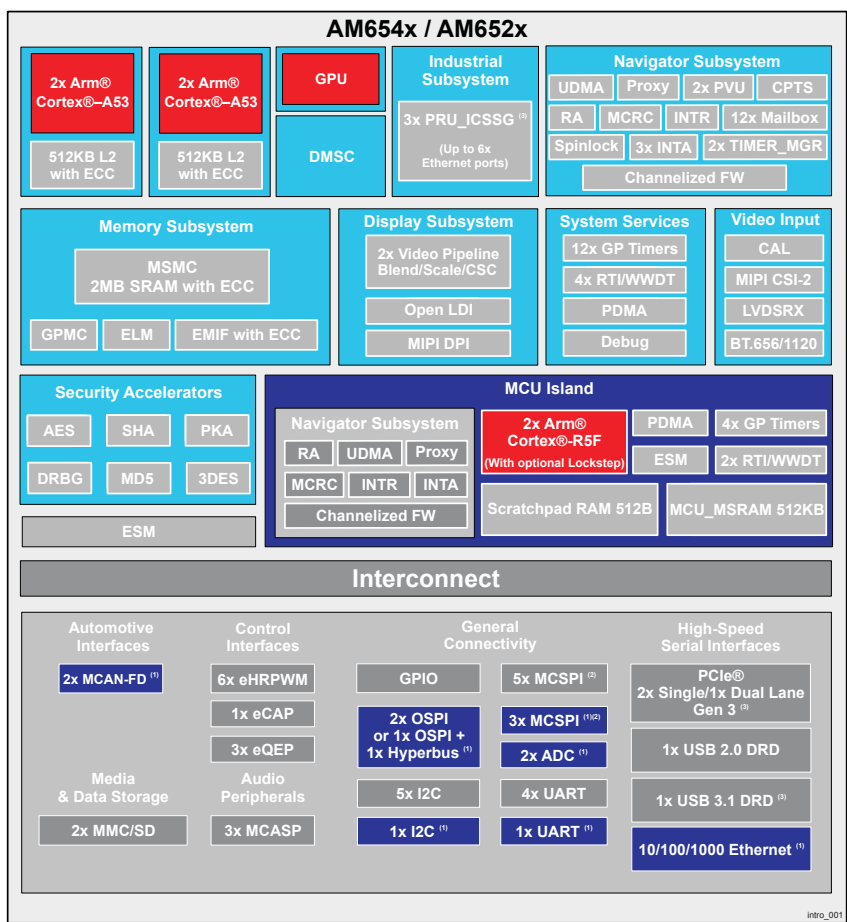
- インターネットや複合的なデータ管理を通してグローバルな機能を活用する。
- 企業と BtoB システムをより良くつなぐ役割を果たす。
- リソースと製品のトレーサビリティを向上させる。
- クラウドも完全に視野に入れながら、エッジではスマートな処理や意思決定をローカルに行えるようにする。
- 迅速に再構成し、より小さなロットに対処することで、製造ラインの柔軟性や適応力を高める。
- 製品の品質向上をはかる。
- 予知保全を改善し、ダウンタイムを抑える。
- 機能安全性とセキュリティを改善する。<sup>3</sup>

Sitara™ AM6xプロセッサの開発にあたり、TIの設計チームは、インダストリー 4.0が目指すゴールを分析し、これら構想の目的を念頭に置いてアーキテクチャを決定しました。アーキテクチャは、工場をネットワーク化するために次世代通信に見合うものでなければなりません。また、通常は単一SoCでは到達することが困難な動作寿命の提供と安全性目標を達成するために、より厳しい信頼性と機能安全目標を達成する必要がありました。将来の工場システムを外部の脅威から守るため、AM6xプロセッサは、認証機能や暗号化技術において最新のものを利用し、より安全性の高い処理環境を提供する必要がありました。

## Sitara AM6xアーキテクチャの特長

図1に、AM6x SoCアーキテクチャの大まかな概要を示します。AM6xは、1.1GHzの周波数に対応するピン互換のクアッ

ド/デュアル・コアArm® Cortex® -A53で利用できます。デュアル・コア・クラスタにはそれぞれ512KBのL2キャッシュ・メモリが搭載され、独立したクラスタ処理と電力スケーラビリティを実現します。L1およびL2キャッシュにはシングル・エラー訂正およびダブル・エラー検出 (SECCDED) のエラー訂正コード (ECC) 保護機能が、Armコアのほぼすべての内部メモリにはパリティ処理またはECCが搭載され、信頼性が向上しています。処理コアは2MBのオンチップ・ランダム・アクセス・メモリ (OCRAM) にアクセスできます。OCRAMは、スタティックRAM (SRAM) またはL3キャッシュとして512KBの領域でパーティション分割が可能です。この大容量のOCRAMは、時間的制約が厳しい通信バッファリングにおいてワーストケースのレイテンシを最小限に抑えるために不可欠なものとして、ダブル・データ・レート (DDR) メモリの代わりに使用できます。



ADVANCE INFORMATION

(1) This interface is located on the MCU Island but is available for the full system to access.  
 (2) One port is internally connected only; not connected to any pins.  
 (3) SGMII, USB3.1 and PCIe share a total of two SerDes lanes.

図1: AM6x SoCアーキテクチャの概要

マルチコア共有メモリ・コントローラ (MSMC) は、OCRAM と32ビットDDR外部メモリ・インターフェイス (EMIF) の両方に対して、帯域幅を制御して低レイテンシでアクセスできるようにします。DDR EMIFは、DDR3L、DDR4、低電力DDR4 (LPDDR4) と接続でき、ECCもサポートします。

AM6xに内蔵されたマイクロコントローラ・サブシステム (MCUSS) により、SoCの処理リソースのさらなる省電力化が可能になります。MCUSSは、最大400MHzで動作するArmデュアル・コアR5Fと、コアごとの64KB密結合メモリ、コア間で共有される512KB OCRAMで構成されます。MCUSSにはメモリ・マッピングされた独自のペリフェラルがあり、MCUSSが独占的に使用することも、システムの必要性に応じてA53コアに開放することもできます。MCUSSは、必要に応じてDDRにもアクセスできます。

接続性の強化は、AM6x設計の中心部分です。次世代産業用通信システム (ICSS) が3個あり、それぞれに最大250MHzで動作するプログラマブル・リアルタイム・ユニット (PRU) が4個含まれます。PRUは、キャッシュもパイプラインも持たない縮小命令セットコンピュータ (Reduced Instruction Set Computer: RISC) コアであり、決定性のシングル・サイクル処理が可能です。PRU\_ICSSGにはそれぞれRGMII (Reduced Gigabit Media Independent Interface) ベースのイーサネット・ポートが2つ備わり、最大でギガビットの速度でタイム・センシティブ・ネットワークング (Time-Sensitive Networking: TSN) のような産業用スイッチ実装と、それ以外の産業用イーサネット・プロトコル (PROFINET<sup>®</sup>、EtherCAT<sup>®</sup>、EtherNet/IP<sup>™</sup>など多数) をサポートします。さらにRGMIIをサポートするイーサネット・メディア・アクセス・コントローラ (MAC) があります。すべて合わせて、1つのAM6xで同時に7個のイーサネット・ポートを有効にできます。

AM6xではその他にもいくつかの接続オプションを利用できます。第3世代PCI Express (PCIe) コントローラは、シリアライザ/デシリアライザ (SerDes) レーンごとに最大8GT/sの速度をサポートし、ルート・コンプレックスまたはエンドポイントとして設定できます。AM6xには独自のQuality-of-Service (QoS) 設定ポートがあり、特定の仮想チャンネルデータに対するOCRAMへの低レイテンシアクセスを容易にします。SerDesレーンを2つ備えたPCIeコントローラが2つあり、2×1または1×2でのコントローラ/SerDes構成が可能です。

汎用メモリ・コントローラ (GPMC) インターフェイスは、アドレス・ラインを23、データ・ラインを16備え、FPGA (フィールド・プログラマブル・ゲート・アレイ)、バス・アダプタ、またはバックプレーンに接続できます。GPMCは、同期および非同期動作で多重化および非多重化のアドレス/データ・モードをサポートします。アップデートされたオクタール・シリアル・ペリフェラル・インターフェイス (Octal SPI) が2つあり、最大133MHzのDDRおよびクアド/デュアル/シングルSPIフラッシュのフラッシュ速度をサポートします。CAN-FD (Controller Area Network with Flexible Data Rate)、マルチ・チャンネルSPI、UART (Universal Asynchronous Receiver Transmitter)、I<sup>2</sup>C (Inter-Integrated Circuit、集積回路相互接続) などの、よく利用されている産業用シリアル・インターフェイスも複数用意されます。

AM6xアーキテクチャに新たに搭載された、デバイス管理セキュリティ・コントローラ (DMSC) と呼ばれる中央処理リソースは、SoCに安全なデバイス・サービスを提供します。DMSCはデバイスの電源とリセットを制御します。また、DMSCはオンチップ・ファイアウォールによる分離すべてを制御することで、アクセス・リクエストを処理し、セキュアな認証リクエストを管理します。AM6xには他にも、プログラム可能なキーとランタイム・セキュリティを使ったセキュア・ブートといったセキュリティ機能があります。

AM6xの設計では、信頼性を高め、より高度な機能安全性を実現できるようにするために、独自の投資を行いました。AM6xは最大接合部温度で最短10年の動作が可能であり、システムの寿命をより長くすることに関心が高いお客様の声に応じて、寿命予測も改善しています。機能的に安全なシステムを実装できるようにするために、AM6xにはHercules<sup>™</sup>製品ファミリからデュアル・コアR5FベースのMCUテクノロジーが組み込まれています。TIのHercules MCUは、IEC 61508安全整合レベルSIL 3に準拠するように評価・認定を受けています。機能安全性に対応したAM6xデバイスでは、R5Fをデュアル・コア・モードではなくロックステップ・モードで動作するよう設定できます。MUSSは内部のSPIインターフェイスにより分離することができ、あたかもSoCの外部に安全なMCUが存在するように、干渉のないチップ内チップのアーキテクチャを形成します。

## PRU\_ICSSGを介したリアルタイム産業用通信

産業用イーサネット技術は、工場およびグリッド・インフラストラクチャのようなシステムでシリアル・フィールド・バスに取って代わりつつあります。しかし、標準イーサネットは非決定性でもあり、リアルタイムでの運用には適していません。一方で現代のファクトリ・オートメーションでは決定性のオペレーションと時刻同期が求められます。このように標準イーサネットが非決定性で時刻同期も不十分なことから、これらの機能に対応するためにEtherNet/IP、PROFINET、EtherCATなどのさまざまな産業用通信規格が開発されてきました。このような取り組みに並行して自動車産業では、車

内でリアルタイムに音声や動画データを伝送するために同じような理由から2005年にEthernet Audio-Video Bridgingの取り組みを始めました。この取り組みから802.1 AVB規格が生まれ、後にタイム・センシティブ・ネットワークング(TSN)と名称が変更されました。TSNの機能の多くが、IEEE 802.1Q-2018標準イーサネット仕様に含まれています。

TSNは、表1に示す一連の802.1規格へと成長し、産業用アプリケーションに使われる通信にとって重要なものとなっています。TSNを構成する802.1規格のうちのいくつかは今も策定中ですが、産業用市場で柔軟な通信ソリューションが求められていたことは明らかでした。

規格	Alias	説明
IEEE P802.1AS/Rev 1588v2	タイミングと同期	レイヤ2の時刻同期を提供
IEEE 802.1Qbv	タイム・アウェア・シェーパ	ローテーションスケジュールでブリッジの8ポートの出力キューを実行。予定された送信中に遅延が生じないように、タイム・スケジュールに基づいて1つを除くすべてのポートをブロック
IEEE 802.3Qbr	インタースパーシング・エクスプレス・トラフィック	通常のフレーム送信を中断して「エクスプレス(特急)」フレームを送信後、通常の送信を再開
IEEE 802.1Qbu	フレーム割り込み	基本的に、802.1Qbvに802.3Qbrを追加したもの。タイム・クリティカルでないフレームに割り込みを行い、タイム・クリティカルなフレームを通せるようにします
IEEE 802.1Qca	パスの制御と予約	ネットワークを介して冗長なパスを見つけ、将来の冗長性を確保するため、ノードからトポロジ情報を収集することによってネットワークを探索します
IEEE 802.1CB	冗長性	複製したメッセージを複数の別々の経路で同時に伝送し、受信側で冗長的な重複分を廃棄します
IEEE P802.1Qcc	ストリーム予約の強化と改良	より多くのストリームをサポートし、ストリーム予約クラスとストリームを設定可能にし、レイヤ3のストリームをサポート。ストリーム特性の記述を改善することで、既存の予約プロトコルを改善します
IEEE 802.1Qch	サイクリック・キューイングと転送	パケットを、そのトラフィック・クラスに応じて収集し、収集したパケットを1サイクルで転送します。タイミングの制御が望ましいがレイテンシの低減は重要でない場合に、TSNを利用する簡易な方法を提供
IEEE 802.1Qci	ストリームごとのフィルタリングとポーリング	入口ポートで到着時間、レート、帯域幅に基づいてフレームをフィルタリングして、過度な帯域幅の使用、バースト・サイズ、不良または不正なエンドポイントから保護します
IEEE 802.1CM	フロントホールに対応したタイム・センシティブ・ネットワーク	イーサネット・ブリッジで接続されたネットワークでタイム・センシティブなフロントホール・ストリームを伝送できるようにします。新しいスタンドアロンのTSNベースの規格

表1: 802.1TSN規格

時間的制約が厳しい産業用通信に対応したTIの革新的技術がPRU-ICSSです。これはAM335x、AM437x、AM57xなどのSitaraデバイスに内蔵されています。PRU-ICSSは、汎用的でプログラム可能な産業用イーサネットおよびシリアル・フィールド・バス通信を提供して、PROFIBUS、PROFINET、EtherCAT、EtherNet/IP、SERCOS III®、PowerLink™といったプロトコルに対応します。現行世代のPRU-ICSSでは、100Mbpsのリアルタイム・イーサネット・データ・スループットを可能にする一方で、最小31.25マイクロ秒での産業プロトコルのサイクル・タイムを実現します。

産業用ネットワークをTSNに進化させるため、TIは既存のICSSアーキテクチャにPRUとアクセラレータを追加することでアップグレードをはかり、より強力なスケラブルな処理ソリューションであるPRU\_ICSSGを生み出しました。PRU\_ICSSGの設計では、現在のPRU-ICSSデバイスにすでに実

装されている産業用イーサネット・プロトコルのソフトウェアを無理に改修しなくてもいいようになっています。次世代のPRU\_ICSSGはAM6xプロセッサに内蔵され、1Gbpsのスループットとともに、同じリアルタイム産業用イーサネット・プロトコルのサイクル・タイムを実現します。トータル1GHzのリアルタイムで決定性のPRU処理能力、一般的なイーサネット処理タスクに対応するハードウェア・アクセラレータ、および拡張された高帯域幅メモリの組み合わせにより、PRU\_ICSSGはインダストリー 4.0での通信における課題に対処できます。

図2は、PRU\_ICSSGのブロック図です。AM6xデバイスのPRU\_ICSSGにはインスタンスが3つあり、そのすべてにRGMIIが備えられています。1つのインスタンスには、AM6x SerDesによって有効となるSGMII (Serial Gigabit Media Independent Interfaces) が2つあります。

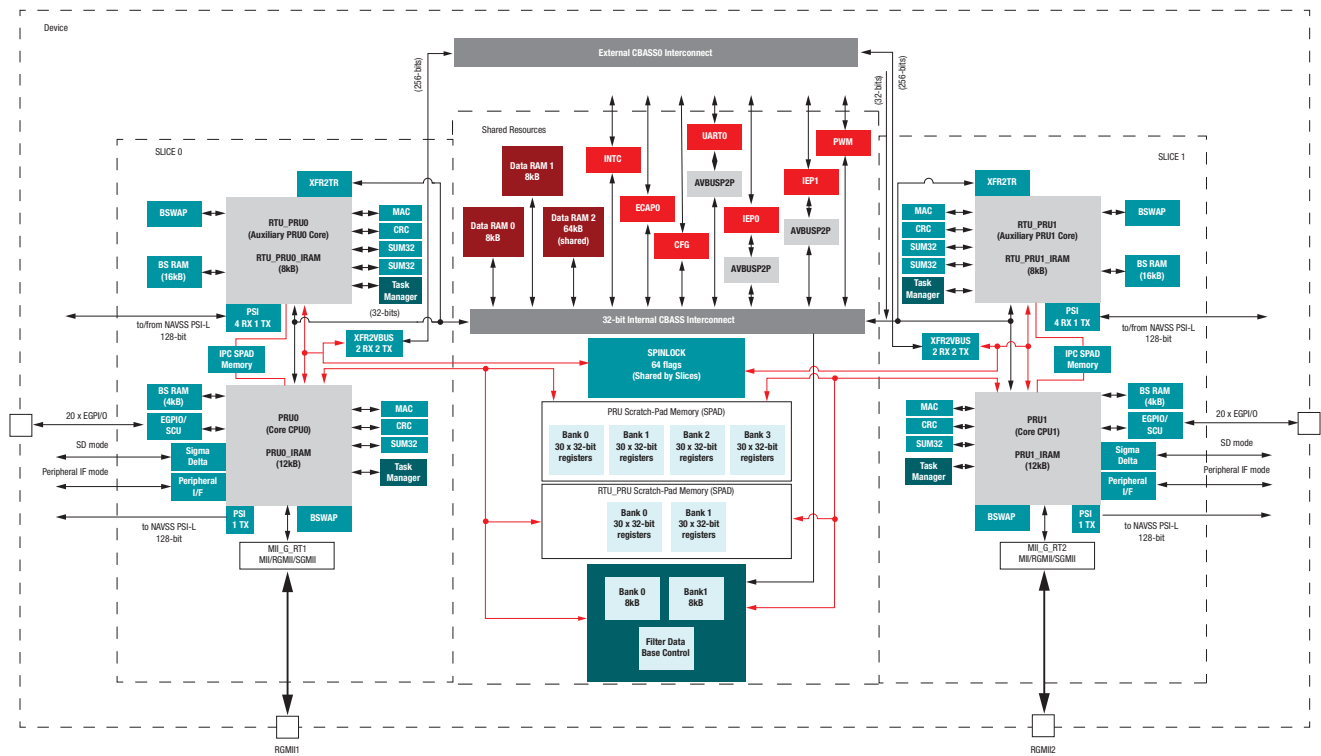


図2: AM6xプロセッサのPRU\_ICSSGのブロック図

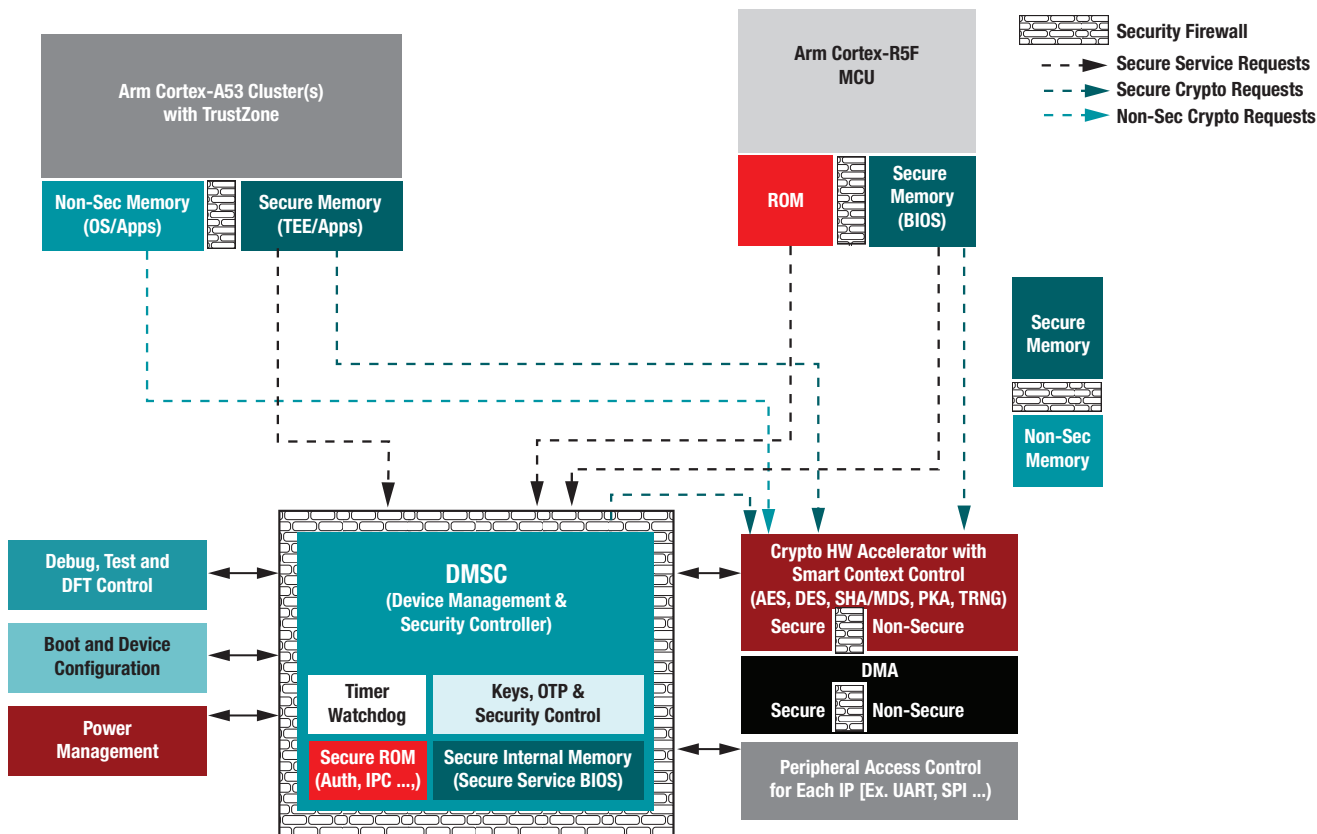


図3: AM6xプロセッサに内蔵されたDMSCの機能

## 進歩したセキュリティ

これまでに述べたように、DMSCはAM6xのセキュリティを集中管理します。図3に示すように、DMSCはマルチコアAM6x SoCデバイス・ファミリに不可欠な部分であり、デバイス管理、ブート・シーケンス、電源管理、セキュリティの集中管理部として働きます。クリティカルな資産（キー、設定データ）はすべてDMSCで確実に保護され、攻撃されるリスクを減らします。DMSCは、セキュアなリソースがすべて協調して機能することを保証し、デバイスのある部分でセキュリティ・ハックが生じてもSoC全体の崩壊につながらないようにします。TIはDMSCファームウェアのセキュアな部分を所有し、バイナリでのみ利用されるようにします。AM6xアーキテクチャ設計は、SoCのリソース（メモリ、ペリフェラル、コアなど）すべてへの動的アクセス制御を可能にする、拡張ファイアウォール・アーキテクチャをサポートします。DMSCは、リソースへのファイアウォール・アクセスを格上げ/格下げする機能を提供します。DMSCのリソースには、定義されたアプ

リケーション・プログラム・インターフェイスを通してアクセスできます。

AM6xの暗号化サブシステムも、最新の暗号化の要件に合うようにアップグレードされました。アメリカ国立標準技術研究所（National Institute of Standards and Technology: NIST）のECDSA（Elliptic Curve Digital Signature Algorithm）とDRBG（決定論的乱数生成器）をハードウェアでサポートし、さらにAES（Advanced Encryption Standard）、3DES（Triple Data Encryption Algorithm）、SHA-1および-2（Secure Hash Algorithm-1および-2）、MD5（Message Digest 5）もサポートします。

AM6xの拡張制御により、セキュリティを意識したデバッグが行えます。例えば、SoCは、公開部分でデバッグを行いながらセキュアな部分をロックする機能を提供します。DMSCが制御するチャレンジ/レスポンス・プロトコルは、デバッグ機能をオープンにします。

**IEC 61508**  
**(General safety for industrial)**  
PFH (Probability of Failure per Hour)

Safety integrity level (SIL)	Average frequency of a dangerous failure of the safety function [h <sup>-1</sup> ] (PFH)
4	$\geq 10^{-9}$ to $<10^{-8}$
3	$\geq 10^{-8}$ to $<10^{-7}$
2	$\geq 10^{-7}$ to $<10^{-6}$
1	$\geq 10^{-6}$ to $<10^{-5}$

**SFF (Safe Failure Fraction)**

Table 3 — Maximum allowable safety integrity level for safety function carried out by a type B safety-related element or subsystem

Safety failure fraction of an element	Hardware fault tolerance		
	0	1	2
<60%	Not allowed	SIL 1	SIL 2
60% – <90%	SIL 1	SIL 2	SIL 3
90% – <99%	SIL 2	SIL 3	SIL 4
$\geq 99\%$	SIL 3	SIL 4	SIL 4

図4：機能安全規格

**機能安全性と信頼性向上のための拡張機能**

AM6xアーキテクチャは、機能安全性を実現する統合機能を用いて構築されました。図4に、AM6xプロセッサが使われるシステムで目標となるIEC 61508の機能安全規格レベルを示します。産業用制御アプリケーションでは、設計者はAM6xを使って最高でSIL 3レベルのシステムを設計できます。TIでは、AM6xプロセッサを組み込むシステムで機能安全要件を満たせるように設計者を支援する、SafeTI™ 設計パッケージを用意しています。図5に、SafeTI設計パッケージの概要を示します。

IEC 61508規格で決められたとおり、TIでは要件追跡、文書化、検証を通して、独立に認証されたハードウェアおよびソフトウェア開発プロセスに従っています。TIが提供するソフトウェア・コンプライアンス・パッケージおよびコンパイラ認証キットは、系統的な障害への対応を支援します。ランダムな障害については、TIは設定可能なAM6x FMEDA (障害モード影響および診断分析) ツールを提供し、これによりデバイス設計と診断範囲から障害モードと測定基準の詳細を明らかにします。「AM6x 安全性マニュアル」に、AM6xプロセッサで利用可能なハードウェア、ソフトウェア、ハードウェア/ソフトウェアの組み合わせの診断について詳細を記しています。最後に、SafeTIパッケージは安全性分析レポートを提供します。このレポートは、SEooC (Safety Element out of Context) としてのサードパーティ評価によるAM6xデバイスの認証サマリーです。

AM6x SoCは、重要度が混在した (mixed-criticality) 機能安全性用途に向けて構築されました。TIはネイティブでSIL 3をターゲットにMCUSSを設計する一方、ネイティブでSIL 2をターゲットにメインSoCドメインを設計しました。これにより、機能安全性システムの設計者はエンド・システムでSIL 3レベルをターゲットとすることができます。Herculesの機能安全性MCUでのTIの経験をMCUSSに活用することで、図6に示すとおり、あたかもSoCの外部にMCUが存在するように、SoCの中に「安全な島 (safe island)」を作り出しました。

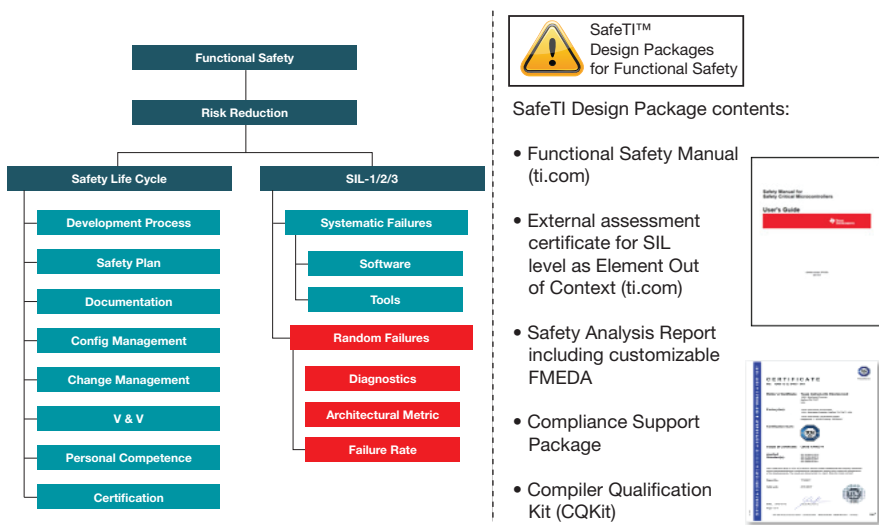


図5：SafeTI設計パッケージの概要





## 接続性、セキュリティ、安全性をさらに超えて

Sitara AM6x プロセッサを開発する上では設計の際に接続性、セキュリティ、機能安全性の分野に注力しましたが、AM6x が組み込まれる産業用アプリケーションにはそれ以外にも対処すべき重要な要件があります。0.8mm ピッチの配線ルール、23mm×23mm のパッケージ、および SoC に内蔵される多くの電源供給とシーケンシング・ソリューションにより、複雑なプリント基板を設計しなくても AM6x は小型フォームファクタのファンレス筐体に適合できます。パッシブ冷却の応用機器設計ができるように、アクティブ電力エンベロープは、ほとんどのユースケースで 5W 未満に制限されました。

グラフィカル・ユーザー・インターフェイスや表示が必要な用途について、ヒューマン・マシン・インターフェイス接続を支援するために、24ピン MIPI (Mobile Industry Processor Interface)、DPI (Display Pixel Interface) と合わせて LVDS (Low Voltage Differential Signaling) インターフェイスが内蔵されました。デュアル・コア Arm Cortex-A53 AM652x とクアッド・コア AM654x により、AM65x デバイスファミリは、多くの産業用アプリケーションにおいて性能、電力、及びコストの目標に対応できます。

AM6x デバイスファミリは、インダストリー 4.0 での要件を基礎として設計されました。この基礎から引き出された AM6x SoC の性能と機能は、将来の工場やその他の産業応用機器市場で求められる産業用制御ソリューションのニーズを満たすことになるでしょう。

## 関連 Web サイト:

- [AM6x プロセッサファミリ](#)の詳細はリンク先をご覧ください。

## 参考資料:

- <sup>1</sup> NIST Cyber Physical Systems Public Working Group  
<https://pages.nist.gov/cpspwg/>
- <sup>2</sup> Marr, B. (2016, June 20) What everyone must know about Industry 4.0. 以下より抜粋。  
<https://www.forbes.com/sites/bernardmarr/2016/06/20/what-everyone-must-know-about-industry-4-0/#6605d71e795f>
- <sup>3</sup> Forschungsunion, acatech (2013, April 8)  
Recommendations for implementing the strategic initiative INDUSTRIE 4.0. Final report of the Industrie 4.0 Working Group. 以下より抜粋。  
<https://www.acatech.de/Publikation/recommendations-for-implementing-the-strategic-initiative-industrie-4-0-final-report-of-the-industrie-4-0-working-group/>



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件 ([www.tij.co.jp/ja-jp/legal/termsofsale.html](http://www.tij.co.jp/ja-jp/legal/termsofsale.html))、または [ti.com](http://ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

Copyright © 2018, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社