

# Jacinto™ 6 プラットフォームの 採用による、 開発中デジタル・クラスタ設計の 迅速なアップグレード



## **Mahmut Ciftci**

Systems Architect  
Automotive Processors  
Texas Instruments

## **Anand Balagopalakrishnan**

Principal Engineer  
Automotive Processors  
Texas Instruments

**インストルメント・パネルは、自動車業界で進行しているデジタル・コックピットの革新にとって重要な部材です。新しいデジタル・ソリューションを採用すると、より複雑なコンテンツ、より大型のディスプレイ、AR(拡張現実)ヘッド・アップ・ディスプレイ(HUD)などの新しいエルゴノミクスを実現できます。**

ディスプレイの価格が低下している中で、従来のアナログ・クラスタやハイブリッド・クラスタに対するデジタル・クラスタ・ソリューションの価格競争力は改善しており、従来のインストルメント・クラスタに対する複数の主な利点として、交通情報や天気予報、地図などドライバーにとって現時点でより関連性が高いコンテンツの表示のほか、運転モード(通常走行、スポーツ走行、オフロード走行など)に基づいてカスタム化したコンテンツの表示などを挙げることができます。

また、デジタル・クラスタ・ソリューションは、統一性のあるデザインと操作感を実現することができ、OEM(自動車メーカー)の複数のモデル全体で総合的な開発を進めることも可能です。OEM各社はHUDやドライバー監視のような新機能を統合する一方で、共通のクラスタ・ハードウェア・システムを採用したまま、ソフトウェアによりさまざまな自動車モデルで差別化を図ることもできます。

デジタル・クラスタのグラフィカル・コンテンツとディスプレイ解像度が強化されている現状で、マイコン(MCU)ベースのソリューションではシステム要件を満たすことが困難になりつつあります。高まる要件に対処できるのは、強力なアプリケーション・プロセッサのみです。

テキサス・インストルメンツ(TI)のJacinto™(ジャシント)6 SoC(システム・オン・チップ)ファミリは、エントリーからプレミアムまで各種デジタル・クラスタに対応するスケーラブルなソリューションを提供するとともに、グラフィックス、安全性、高速起動など、クラスタ・システムの要件を満たします。

このホワイト・ペーパーは、Jacinto 6 SoCをベースとするデジタル・クラスタ・システムとソフトウェアのソリューションについて説明するほか、ソフトウェアとエコシステムのサポートを要約し、多数のデジタル・クラスタに関してJacinto 6プロセッサ・ファミリで動作するコンセプト検証を網羅します。

### デジタル・クラスタ・システムの要件

インストルメント・クラスタをアナログからデジタルに移行すると、デジタル・クラスタ・システム・ソリューションには、主なシステム要件が多数存在するため、特有の課題が多数発生します。

最初の要件は、グラフィックスの性能と、高解像度ディスプレイのサポートです。デジタル・クラスタ・ソリューションでアナログ・クラスタを置き換える場合、OEM各社とドライバーは、状況に適したグラフィカル・コンテンツが、写真のような写実的画像で滑らかに描画されるグラフィック性能を期待します。スピード・メーターとRPM(タコメーター)の針の滑らかな動きを保証するには、60fps(フレーム/秒)のレンダリングが必要です。ディスプレイの解像度要件が高くなると、高解像度ディスプレイのサポートが不可欠になります。

現在、12.3インチで1920×720p（プログレッシブ）解像度のディスプレイが一般的に採用されていますが、一部のOEMはより高品質のグラフィックスとドライバーの快適性向上を目的として、次世代で2880×1080pに移行することを検討しています。このような高解像度ディスプレイを使用して高いフレーム・レートでグラフィックスをレンダリングするには、強力なグラフィックスとメモリ・スループット性能の高いアプリケーション・プロセッサが必須です。

2番目のシステム要件は安全性です。すべてのグラフィックス・コンテンツが安全性に関連しているわけではありませんが、エンジン関連の警告やブレーキ異常の警告など、各種異常に関する警告機能が存在しています。したがって、クラスタ・システムは、異常警告のレンダリングに関するASIL-Bの認証を必要とします。さらに、半ドアなど正しく閉じていないドアに関する警告やシートベルト着用を促すチャイムのような音声による警告も安全性コンポーネントの一部であり、クラスタ・システム内でドライバーに対する音声情報としてASIL-Aの格付けが必要になることがあります。

3番目のシステム要件は高速なシステム起動です。ドライバーはエンジンを始動した直後から、すべての計器がアクティブになることを予期しています。この要求を満たすには、システム全体、つまりディスプレイやグラフィックスを含めた各々が、コールド・スタートから1秒以内にアクティブになることが求められます。

OEM各社は、クラスタ SoC で駆動する HUD や、ドライバー監視ソリューションなど、ますます多くの新機能をデジタル・クラスタ・システムに統合する傾向にあります。したがって、ヘッド・ユニットから到着したコンテンツをクラスタ・ディスプレイにシームレスに統合する機能は必須になっています。この結果、ヘッド・ユニットからイーサネット・オーディオ・ビデオ・ブリッジング (eAVB) のような車内ネットワーク経由でデータを送信することが必須になり、そのデータをクラスタ画面でレンダリングおよび表示します。データをビデオ・ストリームとして転送するには、クラスタ SoC でビデオ・デコード機能が必須になります。

最後に、デジタル・クラスタ・システムの部品表 (BOM) を最適化する必要があります。この要求を満たすには、スケーラブルでソフトウェア互換性を確保したソリューションが必要です。その結果、OEM やティア1 サプライヤ各社は、価格の上下と性能の変更を調整できるようになります。マルチディスプレイ、マルチカメラのサポート、さらに CAN や eAVB のような車載用ペリフェラルなどがこれに該当します。消費電力や熱特性は時には見過ごされることもあるシステム・パラメータですが、デジタル・クラスタが、ファンのような追加部品を必要とする可能性が生じることで、これらの特性もシステムの BOM に影響を及ぼします。

## デジタル・クラスタのシステム・ブロック図

図1に、デジタル・クラスタ・ソリューションに関するハイレベルのシステム・ブロック図を示します。ベースとして、TI の Jacinto 6 SoC を使用しています。代表的なデジタル・クラスタ・システムでは、アプリケーション・プロセッサが Linux、QNX、または Integrity のようなハイレベル・オペレーティング・システムを実行し、すべてのシステム・コンポーネントを管理します。

アプリケーション・プロセッサ以外にも、このブロック図は以下のような他のシステム・コンポーネントを数多く搭載しています。

- 複合電源 IC (PMIC) : システムの電力を管理。
- フラッシュ : 起動イメージとフラッシュ・システムを格納。Jacinto 6 に搭載されている2つの一般的なフラッシュ・インターフェイスは、QSPI (クワッド・シリアル・ペリフェラル・インターフェイス) と eMMC (Embedded Multimedia Card、組込みマルチメディアカード) です。
- 車載用マイコン : 入出力の管理、システム全体のウェイクアップ、必要な場合は CAN スタックの管理。アプリケーション・プロセッサは、CAN や eAVB のようなネットワーク・スタックを取り扱うこともあります。
- カメラ入力 : ヘッド・ユニット、リア・ビュー、ドライバー監視の各カメラからの入力の供給先。
- FPD-Link シリアライザ / デシリアライザ : リモート・ディスプレイ用。

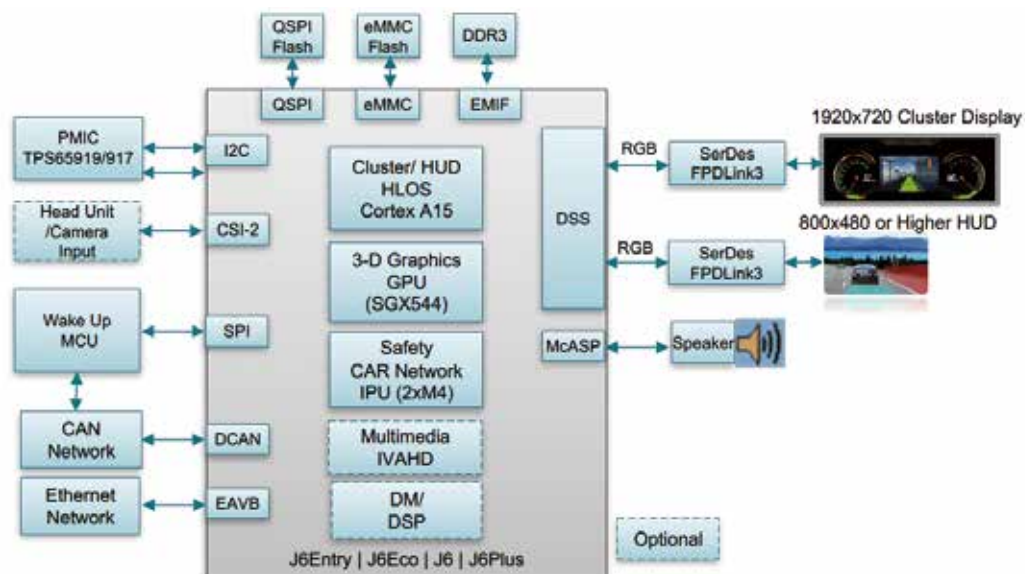


図 1. デジタル・クラスタのシステム・ブロック図。

### デジタル・クラスタ用の Jacinto 6プラットフォーム

Jacinto 6 SoCファミリは、デジタル・クラスタ・システムの要件を満たす、スケーラブルでソフトウェア互換性のあるプラットフォームを実現します。

### デジタル・クラスタ・システムに適した Jacinto 6 SoCのアーキテクチャ

Jacinto 6 SoCファミリは図2に示すように、マルチコアの異種アーキテクチャを採用しています。強力なマイクロプロセッサ・ユニット (MPU) に加えて、専用のハードウェア・アクセラレータが特定のタスクを処理し、性能、消費電力、コストに関する最善のトレードオフを実現します。Jacinto 6のプロセッシング・コアを形成しているのは、汎用MPUであり、そのベースはArm® Cortex®-A15コアです。これらのコアは、Linux、QNX、またはIntegrityのようなハイレベル・オペレーティング・システムを実行し、グラフィックスやディスプレイなど主なシステム・コンポーネントとミドルウェアを管理します。Jacinto 6のGPU (グラフィックス処理ユニット) は、すべてのグラフィックス・レンダリングを処理します。3Dと2Dそれぞれのグラフィックス・コアが存在しています。補助的MPU (Auxiliary MPU、AMPU) は、より小型のArmコアです。Jacinto 6ファミリでは、AMPUとして複数のCortex-M4コアを使用しており、これらのコアはCANまたはイーサネットを使用した通信と、安全重視コンポーネント全般を処理します。

デジタル信号プロセッサ (DSP) はオプションとして利用可能であり、ドライバー監視やドライバー識別のような付加的な機能を実現できます。マルチメディア・コアは、クラスタ・システムによるビデオのデコード / エンコードの要件に対応します。プロセッシング・コアに加えて、アプリケーション・プロセッサのメモリ・スループットは、あらゆるデータの転送を取り扱うため、またシステム性能のボトルネックを回避するために重要な役割を果たします。それ以外に、一連のペリフェラルも存在し、CAN、eAVB、マルチディスプレイ出力、マルチカメラ入力により、システムのBOMコストを最適化できます。

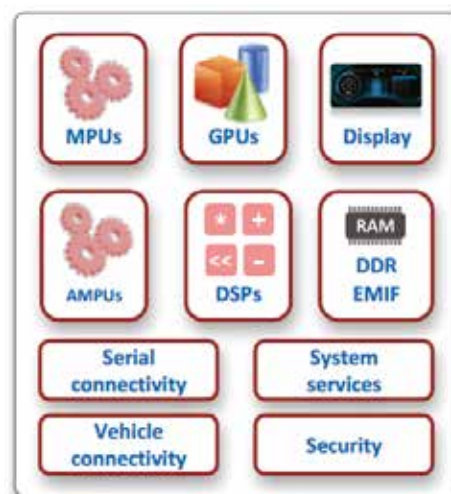


図 2. Jacinto 6 マルチコアの異種アーキテクチャ。

Feature	Jacinto 6 Entry (DRA71x)	Jacinto 6 Eco (DRA72x)	Jacinto 6 (DRA74x)	Jacinto 6 Plus (DRA76x)
Cluster Display Resolution	1920x720 @60fps		2880x1080@60fps	
	<b>J6-Entry</b> • 1x A15 & 4x M4 • 1x SGX544 • 17x17 package	Pin2Pin compatible <b>J6-Eco</b> • 1x A15 & 4x M4 • 1x SGX544 • 23x23 package	<b>Jacinto 6</b> • 2x A15 & 4x M4 • 2x SGX544 • 23x23 package	<b>J6-Plus</b> • 2x A15 & 4x M4 • 2x SGX544 • 23x23 package
MPU (DMIPs)	Up to 3.5K	Up to 5.25K	Up to 10.8K	Up to 12.7K
Aux MPU (Mhz)	2x Dual-M4 (212)	2x Dual-M4 (212)	2x Dual-M4 (212)	2x Dual-M4 (212)
3D GPU (GFLOPS)	SGX544 ( Up to 13.6)	SGX544 (Up to 17)	SGX544-MP2 (Up to 34)	SGX544-MP2 (Up to 42.5)
2D GPU (Mhz)	GC320 (354)	GC320 (354)	GC320 (354)	GC320 (354)
Memory BW (GB/s)	Up to 5.3	Up to 5.3	Up to 8.5	Up to 10.7
Optional cores	IVA-HD ( Multimedia HD video decode and encode for infotainment content integration) C86x DSP ( for driver monitoring system integration)			
Power Management	TPS65919	TPS65917	TPS65917 or TPS659039	TPS659039
Software Compatibility	Software Compatible			

図 3. Jacinto 6 デジタル・クラスタのロードマップ。

### デジタル・クラスタ用途での

#### Jacinto 6プロセッサのロードマップ

Jacinto 6ファミリには、デジタル・クラスタ・ソリューションを想定した多数のデバイスが属しています。クラスタ用途での Jacinto 6プロセッサのロードマップを、図3に示します。

Jacinto 6ファミリの性能スケーラビリティを、次の図4で強調します。

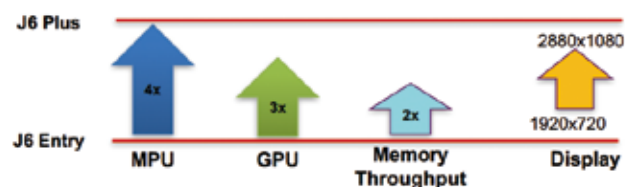


図 4. Jacinto 6 ファミリの性能スケーラビリティ。

#### グラフィックスの性能とディスプレイ・サブシステム

グラフィックスの性能は、デジタル・クラスタ・システムにとって最も重要な要因、または非常に重要な要因の1つです。図5に示すように、Jacinto 6 SoCは高性能のグラフィックス・サブシステムを搭載しており、以下の特長があります。

- 3D GPUは、Imagination TechnologiesのSGX544をベースとしており、すべての3Dグラフィックス・レンダリングを取り扱うほか、OpenGL ES API (アプリケーション・プログラミング・インターフェイス) をサポートします。
- 2D GPUはVivanteのGC320をベースとしており、マルチレイヤの組み立てと 2Dグラフィックス・レンダリングの両方を取り扱うほか、2Dグラフィックス APIをサポートします。
- 強力なディスプレイ・サブシステムは、オーバーレイをサポートした4個の独立した入力パイプラインを搭載しており、最大4台の並列HDディスプレイに対応し、ドライバー向けのデジタル・クラスタと HUDをサポートします。また、独立したライトバック・パイプラインも1組搭載しており、安全性の目的でフレーム・チェックを実施できます。

Jacinto 6 Entryは、1920×720の高解像度ディスプレイを60fpsのレートでサポートします。Jacintoファミリの最小コストのプロセッサで、ほかには、2880×1080を60fpsでサポートする Jacinto 6 Ecoや、Jacinto 6、Jacinto 6 Plusの各SoCが属しています。

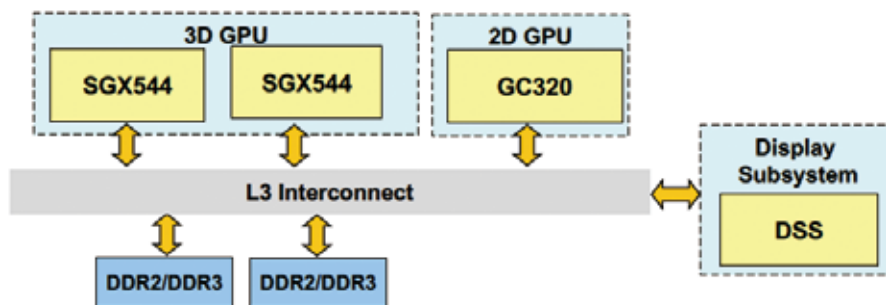


図 5. Jacinto 6 のグラフィックス / ディスプレイ・サブシステムのアーキテクチャ。

## 安全性サポート

Jacinto 6 SoCには多数の安全性機能が組み込まれており、システム・レベルで安全性の目標を達成するのに貢献します。以下に、このような機能を示します。

- ハードウェア・ファイアウォールとMMUは、干渉を阻止します。この特性は、ASIL-Bの安全性の目標を実現するうえで非常に重要です。
- ハードウェア・ファイアウォールによる、安全性領域と安全性以外の領域へのペリフェラルの分離。
- フレームを監視するためのディスプレイのライトバック・パス。
- 外部メモリ・インターフェイスに対する誤り補正 (ECC) のサポート。
- メモリ・アクセスとL3インターコネクトの優先機能は、DDR (double-data-rate) の重い負荷とインターコネクト負荷に対して、信頼性の高い動作を実現。
- ハイ・セキュリティ (HS) デバイスにより、セキュア・ブートとランタイム・セキュリティをサポート。
- 補助的MPU (M4) とDSPを使用して、フレーム監視やウォッチドッグ・タイムを含めた安全重視コンポーネントを分離。

TIは、Jacinto6に搭載されている補助的MPUコアとハードウェア・ファイアウォールを活用して、ASIL-Bソフトウェア・アーキテクチャの開発と実証を行ったほか、コンセプト検証 (proof of concept, POC) も実施しました。図6をご覧ください。

このアーキテクチャでは、あらゆる安全重視コンポーネント (故障警報、ディスプレイ・ドライバー、CANスタック) が、補助的MPUコア上で、安全性リアルタイム・オペレーティング・システム (RTOS) をベースとして動作しています。ハイレベル・オペレーティング・システム (HLOS) を実行するMPUは、3Dグラフィックスを含め、安全重視に直接関係しないコンポーネント全般を取り扱います。

ハードウェア・ファイアウォールは、安全重視コンポーネントを、安全重視に直接関係しないコンポーネントから分離するとともに、安全性RTOSがアクセスするメモリ領域を分離して、確実に干渉を阻止します。

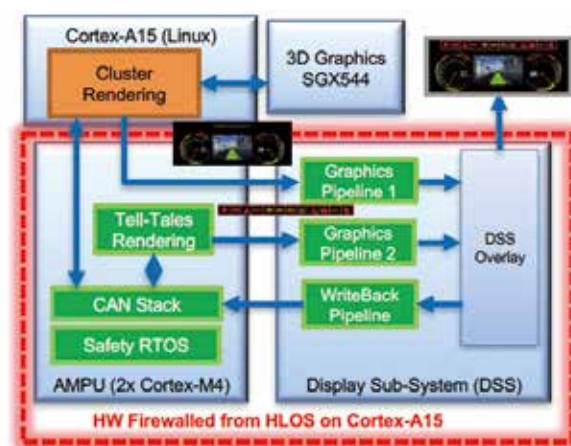


図 6. AMPU をベースとする Jacinto 6 の安全性アーキテクチャ。

最後に、ディスプレイ・サブシステムのライトバック・パイプラインは、ディスプレイからフレーム・データをメモリに送り返し、フレームをさらにチェックする方法を通じて、故障警告のレンダリングが確実に実施されるようになります。

## 早期の高速起動

Jacinto 6 SoCは、デジタル・クラスタ・システムの高速起動という要件を満たすために必要とされる機能を実現しています。具体的には、起動イメージのロードと実行を担当する強力なMPU、データを外部DDRメモリに転送する、QSPIやeMMCなどの高速なフラッシュ・インターフェイス、HLOSと並列にセカンダリRTOS起動イメージをロードおよび開始するための補助的MPUコアを採用しており、起動プロセスのごく初期にディスプレイと他の起動機能を有効にすることができます。

## システムBOM(部品表)コストの最適化

Jacinto 6 SoCは、デジタル・クラスタ・ソリューションに合わせてシステムのBOMを最適化できるように、以下のような多数の特長を実現しています。

- Jacinto 6 EntryからJacinto 6 Plusまで、100%ソフトウェア互換性のあるプラットフォーム。
- Jacinto 6 Eco、Jacinto 6、Jacinto 6 Plus間でのピン互換のオプション。
- 各Jacinto 6 SoCで、コスト最適化された複合電源ソリューション(PMIC)が利用可能。
- HUDを統合するためのマルチHDディスプレイのサポート。

- リア・カメラやドライバー監視カメラの入力に対応する、マルチカメラ入力
- オプションのDSPコアとマルチメディア・コアはドライバーの監視と識別、スマートフォンの投影のような機能を統合し、システム・コストの大幅な上昇を回避。図7に、リファレンス・アーキテクチャを示します。
- eAVB、CAN、MOST (Media Oriented Systems Transport、メディア・ベースのシステム・トランスポート)など、車載用ペリフェラルに対応する各種インターフェイス。
- PCIe (Peripheral Component Interconnect Express、ペリフェラル・コンポーネント・インターコネクト・エクスプレス)、USB、I2Sなど、高速なコネクティビティ・インターフェイスの多様なセット。
- 6層基板(PCB)のデザインが利用でき、ボード・コストを削減。
- 消費電力と発熱の良好な特性で、システム・コストを低減。

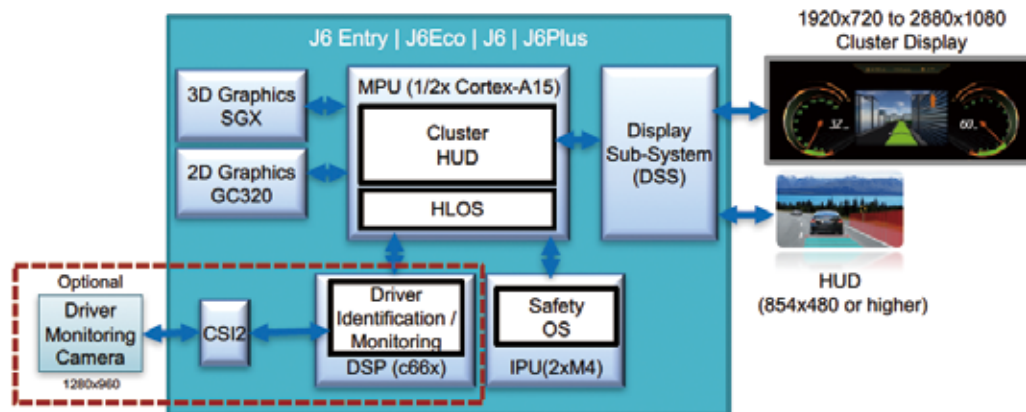


図 7. ドライバー監視と HUD を統合するための Jacinto 6 のアーキテクチャ。

## ソフトウェアとエコシステムによるサポート

ソフトウェア互換性のあるJacinto 6プラットフォームは、成熟したソフトウェアとエコシステムによってサポートされています。以下のHLOSとRTOSに対応するSDK（ソフトウェア開発キット）は、どのJacinto 6デバイスでも活用できます。

- Linux SDK。
- 車載グレードLinux。
- Mentor GraphicsのConnected OS対応GENIVI Linux。
- Green HillsのIntegrity SDK。
- QNX SDK（QNX 6.5 SP1とQNX 6.6両方のカーネルに対応）。
- Mentor Nucleusは、Cortex-A15とCortex-M4に対応。
- TIのTI-RTOS（旧呼称 SysBIOS）はCortex-M4とC66x DSPに対応。

図8に、Jacinto 6プラットフォームで利用できる主なサードパーティー・ソリューション全般を示します。たとえば、Altia、Crank Storyboard、DisTI GLStudio、Rightware Kanzi、Socionext CGIStudioの各社が提供する主なHMI（ヒューマン・マシン・インターフェイス）ツールキットは、いずれもすでにJacinto 6プラットフォームに移植されています。

## POC（コンセプト検証）

何年にもわたって、Jacinto 6プラットフォームに対応するデジタル・クラスタ関連 POC（コンセプト検証）機能が多数製作されており、グラフィックス性能、安全性サポート、早期の高速起動、CANの統合、その他の機能を実証してきました。以下にその例を示します。

- **Jacinto 6 Entry向けのスタンドアロン・クラスタPOCはCortex-A15で動作するLinuxと、Cortex-M4で動作するMentorのNucleus RTOSをベースとしており、1920×720のディスプレイで60fpsのレートを達成するクラスタの性能と、補助的MPUコアをベースとする安全性アーキテクチャを実証しています。** Jacinto 6 Ecoでも、1920×720のディスプレイで70fpsを上回るクラスタの性能という、類似のコンセプトが実証されています。
- **Jacinto 6スタンドアロン・クラスタPOCはCortex-A15で動作するLinuxをベースとしており、1920×720のディスプレイで120fpsを上回るクラスタの性能を実証しています。**
- **Jacinto 6スタンドアロン・クラスタPOCは、Cortex-A15で動作するGreen Hills Integrityをベースとしており、安全性アーキテクチャを実証しています。**

Features/Functions	Partner Names	Partners Logo
Graphics / HMI partners Industry-leading HMI development tool kits	Altia   Crank   Elektrobit Mentor Embedded Rightware Kanzi   DiSTI Socionext	
Hypervisor partners	GlobalLogic   Green Hills Software   QNX   Mentor Embedded   OpenSynergy	
RTOS / Early features	QNX   Mentor Embedded Green Hills Software Texas Instruments	
Automotive Stack	Cetitec   Excelfore Mentor Embedded   Elektrobit   Vector Software	

図 8. Jacinto 6 デジタル・クラスタに対するエコシステムのサポート。



## まとめ

デジタル・クラスタ市場は、継続的な成長が予期されている魅力的な分野です。TIのJacinto 6 SoCファミリは、非常に魅力的なプラットフォームとして、スタンドアロンのクラスタ市場で活用することができ、現在と次世代両方のデジタル・クラスタ・ソリューションの要件に対応できるように、コスト競争力とソフトウェア互換性を確保した、スケーラブルで成熟したプラットフォームに加えて、成熟した包括的なソフトウェア SDK、さらにエコシステムによるサポートも提供されています。

詳細については、<http://www.tij.co.jp/jacinto> をご覧ください。

S-0107

### ご注意：

本資料に記載された製品・サービスにつきましては予告なしにご提供の中止または仕様の変更をする場合がありますので、本資料に記載された情報が最新のものであることをご確認の上ご注文下さいようお願い致します。

TIは製品の使用用途に関する援助、お客様の製品もしくはその設計、ソフトウェアの性能、または特許侵害に対して責任を負うものではありません。また、他社の製品・サービスに関する情報を記載していても、TIがその他社製品を承認あるいは保証することにはなりません。



## TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的での、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、もしくは、TIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示の保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterms.htm>)についてのTIの標準条項が含まれますが、これらに限られません。