

アイソレータの故障モードについて



Anant S. Kamath
Systems Engineering Manager

Neeraj Bhardwaj
Applications Engineer

Kannan Soundarapandian
Product Line Manager

Isolation
Interface Group Texas Instruments

高電圧および大電流ストレスがかかる故障条件下において、アイソレータが故障するメカニズムを分析することは、電氣的な危険を防ぐために追加の対策が必要かを判断する上で重要です。

アイソレータは、2つのシステムや回路間の直流電流(DC)と不要な過渡電流を最小限に抑えると同時に、2つのシステムや回路間でデータや電力の伝送を行うデバイスです。ほとんどのアプリケーションでは、アイソレータはシステムを正常に機能させるだけでなく、高電圧に対する障壁の役割も果たしています。たとえば、図1に示すモータードライブシステムでは、絶縁型ゲートバイポーラトランジスタ(IGBT)ゲートドライバは、制御モジュールからの低電圧信号を、インバータ出力を基準とするIGBTゲートドライブ制御にレベルシフトします。同時に、これらのドライバは、高電圧(DCバス、インバータ出力、入力電源ライン)と、コネクタやインターフェイスが作業者の手が届く位置にある制御モジュールとの間に保護障壁を構築するものです。

高電圧アプリケーションでは、絶縁障壁が故障すると、作業者に潜在的な危険が及んだり、精密な制御回路が損傷してシステムの不具合を引き起こす可能性があります。そのため、通常時と故障時の両方で、アイソレータが故障する原因となるもの

を理解しておくことが重要です。また、電氣的な危険を防ぐために追加の対策が必要かを判断するためにも、それぞれのケースで故障の特性を知る必要があります。

本書では、アイソレータに起こりうる2つの故障モードについて説明します。1つ目は絶縁障壁を通る電圧がアイソレータの定格制限を上回る場合で、2つ目は、高電圧と大電流が同時に作用して、絶縁障壁近傍にあるアイソレータに組み込まれた回路や部品が損傷する場合です。その結果、絶縁障壁が損傷する可能性があります。この分析では、テキサス・インスツルメンツの最新の強化絶縁技術と従来型のフォトカプラを例として挙げています。1つ目の故障モードではすべてのアイソレータが「フェイル ショート」しますが、テキサス・インスツルメンツのアイソレータは絶縁性能が高いために故障が起こりにくいことを示します。また、2つ目の故障モードでは、テキサス・インスツルメンツの強化絶縁型アイソレータが「フェイルオープン」することを分析とテスト結果を通じて示します。

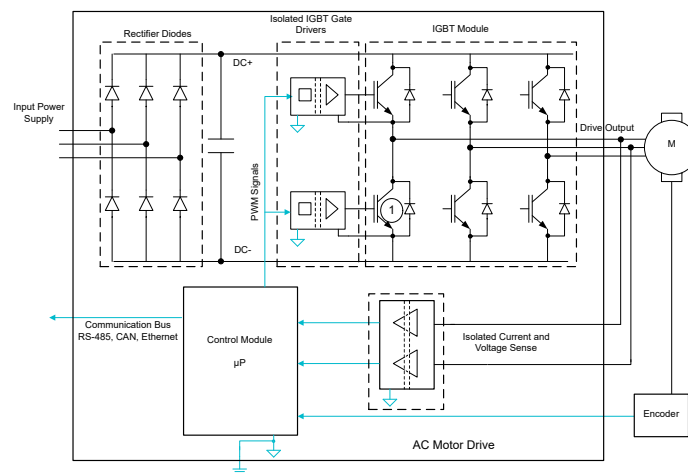


図1. AC モータードライブの概略ブロック図

故障モード 1: 絶縁障壁に高電圧が印加された場合

図 2 に、アイソレータの構成例を示します。このアイソレータには、サイド 1 に 1 組、サイド 2 にもう 1 組のピンがあります。通常動作時は、サイド 1 のピンはすべて GND1 を基準として低電圧で、サイド 2 のピンはすべて GND2 を基準として低電圧です。アイソレータで消費される電力は、アイソレータのピンに印加される電圧と電流によって決まります。通常動作時は、電力はアイソレータのデータシートに規定された最大制限を下回るように維持されます。GND1 と GND2 の間には非常に高い電圧が存在することがあり、この電圧はアイソレータ内部の絶縁障壁に現れます。

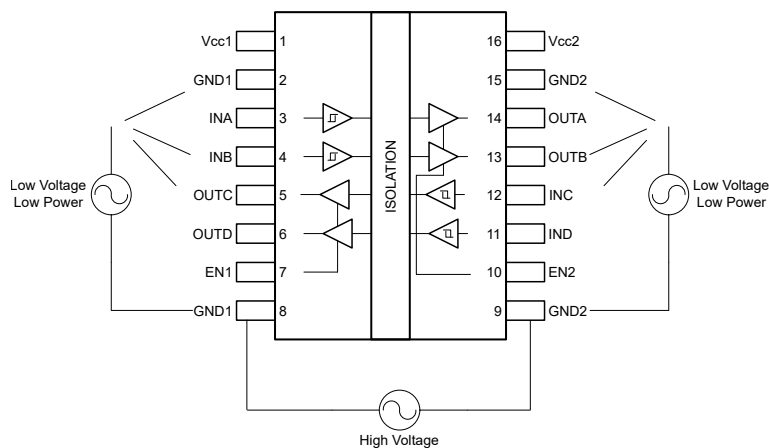


図 2. アイソレータの通常の動作構成例

アイソレータは、振幅と持続時間が異なる高電圧の過渡プロファイルに耐えるように設計されています。それに応じて、アイソレータの絶縁性能は複数のパラメータによって定量化されます。60 秒の絶縁耐圧 (V_{ISO} および V_{IOTM}) は、スイッチング負荷や故障によってシステムの電源ラインに発生する短時間過電圧に対する耐性を示します。反復ピークまたは動作電圧 (V_{IOWM} および V_{IORM}) は、アイソレータがその動作寿命を通じて連続的に耐えることができる電圧です。サージ耐電圧 (V_{IOSM}) は、直接的および間接的な落雷時に電源ラインに誘導される電圧を表す特定の過渡プロファイル (1.2/50 μ s – IEC 61000-4-5 参照) に対する耐性を表しています。

それぞれのパラメータについて、絶縁障壁が破壊され、アイソレータの一方からもう一方への短絡が発生する電圧値が制限値として設定されています。これらのパラメータはアイソレータのデータシートに記載されており、アイソレータが損傷することなく高電圧に対応できることを示しています。各パラメー

タの詳細については、関連資料 [1] を参照してください。たとえば、図 1 に示すモータードライブシステムの場合、システムレベルでは、入力電源ラインに前述のようなさまざまな過電圧プロファイルが発生します。絶縁型ゲートドライバの一方の端が AC ラインにガルバニック接続され、もう一方の端が接地されていることから、ゲートドライバ内の絶縁障壁はこれらのストレスに直接さらされているのです。

図 3 と 図 4 は、絶縁障壁に現れるこれらの高電圧ストレスを、フォトカプラと直列コンデンサを用いたテキサス・インスツルメンツの強化絶縁型アイソレータを使用した例で示したものです。ストレス電圧がアイソレータの安全制限値を上回った場合、絶縁障壁が劣化し、サイド 1 とサイド 2 の間に低抵抗のパスが形成されます。フォトカプラの場合はシリコンと絶縁テープを組み合わせて絶縁障壁を形成していますが、テキサス・インスツルメンツのアイソレータでは、2 つの高電圧 SiO₂ コンデンサを直列に接続して絶縁障壁を形成しています。いずれの場合も、定格制限は絶縁障壁の故障によって得られるため、定義上、両方のアイソレータは「フェイル ショート」となります。

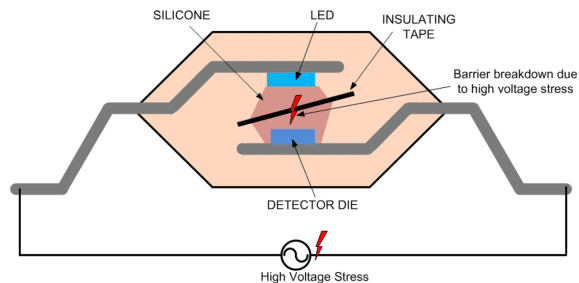


図 3. フォトカプラを用いたアイソレータにかかる高電圧ストレス

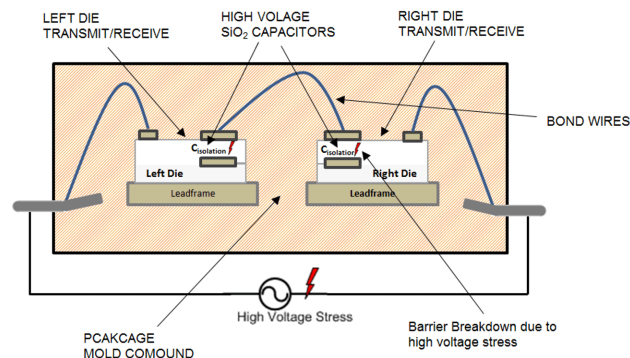


図 4. 直列コンデンサを用いたアイソレータにかかる高電圧ストレス

アプリケーションに応じて、システムで使用されるアイソレータの仕様は最終製品の規格によって決定されます。これらの規

格によって、アイソレータは現実的な使用例で絶縁障壁を通る可能性のある電圧ストレス レベルよりも高い強度を持つことが保証されます。たとえば、IEC 61800-5-1 は、AC モータードライブ アプリケーションで使用されるアイソレータの要件を定めています。最終製品の規格に準拠したアイソレータを選択することで、実際の動作中に過電圧によって絶縁障壁の故障が発生するリスクを最小限に抑えることができます。ただし、アイソレータが規格要件を上回っていれば、リスクはさらに低減できます。

本書で説明したテキサス・インスツルメンツの強化絶縁型デバイスは、絶縁材として SiO_2 を使用しており、競合ソリューションよりもはるかに高い耐電圧 (500V/ μm) を有しています。たとえば、従来型のフォトカプラで使用されているシリコンとモールド コンパウンドには、耐電圧 30V/ μm ~50V/ μm があります。また、テキサス・インスツルメンツの強化絶縁型アイソレータは精密な半導体製造プロセスを駆使して製造されているため、各部品の大きさや位置、隙間などが厳密に管理されています。これら 2 つの要因により、テキサス・インスツルメンツのデバイスは特定のパッケージに対して非常に高い絶縁性能を発揮します。一時的な過電圧やサージだけでなく、長年にわたる連続的な高電圧動作にも適切に対応します。たとえば、16-SOIC パッケージに搭載されたテキサス・インスツルメンツのアイソレータは、同様の競合ソリューションに比べて動作電圧が 50% 高くなっています。テキサス・インスツルメンツのアイソレータにおける絶縁性能の詳細については、対応する製品のデータシート、および関連資料 [1] を参照してください。

特定のアプリケーションに対して、テキサス・インスツルメンツの強化絶縁型デバイスは、最終製品の規格で定められている要件を上回る重要な余裕度をもたらすことができます。これによって、故障モード 1 の発生確率が最小限に抑えられます。IEC 61800-5-1 規格の説明、およびこの規格の要件に対するテキサス・インスツルメンツのアイソレータの性能比較については、関連資料 [2] を参照してください。

故障モード 2: 絶縁障壁近傍で高電圧と高電流が同時に作用した場合

異常時や故障時には、アイソレータの一方の電圧や電流が、同じ側の接地に対して非常に高くなる場合があります (図 5 参

照)。一つの例として、低インピーダンスの出力ピンでの短絡イベントが挙げられます。別の例は、高電圧 DC バスラインに接続されたピンが短絡し、電気的な故障を引き起こすことです。高電圧と大電流が同時に存在することから、これらは大電力イベントとなります。

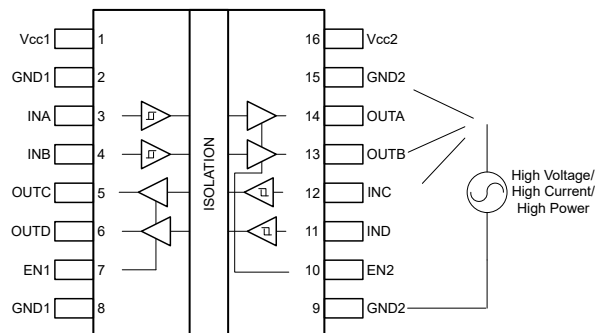


図 5. アイソレータの一方における高い電力損失

このようなイベントが発生すると、電気的オーバーストレス (EOS) や内部の熱が原因で絶縁障壁が劣化することがあります。たとえば、図 6 のフォトカプラでサイド 2 に大電力イベントが発生した場合、ディテクタのダイに熱や EOS が発生する可能性があります。この損傷は絶縁材にまで容易に達して、絶縁性能の低下をもたらします。絶縁材が完全に破壊されていないと考えるのが妥当ですが、どの程度の絶縁材が残っているかを正確に定量化することは困難です。

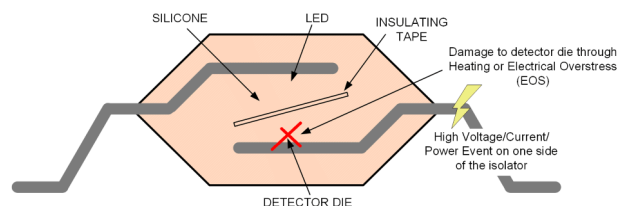


図 6. アイソレータの一方における高い電力損失

図 7 の直列コンデンサベースのアイソレータを参照すると、サイド 2 で高電圧 / 大電力イベントが発生した場合、右側のダイが損傷し、右側のダイの一部である絶縁コンデンサも損傷する可能性があります。ただし、モールド コンパウンドが邪魔をして、左側のダイや、ダイに配置された絶縁コンデンサに損傷が及ぶことはありません。これによって、本来の絶縁性能のほぼ半分を保ちながら、絶縁が維持されます。たとえば、本来のアイソレータが強化絶縁定格である場合、大電力イベントが発生した後でも、コンデンサ 1 つの完全な絶縁定格を保持できることとなります。したがって、アイソレータが「フェイ

ルオープン]になっても、「基礎絶縁」は依然として維持されるということです。

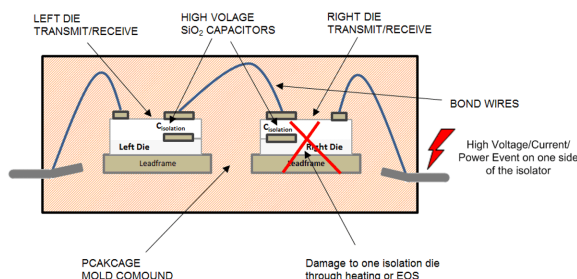


図7. アイソレータの一方における高い電力損失

故障モード2を防ぐ一つの方法は、たとえば、電流制限付き電源などの外部手段を使用して、故障イベントが発生してもアイソレータ内部で散逸される熱を一定の安全制限値に抑えることです。アイソレータのデータシートに記載されている電流と電力の「安全制限値」によって指定されるこの値は、それ以下であればアイソレータの絶縁性能が損なわれることはありません。

ただし、このような電流制限を行うことは必ずしも現実的ではありません。図1に戻ると、IGBT (1) でコレクタからゲート間に絶縁破壊が発生した場合、DCバスの高電圧がゲートドライバの出力ピンに現れ、そのピンに接続された回路に電氣的オーバーストレスが生じます。システムレベルではこうした事態を防ぐ簡単な方法はありません。このようなシナリオでは、テキサス・インスツルメンツの強化絶縁型アイソレータの「フェイルオープン」動作によって、システムの電氣的安全性が大幅に高められます。

故障モード2:テスト結果

電流または電力の安全制限パラメータに反するストレス条件下で、テキサス・インスツルメンツの強化絶縁技術が「フェイルオープン」動作することを検証するために、複数のテストを実行しています。実験1と2には、強化絶縁型ゲートドライバISO5851と、強化絶縁型クワッドチャンネルデジタルアイソレータISO7841を選択しました。

実験1では、アイソレータの出力ピンを短絡させ、アイソレータが機能しなくなるまでアイソレータの電源電圧を上昇させました。

実験2では、サージジェネレータを用いて、アイソレータの一方に高電圧(1kVと2kV)を繰り返し印加しました。これは、モーター駆動、ソーラーインバータ、その他の同様のアプリケーションにおいて、高電圧DCバスへの短絡が及ぼす影響をシミュレートするためのものです。

テキサス・インスツルメンツはまた、ISOM8710フォトカプラエミュレータなどの製品向けに、入力ダイに新しい「フェイルオープン」機能を実装しました。ここで行われる絶縁は、図8に示すように、3つのダイによるソリューションに基づいています。この新機能により、入力側でEOSイベントが発生した場合でも、絶縁障壁と出力ダイが確実に保護されます。図9は、入力フェイルオープンIPを備えた、3つのダイを持つフォトカプラエミュレータの断面図を示します。

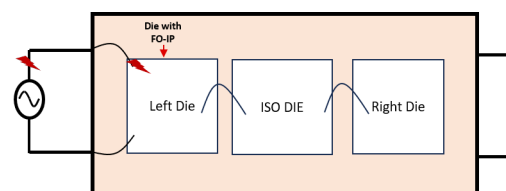


図8. 3つのダイを持つアイソレータの一方に高電圧ストレスが印加されています。フェイルオープン(FO)IP付きで設計された左側のダイは、EOSイベントが発生した場合にISOダイと右側のダイの完全性を確保します。

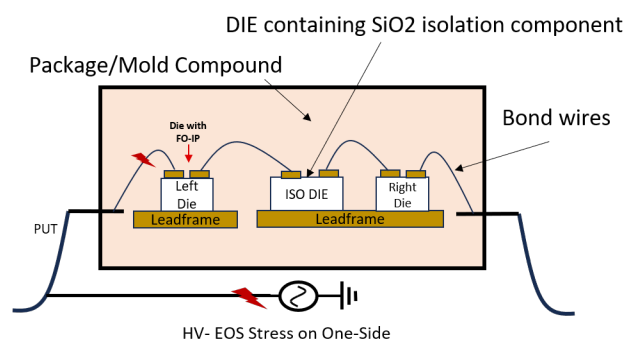


図9. フェイルオープンIPを備えた、3つのダイを持つフォトカプラエミュレータの断面図

フェイルオープン機能を実証するために、実験3~5では3種類のEOSを持つ入力ダイにストレスを加え、ストレス後の絶縁完全性を調べました。

実験3では、室温と高温で入力側(アノードとカソードの間)に、異なるソースインピーダンスを介してDC電源を使用して10分間EOS電圧を印加して、入力ダイをフェイルオープン

させました。これは、システムがシャットダウンするまで持続する DC-EOS イベントをエミュレートするものです。次に、オープン デバイスに EOS ストレスを長時間加えても入力ダイがフェイル オープンのまま維持されることを確認するために、EOS を 12 時間印加しました。最後に、絶縁障壁に対する Ramp-to-Breakdown (RTB) (絶縁破壊まで電圧を上昇させる) テストを実施し、左側のダイの EOS イベントによって機能不良が発生した後の絶縁の完全性をチェックしました。図 10 に、絶縁障壁を通して高電圧ストレスを印加する RTB の設定を示します。

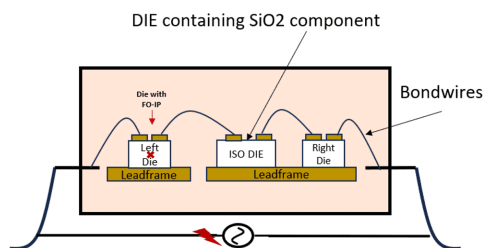


図 10. 絶縁障壁に対する Ramp-to-Breakdown (RTB) (絶縁破壊まで電圧を上昇させる) テスト

実験 4 では、EOS 入力を実験 3 から 変更して同様のテスト手順を行いました。コンデンサ放電が絶縁の入力側に及ぼす影響を調べるために、事前に充電されたコンデンサを接続しました。

実験 5 では、入力側に電流源を印加し、入力側がフェイル オープンになるまで電流を上昇させました。実験 3~5 は、上記のアプリケーションで入力側への DC 電源バスの短絡をシミュレートしています。

AMC23C10 などの絶縁型コンパレータの出力ダイのピン (VDD、OUT1、OUT2) にもフェイル オープン機能が実装されており、図 6 に示すように、単一ダイの強化絶縁コンデンサ方式に基づいて絶縁されています。EOS イベントによる出力ダイの機能不良が発生した後、入力ダイと絶縁がともに損なわれていないことを確認するために、これらの部品で実験 3~5 を実施して、結果を表 1 にまとめました。

表 1 は、これらの実験結果を示したものです。すべての場合において、大電力ストレスの後、サイド 1 とサイド 2 の間ですべてのアイソレータが高インピーダンスを維持しました。つまり、「フェイル オープン」していません。さらに、ISO5851 と ISO7841 は、基本絶縁定格 3kVRMS で 60 秒間テストしま

した。すべてのデバイスは、絶縁破壊を起こすことなくこの電圧に耐えることができました。ISOM8710 ではさらに、ストレスの後、油中で絶縁破壊まで電圧を上昇させるテストを行いました。つまり、大電力テスト後も基本絶縁は保持されていたのです。さらに過酷な条件でのテストとして、ゲートドライバとデジタル アイソレータの各ユニットに、正負両極性の 2kV サージ インパルスをそれぞれ 50 回ずつ印加しました。このような厳しいストレスの後でも、アイソレータはサイド 1 とサイド 2 の間で高インピーダンスを維持し、基本絶縁を維持し、フェイル オープンしていません。

実験番号	デバイス	CAPの説明	デバイス数	観察	ストレス後のRIO	ストレス後のVISO 60秒テスト、3kVRMS
1、2	ISO5851	ゲートドライバ出力をサイド2の接地に短絡させた。デバイスが損傷するまで電源電圧を50Vまで上昇させた。	5	ダイ3が損傷。	>1TΩ	合格
		ゲートドライバ出力に2kVサージ、各極性(+veと-ve)につき5回。	5	ダイ3が損傷。	>1TΩ	合格
		ゲートドライバ出力に2kVサージ、各極性(+veと-ve)につき50回。	2	ダイ3が損傷。	>1TΩ	合格
1、2	ISO7841	サイド2のすべてのピンをサイド2の接地または電源に短絡させるか、フローティングのままにした。デバイスが損傷するまで電源電圧を25Vまで上昇させた。	5	ダイ2が損傷。	>1TΩ	合格
		サイド2のすべてのピンに1kVまたは2kVのサージ、各極性(+veと-ve)につき5回。	4	ダイ2が損傷。	>1TΩ	合格
		サイド1のすべてのピンに2kVのサージ、各極性(+veと-ve)につき5回。	2	ダイ1が損傷。	>1TΩ	合格
		サイド1のすべてのピンに2kVのサージ、各極性(+veと-ve)につき50回。	2	ダイ1が損傷。	>1TΩ	合格
		サイド1のすべてのピンに2kVのサージ、各極性(+veと-ve)につき500回。	1	ダイ2が損傷。	>1TΩ	合格
3、4、5	ISOM8710	出力側をオープンにした状態で、ピン1と接地の間の入力側にEOSを印加した。最大43Vまでの電源電圧と電流の値を変えて、入力ダイがフェイルオープンになるまでテストした。故障発生後12時間EOSを印加し、入力ダイ抵抗を測定した。RTBを用いて、ストレス後の絶縁の完全性をテストした。	270	絶縁劣化なし、機能なし	>1TΩ	合格
		事前に充電された2.2mFコンデンサ(30V、3A)をピン1と接地の間に接続した。フェイルショートの場合、入力ダイがフェイルオープンになるまで3Aまで駆動し続けた。RTBを用いて、ストレス後の絶縁の完全性をテストした。	5	絶縁劣化なし、機能なし	>1TΩ	合格
		入力ダイがフェイルオープンになるまで、1次側で3Aまで徐々に電流を上昇させた。フェイルショートの場合、オープンになるまで短絡を持続させた。RTBを用いて、ストレス後の絶縁の完全性をテストした。	5	絶縁劣化なし、機能なし	>1TΩ	合格
3、4、5	AMC23C10	出力側をオープンにした状態で、ピン1と接地の間の入力側にEOSを印加した。最大36Vまでの電源電圧と電流の値を変えて、入力ダイがフェイルオープンになるまでテストした。故障発生後24時間EOSを印加し、入力ダイ抵抗を測定した。RTBを用いて、ストレス後の絶縁の完全性をテストした。	ピンごとに20 合計60	絶縁劣化なし、機能なし	>1TΩ	合格
		事前に充電された2.2mFコンデンサ(30V、3A)をピン1と接地の間に接続した。フェイルショートの場合、入力ダイがフェイルオープンになるまで3Aまで駆動し続けた。RTBを用いて、ストレス後の絶縁の完全性をテストした。	5	絶縁劣化なし、機能なし	>1TΩ	合格
		入力ダイがフェイルオープンになるまで、1次側で3Aまで徐々に電流を上昇させた。フェイルショートの場合、オープンになるまで短絡を持続させた。RTBを用いて、ストレス後の絶縁の完全性をテストした。	5	絶縁劣化なし、機能なし	>1TΩ	合格

表1. テキサス・インスツルメンツの強化絶縁型アイソレータ(ゲートドライバと絶縁型コンパレータ)とテキサス・インスツルメンツのフォトカプラエミュレータを対象にした、EOSストレスの後でデバイスが「フェイルオープン」になるかを確認するテストの概要。

大電力ストレスの印加後、内部状態を確認するために、一部のデバイスの封止を解除し、写真を撮影しました (図 11 および 図 12 参照)。結果は、故障分析からの予想と一致しています。大電力ストレスを受けているダイは著しく損傷しましたが、絶縁コンデンサ 1 つを備えた少なくとも 1 つのダイは完全に保持されています。このダイが観察されていた「フェイルオープン」特性に関与していたのです。ISO5851 の場合、3 つのダイを持つモジュールであるため、ゲートドライバダイが損傷しただけで、絶縁障壁への損傷は最低限に留まりました。

テキサス・インスツルメンツのその他の絶縁型アイソレータ

本書で示している分析と結果は、ISO77xx デジタル アイソレータ、ISO1042 絶縁型 CAN トランシーバ、UCC21520 および UCC53xx 絶縁型ゲートドライバ、AMC13xx 絶縁型 $\Sigma\Delta$ 変調器および絶縁型アンプなど、テキサス・インスツルメンツのその他の強化絶縁型アイソレータにも同様に適用できます。

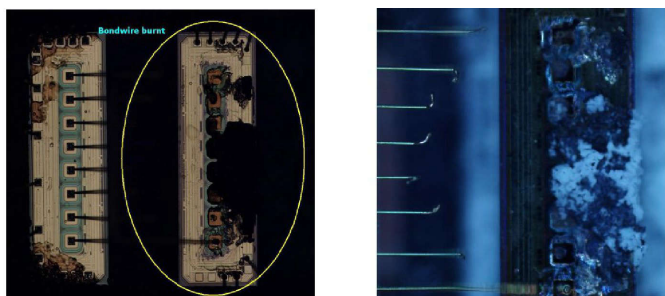


図 11. 大電力イベントの影響を受けたダイに限定された EOS による損傷 (ISO7841)。

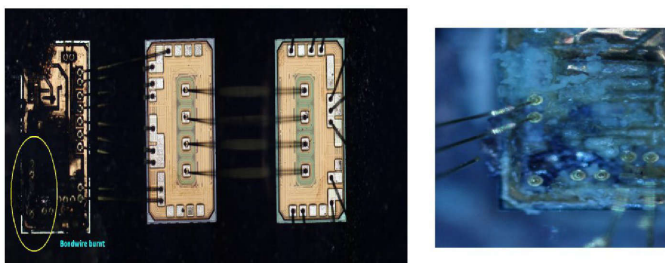


図 12. 大電力イベントの影響を受けたドライバダイに限定された EOS による損傷 (ISO5841)。

まとめ

システム レベルで電気的な危険を防ぐために追加の対策が必要かを判断するには、高電圧システムで使用されるアイソレータの故障モードを通常時と故障時の両方で十分に理解しておくことが重要です。アイソレータは、当然のことながら、絶縁障壁を通る電圧が定格制限を上回った場合に「フェイルショート」します (**故障モード 1**)。この故障モードは、関連する最終製品の電気安全規格の定める仕様を (できれば余裕度を持って) 満たすアイソレータを選択することで回避できます。テキサス・インスツルメンツの強化絶縁型アイソレータは現在市販されているアイソレータの中でも最高レベルの絶縁性能を備えているため、この種の故障モードに対して高い余裕度を持たせることができます。アイソレータの電流または電力の安全制限値に反した場合 (**故障モード 2**)、アイソレータの絶縁障壁が損なわれる可能性があります。直列コンデンサによる絶縁を使用するテキサス・インスツルメンツの強化絶縁型アイソレータでは、この特定のモードでの損傷はコンデンサ 1 つだけに限定されます。これによって、もう 1 つのコンデンサは損傷することなく、アイソレータは「フェイルオープン」となり、基本絶縁が保たれます。

関連資料

1. テキサス・インスツルメンツ: Anant S Kamath, Kannan Soundarapandian, 『高電圧強化絶縁: 定義とテスト手法』
2. テキサス・インスツルメンツ: Anant S Kamath, 『AC モータードライブの絶縁: IEC 61800-5-1 安全規格の理解』
3. 61800-5-1 Ed.2.0.、可変速駆動システム、安全要求事項 - 電氣的、熱的、およびエネルギー、国際電気標準会議 (IEC)、2007 年 7 月
4. 60060-1:2010 Ed 3.0.、高電圧試験技術 - パート 1: 一般的な定義とテスト要件。国際電気標準会議 (IEC)、2010 年
5. データシートのダウンロード: [ISO5851](#)、[ISO7841](#)

重要なお知らせ:ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated