

Design Guide: TIDA-080010

3.6 メガピクセル 3D プリンタ リファレンス デザイン



概要

このリファレンス デザインは 3D プリンタ用 DLP® Pico® 製品 0.3 インチ、3.6 メガピクセル、近赤外線デジタル マイクロミラー デバイス (DMD) チップセットを採用しています。このデザインは、[DLP300S](#) または [DLP301S 2560 × 1440 \(WQHD\) DMD](#)、[DLPC1438](#) ディスプレイコントローラ、[DLPA2005](#) PMIC/LED ドライバを搭載しています。DLPC1438 3D プリントコントローラは、DLP 3D プリンタ アプリケーション用の DLP300S および DLP301S デジタル マイクロミラー デバイス (DMD) の高信頼性動作をサポートしています。DLPC1438 コントローラは、ユーザーの電子機器と DMD との間の使いやすいインターフェイスとして機能し、高速、高解像度、高信頼性の DLP 3D プリンタを実現できます。

リソース

TIDA-080010	デザイン フォルダ
DLP300S	プロダクト フォルダ
DLPC1438	プロダクト フォルダ
DLPA2005	プロダクト フォルダ



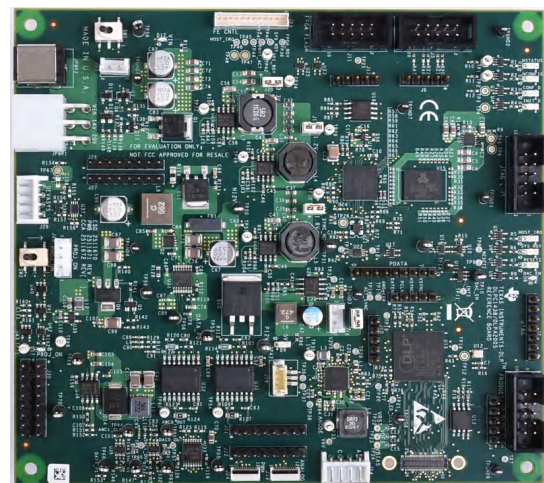
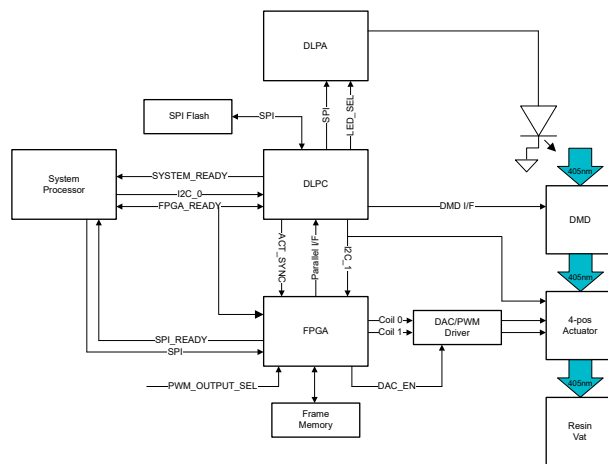
テキサス・インスツルメンツの TI E2E™ サポート エキスパートにお問い合わせください。

特長

- DLP300S および DLP301S (0.3 インチ、3.6 メガピクセル) DMD 用デジタル コントローラ
- 3D プリンティング機能:
 - 照明の均一性とグレースケール印刷を最適化するためのリニア ガンマ モード
 - レイヤーの露光時間をプログラム可能
 - 8 ビット モノクロ グレースケール出力
- システム機能:
 - 低コストの SPI データ入力インターフェイスを備えたフロントエンド FPGA
 - アクチュエータ制御
 - デバイス構成の I²C 制御
 - LED 電流制御をプログラム可能
- DLP 3D プリンタ アプリケーションの高信頼性を実現するために最適化された動作
- LED ドライバ内蔵 PMIC (パワー マネージメント IC) DLPA2000、DLPA2005、DLPA3000 または DLPA3005 と組み合わせ

アプリケーション

- [テキサス・インスツルメンツ DLP 3D プリンタ](#)



1 システムの説明

DLPC1438 3D プリントコントローラは、DLP 3D プリンタ アプリケーション用の DLP300S および DLP301S デジタル マイクロミラー デバイス (DMD) の高信頼性動作をサポートしています。DLPC1438 コントローラは、ユーザーの電子機器と DMD との間の使いやすいインターフェイスとして機能し、高速、高解像度、高信頼性の DLP 3D プリンタを実現できます。DLP300S の開発を始める方法については、テキサス・インスツルメンツ DLP 光制御テクノロジーのページをご覧ください。TI.com で利用できる DLP の高度な光制御リソースには、リファレンス デザイン、光モジュール メーカー、DLP デザイン ネットワーク パートナーなどが含まれており、製品開発期間の短縮に役立ちます。このリファレンス デザインにより、DLP300S DMD を DLPC1438 コントローラおよび DLPA2005 PMIC/LED ドライバと組み合わせて使用し、小型 3D プリンタを迅速に実装できます。

2 システム概要

このリファレンス デザインでは、3D プリンタ用 DLPC1438 ディスプレイコントローラと DLPA2005 PMIC/LED ドライバを使用しています。このリファレンス デザインは、DLP300S または DLP301S DMD デバイスを駆動するための接続を実現します。DLPC1438 チップセットは、画像処理の目的で、DLP ディスプレイコントローラとフロント エンド プロセッサの間に FPGA を必要とします。システム コントローラは、I²C バス経由で DLPC1438 にコマンドを送信します。フレーム データは、SPI バス経由でシステム コントローラから FPGA に送信されます。

2.1 ブロック図

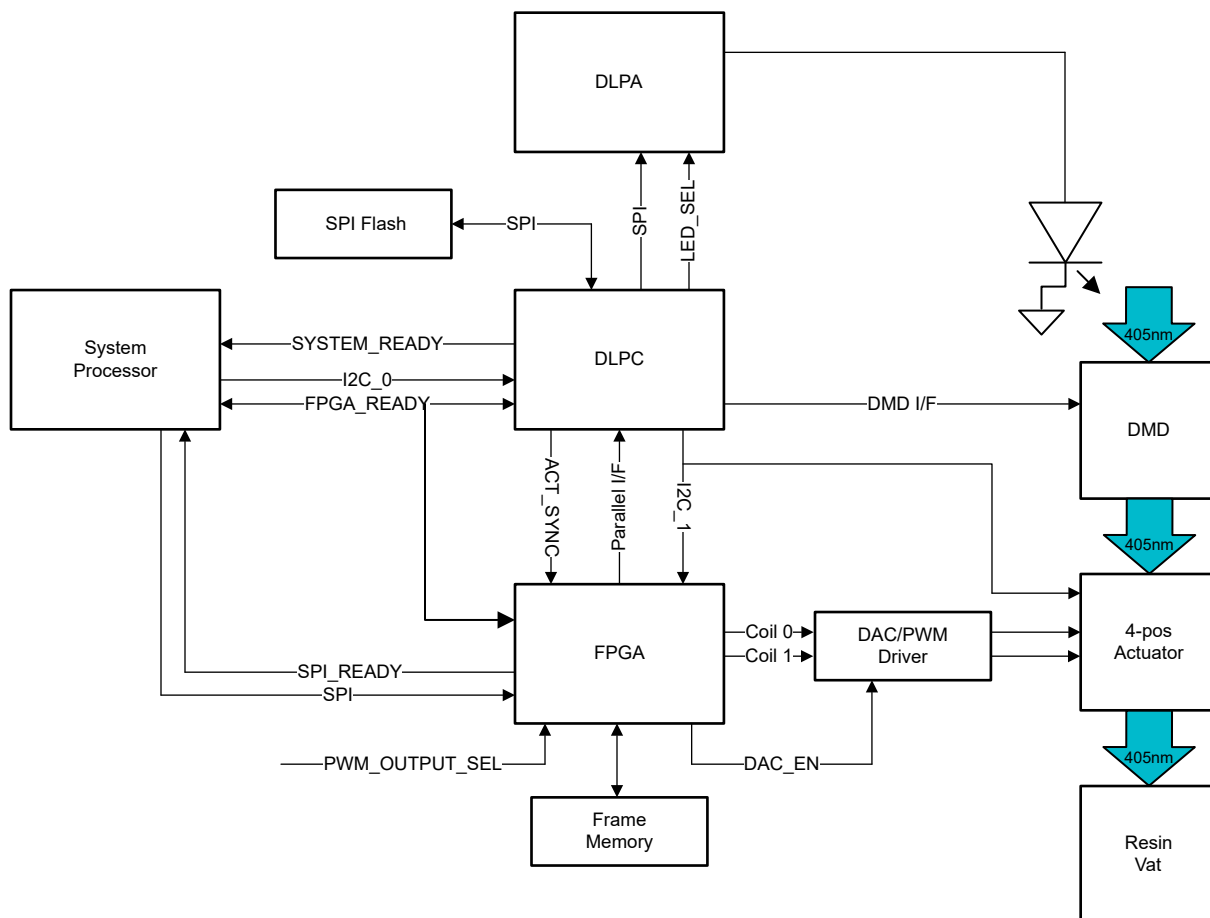


図 2-1. DLPC1438 リファレンス デザインのブロック図

表 2-1. コネクタ、ジャンパ、ヘッダー、スイッチ

ジャンパ	コネクタ、ヘッダー、スイッチ
J1	FPGA JTAG 接続
J2	DLPC JTAG 接続
J3	DLPC フラッシュプログラミング ヘッダー
J4	SPIO テストポイント
J5	FPGA SPI 入力
J6	FPGA SPI テストポイント
J7	PDATA 制御テストポイント
J8	DMD 接続
J9	PDATA テストポイント
J10	DLPC SPI1 テストポイント
J11	FPGA フラッシュプログラミング ヘッダー
J12	FPGA フラッシュプログラミング テストポイント
J13	5V ジャンパ
J14	照明電源
J15	1.8V ジャンパ
J16	5V ファン電源
J17	1.2V ジャンパ
J18	サーミスタ
J19	DAC アクチュエータ接続
J20	3.3V ジャンパ
J21	DAC アクチュエータ信号
J22	H ブリッジ アクチュエータ信号
J23	FPGA / フロントエンド テストポイント
J24	H ブリッジ アクチュエータ接続
J25	外部 VIN のオン / オフ接続
J26	FPGA TSTMUX
J27	FPGA TSTMUX
J28	外部 PROJ_ON 接続
J29	IICO 外部接続
J30	未使用の DLPC GPIO
J31	DLPC TSTPT アクセス
JPWR1	14V~20V の電源電圧
JPWR2	14V~20V の代替電源
SW1	電力供給のイネーブル
SW2	PROJ_ON (システムのオン / オフを切り替え)

2.2 設計上の考慮事項

DLP システム設計の考慮事項については、以下のアプリケーション ノートを参照してください。

- 『テキサス・インスツルメンツ DLP® Pico™ システムの概要: 光学モジュールの仕様』
- 『テキサス・インスツルメンツ DLP® システム設計: 輝度の要件とトレードオフ』

2.3 一般レイアウトに関する推奨事項

このデザイン ガイドに記載されているレイアウト ガイドラインは、部品のデータシートに記載されているガイドラインの一部です。詳細については、『DLPC1438 デジタル コントローラ』、『DLP300S DMD』、『DLPA2005 PMIC および LED ドライバ IC データ』データシートを参照してください。

2.3.1 DLPC3436 レイアウトのガイドライン

2.3.1.1 PLL 電力のレイアウト

内部 PLL で許容可能なコントローラ性能を得るには、以下の推奨ガイドラインに従ってください。DLPC1438 コントローラには、専用のアナログ電源を持つ 2 つの内部 PLL (VDD_PLLM、VSS_PLLM、VDD_PLLD、VSS_PLLD) が搭載されています。少なくとも、2 つの直列フェライト ビーズと 2 つのシャント コンデンサで構成される単純なパッシブ フィルタを使用して、VDD_PLLx の電源ピンと VSS_PLLx グランド ピンを絶縁します (ノイズ吸収スペクトルを広げるため)。テキサス・インスツルメンツでは、1 つのコンデンサを 0.1 μ F、1 つを 0.01 μ F にすることをお勧めします。4 つのすべての部品を可能な限りコントローラの近く配置します。高周波数コンデンサのリード線の長さをできるだけ短くします。フェライト ビーズのコントローラ側で、VDD_PLLM から VSS_PLLM へ、VDD_PLLD から VSS_PLLD へ両方のコンデンサを接続します。以下の特性を持つフェライト ビーズを選択します。

- 0.40 Ω 未満の DC 抵抗
- 10MHz でのインピーダンスが 180 Ω 以上
- 100MHz でのインピーダンスが 600 Ω 以上

PCB レイアウトは PLL の性能に重要です。ノイズの少ないグラウンドと電力をアナログ信号のように扱うことが重要です。したがって、VDD_PLLM と VDD_PLLD は、DLPC3436 コントローラから両方のコンデンサまでのシングルトレースであり、直列フェライトを経由して電源に到達する必要があります。電源パターンとグラウンド パターンはできるだけ短くし、互いに平行にし、できるだけ互いに近づけて配置します。

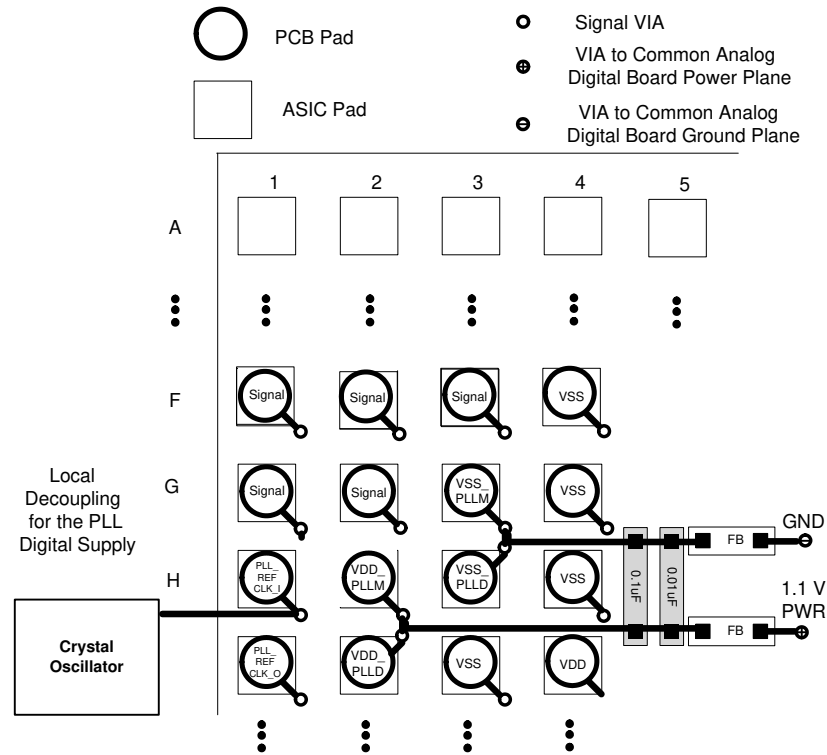


図 2-2. PLL フィルタのレイアウト

2.3.1.2 I2C インターフェイス性能

DLPC3436 I²C インターフェイスポートはどちらも 100kHz のボーレートをサポートしています。定義上、I²C トランザクションはバス上で最も低速なデバイスの速度で動作するため、システム内のすべてのデバイスの速度グレードを一致させる必要はありません。

2.3.1.3 DMD 制御およびサブLVDS 信号

表 2-2. 最大ピン互換 PCB 相互接続に関する推奨事項

DMD バス信号 (1) (2)	信号相互接続トポロジ		単位
	単一基板の信号配線の長さ	複数基板の信号配線の長さ	
DMD_HS_CLK_P DMD_HS_CLK_N	6.0 (152.4)	(3) を参照	(mm) 単位
DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	6.0 (152.4)	(3) を参照	(mm) 単位
DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD_LS_CLK	6.5 (165.1)	(3) を参照	(mm) 単位

表 2-2. 最大ピン互換 PCB 相互接続に関する推奨事項 (続き)

DMD バス信号 (1) (2)	信号相互接続トポロジ		単位
	単一基板の信号配線の長さ	複数基板の信号配線の長さ	
DMD_LS_WDATA	6.5 (165.1)	(3) を参照	(mm) 単位
DMD_LS_RDATA	6.5 (165.1)	(3) を参照	(mm) 単位
DMD_DEN_ARSTZ	7.0 (177.8)	(3) を参照	(mm) 単位

- (1) 信号配線の最大長には、エスケープ配線が含まれます。
- (2) コネクタの影響により、マルチボード DMD 配線の長さが制限されます。
- (3) PCB のばらつきのため、これらの推奨事項は定義できません。ベスト プラクティスとして、どのボード設計でも (コントローラの Web ページの「ツールとソフトウェア」タブにある) コントローラ IBIS モデルを使用して SPICE シミュレーションを実行し、配線長さが信号要件に違反しないようにします。

表 2-3. 高速 PCB 信号配線マッチング要件

信号グループ長マッチング (1) (2) (3)				
インターフェイス	信号グループ	リファレンス信号	最大不一致 (4)	単位
DMD (5)	DMD_HS_WDATA_A_P DMD_HS_WDATA_A_N	DMD_HS_CLK_P DMD_HS_CLK_N	±1.0 (±25.4)	(mm) 単位
	DMD_HS_WDATA_B_P DMD_HS_WDATA_B_N			
	DMD_HS_WDATA_C_P DMD_HS_WDATA_C_N			
	DMD_HS_WDATA_D_P DMD_HS_WDATA_D_N			
	DMD_HS_WDATA_E_P DMD_HS_WDATA_E_N			
	DMD_HS_WDATA_F_P DMD_HS_WDATA_F_N			
	DMD_HS_WDATA_G_P DMD_HS_WDATA_G_N			
	DMD_HS_WDATA_H_P DMD_HS_WDATA_H_N			
DMD	DMD_HS_WDATA_x_P	DMD_HS_WDATA_x_N	±0.025 (±0.635)	(mm) 単位
DMD	DMD_HS_CLK_P	DMD_HS_CLK_N	±0.025 (±0.635)	(mm) 単位
DMD	DMD_LS_WDATA DMD_LS_RDATA	DMD_LS_CLK	±0.2 (±5.08)	(mm) 単位
DMD	DMD_DEN_ARSTZ	該当なし	N/A	(mm) 単位

- (1) 長さ一致の値は、PCB 配線長にのみ適用されます。DLPC34xx コントローラまたは DMD に関連する内部パッケージ配線の不一致については、追加の考慮は必要ありません。
- (2) トレーニングは DMD HS データラインに適用されます。この理由で、定義済みのマッチング要件は LS データラインと比較してわずかに緩和されています。
- (3) DMD LS 信号はシングル エンドです。
- (4) 信号グループの不一致分散は、常にリファレンス信号を基準にしています。
- (5) DMD HS データラインは差動なので、これらの仕様はペア ツー ペアです。

表 2-4. 信号要件

パラメータ	リファレンス	要件
ソース直列終端	DMD_LS_WDATA	必須
	DMD_LS_CLK	必須
	DMD_DEN_ARSTZ	許容する
	DMD_LS_RDATA	必須
	DMD_HS_WDATA_x_y	許容しない
	DMD_HS_CLK_y	許容しない
エンドポイント終端	DMD_LS_WDATA	許容しない
	DMD_LS_CLK	許容しない
	DMD_DEN_ARSTZ	許容しない
	DMD_LS_RDATA	許容しない
	DMD_HS_WDATA_x_y	許容しない
	DMD_HS_CLK_y	許容しない
PCB インピーダンス	DMD_LS_WDATA	68Ω ±10%
	DMD_LS_CLK	68Ω ±10%
	DMD_DEN_ARSTZ	68Ω ±10%
	DMD_LS_RDATA	68Ω ±10%
	DMD_HS_WDATA_x_y	100Ω ±10%
	DMD_HS_CLK_y	100Ω ±10%
信号のタイプ	DMD_LS_WDATA	DMD_LS_DCLK を基準とする SDR (シングル データ レート)
	DMD_LS_CLK	DMD_LS_DCLK を基準とする SDR
	DMD_DEN_ARSTZ	SDR
	DMD_LS_RDATA	DMD_LS_DCLK を基準とする SDR
	DMD_HS_WDATA_x_y	サブ LVDS
	DMD_HS_CLK_y	サブ LVDS

2.3.1.4 レイアウトレイヤの変更

- シングルエンド信号:レイヤーの変更数を最小限に抑えます。
- 差動信号:個別の差動ペアは、異なるレイヤに配線できます。特定のペアの信号がレイヤーを変更しないようにしてください。

2.3.1.5 スタブ

- スタブの使用は避けてください。

2.3.1.6 終端

- DMD_HS 差動信号には、外部終端抵抗は不要です。
- DMD_LS_CLK および DMD_LS_WDATA 信号パスに、43Ω の直列終端抵抗が含まれており、対応するコントローラピンのできるだけ近くに配置されていることを確認してください。
- DMD_LS_RDATA 信号パスに 43Ω の直列終端抵抗が含まれており、対応する DMD ピンのできるだけ近くに配置されていることを確認してください。
- DMD_DEN_ARSTZ ピンには直列抵抗は不要です。

2.3.1.7 ビアの配線

- DMD_HS 信号のビアの数は最小限に抑える必要があります。
- DMD_HS 信号のすべてのビアは、コントローラのできるだけ近くに配置する必要があります。
- DMD_LS_CLK 信号と DMD_LS_WDATA 信号のビアの数は最小限に抑える必要があり、最良の状況では 2 個を超えないようにしてください。
- DMD_LS_CLK 信号と DMD_LS_WDATA 信号のすべてのビアは、コントローラのできるだけ近くに配置する必要があります。

2.3.2 FPGA DDR2 SDRAM インターフェイスの配線

FPGA から DDR2 SDRAM へのインターフェイスは、400MHz DDR クロックレートに基づいています。Intel® Cyclone® IV E FPGA (EP4CE15M9C7N) からアライアンス DDR2 SDRAM (AS4C64M8D2-25BIN) へのインターフェイス図を [図 2-3](#) に示し、推奨インターフェイスレイアウト ガイドラインを [表 2-5](#) に定義しています。

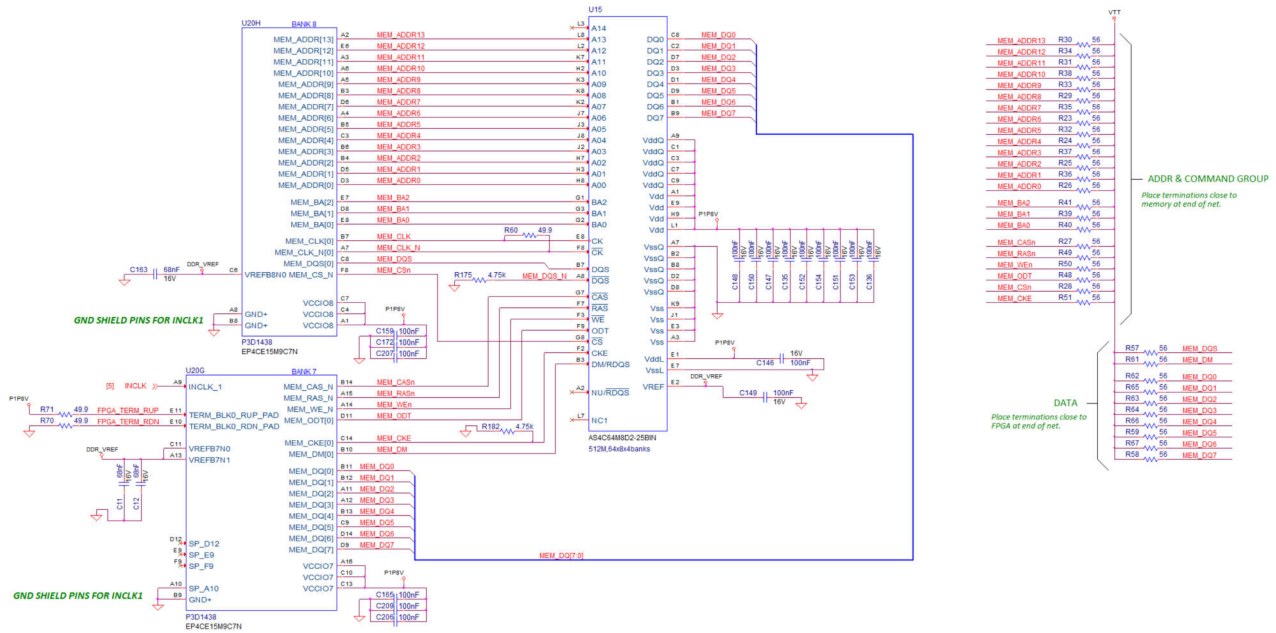


図 2-3. FPGA-DDR2 インターフェイス

表 2-5. 推奨する FPGA-DDR2 PCB マッチングおよびパターンの遅延

グループ	グループ名	グループ内の長さの一致	他の信号に対する長さの一致	その他のルーティング要件
MEM_ADDR[13:0]、MEM_BA[2:0]、MEM_CASn、MEM_RASn、MEM_WEn、MEM_ODT、MEM_CKE、MEM_CSn	アドレス / 管理グループ	グループ内 ±50ps	MEM_CLK および MEM_CLK_N より 0ps ~ 15ps 小さい	50Ω - DDR2 パターン端に終端を配置 - 最大長 250ps - 最小長 200ps
MEM_DQ[7:0]、MEM_DM、MEM_DQS	データグループ	グループ内 ±10ps	MEM_CLK、MEM_CLK_N ±10ps	50Ω - 内部レイヤを使用 - 同じレイヤで配線 - FPGA パターン端に終端を配置 - 最大長 250ps - 最小長 200ps
MEM_CLK、MEM_CLK_N	CLKグループ	グループ内 ±2ps	MEM_DQS ±2ps は、ADDR および CNTL グループよりも 0ps ~ 15ps 長い値である必要があります	100 差動 - 外部レイヤのパターンを最小化 - 内部レイヤを使用 - 最大長 250ps - 最小長 200ps

PCB 配線の最良事例:

- 可能な場合は、PCB の内部レイヤを使用
- DDR_DQ(7:0)、MEM_DM、DDR_DQS を同じレイヤに配線

2.3.3 DLPA2005 レイアウトに関する推奨事項

2.3.3.1 レイアウトのガイドライン

スイッチング電源を備えたすべてのチップにおいて、レイアウトは設計での重要なステップとなります。ピーク電流およびスイッチング周波数が高い場合には、特に重要です。レイアウトが注意深く行われていないと、レギュレータでは EMI 問題だけでなく安定性の問題も生じる場合があります。主要な電流パスおよびパワー グランドトラックには広く短い配線を使用してください。入力コンデンサ、出力コンデンサ、インダクタを IC のできるだけ近くに配置する必要があります。

図 2-4 に、重要な部品をピンのできるだけ近くに配置したレイアウト例を示します。部品に関する推奨事項を以下に示します。

- R1** は RLIM であり、広いパターン (低抵抗) を経由してシステム グランドに接続されています。スター型で、ピン 5 のアナログ グランドを、RLIM がシステム グランドに接続されているポイントに接続します。同様に、広い低オームのパターンもターゲットとして使用します。ただし、このパターンはそれほど重要ではありません (数十 mA)。
- L1** は VLED の大型インダクタで、2 つの広いパターンでピンに接続されています。
- C4** VLED のデカップリング コンデンサ。C4 は部品にできる限り近づけて配置し、C4 をグランドに直接接続します。
- L3/C2** は VCORE 降圧に使用される部品です。L3 はピンの近くに配置し、広いパターンで部品に接続します。C20 はインダクタのすぐ隣に配置し、PGND ピンに接続します。
- L2** このインダクタは DMD リセットレギュレータの一部であり、幅の広い PCB パターンを使用して、DLPA2005 のできるだけ近くに配置されています。

2.3.3.2 レイアウト例

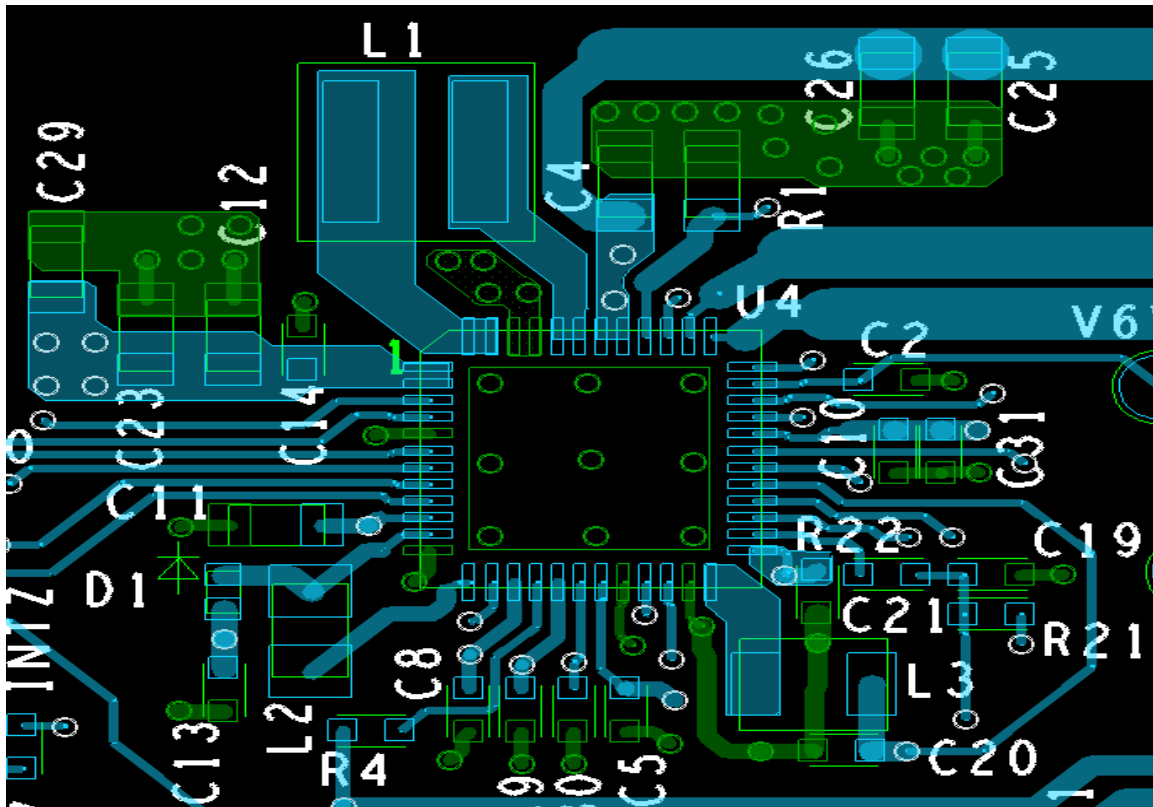


図 2-4. DLPA2005 のレイアウト例

2.3.3.3 熱に関する注意事項

図 2-5 に示す効率の数値から得られる重要な結果は、DLPA2005 の熱計算を実行できることです。効率は 100% ではないため、DLPA2005 チップで電力が消費されます。その消費電力により、ダイの温度は上昇します。信頼性の理由から、はダイ温度をできるだけ低くすることをお勧めします。ダイの温度を適度に低く保つには、ヒートシンクとエアフローを使用するのが効率的です。エアフローまたはヒートシンク、あるいはその両方が実現不可能な場合、システム設計者は熱設計に特に注意を払う必要があります。通常動作時のダイ温度は 120°C 未満に維持する必要があります。

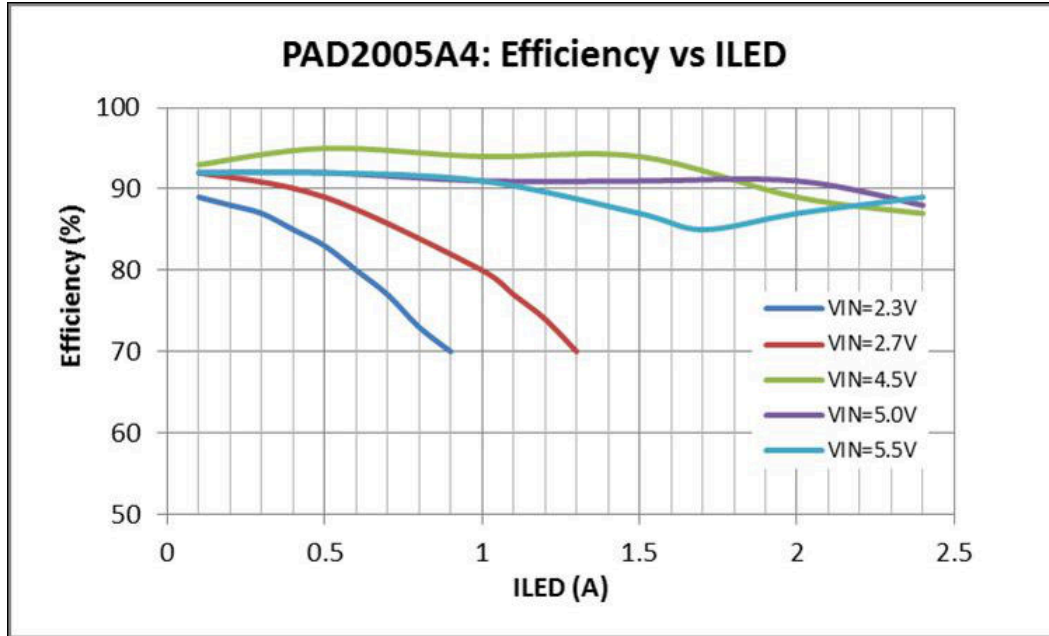


図 2-5. いくつかの電源電圧の ILED の関数としての測定されたパワー コンバータの標準的な効率 (各電源について $V_{OUTmax} = 4.8V$)

以下に、そのような熱計算の例を示します。計算は、DLPA2005 内で消費されるすべてのブロックの概要から開始します。LED 電力を供給する昇降圧コンバータが主な消費電力源です。説明の目的で、電力消費が大きくなるのはこの昇降圧コンバータのみであると仮定します。例において、次のように仮定します。 $V_{OUT} = 4.8V$ (3 つの LED すべて)、 $I_{OUT} = 2.4A$ 、 $V_{IN} = 5V$ 。図 2-5 から、関連効率は約 $\eta_{eff} = 88\%$ と等しくなることがわかります。

次に、DLPA2005 によって消費される電力は次の式で求められます。

$$P_{DISS} = P_{IN} - P_{OUT} = P_{OUT} \left(\frac{100\%}{\eta_{eff}} - 1 \right) = 4.8V \cdot 2.4A \cdot \left(\frac{100\%}{88\%} - 1 \right) = 1.6W \quad (1)$$

この消費電力によるダイ温度の上昇は、接合部から周囲への熱抵抗である $\theta_{JA} = 27.9^{\circ}C/W$ を使用して計算できます。この計算から、次の式が得られます。

$$T_{JUNCTION} = T_{AMBIENT} + P_{DISS} \cdot \theta_{JA} = 25^{\circ}C + 1.6W \cdot 27.9^{\circ}C/W = 69.6^{\circ}C \quad (2)$$

ダイの最大温度を超えないように、最大許容周囲温度を計算することもできます。再度、 P_{DISS} の消費電力=1.6W と仮定します。したがって、最大許容周囲温度は次の式で求められます。

$$T_{AMBIENT-max} = T_{JUNCTION-max} - P_{DISS} \cdot \theta_{JA} = 120^{\circ}C - 1.6W \cdot 27.9^{\circ}C/W = 75.4^{\circ}C \quad (3)$$

適切な計算を行うには、DLPA2005 の総消費電力を考慮する必要がある点が改めて強調されています。また、DLPA2005 に近い部品も大量の電力を消費する場合、(ローカルの) 周囲温度がシステムの周囲温度よりも高くなる可能性があります。

ダイ温度が指定された最大値を超える可能性があることが計算で示された場合、次の 2 つの基本的な選択肢があります。

- エアフローの有無にかかわらずヒートシンクを追加しています。これにより O_{JA} が減少し、ダイ温度が低下します。
- DLP3005 の消費電力の低下は、最大許容 LED 電流の低下を意味します。

2.3.4 DMD フレックス ケーブル インターフェイスのレイアウトガイドライン

DLP300S DMD は、インターポーザを使用して PCB またはフレックス回路に接続します。長さの一致やインピーダンスなどのレイアウトのガイドラインの詳細については、『DLPC1438 デジタル コントローラ』データシートを参照してください。[DLP300S DMD](#) または [DLP301S](#) のレイアウト ガイドラインについては、関連するデータシートを参照してください。

DLP300S または DLP301S DMD に配線するためのレイアウトのガイドラインとして、以下のものがあります。

- LS_WDATA 信号と LS_CLK 信号の長さを一致させます。
- HS バス信号のビア、層変更、巻線を最小限に抑えます。
- 最小で 2 つの 100nF (25V) コンデンサ - 1 つは V_{BIAS} ピンの近くにあります。
- 最小で 2 つの 100nF (25V) コンデンサ - 1 つは V_{RST} ピンの近くにあります。
- 最小で 2 つの 220nF (25V) コンデンサ - 1 つは V_{OFS} ピンの近くにあります。
- 最小で 4 つの 100nF (6.3V) コンデンサ - 2 つは DMD の両側に近くにあります。

2.4 主な使用製品

このチップセットリファレンス デザイン ガイドは、DLP300S および DLP301S DLP チップセットに関連する他のいくつかの公開資料の図や内容を利用しています。これらの資料のリストについては、[セクション 4.3](#) を参照してください。

3 ハードウェア

3.1 ハードウェア要件

1. 外部 DC 電源 (DC 14~20V) を JPWR1 コネクタに適用して、DLPC1438 リファレンス デザインを起動します。

外部電源要件:

- 公称出力電圧: DC 14~20V
- 最小出力電流: 3A、最大出力電流: 4A
- 効率レベル: VI

注

テキサス・インスツルメンツでは、UL、CSA、VDE、CCC、PSE などの該当する地域の安全規格に準拠した外部電源の使用をお勧めします。

2. SW1 により、システムへの電力供給が可能になります。作動すると、LED D12 (緑) が点灯します。SW2 が PROJ_ON を駆動し、接続すると LED D17 (緑) が点灯します。SW1 と SW2 をオンの位置にすると、システムがブートします (システムのブートを完了するには、DLP300S または DLP301S DMD を接続する必要があります。)

DLPC1438 リファレンス デザインには複数のインジケータ LED があり、それぞれの LED が [表 3-1](#) で定義されています。

表 3-1. DLPC1438 リファレンス デザインの LED

LED リファレンス	信号通知	説明
D5	HOST_IRQ	DLPC1438 の起動中はオン、プロジェクタの動作中はオフ。DLPC1438 のブートアップが完了し、コマンドを受信する準備ができたことを示す表示
D17	PROJ_ON	PROJ_ON 信号が High
D4	INIT_DONE	FPGA の初期化が完了するとオン。オフは、FPGA がリセット中、または設定エラーが発生したことを示します。
D3	CONF_DONE	FPGA 設定が完了するとオン。
D9	P5V	入力電圧 5V 印加

4 設計とドキュメントのサポート

4.1 デザイン ファイル

4.1.1 回路図

回路図をダウンロードするには、[TIDA-080010](#) の設計ファイルを参照してください。

4.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-080010](#) の設計ファイルを参照してください。

4.1.3 レイアウト ファイル

部品表 (BOM) をダウンロードするには、[TIDA-080010](#) の設計ファイルを参照してください。

4.1.4 メカニカル ファイル

部品表 (BOM) をダウンロードするには、[TIDA-080010](#) の設計ファイルを参照してください。

4.2 ソフトウェアおよび FPGA コード

[DLPC1438](#) ファームウェアと [FPGA](#) コードは、テキサス・インスツルメンツの [Web](#) サイトからダウンロードできます。

4.3 ドキュメントのサポート

1. テキサス・インスツルメンツ、[『DLPC1438 テキサス・インスツルメンツ DLP® 3D プリンタ用デジタル コントローラ』データシート](#)
2. テキサス・インスツルメンツ、[『DLP300S 低コスト テキサス・インスツルメンツ DLP® 3D プリンタ用 0.3 インチ 3.6 メガピクセル DMD』データシート](#)
3. テキサス・インスツルメンツ、[『DLPA2005 パワー マネージメントおよび LED / ランプ ドライバ IC』データシート](#)

4.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

4.5 商標

TI E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

DLP® and Pico® are registered trademarks of Texas Instruments.

Intel® and Cyclone® are registered trademarks of Intel.

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated