

TI Designs

8チャンネル、パラレル、0.5A、ローサイド・デジタル出力モジュール、プログラマブル・ロジック・コントローラ(PLC)用



TI Designs

TI Designsは、システムをすばやく評価してカスタマイズするために必要な、手法、テスト、デザイン・ファイルなどの基盤を提供し、開発期間の短縮に役立ちます。

デザイン・リソース

TIDA-00320	デザイン・フォルダ
TIDA-00236	デザイン・フォルダ
Beaglebone Black	コミュニティ
DRV8803	製品フォルダ
ISO7140CC	製品フォルダ
ISO7142CC	製品フォルダ
SM72485	製品フォルダ



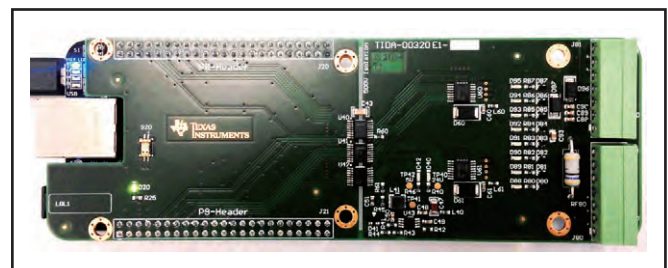
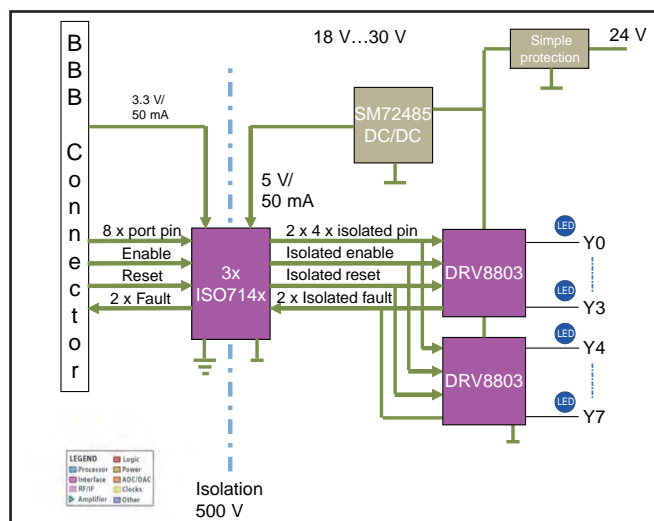
[ASK Our E2E Experts](#)
[WEBENCH® Calculator Tools](#)

デザインの特長

- 8チャンネルの高密度24Vローサイド・デジタル出力
- 500mA/チャンネル、非レギュレーション(20%)、2Aピーク
- パラレル制御によるシンプルなMCUインターフェイス
- 誘導性負荷のスイッチングが可能
- LEDによる出力状態表示
- Beaglebone Black Capeフォーム・ファクタにより、評価が容易

主なアプリケーション

- PLC、DCS、PAC
 - デジタル出力
 - CPU(PLC)
- モーター制御I/Oモジュール
- センサ・コンセントレータ



An IMPORTANT NOTICE at the end of this TI reference design addresses authorized use, intellectual property matters and other important disclaimers and information.

すべて商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。

資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。

製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TIDU705A 翻訳版

最新の英語版資料
<http://www.ti.com/lit/tidu705>

1 主なシステム仕様

表 1. 主なシステム仕様

SYMBOL	PARAMETER	CONDITIONS	SPECIFICATION			UNIT
			MIN	TYP	MAX	
V_{IN}	Input voltage	Normal operation	10	24	33	V
I_{IN}	Input current	Normal operation	—	15	50	mA
V_{LOAD}	Load supply voltage	Normal operation	0	24	44	V
I_{LOAD}	Load current	Per channel $T_A = 85^\circ\text{C}$	—	500	600	mA
		Per channel $T_A = 25^\circ\text{C}$	—	700	1000	mA
		Single channel per driver, $T_A = 25^\circ\text{C}$	—	—	2000	mA
P_{LOSS}	Power loss per channel	$R_L = 48 \Omega$, $V_{LOAD} = 24 \text{ V}$, $T_A = 25^\circ\text{C}$	—	200	—	mW
f_{SW}	Switching frequency	Resistive load		1000		Hz
		Inductive load, 0.1 H, all channels		10		Hz
t_{RISE}	Load voltage rise time 10% .. 90%	$R_L = 48 \Omega$, $V_{LOAD} = 24 \text{ V}$, $T_A = 25^\circ\text{C}$	—	600	—	ns
t_{PDHL}	Propagation Delay Input L→H, output H→L (<90%)	$R_L = 50 \Omega$, $V_{LOAD} = 24 \text{ V}$, $T_A = 25^\circ\text{C}$	—	440	—	ns
t_{FALL}	Load voltage fall time 90% .. 10%	$R_L = 48 \Omega$, $V_{LOAD} = 24 \text{ V}$, $T_A = 25^\circ\text{C}$	—	140	—	ns
t_{PDLH}	Propagation Delay Input H→L, output L→H (> 10%)	$R_L = 50 \Omega$, $V_{LOAD} = 24 \text{ V}$, $T_A = 25^\circ\text{C}$	—	540	—	ns
I_{PEAK}	Peak current (1 ms)		2.3		3.8	A
P_{IND}	Inductive power for each group of channels ⁽¹⁾				0.5	J/s

(1) 出力Y0~Y3が1つのグループ、出力Y4~Y7が1つのグループです。

2 システム説明

デジタル出力 (DO) モジュールは、PLCまたはDCSシステムで使用される標準的なモジュールです。DOモジュールを使用することで、抵抗性、容量性、誘導性の負荷を恒久的にオン/オフしたり、それらをパルス幅変調 (PWM) で制御したりできます。

MOSFETによるDOは、ハイサイドまたはローサイド・スイッチとして実現できます。このデザインでは、ローサイド・スイッチ方式を使用します。これは、負荷を接続する出力が、24V電源とモジュール出力との間に位置することを意味します。したがって、スイッチは、24V DC電源から見て負荷よりも電位が低くなります。

この方式の利点は、NMOSタイプを使用できるため、スイッチングMOSFETのコストが低くなることです。これらのMOSFETは、同じ $R_{ds(on)}$ を持つPMOS FETと比較して、約2.5倍小さくなります。これらのFETを飽和領域に保持するには、GNDよりも10V高いゲート電圧で十分です。また、このゲート電圧では、レベル・シフタやチャージ・ポンプが不要です。一方、ローサイド構成は、スイッチオフ状態でも負荷が恒久的に24V電源に接続されているため、腐食への耐性が弱まります。また、この構成は、グラウンドへの短絡が生じると負荷が意図せずオンになることも意味します。

TIDA-00320は、Beaglebone Black Capeのフォーム・ファクタで設計されています。Beaglebone Black上のマイクロプロセッサ(MPU)を使用して出力を制御するか、または基板をスタンドアロンで、3.3VのGPIOを持つ他のMCUとともに使用することができます。

ほとんどの場合、デジタル出力は、出力の制御系から電氣的に絶縁されています。このデザインでは、低電力のデジタル・アイソレータを使用して、Beaglebone Blackによって実装される駆動ロジックから24Vフィールド側を分離しています。たとえ落雷によってフィールド側に500V以上のグラウンド・シフトが生じた場合でも、MPUの動作は維持されます。

3 ブロック図

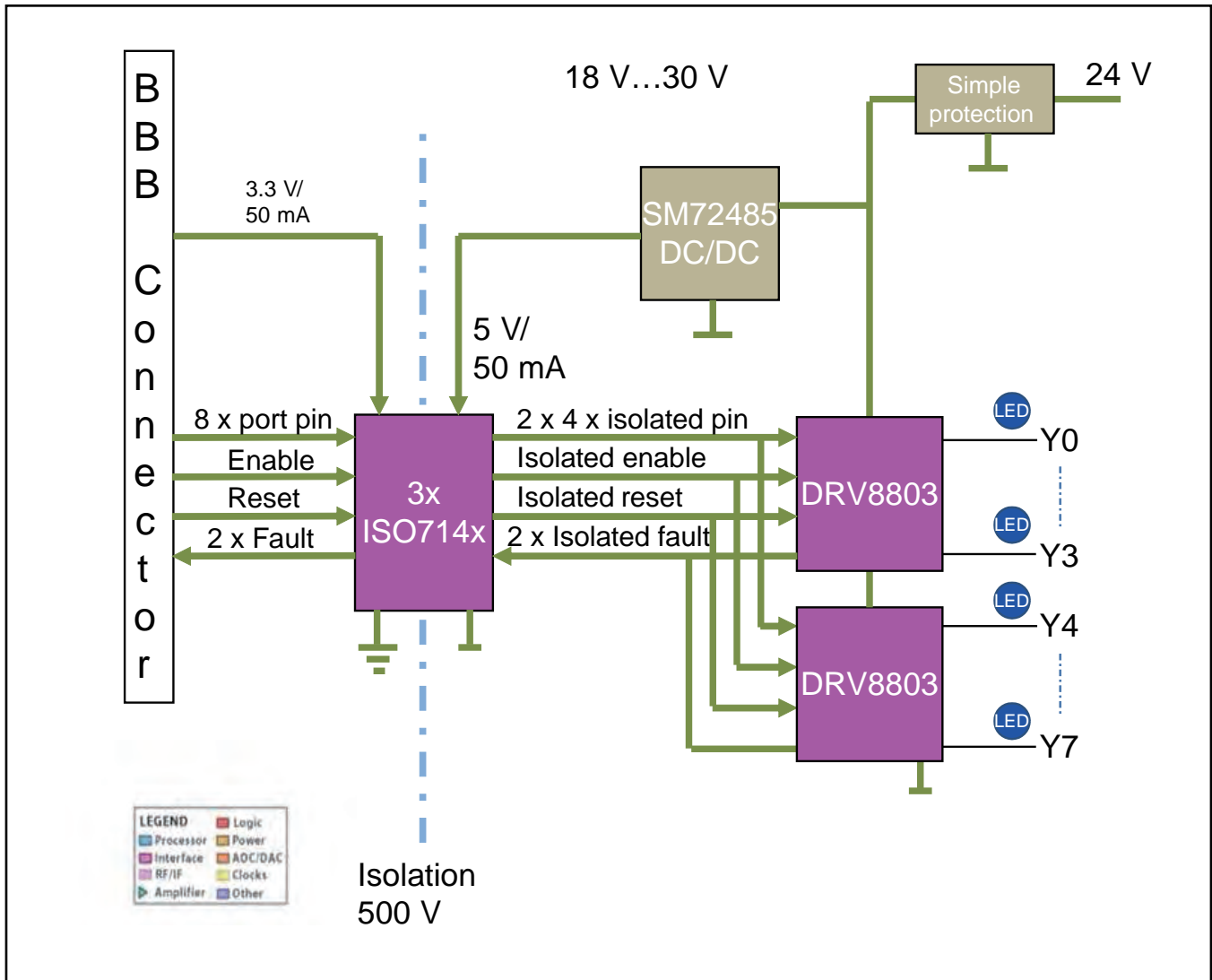


図 1. TIDA-00320ブロック図

3.1 使用製品

TIDA-00320には、ローサイド・ドライバとして構成された8個のDOがあります。このデザインではDRV8803デバイスを2個使用し、各デバイスはそれぞれ4個の保護されたローサイド・ドライバを内蔵しています。ISO7140によって、SPIチャンネルの絶縁が提供されます。また、各DRV8803にはグローバル障害ピンがあり、4つの出力チャンネルのいずれかに障害が発生した場合にそれを通知します。これらの信号はISO7140に接続され、ISO7140によって絶縁されます。低コストの降圧構成でSM72485が使用され、ISO7140およびISO7142の2次側に5V電源を供給します。DRV8803の出力には8個のステータスLEDが接続され、出力の物理的ステータスを示します。

3.1.1 DRV8803

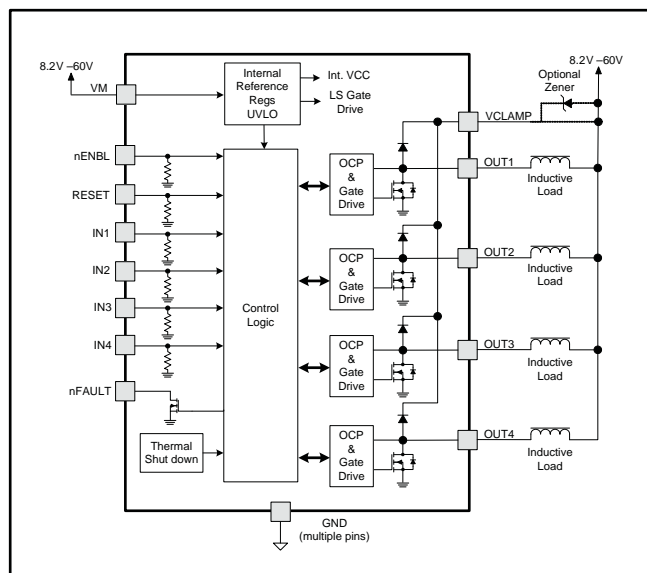


図 2. DRV8803ブロック図

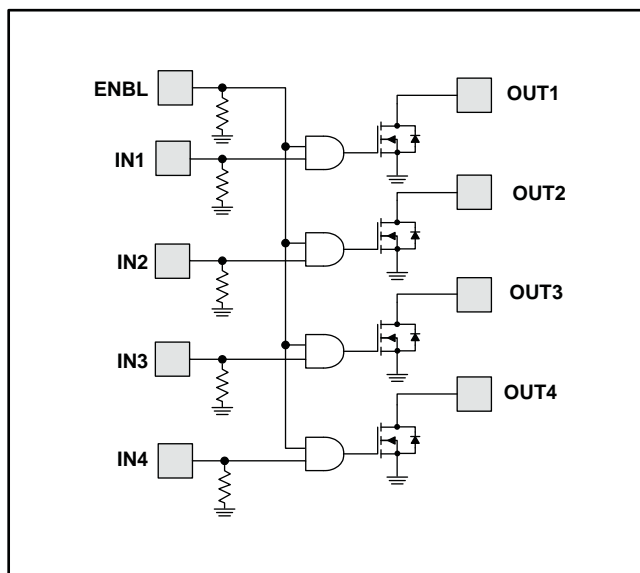


図 3. DRV8803概略図

3.1.2 ISO7140

このデザインでは、出力Y0～Y7に8つのBeaglebone Black信号を使用しています。また、2つの追加信号によって、DRV8803のRESETおよびnENBLを駆動します。2個のDRV8803からは2つの信号/FAULT0および/FAULT1がBeaglebone Blackに返され、エラー状態を示します。これら10の送信信号と2つの受信信号は、それぞれ4チャンネルを持つ3個のアイソレータ・デバイスを介して配信されます。アイソレータのうち2個は、一方方向に4チャンネルを持つISO7140タイプであり、もう1個は各方向に2つずつチャンネルを持つISO7142タイプです。ISO714xファミリは、1分間にわたって2500V_{RMS} (UL準拠)または4242V_{PK} (VDE準拠)の電気的絶縁を提供します。選択したアイソレータは最大50Mbpsをサポートし、このデザインで使用される通信速度を十分に上回っています。

3.1.3 SM72485

SM72485は、FETを内蔵した広入力降圧非同期コンバータです。このデザインでは、24Vのフィールド・コネクタから5Vのレギュレーション出力をアイソレータ・デバイスの電源として供給します。

4 システム設計理論

4.1 ローサイド・ドライバの選択

このデザインでは、小さなフォーム・ファクタを示すために、2個のDRV8803を使用しています。これらのデバイスは、それぞれ5 × 7mmの基板スペースでPWPパッケージに4つの電力出力を内蔵し、PCB冷却のみで各出力同時に0.5Aを駆動できます。DRV8803は1個あたり約15cm²の占有スペースがあれば85°Cの周囲温度で十分に動作でき、このデザインではデバイス毎に約22cm²の銅領域を使用しています。DRV8803は、共通クランプ・ピンとの間に内部ダイオードを搭載しています。このピンを使用すると、高速の誘導放電に対して、動作電圧とは異なるクランプ電圧を設定できます。その場合、放電は外部のツェナー・ダイオード (D57およびD58)で行われます。このツェナー・ダイオードの電力容量によって、モジュールが処理できる誘導放電の大きさが決まり、これはアプリケーション毎に設定できます。TIDA-00320は48Vのクランプを使用し、各ツェナー・ダイオードの電力容量は3Wです。したがって、各出力に対して、最大750mJの誘導放電が1秒あたり1回発生可能です。設計者は、熱管理について考慮する必要があります。このデザインでは、500mWに対してTVS冷却で十分に対応でき、放電は毎秒125mJに制限されます。設計に関する考慮事項は、4.3節でも詳しく説明します。

DRV8803データシート (SLVSAW5)に記載されているアプリケーション回路とは異なり、クランプ点とグランドの間にツェナー・ダイオードが接続されています。この接続により、24V電源とクランプ電圧の独立性が保証されています。そうしないと、誘導放電によって24V電源電圧の影響を受け、クランプ点の電圧が絶対最大電圧を超える可能性があります。また、レイアウトの観点からも、誘導性スイッチング時はグランドへの電流を近くにまとめる方が、グランドへのノイズ注入を容易に防ぐことができます。

4.2 熱管理

熱管理の仕様は、以下の設計上の考慮事項に基づいて計算されています。

- 接合部温度が150°Cを超えないようにする。
- パッケージの熱抵抗は接合部-底面プレート間で2.3°K/W
- サーマル・ビアの内径は8mm、熱抵抗は170°K/W
- 基板スペースの対空気の熱抵抗は1cm²あたり約900°K/W (参考文献2の式23を参照)

DRV8803のR_{DS(on)}は最大0.8Ωであり、4つの出力を0.5Aでオンにすると、合計消費電力はデバイスあたり0.8W (4 × 0.5² × 0.8)です。周囲温度が85°Cのとき、接合部温度は65°K上昇する可能性があります。そのため、TIDA-00320にはデバイスあたり5個のサーマル・ビアがあり、熱抵抗は34°K/Wとなります。また、PCBの上面に、同じ熱抵抗約34°K/Wのパッドが接続されています。それにより、合計の接続抵抗は17°K/Wとなり、これは1.8°Kの接合部ケースの上昇に加えて14°Kの上昇に対応します。結果として、銅領域に生じる温度上昇は49°Kのみです。したがって、銅領域の対空気熱抵抗は61°K/W未満となる必要があり、これは15cm²に相当します。TIDA-00320では、DRV8803デバイス1個につき約22cm²が利用可能であるため、85°Cの周囲温度で安全に動作できます。

85°Cを超える周囲温度が必要な場合は、より厚い銅領域を持つ4層基板を使用して、熱管理をさらに最適化できます。内部層は熱を放射できませんが、熱分散は向上し、外部層がパターンで分割されるのを避けることができます。それにより、アクティブ冷却領域を増加できます。

4.3 誘導性負荷のスイッチオフ

TIDA-00320は、モーターやバルブなどの誘導性負荷のスイッチオフに使用できます。誘導性負荷には、エネルギーを蓄積する特性があります。スイッチで誘導性負荷をオフにしようとする、このエネルギーが解放されます。インダクタは引き続き電流を流そうとするため、スイッチの出力に高い電圧スパイクが生じるおそれがあります。スパイクの発生を防ぐ一般的な方法は、フリーホイール・ダイオードの使用です。これらのダイオードはインダクタの電圧を制限するため、ダイオードは標準の順方向電圧0.7Vを超えません。結果としてスイッチの出力電圧は24.7Vとなります（電源電圧を24Vと仮定した場合）。この方法は単純ですが、ある程度の時間にわたって電流が流れ続けるという短所があります。この時間は、フリーホイール電圧に反比例します。プロセス制御システムの注入バルブなどの高速アクチュエータでは、これは望ましくありません。推奨される方法は、ツェナー・ダイオードを使用して、より高いフリーホイール電圧を可能にすることです。このリファレンス・デザインでは、フリーホイール電圧が48Vにクランプされています。その結果、24V電源ではフリーホイール電圧が24Vになり、インダクタ電流がずっと速く減衰します。したがって、このリファレンス・デザインは、ステッパ・モーターや注入バルブの直接制御に最適です。

DRV8803は、出力毎に1つの内蔵クランプ・ダイオードによってローサイド・スイッチを保護しています。すべてのクランプ・ダイオードが、外部のツェナー・ダイオードに対して1つのピンに接続されています。このダイオードは、電圧を48Vにクランプします。

TIDA-00320の外部ツェナー・ダイオード (D57およびD58)は3WのTVSダイオードで、500mWに対して冷却が計算されています。したがって、1個のDRV8803のすべての出力で0.5J/sのエネルギーを吸収できます。100mHの誘導性負荷は、0.5Aの電流で約12.5mJ ($E = 1/2 \times L \times I^2$)を蓄積できます。したがって、このダイオードは、1出力あたり40Hzのレートでスイッチングできます。4つの出力すべてに負荷が接続されスイッチングされている場合は、10Hzとなります。

4.4 電球のスイッチング

TIDA-00320は、従来型の電球のスイッチングにも使用できます。そのような負荷は冷抵抗が非常に低いため、初期電流は連続電流の最大10倍にもなります。24V、5Wの電球には2Aの突入電流が生じますが、これはDRV8803の動作範囲内です。より大きな電球では、過電流保護が作動し、DRV8803に損傷は生じませんが、電球が期待通りに点灯しない可能性があります。

5 使用開始用ハードウェア

TIDA-00320は、Beaglebone Black評価プラットフォームでCapeとして使用するか、またはパラレルGPIO通信を処理できる任意のプロセッサとともにスタンドアロン・カードとして使用できます。Beaglebone Blackコネクタに接続する場合は、J20およびJ21によって通信が処理されます。

5.1 ピン配置

表 2. ピン配置

TIDA-00320 FUNCTION	TIDA-00320 HEADER	BBB HEADER	SOFTWARE	DIRECTION
Y0	J20, PIN 8	P8_8	TIMER7	OUT
Y1	J21, PIN 12	P9_12	GPIO1_28	OUT
Y2	J21, PIN 23	P9_23	GPIO1_17	OUT
Y3	J21, PIN 22	P9_22	UART2_RXD	OUT
Y4	J20, PIN 9	P8_9	TIMER5	OUT
Y5	J20, PIN 10	P8_10	TIMER6	OUT
Y6	J20, PIN 14	P8_14	GPIO0_26	OUT
Y7	J20, PIN 17	P8_17	GPIO0_27	OUT
nENBL	J21, PIN 15	P9_15	GPIO1_16	OUT
RESET	J21, PIN 21	P9_21	UART2_TXD	OUT
/FAULT0(Y0..Y3)	J20, PIN 26	P8_26	GPIO1_29	IN
/FAULT1(Y4..Y7)	J20, PIN 18	P8_18	GPIO2_1	IN

5.2 初期化と制御

スタートアップ・フェーズの間、Beaglebone Black I/Oピンはフローティングになる場合があります。選択したアイソレータ・タイプであるISO7140CCは、その場合に出力をHighに駆動します。それによってRESETおよびnENBLがHighに保持されるため、DRV8803の出力が非アクティブになり、望ましくないスイッチングが防止されます。以下の初期化シーケンスに従うことで、制御コードの実行が開始されるまで出力はアクティブになりません。

1. P9_15を出力として構成する。
2. nENBLをHighに設定する (P9_15)。
3. P9_21を出力として構成する。
4. RESETをHighに設定する (P9_21)。
5. In_Y0～In_Y7をLowに設定する。(Y0～Y7 = P8_8、P9_12、P9_23、P9_22、P8_9、P8_10、P8_14、P8_17)
6. RESETをLowに設定する。
7. nENBLをLowに設定する。

これで、TIDA-00320がアクティブになります。以下のシーケンスを制御ループの一部として使用します。

1. いずれかの出力をアクティブにするには、In_xをHighに設定する。(Y0～Y7 = P8_8、P9_12、P9_23、P9_22、P8_9、P8_10、P8_14、P8_17)
2. いずれかの出力を非アクティブにするには、In_xをLowに設定する。
3. Y0～Y3の入力である/FAULT0(BBBピンP8_26)を監視し、グループY0～Y3とともにエラー状態 (エラー: /FAULT0 = Low) を表示する。
4. Y4～Y7の入力である/FAULT1(BBBピンP8_18)を監視し、グループY4～Y7とともにエラー状態 (エラー: /FAULT0 = Low) を表示する。

5.3 障害信号

J20のピン26の/XFAULT0信号は、4つの出力Y0～Y3のいずれかに対するグローバル障害信号です。/XFAULT1は、出力Y4～Y7に対して同じ機能を提供します。いずれかのDRV8803で過電流が発生した場合、このピンはLowに駆動されます。同時に、対応する出力ドライバがオフになります。1.2ms後に、出力ドライバは出力の駆動を再試行し、過電流状態が解消されている場合は障害信号をクリアします。/XFAULTは、XRSTピンがアクティブになった場合または24Vフィールド電源が除去された場合（J61またはJ62）にもクリアされます。

DRV8803のダイ温度が安全制限を超えた場合には、すべての出力がオフになり、該当するDRV8803の/XFAULTがLowに駆動されます。温度が制限値を下回ると、動作が再開されます。

5.4 電源

基板は24Vのフィールド電源に接続されます。アイソレータ用の5Vは、この電源およびDRVデバイスの電圧VMから生成されます。500Vのサージ・パルスに対する保護として、ヒューズ抵抗と33VのTVSダイオードを組み合わせ使用しています。ESDストライクのような高速の過渡事象に対しては、ヒューズ抵抗と3個の低ESRコンデンサに基づくフィルタを形成しています。このサージ保護の後に逆極性保護が搭載され、単純なダイオードとして実装されています。

EMI保護は、直列抵抗RF80に加え、DC/DCコンバータと各DRV8804ドライバIC用の一連のπフィルタによって実装されています。DC/DCコンバータ用のπフィルタは、C93、C94、L40、C47、C48によって構成されます。このフィルタの-3dB点は600kHzであり、傾きは18dB/オクターブです。DRV用のフィルタは、C93、C94、L80/C80(U60用)、L81/C81(U61用)によって構成されます。600kHz以下では、πフィルタの容量性動作によって、RF80とともにローパス・フィルタが形成され、-3dB点は30kHz、傾きは6dB/オクターブとなります。このローパス・フィルタは、600kHzで両方のDRV8803に対して-30dBのダンピング係数となり、SM72485に対しては-50dBとなります。1.2MHzでは、これらの係数はDRVに対して既に-64dB、SM72485に対して-84dBとなります。

一連のフィルタに対するspiceシミュレーション・モデルを図4に示し、対応するACシミュレーション・プロットを図5に示します。

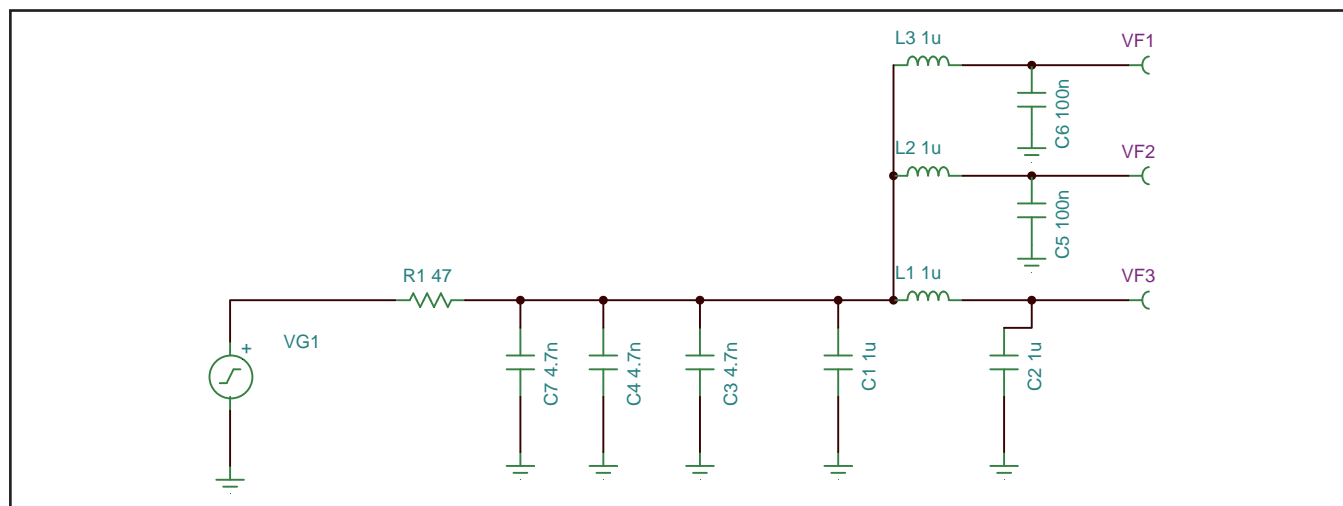


図 4. EMIフィルタのシミュレーション・モデル

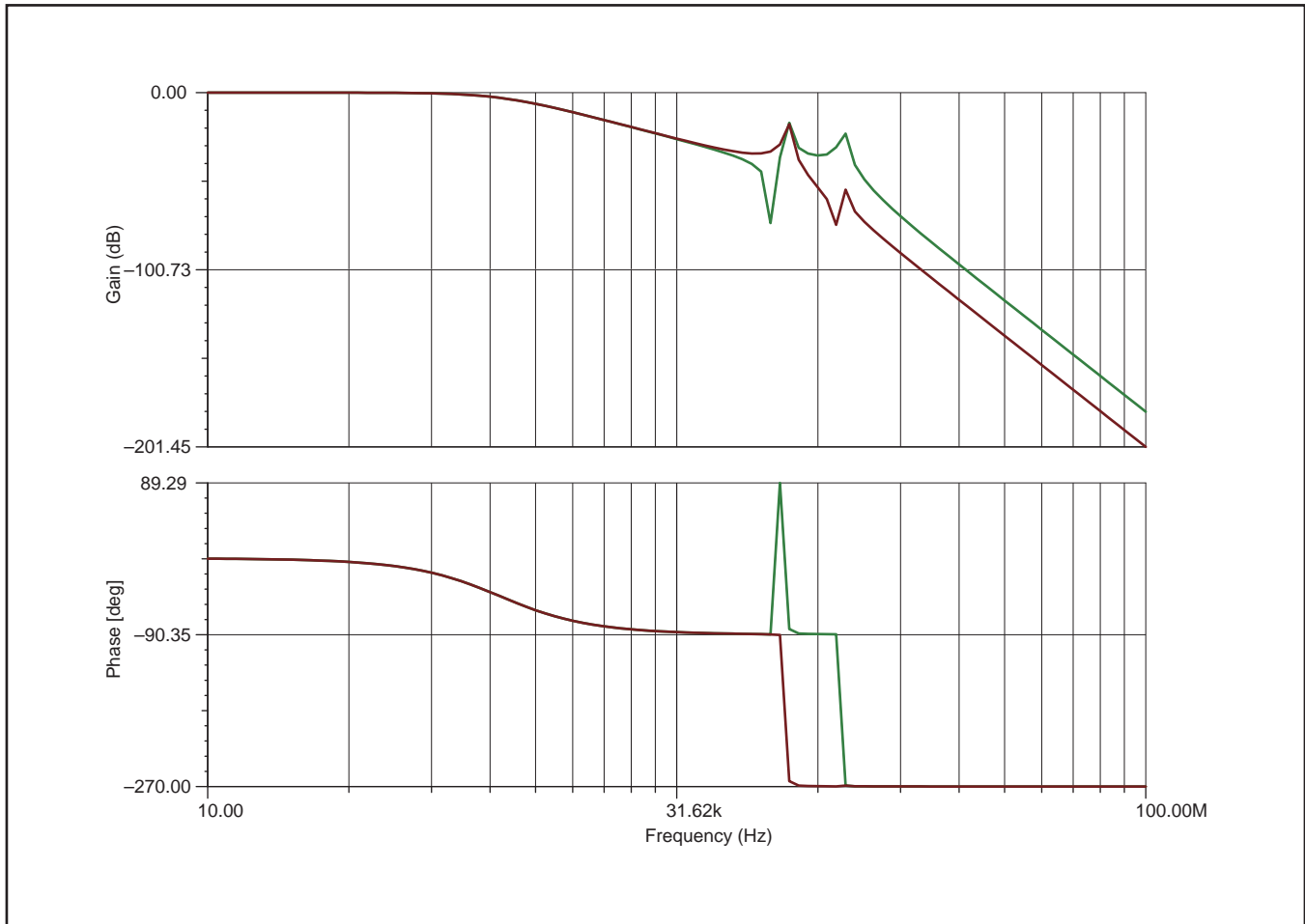


図 5. ACシミュレーション・プロット

5.5 出力およびフィールド電源コネクタ

DRV8803のすべての出力が青色LEDに接続されています。LED電流は、約2mAに設定されています。誘導性スイッチングによる逆電流を防ぐために、LEDと直列にダイオードが追加されています。また、ESD耐性を高めてEMIを低減するために、各出力コネクタ・ピンの近くに10nFのコンデンサを配置しています。基板のコネクタは低背タイプであるため、Capeを積み重ねた状態でも各基板にアクセスすることができます。

6 テストの設定

6.1 出力電流容量

出力電流容量のテスト設定：

- 電源：GW inSTEK GPS-4303クアッド出力DC電源、 $2 \times 0 \sim 30V$ (3A)、 $8 \sim 15V$ (1A)、および $2.2 \sim 5.5V$ (1A)
- サーモ・スキャン：Fluke Ti40FT 160×120 ($-20^{\circ}C \sim 350^{\circ}C$ で校正)

出力Y7を電子負荷経由で電源の24Vに接続することで、熱管理の正確性を検証します。GNDおよびアースは、電源の0Vに接続します。出力はオンにプログラミングします。電源から電子負荷への電流は、DRV8803で約0.8Wの電力損失を実現するために必要なレベルに設定されます。これは、すべての出力にそれぞれ0.5Aが流れる場合と等価な電力損失です。この値は1.15Aに近くなり、電圧降下は0.72Vとなります。駆動スイッチの温度は、サーモ・スキャンを使用して観測します。室温が $25^{\circ}C$ の場合、この温度は $65^{\circ}C$ 付近で安定すると想定されます。室温で公称電流500mAの場合、スイッチでの標準電圧降下は250mVと想定されます。

6.2 立ち上がり、立ち下がり、および伝播遅延時間

立ち上がり、立ち下がり、および伝播遅延時間のテスト設定：

- 電源：GW inSTEK GPS-4303クアッド出力DC電源、 $2 \times 0 \sim 30V$ (3A)、 $8 \sim 15V$ (1A)、および $2.2 \sim 5.5V$ (1A)
- オシロスコープ：Tektronix TDS 3034

1つの出力グループ(Y4～Y7)の4つの出力すべてを、個別の $48\Omega/12W$ 抵抗を通して電源の24Vに接続します。GNDおよびアースは、電源の0Vに接続します。オシロスコープは、チャンネル1をホスト側のラッチ入力に、チャンネル2を出力Y7に接続します。チャンネル1をトリガとして、通常のトリガ立ち上がりエッジに設定します。トリガ・レベルは1Vです。すべての出力をオンにプログラミングします。オシロスコープは、Y7の立ち下がりエッジをキャプチャします。その後で、すべての出力をオフにプログラミングし、オシロスコープでY7の立ち上がりエッジをキャプチャします。同じグループの他の3つの出力について、この測定を繰り返します。次に、2番目の出力グループ(Y0～Y3)に抵抗を接続し、測定を実行します。

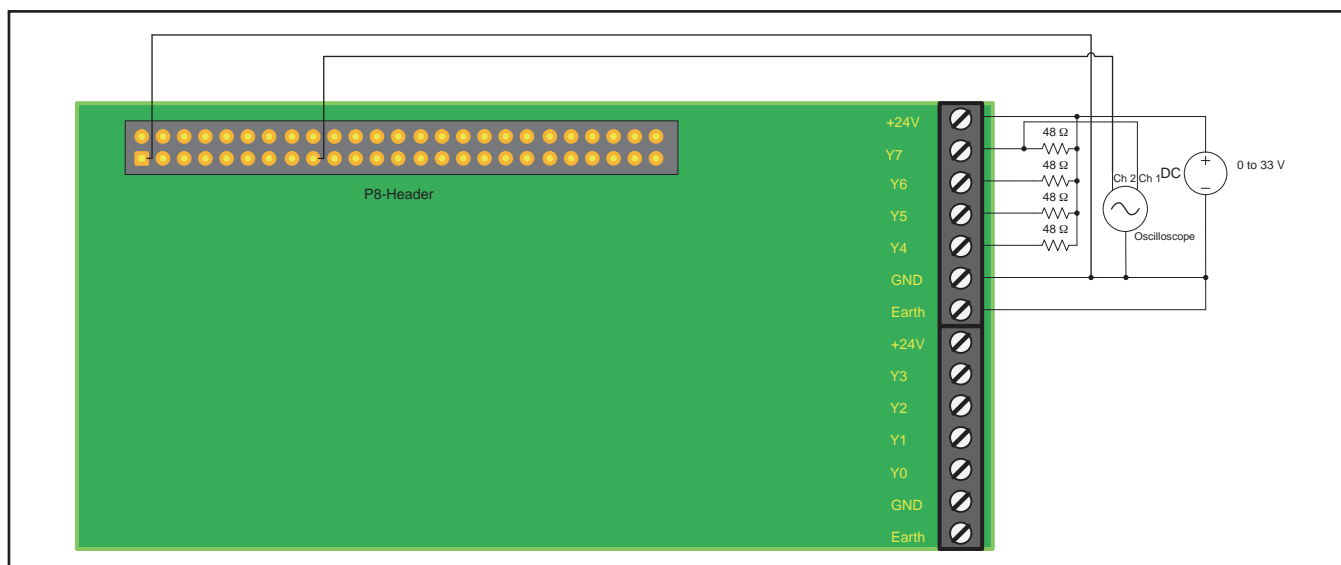


図 6. 立ち上がり、立ち下がり、および伝播遅延時間の測定用設定

7 Test Data

Table 3. Test Results

SYMBOL	PARAMETER	CONDITIONS	SPECIFICATION			MEAS.	UNIT
			MIN	TYP	MAX		
V_{IN}	Input voltage	Normal operation	10	24	33	24.5	V
I_{IN}	Input current	Normal operation	—	15	50 ⁽¹⁾	14	mA
V_{LOAD}	Load supply voltage	Normal operation	0	24	44	24.5	V
I_{LOAD}	Load current	Per channel $T_A = 60^\circ\text{C}$	—	500	600	— ⁽²⁾	mA
		Per channel $T_A = 25^\circ\text{C}$	—	700	1000	— ⁽²⁾	mA
P_{LOSS}	Power loss per channel	$R_L = 48\ \Omega$, $V_{LOAD} = 24\ \text{V}$, $T_A = 25^\circ\text{C}$	—	200	—	— ⁽²⁾	mW
f_{SW}	Switching frequency	Resistive load		1000		1000	Hz
		Inductive load, 0.1 H all channels		10		— ⁽²⁾	Hz
t_{RISE}	Load voltage rise time (10% to 90%)	$R_L = 48\ \Omega$, $V_{LOAD} = 24\ \text{V}$, $T_A = 25^\circ\text{C}$	—	600	—	550	ns
t_{FALL}	Load voltage fall time (90% to 10%)	$R_L = 48\ \Omega$, $V_{LOAD} = 24\ \text{V}$, $T_A = 25^\circ\text{C}$	—	120	—	125	ns
t_{PD}	Propagation Delay (latch to output change)	$R_L = 50\ \Omega$, $V_{LOAD} = 24\ \text{V}$, $T_A = 25^\circ\text{C}$	60	150	200	165	ns
I_{PEAK}	Peak current (1 ms)		2.3		3.8	— ⁽²⁾	A
P_{IND}	Inductive power for each group of channels ⁽³⁾				0.5	— ⁽²⁾	J/s

⁽¹⁾ Depends on number of LEDs on and communication activity.

⁽²⁾ Based on calculations derived from DRV8803 datasheet.

⁽³⁾ Outputs Y0 to Y3 are one group, and outputs Y4 to Y7 are another group.

In Figure 7, channel 2 (red) is connected to the In0 signal of the host connector and triggers on rising edge. This edge causes the data to transfer to the output Y0 in the form of a high to low transition and is therefore suited to capture this output transition on channel 1 (blue) and the timing for the $t_{pd(HL)}$ propagation delay measurement. The fall time is dominated by the switching speed of the output transistor in the driver. Due to the open drain configuration, the rise time results from the RC combination formed by the 10-nF capacitor connected to the switch output in the reference design, the driver output capacitance, and the 48- Ω load resistor at the output.

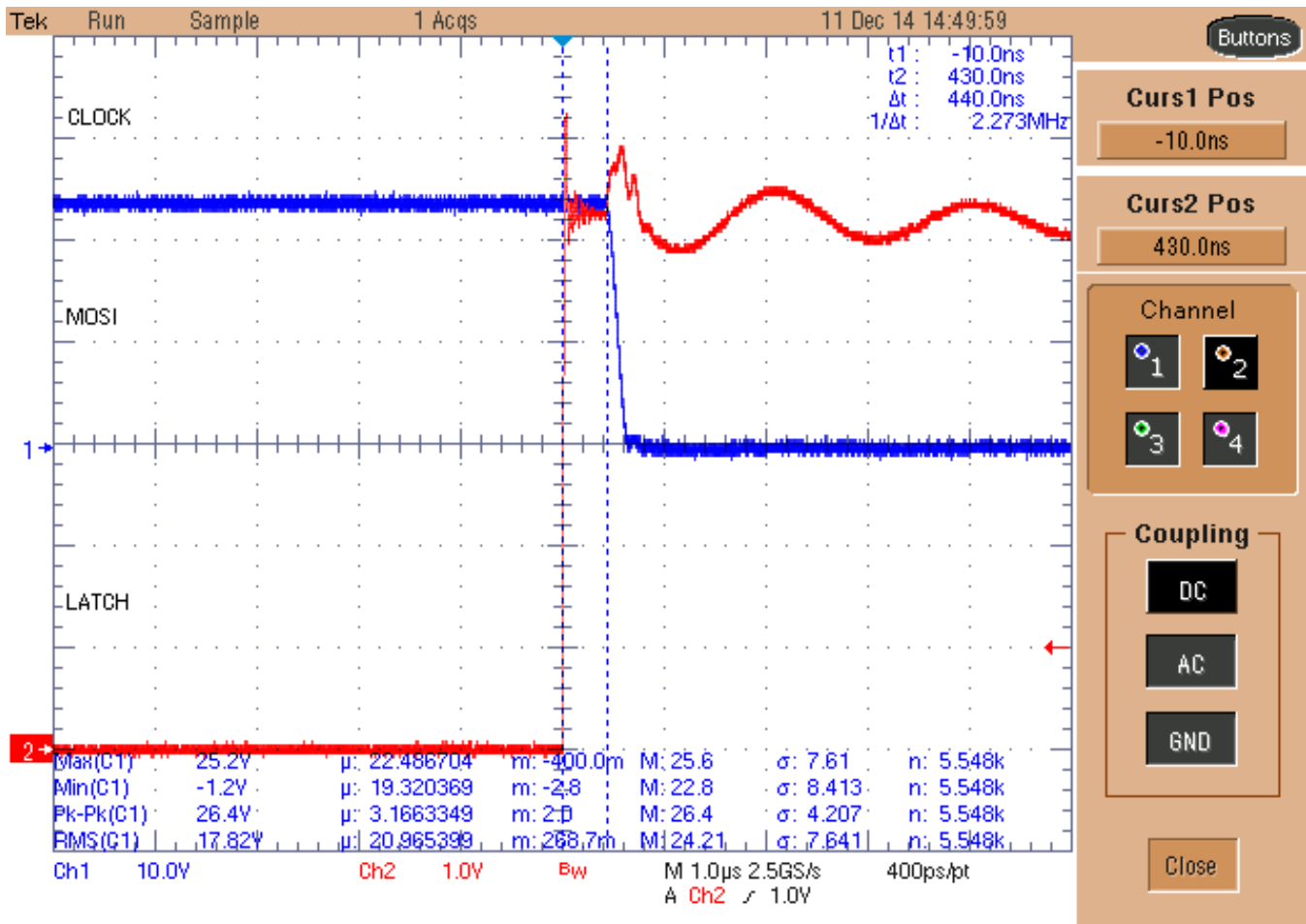


Figure 7. Fall Time and Propagation Delay

In Figure 8, channel 2 (red) is still connected to the In0 signal of the host connector and triggers now on the falling edge. This edge causes the data to transfer to the output Y0 in form of a low to high transition and is therefore suited to capture this output transition on channel 1 (blue) and the timing for the $t_{pd(LH)}$ propagation delay measurement. Due to the open drain configuration, the rise time results from the RC combination formed by the 10-nF capacitor connected to the switch output in the reference design, the driver output capacitance, and the 48-Ω load resistor at the output.

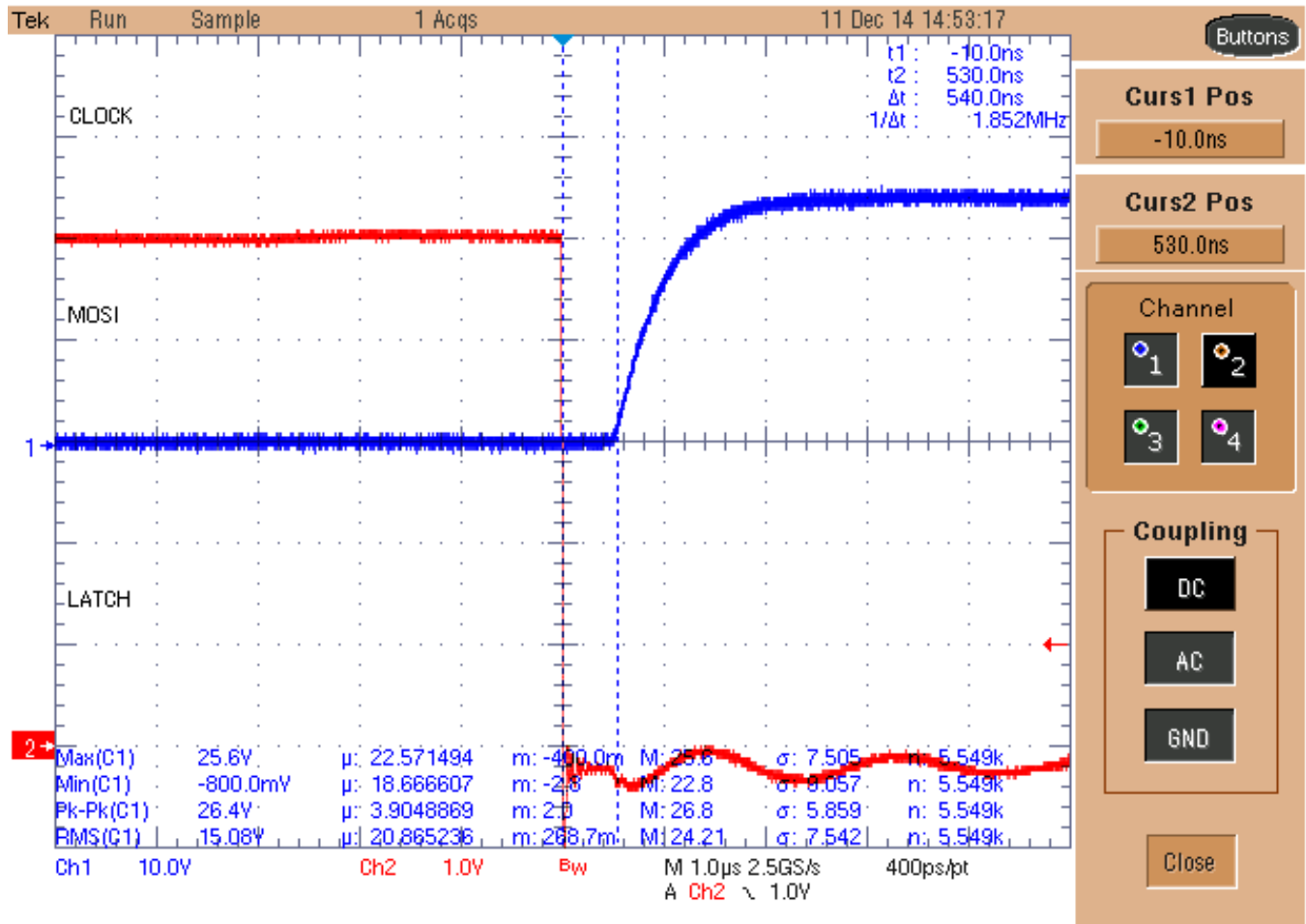


Figure 8. Rise Time and Propagation Delay

The result of the heat management verification is visible in [Figure 9](#) for the bottom of the PCB and in [Figure 10](#) for the top of PCB. The bottom side reaches round 50°C under the DRV8803, and the top side peaks at 65°C on the top surface of the IC. These peaks correspond to a temperature rise of 35°K to 40°K in the silicon above the ambient temperature. Based on the heat distribution on thermal images with both DRV8803 active, the temperature rise would be 10°K higher. Assuming a maximum silicon temperature of 150°C, an ambient temperature of 100°C would be absolute maximum. 85°C would leave sufficient guard band for safe operation under all conditions.

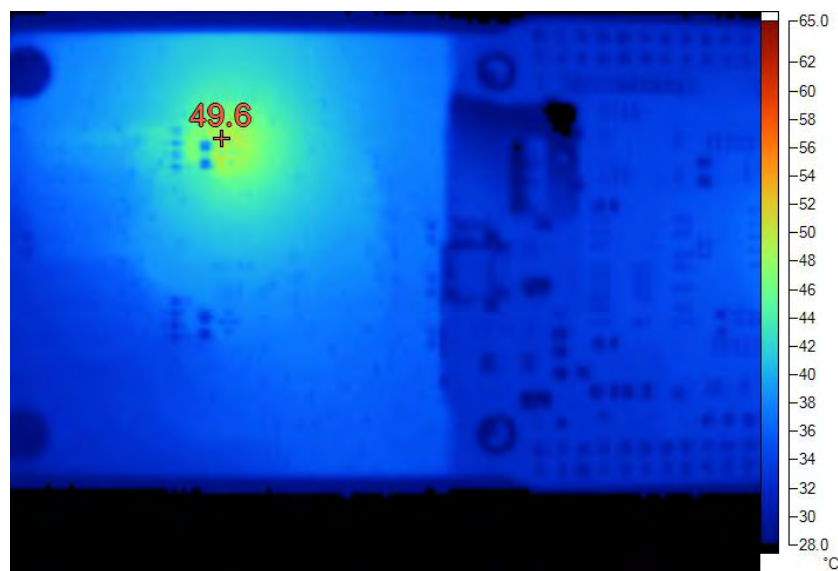


Figure 9. Thermal Scan of PCB Bottom Under Load

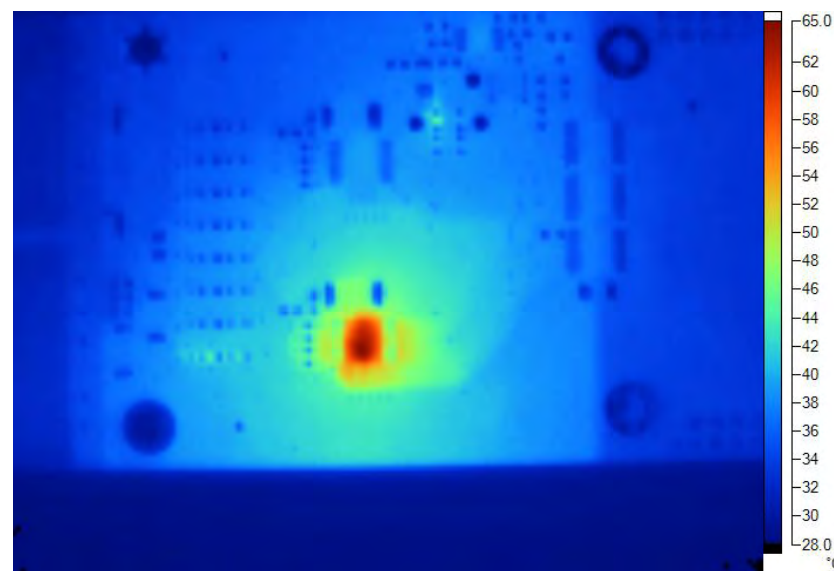


Figure 10. Thermal Scan of PCB Top Under Load

8 Design Files

8.1 Schematics

To download the schematics, see the design files at [TIDA-00320](http://www.ti.com/lit/zip/TIDA-00320).

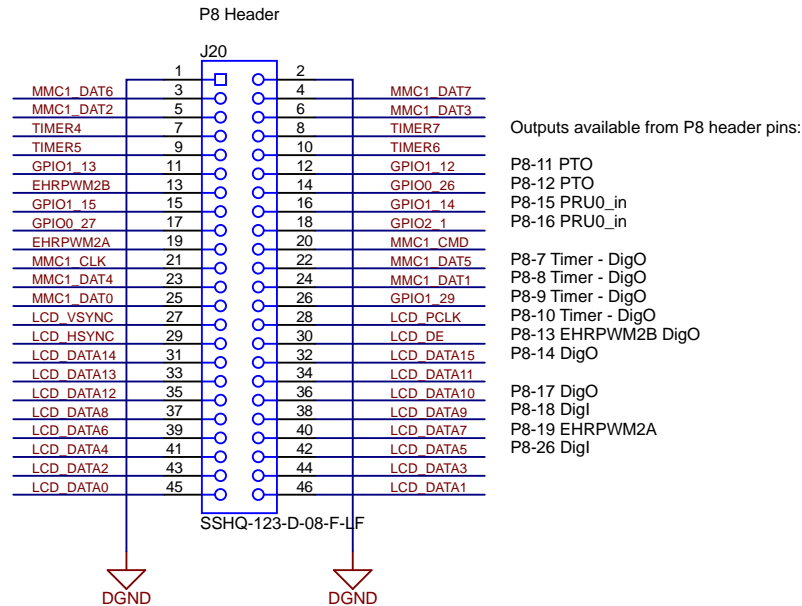


Figure 11. Beaglebone Connector and ID Prom1

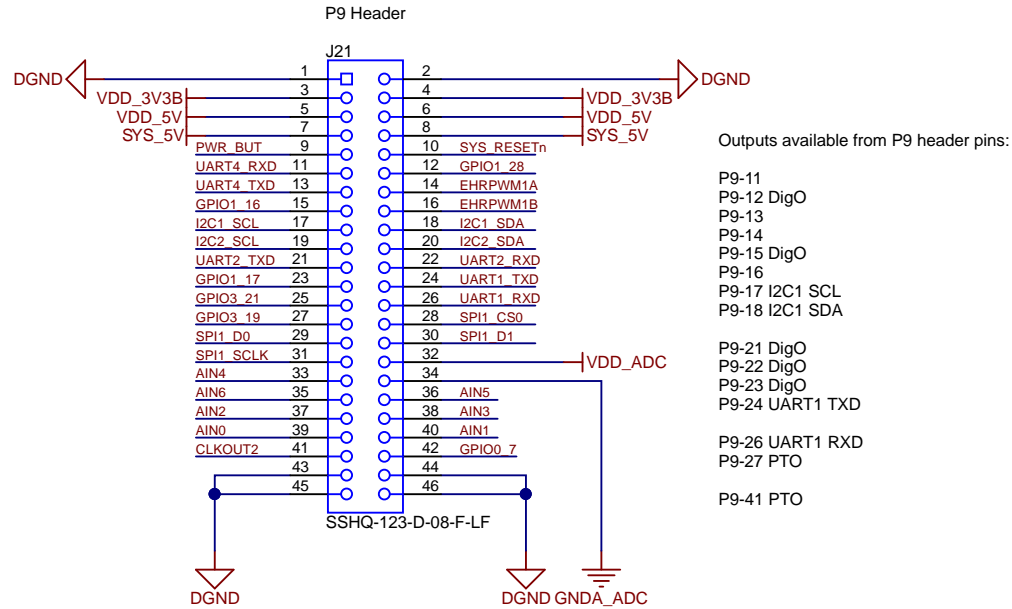


Figure 12. Beaglebone Connector and ID Prom2

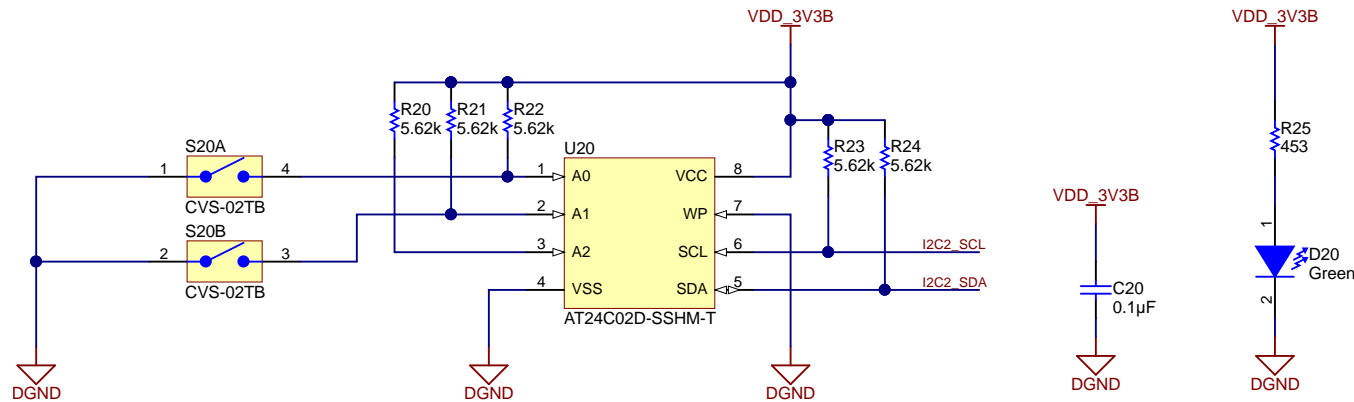


Figure 13. Beaglebone Connector and ID Prom3

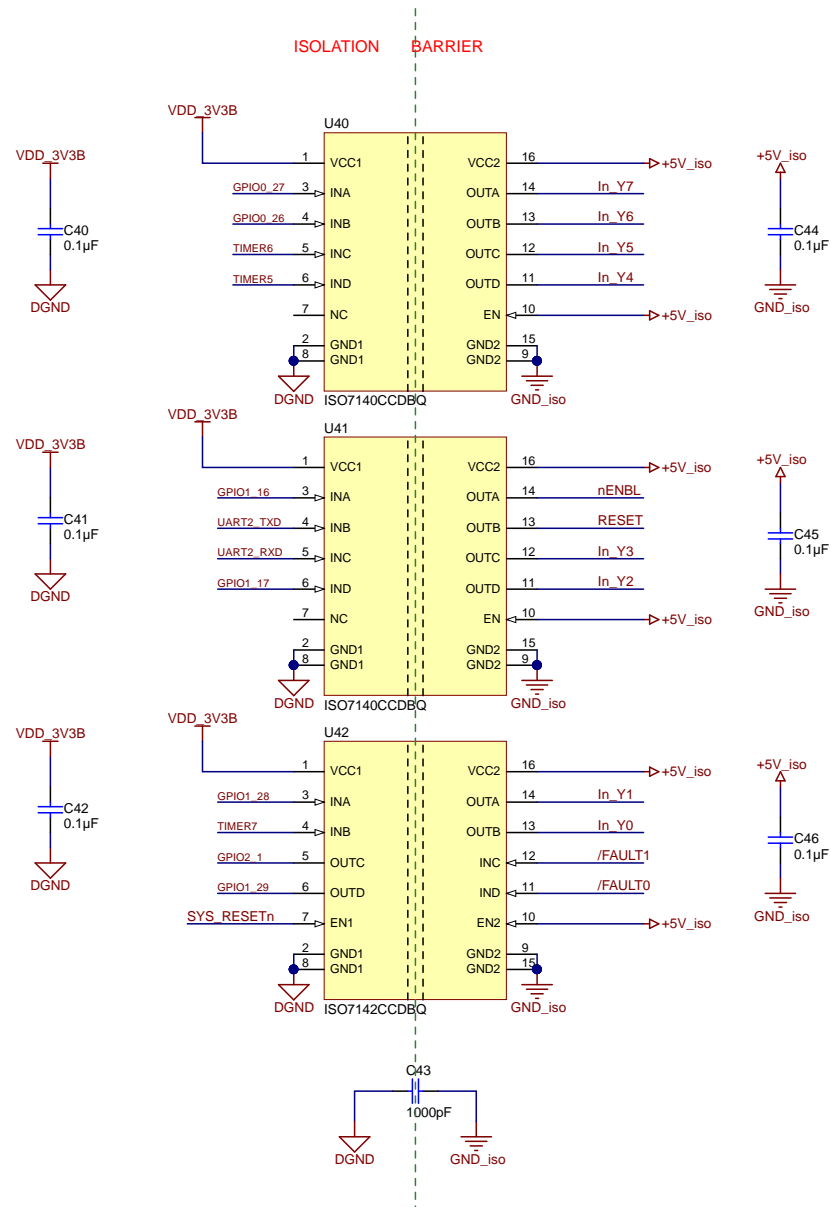


Figure 14. Digital Isolators and Field Power Supply1

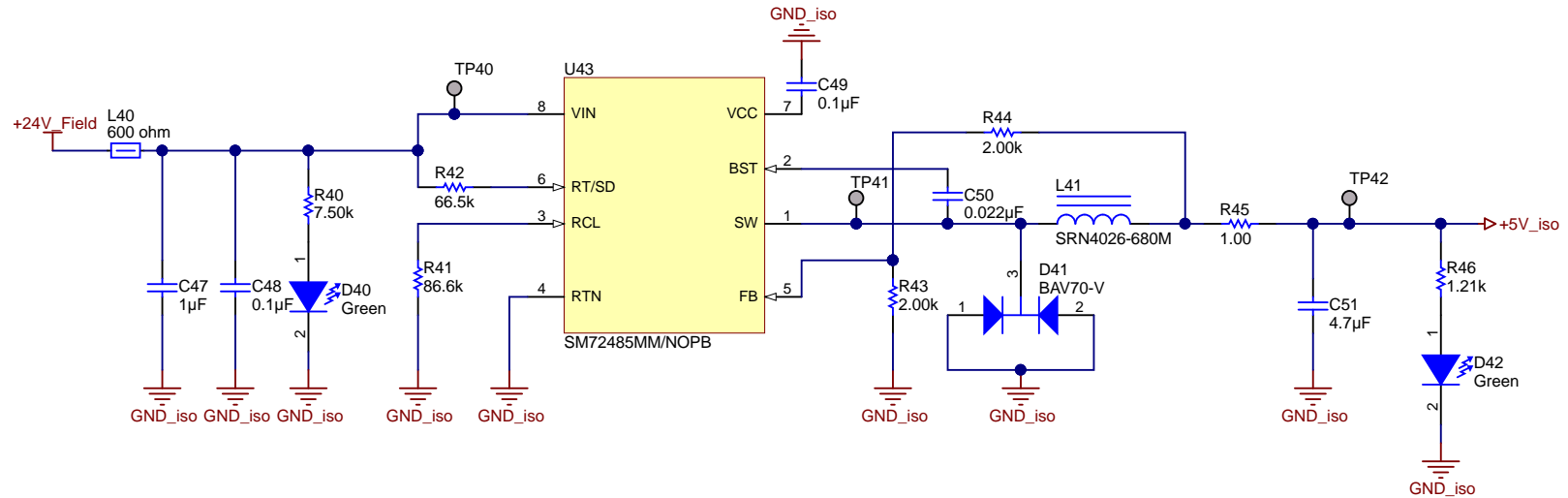


Figure 15. Digital Isolators and Field Power Supply2

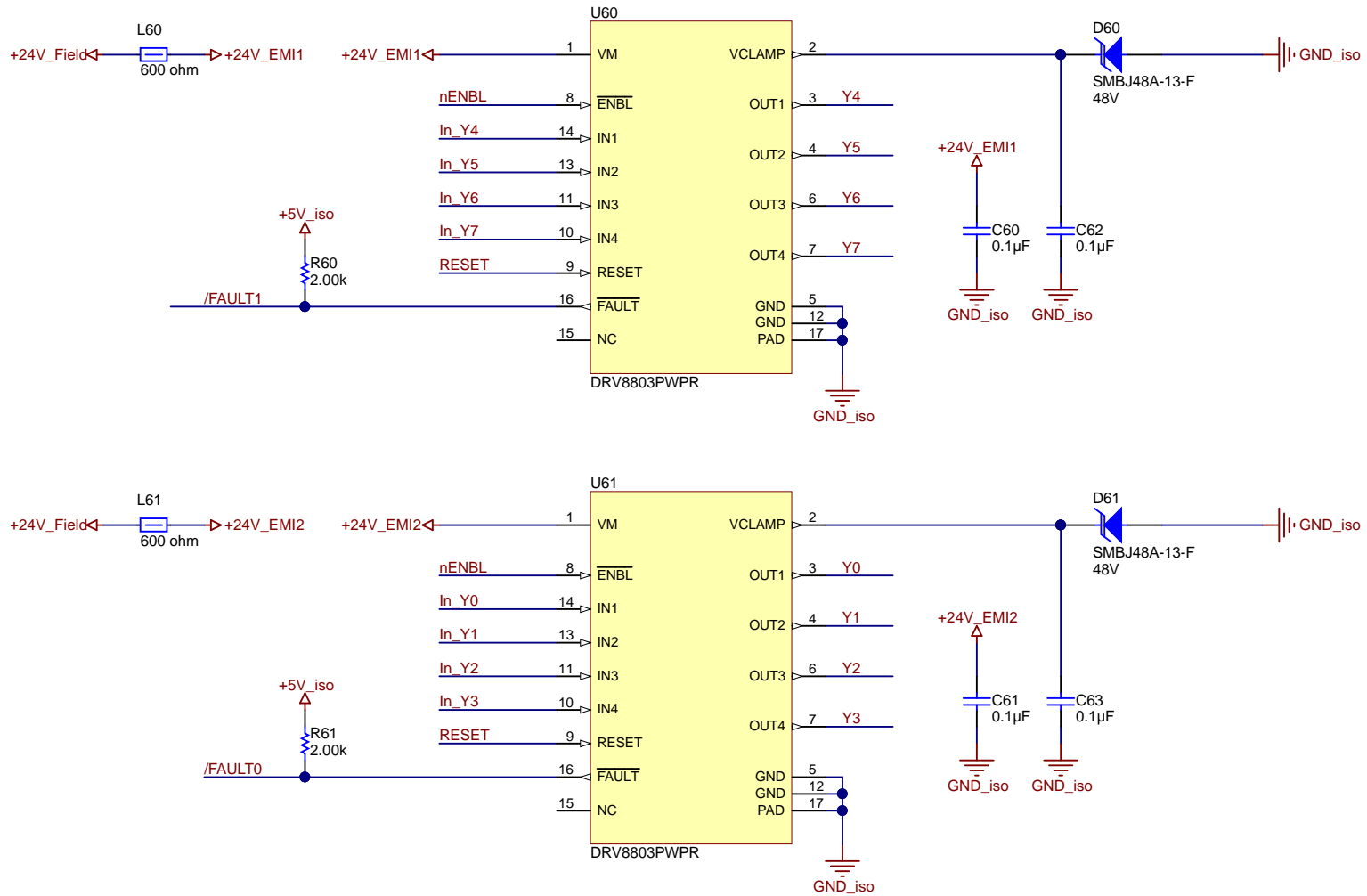


Figure 16. Digital Output Stage

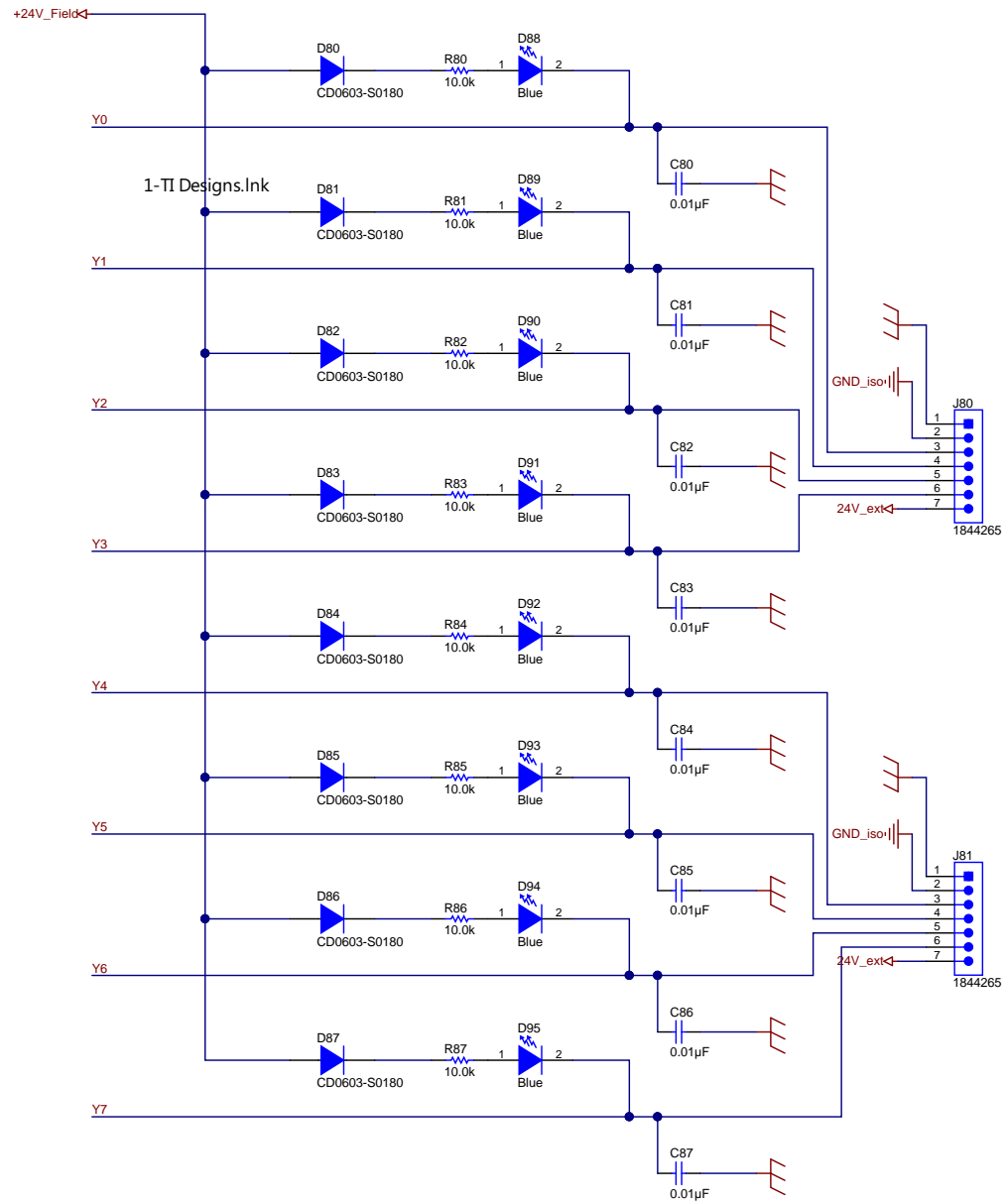


Figure 17. Output Connectors and Surge Protection1

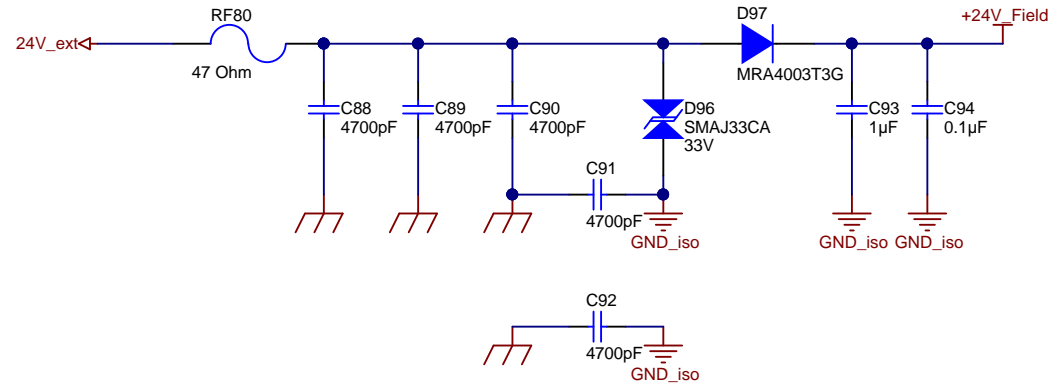


Figure 18. Output Connectors and Surge Protection2

8.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDA-00320](#).

Table 4. BOM

ITEM #	DESIGNATOR	QTY	VALUE	PARTNUMBER	MANUFACTURER	DESCRIPTION	PACKAGE REFERENCE
1	!PCB1	1		TIDA-00320	Any	Printed Circuit Board	
2	C20, C40, C41, C42, C44, C45, C46, C49, C60, C61	10	0.1 μ F	C0603C104K5RACTU	Kemet	CAP, CERM, 0.1 μ F, 50 V, \pm 10%, X7R, 0603	0603
3	C43	1	1000 pF	202R18W102KV4E	Johanson Dielectrics Inc	CAP, CERM, 1000 pF, 2 KV 10% X7R 1206	1206
4	C47	1	1 μ F	C3216X7R1H105K	TDK	CAP, CERM, 1 μ F, 50 V, \pm 10%, X7R, 1206	1206
5	C48, C94	2	0.1 μ F	C0603C104K5RACTU	Kemet	CAP, CERM, 0.1 μ F, 50 V, \pm 10%, X7R, 0603	0603
6	C50	1	0.022 μ F	C0603C223K5RACTU	Kemet	CAP, CERM, 0.022 μ F, 50 V, \pm 10%, X7R, 0603	0603
7	C51	1	4.7 μ F	C0603C475K8PACTU	Kemet	CAP, CERM, 4.7 μ F, 10 V, \pm 10%, X5R, 0603	0603
8	C62, C63	2	0.1 μ F	CL21B104KCF5FNE	Samsung	CAP, CERM, 0.1 μ F, 100 V, \pm 10%, X7R, 0805	0805
9	C80, C81, C82, C83, C84, C85, C86, C87	8	0.01 μ F	C1608X7R2A103M	TDK	CAP, CERM, 0.01 μ F, 100 V, \pm 20%, X7R, 0603	0603
10	C88, C89, C90, C91, C92	5	4700 pF	C1608X8R2A472K	TDK	CAP, CERM, 4700 pF, 100 V, \pm 10%, X8R, 0603	0603
11	C93	1	1 μ F	CL21B105KBFNNNE	Samsung	CAP, CERM, 1 μ F, 50 V, \pm 10%, X7R, 0805	0805
12	D20, D40, D42	3	Green	LTST-C190KGKT	Lite-On	LED, Green, SMD	1.6 x 0.8 x 0.8 mm
13	D41	1	70 V	BAV70-V	Vishay-Semiconductor	Diode, Switching, 70 V, 0.25 A, SOT-23	SOT-23
14	D60, D61	2	48 V	SMBJ48A-13-F	Diodes Inc.	Diode, TVS, Uni, 48 V, 600 W, SMB	SMB
15	D80, D81, D82, D83, D84, D85, D86, D87	8	90 V	CD0603-S0180	Bourns	Diode, Switching, 90 V, 0.1 A, 0603 Diode	0603 Diode
16	D88, D89, D90, D91, D92, D93, D94, D95	8	Blue	LB Q39G-L2N2-35-1	OSRAM	LED, Blue, SMD	BLUE 0603 LED
17	D96	1	33 V	SMAJ33CA	Littelfuse	Diode, TVS, Bi, 33 V, 400 W, SMA	SMA
18	D97	1	300 V	MRA4003T3G	ON Semiconductor	Diode, Standard Recovery Rectifier, 300 V, 1 A, SMA	SMA

Table 4. BOM (continued)

ITEM #	DESIGNATOR	QTY	VALUE	PARTNUMBER	MANUFACTURER	DESCRIPTION	PACKAGE REFERENCE
19	FID1, FID2, FID3, FID4, FID5	5		N/A	N/A	Fiducial mark. There is nothing to buy or mount.	Fiducial
20	J20, J21	2		SSHQ-123-D-08-F-LF	Major League Electronics	Female Connector, 2.54 mm, 23x2, TH	Female Connector, 2.54 mm, 23x2, TH
21	J80, J81	2		1844265	Phoenix Contact	Header (Shrouded), 3.5 mm, 7x1, R/A, TH	TH, 7-Leads, Body 9.2 x 25.9, Pitch 3.5 mm
22	L40, L60, L61	3	600 Ω	BLM18KG601SN1D	MuRata	Ferrite Bead, 600 Ω @ 100 MHz, 1.3 A, 0603	0603
23	L41	1	68 μH	SRN4026-680M	Bourns	Inductor, Wirewound, Ferrite, 68 μH, 0.35 A, 0.852 Ω, SMD	SMD, 2-Leads, Body 4.2x4.2 mm
24	LBL1	1		THT-14-423-10	Brady	Thermal Transfer Printable Labels, 0.650" W x 0.200" H - 10,000 per roll	PCB Label 0.650"H x 0.200"W
25	R20, R21, R22, R23, R24	5	5.62 k	CRCW06035K62FKEA	Vishay-Dale	RES, 5.62 k, 1%, 0.1 W, 0603	0603
26	R25	1	453	CRCW0603453RFKEA	Vishay-Dale	RES, 453, 1%, 0.1 W, 0603	0603
27	R40	1	7.50 k	CRCW06037K50FKEA	Vishay-Dale	RES, 7.50 k, 1%, 0.1 W, 0603	0603
28	R41	1	86.6 k	CRCW060386K6FKEA	Vishay-Dale	RES, 86.6 kΩ, 1%, 0.1 W, 0603	0603
29	R42	1	66.5 k	CRCW060366K5FKEA	Vishay-Dale	RES, 66.5 kΩ, 1%, 0.1 W, 0603	0603
30	R43, R44, R60, R61	4	2.00 k	CRCW06032K00FKEA	Vishay-Dale	RES, 2.00 k, 1%, 0.1 W, 0603	0603
31	R45	1	1.00	CRCW06031R00FKEA	Vishay-Dale	RES, 1.00, 1%, 0.1 W, 0603	0603
32	R46	1	1.21 k	CRCW06031K21FKEA	Vishay-Dale	RES, 1.21 k, 1%, 0.1 W, 0603	0603
33	R80, R81, R82, R83, R84, R85, R86, R87	8	10.0 k	CRCW060310K0FKEA	Vishay-Dale	RES, 10.0 kΩ, 1%, 0.1W, 0603	0603
34	RF80	1	47	EMC2-47RKI	TT Electronics/IRC	RES, 47 Ω, 10%, 2 W, Fusible, TH	Axial resistor
35	S20	1		CVS-02TB	Copal Electronics	DIP Switch, SPST, 2Pos, Slide, SMT	SW, 4.7 x 1.45 x 3 mm
36	U20	1		AT24C02D-SSHM-T	Atmel	I2C-Compatible (2-wire) Serial EEPROM 2-Kbit (256 x 8), SOIC-8	SOIC-8
37	U40, U41	2		ISO7140CCDBQ	Texas Instruments	4242-V _{PK} Small-Footprint and Low-Power Quad Channels Digital Isolators, DBQ0016A	DBQ0016A
38	U42	1		ISO7142CCDBQ	Texas Instruments	4242-V _{PK} Small-Footprint and Low-Power Quad Channel Digital Isolator, DBQ0016A	DBQ0016A

Table 4. BOM (continued)

ITEM #	DESIGNATOR	QTY	VALUE	PARTNUMBER	MANUFACTURER	DESCRIPTION	PACKAGE REFERENCE
39	U43	1		SM72485MM/NOPB	Texas Instruments	SolarMagic 100 V, 150 mA Constant On-Time Buck Switching Regulator, DGK0008A	DGK0008A
40	U60, U61	2		DRV8803PWPR	Texas Instruments	Quad Low-Side Driver IC, PWP0016D	PWP0016D

8.3 PCB Layout Recommendations and Guidelines

Sufficient cooling of the DRV8803s is critical to the design and requires thermal vias under the devices and contiguous copper area. In this design, thermal vias are also used to transfer the heat between the layers if traces break the cooling area. The goal was to have sufficient cooling and still maintain a two-layer design. The red circle in [Figure 19](#) shows an area where heat is blocked by a trace. A number of vias around the trace will lead the heat to the bottom layer under the trace and back to the top layer beyond the trace. [Figure 20](#) shows contiguous copper for that part of the PCB. All together, this design practice effectively increasing the active copper area by around 50%. The result and effectiveness of this practice can be seen in [Figure 9](#) and [Figure 10](#) where heat is transferred beyond the trace on the top layer.

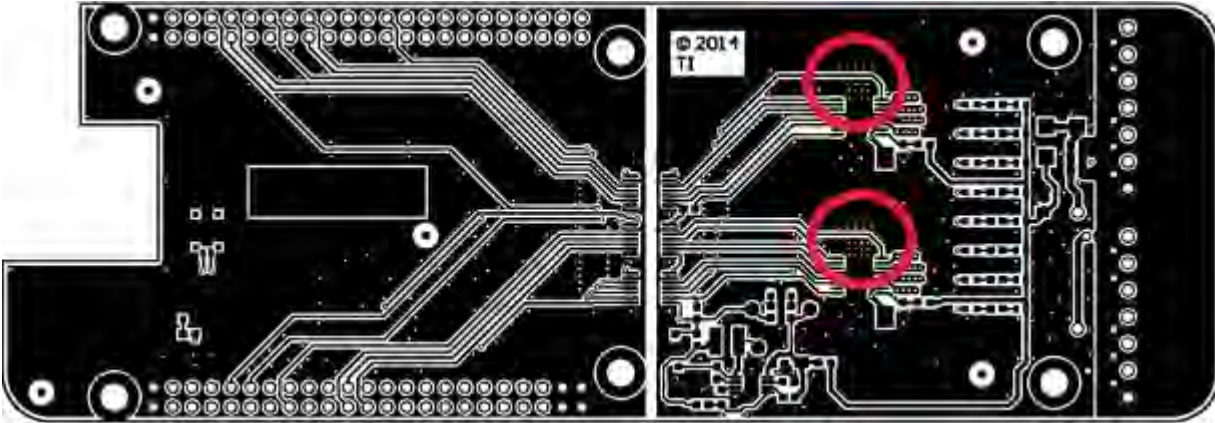


Figure 19. Top View

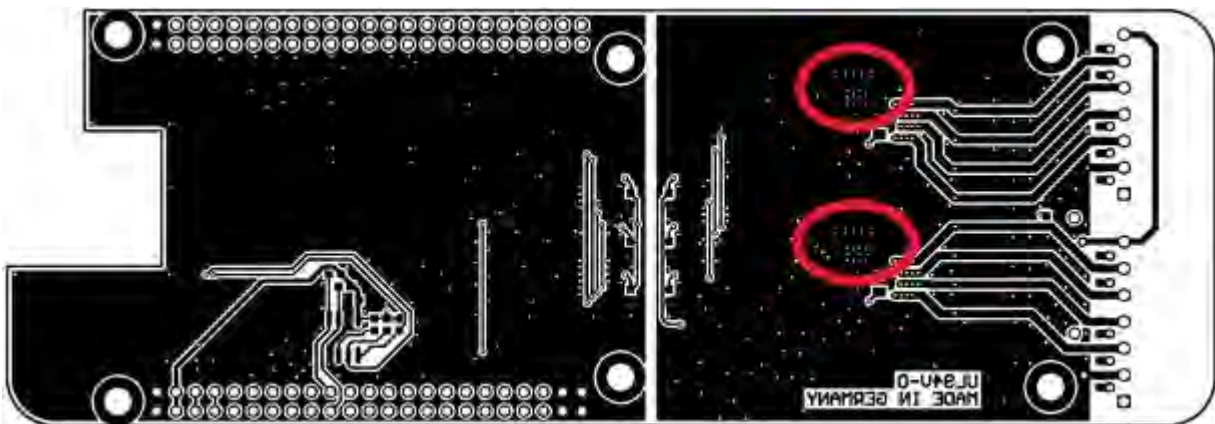


Figure 20. Bottom View

8.5 Gerber Files

To download the Gerber files, see the design files at TIDA-00320.

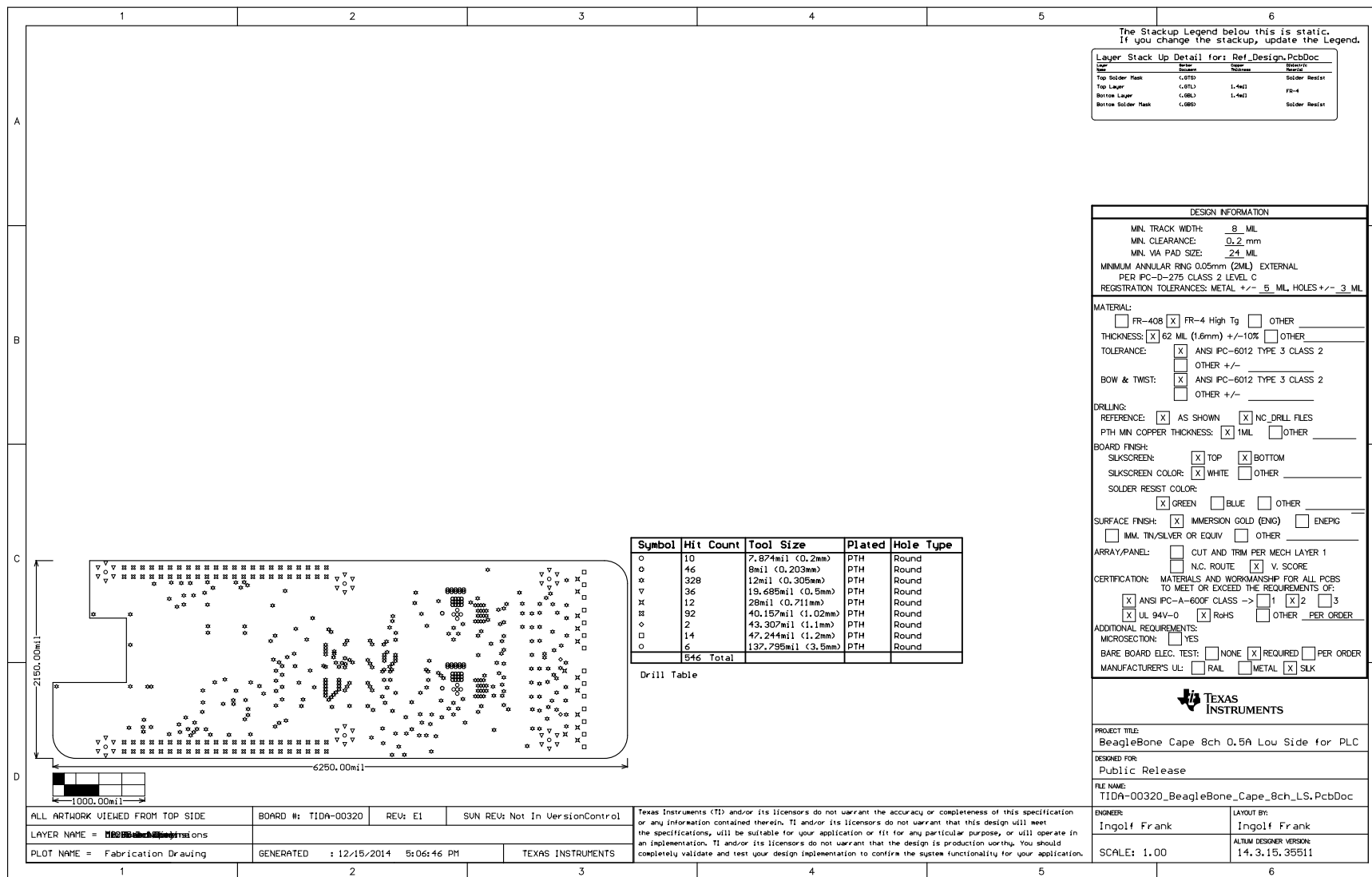


Figure 29. Fabrication Drawing

8.6 Assembly Drawings

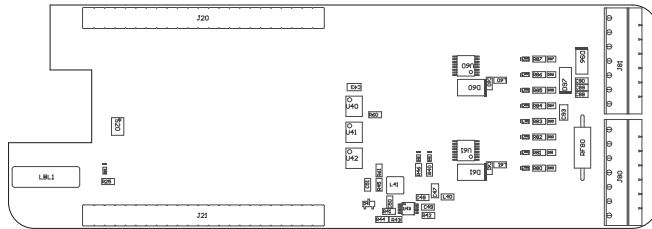


Figure 30. Top Assembly Drawing

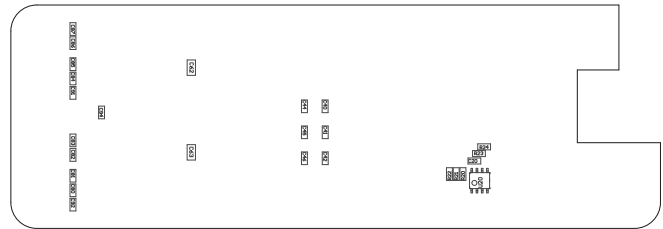


Figure 31. Bottom Assembly Drawing

8.7 Software Files

To download the software files, see the design files at [TIDA-00320](#).

9 References

1. Texas Instruments, *Low Side 0.5-A, 8-Ch Digital Output Module for PLC*, TIDA-00236 Design Guide ([TIDU470](#))
2. Charles Mauney, Texas Instruments, *Thermal Considerations for Surface Mount Layouts* ([PDF](#))

10 About the Author

INGOLF FRANK is a systems engineer in the Texas Instruments Factory Automation and Control team, focusing on PLC I/O modules. Ingolf works across multiple product families and technologies to leverage the best solutions possible for system-level application designs. Ingolf earned his electrical engineering degree (Dipl. Ing. (FH)) in the field of information technology at the University of Applied Sciences Bielefeld, Germany in 1991.

HENRIK MANNESSON is a system engineer at Texas Instruments Germany in the Factory Automation and Control team. Henrik earned his master of science in electrical engineering (MSEE) from Lunds University of Technology (LTH), Lund, Sweden.

Revision History

Changes from Original (January 2015) to A Revision	Page
• Changed preview page to completed design guide	1

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

IMPORTANT NOTICE FOR TI REFERENCE DESIGNS

Texas Instruments Incorporated ("TI") reference designs are solely intended to assist designers ("Buyers") who are developing systems that incorporate TI semiconductor products (also referred to herein as "components"). Buyer understands and agrees that Buyer remains responsible for using its independent analysis, evaluation and judgment in designing Buyer's systems and products.

TI reference designs have been created using standard laboratory conditions and engineering practices. **TI has not conducted any testing other than that specifically described in the published documentation for a particular reference design.** TI may make corrections, enhancements, improvements and other changes to its reference designs.

Buyers are authorized to use TI reference designs with the TI component(s) identified in each particular reference design and to modify the reference design in the development of their end products. HOWEVER, NO OTHER LICENSE, EXPRESS OR IMPLIED, BY ESTOPPEL OR OTHERWISE TO ANY OTHER TI INTELLECTUAL PROPERTY RIGHT, AND NO LICENSE TO ANY THIRD PARTY TECHNOLOGY OR INTELLECTUAL PROPERTY RIGHT, IS GRANTED HEREIN, including but not limited to any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI components or services are used. Information published by TI regarding third-party products or services does not constitute a license to use such products or services, or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

TI REFERENCE DESIGNS ARE PROVIDED "AS IS". TI MAKES NO WARRANTIES OR REPRESENTATIONS WITH REGARD TO THE REFERENCE DESIGNS OR USE OF THE REFERENCE DESIGNS, EXPRESS, IMPLIED OR STATUTORY, INCLUDING ACCURACY OR COMPLETENESS. TI DISCLAIMS ANY WARRANTY OF TITLE AND ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, QUIET ENJOYMENT, QUIET POSSESSION, AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHTS WITH REGARD TO TI REFERENCE DESIGNS OR USE THEREOF. TI SHALL NOT BE LIABLE FOR AND SHALL NOT DEFEND OR INDEMNIFY BUYERS AGAINST ANY THIRD PARTY INFRINGEMENT CLAIM THAT RELATES TO OR IS BASED ON A COMBINATION OF COMPONENTS PROVIDED IN A TI REFERENCE DESIGN. IN NO EVENT SHALL TI BE LIABLE FOR ANY ACTUAL, SPECIAL, INCIDENTAL, CONSEQUENTIAL OR INDIRECT DAMAGES, HOWEVER CAUSED, ON ANY THEORY OF LIABILITY AND WHETHER OR NOT TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES, ARISING IN ANY WAY OUT OF TI REFERENCE DESIGNS OR BUYER'S USE OF TI REFERENCE DESIGNS.

TI reserves the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All semiconductor products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its components to the specifications applicable at the time of sale, in accordance with the warranty in TI's terms and conditions of sale of semiconductor products. Testing and other quality control techniques for TI components are used to the extent TI deems necessary to support this warranty. Except where mandated by applicable law, testing of all parameters of each component is not necessarily performed.

TI assumes no liability for applications assistance or the design of Buyers' products. Buyers are responsible for their products and applications using TI components. To minimize the risks associated with Buyers' products and applications, Buyers should provide adequate design and operating safeguards.

Reproduction of significant portions of TI information in TI data books, data sheets or reference designs is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such altered documentation. Information of third parties may be subject to additional restrictions.

Buyer acknowledges and agrees that it is solely responsible for compliance with all legal, regulatory and safety-related requirements concerning its products, and any use of TI components in its applications, notwithstanding any applications-related information or support that may be provided by TI. Buyer represents and agrees that it has all the necessary expertise to create and implement safeguards that anticipate dangerous failures, monitor failures and their consequences, lessen the likelihood of dangerous failures and take appropriate remedial actions. Buyer will fully indemnify TI and its representatives against any damages arising out of the use of any TI components in Buyer's safety-critical applications.

In some cases, TI components may be promoted specifically to facilitate safety-related applications. With such components, TI's goal is to help enable customers to design and create their own end-product solutions that meet applicable functional safety standards and requirements. Nonetheless, such components are subject to these terms.

No TI components are authorized for use in FDA Class III (or similar life-critical medical equipment) unless authorized officers of the parties have executed an agreement specifically governing such use.

Only those TI components that TI has specifically designated as military grade or "enhanced plastic" are designed and intended for use in military/aerospace applications or environments. Buyer acknowledges and agrees that any military or aerospace use of TI components that have **not** been so designated is solely at Buyer's risk, and Buyer is solely responsible for compliance with all legal and regulatory requirements in connection with such use.

TI has specifically designated certain components as meeting ISO/TS16949 requirements, mainly for automotive use. In any case of use of non-designated products, TI will not be responsible for any failure to meet ISO/TS16949.