

TI Designs

ターンキーIO-Linkセンサ・トランスミッタ



TI Designs

TI Designsは、システムをすばやく評価してカスタマイズするために必要な、手法、テスト、デザイン・ファイルなどの基盤を提供し、開発期間の短縮に役立ちます。

デザイン・リソース

TIDA-00188	デザイン・ファイルを含む ツール・フォルダ
MSP430FR5738	製品フォルダ
ADS1220	製品フォルダ
SN65HVD101	製品フォルダ

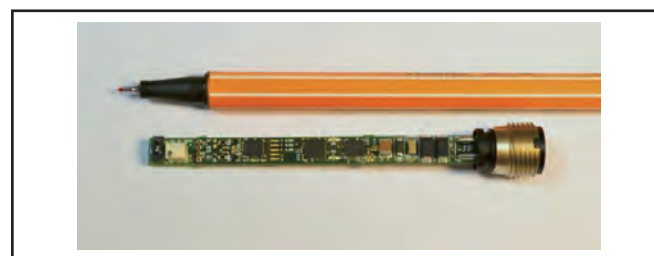
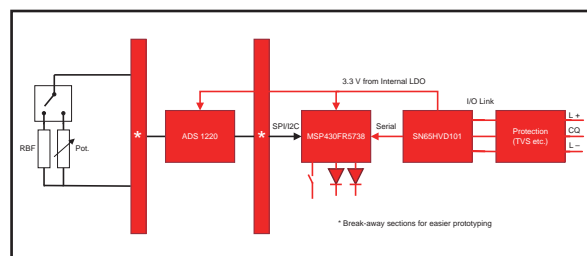
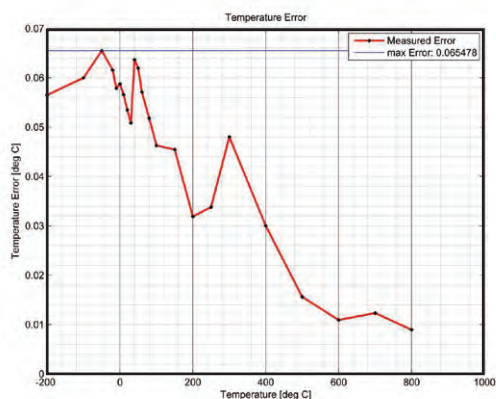
デザインの特長

- IO-Link v1.1およびv1.0の接続をすぐに利用可能 (TMGスタック、PHY、およびM12コネクタ)
- アナログおよびデジタル・センサをPCB上に内蔵
- 他のセンサとのシンプルなインターフェイス
- 消費電力：160mW(COM3モード)
- RTD性能：最大測定誤差：0.17°C(-200°C~850°C)
- 以下の規格に準拠：
IEC 61000-4-2、IEC 61000-4-4、IEC 61000-4-5、IEC 60255-5

主なアプリケーション

- ファクトリー・オートメーションとプロセス制御
- ビルディング・オートメーション
- センサおよびフィールド・トランスミッタ
- 携帯型計測機器
- フィールド・アクチュエータ

1024個の測定データ点の平均とPT100シミュレータで得られた温度との間の誤差



An IMPORTANT NOTICE at the end of this TI reference design addresses authorized use, intellectual property matters and other important disclaimers and information.

すべて商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。

資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。

製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TIDU259B 翻訳版

最新の英語版資料
<http://www.ti.com/lit/tidu259>

1 輸出管理に関する注意事項

受取人は、直接または間接に、ソフトウェアを含む（米国、EUおよびその他の輸出管理規制で定められた）任意の製品または技術データ、他に適用される国による規制で制限され機密保持契約（締結されている場合）に基づいて開示者から受領した管理対象製品、または当該のテクノロジーの直接の産物について、米国法またはその他に適用される法律で当該の輸出または再輸出が制限または禁止されている仕向地に、当該の法律によって必要とされている範囲について米国商務省および権限を有するその他の政府機関による事前の許可を受けることなく、故意に輸出または再輸出しないことに合意します。

2 IO-Linkデバイス - システム説明

このデザインは、以下の実現を目的として作成されています。

- IO-Link通信のマスタ機能をすぐに利用可能 (IODDの詳細は6節を参照)。
- デジタルおよびアナログ入力をIO-Linkのマスタ機能ですぐに取り取り可能。
- 既存センサをPCBに簡単に接続可能。
- 信号チェーン、電力、およびコンピューティングのオーバーヘッドにより、提供されるPCBで直接のプロトタイピングが可能。
- IO-Link認定と機械的/ESD/EMC制約の両方を考慮し、提供される回路図およびレイアウト・ファイルを必要に応じて最大限に再利用可能。

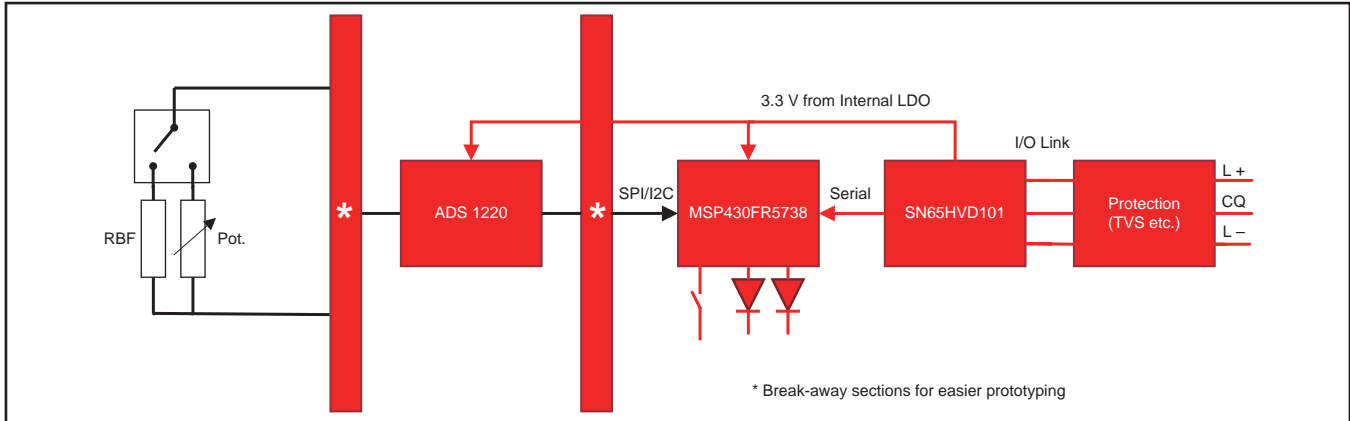


図 1. IO-Linkトランスミッタの概要 (システム・ブロック図)

2.1 IO-Linkインターフェイス

このデザインには、完全に検証済みのIO-Link PHYおよびスタックが含まれています ([1]および[2]を参照)。また、6mm幅のフォーム・ファクタを使用しています (標準のM12コネクタと互換)。3つのコンポーネントすべてを使用して、IO-Linkデバイスの開発をすぐに開始できるようにすることを目的としています。

2.2 IO-Linkセンサ入力

このデザインには、以下が含まれています。

- ポテンショメータ：ユーザーはこれを使用してアナログ入力の変化をシミュレートし、IO-Linkマスタに結果を表示可能。
- 高精度抵抗：簡単に校正が可能 (ディープ・スイッチで選択)。
- プッシュ・ボタン：ユーザーはこれを使用してデジタル入力の変化をシミュレートし、IO-Linkマスタに結果を表示可能。
- コネクタ：24ビットA/Dコンバータ(ADC) (ADS1220)とポテンショメータの間に配置され、アナログ・センサを容易に接続可能。
- ヘッド：既存の電子回路を使用して独自のセンサに簡単にインターフェイスが可能。

2.3 選択された集積回路

システムでは以下のICを使用しています。

- **SN65HVD101**：IO-Linkバスへのインターフェイスとして機能する専用製品であり、OSIモデルの完全な物理層 (PHY) のサポート、およびシステム内の他の部分に電源を供給する低ドロップアウト・レギュレータ(LDO)を提供。
- **MSP430FR5738**：組み込みのFRAM (Ferroelectric Random Access Memory) 不揮発性メモリを備えたデバイス・ファミリの製品であり、フィールド更新およびログ記録のための独自の機能を提供。
- **ADS1220**：マイコン(MCU)からのリードバック用にSPI (Serial Peripheral Interface)を備えた低電力ADC。

3 IO-Linkインターフェイスの概要

注意：IO-Linkデバイス・プロジェクトを一から構築する場合に役立つように、ここではIO-Linkインターフェイスの簡単な概要を示しています。この節の内容は、参考文献の1つと見なされるものではありません。プロジェクトの初期段階が完了した後は、指定の参考文献だけを使用してください。

IO-Link⁽¹⁾は、産業用オートメーションおよび制御アプリケーションで使用される、単純で低コストなポイント・ツー・ポイント・プロトコル(IEC 61131-9として標準化)です。

IO-Linkでは、マスタが複数のポートを持ち、各ポートに固有のデバイスを接続できると明確に規定されていますが、このドキュメントでは、誤解を招く“ポート”という用語を含んだ“マスタ・ポート”という名称を避け、マスタとデバイス間の接続として言及します。

3.1 IO-Linkの物理コネクタ

IO-Linkコネクタのピン配置は、IEC60947-5-2 [4]に基づき、IO-Link Interface and System Specification v1.1.2 [1]で規定された拡張が加えられています。図2に、このプロジェクト用に選択されたM12コネクタの外観図を示します ([4]からの抜粋)。

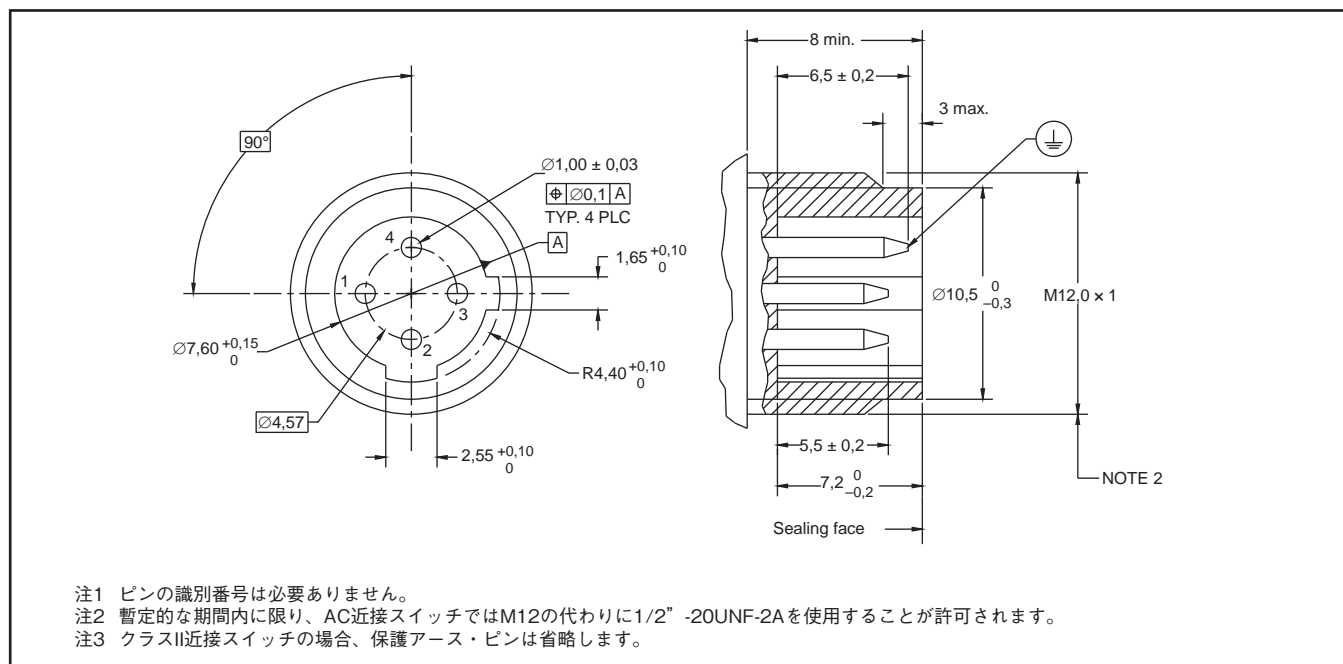


図 2. M12 \varnothing 4ピン統合コネクタ (IEC 60947.5.2で定義)

(1) IO-Link™は、IO-Link Communityの商標です。この情報は、この国際規格を使用するユーザーの便宜のために提供されるものであり、商標保持者およびその製品に対するIECの承認を意味するものではありません。この規格への準拠に際して、IO-Link™の登録ロゴの使用は必須ではありません。IO-Link™の登録ロゴを使用するには、IO-Link Communityから許可を得る必要があります。[1]

図3に、電氣的接続を示します ([1]からの抜粋)。

Pin	Signal	Designation	Remark
1	L+	Power supply (+)	See Table 7
2	I/Q P24	NC/DI/DO (port class A) P24 (port class B)	Option 1: NC (not connected) Option 2: DI Option 3: DI, then configured DO Option 4: Extra power supply for power Devices (port class B)
3	L-	Power supply (-)	See Table 7
4	C/Q	SIO/SDCI	Standard I/O mode (DI/DO) or SDCI (see Table 6 for electrical characteristics of DO).
5	NC N24	NC (port class A) N24 (port class B)	Option 1: Shall not be connected on the Master side (port class A). Option 2: Reference to the extra power supply (port class B)

NOTE M12 is always a 5 pin version on the Master side (female) .

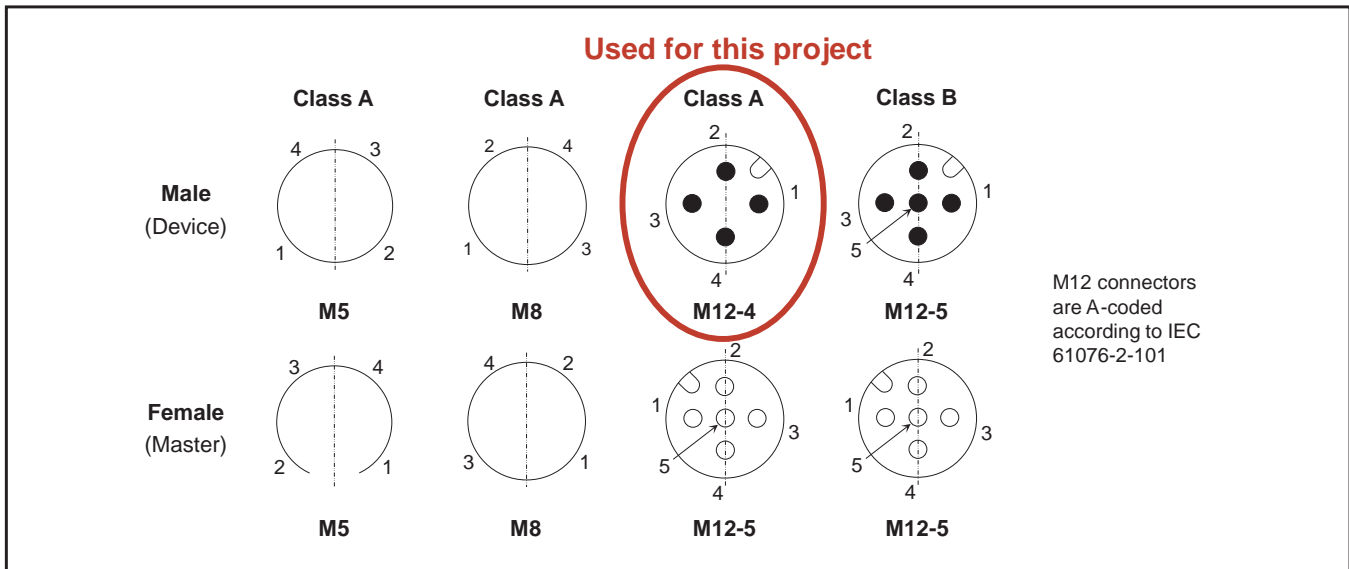


図 3. M12-4ピンのレイアウトと配置

[1]に従って、現在のプロジェクトではポートのクラスA定義だけを使用していることに注意してください。

ケーブルも[1]で指定され、20mの最大長、および関連する最大抵抗と最大容量が規定されています。

3.2 IO-Linkデバイスの電力

IO-Linkデバイス(クラスA)は、L+ラインから電源が供給され、18~30Vの電圧 ([1]を参照) から最大200mAを消費できます (詳細は [1]を参照)。IO-Linkデバイスは、電源が18Vのスレッシュホルドを超えてから300ms以内に稼働状態となる必要があります ([1]を参照)。

3.3 IO-Linkの通信層

IO-Linkの通信には、2つのモードがあります。1つ目のモードは、バックアップの擬似静的モードであり、IEC61131-2 [5]に規定される標準I/O (SIO) モードとの後方互換性を確保しています。2つ目のモードは、[1]で定義される双方向通信 (SDCI) に対して新しく定義された動的モードです。図4に簡単な概要を示します ([1]および[5]からの抜粋)。

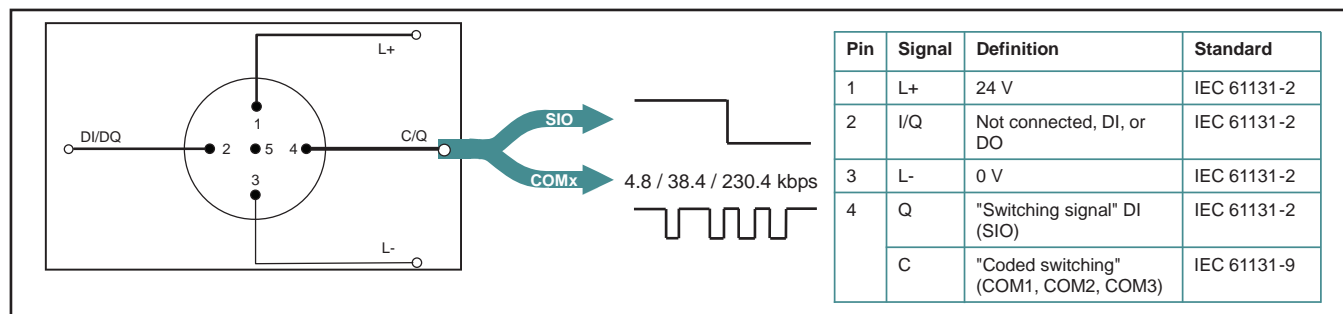


図 4. SIOとSDCI (IEC61131-9とIEC61131-2)

SIOモードとSDCIの間の切り替えは、マスタによって開始されます。

マスタは、デバイスにウェイクアップ・コマンドを発行します (CQラインを80μsにわたって500mA以上 (IQPKHM) で短絡[1])。デバイスは、500μs(TREN) 以内に通信の準備を完了する必要があります。

ウェイクアップ要求 (WURQ) の後、マスタは時間TREN [1]の間、デバイスがイネーブルになるのを待ちます。その後、マスタはテスト・メッセージ(Mシーケンス・タイプ0)を送信することにより、デバイスでサポートされる最大送信レートの識別を試みます。詳細については、3.3.2節「データ・リンク層」を参照してください。

ウェイクアップの試行に続いて、通信が失敗した場合には、デバイスは60ms~300ms(TDSIO [1]) の時間枠内でSIOモードに戻ります。通信が成功した場合は、フレーム基準で実行されます。

3.3.1 物理層

3.3.1.1 ハンドシェイク

マスタは、デバイスにウェイクアップ・コマンドを発行します (CQラインを80μsにわたって500mA以上で短絡 (IQPKHM)[1])。デバイスは、500μs(TREN) 以内に通信の準備を完了する必要があります。

マスタからの短絡は、マスタがCQライン上で駆動する電流サージをデバイスが検知できるように、CQラインをデバイスからの駆動と逆の値に短絡することで行われます (図5を参照)。

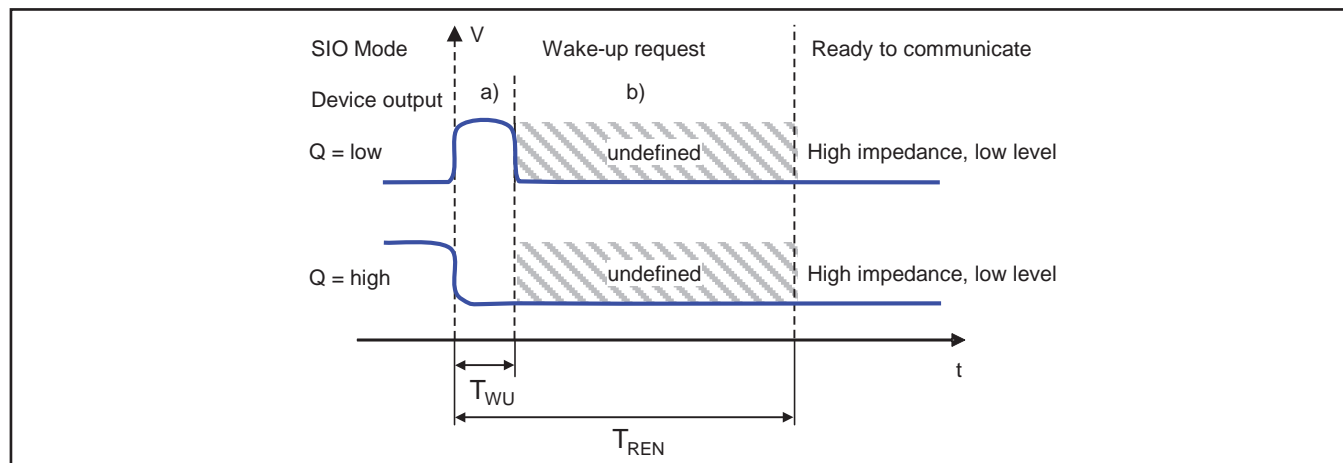


図 5. ウェイクアップ要求

3.3.1.2 物理層 - 変調

通信は、11ビット(1スタート・ビット + 8ビット・データ + 1ビット・パリティ + 1 STOPビット)で構成されるUART(Universal Asynchronous Receiver or Transmitter)フレームによって行われます。

各ビットは、CQライン上で単純なNRZ(Non-Return-to-Zero)を使用して送信されます(論理 '0' はCQとL-の間の24V、論理 '1' はCQとL-の間の0V)。

各ビットの持続時間は送信レート(マスタによって送信されるテスト・メッセージをデバイスで検出できる最大の送信レート)によって定義されます。図6および図7にアイ・ダイアグラムを示します。

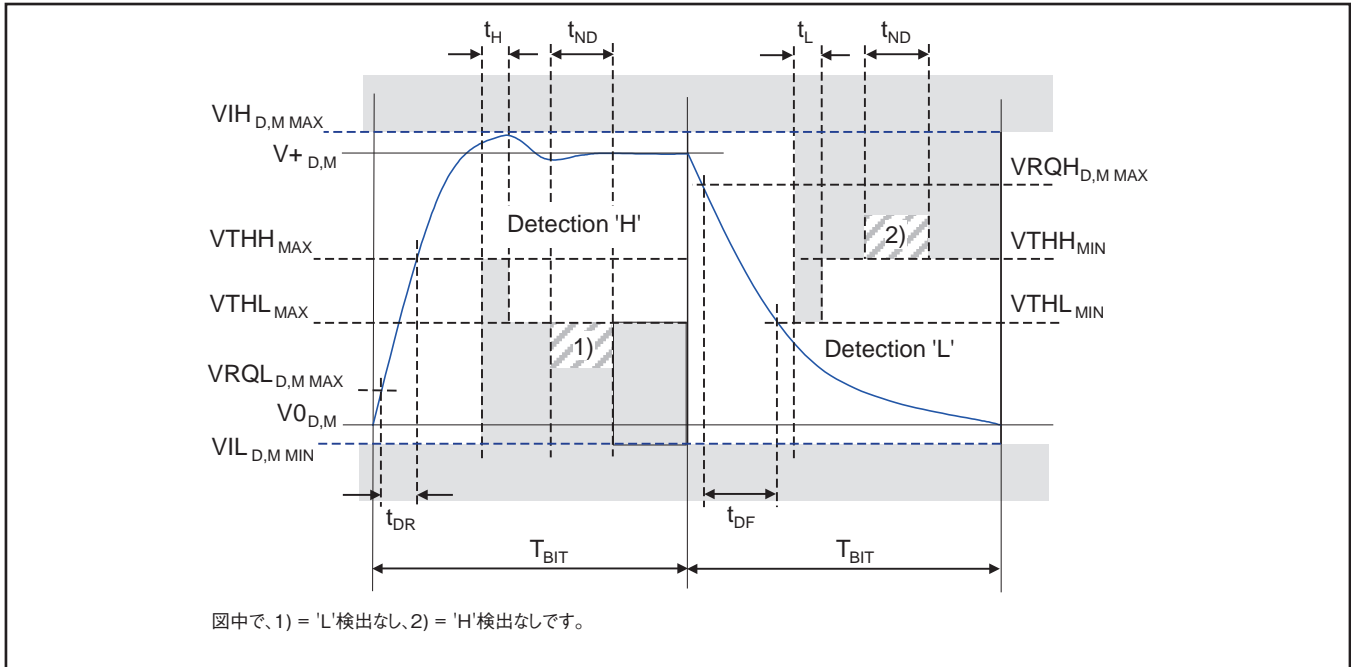


図 6. 'H' および 'L' 検出のアイ・ダイアグラム

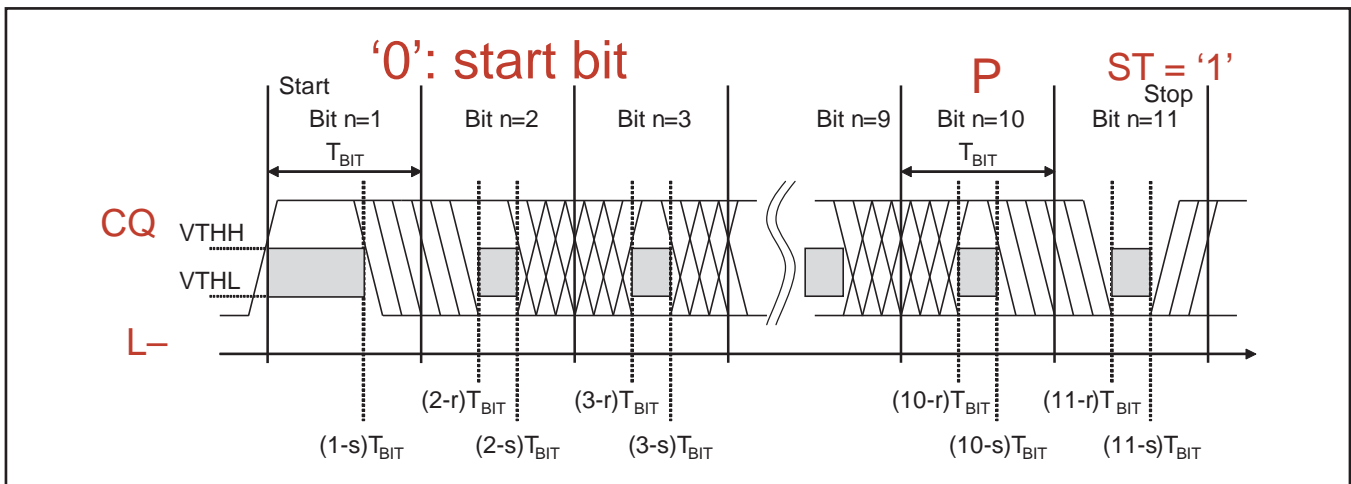


図 7. UARTフレームの正確な検出のアイ・ダイアグラム

3.3.2 データ・リンク層

3.3.2.1 送信フレーム

マスタとそれに関連付けられたデバイスとの間の通信は、[1]で定義された“メッセージ・シーケンス(Mシーケンス)時間”(tM-sequence)と呼ばれる固定スケジュールで実行されます。図8に抜粋を示します。

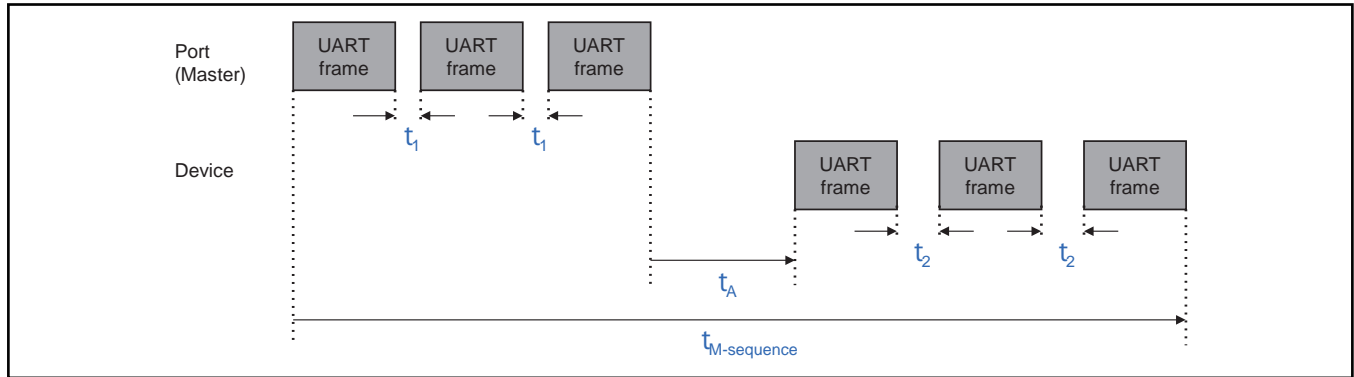


図 8. Mシーケンスのタイミング

3.3.2.2 送信レートのネゴシエーション

WURQの後、マスタはMシーケンスTYPE_0でテスト・メッセージを送信します。デバイスは、それを解読できた場合、 t_A 以内にマスタに応答する必要があります(図9および図10を参照)。

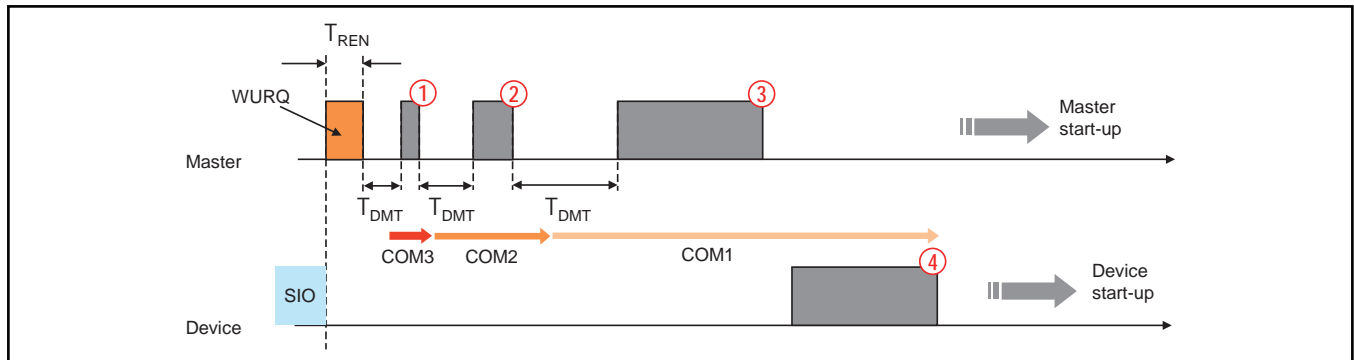


図 9. 送信レート・ネゴシエーションの成功例

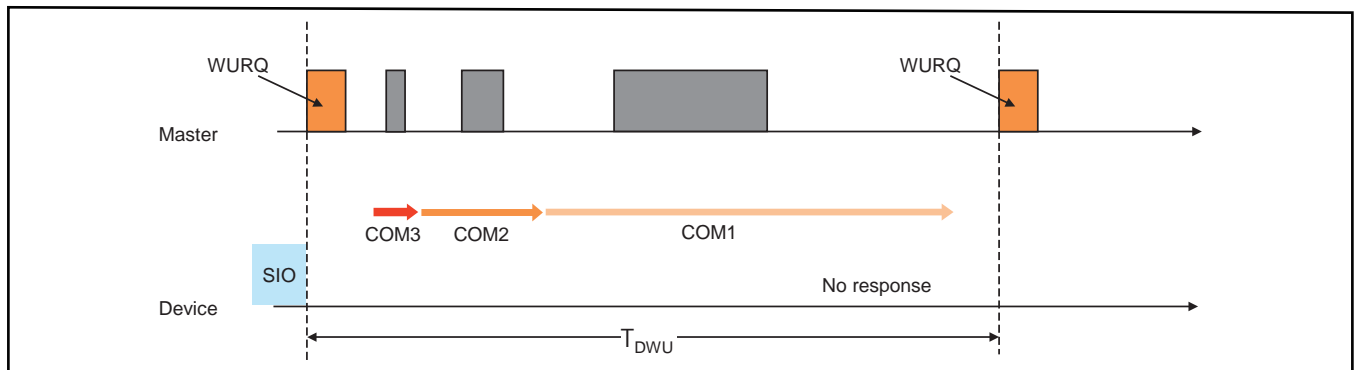


図 10. 送信レート・ネゴシエーションの失敗例

3.3.2.3 データ・リンク層のサービス

通信が確立されると、マスタとデバイスは、表1に示される各サービスにアクセスできます。

表 1. マスタおよびデバイス内のサービス割り当て

SERVICE NAME	MASTER	DEVICE
DL_ReadParam	R	I
DL_WriteParam	R	I
DL_ISDUTransport	R	I
DL_ISDUAbort	R	I
DL_PDOutputUpdate	R	
DL_PDOutputTransport		I
DL_PDInputUpdate		R
DL_PDInputTransport	I	
DL_PDCycle	I	I
DL_SetMode	R	
DL_Mode	I	I
DL_Event	I	R
DL_EventConf	R	
DL_EventTrigger		R
DL_Control	I / R	R / I
DL_Read	R	I
DL_Write	R	I
Key (See ⁽¹⁾⁽²⁾)		
I	Initiator of service	
R	Receiver (responder) of service	

(1) I : (上の層に対して)サービスを開始

(2) R : (上の層からの)サービスを受信(応答)

3.3.3 アプリケーション層

通信が確立されると、マスタは、図11に示すように、デバイスのアプリケーション層の構造およびサービスにアクセスできます。

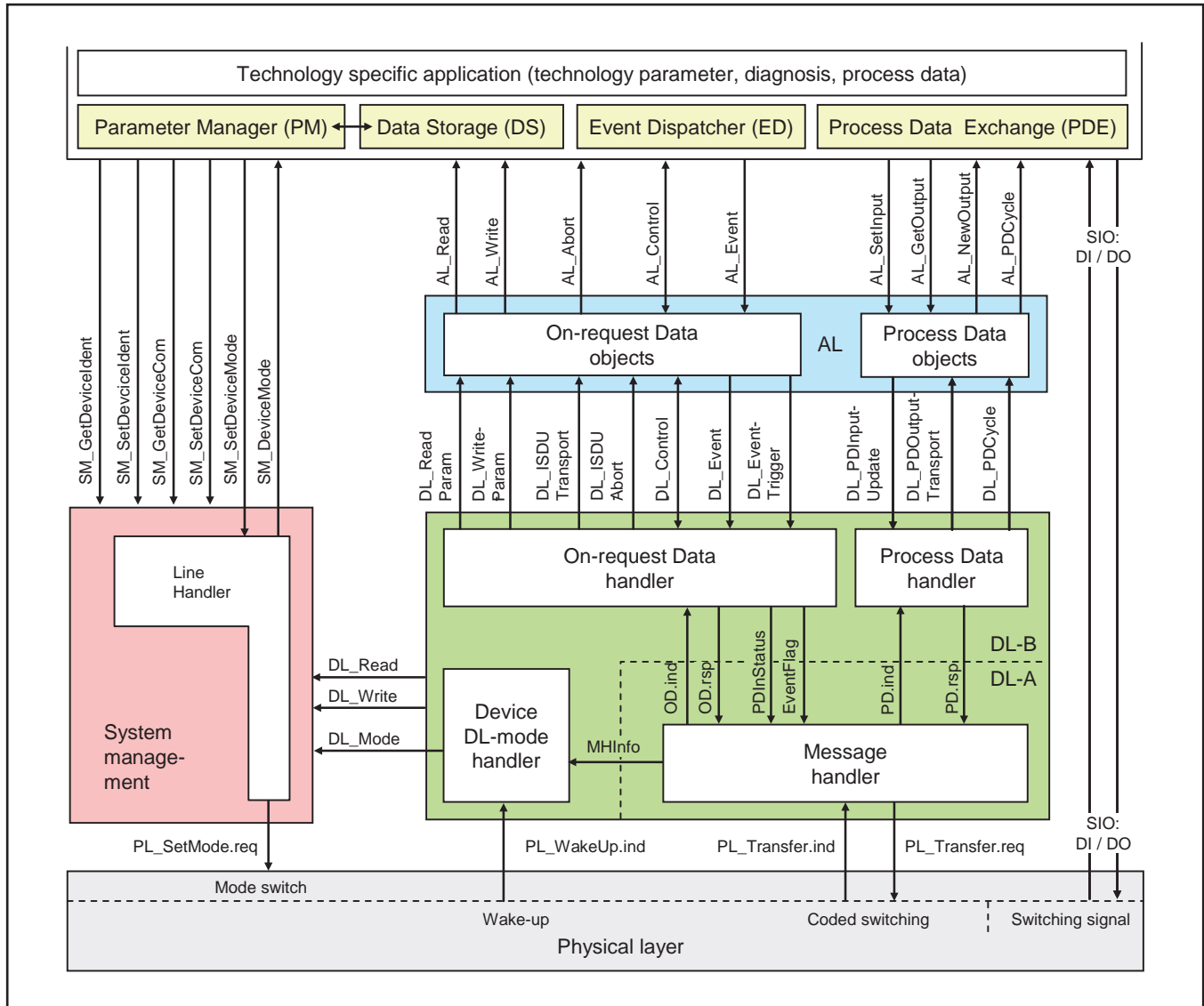


図 11. デバイスのアプリケーション層の構造およびサービス

4 Block Diagram

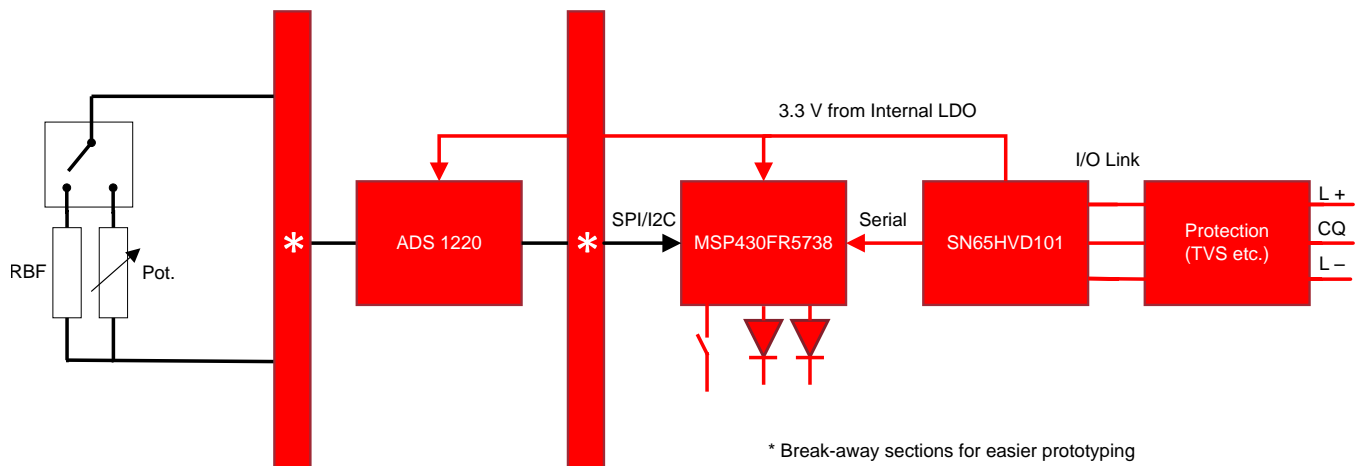


Figure 12. IO-Link Sensor Block Diagram

For more information on each of these devices, see the respective product folders at www.ti.com.

4.1 Highlighted Products

The system is leveraging the following semiconductor integrated circuits:

- **SN65HVD101** is a dedicated product which is an interface product for IO-Link buses which provides a full PHY support and LDO to power the rest of the system.
- **MSP430FR5738** from the family of devices featuring embedded FRAM nonvolatile memory which brings unique capabilities for field updates and logging.
- **ADS1220**, which offers low power ADC with SPI for read back from the MCU.

The design comes with:

- Potentiometer, which is fitted to enable easy simulation of analog sensor and read-back through IO-Link
- Precision resistor to enable easy calibration (selectable through deep switch)
- Push button, which is fitted to enable easy simulation of digital sensor and read-back through IO-Link
- Header, which is fitted to enable easy connection of smart sensor for read-back through IO-Link (SW adaptation will likely be needed)

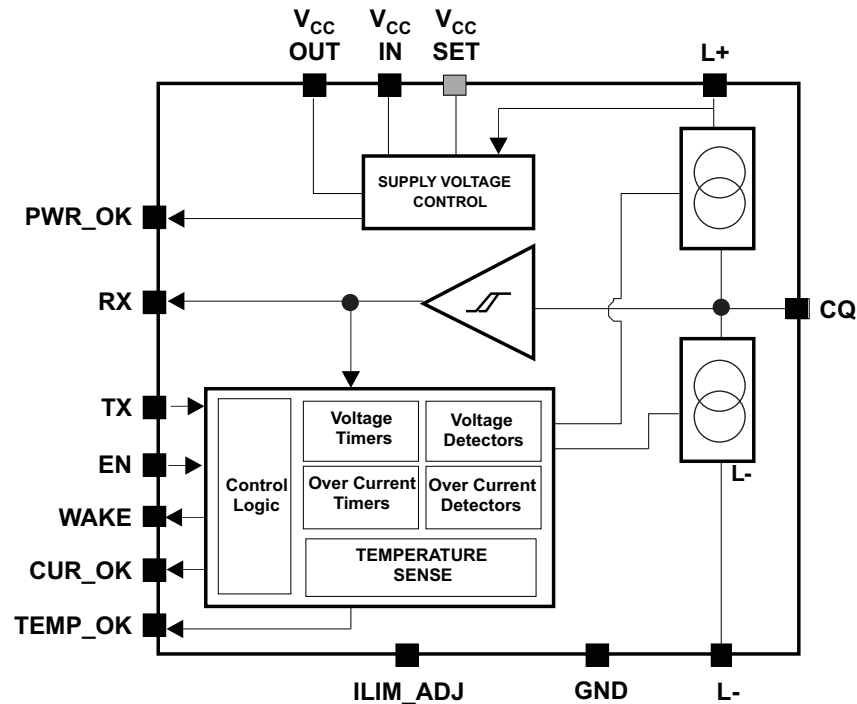
4.2 SN65HVD101


Figure 13. SN65HVD101 (IO-Link PHY for Device Nodes) Block Diagram

- Configurable CQ output: push-pull, high-side, or low-side for SIO mode
- Remote wake-up indicator
- Current limit indicator
- Power-good indicator
- Overtemperature protection
- Reverse polarity protection
- Configurable current limits
- 9-V to 36-V supply range
- Tolerant to 50-V peak line voltage
- 3.3-V and 5-V configurable integrated LDO
- 20-pin QFN package (4.0 mm x 3.5 mm)

4.3 MSP430FR5738

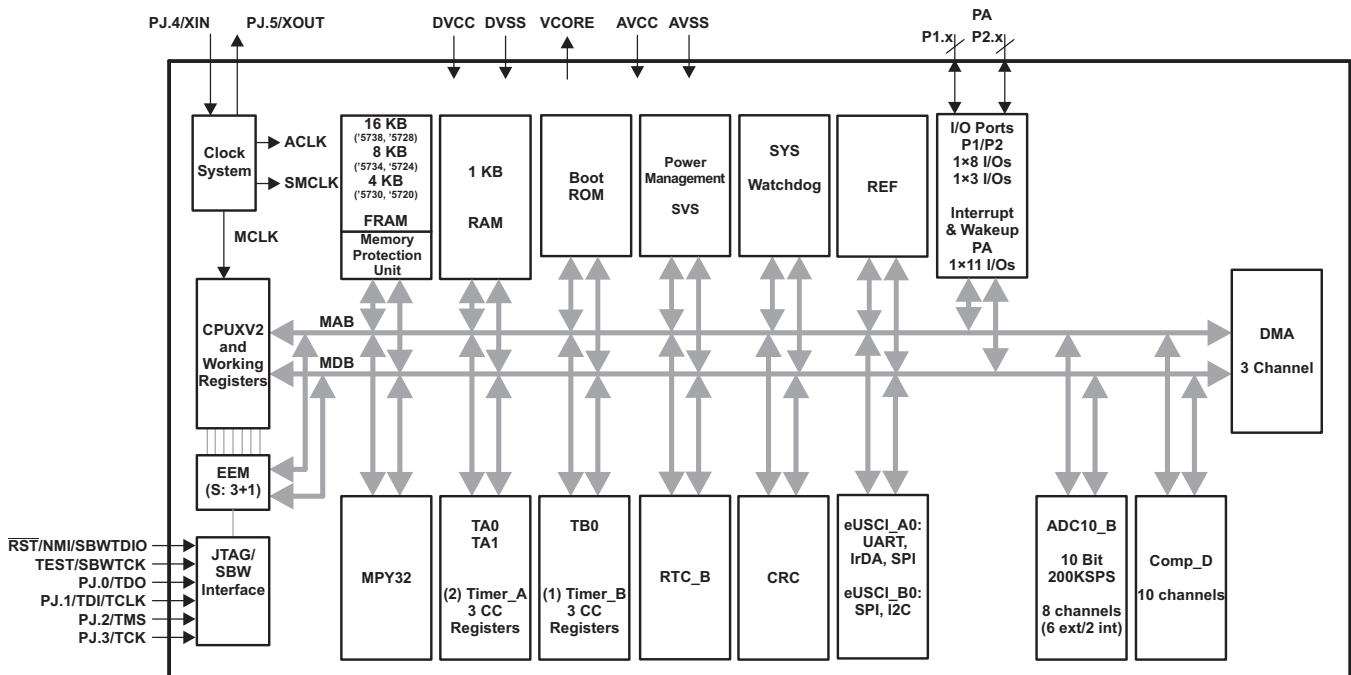


Figure 14. MSP430FR5738 Block Diagram

Embedded MCU 16-Bit RISC Architecture Up to 24-MHz Clock

- Wide supply voltage range (2 V to 3.6 V)
- Optimized ultra low power modes (81.4 μ A/MHz in active and 320 nA in shutdown (LPM4.5))
- Ultra-low-power ferroelectric RAM
- 16-KB nonvolatile memory
- Ultra-low-power writes
- Fast write at 125 ns per word (16KB in 1 ms)
- Built-in error coding and correction (ECC) and MPU
- Universal memory = program + data + storage
- 10^{15} write cycle endurance

Intelligent Digital Peripherals

- 32-bit hardware multiplier (MPY)
- 3-channel internal DMA
- RTC with calendar and alarm functions
- 16-bit Cyclic redundancy checker (CRC)
- High-performance analog
- Enhanced serial communication

4.4 ADS1220

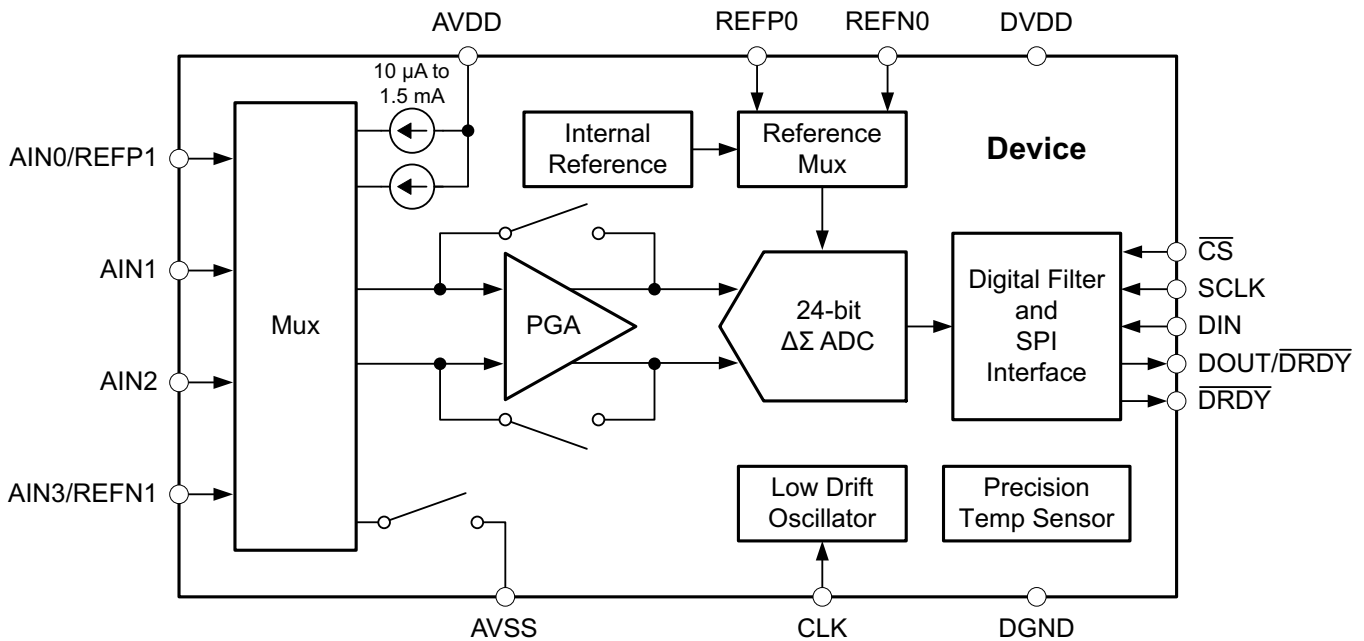


Figure 15. ADS1220 Block Diagram

- Low current consumption:
 - Duty-cycle mode: 120 μ A
 - Normal mode: 415 μ A
- Wide supply range: 2.3 V to 5.5 V
- Programmable gain: 1 V/V to 128 V/V
- Programmable data rates: up to 2 kSPS
- Simultaneous 50-Hz and 60-Hz rejection at 20 SPS with a single-cycle settling digital filter
- Low-noise PGA: 90 nV_{RMS} at 20 SPS
- Dual-matched programmable current-sources: 10 μ A to 1500 μ A
- Internal 2.048-V reference: 5 ppm/°C (typical) drift
- Internal oscillator: 2% (maximum) accuracy
- Internal temperature sensor
- Two differential or four single-ended inputs
- SPI™-compatible interface
- Package: 3.5 mm × 3.5 mm × 0.9 mm QFN

5 Circuit Design and Component Selection

5.1 PCB Area

Head transmitters have a standardized footprint defined by the connector sizes: M5, M8, M12.

This design uses the industry standard size M12 connector and enables the PCB width to fit with a pipe of a similar diameter as the connector.

The design uses the PCB divided in four different functional areas to provide an easier starting point for new projects, as well as rapid prototyping with breakaway sections.

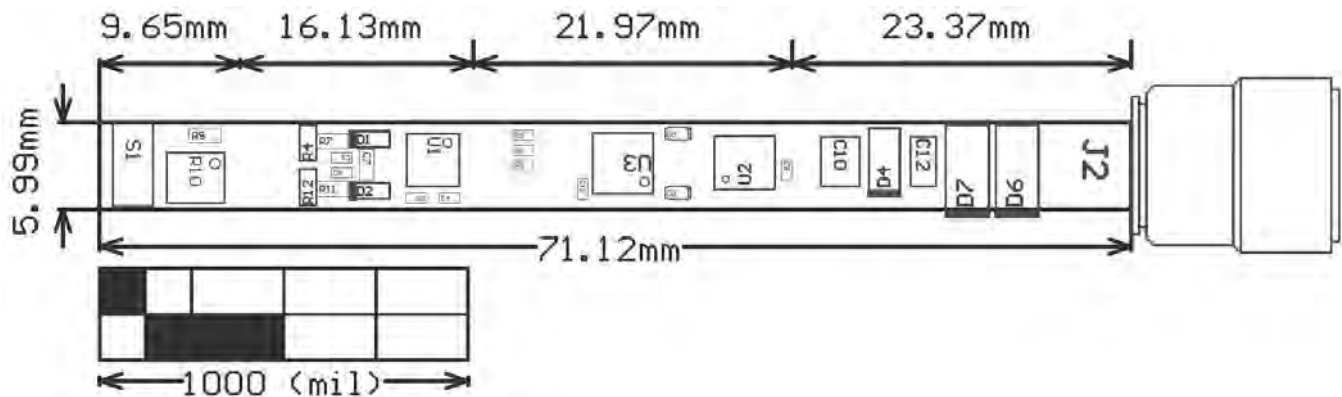


Figure 16. Full System PCB Dimensions

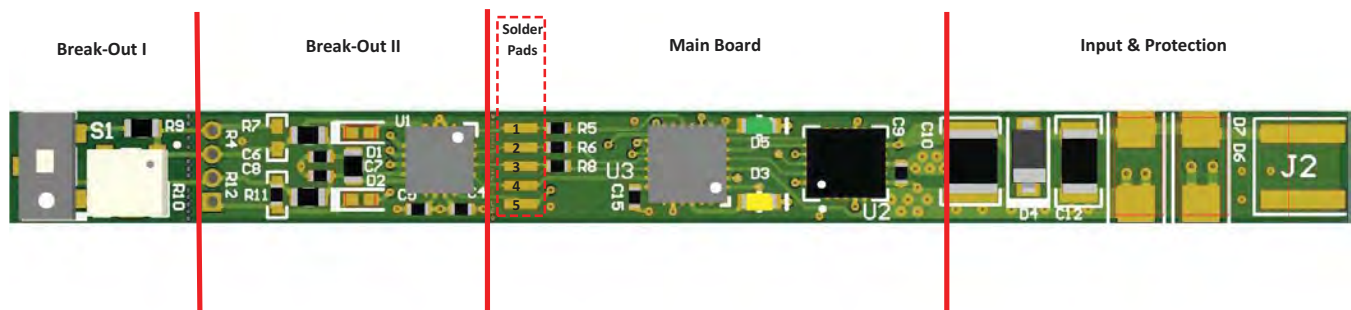


Figure 17. Functional Sections of the PCB

5.2 Power and Protection Design

The IO-Link device design is powered off the IO-Link interface by way of the L+ (24-V nominal) and L- (GND) terminals. According to the IO-Link interface and system specification [1], an IO-Link device must be able to operate with a supply voltage ranging from 18 V to 30 V.

The IO-Link PHY SN65HVD101 (U2) used in the design operates with supply voltages from 9 V to 30 V, providing a lot of margin compared to 18 to 30 V. The IO-Link PHY SN65HVD101 integrates a linear voltage regulator powering internal parts of the PHY itself. The linear voltage regular also powers the MSP430 (U3) device and the ADS1220 (U1) device. The linear regulator is set-up to provide a 3.3-V rail (VCC) on its VCCOUT-terminal by grounding the VCCSET-terminal (terminal 1 of U2).

The IO-Link PHY (U2) provides three indicator outputs (PWR_OK, CUR_OK, and TEMP_OK) which signal fault conditions of the power supply (undervoltage condition of VCC or L+). The three indicator outputs also signal overcurrent in or out of the CQ-pin. The three indicator outputs also signal over-temperature of the die by driving the respective terminals to a logic LOW state, while the outputs have a high impedance under normal operating conditions. The indicator output signals are fed into the MSP430 (U3) device.

The L+ and CQ pins of the SN65HVD101 device offer a $\pm 40\text{-V}$ absolute maximum steady voltage rating, which is furthermore extended to $\pm 50\text{ V}$ for transients with pulse width less than $100\ \mu\text{s}$.

The IO-Link PHY (U2) margin and the ability of the PHY to withstand even negative voltages ease the design because of the robustness of the solution against ESD and Burst and Surges as defined in the Standards IEC 61000-4-2, IEC 6100-4-4, and IEC 6100-4-5.

The design uses an additional transient protection circuitry consisting of the TVS diodes (D6, D7, D8) and bypass capacitors C10, C12 and C13 to be in compliance with Standards IEC 61000-4-2, IEC 6100-4-4, and IEC 6100-4-5.

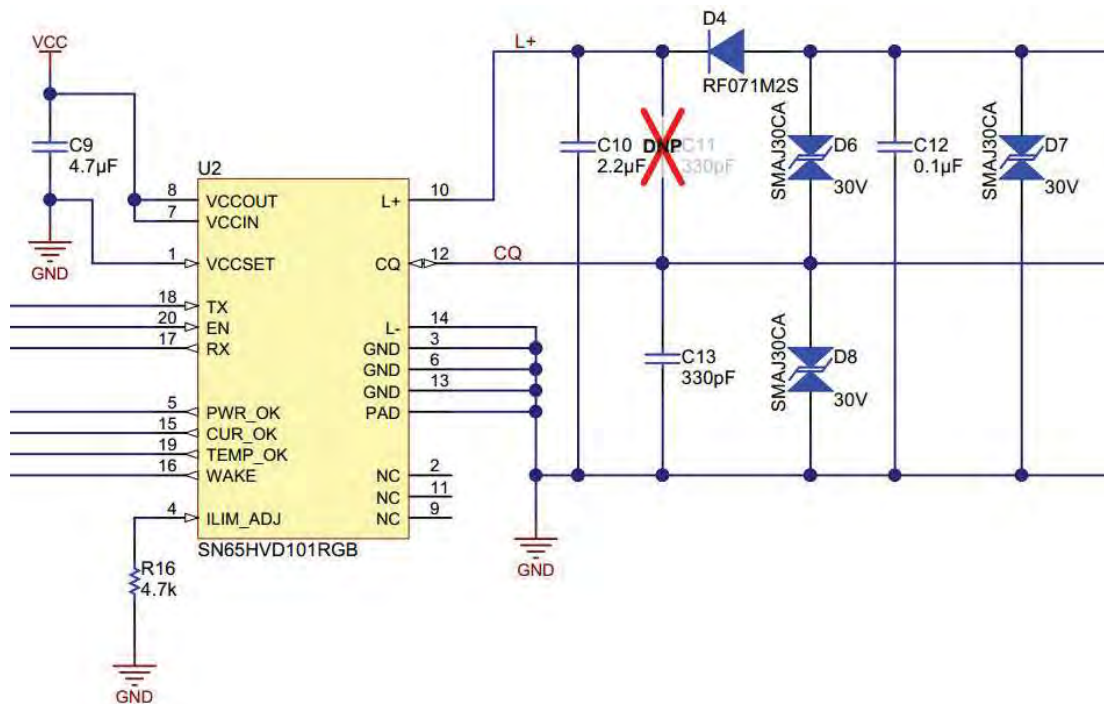


Figure 18. Power and Data Interface with Protection Circuitry

The IO-Link specification does not require a surge transient test (IEC61000-4-5) because of the limitation of maximum cable length to 20 meters. However, the use of the design in applications using digital input or output and with cable lengths exceeding 30 m requires surge testing. The design uses the assumption that the surge test is the most severe of the three transient test cases. The design also uses the assumption that the surge test is the test with the highest energy level. Therefore, special care was used in selecting the right transient voltage suppressor (TVS) as a clamping device.

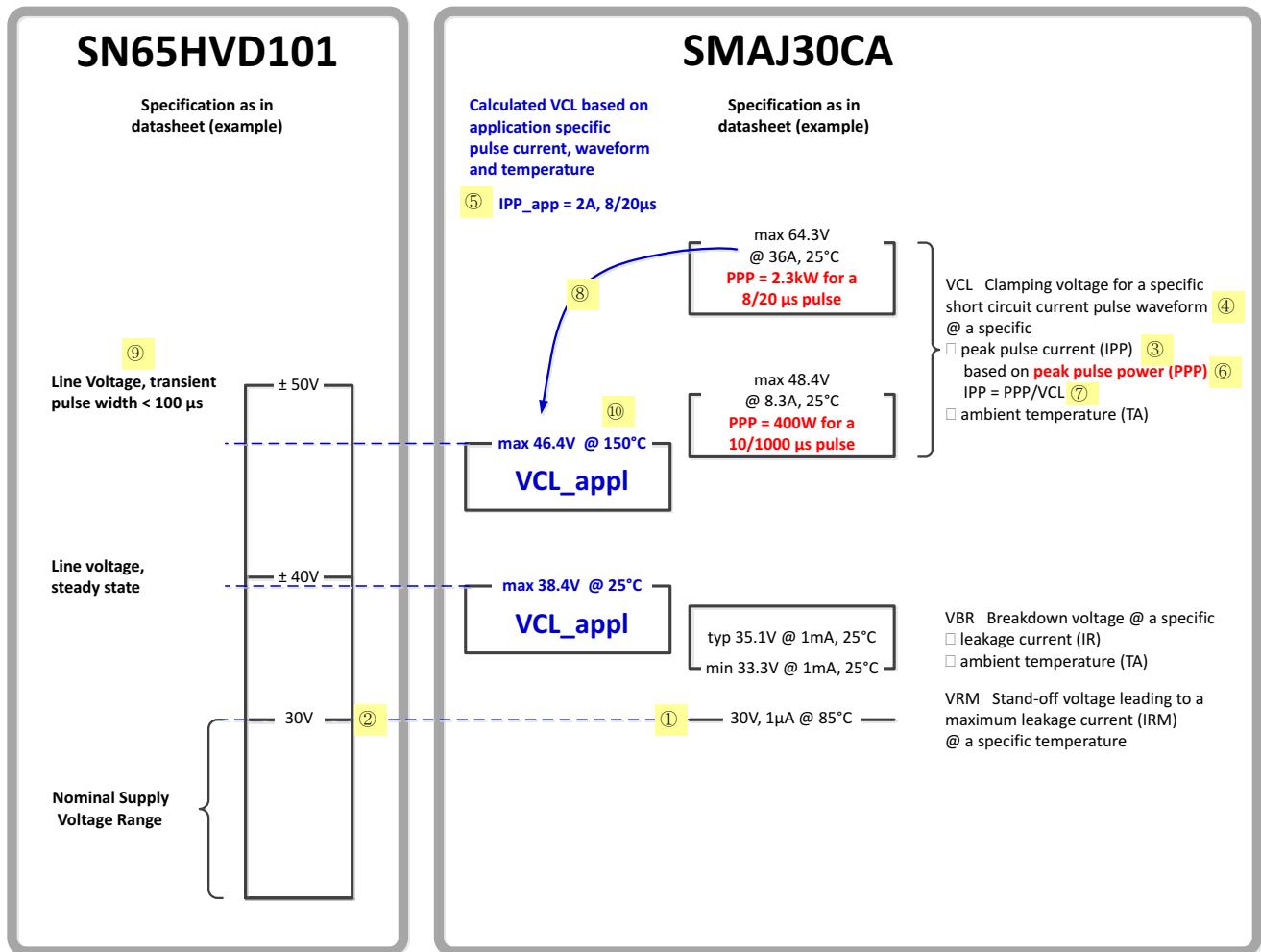


Figure 19. SN65HVD101 Device and SMAJ30CA Device

In order to choose TVS Diodes appropriately, three requirements must be satisfied:

1. VRM, the TVS' stand-off voltage ① (the voltage when the TVS does not conduct) must be greater than or equal to the transceiver's maximum signal and supply voltage of 30 V ② to prevent the TVS from conducting during normal operation.
2. IPP, the TVS' peak pulse current ③ at the short circuit pulse waveform ④ must be greater than the application-specific peak pulse current IPP_app ⑤. The open circuit voltage of the combination wave generator (surge generator) and the impedance of the generator and the coupling device determines the application-specific peak pulse current IPP_app ⑤. Most TVS' specify the IPP for a 10/1000 μ s pulse only. However, the pulse used for the surge test is mostly an 8/20 μ s pulse. In this case, the pulse rating curve in the datasheet can be used to derive the peak pulse power PPP ⑥ for a specific pulse width of 20 μ s. IPP can then be derived ⑦ by dividing the PPP by the estimated clamping voltage VCL at this IPP level. The VCL for an 8/20 μ s pulse will be much larger than the VCL for the 10/1000 μ s pulse. It is recommended to contact the TVS manufacturer when estimated values are used unless there is a large margin between IPP and IPP_app.
3. When the TVS conducts and becomes low-impedance to shunt the surge current to ground, the TVS' application-specific clamping voltage VCL_appl ⑧ must be lower than the transceiver's maximum transient stand-off voltage ⑨ of ± 50 V. To obtain the application specific clamping voltage, the TVS' VCL needs to be reduced according to the reduction of the TVS' IPP to the application specific IPP_app. Some data sheets provide the differential resistance for the specific pulse waveform, which helps greatly to determine the reduction of the TVS' IPP to the application specific IPP_app. If differential resistance for the specific pulse waveform is not supplied and if there is not enough margin, the TVS manufacturer should be contacted. The VBR and VCL voltages in the TVS' data sheets are often given for an ambient temperature of 25°C only. Because those voltages usually have a positive temperature coefficient, the VCL values need to be corrected accordingly to ensure that requirement 3. is fulfilled even at the maximum ambient temperature of the application specific case and under the conditions of multiple repetitive surges which heat up ⑩ the TVS. The temperature coefficient is given in most data sheets.

For the special case of this small size IO-Link device design, a 1.2 μ s/50 μ s 1 kV pulse applied by way of a 500 Ω impedance has been considered according to IEC 60255-5. The resulting peak current through the clamping device (TVS) is then roughly $1 \text{ kV} / 500 \Omega = 2 \text{ A}$. The SMAJ30CA device is a bidirectional TVS and fulfills the above mentioned requirements by clamping voltages with both polarities. The SMAJ30CA device has a stand-off voltage VRM of 30 V, a minimum breakdown voltage VBR of 33.3 V, and an application specific clamping voltage of roughly 46.3 V at the 2-A current level and at a junction temperature of 150°C.

In case of other end applications, the more severe requirements of IEC61000-4-5 (using coupling impedances of 40 Ω + 2 Ω) may be applicable. The open circuit voltage of this surge pulse has the same 1.2 μ s/50 μ s double exponential waveform, resulting in an 8/20 μ s short circuit current shape of the combination wave generator used in this test. The reduced 40 Ω + 2 Ω coupling impedance (compared to the 500 Ω) increases the peak current at a 1 kV surge level to roughly $1 \text{ kV} / 42 \Omega = 23.8 \text{ A}$.

D4 provides an additional level of reverse polarity protection. While the SN65HVD101 device can withstand negative voltages up to -40 V (in steady state) and up to -50 V (transient) as expressed previously, the diode avoids the supply voltage bypass capacitor C10 being discharged during a negative pulse. The diode enables that the design will recover much faster from such a negative surge event.

5.3 Front-End Design

For guidance on designing the input filtering of the ADS1220 device, please refer to its data sheet [7].

5.4 Design Your Own Sensor Application

5.4.1 Hardware

5.4.1.1 Connecting Your Own Sensors to the IO-Link Demo Board

The design of the IO-Link Demo board is to either use the on-board circuit for connecting RTDs or connect your own digital sensors using the SPI/I²C interface from the MSP430FR5738 device. The SPI/I²C interface uses the eUSCI_B0 Module of the MSP430FR5738 device. In synchronous mode, the eUSCI_B0 connects the device to an external sensor by way of three terminals: UCB0SIMO, UCB0SOMI, and UCB0CLK. In I²C mode, the eUSCI_B0 module provides an interface between the MSP430FR5738 device and I²C-compatible sensors by way of two terminals: UCB0SDA and UCB0SCL. To connect other sensors, you need to break away the part of the board with the ADS1220 device (see [Section 5.4.1.2](#)). After breaking the ADS1220 board, the eUSCI_B0 terminals are available on the board for connecting digital sensors by way of SPI or I²C.

5.4.1.2 Break-Away Board Options

Beyond the flexibility of the built-in front-end, the PCB was also designed to offer two different places where the signal chain can be interrupted, thanks to break-away sections that interface in-house designs:

Hardware Options (Break-out)

The TI Design is a complete IO-Link sensor solution with the analog front-end including a potentiometer and push button to simulate an actual sensor.

For evaluation purposes the user has two additional options by removing one or both break-out sections.

CAUTION

Please be careful breaking off the break-out sections. Due to the small form factor and small trace width, it is recommended to use a saw to remove the sections rather than breaking them away.

1. 1. Break-out I
 - (a) Removes the push-button and the potentiometer
 - (b) J2 can be used as the sensor interface in 2-, 3- and 4-wire mode (see [Figure 20](#) - Analog Front-End)
2. 1. Break-out II
 - (a) Removes ADS1220 and the input filtering
 - (b) The user has now access to the soldering pads (see [Figure 17](#) - Functional Sections of the PCB)
 - (i) Pad 1: CS
 - (ii) Pad 2: CLK
 - (iii) Pad 3: SIMO
 - (iv) Pad 4: SOMI
 - (v) Pad 5: DRDY
 - (vi) Pad 6: SW

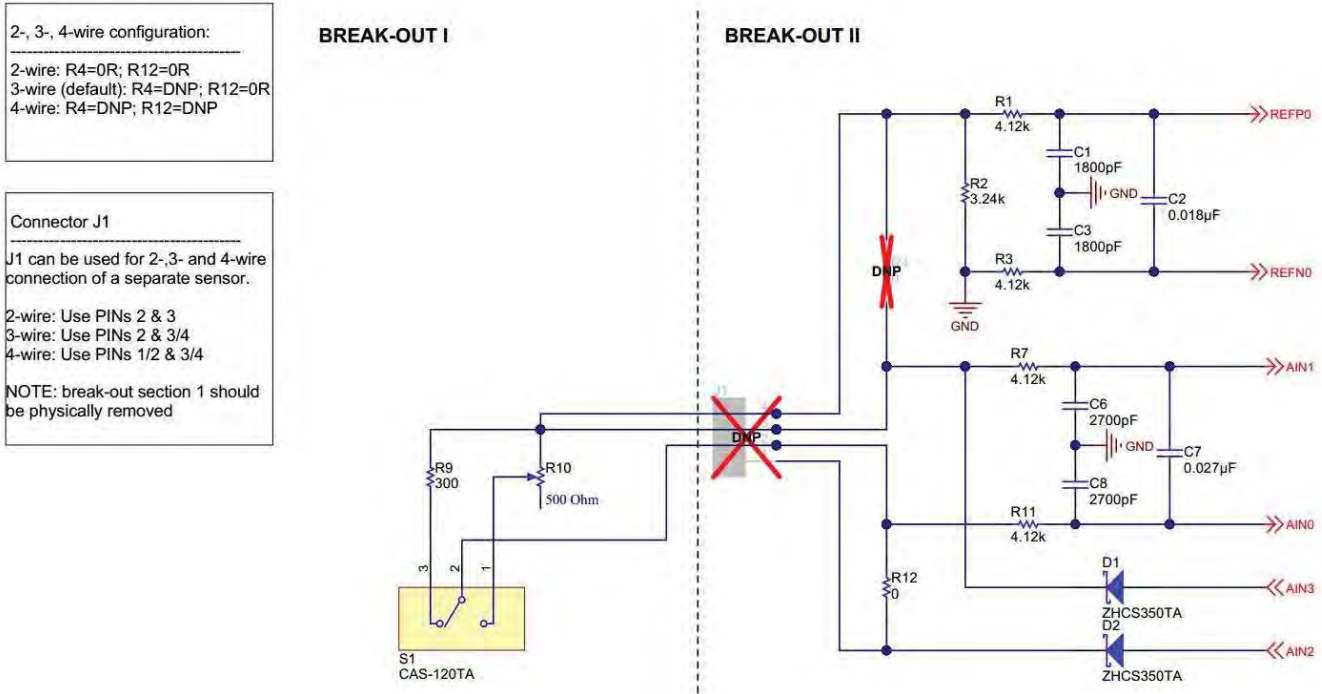


Figure 20. Analog Front-End Schematics

5.4.2 Software Update

For MSP430 Firmware updates, [Code Composer Studio](#) is recommended. Code Composer Studio™ (CCStudio) is an integrated development environment (IDE) for Texas Instruments (TI) embedded processor families. CCStudio comprises a suite of tools used to develop and debug embedded applications. It includes compilers for each of TI's device families, source code editor, project build environment, debugger, profiler, simulators, real-time operating system and many other features. The intuitive IDE provides a single user interface taking you through each step of the application development flow. For Programming and Debugging the MSP430FR5738 implements an Embedded Emulation Module (EEM). It is accessed and controlled through either 4-wire JTAG mode or Spy-Bi-Wire mode. On this Reference Design the Spy-Bi-Wire mode is supported only. For more details on how the features of the EEM can be used together with Code Composer Studio (CCS), see *Advanced Debugging Using the Enhanced Emulation Module*, ([SLAA393](#)). The 2-wire interface is made up of the SBWTCK (Spy-Bi-Wire test clock) and SBWTDIO (Spy-Bi-Wire test data input/output) pins. The SBWTCK signal is the clock signal and is a dedicated pin. In normal operation, this pin is internally pulled to ground. The SBWTDIO signal represents the data and is a bidirectional connection. To reduce the overhead of the 2-wire interface, the SBWTDIO line is shared with the RST/NMI pin of the device. For Programming and debugging purposes the SBWTCK, SBWTDIO, VCC and GND from the Debugger needs to be connected on J1.

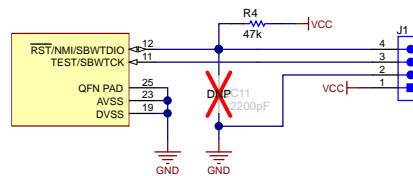


Figure 21. JTAG Connection (Pin 1 is Marked on PCB)

With the proper connections, an MSP430 Debugger Interface (such as the MSP-FET430UIF, see [\[13\]](#)) can be used to program and debug code on the Reference Design.

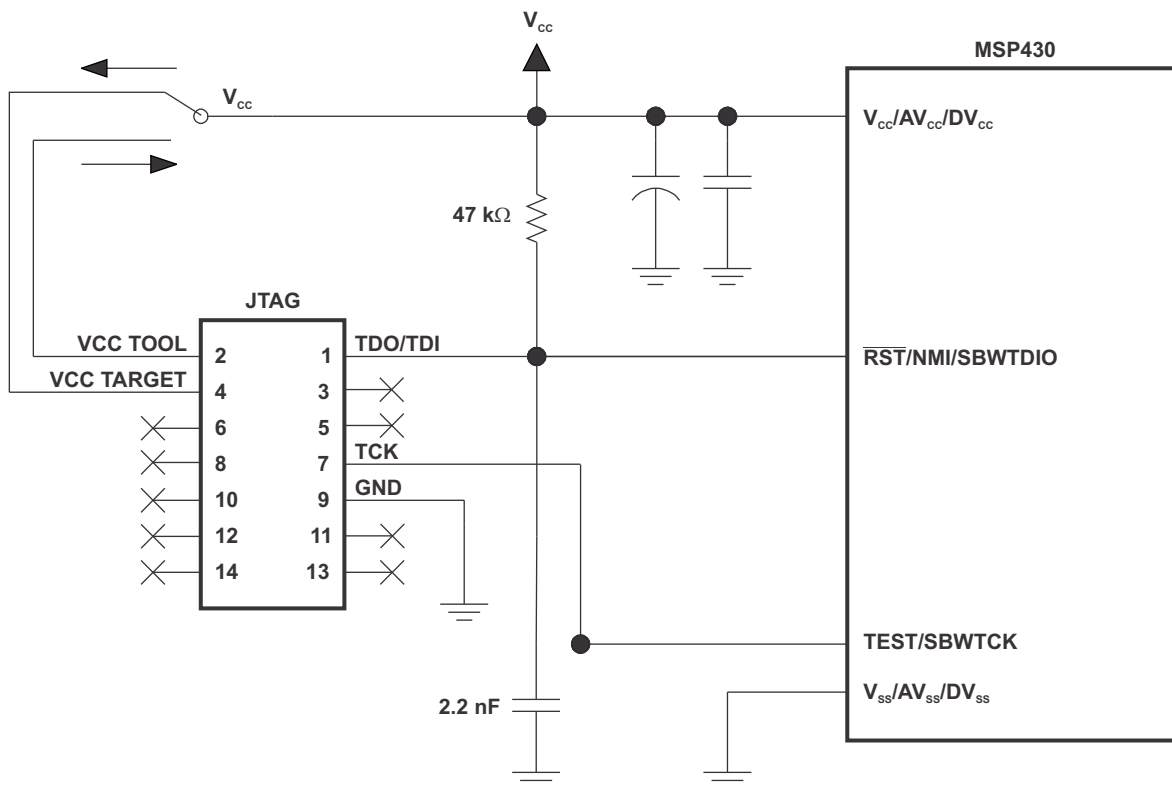
5.4.3 Power During Debugging

CAUTION

Special care should be taken during debug to avoid damages due to different power domain in conflicts (IO-Link power and debugger tools power), read this section carefully.

The SN65HVD101 integrates a linear voltage regulator, which supplies 3.3 V to the IO-Link Demo Board if a voltage in the range of 9 V to 30 V is supplied to L+. Normally the MSP430FR5738 is powered from this 3.3 V.

If this local 3.3 V supply from the SN65HVD101 is used during debug, make sure VCC_Target pin from the Debugger Interface is connected to VCC. If there is no local power and power from the Debugger Interface is used, make sure VCC_Tool pin from the Debugger Interface is connected to VCC and disconnect VCC_Target pin (see Figure 22 - Signal Connections for 2-Wire JTAG Communication (Spy-Bi-Wire)).



**Figure 22. Signal Connections for 2-Wire JTAG Communication (Spy-Bi-Wire)
View From Separate “Debugger Interface” Board**

6 Software Description

The demo software is a complete implementation according to IO-Link specification V1.1.2 and test specification V1.1. The IO-Link demo software supports data storage, block parameterization, and device access locks. The software also shows a high-precision temperature measurement, which is simulated with a potentiometer. The button on the board can be used to teach upper and lower switch points. For more information on the IO-Link stack software contact TMG: <http://www.tmgte.com/partner/texas-instruments>.

7 Test Setup

7.1 Front-End Test Setup and Results

The Test Setup is meant to measure the analog performance of the front-end. [Figure 23](#) - Front-End Test Setup shows the setup.

A PT100-Simulator was used as a sensor reference to measure the respective temperature values. The PT100-Simulator (Type 1049 from Time Electronics) has 23 fixed precision resistors representing the equivalent temperatures. The tolerances of the precision resistors' equivalent temperatures (according to the Callendar-van-Dusen formula) [13] are graphically shown in [Figure 24](#) - Temperature Error versus Temperature of PT100 sensors (Class AA, A, B) and the PT100 simulator" together with the different PT100 sensor classes (AA, A, B). It can be seen that the precision of the Simulator is at least better than the Class A PT100 Elements and similar to Class AA. [Figure 24](#) shows an overview of the provided Temperatures of the PT100-Simulator. It also shows the corresponding resistor values when using the Callendar-van-Dusen formula. The actual measured resistor values with precision 8.5 digit multi-meter and the resulting real temperatures are also listed in [Table 2](#) - PT100 Simulations.

With this information the errors contributing from our reference can be minimized which allows a more accurate system performance analysis.

In order to measure the front-end from each 'temperature' 1024 captures were taken after offset and gain calibration of the ADS1220. Those values are stored inside the MSP430 memory and can be read using Code Composer Studio.

A Matlab script is being used to provide for each temperature data-set a histogram, including Mean value and Standard deviation.

[Figure 25](#) shows the temperature error for the 23 temperature measurements. For this plot, the mean values were taken and compared to the "Equivalent Temperatures of the PT100-Simulator" listed in [Table 2](#) - PT100 Simulations. [Figure 24](#) compares this error to the different PT100 sensor classes.

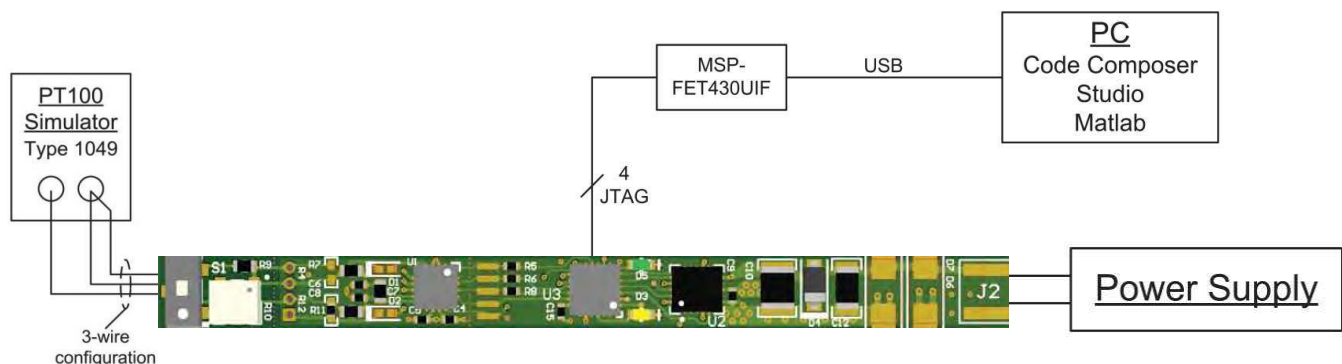


Figure 23. Front-End Test Setup

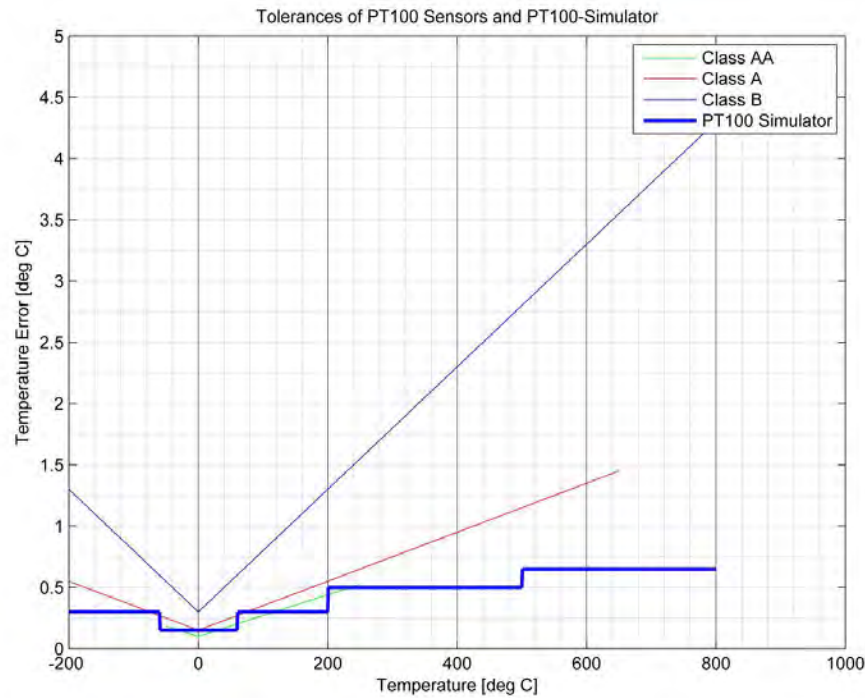


Figure 24. Temperature Error versus Temperature of PT100 Sensors (Class AA, A, B) and the PT100 Simulator

Table 2. PT100 Simulations

Temperature [°C]	Corresponding Resistor Values according to Callendar-van-Dusen formula [Ω]	Measured resistor values (8.5 digit multi-meter) [Ω]	Equivalent Temperatures of the PT100-Simulator [°C]	Temperature Delta
-200	18.520	18.583	-199.854	0.146
-100	60.256	60.309	-99.870	0.130
-50	80.306	80.352	-49.885	0.115
-20	92.160	92.166	-19.984	0.016
-10	96.086	96.099	-9.967	0.033
0	100.000	100.043	0.109	0.109
10	103.903	103.939	10.094	0.094
20	107.794	107.833	20.102	0.102
30	111.673	111.707	30.088	0.088
40	115.541	115.568	40.070	0.070
50	119.397	119.419	50.056	0.056
60	123.242	123.312	60.183	0.183
80	130.897	130.935	80.100	0.100
100	138.506	138.610	100.276	0.276
150	157.325	157.411	150.229	0.229
200	175.856	175.877	200.057	0.057
250	194.098	194.088	249.972	0.028
300	212.052	212.063	300.032	0.032
400	247.092	247.087	399.985	0.015

Table 2. PT100 Simulations (continued)

Temperature [°C]	Corresponding Resistor Values according to Callendar-van-Dusen formula [Ω]	Measured resistor values (8.5 digit multi-meter) [Ω]	Equivalent Temperatures of the PT100-Simulator [°C]	Temperature Delta
500	280.978	280.986	500.026	0.026
600	313.708	313.715	600.022	0.022
700	345.284	345.363	700.256	0.256
800	375.704	375.716	800.040	0.040

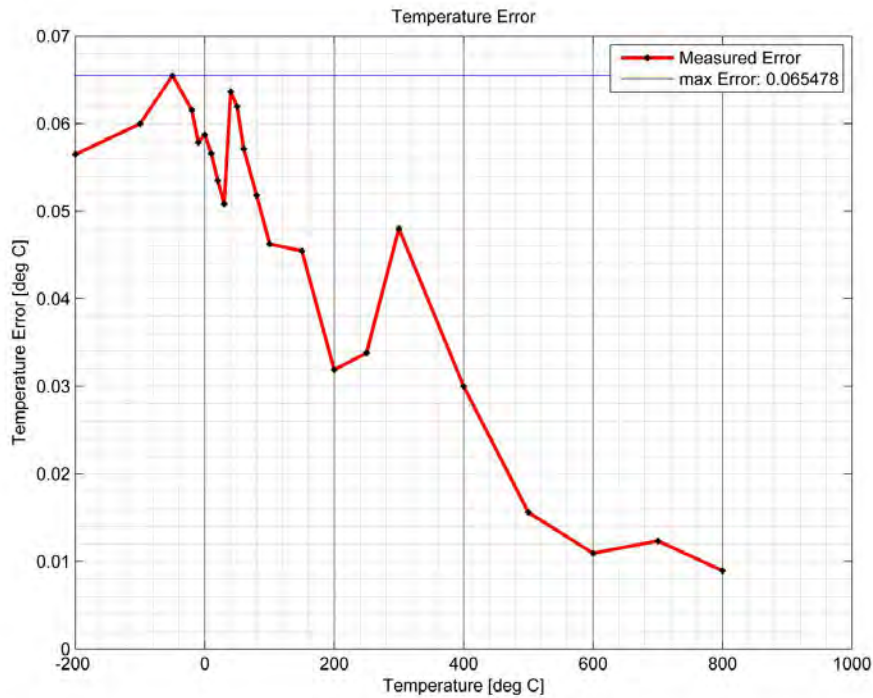


Figure 25. Temperature Error Between the Mean of 1024 Measured Data Points and the PT100-Simulator’s Provided Temperatures

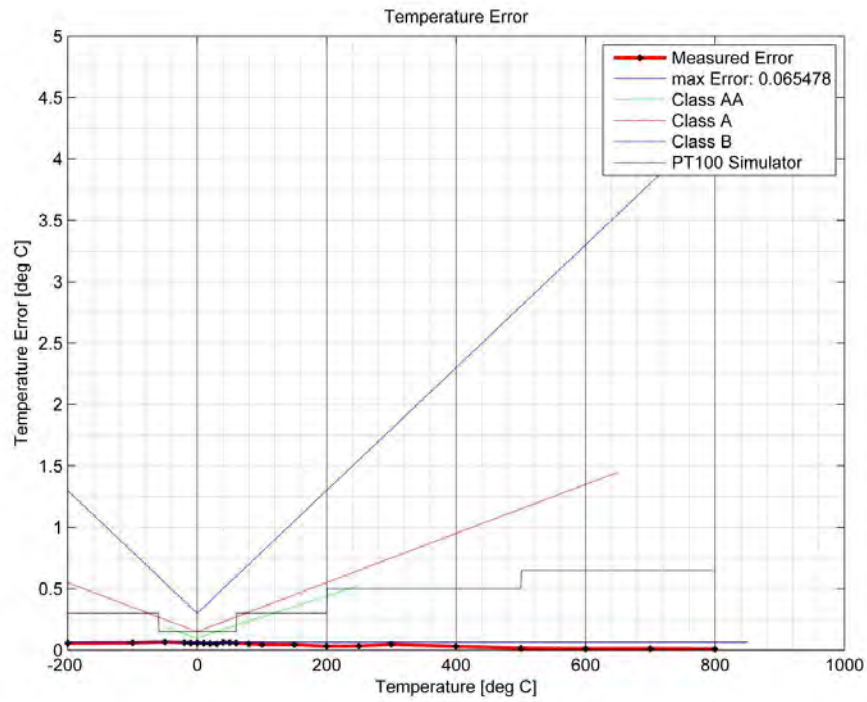


Figure 26. Temperature Error of the TI Design Compared to the Tolerance of the Different PT100 Element Classes

7.2 IO-Link Test Setup

For IO-Link test setup documentation please refer to the separate document [8].

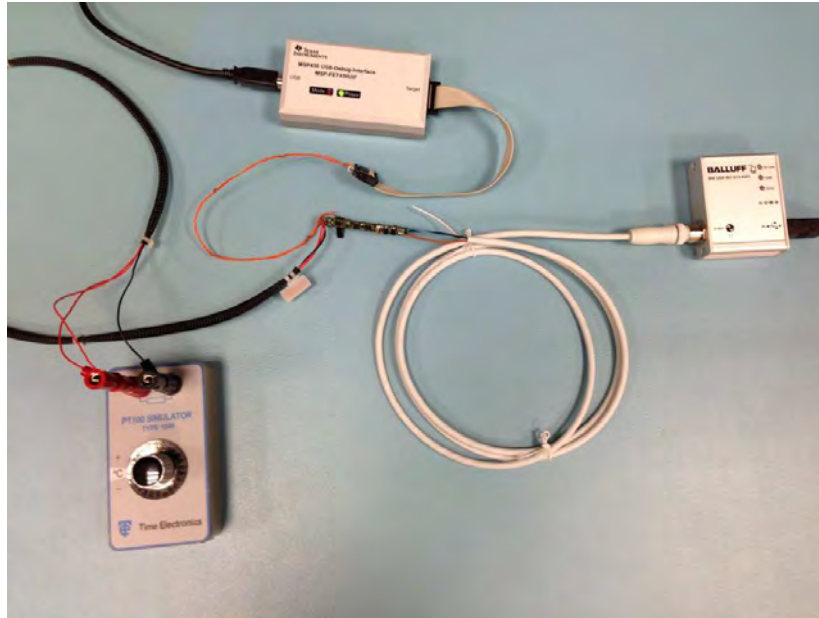


Figure 27. IO-Link Transmitter Design Test-Setup with PT100 Simulator and Balluff IO-Link Master

8 Test Results

For test results documentation please refer to the separate document [8].

8.1 IO-Link System Test Results

For test results documentation please refer to the separate [8].

9 Design Files

9.1 Schematics

To download the Schematics, see the design files at [TIDA-00188](https://www.ti.com/lit/zip/TIDA-00188).

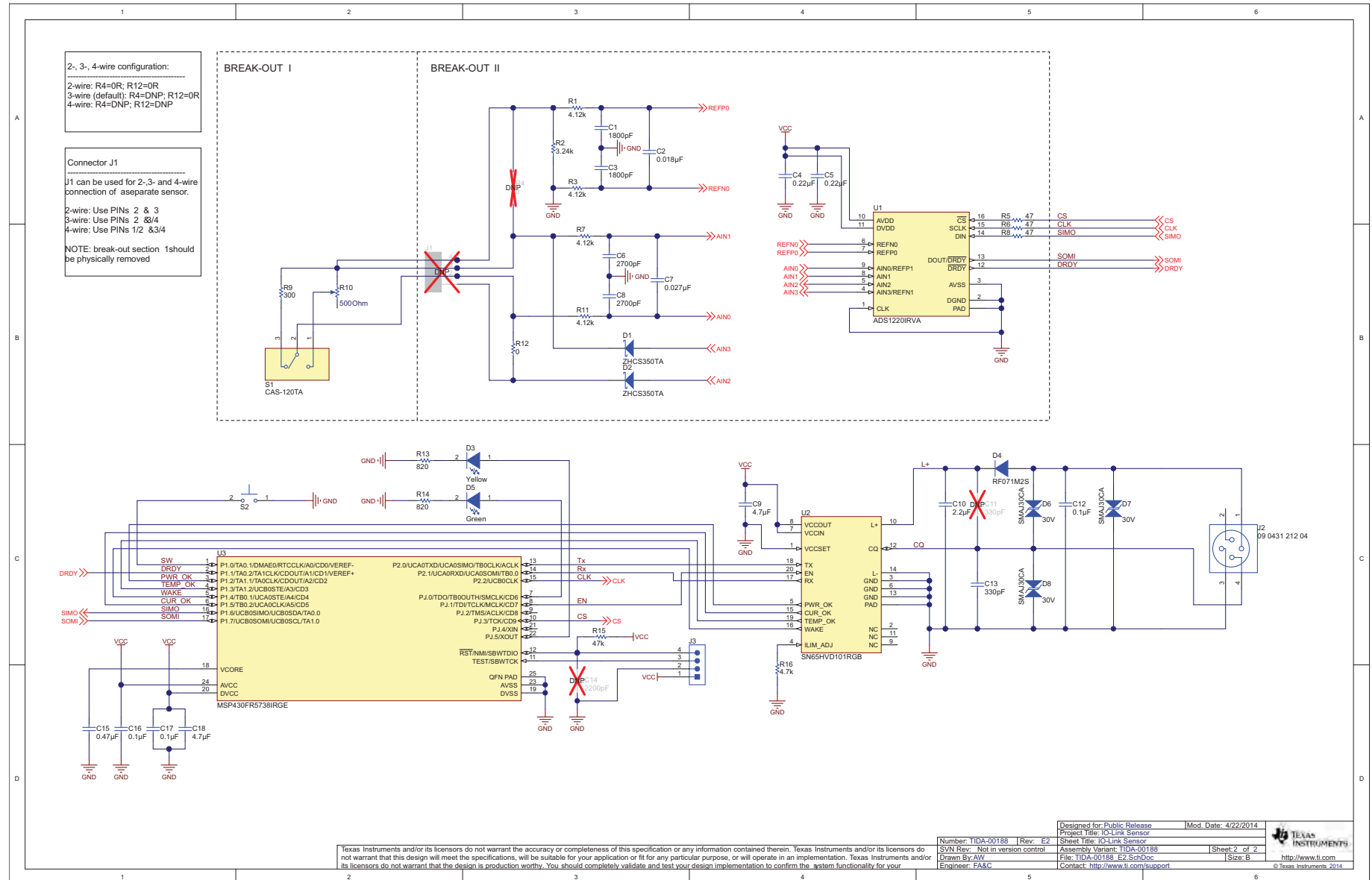


Figure 28. Full PCB Schematics

9.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDA-00188](#). Table 3 shows the BOM for the Turnkey IO-Link Sensor Transmitter.

Table 3. BOM⁽¹⁾

Designator	Quantity	Value	Description	Package Reference	Part Number	Manufacturer	Alternate	
							Part Number	Manufacturer
C1, C3	2	1800pF	CAP, CERM, 1800pF, 100V, +/-10%, X7R, 0402	0402	GRM155R72A182KA01D	MuRata		
C2	1	0.018uF	CAP, CERM, 0.018uF, 100V, +/-10%, X7R, 0603	0603	C0603C183K1RACTU	Kemet		
C4, C5	2	0.22uF	CAP, CERM, 0.22uF, 6.3V, +/-10%, X5R, 0402	0402	GRM155R60J224KE01D	MuRata		
C6, C8	2	2700pF	CAP, CERM, 2700pF, 100V, +/-10%, X7R, 0402	0402	GRM155R72A272KA01D	MuRata		
C7	1	0.027uF	CAP, CERM, 0.027uF, 100V, +/-10%, X7R, 0603	0603	C0603C273K1RACTU	Kemet		
C9, C18	2	4.7uF	CAP, CERM, 4.7uF, 6.3V, +/-20%, X5R, 0402	0402	C1005X5R0J475M050BC	TDK		
C10	1	2.2uF	CAP, CERM, 2.2uF, 100V, +/-10%, X7R, 1210	1210	GRM32ER72A225KA35L	MuRata		
C12	1	0.1uF	CAP, CERM, 0.1uF, 100V, +/-5%, X7R, 1206	1206	12061C104JAT2A	AVX		
C13	1	330pF	CAP, CERM, 330pF, 100V, +/-10%, X7R, 0402	0402	GRM155R72A331KA01D	MuRata		
C15	1	0.47uF	CAP, CERM, 0.47uF, 6.3V, +/-10%, X5R, 0402	0402	GRM155R60J474KE19D	MuRata		
C16, C17	2	0.1uF	CAP, CERM, 0.1uF, 6.3V, +/-10%, X5R, 0402	0402	C1005X5R0J104K	TDK		
D1, D2	2	40V	Diode, Schottky, 40V, 0.35A, SOD-523	SOD-523	ZHCS350TA	Diodes Inc.		
D3	1	Yellow	LED, Yellow, SMD	LED, 1.3x0.65x0.8mm	LY L29K-J1K2-26-Z	OSRAM		
D4	1	200V	Diode, Ultrafast, 200V, 1A, SOD-123	SOD-123	RF071M2S	Rohm		
D5	1	Green	LED, Green, SMD	1.7x0.65x0.8mm	LG L29K-G2J1-24-Z	OSRAM		
D6, D7, D8	3	30V	Diode, TVS, Bi, 30V, 400W, SMA	SMA	SMAJ30CA	Bourns		
J2	1		M12 Socket, 4Pos, TH	M12 Conn D12x14.3	09 0431 212 04	Binder-Connector		
J3	1		Header, 4x1, 50mil, R/A, SMT	Header, 50mil, R/A, SMT	850-10-004-40-001000	Mill-Max		
R1, R3, R7, R11	4	4.12k	RES, 4.12k ohm, 0.1%, 0.1W, 0603	0603	RG1608P-4121-B-T5	Susumu Co Ltd		
R2	1	3.24k	RES, 3.24k ohm, 0.1%, 0.333W, 1206	1206	PFC-W1206R-12-3241-B	TT Electronics/IRC		
R5, R6, R8	3	47	RES, 47 ohm, 5%, 0.063W, 0402	0402	CRCW040247R0JNED	Vishay-Dale		
R9	1	300	RES, 300 ohm, 0.1%, 0.1W, 0603	0603	RG1608P-301-B-T5	Susumu Co Ltd		
R10	1	500 Ohm	TRIMMER 500 OHM 0.125W SMD	3.52x4.16x3.94mm	3223W-1-501E	Bourns		
R12	1	0	RES, 0 ohm, 5%, 0.063W, 0402	0402	CRCW04020000Z0ED	Vishay-Dale		
R13, R14	2	820	RES, 820 ohm, 5%, 0.063W, 0402	0402	CRCW0402820R0JNED	Vishay-Dale		
R15	1	47k	RES, 47k ohm, 5%, 0.063W, 0402	0402	CRCW040247K0JNED	Vishay-Dale		
R16	1	4.7k	RES, 4.7k ohm, 5%, 0.063W, 0402	0402	CRCW040247K0JNED	Vishay-Dale		
S1	1		Switch, Slide, SPDT 100mA, SMT	Switch, 5.4x2.5x2.5mm	CAS-120TA	Copal Electronics		
S2	1		Switch, Push Button SMD	2.9x2x3.9mm SMD	SKRKAEE010	Alps		
U1	1		Low-Power, Low-Noise, 24-Bit Analog-to-Digital Converter for Small Signal Sensors, RVA0016A	RVA0016A	ADS1220IRVA	Texas Instruments		None

⁽¹⁾ Unless otherwise noted in the Alternate Part Number and/or Alternate Manufacturer columns, all parts may be substituted with equivalents.

Table 3. BOM⁽¹⁾ (continued)

Designator	Quantity	Value	Description	Package Reference	Part Number	Manufacturer	Alternate	
							Part Number	Manufacturer
U2	1		IO-LINK PHY for Device Nodes, RGB0020A	RGB0020A	SN65HVD101RGB	Texas Instruments		None
U3	1		24 MHz Mixed Signal Microcontroller, 1024 B SRAM and 17 GPIOs, -40 to 85°C, RGE0024G	RGE0024G	MSP430FR5738IRGE	Texas Instruments		None
C11	0	330pF	CAP, CERM, 330pF, 100V, +/-10%, X7R, 0402	0402	GRM155R72A331KA01D	MuRata		
C14	0	2200pF	CAP, CERM, 2200pF, 6.3V, +/-10%, X7R, 0402	0402	GRM155R70J222KA01D	MuRata		
J1	0		Header, 4x1, 50mil, R/A, TH	Header, 4x1, 50mil, R/A	850-10-004-20-001000	Mill-Max		
R4	0	0	RES, 0 ohm, 5%, 0.063W, 0402	0402	CRCW04020000Z0ED	Vishay-Dale		

9.3 PCB Layout and Component Placement

9.3.1 Component Placement

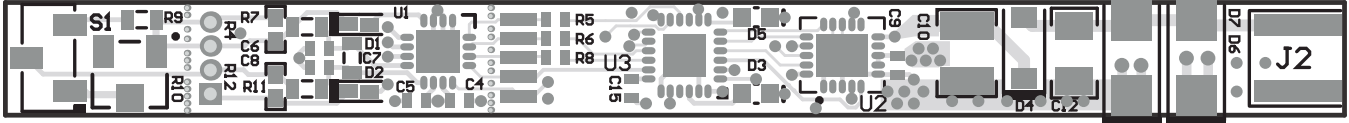


Figure 29. Top Layer View

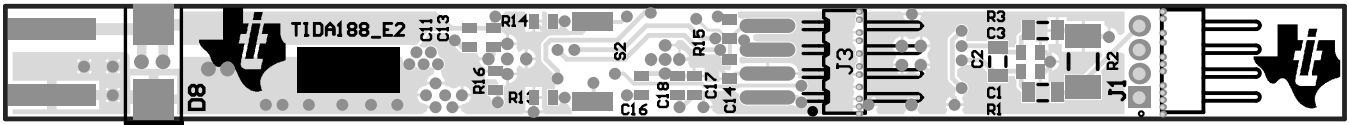


Figure 30. Bottom Layer View

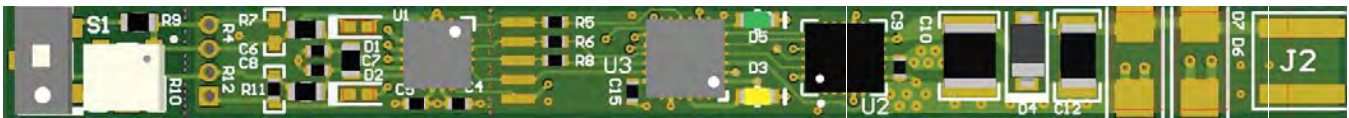


Figure 31. View of the IO-Link Transmitter Design (Top)

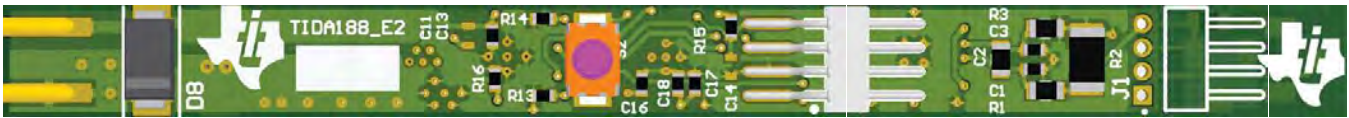


Figure 32. View of the IO-Link Transmitter Design (Bottom)

9.4 Altium Project

To download the Altium project files for each board, see the design files at [TIDA-00188](#).

9.5 Gerber Files

To download the Gerber files for each board, see the design files at [TIDA-00188](#).

10 References

1. *IO-Link Interface and System Specification v1.1.2*, IO-Link Community
2. *IO-Link Test Specification v1.1*, IO-Link Community
3. *Reliability of Ferroelectric Random Access Memory Embedded within 130 nm CMOS*, J. Rodriguez, K. Remack, J. Gertas, L. Wang, C. Zhou, K. Boku, J. Rodriguez-Latorre, Reliability Physics Symposium (IRPS), 2010 IEEE International
4. *IEC60947-5-2:2007, Low-voltage switchgear and controlgear – Part 5-2: Control circuit devices and switching elements – Proximity switches*, IEC2007
5. *IEC 61131-2, Programmable Controllers – Part 2: Equipment Requirements and Tests*, IEC
6. *IO-Link System Description Technology and Application*, IO-Link Company Community
7. *Low-Power, Low-Noise, 24-Bit, Analog-to-Digital Converter for Small-Signal Sensors*, ADS1220 data sheet ([SBAS501](#))
8. *IO-Link Software and Documentation (TMG)*, IO-Link Community (<http://www.tmgte.com/partner/texas-instruments>)
9. *IO-Link Interface and System Specification version 1.1.2*, IO-Link Community
10. *Mixed Signal Microcontroller*, MSP430FR5738 data sheet ([SLAS639](#))
11. *IO-Link PHY for Device Nodes*, SN65HVD101 data sheet ([SLLSE84](#))
12. *Advanced Debugging Using the Enhanced Emulation Module*, ([SLAA393](#))
13. *Supplementary Information for the ITS-90 Section 1: Introduction*, [BIPM document](#), B. Fellmuth
14. *IEC 61000-4-2, Electromagnetic Compatibility (EMC) - Part 4-2: Testing and measurement techniques - Electrostatic discharge immunity test*
15. *IEC 61000-4-4, Electromagnetic Compatibility (EMC) - Part 4-4: Testing and measurement techniques – Section 4: Electrical fast transient/burst immunity test*
16. *IEC 61000-4-5, Electromagnetic Compatibility (EMC) - Part 4-5: Testing and measurement techniques - Surge immunity test*
17. *IEC 60255-5, Electrical Relays - Part 5: Insulation coordination for measuring relays and protection equipment - Requirements and tests*

11 About the Author

THOMAS SCHNEIDER is a Systems Applications Engineer at Texas Instruments where he is responsible for developing reference design solutions for the industrial segment. Thomas brings to this role his extensive experience in TI's microcontrollers, especially MSP430. Thomas earned his Dipl.-Ing. (Univ.) degree in Electrical Engineering from the Technical University Munich (TUM) in Munich, Germany.

Revision History

Changes from Original (April 2014) to B Revision	Page
• Changed IO-Link Transmitter image.	1
• Updated Highlighted Products list.	11
• Changed Full System PCB Dimensions and Functional Sections of the PCB images.	15
• Updated Power and Protection Design section.	15
• Changed the <i>Software Description</i> section to a workable link that leads to an online request for IO-Link software information.	23
• Changed reference number 8 to the correct source for obtaining IO-Link software details (http://www.tmgte.com/partner/texas-instruments).	32

NOTE: Page numbers for previous revisions may differ from page numbers in the current version.

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2015, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上