

TMS320DM643x DMP

ビデオ・プロセッシング・バック・エンド (VPBE)

ユーザーズ・ガイド

TMS320DM643x DMP

ビデオ・プロセッシング・バック・エンド (VPBE)

ユーザーズ・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



目次

最初にお読みください.....	13
1 概要	14
1.1 ビデオ・プロセッシング・バック・エンドの用途.....	14
1.2 機能.....	15
1.3 機能ブロック図.....	18
1.4 サポートされる使用方法.....	18
1.5 業界標準への準拠について.....	18
2 ディスプレイ・サブシステム環境	19
2.1 アナログ・ディスプレイ・インターフェイス.....	20
2.2 デジタル・ディスプレイ・インターフェイス.....	30
2.3 VPBE ディスプレイ・サブシステムのピン・マルチプレクス	40
2.4 VPSS の初期化	40
3 インテグレーション	41
3.1 クロック供給、リセット、および電源管理.....	41
3.2 ハードウェア・リクエスト.....	45
4 機能説明	47
4.1 ディスプレイ・インターフェイス.....	47
4.2 マスタ/スレーブ・モード・インターフェイス.....	50
4.3 オンスクリーン・ディスプレイ (OSD) モジュール.....	51
4.4 ビデオ・エンコーダ・モジュール.....	75
4.5 その他の機能.....	111
5 プログラミング・モデル	115
5.1 典型的なコンフィギュレーション用のセットアップ.....	115
5.2 VPBE サブシステムのリセット	115
5.3 クロックと制御信号の設定.....	115
5.4 オンスクリーン・ディスプレイ (OSD) のプログラミング.....	115
5.5 VENC のプログラミング.....	122
6 ビデオ・プロセッシング・バック・エンド (VPBE) レジスタ	129
6.1 VPBE グローバル・レジスタ	129
6.2 ビデオ・エンコーダ/デジタルLCDサブシステム (VENC) レジスタ	131
6.3 オンスクリーン・ディスプレイ (OSD) レジスタ.....	178
7 ビデオ・プロセッシング・サブシステム (VPSS) レジスタ	216
7.1 VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID).....	216
7.2 VPSS ペリフェラル・コントロール・レジスタ (PCR).....	217
7.3 SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP).....	219
付録 A 改訂履歴	220

図一覧

図 1	ビデオ・プロセッシング・サブシステム (VPSS) のブロック図	14
図 2	ビデオ・プロセッシング・バック・エンド (VPBE) のブロック図	18
図 3	水平タイミング	21
図 4	水平ブランキング・エッジでの信号整形	22
図 5	同期信号の詳細な波形 (SDTV)	23
図 6	NTSC の垂直タイミング	24
図 7	PAL の垂直タイミング	25
図 8	ノンインターレース NTSC (ITLC = 1, ITLCL = 0) 垂直タイミング	26
図 9	ノンインターレース PAL (ITLC = 1, ITLCL = 0) 垂直タイミング	26
図 10	525P 垂直タイミング	26
図 11	625P 垂直タイミング	27
図 12	100% カラー・バー出力レベル	28
図 13	75% カラー・バー出力レベル	29
図 14	OSD の通常動作時の YCC16 出力	33
図 15	RGB565 のときの OSD ウィンドウの YCC16 出力	34
図 16	OSD の通常動作時の YCC8 出力	36
図 17	RGB565 のときの OSD ウィンドウの YCC8 出力	37
図 18	パラレル RGB モードでの RGB 出力	39
図 19	BRIGHT 信号のタイミング	39
図 20	LCD_AC 信号のタイミング	40
図 21	PWM 信号のタイミング	40
図 22	VPBE/DAC クロック供給オプション	42
図 23	VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL)	43
図 24	ビデオ・プロセッシング・サブシステム (VPSS) のブロック図	47
図 25	CCD コントローラ・フレームと制御信号の定義	50
図 26	OSD ウィンドウのディスプレイ優先順位	51
図 27	OSD ウィンドウのポジショニング	54
図 28	OSD ウィンドウのフレーム・モード	56
図 29	OSD ウィンドウのフィールド・モード	57
図 30	OSD ウィンドウのズーム処理	58
図 31	ディスプレイのピクセル調整	60
図 32	ビデオ・データ・フォーマット - YUV422	60
図 33	ビデオ・データ・フォーマット - RGB888	61
図 34	メイン・ビデオ・ウィンドウ 0 のピンポン・バッファ	62
図 35	ビットマップ・データのフォーマット	72
図 36	OSD アトリビュート・ウィンドウ	73
図 37	データ・フォーマット - RGB565	74
図 38	カーソル・ウィンドウの例	75
図 39	NTSC/PAL ビデオ・エンコーダのブロック図	77
図 40	レベル・フォーマッタのブロック図	78
図 41	輝度補間フィルタ	79
図 42	色差補間フィルタ (左) と色差 LPF (右)	80
図 43	YUV 変換ブロック図	81
図 44	YUV 変換ブロック図	83
図 45	RGB コンバータのブロック図	85
図 46	デジタル LCD コントローラのブロック図	89
図 47	水平信号のタイミング	90
図 48	垂直信号のタイミング (プログレッシブ)	91
図 49	垂直信号のタイミング (インターレース)	91
図 50	水平信号のタイミング図	92
図 51	VSYNC 入力のラッチ・タイミング	93
図 52	垂直信号のタイミング図 (NTSC)	94

図 53	垂直信号のタイミング図 (PAL).....	95
図 54	垂直信号のタイミング図 (非標準 / プログレッシブ).....	96
図 55	垂直信号のタイミング図 (非標準 / インターレース).....	97
図 56	フィールド検出モード.....	98
図 57	VSYNC 位相によるフィールド検出.....	99
図 58	パターン・レジスタのコンフィギュレーション.....	100
図 59	DCLK のパターン・モード.....	100
図 60	DCLK のマスキング.....	101
図 61	DCLK のパターン切り替え / 反転 (ラインごと).....	102
図 62	DCLK 出力.....	102
図 63	YCbCr プリフィルタ.....	103
図 64	プリフィルタの周波数応答.....	103
図 65	YCbCr 変換ブロック図.....	104
図 66	RGB 変換ブロック図.....	105
図 67	カリング対象ライン ID.....	106
図 68	5/6 ライン・カリング・モード.....	107
図 69	垂直カリング・カウンタのランダム・リセット.....	108
図 70	出力ライン保持モード.....	109
図 71	出力フィールド保持モード.....	109
図 72	LCD_OE ホリゾンタル・カリング・レジスタ.....	110
図 73	LCD_OE 水平カリングのタイミング図.....	110
図 74	ピクセル・クロックを間引く方法.....	112
図 75	OSD HSYNC の拡張機能.....	113
図 76	OSD VSYNC の 0.5H 遅延.....	114
図 77	ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID).....	129
図 78	ペリフェラル・コントロール・レジスタ (PCR).....	130
図 79	ビデオ・モード・レジスタ (VMOD).....	133
図 80	ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL).....	135
図 81	ビデオ・データ・プロセッシング・レジスタ (VDPRO).....	136
図 82	シンク・コントロール・レジスタ (SYNCCTL).....	138
図 83	ホリゾンタル・シンク・パルス・ワイズ・レジスタ (HSPLS).....	140
図 84	バーティカル・シンク・パルス・ワイズ・レジスタ (VSPLS).....	140
図 85	ホリゾンタル・インターバル・レジスタ (HINT).....	141
図 86	ホリゾンタル・バリッド・データ・スタート・ポジション・レジスタ (HSTART).....	141
図 87	ホリゾンタル・データ・バリッド・レンジ・レジスタ (HVALID).....	142
図 88	バーティカル・インターバル・レジスタ (VINT).....	142
図 89	バーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART).....	143
図 90	バーティカル・データ・バリッド・レンジ・レジスタ (VVALID).....	143
図 91	ホリゾンタル・シンク・ディレイ・レジスタ (HSDLY).....	144
図 92	バーティカル・シンク・ディレイ・レジスタ (VSDLY).....	144
図 93	YCbCr コントロール・レジスタ (YCCTL).....	145
図 94	RGB コントロール・レジスタ (RGBCTL).....	146
図 95	RGB レベル・クリッピング・レジスタ (RGBCLP).....	146
図 96	ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL).....	147
図 97	カリング・ライン・コントロール・レジスタ (CULLLINE).....	148
図 98	LCD アウトプット・シグナル・コントロール・レジスタ (LCDOUT).....	149
図 99	ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ (BRTS).....	150
図 100	ブライトネス・ワイズ・シグナル・コントロール・レジスタ (BRTW).....	150
図 101	LCD_AC シグナル・コントロール・レジスタ (ACCTL).....	151
図 102	PWM スタート・ポジション・シグナル・コントロール・レジスタ (PWMP).....	152
図 103	PWM ワイズ・シグナル・コントロール・レジスタ (PWMW).....	152
図 104	DCLK コントロール・レジスタ (DCLKCTL).....	153
図 105	DCLK パターン n レジスタ (DCLKPTN n).....	154
図 106	DCLK オグジリアリ・パターン n レジスタ (DCLKPTN n A).....	154

☒ 107	水平 DCLK マスク・スタート・レジスタ (DCLKHS).....	155
☒ 108	水平・オグジリアリ DCLK マスク・スタート・レジスタ (DCLKHSA).....	155
☒ 109	水平 DCLK マスク・レンジ・レジスタ (DCLKHR).....	156
☒ 110	パーティカル DCLK マスク・スタート・レジスタ (DCLKVS).....	156
☒ 111	パーティカル DCLK マスク・レンジ・レジスタ (DCLKVR).....	157
☒ 112	キャプション・コントロール・レジスタ (CAPCTL).....	157
☒ 113	キャプション・データ・オッド・フィールド・レジスタ (CAPDO).....	158
☒ 114	キャプション・データ・イーブン・フィールド・レジスタ (CAPDE).....	158
☒ 115	ビデオ・アトリビュート・データ #0 レジスタ (ATR0).....	159
☒ 116	ビデオ・アトリビュート・データ #1 レジスタ (ATR1).....	159
☒ 117	ビデオ・アトリビュート・データ #2 レジスタ (ATR2).....	160
☒ 118	ビデオ・ステータス・レジスタ (VSTAT).....	160
☒ 119	DAC テスト・レジスタ (DACTST).....	161
☒ 120	YOUT/COUT レベル・レジスタ (YCOLVL).....	162
☒ 121	サブキャリア・プログラミング・レジスタ (SCPROG).....	162
☒ 122	コンポジット・モード・レジスタ (CVBS).....	163
☒ 123	コンポーネント・モード・レジスタ (CMPNT).....	164
☒ 124	CVBS タイミング・コントロール 0 レジスタ (ETMG0).....	166
☒ 125	CVBS タイミング・コントロール 1 レジスタ (ETMG1).....	166
☒ 126	コンポーネント・タイミング・コントロール 0 レジスタ (ETMG2).....	167
☒ 127	コンポーネント・タイミング・コントロール 1 レジスタ (ETMG3).....	167
☒ 128	DAC アウトプット・セレクト・レジスタ (DACSEL).....	168
☒ 129	アナログ RGB マトリックス 0 レジスタ (ARGBX0).....	169
☒ 130	アナログ RGB マトリックス 1 レジスタ (ARGBX1).....	169
☒ 131	アナログ RGB マトリックス 2 レジスタ (ARGBX2).....	170
☒ 132	アナログ RGB マトリックス 3 レジスタ (ARGBX3).....	170
☒ 133	アナログ RGB マトリックス 4 レジスタ (ARGBX4).....	171
☒ 134	デジタル RGB マトリックス 0 レジスタ (DRGBX0).....	171
☒ 135	デジタル RGB マトリックス 1 レジスタ (DRGBX1).....	172
☒ 136	デジタル RGB マトリックス 2 レジスタ (DRGBX2).....	172
☒ 137	デジタル RGB マトリックス 3 レジスタ (DRGBX3).....	173
☒ 138	デジタル RGB マトリックス 4 レジスタ (DRGBX4).....	173
☒ 139	パーティカル・データ・バリッド・スタート・ポジション・レジスタ (VSTARTA) (偶数フィールド用).....	174
☒ 140	OSD クロック・コントロール 0 レジスタ (OSDCLK0).....	174
☒ 141	OSD クロック・コントロール 1 レジスタ (OSDCLK1).....	175
☒ 142	水平・バリッド・カリング・コントロール 0 レジスタ (HVLDCLO).....	175
☒ 143	水平・バリッド・カリング・コントロール 1 レジスタ (HVLDCL1).....	176
☒ 144	OSD 水平・シンク・アドバンス・レジスタ (OSDHADV).....	176
☒ 145	VENC ミセレイニアス・レジスタ (VMISC).....	177
☒ 146	OSD モード・レジスタ (MODE).....	180
☒ 147	ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD).....	181
☒ 148	OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD).....	183
☒ 149	OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD).....	185
☒ 150	OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ (OSDATRMD).....	187
☒ 151	レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR).....	188
☒ 152	ビデオ・ウィンドウ 0 オフセット・レジスタ (VIDWIN0OFST).....	189
☒ 153	ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST).....	189
☒ 154	OSD ウィンドウ 0 オフセット・レジスタ (OSDWIN0OFST).....	190
☒ 155	OSD ウィンドウ 1 オフセット・レジスタ (OSDWIN1OFST).....	190
☒ 156	ビデオ・ウィンドウ 0 アドレス・レジスタ (VIDWIN0ADR).....	191
☒ 157	ビデオ・ウィンドウ 1 アドレス・レジスタ (VIDWIN1ADR).....	191
☒ 158	OSD ウィンドウ 0 アドレス・レジスタ (OSDWIN0ADR).....	192
☒ 159	OSD ウィンドウ 1 アドレス・レジスタ (OSDWIN1ADR).....	192
☒ 160	ベース・ピクセル X レジスタ (BASEPX).....	193

☒ 161	ベース・ピクセル Y レジスタ (BASEPY).....	193
☒ 162	ビデオ・ウィンドウ 0 X ポジション・レジスタ (VIDWIN0XP).....	194
☒ 163	ビデオ・ウィンドウ 0 Y ポジション・レジスタ (VIDWIN0YP).....	194
☒ 164	ビデオ・ウィンドウ 0 X サイズ・レジスタ (VIDWIN0XL).....	195
☒ 165	ビデオ・ウィンドウ 0 Y サイズ・レジスタ (VIDWIN0YL).....	195
☒ 166	ビデオ・ウィンドウ 1 X ポジション・レジスタ (VIDWIN1XP).....	196
☒ 167	ビデオ・ウィンドウ 1 Y ポジション・レジスタ (VIDWIN1YP).....	196
☒ 168	ビデオ・ウィンドウ 1 X サイズ・レジスタ (VIDWIN1XL).....	197
☒ 169	ビデオ・ウィンドウ 1 Y サイズ・レジスタ (VIDWIN1YL).....	197
☒ 170	OSD ビットマップ・ウィンドウ 0 X ポジション・レジスタ (OSDWIN0XP).....	198
☒ 171	OSD ビットマップ・ウィンドウ 0 Y ポジション・レジスタ (OSDWIN0YP).....	198
☒ 172	OSD ビットマップ・ウィンドウ 0 X サイズ・レジスタ (OSDWIN0XL).....	199
☒ 173	OSD ビットマップ・ウィンドウ 0 Y サイズ・レジスタ (OSDWIN0YL).....	199
☒ 174	OSD ビットマップ・ウィンドウ 1 X ポジション・レジスタ (OSDWIN1XP).....	200
☒ 175	OSD ビットマップ・ウィンドウ 1 Y ポジション・レジスタ (OSDWIN1YP).....	200
☒ 176	OSD ビットマップ・ウィンドウ 1 X サイズ・レジスタ (OSDWIN1XL).....	201
☒ 177	OSD ビットマップ・ウィンドウ 1 Y サイズ・レジスタ (OSDWIN1YL).....	201
☒ 178	レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ (CURXP).....	202
☒ 179	レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ (CURYP).....	202
☒ 180	レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ (CURXL).....	203
☒ 181	レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ (CURYL).....	203
☒ 182	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W0BMP01).....	204
☒ 183	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W0BMP23).....	204
☒ 184	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 4/5 レジスタ (W0BMP45).....	205
☒ 185	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 6/7 レジスタ (W0BMP67).....	205
☒ 186	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 8/9 レジスタ (W0BMP89).....	206
☒ 187	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ A/B レジスタ (W0BMPAB).....	206
☒ 188	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ C/D レジスタ (W0BMPCD).....	207
☒ 189	ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ E/F レジスタ (W0BMPEF).....	207
☒ 190	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W1BMP01).....	208
☒ 191	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W1BMP23).....	208
☒ 192	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 4/5 レジスタ (W1BMP45).....	209
☒ 193	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 6/7 レジスタ (W1BMP67).....	209
☒ 194	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 8/9 レジスタ (W1BMP89).....	210
☒ 195	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ A/B レジスタ (W1BMPAB).....	210
☒ 196	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ C/D レジスタ (W1BMPCD).....	211
☒ 197	ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ E/F レジスタ (W1BMPEF).....	211
☒ 198	ミセレイニナス・コントロール・レジスタ (MISCCTL).....	212
☒ 199	CLUT RAMYCB セットアップ・レジスタ (CLUTRAMYCB).....	213
☒ 200	CLUT RAMCR セットアップ・レジスタ (CLUTRAMCR).....	213
☒ 201	トランスペアレンシー・バリュー・セットアップ・レジスタ (TRANSPVAL).....	214
☒ 202	ピンポン・ビデオ・ウィンドウ 0 アドレス・レジスタ (PPVWIN0ADR).....	214
☒ 203	VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID).....	216
☒ 204	VPSS ペリフェラル・コントロール・レジスタ (PCR).....	217
☒ 205	SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP).....	219

表一覧

表 1	ビデオ・プロセッシング・バック・エンドのインターフェイス信号	19
表 2	アナログ・ディスプレイのインターフェイス信号	20
表 3	水平タイミング・パラメータ (SDTV)	21
表 4	水平タイミング・パラメータ (プログレッシブ / EDTV)	21
表 5	ブランキング・エッジでの信号整形 On/Off	22
表 6	スキャン・モードごとのライン数	24
表 7	デジタル・ディスプレイ・モード	30
表 8	VPBE デジタル・ディスプレイ・モードの場合の信号	30
表 9	YCC16 デジタル・ディスプレイ用のインターフェイス信号	32
表 10	YCC8 デジタル・ディスプレイ用のインターフェイス信号	35
表 11	パラレル RGB デジタル・ディスプレイ用のインターフェイス信号	38
表 12	VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) のフィールド説明	43
表 13	アナログ・ディスプレイ・インターフェイス信号	47
表 14	YCC16 デジタル・ディスプレイ・インターフェイス信号	48
表 15	YCC8 デジタル・ディスプレイ・インターフェイス信号	48
表 16	パラレル RGB デジタル・ディスプレイ・インターフェイス信号	49
表 17	マスタ・モードのコンフィギュレーション・レジスタ	50
表 18	OSD ウィンドウ	51
表 19	OSD SDRAM アドレス・レジスタ	53
表 20	OSD SDRAM オフセット・レジスタ	53
表 21	OSD ウィンドウ・ポジショニング・レジスタ	54
表 22	OSD フィールド/フレーム・モード・レジスタ	55
表 23	ウィンドウ・モードの説明	55
表 24	OSD ウィンドウ・ズーム・レジスタ	58
表 25	OSD ウィンドウ・エクспанション・レジスタ	59
表 26	OSD バックグラウンド・カラー・レジスタ	59
表 27	RGB888 コントロール・レジスタ	61
表 28	OSD カラー・ルックアップ・テーブル・レジスタ	63
表 29	OSD ビットマップ・ウィンドウ YUV アウトプット・アッテネーション・レジスタ	64
表 30	ROM0 カラー・ルックアップ・テーブル (YUV 値)	64
表 31	ROM0 カラー・ルックアップ・テーブル (等価な RGB 値)	65
表 32	ROM0 カラー・ルックアップ・テーブル (等価な RGB 値)	66
表 33	ROM1 カラー・ルックアップ・テーブル (YUV 値)	67
表 34	ROM1 カラー・ルックアップ・テーブル (等価な RGB 値)	68
表 35	ROM1 カラー・ルックアップ・テーブル (等価な RGB 値)	69
表 36	1 ビット、2 ビット、4 ビットのいずれかのビットマップ用の CLUT マッピング	70
表 37	1 ビット、2 ビット、4 ビットのいずれかのビットマップ用の CLUT マッピング	71
表 38	OSD アトリビュート・ピクセル・フォーマット	73
表 39	OSD プリンク・アトリビュート・コントロール・レジスタ	74
表 40	OSD RGB565 コントロール・レジスタ	74
表 41	OSD カーソル・ウィンドウ・コントロール・レジスタ	75
表 42	サポートされる TV フォーマット	76
表 43	YUV 変換で使用されるゲイン	81
表 44	サブキャリアの初期位相デフォルト値	82
表 45	CVBS ブランキング・ビルドアップ時間	82
表 46	CVBS 同期ビルドアップ時間	82
表 47	YPbPr 変換時のゲイン (輝度レベル)	83
表 48	YPbPr 変換時のゲイン (色差レベル)	83
表 49	コンポーネントのブランキング・ビルドアップ時間	84
表 50	コンポーネントの同期ビルドアップ時間	84
表 51	コンポーネント変換の RGB ゲイン	85
表 52	DAC 出力選択	86

表 53	OSD、VENC、DAC クロック供給オプション	87
表 54	OSD、VENC、DAC クロック供給オプション	88
表 55	デジタル・ビデオの出力モード	89
表 56	タイミング・コントロール・レジスタ	90
表 57	標準ビデオ・タイミング	92
表 58	DCLK マスキング・レジスタ	101
表 59	カラー・バー・ジェネレータのデジタル出力値	111
表 60	ハードウェア・セットアップ用の VPBE グローバル・レジスタ	115
表 61	OSD ハードウェアのセットアップ	116
表 62	OSD ウィンドウのコンフィギュレーション	116
表 63	OSD ウィンドウのイネーブル/ディスエーブル	117
表 64	OSD ウィンドウのレジスタ/フィールドのシャドウイング	118
表 65	ハードウェア・セットアップ用の VPBE グローバル・レジスタ (1)	123
表 66	OSD ウィンドウのイネーブル/ディスエーブル	128
表 67	ビデオ・プロセッサ・バック・エンド (VPBE) のグローバル・レジスタ	129
表 68	ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明	129
表 69	ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明	130
表 70	ビデオ・エンコーダ/デジタル LCD (VENC) レジスタ	131
表 71	ビデオ・モード・レジスタ (VMOD) フィールドの説明	133
表 72	ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL) フィールドの説明	135
表 73	ビデオ・データ・プロセッシング・レジスタ (VDPRO) フィールドの説明	136
表 74	シンク・コントロール・レジスタ (SYNCCTL) フィールドの説明	138
表 75	水平シーク・パルス・ウィズ・レジスタ (HSPLS) フィールドの説明	140
表 76	バーティカル・シンク・パルス・ウィズ・レジスタ (VSPLS) フィールドの説明	140
表 77	水平シーク・インターバル・レジスタ (HINT) フィールドの説明	141
表 78	水平シーク・バリッド・データ・スタート・ポジション・レジスタ (HSTART) フィールドの説明	141
表 79	水平シーク・データ・バリッド・レンジ・レジスタ (HVALID) フィールドの説明	142
表 80	バーティカル・インターバル・レジスタ (VINT) フィールドの説明	142
表 81	バーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART) フィールドの説明	143
表 82	バーティカル・データ・バリッド・レンジ・レジスタ (VVALID) フィールドの説明	143
表 83	水平シーク・シンク・ディレイ・レジスタ (HSDLY) フィールドの説明	144
表 84	バーティカル・シンク・ディレイ・レジスタ (VSDLY) フィールドの説明	144
表 85	YCbCr コントロール・レジスタ (YCCTL) フィールドの説明	145
表 86	RGB コントロール・レジスタ (RGBCTL) フィールドの説明	146
表 87	RGB レベル・クリッピング・レジスタ (RGBCLP) フィールドの説明	146
表 88	ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL) フィールドの説明	147
表 89	カリング・ライン・コントロール・レジスタ (CULLLINE) フィールドの説明	148
表 90	LCD アウトプット・シグナル・コントロール・レジスタ (LCDOUT) フィールドの説明	149
表 91	ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ (BRSTS) フィールドの説明	150
表 92	ブライトネス・ウィズ・シグナル・コントロール・レジスタ (BRTW) フィールドの説明	150
表 93	LCD_AC シグナル・コントロール・レジスタ (ACCTL) フィールドの説明	151
表 94	PWM スタート・ポジション・シグナル・コントロール・レジスタ (PWMP) フィールドの説明	152
表 95	PWM ウィズ・シグナル・コントロール・レジスタ (BRTW) フィールドの説明	152
表 96	DCLK コントロール・レジスタ (DCLKCTL) フィールドの説明	153
表 97	DCLK パターン n レジスタ (DCLKPTN n) フィールドの説明	154
表 98	DCLK オグジリアリ・パターン n レジスタ (DCLKPTN n A) フィールドの説明	154
表 99	水平シーク DCLK マスク・スタート・レジスタ (DCLKHS) フィールドの説明	155
表 100	水平シーク オグジリアリ DCLK マスク・スタート・レジスタ (DCLKHSA) フィールドの説明	155
表 101	水平シーク DCLK マスク・レンジ・レジスタ (DCLKHR) フィールドの説明	156
表 102	バーティカル DCLK マスク・スタート・レジスタ (DCLKVS) フィールドの説明	156
表 103	バーティカル DCLK マスク・レンジ・レジスタ (DCLKVR) フィールドの説明	157
表 104	キャプション・コントロール・レジスタ (CAPCTL) フィールドの説明	157
表 105	キャプション・データ・オッド・フィールド・レジスタ (CAPDO) フィールドの説明	158
表 106	キャプション・データ・イーブン・フィールド・レジスタ (CAPDE) フィールドの説明	158

表 107	ビデオ・アトリビュート・データ #0 レジスタ (ATR0) フィールドの説明	159
表 108	ビデオ・アトリビュート・データ #1 レジスタ (ATR1) フィールドの説明	159
表 109	ビデオ・アトリビュート・データ #2 レジスタ (ATR2) フィールドの説明	160
表 110	ビデオ・ステータス・レジスタ (VSTAT) フィールドの説明	160
表 111	DAC テスト・レジスタ (DACTST) フィールドの説明	161
表 112	YOUT/COUT レベル・レジスタ (YCOLVL) フィールドの説明	162
表 113	サブキャリア・プログラミング・レジスタ (SCPROG) フィールドの説明	162
表 114	コンポジット・モード・レジスタ (CVBS) フィールドの説明	163
表 115	コンポーネント・モード・レジスタ (CMPNT) フィールドの説明	164
表 116	CVBS タイミング・コントロール 0 レジスタ (ETMG0) フィールドの説明	166
表 117	CVBS タイミング・コントロール 1 レジスタ (ETMG1) フィールドの説明	166
表 118	コンポーネント・タイミング・コントロール 0 レジスタ (ETMG2) フィールドの説明	167
表 119	コンポーネント・タイミング・コントロール 1 レジスタ (ETMG3) フィールドの説明	167
表 120	DAC アウトプット・セレクト・レジスタ (DACSEL) フィールドの説明	168
表 121	アナログ RGB マトリックス 0 レジスタ (ARGBX0) フィールドの説明	169
表 122	アナログ RGB マトリックス 1 レジスタ (ARGBX1) フィールドの説明	170
表 123	アナログ RGB マトリックス 2 レジスタ (ARGBX2) フィールドの説明	170
表 124	アナログ RGB マトリックス 3 レジスタ (ARGBX3) フィールドの説明	170
表 125	アナログ RGB マトリックス 4 レジスタ (ARGBX4) フィールドの説明	171
表 126	デジタル RGB マトリックス 0 レジスタ (DRGBX0) フィールドの説明	171
表 127	デジタル RGB マトリックス 1 レジスタ (DRGBX1) フィールドの説明	172
表 128	デジタル RGB マトリックス 2 レジスタ (DRGBX2) フィールドの説明	172
表 129	デジタル RGB マトリックス 3 レジスタ (DRGBX3) フィールドの説明	173
表 130	デジタル RGB マトリックス 4 レジスタ (DRGBX4) フィールドの説明	173
表 131	バーティカル・データ・バリッド・スタート・ポジション・レジスタ (VSTARTA) (偶数フィールド用) フィールドの説明	174
表 132	OSD クロック・コントロール 0 レジスタ (OSDCLK0) フィールドの説明	174
表 133	OSD クロック・コントロール 1 レジスタ (OSDCLK1) フィールドの説明	175
表 134	水平シフト・バリッド・カリング・コントロール 0 レジスタ (HVLDCLO) フィールドの説明	175
表 135	水平シフト・バリッド・カリング・コントロール 1 レジスタ (HVLDCL1) フィールドの説明	176
表 136	OSD 水平シフト・シンク・アドバンス・レジスタ (OSDHADV) フィールドの説明	176
表 137	VENC ミセレイニアス・レジスタ (VMISC) フィールドの説明	177
表 138	オンスクリーン・ディスプレイ (OSD) レジスタ	178
表 139	OSD モード・レジスタ (MODE) フィールドの説明	180
表 140	ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD) フィールドの説明	181
表 141	OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD) フィールドの説明	183
表 142	OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD) フィールドの説明	185
表 143	OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ (OSDATRMD) フィールドの説明	187
表 144	レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR) フィールドの説明	188
表 145	ビデオ・ウィンドウ 0 オフセット・レジスタ (VIDWIN0OFST) フィールドの説明	189
表 146	ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST) フィールドの説明	189
表 147	OSD ウィンドウ 0 オフセット・レジスタ (OSDWIN0OFST) フィールドの説明	190
表 148	OSD ウィンドウ 1 オフセット・レジスタ (OSDWIN1OFST) フィールドの説明	191
表 149	ビデオ・ウィンドウ 0 アドレス・レジスタ (VIDWIN0ADR) フィールドの説明	191
表 150	ビデオ・ウィンドウ 1 アドレス・レジスタ (VIDWIN1ADR) フィールドの説明	191
表 151	OSD ウィンドウ 0 アドレス・レジスタ (OSDWIN0ADR) フィールドの説明	192
表 152	OSD ウィンドウ 1 アドレス・レジスタ (OSDWIN1ADR) フィールドの説明	192
表 153	ベース・ピクセル X レジスタ (BASEPX) フィールドの説明	193
表 154	ベース・ピクセル Y レジスタ (BASEPY) フィールドの説明	193
表 155	ビデオ・ウィンドウ 0 X ポジション・レジスタ (VIDWIN0XP) フィールドの説明	194
表 156	ビデオ・ウィンドウ 0 Y ポジション・レジスタ (VIDWIN0YP) フィールドの説明	194
表 157	ビデオ・ウィンドウ 0 X サイズ・レジスタ (VIDWIN0XL) フィールドの説明	195
表 158	ビデオ・ウィンドウ 0 Y サイズ・レジスタ (VIDWIN0YL) フィールドの説明	195
表 159	ビデオ・ウィンドウ 1 X ポジション・レジスタ (VIDWIN1XP) フィールドの説明	196

表 160	ビデオ・ウィンドウ 1Y ポジション・レジスタ (VIDWIN1YP) フィールドの説明	196
表 161	ビデオ・ウィンドウ 1X サイズ・レジスタ (VIDWIN1XL) フィールドの説明	197
表 162	ビデオ・ウィンドウ 1Y サイズ・レジスタ (VIDWIN1YL) フィールドの説明	197
表 163	OSD ビットマップ・ウィンドウ 0X ポジション・レジスタ (OSDWIN0XP) フィールドの説明	198
表 164	OSD ビットマップ・ウィンドウ 0Y ポジション・レジスタ (OSDWIN0YP) フィールドの説明	198
表 165	OSD ビットマップ・ウィンドウ 0X サイズ・レジスタ (OSDWIN0XL) フィールドの説明	199
表 166	OSD ビットマップ・ウィンドウ 0Y サイズ・レジスタ (OSDWIN0YL) フィールドの説明	199
表 167	OSD ビットマップ・ウィンドウ 1X ポジション・レジスタ (OSDWIN1XP) フィールドの説明	200
表 168	OSD ビットマップ・ウィンドウ 1Y ポジション・レジスタ (OSDWIN1YP) フィールドの説明	200
表 169	OSD ビットマップ・ウィンドウ 1X サイズ・レジスタ (OSDWIN1XL) フィールドの説明	201
表 170	OSD ビットマップ・ウィンドウ 1Y サイズ・レジスタ (OSDWIN1YL) フィールドの説明	201
表 171	レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ (CURXP) フィールドの説明	202
表 172	レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ (CURYP) フィールドの説明	202
表 173	レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ (CURXL) フィールドの説明	203
表 174	レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ (CURYL) フィールドの説明	203
表 175	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ 0/1 レジスタ (W0BMP01) フィールドの説明	204
表 176	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ 2/3 レジスタ (W0BMP23) フィールドの説明	204
表 177	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ 4/5 レジスタ (W0BMP45) フィールドの説明	205
表 178	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ 6/7 レジスタ (W0BMP67) フィールドの説明	205
表 179	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ 8/9 レジスタ (W0BMP89) フィールドの説明	206
表 180	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ A/B レジスタ (W0BMPAB) フィールドの説明	206
表 181	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ C/D レジスタ (W0BMPCD) フィールドの説明	207
表 182	ウィンドウ 0 ビットマップ・バリュウ・ツー・パレット・マップ E/F レジスタ (W0BMPEF) フィールドの説明	207
表 183	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ 0/1 レジスタ (W1BMP01) フィールドの説明	208
表 184	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ 2/3 レジスタ (W1BMP23) フィールドの説明	208
表 185	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ 4/5 レジスタ (W1BMP45) フィールドの説明	209
表 186	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ 6/7 レジスタ (W1BMP67) フィールドの説明	209
表 187	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ 8/9 レジスタ (W1BMP89) フィールドの説明	210
表 188	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ A/B レジスタ (W1BMPAB) フィールドの説明	210
表 189	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ C/D レジスタ (W1BMPCD) フィールドの説明	211
表 190	ウィンドウ 1 ビットマップ・バリュウ・ツー・パレット・マップ E/F レジスタ (W1BMPEF) フィールドの説明	211
表 191	ミセレイニヤス・コントロール・レジスタ (MISCCTL) フィールドの説明	212
表 192	CLUT RAMYCB セットアップ・レジスタ (CLUTRAMYCB) フィールドの説明	213
表 193	CLUT RAMCR セットアップ・レジスタ (CLUTRAMCR) フィールドの説明	214
表 194	トランスペアレンシー・バリュウ・セットアップ・レジスタ (TRANSPVAL) フィールドの説明	214
表 195	ピンポン・ビデオ・ウィンドウ 0 アドレス・レジスタ (PPVWIN0ADR) フィールドの説明	215
表 196	ビデオ・プロセッシング・サブシステム (VPSS) レジスタ	216
表 197	VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明	216
表 198	VPSS ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明	217

表 199	SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ (SDR_REQ_EXP) フィールドの説明.....	219
表 A-1	資料改訂履歴.....	220

最初にお読みください

本書について

本書では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されているビデオ・プロセッシング・バック・エンド (VPBE) について説明します。

表記規則

本書では、次の表記規則を使用します。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書ではレジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、リード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連資料

TMS320DM643x デジタル・メディア・プロセッサ (DMP) を解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに資料番号を入力してください。

DM643x DMP、関連ペリフェラル、およびその他の技術資料は、C6000 DSP 製品フォルダ www.ti.com/c6000 から入手できます。

SPRU978 — TMS320DM643x DMP DSP Subsystem Reference Guide では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) に搭載されているデジタル・シグナル・プロセッサ (DSP) のサブシステムについて説明しています。

SPRU983 — TMS320DM643x DMP Peripherals Overview Reference Guide では、TMS320DM643x デジタル・メディア・プロセッサ (DMP) 上で使用可能なペリフェラルについて説明しています。

SPRAA84 — TMS320C64x to TMS320C64x+ CPU Migration Guide では、Texas Instruments TMS320C64x デジタル・シグナル・プロセッサ (DSP) から TMS320C64x+ DSP への移行方法について説明しています。本書の目的は、2 つのコア間の相違点を的確に示すことです。2 つのデバイスの機能が等価な場合には、説明は省略されています。

SPRU732 — TMS320C64x/C64x+ DSP CPU and Instruction Set Reference Guide では、TMS320C6000 DSP ファミリーの TMS320C64x と TMS320C64x+ のデジタル・シグナル・プロセッサ (DSP) の CPU アーキテクチャー、パイプライン、命令セット、および割り込みについて説明しています。C64x/C64x+ DSP 世代は、C6000 DSP プラットフォームの固定小数点デバイスを構成しています。C64x+ DSP は C64x DSP の機能性を高め、命令セットを拡張した機能強化版です。

SPRU871 — TMS320C64x+ DSP Megamodule Reference Guide では、TMS320C64x+ デジタル・シグナル・プロセッサ (DSP) のメガモジュールについて説明しています。また内部ダイレクト・メモリ・アクセス (IDMA) コントローラ、割り込みコントローラ、パワーダウン・コントローラ、メモリ保護、帯域幅管理、メモリとキャッシュについても説明しています。

ビデオ・プロセッシング・バック・エンド (VPBE)

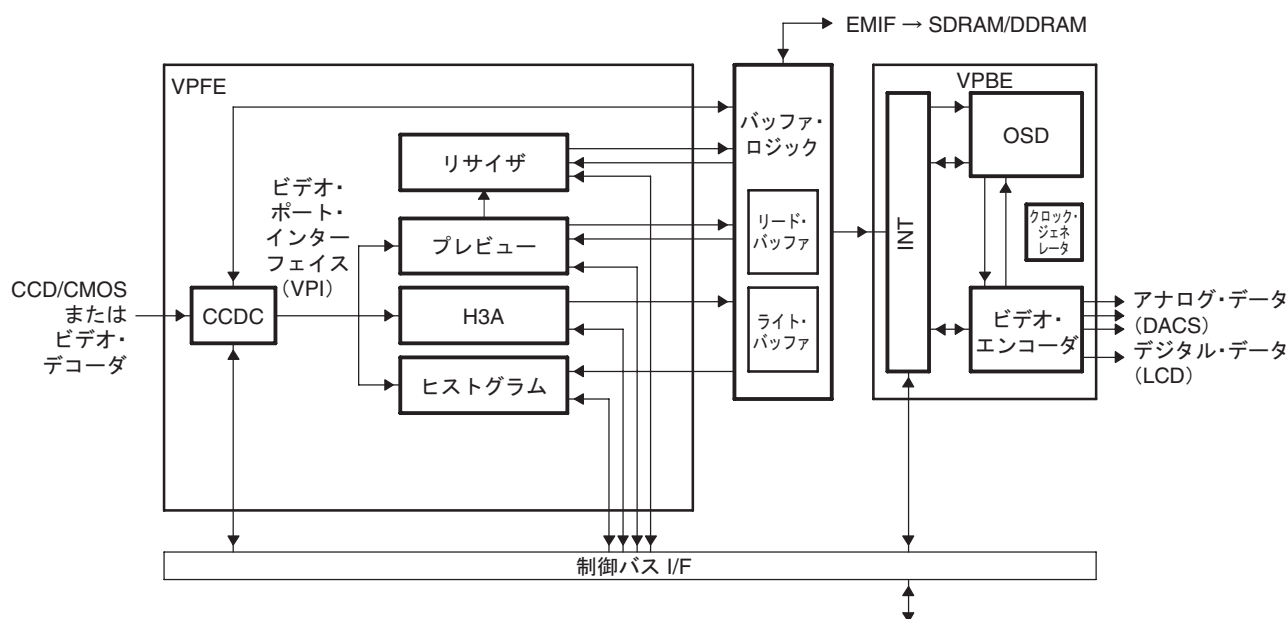
1 概要

1.1 ビデオ・プロセッシング・バック・エンドの用途

ビデオ・プロセッシング・サブシステム (VPSS) (図 1 を参照) は、イメージ・センサー、ビデオ・デコーダなど外部イメージ処理ペリフェラル用の入力インターフェイス (ビデオ・プロセッシング・フロント・エンド (VPFE))、およびアナログ SDTV ディスプレイ、デジタル LCD パネル、および HDTV ビデオ・エンコーダなどディスプレイ・デバイス用の出力インターフェイス (ビデオ・プロセッシング・バック・エンド (VPBE)) を提供します。

これらのペリフェラルに加え、DDR2 バースト帯域幅を効率的に使用できることを可能にする共通バッファ・メモリと DMA 制御機能もあります。共有バッファ・ロジック/メモリは、VPSS をイメージ/ビデオ・プロセッシング・システムとシームレスに統合する目的で用意された固有のブロックです。これは DDR2 との間でデータの要求または転送のいずれかを行うすべての VPFE および VPBE モジュールに対する 1 次ソース、または 1 次シンクとして動作します。外部の DDR2 帯域を効率的に使用するために、共有バッファ・ロジック/メモリは、高帯域バス (64 ビット幅) を介して DMA システムと接続されています。また共有バッファ・ロジック/メモリは、128 ビット幅のバスを介してすべての VPFE および VPBE モジュールとも接続されています。DDR2 の高帯域要件および VPSS モジュールのリアルタイム要件のため、VPSS が DDR2 帯域を効率的に使用することは不可欠です。データ転送時にオーバーフローまたは障害を監視するために、ユーザーがアクセス可能なレジスタ・セットが用意されています。これは、DDR2 帯域を超えるように VPSS モジュールを構成することができるためです。

図 1. ビデオ・プロセッシング・サブシステム (VPSS) のブロック図



1.2 機能

VPBE ブロックは、オンスクリーン・ディスプレイ (OSD) およびビデオ・エンコーダ (VENC) モジュールから構成されています。これらのモジュールは両方とも、強力で柔軟性の高いバック・エンド・ディスプレイ・インターフェイスを提供します。

- オンスクリーン・ディスプレイ (OSD) グラフィック・アクセラレータ: OSD は、各種のハードウェア・ディスプレイ・ウィンドウに対応したさまざまなフォーマットでディスプレイ・データを管理して、ディスプレイ・ウィンドウを1つのディスプレイ・フレームに組み合わせて処理します。その後、データはビデオ・エンコーダ (VENC) モジュールによって出力されます。
- ビデオ・エンコーダ (VENC): VENC は、オンスクリーン・ディスプレイ (OSD) からディスプレイ・フレームを取得し、ディスプレイ・デバイスとのインターフェイスに必要な指定出力形式や出力信号 (データ、クロック、同期などを含む) にフォーマットします。
VENC は、次の3つの主要なサブブロックから構成されています。
 - ビデオ A/D 変換など NTSC/PAL 方式のテレビ・ディスプレイとインターフェイスするための信号を生成するアナログ・ビデオ・エンコーダ。
 - 高品位ビデオ・エンコーダと DVI/HDMI インターフェイス・デバイスの両方またはそのいずれかとインターフェイスするために、標準デジタル YUV 出力だけでなく、さまざまなデジタル LCD ディスプレイ・フォーマットとのインターフェイスをサポートするデジタル LCD コントローラ。
 - さまざまなデジタル・ビデオ出力モードだけでなく、アナログ・ビデオ出力に必要な固有のタイミングを生成するタイミング・ジェネレータ。

OSD および VENC モジュールのシーケンスをイネーブルする際に、次の制限事項があります。

- VENC をイネーブルする (VMOD.VENC = 1) 前に、OSD ウィンドウをイネーブルしておいてください (VIDWINMD.ACT_n および OSDWIN_nMD.OACT_n)。

1.2.1 オンスクリーン・ディスプレイ (OSD) 機能

OSD モジュールの主要な機能は、ビデオ・データおよびディスプレイ/ビットマップ・データを読み込み、ブレンディングしてから、YCbCr フォーマットでビデオ・エンコーダ (VENC) に渡すことです。ビデオとディスプレイのデータは、外部 DDR2 メモリからリードされます。OSD は、コントロール・レジスタおよびパラメータ・レジスタを使用してプログラムされます。OSD がサポートしている主要な機能は次のとおりです。

- 同時表示可能な 2 つのビデオ・ウィンドウおよび 2 つの OSD ウィンドウのサポート (VIDWIN0/VIDWIN1 と OSDWIN0/OSDWIN1)。
- ウィンドウごとに別々のイネーブル/ディスエーブル制御。
- ウィンドウごとにプログラム可能な幅、高さ、ベースとなる開始座標。
- ウィンドウごとの外部メモリ・アドレスおよびオフセット・レジスタ。
- 水平方向と垂直方向の両方に 2 倍および 4 倍ズームをサポート。
- OSDWIN1 を、OSDWIN0 のアトリビュート・ウィンドウに設定することが可能。
- ウィンドウ (インターレース/プログレッシブ) に対してフィールド/フレーム・モードのいずれかを選択可能。
- OSD とビデオ・ウィンドウ間で 8 段階のブレンディング処理。
- OSD とビデオ・データの透過性サポート (ビットマップとビデオ間でのバックグラウンド・カラーと一致するピクセルのみのブレンディング)。
- OSD とビデオ・ウィンドウの両方に対して、VGA から NTSC/PAL (640 × 480 ~ 720 × 576) へリサイズできる能力。
- CbCr コンポーネントの順序を 32 ビット・ワードで交換できる機能を使用して、YCbCr データを 422 フォーマットで外部メモリからリードする (これは、2 つのビデオ・ウィンドウに影響する)。
- VIDWIN0 用に使用可能なピンポン・バッファ方式に対応 (これにより、SDRAM/DDRDRAM の 2 つの異なるロケーションからビデオ・データにアクセス可能)。
- OSD ウィンドウ (いずれか一方、同時に 2 つは不可) は、最大 8 ビットに制限された YCbCr フォーマットのビットマップ・データではなく、RGB データ (緑に 6 ビット、赤と青に 5 ビットずつの 16 ビット・データ) をリード可能。
- OSD ビットマップ・データ幅は、1 ビット、2 ビット、4 ビット、8 ビットのいずれかを選択可能。

- 各 OSD ウィンドウは、ビットマップ用に 16 エントリをサポート (256 エントリの RAM/ROM CLUT テーブルにインデックスするため)。
- VPBE のラッパー・インターフェイスを介した 24 ビットの RGB 入力データ (これは 16 ビット YCbCr ビデオ・ウィンドウ・データに変換される) の間接サポート。
- プログラム可能なバックグラウンド・カラーの選択。
- 256 色をサポートする RAM/ROM テーブル間で選択できる能力のあるプログラム可能なカラー・パレット。すべてのウィンドウに対して同時に選択可能なウィンドウには 2 つの ROM テーブルがあります。
- カーソルの幅、高さ、カラーは、いずれも選択可能。
- ディスプレイ優先順位は、矩形カーソル > OSDWIN1 > OSDWIN0 > VIDWIN1 > VIDWIN0 > バックグラウンド・カラーの順になります。
- REC601 規格の YCbCr 値のアッテネーションのサポート。

OSD モジュールには、以下の制限があります。

- OSD ウィンドウと VIDWIN1 は両方とも VIDWIN0 内部に完全に包含されている必要があります。これは、OSD ウィンドウまたは VIDWIN1 のいずれかの Y と X の位置は両方とも VIDWIN0 の Y と X の位置より大きくなる (等しくはない) ということです。また、OSD ウィンドウまたは VIDWIN1 のいずれかを使用時に、VIDWIN0 をイネーブ爾することも必要です。
- OSD は CLUT RAM/ROM で 256 色を超えるエントリをサポートできません。アプリケーションによっては、より多くのエントリ数が必要で、回避方法として OSD ウィンドウを模倣したオーバーレイとして VIDWIN1 を使用します。別の方法として、OSD ウィンドウの 1 つに RGB モードを使用して、R、G、B の各カラーの 16 ビットがすべて使用できるようにします。
- OSD はビデオ・ウィンドウ用の 422 インターリーブ・フォーマットで YCbCr のリードのみ可能です。その他の色分解されたデータまたは 444/420 インターリーブ・データはいずれもサポートされません。
- 垂直リサイズ・フィルタがビデオ・ウィンドウのいずれかでイネーブ爾の場合、最大水平サイズは現在 720 ラインを超えることはできません。これは、ライン・メモリ・サイズの制限によるものです。
- 2 つの CLUT ROM を両方とも同時に使用することはできません。ただし、それぞれのウィンドウが RAM を使用したり、ROM を選択したりすることはできます。
- 24 ビットの RGB 入力モードは、(プログラム可能な) 2 つのビデオ・ウィンドウのいずれかでのみ有効で、OSD ウィンドウには適用されません。

1.2.2 ビデオ・エンコーダ (VENC) の機能

VENC/DLDC は、3 つの主要なブロックから構成されています。具体的には、アナログ・ビデオ出力を生成するビデオ・エンコーダ、デジタル RGB/YCbCr データ出力とタイミング信号を生成するデジタル LCD コントローラ、およびタイミング・ジェネレータです。

注： 非標準モードでは、DAC を使用してはいけません。

アナログ・ビデオ・エンコーダの機能は次のとおりです。

- マスタ・クロック入力 - 27 MHz (2 倍のアップサンプリング)
- SDTV のサポート
 - コンポジット NTSC-M、PAL-B/D/G/H/I
 - S-ビデオ (Y/C)
 - コンポーネント YPbPr (SMPTE/EBU N10、ベータカム、MII)
 - RGB
 - Macrovision (Rev7.1) Anticopy Protection
 - ノンインターレース
 - CGMS/WSS
 - ライン 21 クローズド・キャプション・データ・エンコーディング

- 色差ローパス・フィルタ 1.5 MHz/3 MHz
- プログラム可能な SC-H 位相
- HDTV のサポート
 - プログレッシブ出力 (525p/625p)
 - コンポーネント YPbPr
 - RGB
 - CGMS/WSS
 - Macrovision (Rev1.2) Anticopy Protection (525p/625p YPbPr 用)
- 10 ビットのオーバーサンプリング D/A コンバータ (54MHz)
- オプションの 7.5% ペDESTAL
- 選択可能な 16 ~ 235/0 ~ 255 入力振幅
- プログラム可能な輝度遅延
- マスタ / スレーブ動作
- 内部カラー・バー生成 (100%/75%)

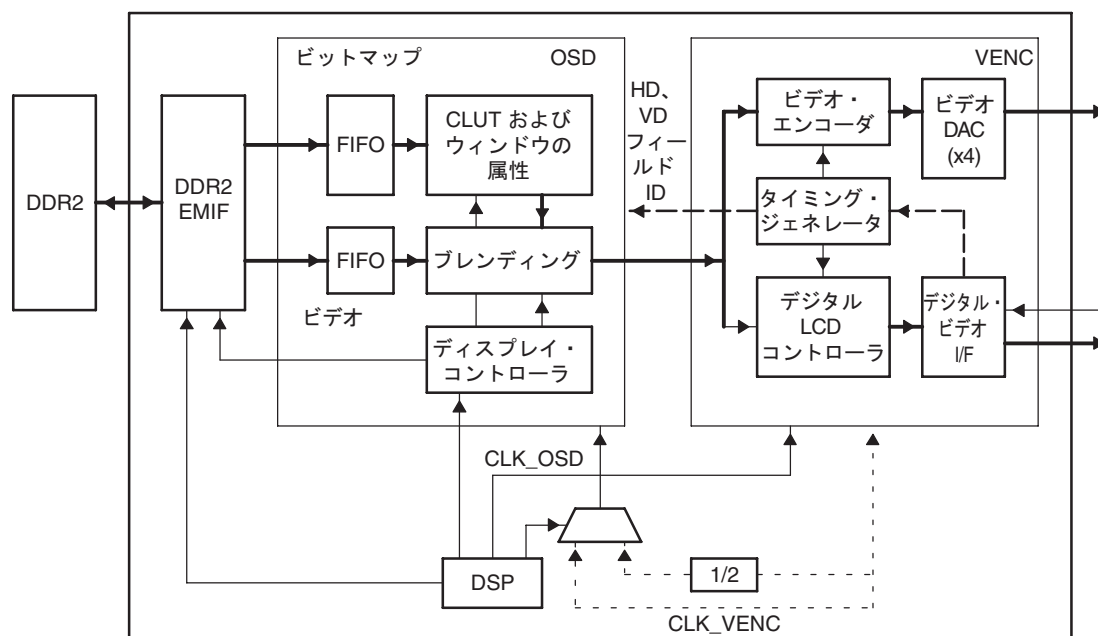
デジタル LCD インターフェイス機能は次のとおりです。

- プログラム可能な DCLK
- 各種出力フォーマット
 - YCbCr 16 ビット
 - YCbCr 8 ビット
 - ITU-R BT. 656
 - 24 ビットのパラレル RGB
- デジタル RGB 出力用ローパス・フィルタ
- プログラム可能なタイミング・ジェネレータ
- マスタ / スレーブ動作
- 内部カラー・バー生成 (100%/75%)

1.3 機能ブロック図

図 2 に、VPBE の機能ブロック図を各種データ・フロー・パスとともに示します。

図 2. ビデオ・プロセッシング・バック・エンド (VPBE) のブロック図



- データ (イメージ) 信号
- - - タイミング信号
- クロック信号
- 制御信号

1.4 サポートされる使用方法

VPBE は、OSD モジュールによるさまざまなディスプレイ・フォーマットで DDR2 メモリに保存されているデータからのイメージ (2D ウィンドウ) の合成とブレンディングをサポートします。その後このイメージは、アナログ SDTV/EDTV ディスプレイおよびデジタル・ディスプレイ・デバイスに対して、VENC モジュールによってさまざまなモード / フォーマットで表示用データのフォーマットと変換が行われます。YUV 出力モードでは必要最小限のデータ処理が適用され、そのデータは YUV 入力ソースから VPBE に直接渡されます。デジタル RGB および LCD ディスプレイ・フォーマットは、アナログ出力として OSD の YUV422 出力フォーマットから生成されます。アナログ DAC 出力は、コンポジット、S-ビデオ (Y/C)、コンポーネント (YPbPr)、および RGB の各出力フォーマットを備える最大で 525p/625p EDTV をサポートします。

1.5 業界標準への準拠について

アナログ・テレビ規格のサポート :

- SDTV
 - 525 ライン /60 Hz (NTSC-M) または
 - 625 ライン /50 Hz (PAL-B/D/G/H/I)
- HDTV
 - 525p または 625p

2 ディスプレイ・サブシステム環境

表 1 に、VPBE 信号を示します。

表 1. ビデオ・プロセッシング・バック・エンドのインターフェイス信号

ピン名	入出力	説明	デフォルト	トライ ステート	ID ブルアップ/ ブルダウン
VPBE アナログ信号					
DAC_IOUT_A	出力	ビデオ DAC A		-	-
DAC_IOUT_B	出力	ビデオ DAC B		-	-
DAC_IOUT_C	出力	ビデオ DAC C		-	-
DAC_IOUT_D	出力	ビデオ DAC D		-	-
DAC_VREF	入出力	ビデオ DAC VREF	0.5 V	-	-
DAC_RBIA5	入出力	ビデオ DAC R バイアス	0.5 V	-	-
VDDA_1P8V	電源	ビデオ DAC アナログ 1.8 V 電源	1.8 V	-	-
VSSA_1P8V	グラウンド	ビデオ DAC アナログ 1.8 V グラウンド		-	-
VDDA_1P1V	電源	ビデオ DAC アナログ 1.1 V 電源	コア	-	-
VSSA_1P1V	グラウンド	ビデオ DAC アナログ 1.1 V グラウンド		-	-
VPBE デジタル信号					
HSYNC	入出力	水平同期	出力	tri	ブルダウン
VS5NC	入出力	垂直同期	出力	tri	ブルダウン
VCLK	出力	ビデオ・クロック	出力	tri	
VPBECLK	入力	VPBE 外部クロック入力 (オプション)	入力	tri	ブルダウン
YOUT7	出力	Y 出力信号	出力	tri	
YOUT6	出力	Y 出力信号	出力	tri	
YOUT5	出力	Y 出力信号	出力	tri	
YOUT4	入出力	Y 出力信号	出力	tri	ブルダウン
YOUT3	入出力	Y 出力信号	出力	tri	ブルダウン
YOUT2	入出力	Y 出力信号	出力	tri	ブルダウン
YOUT1	入出力	Y 出力信号	出力	tri	ブルダウン
YOUT0	入出力	Y 出力信号	出力	tri	ブルダウン
COU7	出力	C 出力信号	出力	tri	
COU6	出力	C 出力信号	出力	tri	
COU5	出力	C 出力信号	出力	tri	
COU4	入出力	C 出力信号	出力	tri	
COU3	入出力	C 出力信号	出力	tri	ブルダウン
COU2	入出力	C 出力信号	出力	tri	ブルダウン
COU1	入出力	C 出力信号	出力	tri	ブルダウン
COU0	入出力	C 出力信号	出力	tri	ブルダウン
R2	入出力	RGB666 モード R2	入力	tri	
B2	入出力	RGB666 モード B2	入力	tri	
LCD_OE	出力	LCD 出力のイネーブル	出力	tri	
G0	入出力	RGB666 モード G0	入力	tri	

表 1. ビデオ・プロセッシング・バック・エンドのインターフェイス信号 (続き)

ピン名	入出力	説明	デフォルト	トライ ステート	ID プルアップ/ プルダウン
B0/LCD_FIELD	入出力	RGB666 モード B0/LCD_FIELD	入力	tri	
R0	入出力	RGB666 モード R0	入力	tri	
G1	入出力	RGB666 モード G1	入力	tri	
B1	入出力	RGB666 モード B1	入力	tri	
R1	入出力	RGB666 モード R1	入力	tri	

2.1 アナログ・ディスプレイ・インターフェイス

アナログ・ディスプレイ・インターフェイスは、NTSC/PAL 互換方式のテレビ・ディスプレイ、ビデオ・デコーダ、および NTSC/PAL 互換方式のディスプレイ・インターフェイスを備える他のデバイスを駆動するために使用されます。

2.1.1 アナログ・ディスプレイ信号インターフェイス

表 2 に、アナログ・ディスプレイ・インターフェイスのインターフェイス接続を示します。

表 2. アナログ・ディスプレイのインターフェイス信号

ピン名	説明
DAC_IOUT_A	ビデオ DAC A
DAC_IOUT_B	ビデオ DAC B
DAC_IOUT_C	ビデオ DAC C
DAC_IOUT_D	ビデオ DAC D
DAC_VREF	ビデオ DAC VREF
DAC_RBIAIS	ビデオ DAC R バイアス
VDDA_1P8V	ビデオ DAC アナログ 1.8 V 電源
VSSA_1P8V	ビデオ DAC アナログ 1.8 V グランド
VDDA_1P1V	ビデオ DAC アナログ 1.1 V 電源
VSSA_1P1V	ビデオ DAC アナログ 1.1 V グランド

2.1.2 アナログ・ディスプレイ信号インターフェイスの説明

VPBE アナログ・インターフェイスには、最大で 4 つのビデオ DAC 信号、DAC 基準電圧、および R バイアス信号、別々の 1.8V およびコア電源 / グランド信号が組み込まれています。最大で 4 つの DAC が使用可能で、コンポジット (1 DAC)、S-ビデオまたは Y/C (2 DAC)、コンポーネント YPbPr (3 DAC)、アナログ RGB (3 DAC)、および PAL コンポーネント YPbPr + 同期 (4 DAC) をサポートします。DAC は、SDTV (インターレース、6.5 MHz 帯域) 信号または EDTV (プログレッシブ、13 MHz 帯域) 信号をサポートするために、サンプリング・レート 27 MHz または 54 MHz のいずれかで動作します。

2.1.3 アナログ・ディスプレイ信号インターフェイスのタイミング

ここでは、マスタ・モードのタイミングについて説明します。スレーブ・モードのタイミングについては、4.4.4.3 項を参照してください。

2.1.3.1 水平タイミング

水平同期パルスのロケーション、カラー・バーストの位置、およびアクティブなビデオの位置などのタイミングは、ハードウェアによって自動的に計算されます。図 3 に、水平信号のタイミング特性を示します。表 3 と表 4 に、タイミング・チャートのパラメータを示します。各パラメータは適合規格にセットされますが、ユーザー・レジスタによって調整可能です。CVBS およびコンポーネント/RGB 出力には、独立したタイミング構成が使用できます。

図 3. 水平タイミング

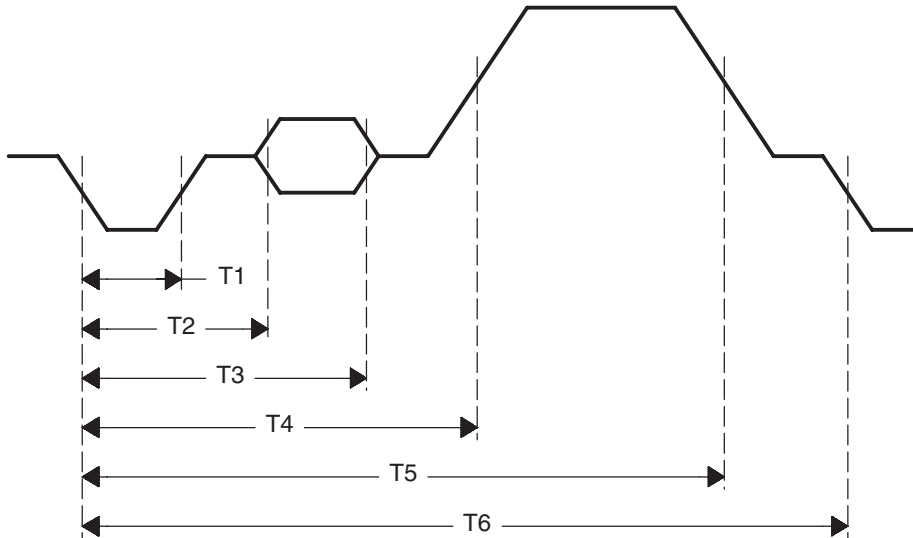


表 3. 水平タイミング・パラメータ (SDTV)

パラメータ	項目	NTSC ⁽¹⁾	PAL ⁽¹⁾	CVBS 調整	コンポーネント調整
T1	水平同期パルス幅	127	127	ETMG0.CLSW	ETMG2.MLSW
T2	水平基準からバースト開始	141	151	ETMG1.CBST	該当なし
T3	水平基準からバースト終了	210	212	ETMG1.CBSE	該当なし
T4	水平基準から水平ブランキング終了	243	263	ETMG1.CLBI	ETMG3.CLBI
T5	水平基準から水平ブランキング開始	1683	1703	ETMG1.CFPW	ETMG3.CFPW
T6	1H	1716	1728	-	-

(1) 単位は、ENC クロック

表 4. 水平タイミング・パラメータ (プログレッシブ/EDTV)

パラメータ	項目	525P ⁽¹⁾	625 ⁽¹⁾	CVBS 調整	コンポーネント調整
T1	水平同期パルス幅	64	64	該当なし	ETMG2.MLSW
T4	水平基準から水平ブランキング終了	122	132	該当なし	ETMG3.CLBI
T5	水平基準から水平ブランキング開始	842	852	該当なし	ETMG3.CFPW
T6	1H	858	864	-	-

(1) 単位は、ENC クロック

2.1.3.2 水平ブランキングのタイミング

水平ビデオ・ブランキング・エッジ付近の一部のピクセルがクリップされるので、出力ビデオには適切なブランキング遷移が含まれます。

この機能はデフォルトではイネーブルですが、パラメータ CBLIS (CVBS の場合) または MBLS (YPbPr/RGB の場合) を 1 にセットするとディスエーブルになります。図 4 に、ブランキング・エッジでの信号整形がイネーブルのときとディスエーブルのときの波形を示します。表 5 に、T4 と T5 の違いを示します (T4 と T5 については、図 3 を参照)。

図 4. 水平ブランキング・エッジでの信号整形

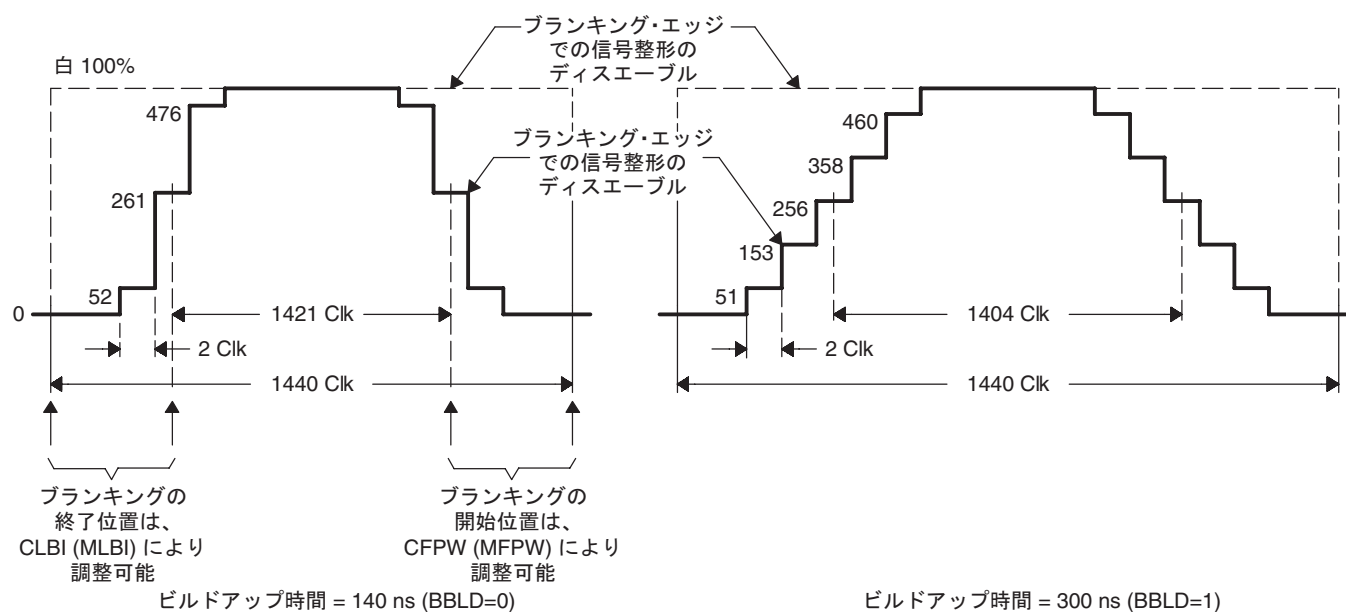


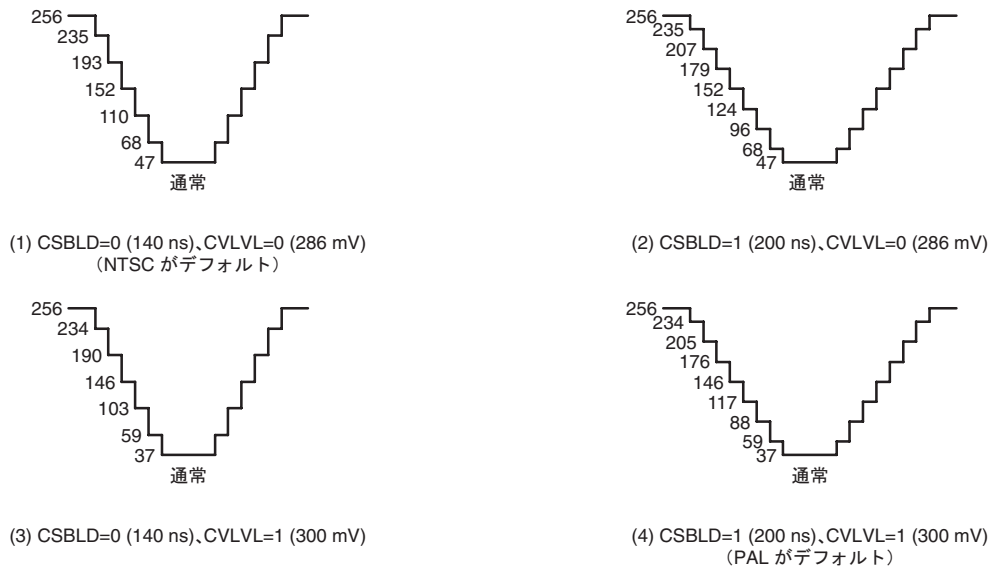
表 5. ブランキング・エッジでの信号整形 On/Off

パラメータ	NTSC		PAL	
	CVBS.CBLS = 0	CVBS.CBLS = 1	CVBS.CBLS = 0	CVBS.CBLS = 1
T4	252	243	282	263
T5	1673	1683	1686	1703

2.1.3.3 水平同期のタイミング

輝度信号に挿入される水平同期パルスの詳細な波形を図 5 に示します。図 5 のレベルは、内部のデジタル値です。各ステップの継続時間は、1 ENC クロック時間です。この図のレジスタ名は、CVBS 出力の場合のものです。コンポーネント / RGB 出力の場合、CMPNT.MSBLD および CMPNT.MYLVL が同期ビルドアップ時間および同期レベルをそれぞれ制御します。

図 5. 同期信号の詳細な波形 (SDTV)



2.1.3.4 垂直タイミング

垂直タイミングも同様に、モードごと（NTSCまたはPAL）にハードウェアによって自動的に制御されます。セレーション・パルスおよびイコライゼーション・パルスが適切なラインで生成されます。カラー・バーストは適切なラインで自動的にディスエーブルされます。フィールドのライン番号は、VMOD.ITCLCLにより選択されます（表6を参照）。

表6. スキャン・モードごとのライン数

VMOD.ITLC	VMOD.ITLCL	ライン	
		NTSC	PAL
0	x	262.5	312.5
1	0	262	312
1	1	263	313

図6と図7に、NTSCとPALの垂直タイミング特性をそれぞれ示します。

図8と図9に、NTSCとPALのノンインターレース・モードのときの垂直タイミング特性をそれぞれ示します。ノンインターレース・モードは、VMOD.ITLC=1の場合にアクティブになります。

図10と図11に、プログレッシブ・モードのときの垂直タイミング特性を示します。プログレッシブ・モードおよびノンインターレース・モードのときのFIELD出力は、Lowに固定されています。

これらの図では、カラー・バーストは、 \downarrow 、 \uparrow の記号のいずれかで表されています。NTSCの場合、 \downarrow はカラー・バーストの位置を表します。PALの場合、Uに対して \downarrow は $+135^\circ$ 、 \uparrow は -135° をそれぞれ意味します。インターレースNTSCの場合、ビデオ・エンコーダはフィールドIからマスタ・モードで動作を開始します。インターレースPALの場合、ビデオ・エンコーダはフィールドIIからマスタ・モードで動作を開始します。

図6. NTSCの垂直タイミング

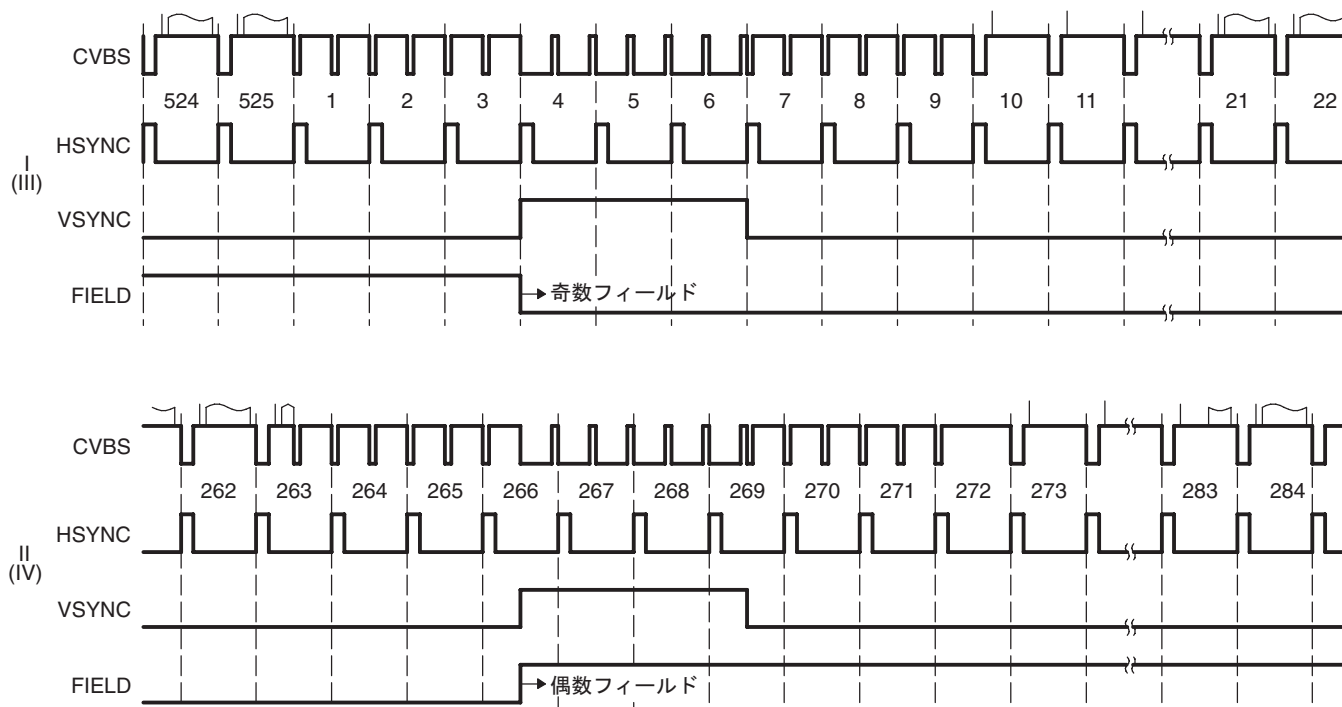


図 7. PAL の垂直タイミング

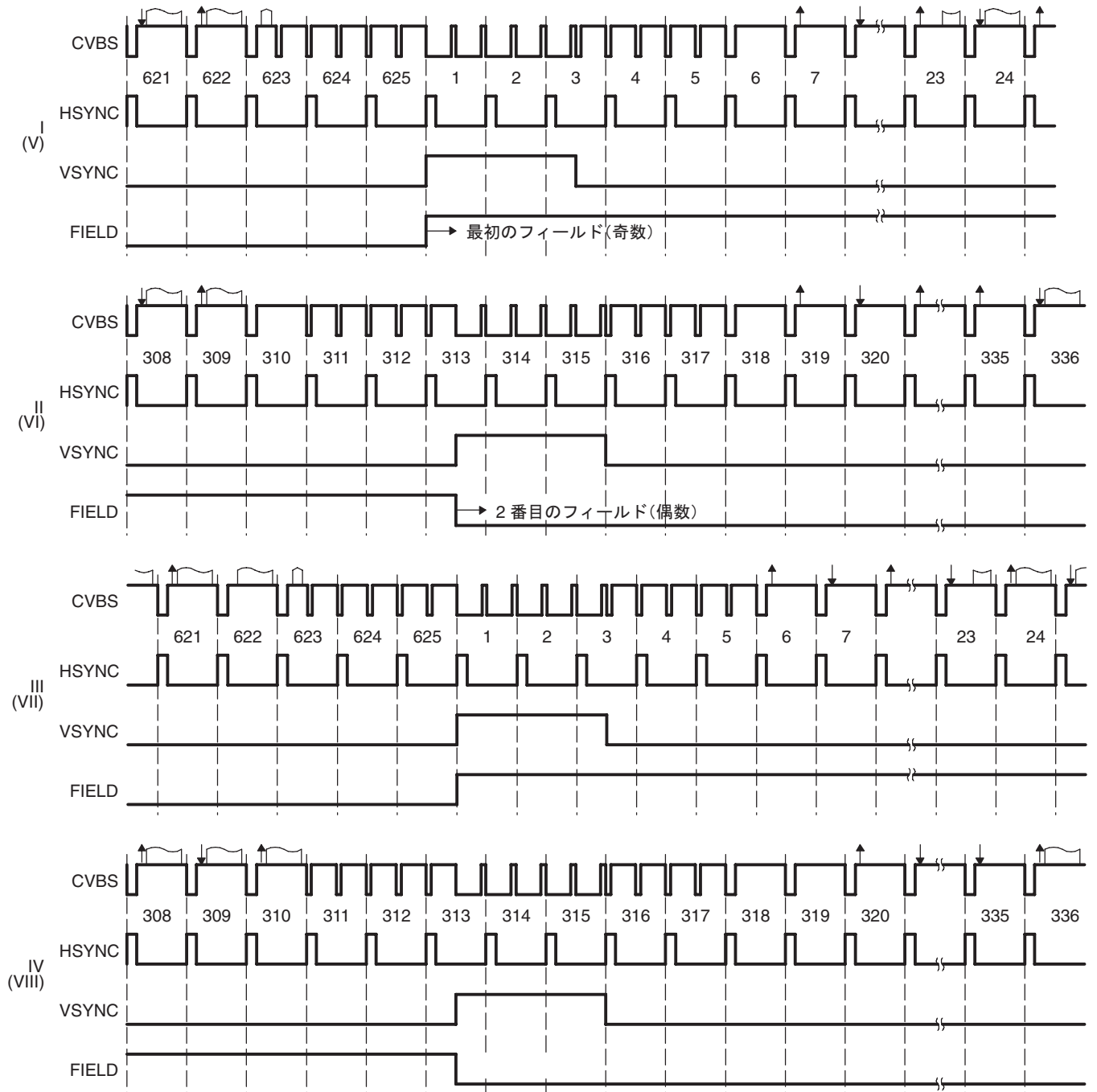


図 8. ノンインターレース NTSC (ITLC = 1, ITLCL = 0) 垂直タイミング

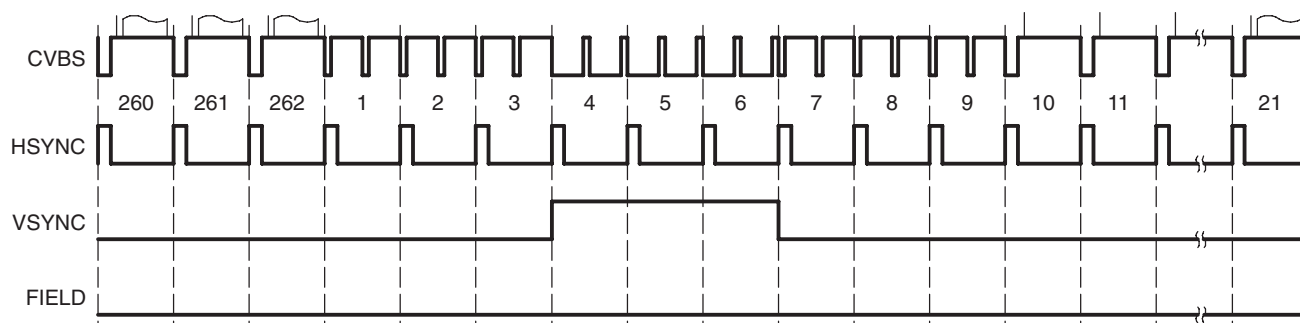


図 9. ノンインターレース PAL (ITLC = 1, ITLCL = 0) 垂直タイミング

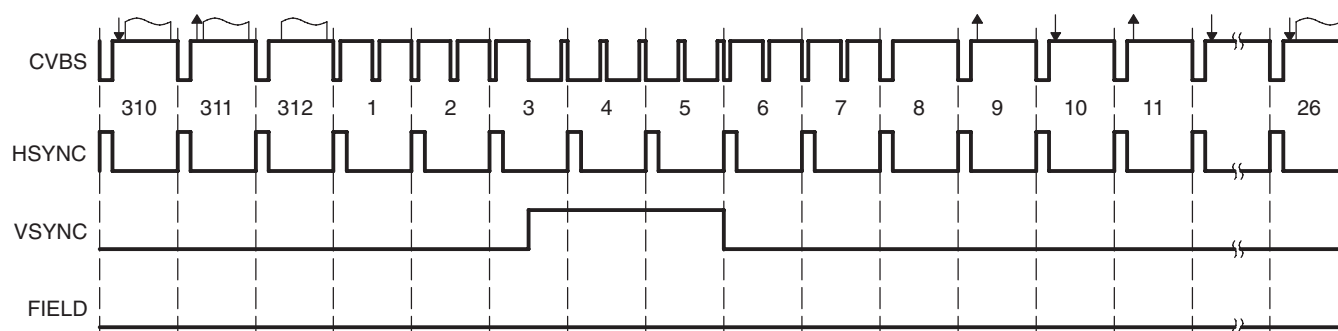


図 10. 525P 垂直タイミング

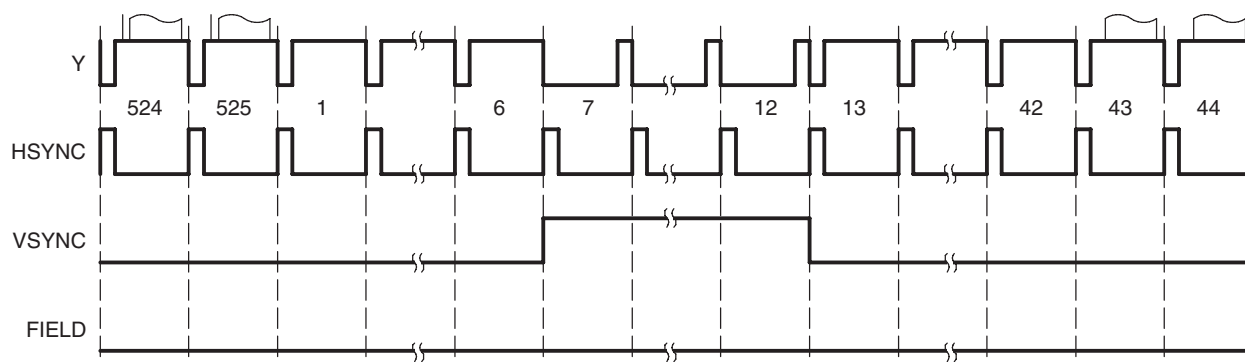
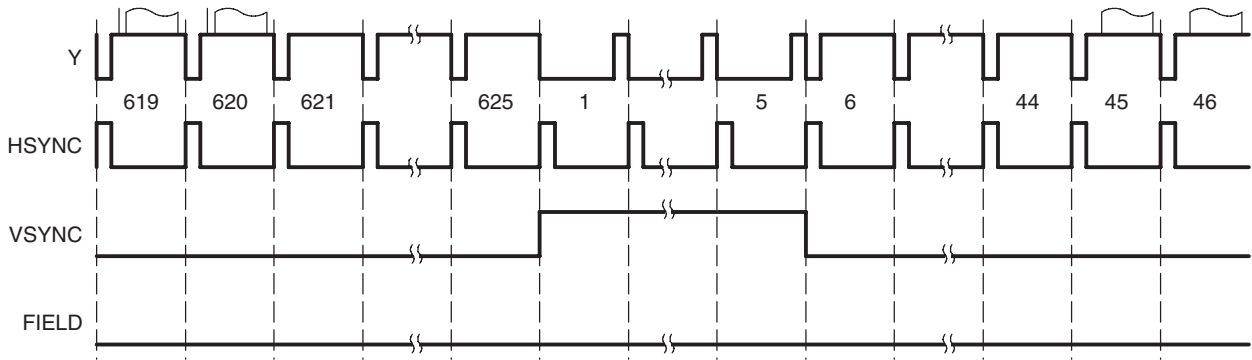


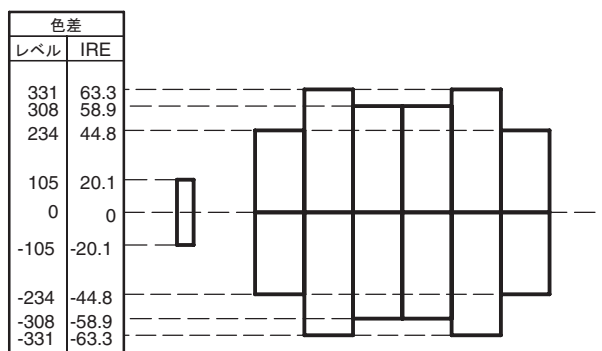
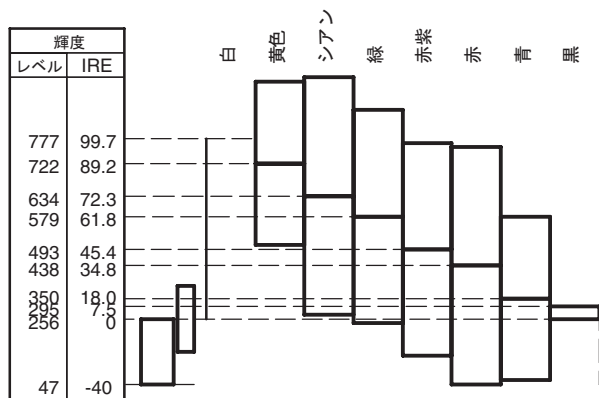
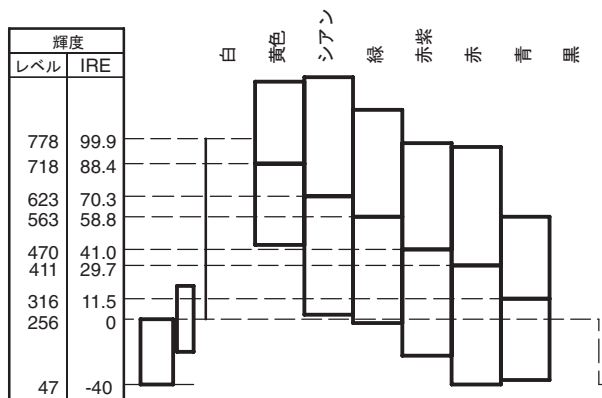
図 11. 625P 垂直タイミング



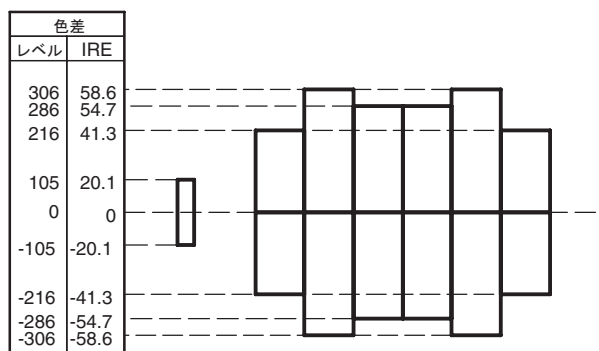
2.1.3.5 内部カラー・バー出力レベル

NTSC/PAL エンコーダは、カラー・バーを内部で生成できます。VDPRO.CBMD=1 をセットすると、内部カラー・バー・ジェネレータをイネーブルします。VDPRO.CBTY フィールドは、カラー・バーの飽和を切り換えます。75% では 0、100% では 1 です。図 12 と 図 13 に、モードごとに内部カラー・バーがイネーブルされているときのビデオ・エンコーダのデジタル・レベルを示します。

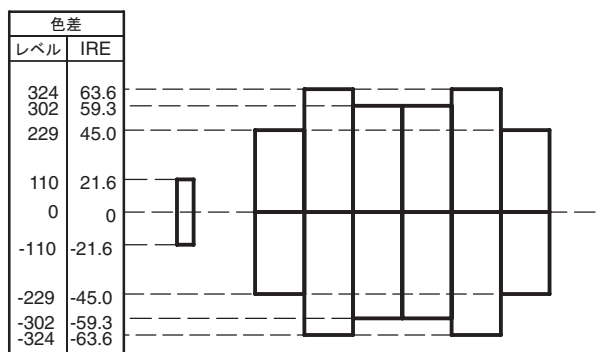
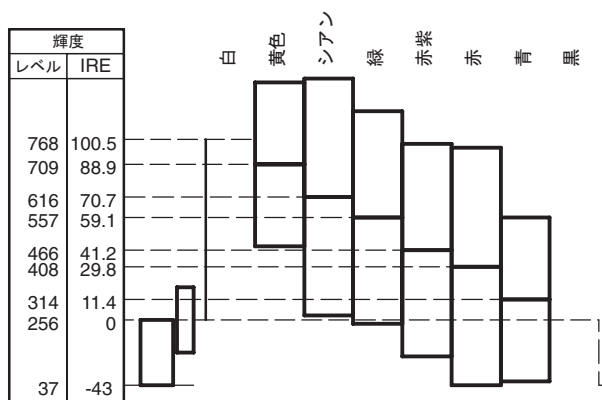
図 12. 100% カラー・バー出力レベル



NTSC(セットアップ 0%)

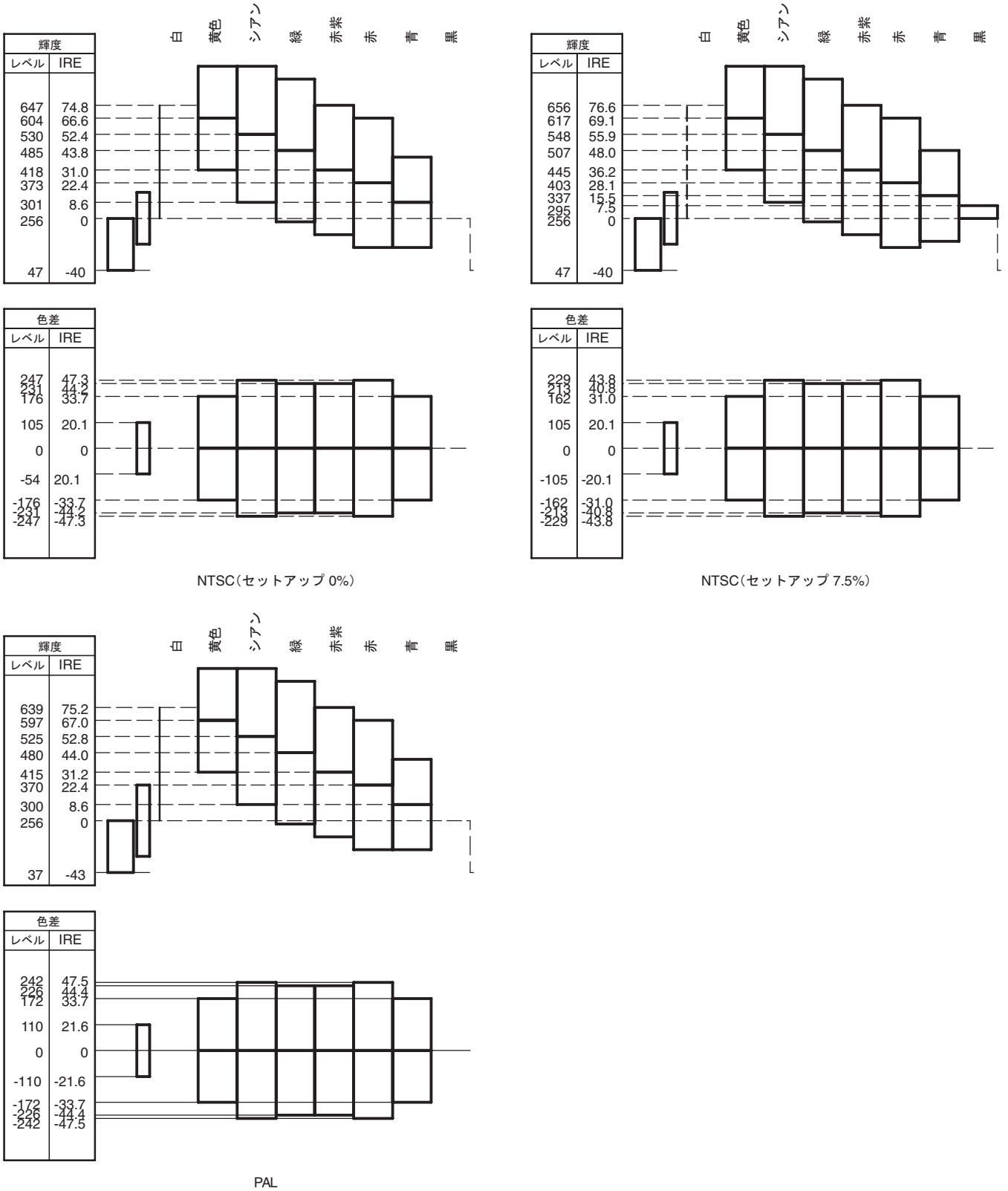


NTSC(セットアップ 7.5%)



PAL

図 13. 75% カラー・バー出力レベル



2.2 デジタル・ディスプレイ・インターフェイス

デジタル・ディスプレイ・インターフェイスは、各種のデジタル・ディスプレイ・デバイスを駆動するために使用されま
す。デジタル・ディスプレイ・モードは、VMOD.VDMDにより選択可能です(表7を参照)。

表7. デジタル・ディスプレイ・モード

VMOD.VDMD	モード	説明
0	YCC16	16ビット YCbCr 出力モード。YとCは16ビット・バス上に別々に出力されます。
1h	YCC8	8ビット YCbCr 出力モード。422 YCbCr は8ビット・バス上にタイム・マルチプレクス されています。オプションで、ITU-R BT.656をサポートします。
2h	PRGB	RGBを別々に出力するパラレルRGBモード。
3h ~ 7h	-	予約。

デジタル・イメージ・データ出力信号は、選択されたディスプレイ・モードに応じて複数の機能/インターフェイスをサ
ポートします。表8に、デジタル・ディスプレイ・モードの場合の信号を示します。RGB565信号より多くの信号を含む
パラレルRGBはサポートするためにピン・マルチプレクスのイネーブルを必要とすることに注意してください(RGB666
とRGB888モードの場合)。

表8. VPBE デジタル・ディスプレイ・モードの場合の信号

ピン名	YCC16	YCC8/ REC656	RGB888	RGB666
HSYNC	HSYNC	HSYNC	HSYNC	HSYNC
VSYNC	VSYNC	VSYNC	VSYNC	VSYNC
VCLK	VCLK	VCLK	VCLK	VCLK
VPBECLK	VPBECLK	VPBECLK	VPBECLK	VPBECLK
YOUT7	Y7	Y7, Cb7, Cr7	R7	R7
YOUT6	Y6	Y6, Cb6, Cr6	R6	R6
YOUT5	Y5	Y5, Cb5, Cr5	R5	R5
YOUT4	Y4	Y4, Cb4, Cr4	R4	R4
YOUT3	Y3	Y3, Cb3, Cr3	R3	R3
YOUT2	Y2	Y2, Cb2, Cr2	G7	G7
YOUT1	Y1	Y1, Cb1, Cr1	G6	G6
YOUT0	Y0	Y0, Cb0, Cr0	G5	G5
COU7	C7	LCD_AC	G4	G4
COU6	C6	LCD_OE	G3	G3
COU5	C5	BRIGHT	G2	G2
COU4	C4	PWM	B7	B7
COU3	C3	-	B6	B6
COU2	C2	-	B5	B5
COU1	C1	-	B4	B4
COU0	C0	-	B3	B3
R2	-	-	R2	R2
B2	-	-	B2	B2
LCD_OE	LCD_OE	-	LCD_OE	LCD_OE
G0	-	-	G0	-

表 8. VPBE デジタル・ディスプレイ・モードの場合の信号 (続き)

ピン名	YCC16	YCC8/ REC656	RGB888	RGB666
B0/LCD_FIELD	-	-	B0	LCD_FIELD
R0	-	-	R0	-
G1	-	-	G1	-
B1	-	-	B1	-
R1	-	-	R1	-

2.2.1 YCC16 信号インターフェイス

YCC16 モードでは、Y (輝度) 信号は、VCLK 立ち上がりエッジごとに YOUT[7:0] に出力されます。その間に、Cb と Cr (色差) は交互に COUT[7:0] にマルチプレクスされます。色差出力の順序は、YCCCTL.YCP により制御されます。有効なデータが出力された場合のみ、LCD 出力イネーブル (LCD_OE) 信号はアサートされます。それ以外の場合、出力信号は Low に保持されます。表 9 に、YCC16 デジタル・ディスプレイ・インターフェイス用のインターフェイス接続を示します。

表 9. YCC16 デジタル・ディスプレイ用のインターフェイス信号

ピン名	説明
HSYNC	水平同期
VSYNC	垂直同期
VCLK	ビデオ・クロック
VPBECLK	VPBE 外部クロック入力 (オプション)
YOUT7	Y 出力信号
YOUT6	Y 出力信号
YOUT5	Y 出力信号
YOUT4	Y 出力信号
YOUT3	Y 出力信号
YOUT2	Y 出力信号
YOUT1	Y 出力信号
YOUT0	Y 出力信号
COUT7	C 出力信号
COUT6	C 出力信号
COUT5	C 出力信号
COUT4	C 出力信号
COUT3	C 出力信号
COUT2	C 出力信号
COUT1	C 出力信号
COUT0	C 出力信号
LCD_OE	LCD_OE
B0/LCD_FIELD	LCD_FIELD

2.2.1.1 YCC16 信号インターフェイスの説明

YCC16 インターフェイスには、HSYNC、VSYNC、VCLK の各信号とともに、8 ビットの YOUT[7:0] および COUT[7:0] 信号が組み込まれています。内部生成された VPBE クロックがそれほど高速ではない場合、オプションの VPBECLK 入力クロックを使用できます。たとえば、HDTV ディスプレイ・レートまたは 54 MHz を超えるすべてのクロックをサポートするために使用します。

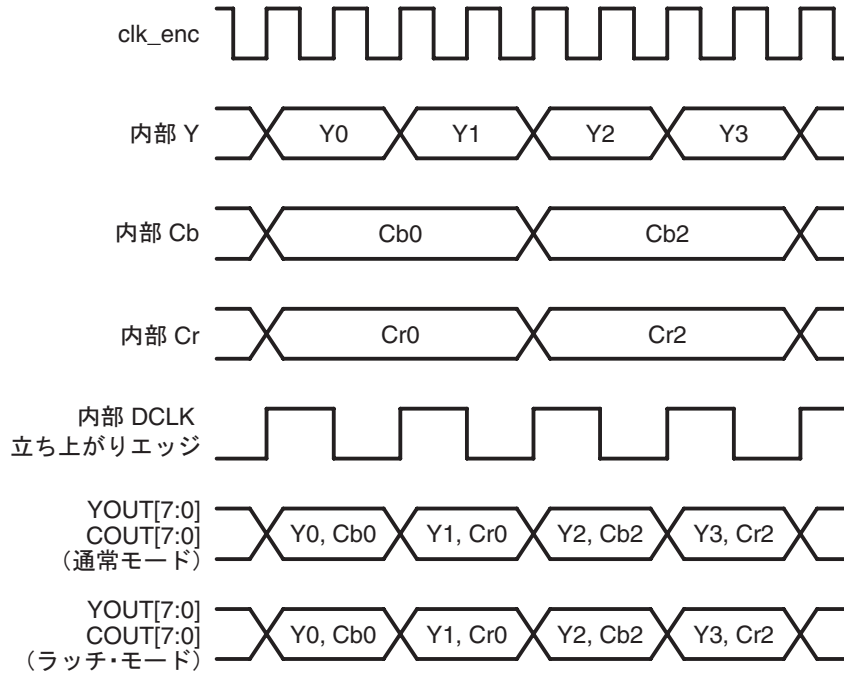
YOUT/COUT バスは、VIDCTL.YCSWAP レジスタ設定を使用してスワップされることがあることに注意してください。

このモードでは、GP[13] は LCD_OE として機能するように別々に割り当てられ、GP[11] は LCD_FIELD として機能するように別々に割り当てられている必要があることに注意してください。

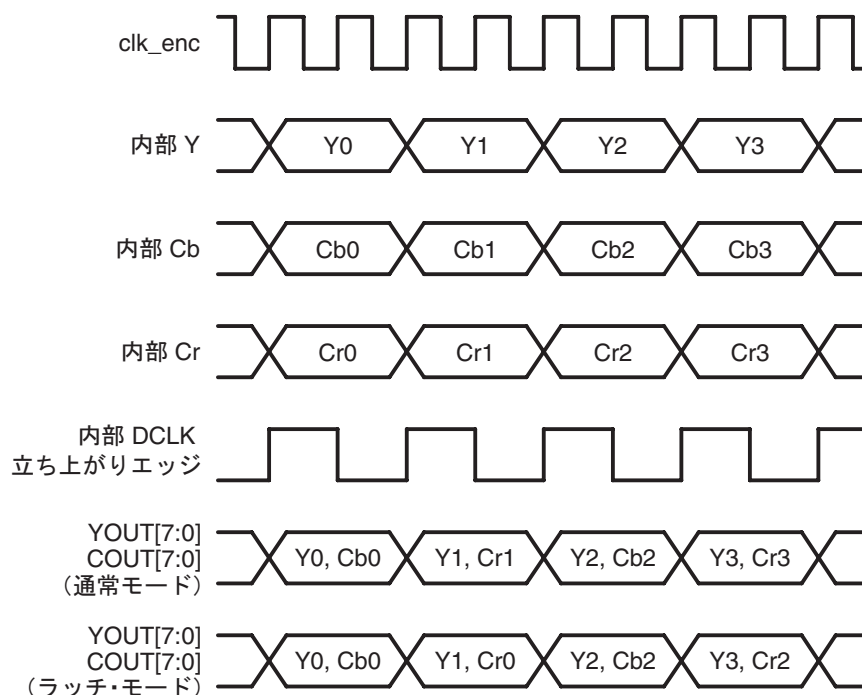
2.2.1.2 YCC16 プロトコルとデータ・フォーマット

図 14 に、通常動作時に OSD モジュールからの YUV422 入力信号をサンプリングした出力データを示します。このモードでは、OSD は色差データとサブサンプルの値をブレンディングして YUV422 フォーマットにします。

図 14. OSD の通常動作時の YCC16 出力



また OSD には、YUV カラー・ルック・アップ・テーブル (CLUT) または RGB565 のビットマップ・フォーマットを使用して 1、2、4、8 ビットいずれかの分解能を指定したビットマップ・フォーマットでのウィンドウ・データ (図 15) のサポート機能も組み込まれています。ビットマップ・ピクセルに対応したデータは YUV444 最大分解能内にあり、そのデータは YUV422 分解能ビデオ・ウィンドウ・ピクセル出力にオーバーレイされます。この場合、色差のブレがビットマップ・ウィンドウと残りの OSD イメージとの間のエッジで発生することがあります。通常動作時に、VENC から出力される色差の値はサンプリング時間における値です。ただし、この色差のブレを軽減するために、UV ペアで 2 番目のピクセルに対する色差出力は最初のピクセルでラッチされるデータになる場所で、ラッチ・モードを使用します。YCbCr コントロール・レジスタ (YCCTL) の CHM ビットを 1 にセットすると、ラッチ・モードはイネーブルされます。

図 15. RGB565 のときの OSD ウィンドウの YCC16 出力


2.2.2 YCC8 信号インターフェイス (ITU-R BT.656 を含む)

YCC8 モードでは、OSD YCbCr のそれぞれのコンポーネントは、YOUT[7:0] から交互に出力されます。デフォルトの出力順序は Cb-Y-Cr-Y ですが、この順序は YCCCTL.YCP により変更可能です。データ出力は LCD 出力イネーブル (LCD_OE) 信号がアサートされたときのみイネーブルされます。表 10 に、YCC8 デジタル・ディスプレイ・インターフェイス用のインターフェイス接続を示します。

表 10. YCC8 デジタル・ディスプレイ用のインターフェイス信号

ピン名	説明
HSYNC	水平同期
VSYNC	垂直同期
VCLK	ビデオ・クロック
VPBECLK	VPBE 外部クロック入力 (オプション)
YOUT7	Y/C 出力信号
YOUT6	Y/C 出力信号
YOUT5	Y/C 出力信号
YOUT4	Y/C 出力信号
YOUT3	Y/C 出力信号
YOUT2	Y/C 出力信号
YOUT1	Y/C 出力信号
YOUT0	Y/C 出力信号
COUT7	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT6	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT5	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT4	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT3	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT2	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT1	Y/C 出力信号 (バス・スワップ時にはオプション)
COUT0	Y/C 出力信号 (バス・スワップ時にはオプション)

2.2.2.1 YCC8 信号インターフェイスの説明

YCC8 インターフェイスには、HSYNC、VSYNC、VCLK の各信号とともに、8 ビットの YOUT[7:0] または 8 ビットの COUT[7:0] 信号のいずれかが組み込まれています。内部生成された VPBE クロックがそれほど高速ではない場合、オプションの VPBECLK 入力クロックを使用できます。たとえば、HDTV ディスプレイ・レートまたは 54 MHz を超えるすべてのクロックをサポートするために使用します。

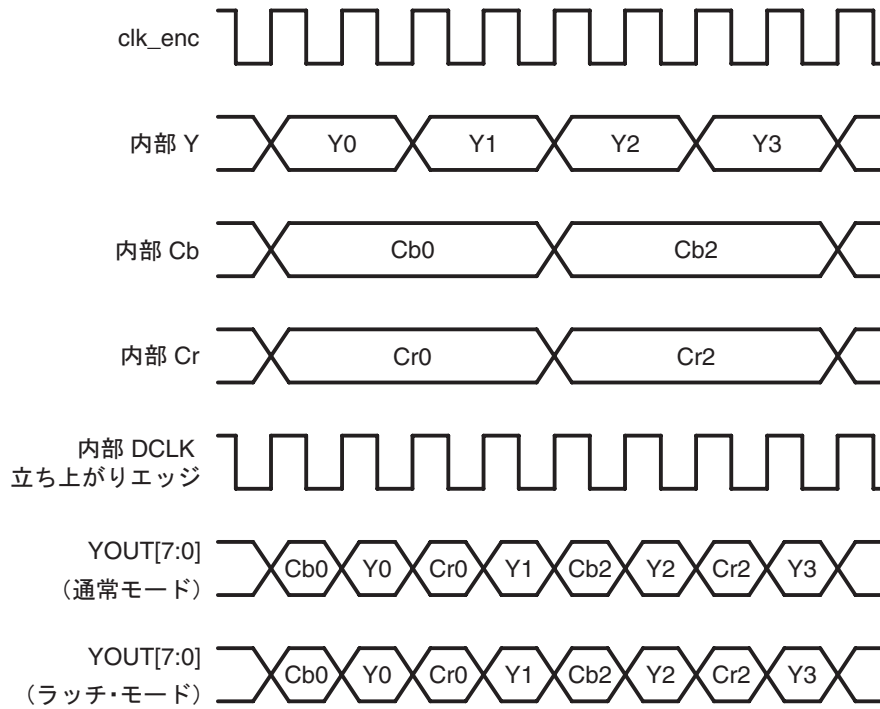
YCC8 モードでは、データは通常 YOUT バスに出力されることに注意してください。ただし、COUT バス上の YCC8 データを出力するために YOUT/COUT バスが VIDCTL.YCSWAP レジスタ設定を使用してスワップされることがあります。

ITU-R BT.656 フォーマット出力は、必要に応じて YCC8 モードで使用でき、かつ YCCCTL.R656 を介してイネーブルされます。このモードでは、YCbCr 出力タイミングおよび出力順序は規格に準拠するためにハードウェアにより固定されているので、ユーザーは変更できません。BT656 モードを使用するには、VENC を標準モード (VIDCTL.VDMD = 0) で動作させる必要があります。ピクセル・クロック周波数が VENC クロックの 1/2 である場合にのみ、このモードは正確に動作するという点に注意してください。このモードでは、同期信号はデータ・ストリーム内部に組み込まれ、HSYNC/VSYNC はインアクティブです。

2.2.2.2 YCC8 プロトコルとデータ・フォーマット

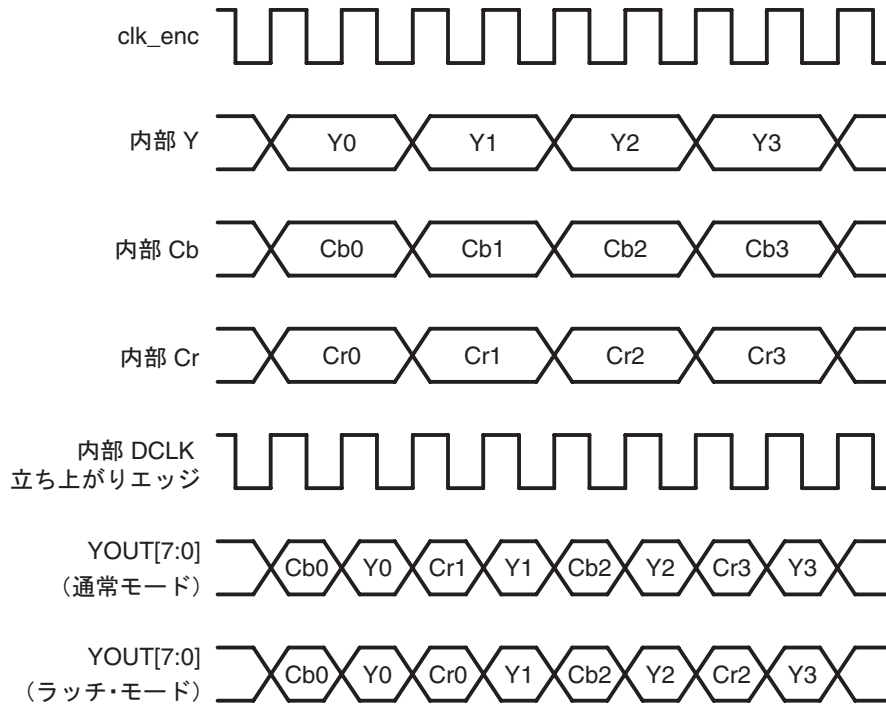
図 16 に、通常動作時に OSD モジュールからの YUV422 入力信号をサンプリングした出力データを示します。このモードでは、OSD は色差データとサブサンプルの値をブレンディングして YUV422 フォーマットにします。

図 16. OSD の通常動作時の YCC8 出力



また OSD には RGB565 フォーマットでのウィンドウ・データ (図 17) のサポート機能も組み込まれています。このデータは OSD により YUV444 フォーマットに変換され、YUV422 出力にオーバーレイされます。この場合、色差のブレが RGB565 ウィンドウと残りの OSD イメージとの間のエッジで発生することがあります。通常動作時に、VENC から出力される色差の値はサンプリング時間における値です。ただし、この色差のブレを軽減するために、UV ペアで 2 番目のピクセルに対する色差出力は最初のピクセルでラッチされるデータになる場所で、ラッチ・モードを使用します。YCCCTL.CHM を 1 にセットすると、ラッチ・モードはイネーブルされます。

図 17. RGB565 のときの OSD ウィンドウの YCC8 出力



2.2.3 パラレル RGB 信号インターフェイス

パラレル RGB モードの場合、最大で 24 ビットの RGB ディスプレイ・データが同時に出力されます。RGB サンプルの上位ビットは、YOUT および COUT ピン上にマルチプレクスされます。LCD 出力イネーブル (LCD_OE) 信号がアサートされた場合、出力データは DCLK 立ち上がりエッジで部分的にサンプリングされます。また LCD_OE がディアサートされた場合、出力信号は Low に保持されます。表 11 に、パラレル RGB デジタル・ディスプレイ・インターフェイス用のインターフェイス接続を示します。

表 11. パラレル RGB デジタル・ディスプレイ用のインターフェイス信号

ピン名	説明
HSYNC	水平同期
VSYNC	垂直同期
VCLK	ビデオ・クロック
VPBECLK	VPBE 外部クロック入力 (オプション)
YOUT7/R7	R7
YOUT6/R6	R6
YOUT5/R5	R5
YOUT4/R4	R4
YOUT3/R3	R3
YOUT2/G7	G7
YOUT1/G6	G6
YOUT0/G5	G5
COUT7/G4	G4
COUT6/G3	G3
COUT5/G2	G2
COUT4/B7	B7
COUT3/B6	B6
COUT2/B5	B5
COUT1/B4	B4
COUT0/B3	B3
R2	R2
B2	B2
LCD_OE	LCD_OE
G0	G0
B0/LCD_FIELD	B0
R0	R0
G1	G1
B1	B1
R1	R1

2.2.3.1 パラレル RGB 信号インターフェイスの説明

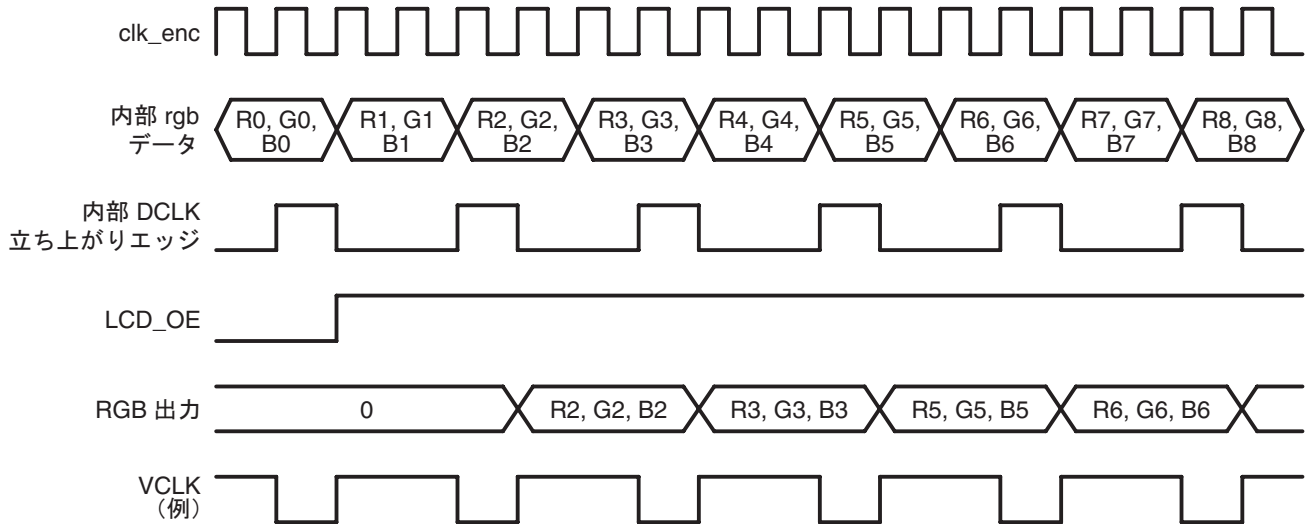
パラレル RGB モードでは、RGB565 インターフェイス (5 ビットが赤、6 ビットが緑、5 ビットが青) は GPIO 信号を追加する必要がなく通常の YOUT/COUT 信号を介してサポートされます。これに加え、RGB666 および RGB888 モードは、さらに GPIO ピンをディスプレイ・インターフェイスに割り当てることによりサポートされます。この割り当てはピン・マルチプレクスを使用して行われており、システム・モジュールから制御されます。これらの信号に加え、HSYNC、VSYNC、VCLK の各信号も出力されます。またオプションの VPBECLK 入力クロックも使用することができます。

このモードでは、GP[13] はLCD_OE として機能するように別々に割り当てられている必要があることに注意してください。

2.2.3.2 パラレル RGB プロトコルとデータ・フォーマット

図 18 に、VENC により RGB888 フォーマットに変換された、OSD モジュールからの YUV422 入力信号をサンプリングした出力データを示します。この図では、R0、G0、B0 などの値はピクセル・ロケーションを示します。

図 18. パラレル RGB モードでの RGB 出力



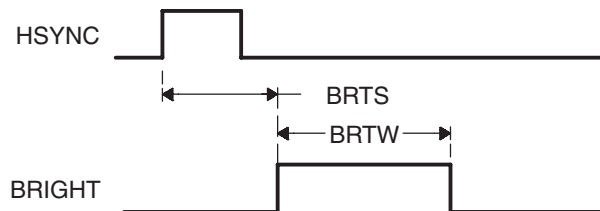
2.2.4 その他のデジタル LCD インターフェイス信号

続けて LCD 信号が必要に応じて生成されます。必要に応じて利用してください。モードごとに使用できる信号については、表 8 を参照してください。

2.2.4.1 BRIGHT 信号

- 極性は LCDOUT.BRP を介して反転される。
- BRIGHT 信号使用時は、LCDOUT.BRE を 1 にセットする。
- BRTS と BRTW の単位は、VCLK 周期。

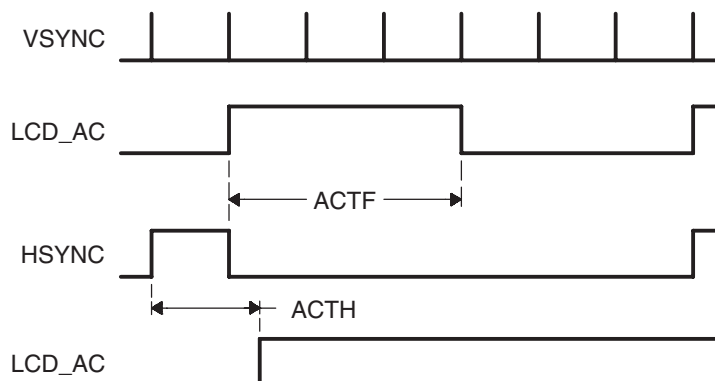
図 19. BRIGHT 信号のタイミング



2.2.4.2 LCD_AC 信号

- LCD_AC 信号使用時は、LCDOUT.ACE を 1 にセットする。
- ACCTL.ACTH と ACCTL.ACTF の単位は、それぞれ VCLK 周期とラインです。

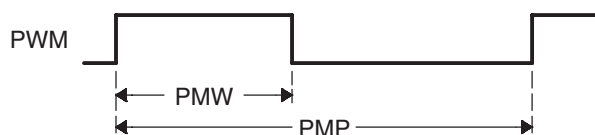
図 20. LCD_AC 信号のタイミング



2.2.4.3 PWM 信号

パルス幅モジュレーション (PWM) 信号を使用するには、LCDOUT.PWME を 1 にセットします。極性は LCDOUT.PWMP により反転されます。PWM はフリーラン信号であり、かつどの同期信号にも同期することはありません。単位は VCLK 周期です。図 21 では、PWM は PWMW レジスタであり、かつ PMP は PWMP レジスタです。

図 21. PWM 信号のタイミング



2.3 VPBE ディスプレイ・サブシステムのピン・マルチプレクス

DM643x DMP 上では、機能豊富なピン・マルチプレクスが最小のパッケージで大量のペリフェラル機能に対応するために使用されています。デバイス・リセット時のハードウェア構成とソフトウェアでプログラム可能なレジスタ設定を組み合わせることで、ピン・マルチプレクスは制御されます。ピン・マルチプレクスの VPBE への影響を判別するには、各デバイスのデータ・マニュアルを参照してください。

2.4 VPSS の初期化

VPSS を構成するには、次のステップが必要です。

1. デバイスのピン・マルチプレクスに必要なセットアップ作業を実行します (各デバイスのデータ・マニュアルを参照)。
2. VPSS に対応した I/O ピンの電源を投入するために、システム・モジュールの VDD3P3V_PWDN をプログラムします (各デバイスのデータ・マニュアルを参照)。

3 インテグレーション

ここでは、VPBE サブシステムの TMS320DM643x DMP へのインテグレーション方法について説明します。

3.1 クロック供給、リセット、および電源管理

3.1.1 クロック

3.1.1.1 処理方法と DMA クロック

DM643x VPBE モジュールは DMA マスタで、CLKDIV3 クロック・ドメインに内蔵されています。そのため、その処理ロジックには 153 MHz (通常モード) または 198 MHz (ターボ・モード) でクロックが供給されます。このクロックはパワー・スリープ・コントローラ (PSC) 内の VPSSmstr モジュールで、ビデオ・プロセッシング・フロント・エンド (VPFE) と共有されます。そのため、このクロックは電力を節約するためにゲートオフされますが、そうすると VPFE が使用できなくなります。VPBE モジュールは、非動作時に動的に消費電力を節約するためにクロック単位で自動クロック・ゲート機能を利用します。また、VPBE ペリフェラル・コントロール・レジスタ (PCR) の CLK_OFF ビットを使用して VPBE クロックはゲートオフされます。

このクロックは、VPBE が動作していない場合にはディスエーブルされることに注意してください。VPBE 上で何らかの処理 (他のレジスタのリード/ライトなど) を行うときは事前に、クロックをイネーブルしてください。

3.1.1.2 レジスタ・インターフェイス・クロック

DM643x VPBE モジュールには、CLKDIV6 クロック・ドメインに内蔵されている、コントロール・レジスタのスレーブ・ポートが組み込まれています。そのため、CPU レジスタ・インターフェイスには 76.5 MHz (通常モード) または 99 MHz (ターボ・モード) でクロックが供給されます。このクロックは PSC 内の VPSSslv モジュールで、VPFE と共有されます。そのため、このクロックは電力を節約するためにゲートオフされますが、そうすると VPFE が使用できなくなります。

3.1.1.3 DAC と外部クロック

注: VPFE ピクセル・クロック入力 (PCLK) は、すべてのデバイスで使用できるとは限りません。PCLK が使用できるかについては、各デバイスのデータ・マニュアルをご確認ください。

VPBE は 4 チャネルの DAC モジュールだけでなく、さまざまな LCD とインターフェイスする必要があります。LCD にはさまざまな種類があり、そのため必要とする周波数が異なります。ピン・インターフェイスの実行に必要な周波数範囲は、6.25 MHz ~ 75 MHz です。

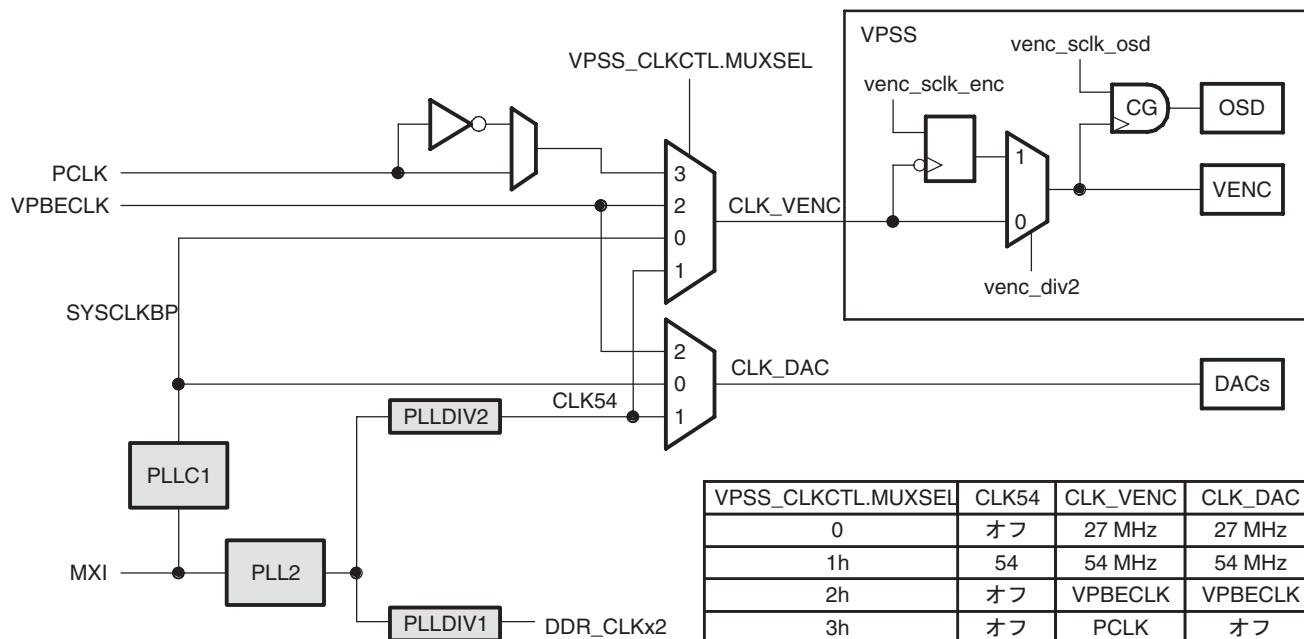
外部クロック・ドメイン (6.25 MHz ~ 75 MHz) は、内部クロックまたはシステム・クロック・ドメインとは非同期に、PLL1/3 クロック・レートで動作します。外部クロック・ドメインは、次の 4 種類のソースからクロックが供給されます。

- 27 MHz のクリスタル入力
- VPBECLK 入力ピン
- VPFE ピクセル・クロック入力 (PCLK)
- PLL2 からの PLLDIV1 分周引き下げ出力 (27/54 MHz 動作の場合)

4 つのビデオ DAC は、VPBE 内部の VENC モジュールに接続されています。VPBE と DAC とのデータ・フローは同期動作です。対応可能なクロック供給モードを図 22 に示します。

また DAC のクロックは非使用時に、独立してゲート・オフしておくこともできます。

図 22. VPBE/DAC クロック供給オプション



VPBE クロックは、システム・モジュールの VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) (3.1.1.4 項を参照) の MUXSEL ビットにより制御されます。

- MUXSEL = 0 (MXI モード): DAC と VENC は両方とも MXI 27 MHz のクリスタル入力をデフォルトとする PLLC1 SYSCLKBP からクロック供給されています。
- MUXSEL = 1h (PLL2 モード): PLL2 (分周引き下げ) は 54 MHz のクロックを生成します。DAC と VENC は両方とも 54 MHz のクロックを受け取ります。このモードでは、VENC クロックは VPBE ペリフェラル・コントロール・レジスタ (PCR) の VENC_DIV ビットを介して分周で引き下げられた 27 MHz である必要があります。このモードでは (PLL2 からの) DDR2 クロックを 27 MHz の偶数倍にセットする必要があるため、54 MHz の DAC クロックを作成するために整数の除数を使用することがあることに注意してください。そのため、このモードでは使用できる DDR2 クロック周波数が制限されています。
- MUXSEL = 2h (VPBECLK モード): DAC と VENC は両方とも VPBECLK を受け取ります。VPBECLK 上でプログレッシブ・スキャンによる 54 MHz での駆動をサポートするために、VENC は必要に応じてこの周波数を 2 分周します。
- MUXSEL = 3h (PCLK モード): VENC は PCLK を受け取ります。DAC はクロックを受け取らないので、ディスエーブルしてください。PCLK はネガティブ・エッジをサポートするために反転され、VPSS_CLKCTL の PCLKINV ビットで選択可能です。

クロック・マルチプレクス制御に加え、VPSS_CLKCTL には DAC クロック (DACCLKEN) および VPBE クロック (VENCCLKEN) のイネーブル/ディスエーブルを制御する機能も組み込まれています。また、VPBE ペリフェラル・コントロール・レジスタ (PCR) の CLK_OFF ビットを使用して VPBE クロックはゲートオフすることもできます。

3.1.1.4 VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL)

VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) を図 23 に示し、表 12 で説明します。

図 23. VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL)

31	Reserved					16
R-0						
15	5	4	3	2	1	0
Reserved		DACCLKEN	VENCLKEN	PCLKINV	MUXSEL	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 12. VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) のフィールド説明

ビット	フィールド	値	説明
31-5	Reserved	0	予約
4	DACCLKEN	0 1	ビデオ DAC クロックのイネーブル。 0 ビデオ DAC クロックはディスエーブル。 1 ビデオ DAC クロックはイネーブル。
3	VENCLKEN	0 1	VPBE / ビデオ・エンコーダ・クロックのイネーブル。 0 VPBE / ビデオ・エンコーダ・クロックはディスエーブル。 1 VPBE / ビデオ・エンコーダ・クロックはイネーブル。
2	PCLKINV	0 1	VPFE ピクセル・クロック (PCLK) 反転のイネーブル。 0 VENC クロック・マルチプレクスおよび CCDC は非反転 PCLK を受信。 1 VENC クロック・マルチプレクスおよび CCDC は反転 PCLK を受信。
1-0	MUXSEL	0 ~ 3h 0 1h 2h 3h	VPSS クロックの選択。 0 MXI モード。(MXI27 から) 27 MHz を使用 (DAC クロック = 27 MHz)。 1h PLL2 モード。(PLL2 から) 54 MHz を使用 (DAC クロック = 54 MHz)。 2h VPBECLK モード。外部 VPBE クロック入力を使用 (DAC クロック = VPBECLK)。 3h PCLK モード。VPFE から PCLK を使用 (DAC クロック = オフ)。

3.1.2 リセット

DM643x VPBE モジュールのリセットは、デバイス・リセット信号に接続されています。

また、VPBE モジュールは、PSC が SyncReset 状態に遷移するとリセットされます。VPBE は VPSS モジュールのサブセットであり、かつ、VPSSmstr プロセッシング・ドメインおよび VPSSslv レジスタ・インターフェイスの 2 つのモジュール・ドメインをもっています。そのため、この 2 つのドメインのいずれかをリセットすると、ビデオ・プロセッシング・フロント・エンド (VPFE) に影響も与えます。

3.1.3 電源ドメインと電源管理

VPBE モジュールは、DSP コアおよびその他のペリフェラルとともに「常時オン」電源ドメインに内蔵されています。VPBE モジュールはイネーブルされると、非動作時に動的に消費電力を節約するためにクロック単位で自動クロック・ゲート機能を利用します。またアクティブな消費電力は、大量のクロック・イネーブル/ディスエーブル制御ピンを介して積極的に管理されています。これ以降では、さまざまなクロック・ゲート制御方法、およびクロック・ゲート制御時に準拠する必要のあるガイドラインについて説明します。

3.1.3.1 一般的なパワー・ダウン時のガイドライン

クロック供給がディスエーブルの場合、アクティブな消費電力は最小限に抑制されます。VPSS のクロック・ゲート制御には、次の 3 つのレベルがあります。

- VPSS レジスタをプログラムすること（たとえば、VPBE.PCR.CLK_OFF、VENC.VMOD.VENC、CCDC.PCR.ENABLE を使用するなど）による VPSS 内でのクロック・ゲート制御。この方法を使用すると、VPSS 内の対象部分の選択的なクロック制御が可能になります。
- ローカル・パワー・スリープ・コントローラ（LPSC0 と LPSC1）によるクロック・ゲート制御。これは、VPSS 境界でクロックを停止します。VPSS 全体が使用されていない場合にのみ、クロック・ゲート制御レベルが可能です。この方法を使用しても、VPSS の対象部分の選択的なクロック制御はできません。この方法は、VPSS 境界のビデオ・クロック・ソースを停止するだけでなく、VPSS ロジックおよび VPSS レジスタ・インターフェイスへのチップレベルのシステム・クロックも停止します。
- クロック・ソースでのクロック・ゲート制御（たとえば、SYSTEM.VPSS_CLKCTL.VENCLKEN や SYSTEM.VPSS_CLKCTL.DACCLKEN を使用するなど）。この方法を使用すると、必要ではないクロック・ソースのみをゲート制御するだけで VPSS の対象部分の選択的なクロック・ゲート制御が可能になります。この方法は、最も電力を消費しないようにクロック・ソースのクロックを停止して、一般的に最初の方法とともに使用されます。

これ以降では、上記の方法の中から 1 つ以上利用して節電を実現します。

3.1.3.2 VPSS 全体が使用されていない場合にアクティブな消費電力を最小限に抑制

VPSS 全体が使用されていない場合、（パワー・スリープ・コントローラ（PSC）を使用して）VPSS 境界のクロックを停止すると節電を実現することができます。またクロック・ソースのクロックを停止しても同様の効果が得られます。

PSC を使用して VPSS モジュールを完全にディスエーブルすると、外部クロックによってゲート制御されていたすべてのロジックは次のことを実行します。

- PSC の VPSSmstr モジュールをディスエーブルする（Disable または SwRstDisable のいずれか）。これにより、VPSS ロジックと VPSS 共有 DMA ロジックへのクロック供給、およびメモリ・バッファがディスエーブルされます。またこれにより、VPFE ロジックもディスエーブルされることに注意してください。
- PSC の VPSSslv モジュールをディスエーブルする（Disable または SwRstDisable のいずれか）。これにより、VPSS レジスタ・インターフェイスへのクロックがディスエーブルされます。またこれにより、VPFE モジュールのレジスタ・インターフェイスもディスエーブルされることに注意してください。

VPSS モジュールへのクロック・ソースをディスエーブルにする方法は、次のとおりです。

- VPFE クロック・ソース：
 - VPFE ピクセル・クロック（PCLK）を駆動する外部イメージ処理デバイスをディスエーブルし、すべての入力ロジックにバススルーを介した VPBE ロジックにもクロックを供給しない。
- VPBE クロック・ソース：
 - システム・モジュール内の VPSS クロック・マルチプレクス・コントロール・レジスタ（VPSS_CLKCTL）をプログラムしてクロックを停止する。
 - VPSS_CLKCTL の DACCLKEN ビットを 0 にクリアして DAC クロックを直接停止する。
 - VPSS_CLKCTL の VENCLKEN ビットを 0 にクリアして VENC クロックを直接停止する。
 - さらに節電する場合には、すべての VPBE クロック・ソースをディスエーブルします。
 - VPBECLK：外部 VPBECLK ソースをディスエーブルし、すべての出力ロジックにクロックを供給しない。
 - PCLK：任意の外部 PCLK ソースをディスエーブルする。

- PLLC1 SYSCLKBP : PLL コントローラ 1 で BPDIV の BPDEN ビットを 0 にクリアして、PLLC1 SYSCLKBP クロック・ソースをディスエーブルする。
- PLLC2 SYSCLK2 : PLL コントローラ 2 で PLLDIV2 の D2EN ビットを 0 にクリアして、PLLC2 SYSCLK2 クロック・ソースをディスエーブルする。

3.1.3.3 ビデオ DAC が使用されていない場合にアクティブな消費電力を最小限に抑制

VPBE のビデオ DAC が使用されていない場合、次のステップを実行してアクティブな消費電力を最小限に抑制します。

- VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) の DACCLKEN ビットを 0 にクリアして DAC クロックを直接停止する。
- VPSS_CLKCTL の MUXSEL ビットを 3h にセットする VPBE (CLK_VENC) では PCLK 使用時に、DAC クロックは自動的にディスエーブルされることに注意してください。

3.1.3.4 VPBE だけが使用されている (VPFE はディスエーブル) 場合にアクティブな消費電力を最小限に抑制

VPFE が使用されていない、VPBE のみのモードでは、次のステップを実行してアクティブな消費電力を最小限に抑制します。

VPBE のみのモード : VPFE だけをクロック・ゲート制御するが、VPBE はアクティブのまま。

- CCDC ペリフェラル・コントロール・レジスタ (PCR) の ENABLE ビットを 0 にクリアして、VPFE の CCD コントローラ (CCDC) をディスエーブルする。VPFE 内の選択したモジュールだけをクロック・ゲート制御する必要がある場合、(VPFE サブモジュール内の) 個々のイネーブル・ビットをプログラムしてそれぞれのモジュール (リサイザ、ヒストグラムなど) をディスエーブルします。デフォルトではモジュールがディスエーブルされているため、デバイス・リセットした場合、このステップは必要ではないことに注意してください。さらに、CCDC がディスエーブルされていても、他のモジュール (主にリサイザ) を使用できます。ただし、そのモジュールが DDR からの入力パスを確保している場合です。
- さらに節電をする場合には、VPFE ピクセル・クロック (PCLK) を駆動する外部イメージ処理デバイスをディスエーブルし、すべての入力ロジックにパススルーを介した VPBE ロジックにもクロックを供給しない。

VPBE のビデオ DAC が必要でない場合、さらなる節電を実現するには、3.1.3.3 項に従ってビデオ DAC のクロック・ゲート制御を行います。

3.1.3.5 VPFE だけが使用されている (VPBE はディスエーブル) 場合にアクティブな消費電力を最小限に抑制

VPBE 全体がディスエーブルでかつ使用されていない、VPFE のみのモードでは、次のステップを実行してアクティブな消費電力を最小限に抑制します。

VPFE のみのモード : VPBE だけをクロック・ゲート制御するが、VPFE はアクティブのまま。

- VPBE ペリフェラル・コントロール・レジスタ (PCR) の CLK_OFF ビットを 1 にセットして、すべての VPBE クロックのゲート制御をオフにする。
- VENC ビデオ・モード・レジスタ (VMOD) の VENC ビットを 0 にクリアして、ビデオ・エンコーダ (VENC) の動作をディスエーブルする。
- さらに節電をする場合には、クロック・ソースのクロックをゲート制御する。
 - (クロック入力ピンの) クロック・ソースで CLK_VENC を停止して (または VPSS クロック・マルチプレクス・コントロール・レジスタ (VPSS_CLKCTL) の VENCCLKEN ビットを 0 にクリアして)、CLK_VENC をゲート制御する。
 - (クロック入力ピンの) クロック・ソースで CLK_DAC を停止して (または VPSS_CLKCTL の DACCLKEN ビットを 0 にクリアして)、CLK_DAC をゲート制御する。

3.2 ハードウェア・リクエスト

3.2.1 割り込みリクエスト

VPBE は DSP への割り込み (VENCINT) を生成します。これは、フレームに対する処理が完了したなどのフレームの終了イベントを示します。

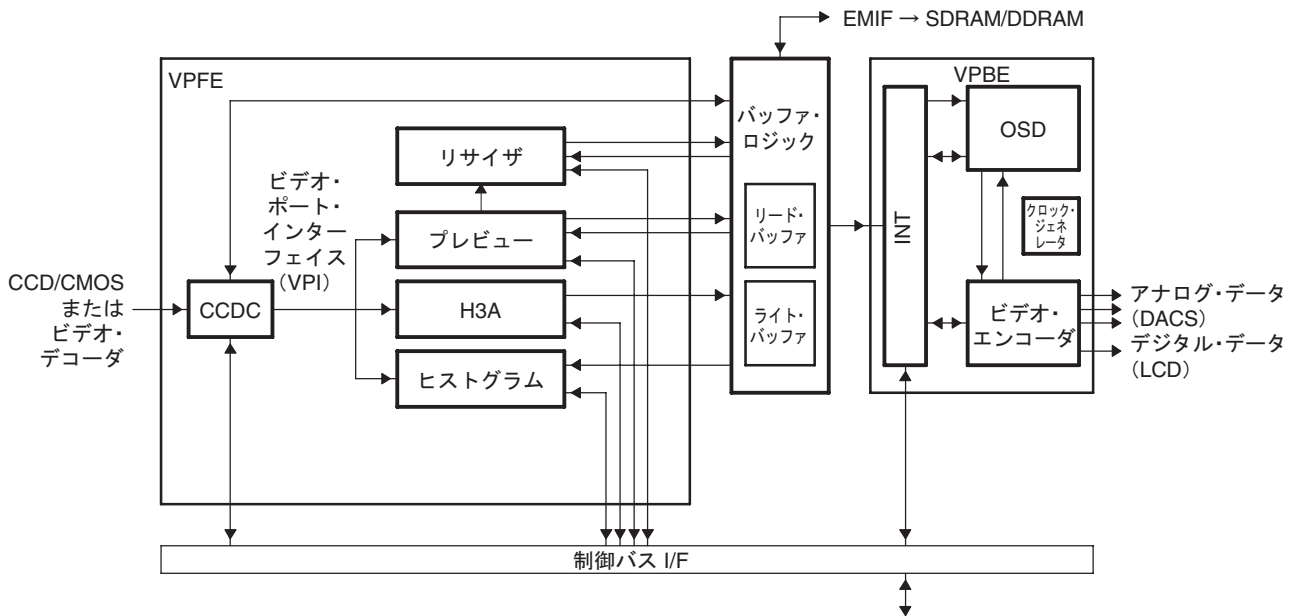
3.2.2 EDMA リクエスト

VPBE が DMA マスタであり、かつディスプレイ・フレームの完了に関係するものは何もないため、VPBE 関連の EDMA イベントはありません。

4 機能説明

ここでは、VPBE の機能について説明します。ビデオ・プロセッシング・サブシステムを図 24 に示します。

図 24. ビデオ・プロセッシング・サブシステム (VPSS) のブロック図



4.1 ディスプレイ・インターフェイス

VENC / デジタル LCD コントローラは、さまざまなディスプレイ / 出力インターフェイスをサポートしています。これらについては、この後に説明します。各種モードでの VENC の動作に関する設定方法の詳細は、第 5 章を参照してください。

4.1.1 アナログ・ディスプレイ・インターフェイス

アナログ・ディスプレイ・インターフェイスでは、4 つの DAC 信号を使用します (表 13 を参照)。

表 13. アナログ・ディスプレイ・インターフェイス信号

信号名	入出力	機能
DAC_IOUT_A	出力	アナログ・イメージ・データ
DAC_IOUT_B		<ul style="list-style-type: none"> VMOD の VDMD ビットによりセットされるモード。
DAC_IOUT_C		<ul style="list-style-type: none"> DAC の選択は、DACSEL の DA_nS ビットによりセットされる。
DAC_IOUT_D		

4.1.2 YCC16 デジタル・ディスプレイ・インターフェイス

YCC16 インターフェイスには、さまざまな信号が組み込まれています (表 14 を参照)。

表 14. YCC16 デジタル・ディスプレイ・インターフェイス信号

信号名	入出力	機能
YOUT[7:0] または COUT[7:0]	出力	イメージ・データ - VMOD.VDMD によりセットされるモード。 <ul style="list-style-type: none"> ・ パスは VIDCTL の YCSWAP ビットを介してスワップ可能です。 ・ Cb、Cr の順序は YCCCTL の YCP ビットにより制御されます。
VSYNC	入出力	VSYNC - 垂直同期信号。 <ul style="list-style-type: none"> ・ この信号は入力または出力のいずれかに設定できます (VMOD の SLAVE ビット)。 ・ 出力として設定された場合、OSD/VENC は VD 信号を供給します。 ・ 入力として設定された場合、ディスプレイは VD 信号を供給します。
HSYNC	入出力	HSYNC - 水平同期信号。 <ul style="list-style-type: none"> ・ この信号は入力または出力のいずれかに設定できます (VMOD の SLAVE ビット)。 ・ 出力として設定された場合、OSD/VENC は HD 信号を供給します。 ・ 入力として設定された場合、ディスプレイは HD 信号を供給します。
LCD_OE	出力	LCD 出力のイネーブル信号。 <ul style="list-style-type: none"> ・ この信号は、VENC/DLCD が有効なデータを出力したことを示します。
VCLK	出力	ビデオ・ピクセル・クロック。 <ul style="list-style-type: none"> ・ この信号は有効なディスプレイ・データを示すために使用されるピクセル・クロックです。
VPBECLK	入力	VPBE ピクセル・クロック (SYSTEM.VPSS_CLKCTL.MUXSEL)。 <ul style="list-style-type: none"> ・ この信号はオプションの入力ピクセル・クロックです。

4.1.3 YCC8 デジタル・ディスプレイ・インターフェイス

YCC8/REC656 インターフェイスには、さまざまな信号が組み込まれています (表 15 を参照)。

表 15. YCC8 デジタル・ディスプレイ・インターフェイス信号

信号名	入出力	機能
YOUT[7:0] または COUT[7:0]	出力	イメージ・データ - VMOD の VDMD ビットによりセットされるモード、YCCCTL の R656 ビットによりセットされる REC656 モード。 <ul style="list-style-type: none"> ・ パスは VIDCTL の YCSWAP ビットを介してスワップ可能。 ・ Y、Cb、Cr の順序は YCCCTL の YCP ビットにより制御されます。
VSYNC	入出力	VSYNC - 垂直同期信号。 <ul style="list-style-type: none"> ・ この信号は入力または出力のいずれかに設定できます (VMOD の SLAVE ビット)。 ・ 出力として設定された場合、OSD/VENC は VD 信号を供給します。 ・ 入力として設定された場合、ディスプレイは VD 信号を供給します。
HSYNC	入出力	HSYNC - 水平同期信号。 <ul style="list-style-type: none"> ・ この信号は入力または出力のいずれかに設定できます (VMOD の SLAVE ビット)。

表 15. YCC8 デジタル・ディスプレイ・インターフェイス信号 (続き)

信号名	入出力	機能
LCD_OE	出力	LCD 出力のイネーブル信号。 ・ 出力として設定された場合、OSD/VENC は HD 信号を供給します。 ・ 入力として設定された場合、ディスプレイは HD 信号を供給します。
VCLK	出力	ビデオ・ピクセル・クロック。 ・ この信号は、VENC/DLCD が有効なデータを出力したことを示します。 ・ この信号は有効なディスプレイ・データを示すために使用されるピクセル・クロックです。
VPBECLK	入力	VPBE ピクセル・クロック (SYSTEM.VPSS_CLKCTL.MUXSEL)。 ・ この信号はオプションの入力ピクセル・クロックです。

4.1.4 パラレル RGB デジタル・ディスプレイ・インターフェイス

パラレル RGB インターフェイスには、さまざまな信号が組み込まれています (表 16 を参照)。

表 16. パラレル RGB デジタル・ディスプレイ・インターフェイス信号

信号名	入出力	機能
R[7:0]、G[7:0]、 B[7:0]	出力	イメージ・データ - VMOD の VDMD ビットによりセットされるモード。 ・ デフォルトは RGB565 です。 ・ システム・レジスタ PINMUX0.RGB888 を使用して RGB888 モードをセットアップします。 ・ システム・レジスタ PINMUX0.RGB666 を使用して RGB666 モードをセットアップします。
VSYNC	入出力	VSYNC - 垂直同期信号。 ・ この信号は入力または出力のいずれかに設定できます (VMOD の SLAVE ビット)。 ・ 出力として設定された場合、OSD/VENC は VD 信号を供給します。 ・ 入力として設定された場合、ディスプレイは VD 信号を供給します。
HSYNC	入出力	HSYNC - 水平同期信号。 ・ この信号は入力または出力のいずれかに設定できます (VMOD の SLAVE ビット)。 ・ 出力として設定された場合、OSD/VENC は HD 信号を供給します。 ・ 入力として設定された場合、ディスプレイは HD 信号を供給します。
LCD_OE	出力	LCD 出力のイネーブル信号。 ・ この信号は、VENC/DLCD が有効なデータを出力したことを示します。
VCLK	出力	ビデオ・ピクセル・クロック。 ・ この信号は有効なディスプレイ・データを示すために使用されるピクセル・クロックです。
VPBECLK	入力	VPBE ピクセル・クロック (SYSTEM.VPSS_CLKCTL.MUXSEL)。 ・ この信号はオプションの入力ピクセル・クロックです。

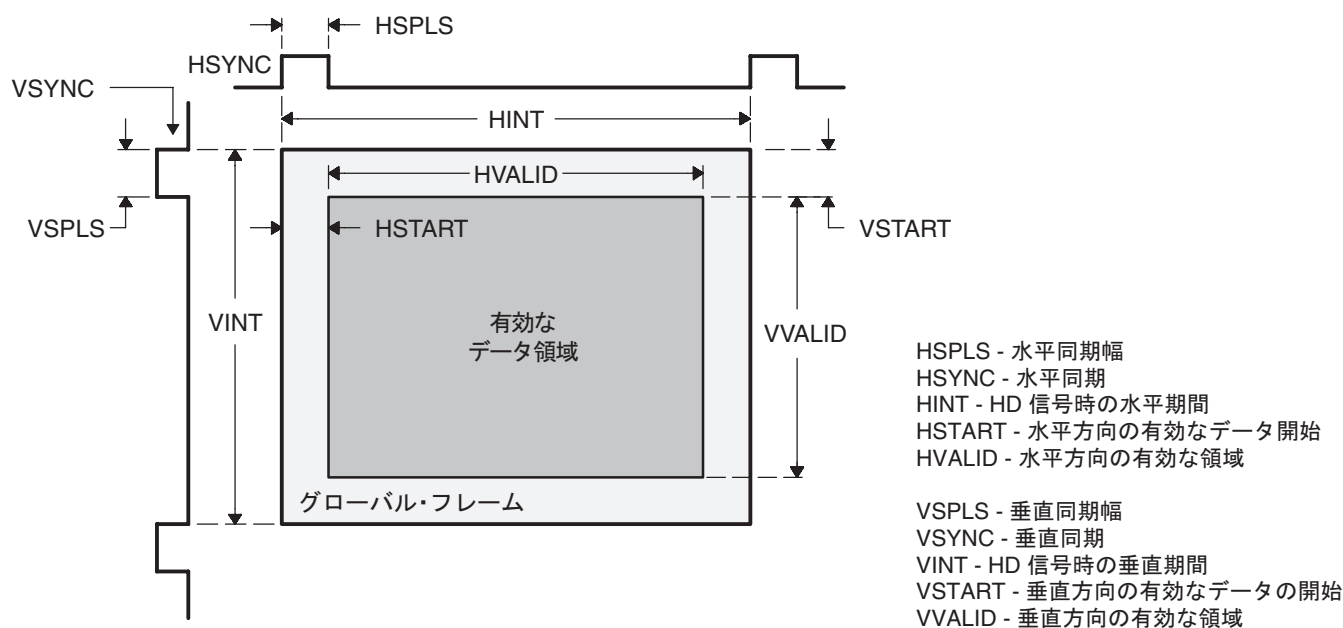
4.2 マスタ/スレーブ・モード・インターフェイス

DM643x デバイスは、VSYNC/HSYNC 信号の供給元または供給先となるように別々に設定することができます。VMOD の SLAVE ビットを 0 にクリアすることによりマスタ・モードがセットされた場合、VIDCTL の SYDIR ビットは同期信号を出力するためにクリアされる必要があります。また、表 17 のレジスタは出力フレーム (図 25) を指定するためにセットされる必要があります。

表 17. マスタ・モードのコンフィギュレーション・レジスタ

略称	レジスタ
HSPLS	水平同期パルス幅
VSPLS	垂直同期パルス幅
HINT	水平期間
HSTART	水平方向の有効なデータ開始位置
HVALID	水平方向の有効なデータ範囲
VINT	垂直期間
VSTART	垂直方向の有効なデータ開始位置
VVALID	垂直方向の有効なデータ範囲
HSDLY	水平同期遅延
VSDLY	垂直同期遅延

図 25. CCD コントローラ・フレームと制御信号の定義



注：OSD クロックが 1/2 VENC クロックの場合、HINT + 1 は偶数でなければなりません。

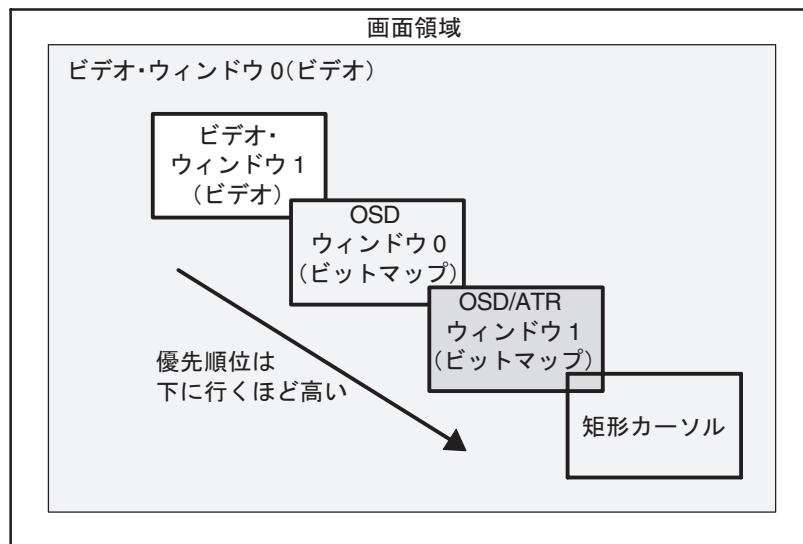
4.3 オンスクリーン・ディスプレイ (OSD) モジュール

オンスクリーン (OSD) モジュールは、DDR2 からさまざまなウィンドウ・フォーマットでデータをリードし、そのデータを YUV ディスプレイ・データに変換し、ディスプレイの固定優先順位や任意オプションの混合ルールや透明化ルールを使用してさまざまなウィンドウをレンディングし、調整と出力を行うためにディスプレイ・イメージを組み合わせて VENC へ送ります。OSD ウィンドウ (表 18 と図 26) はウィンドウごとに、ディスプレイ優先順位、ウィンドウの種類、およびサポートされるデータ・タイプが異なります。HD 解像度ビデオの対応時にウィンドウの種類ごとに異なる制約事項については、4.3.1 項を参照してください。

表 18. OSD ウィンドウ

ウィンドウ	優先順位	種類	データ・タイプ	コントロール・レジスタ	説明
CURSOR	1	内部が透明な矩形の輪郭線	該当なし	RECTCUR	矩形カーソル・ウィンドウの大きさおよびオン/オフを制御します。
OSD1	2	ビットマップ (または属性)	ビットマップ、RGB565、属性のいずれか	OSDWIN1MD	OSD ウィンドウ 1 のディスプレイ、ズーム・レンディング、およびオン/オフを制御します。
OSD0	3	ビットマップ	ビットマップまたは RGB565	OSDATRMD	アトリビュート・ウィンドウのリンク、ディスプレイ、ズーム、およびオン/オフを制御します。
VID1	4	ビデオ	YUV422 または RGB888	OSDWIN0MD	OSD ウィンドウ 0 のディスプレイ、ズーム・レンディング、およびオン/オフを制御します。
VID0	5	ビデオ	YUV422 または RGB888	VIDWINMD	ビデオ・ウィンドウのディスプレイ、ズーム、およびオン/オフを制御します。

図 26. OSD ウィンドウのディスプレイ優先順位



4.3.1 ビデオ・ウィンドウの制約事項

HD 解像度ビデオの対応時にウィンドウの種類ごとに、次のような制約事項があります。

- **ビデオ・ウィンドウ 0** : HD ディスプレイではビデオ・ウィンドウ 0 を使用します。
- **ビデオ・ウィンドウ 1** : ビデオ・ウィンドウ 1 を使用してはいけません (HD ディスプレイ実行時にはビデオ・ウィンドウ 1 をオフにする)。
- **OSD ウィンドウ 0 および 1** : OSD ウィンドウを使用できますが、帯域全体を組み合わせたと、25 MB/s 未満にする必要があります。

OSD ウィンドウの帯域は、ウィンドウの大きさによって、また入力データ・フォーマットに関連付けられているバイト / ピクセルによっても異なります。帯域を求める式は次のようになります。

$$[(x0 \times y0) \times b0 + (x1 \times y1) \times b1] \times 60 < 25 \text{ MB/s}$$

ここで、

$x0$ = OSD ウィンドウ 0 の水平方向サイズ (ピクセル単位)

$y0$ = OSD ウィンドウ 0 の垂直方向サイズ (ピクセル単位)

$b0$ = バイト / ピクセル (OSD ウィンドウで選択されるデータ入力フォーマットによって異なる)

$x1$ = OSD ウィンドウ 0 の水平方向サイズ (ピクセル単位)

$y1$ = OSD ウィンドウ 0 の垂直方向サイズ (ピクセル単位)

$b1$ = バイト / ピクセル (OSD ウィンドウで選択されるデータ入力フォーマットによって異なる)

60 = HD ビデオのフレーム・レート

4.3.2 OSD のコンフィギュレーションと制御

OSD レジスタの多くには、VD 信号でラッチされるビットが含まれています。この信号はビデオ・エンコーダ・モジュールによって生成される垂直同期パルスです。ラッチされたビットにライトされたデータは、VD パルスを受け取るまで有効になりません。これにより、現在のディスプレイを破損することなく連続した VD パルス間で、SDRAM データ・アドレス、ディスプレイ・ウィンドウ・サイズ、ディスプレイ・ズーム構成などの OSD を制御するレジスタを変更できます。

4.3.2.1 DDR アドレス

SDRAM に格納されたデータ・ロケーションは、複数のメモリマップド・レジスタによって指定されます(表 19)。SDRAM アドレスは、絶対アドレスを使ってバイト単位で指定されます。ただし、データ転送は SDRAM から OSD へ 32 バイト単位で行われるので、アドレスは 32 バイトにアラインされる必要があります。つまり、アドレスの下位側 5 バイトは 00000 にしてください。

表 19. OSD SDRAM アドレス・レジスタ

SDRAM アドレス・レジスタ	ウィンドウ
VIDWIN0ADR	ビデオ・ウィンドウ 0 アドレス・レジスタ
VIDWIN1ADR	ビデオ・ウィンドウ 1 アドレス・レジスタ
OSDWIN0ADR	OSD ビットマップ・ウィンドウ 0 アドレス・レジスタ
OSDWIN1ADR	OSD ビットマップ・ウィンドウ 1 / アトリビュート・ウィンドウ・アドレス・レジスタ

4.3.2.2 DDR オフセット

オフセット・レジスタ(表 20)は、ディスプレイ・データの水平ライン間のアドレス・オフセットを指定します。アドレス・オフセットはウィンドウのディスプレイ・サイズには関係しないので、イメージのサブセットを表示することができます。オフセットの単位は 32 バイトです。そのため、SDRAM に格納されたデータの各ラインの幅は 32 バイトの倍数でなければなりません。データ幅が 32 バイトの倍数ではない場合、SDRAM に格納されたときに 0 が埋め込まれます。

表 20. OSD SDRAM オフセット・レジスタ

SDRAM アドレス・レジスタ	ウィンドウ
VIDWIN0OFST	ビデオ・ウィンドウ 0 SDRAM オフセット・レジスタ
VIDWIN1OFST	ビデオ・ウィンドウ 1 SDRAM オフセット・レジスタ
OSDWIN0OFST	OSD ビットマップ・ウィンドウ 0 SDRAM オフセット・レジスタ
OSDWIN1OFST	OSD ビットマップ・ウィンドウ 1 / アトリビュート・ウィンドウ SDRAM オフセット・レジスタ

4.3.2.3 Window のポジショニング

すべてのウィンドウは、共通の基準ピクセルを使用します(ベース・ピクセル)。このピクセルの位置は、ビデオ・エンコーダの HD 信号の開始およびビデオ・エンコーダの VD 信号の開始から決定されます。ウィンドウ(ビデオ、ビットマップ、カーソル)ごとに、左上隅のロケーションが水平ディスプレイ・サイズと垂直ディスプレイ・サイズとともに、指定されます。ウィンドウごとのディスプレイ位置の関係を図 27 に示します。

ウィンドウの開始位置は、BASEP_X および BASEP_Y の位置に関連して指定されます。ウィンドウの X 方向の開始位置とウィンドウの幅は、ピクセル単位で指定されます。ウィンドウの Y 方向の開始位置とウィンドウの高さは、ライン単位で指定されます。VENC がインターレース・モードの場合、ウィンドウの垂直位置と高さ(*YP と *YL レジスタ)はフィールドごとにディスプレイ・ラインに関連して指定されます。VENC がプログレッシブ・モードの場合、ウィンドウの垂直位置と高さ(*YP と *YL レジスタ)はプログレッシブ・フレームのディスプレイ・ラインに関連して指定されません。表 21 に、ウィンドウの位置とサイズを指定するときに使用されるレジスタを示します。

図 27. OSD ウィンドウのポジショニング

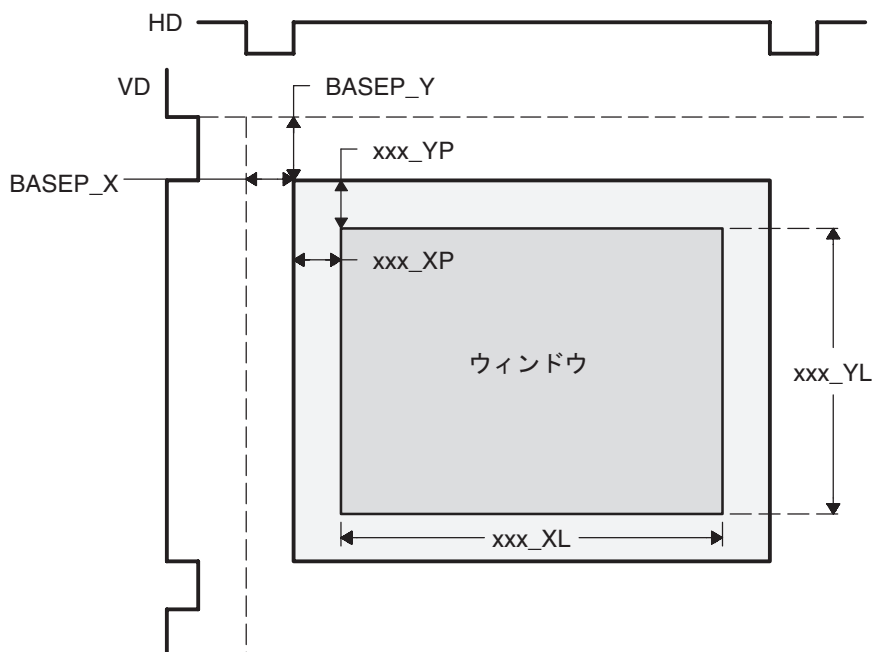


表 21. OSD ウィンドウ・ポジショニング・レジスタ

ウィンドウ・ポジショニング・レジスタ	ウィンドウ
VIDWIN0XP VIDWIN0YP VIDWIN0XL VIDWIN0YL	ビデオ・ウィンドウ0 スタート・ポジション・サイズ・レジスタ
VIDWIN1XP VIDWIN1YP VIDWIN1XL VIDWIN1YL	ビデオ・ウィンドウ1 スタート・ポジション・サイズ・レジスタ
OSDWIN0XP OSDWIN0YP OSDWIN0XL OSDWIN0YL	OSD ビットマップ・ウィンドウ0 スタート・ポジション・サイズ・レジスタ
OSDWIN1XP OSDWIN1YP OSDWIN1XL OSDWIN1YL	OSD ビットマップ・ウィンドウ1/アトリビュート・ウィンドウ・スタート・ポジション・サイズ・レジスタ
CURXP CURYP CURXL CURYL	ハードウェア・カーソル・スタート・ポジション・サイズ・レジスタ

4.3.2.4 ウィンドウ・モード・フィールド/フレーム

それぞれのビデオおよびビットマップ・ウィンドウには、フィールド・モードとフレーム・モード (VIDWINMD.VFF n 、OSDWIN n MD.OFF n) の2つのディスプレイ・モードがあります。表 22 に、ウィンドウ・モードを指定するときを使用されるレジスタを示します。フィールド/フレーム・モードの設定では、ディスプレイ・データの設定方法と DRAM からのリード方法を示します (表 23 を参照)。

表 22. OSD フィールド/フレーム・モード・レジスタ

レジスタ・フィールド	説明
VIDWINMD.VFF0	ビデオ・ウィンドウ 0 フィールド/フレームの仕様
VIDWINMD.VFF1	ビデオ・ウィンドウ 1 フィールド/フレームの仕様
OSDWIN0MD.OFF0	OSD ビットマップ・ウィンドウ 0 フィールド/フレームの仕様
OSDWIN1MD.OFF1	OSD ビットマップ・ウィンドウ 1 フィールド/フレームの仕様
OSDATRMD.OFFA	OSD アトリビュート・ウィンドウ・フィールド/フレームの仕様 (OSD ビットマップ・ウィンドウ 1 の場合と同じアドレス/オフセット)

表 23. ウィンドウ・モードの説明

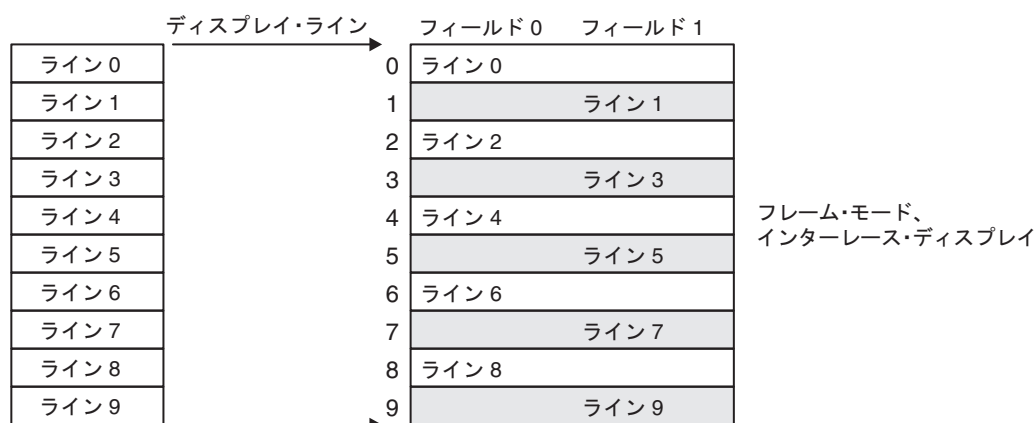
ウィンドウ・モード	ディスプレイ・フィールド	初期データ	ラインのインクリメント	VENC モード	ウィンドウ・ハイト・レジスタ	ディスプレイの使用方法
フレーム	一番上	スタート・アドレス	2 × オフセット	インターレース	フィールドの高さ (ディスプレイの高さの 1/2)	プログレッシブ・データからインターレース・ディスプレイ・デバイスへ
	一番下	スタート・アドレス + オフセット	2 × オフセット			
フィールド		スタート・アドレス	オフセット	インターレース	フィールドの高さ (ディスプレイの高さの 1/2)	フィールド・データはラインの 2 倍
フィールド		スタート・アドレス	オフセット	インターレース	フィールドの高さ (ディスプレイの高さと完全に同じ)	プログレッシブ・フレームからプログレッシブ・ディスプレイへ

4.3.2.4.1 フレーム・モード

フレーム・モード (図 28) を使用すると、DRAM に格納されたデータ (完全垂直解像度) のプログレッシブ・フレームが有効になります。またデータは、スタート・アドレスからはじまり、ラインごとに 2 × オフセットずつインクリメントして、1 ラインおきに進み順次リードされます。2 番目のフィールドのリードアウトは、スタート・アドレスの 1 ラインのオフセットから開始されます。

VENC がインターレース・モード (標準の TV 出力モード) の場合、各種データがフィールドごとにリードされ、完全なプログレッシブ・フレームが偶数 / 奇数フィールド・ペアごとに出力されます。この場合、ウィンドウ・ハイト・レジスタは各フィールドのライン数にプログラムされます。つまり、VENC が VSYNC (フィールド) ごとにリードするライン数はディスプレイの高さの 1/2 になります。

図 28. OSD ウィンドウのフレーム・モード



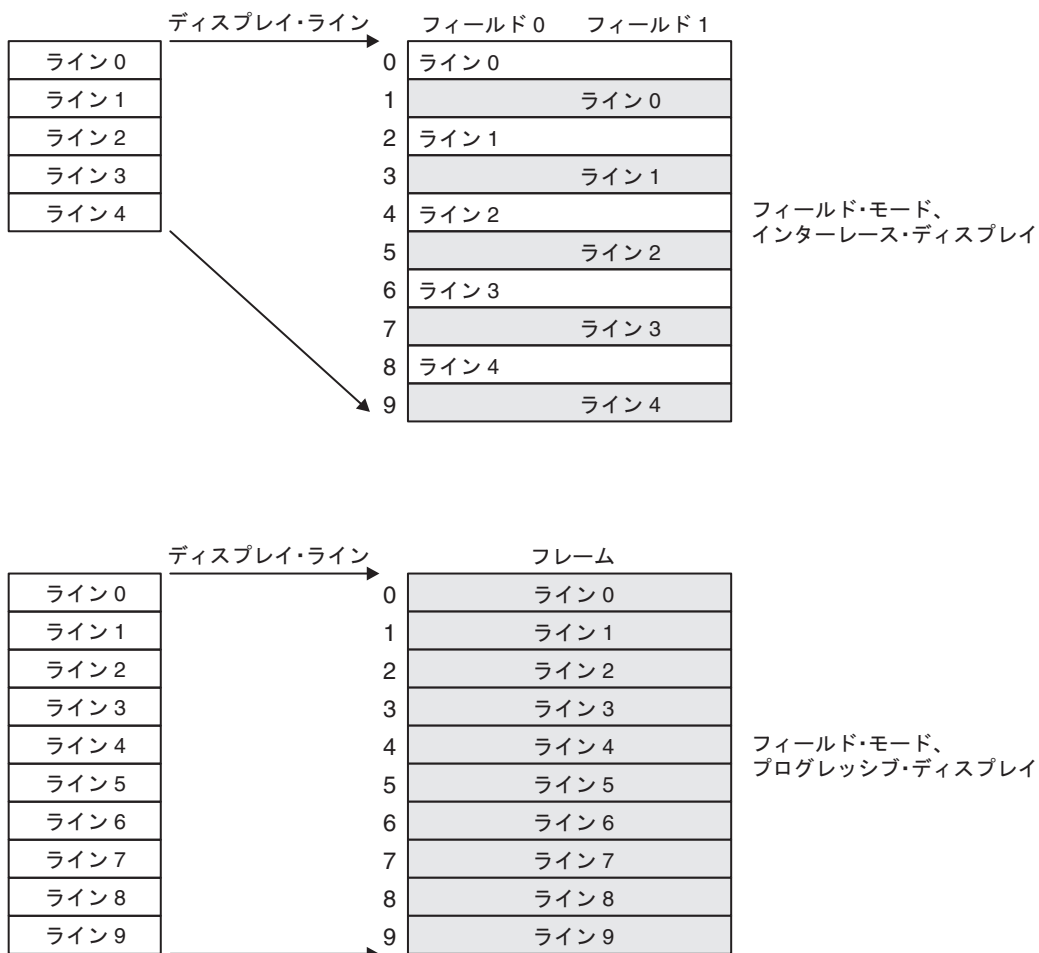
4.3.2.4.2 フィールド・モード

フィールド・モード (図 29) では、1 つのディスプレイ・フィールドが DRAM に格納されていて、データ・ラインはスタート・アドレスからはじまりラインごとに 1 オフセットずつインクリメントして順次リードされることを想定しています。これはフィールド (またはフレーム) ごとに繰り返し行われます。

VENC がインターレース・モード (標準 TV 出力モード) の場合、同一データがフィールドごとに 2 回リードされます。これにより、各ラインが 2 回、フィールドごとに 1 回、つまり、ラインの 2 倍表示されることとなります。この場合、ウィンドウ・ハイト・レジスタは各フィールドのライン数にプログラムされます。つまり、VENC が VSYNC (フィールド) ごとにリードするライン数はディスプレイの高さの 1/2 になります。インターレース・ビデオ・フレームがビデオのデコード動作上交互に表示されることになっている場合、スタート・アドレスは 2 つの実ビデオ・フィールド間で VSYNC のピンポン動作ごとに変更され、インターレース・データはインターレース・ディスプレイ出力に出力されます。

VENC がプログレッシブ・モードの場合、フィールド・モードを使用してください。そうすれば、すべてのデータが DRAM から徐々にリードされるので、各ラインがプログレッシブ・フレームごとに 1 回表示されます。この場合、ウィンドウ・ハイト・レジスタは各プログレッシブ・フレームのライン数にプログラムされます。つまり、VENC が VSYNC (フレーム) ごとにリードするライン数はディスプレイの高さになります。

図 29. OSD ウィンドウのフィールド・モード



4.3.2.5 ウィンドウのズーム機能

ビデオ・ウィンドウと OSD ビットマップ・ウィンドウは水平方向にも垂直方向にも 2 倍または 4 倍ズーム可能です。図 30 に、ズーム処理とズーム機能実行する上でセットアップする必要があるパラメータを示します。ズーム処理で使用されているすべてのレジスタ (表 24) は、問題なく常にアップデートできるように VD 信号によってラッチされます。

- 拡大を指定した領域の SDRAM のスタート・アドレス、オフセット、ズーム比、およびディスプレイ・ウィンドウ・サイズをセットします。OSD はスタート・アドレスからはじまるデータを使用して、ディスプレイ・ウィンドウに収まるように拡大されたイメージを生成します。
- ディスプレイの位置をウィンドウの指定位置にセットします。ディスプレイの高さとディスプレイの幅を拡大指定した高さと幅にセットします。
- ズームがイネーブルの場合 (VIDWINMD.VVRSZ_n, VIDWINMD.VHRSZ_n, OSDWIN_nMD.OVZ_n, OSDWIN_nMD.OHZ_n) SDRAM のスタート位置からはじまる SDRAM データはディスプレイの高さとディスプレイの幅が指定されたディスプレイ領域に収まるように拡大されます。たとえば、水平方向と垂直方向が 2 倍ズームにセットされ、かつディスプレイの幅と高さが 640 × 480 にセットされた場合、SDRAM のスタート位置からはじまる 320 × 240 のデータ・ブロックはディスプレイ・ウィンドウに 640 × 480 に拡大されます。

図 30. OSD ウィンドウのズーム処理

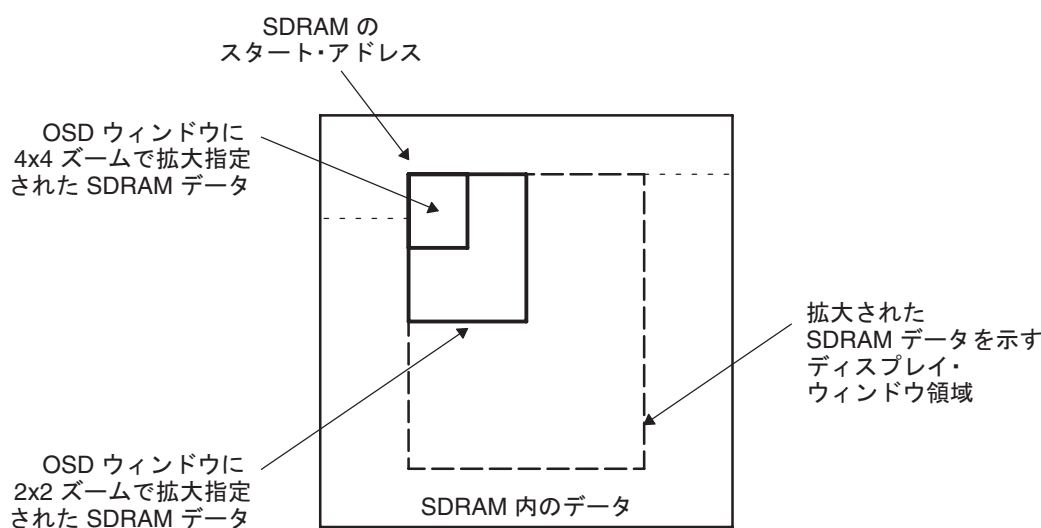


表 24. OSD ウィンドウ・ズーム・レジスタ

レジスタ・フィールド	説明
VIDWINMD.VHZ0	ビデオ・ウィンドウ 0 ホリゾンタル・ズーム
VIDWINMD.VVZ0	ビデオ・ウィンドウ 0 パーティカル・ズーム
VIDWINMD.VHZ1	ビデオ・ウィンドウ 1 ホリゾンタル・ズーム
VIDWINMD.VVZ1	ビデオ・ウィンドウ 1 パーティカル・ズーム
OSDWIN0MD.OHZ0	ビットマップ・ウィンドウ 0 ホリゾンタル・ズーム
OSDWIN0MD.OVZ0	ビットマップ・ウィンドウ 0 パーティカル・ズーム
OSDWIN1MD.OHZ1	ビットマップ・ウィンドウ 1 ホリゾンタル・ズーム
OSDWIN1MD.OVZ1	ビットマップ・ウィンドウ 1 パーティカル・ズーム

4.3.2.6 ウィンドウの拡大 - NTSC/PAL アナログ出力の正方ピクセル

アナログ NTSC/PAL 出力ビデオ信号は、圧縮されています。結果的に、OSD にはビデオ・ウィンドウやビットマップ・ウィンドウを水平にも垂直にも拡大するオプションがあり、これはビデオ信号における空間圧縮を妨害するものです。また、拡大されるビデオ・ウィンドウのデータを滑らかに表示するオプションもあります。表 25 に、ウィンドウの拡大を指定するときに使用されるレジスタを示します。

- NTSC アナログ出力は、水平方向に 8/9 圧縮される
 - 720 × 480 入力は 640 × 480 として表示 (6:4 のアスペクト比のソース・データは 4:3 として表示) される。
 - 解決方法 (参考例)- 640 × 480 映像素材を水平方向に 9/8 拡大 (MODE.VHRSZ と MODE.OHRSZ) し、720 × 480 にセットされたウィンドウ・ディスプレイ・サイズと組み合わせて使用すると、640 × 480 として表示される。
- PAL アナログ出力は、水平方向に 8/9、垂直方向に 5/6 圧縮される
 - 720 × 576 入力は 640 × 480 として表示される
 - 解決方法 (参考例)- 640 × 480 映像素材を水平方向に 9/8 拡大 (MODE.VHRSZ と MODE.OHRSZ) し、垂直方向に 6/5 拡大 (MODE.VVRSZ と MODE.OVRSZ) し、720 × 576 にセットされたウィンドウ・ディスプレイ・サイズと組み合わせて使用すると、640 × 480 として表示される。

表 25. OSD ウィンドウ・エクспанション・レジスタ

レジスタ・フィールド	説明
MODE.VHRSZ	ビデオ・ウィンドウ・水平方向 9/8 エクспанション
MODE.VVRSZ	ビデオ・ウィンドウ・垂直方向 6/5 エクспанション
MODE.V0EFC	ビデオ・ウィンドウ 0 スムージング・フィルタ・イネーブル (MODE.EF と組み合わせて)
MODE.V1EFC	ビデオ・ウィンドウ 1 スムージング・フィルタ・イネーブル (MODE.EF と組み合わせて)
MODE.EF	ビデオ・ウィンドウ・スムージング・フィルタ (最大ライン幅は 720)
MODE.OHRSZ	OSD ウィンドウ・水平方向 9/8 エクспанション
MODE.OVRSZ	OSD ウィンドウ・垂直方向 6/5 エクспанション 4.4.1.7

4.3.2.7 OSD のバックグラウンド・カラー

バックグラウンド・カラーは、カラー・ルックアップ・テーブルに関連して指定できます。このカラーはオーバーラップするウィンドウのない OSD ディスプレイ領域を組み合わせた範囲に表示されます。表 26 に、OSD バックグラウンド・カラーを指定するときに使用されるレジスタを示します。

表 26. OSD バックグラウンド・カラー・レジスタ

レジスタ・フィールド	説明
MODE.BCLUT	使用するカラー・ルックアップ・テーブルを選択します (ROM または RAM)。2 つの ROM テーブルがあり、他のウィンドウに対するカラー選択もこのレジスタ (MISCCTL.RSEL) で適用できることに注意してください。
MODE.CABG	バックグラウンド・カラー。8 ビットのオフセットをカラー・ルックアップ・テーブルにします。

4.3.3 ビデオ・ウィンドウ

2つのビデオ・ウィンドウ (VIDWIN0 と VIDWIN1) は同時に表示可能です。それぞれのビデオ・ウィンドウが参照するデータは、外部メモリからリードされ、2つのウィンドウ内に表示されます。

注： ビデオ・ウィンドウ 1 (VIDWIN1) とすべての OSD ビットマップ・ウィンドウ、およびカーソル・ウィンドウは、ビデオ・ウィンドウ 0 (VIDWIN0) の内部に完全に収まらなければなりません。

したがって、通常ビデオ・ウィンドウ 0 は GUI が構築されるキャンバスで、他のウィンドウを使用してグラフィックス / テストのオーバーレイ、VIDWIN1 を介したピクチャー間のオーバーレイなどを格納する場所として機能しています。ビデオ・ウィンドウが受け付ける主要なデータ・フォーマットは、YUV 4:2:2 インターリーブ・データです (下記参照)。これは、VPFE プレビュー・エンジン・イメージ・シグナル・プロセッサ (ISP) およびリサイズ・モジュールによって出力されるデータ・フォーマットです。通常、ビデオ / イメージ・デコーダはこの出力フォーマットを作成し、同様にエンコーダはこの入力フォーマットを受け付けます。また、ビデオ・ウィンドウの 1 つは 24 ビットの RGB888 ビット・データを必要に応じて受け付けるように構成されます。

OSD ウィンドウのデータは、32 ビット・ワードに常にパックされ、前詰めされます。すべてのデータは、OSD ウィンドウの左上隅から始まり、隣接する 32 ビット・ワードにパックされます。図 31 に、SDRAM に格納されるデータ・フォーマット・ウィンドウのデータを示します。

図 31. ディスプレイのピクセル調整

左、上

P0	P1	P2	P3	P4	P5	P6	P7 ...
----	----	----	----	----	----	----	--------

4.3.3.1 ビデオ・ウィンドウのデータ - YUV422 フォーマット

OSD ビデオ・ウィンドウのデータは、YCbCr 4:2:2 フォーマットです。YCbCr 4:2:0 および 4:4:4 インターリーブ・データ・フォーマットなど他のデータ・フォーマットは、サポートされません。Cb や Cr データは、MODE.CS (色差の交換) によって異なることに注意してください。図 32 に、デフォルトの場合の Cb/Cr の順序を示します。

ウィンドウ・データのそれぞれの水平ラインは、必ず 32 バイトの倍数であるため、ビデオ・ウィンドウのデータには、水平ラインごとに 16 ピクセル (= 32 バイト / 2 バイト / ピクセル) の倍数が含まれている必要があることに注意してください。

図 32. ビデオ・データ・フォーマット - YUV422

(a) 色差を組み合わせた場合の 16 ビット / ピクセル、32 ビット / ピクセルのペア

31	24 23	16 15	8 7	0
Y1	Cr0	Y0	Cb0	
	P_{n+1}		P_n	

(b) SDRAM フォーマット

アドレス	31	16 15	0
N	P1	P0	
N + 1	P3	P2	
N + 2	P5	P4	
...	

4.3.3.2 ビデオ・ウィンドウのデータ - RGB888 フォーマット

OSD ビデオ・ウィンドウは、24 ビットの RGB ソース・データつまり RGB888 フォーマットのディスプレイもサポートしています。このデータは、ブレンディングのために OSD モジュールに入る前に内部で YUV422 に変換されます。外部メモリからの RGB データは OSD モジュール内の YCbCr データに変換されます。YCrCb を計算するためには次の式を使用します。

$$Y = (0.2990 \times R) + (0.5870 \times G) + (0.1140 \times B)$$

$$Cb = (-0.1687 \times R) - (0.3313 \times G) + (0.5000 \times B) + 128$$

$$Cr = (0.5000 \times R) - (0.4187 \times G) - (0.0813 \times B) + 128$$

RGB888 データを受け付けるように、一度に 1 つのビデオ・ウィンドウだけが設定されることに注意してください (表 27 のコントロール・レジスタを参照)。

表 27. RGB888 コントロール・レジスタ

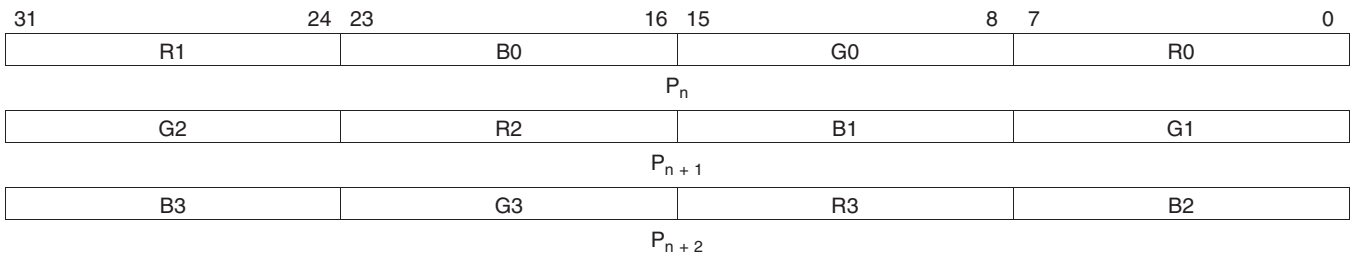
コントロール・レジスタ・フィールド	説明
MISCCTL.RGBWIN	RGB888 フォーマットのビデオ・ウィンドウのデータを指定します。
MISCCTL.RGBEN	選択したビデオ・ウィンドウのデータの RGB888 YUV422 変換をイネーブルします。

24 ビットの RGB888 データは、3 つの 32 ビット・ワードに格納された 4 ピクセルにパックされ DDR2 に格納されます。各 24 ビットの要素内に、赤 (R) のバイト値は LSB にあり、その後緑 (G) のバイト値、青 (B) のバイト値が続きます (図 33 を参照)。

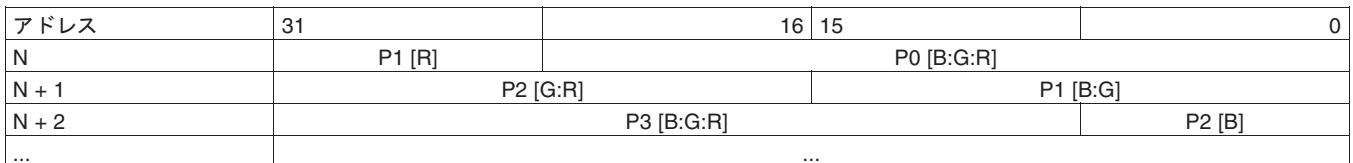
ウィンドウ・データのそれぞれの水平ラインは、32 バイトの倍数であり、整数のピクセルであるため、RGB888 ウィンドウのデータには、水平ラインごとに 32 ピクセル (= 32 バイト / 3 バイト / ピクセル × 3) の倍数が含まれている必要があることに注意してください。

図 33. ビデオ・データ・フォーマット - RGB888

(a) 32 ビット間隔で 3 バイト / ピクセル



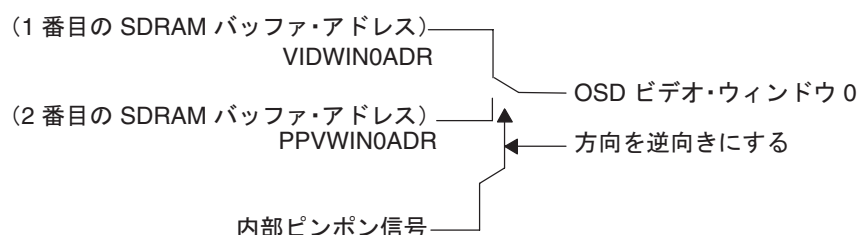
(b) SDRAM フォーマット



4.3.4 ビデオ・ウィンドウのピンポン・ディスプレイの切り換え

メイン・ビデオ・ウィンドウ (ビデオ・ウィンドウ 0) は SDRAM データ・アドレス・ポインタをただちに変更するために、ピンポン・バッファをサポートしています。初期状態では、ビデオ・ウィンドウ 0 の SDRAM ソース・アドレスは、VIDWIN0ADR で指定される SDRAM アドレスにセットされます。ピンポン・バッファ切り換えビットがクリアされると、SDRAM ソース・アドレスは PPVWIN0ADR レジスタで指定されるアドレスに切り替わります。ピンポン・バッファの切り換えを行うには、MISCCTL.PPSW を設定します。ピンポン・バッファの切り換え (PPSW = 1 のときに選択されるアドレス) の感知方向を逆向きにするには、ピンポン逆方向オプション MISCCTL.PPRV をセットします。ピンポン・バッファの切り換えの様子を図 34 に示します。

図 34. メイン・ビデオ・ウィンドウ 0 のピンポン・バッファ



4.3.5 ビットマップ・ウィンドウ

2 つのビットマップ・ウィンドウ (OSDWIN0 と OSDWIN1) は、同時に表示可能です。それぞれのビットマップ・ウィンドウが参照するデータは、外部メモリからリードされ、2 つのウィンドウ内に表示されます。

ビットマップ・ウィンドウを使用すると、ディスプレイ・ユニット上にグラフィックスやアイコンを表示できます。ビットマップ・ウィンドウは、指定されたビットマップ・ピクセル値の実際のディスプレイ・カラーを判別するために、ROM または RAM のいずれかで、カラー・ルックアップ・テーブル (CLUT) を使用します。24 ビット YUV カラー空間で 256 CLUT エントリ全体が使用可能です。ビットマップ・ピクセルの最大の幅は 8 ビットです。ただし、1 ビット、2 ビット、4 ビットのカラー深度もサポートされています。

ビットマップ・ウィンドウ 1 はアトリビュート・ウィンドウとして指定されます。このウィンドウのデータ・ピクセルは、その下にあるビットマップ・ウィンドウ 0 のウィンドウ属性を変更します。

ビットマップ・データを表示するだけでなく、OSD ビットマップ・ウィンドウは 16 ビットの RGB565 データの表示を直接サポートします。つまり、R と B のピクセルはそれぞれ 5 ビット、G ピクセルは 6 ビットです。外部メモリからの RGB データは OSD モジュール内の YCbCr データに変換されます。YCrCb を計算するためには次の式を使用します。

$$Y = (0.2990 \times R) + (0.5870 \times G) + (0.1140 \times B)$$

$$Cb = (-0.1687 \times R) - (0.3313 \times G) + (0.5000 \times B) + 128$$

$$Cr = (0.5000 \times R) - (0.4187 \times G) - (0.0813 \times B) + 128$$

4.3.5.1 カラー・ルックアップ・テーブル

3つのカラー・ルックアップ・テーブル (CLUT) があります。このうちの2つは、固定された ROM CLUT で、もう1つはユーザーが設定可能な RAM CLUT です。各ウィンドウは、RAM CLUT または ROM CLUT を使用します。また ROM CLUT を使用するすべての OSD オプションに対して使用すべき2つの ROM CLUT の一方を選択する必要があります (MISCCTL.RSEL)。表 28 に、カラー・ルックアップ・テーブルを指定するために使用するレジスタを示します。

ビットマップ・ウィンドウだけでなく、OSD バックグラウンド・カラー全体は特定の CLUT エントリにセットされ、カーソルのカラーは CLUT テーブル/値の中から1つ選択されます。

RAM CLUT を使用するときは事前に初期化する必要があります。OSD の RAM CLUT をセットアップするときに必要なステップは、次のとおりです。

1. MISCCTL レジスタの CPBSY が 0 にクリアされるまで待機します。
2. 輝度と色差の Cb 値を CLUTRAMYCB レジスタにライトします。
3. 色差 Cr 値と CLUT アドレスを CLUTRAMCR レジスタにライトします。ライトされたアドレスは、Y、Cb、Cr の各値に対して CLUT RAM テーブルにライトされるオフセット・アドレスです。
4. RAM テーブルが完全にロードされるまで、今までのステップを繰り返します。

表 28. OSD カラー・ルックアップ・テーブル・レジスタ

	レジスタ・フィールド	説明
ROM カラー・ルックアップ・テーブル・セレクション	MISCCTL.RSEL	ROM テーブルを選択するすべてのオプションに対して使用する ROM カラー・ルックアップ・テーブルを選択します。
バックグラウンド・カラー・セレクション	MODE.BCLUT	バックグラウンド CLUT の選択 (ROM または RAM)。
	MODE.CABG	バックグラウンド CLUT の選択 (256 ビットのテーブルへのオフセット)。
カーソル CLUT セレクション	RECTCUR.CLUTSR	カーソル CLUT の選択 (ROM または RAM)。
	RECTCUR.RCAD	CLUT 内の矩形カーソルのカラー・アドレス (256 ビットのテーブルへのオフセット)。
ビットマップ・ウィンドウ CLUT セレクション	OSDWIN0MD.CLUTS0	ウィンドウ 0 CLUT の選択 (ROM または RAM)。
	OSDWIN1MD.CLUTS1	ウィンドウ 1 CLUT の選択 (ROM または RAM)。
RAM CLUT セットアップ/ライト	CLUTRAMYCB.Y	CLUTRAM Y (輝度) の値。
	CLUTRAMYCB.CB	CLUTRAM CB (色差) の値。
	CLUTRAMCR.CR	CLUTRAM CR (色差) の値。
	CLUTRAMCR.CADDR	CLUTRAM アドレス・オフセット (すべての値をライトする)。
	MISCCTL.CPBUSY	CLUT RAM へのライト時にビジーであるかどうかを示します。

RGB と等価な CLUT 値を表 31 に示します。RGB888 と RGB565 ウィンドウのデータ用の OSD の RGB から YUV への変換マトリックスを逆方向に変換しています (下記参照)。

$$R = (1.00000 \times Y) + (0.00000 \times (Cb - 128)) + (1.40200 \times (Cr - 128))$$

$$G = (1.00000 \times Y) - (0.34414 \times (Cb - 128)) - (0.71444 \times (Cr - 128))$$

$$B = (1.00000 \times Y) + (1.72200 \times (Cb - 128)) + (0.00000 \times (Cr - 128))$$

ただし、VENC モジュールのデフォルトの YUV から RGB への変換マトリックスの値 (下記参照) は異なっており、そのため出力されるカラーはここに示すカラーとは完全に一致しない場合があります。

$$R = (1.00000 \times Y) + (0.00000 \times (Cb - 128)) + (1.37110 \times (Cr - 128))$$

$$G = (1.00000 \times Y) - (0.33690 \times (Cb - 128)) - (0.69820 \times (Cr - 128))$$

$$B = (1.00000 \times Y) + (1.73240 \times (Cb - 128)) + (0.00000 \times (Cr - 128))$$

オンスクリーン・ディスプレイ (OSD) モジュール

各ビットマップ・ウィンドウの YUV 出力は、YUV 信号のダイナミック・レンジを軽減するために減衰が行われます (表 29 を参照)。輝度の値は 16 ~ 235 の範囲に、色差の値は 16 ~ 240 の範囲にそれぞれ減衰されます。

注: アッテネーションは、OSDWIN1 をアトリビュート・ウィンドウとして使用時に自動的にディセーブルされます。

表 29. OSD ビットマップ・ウィンドウ YUV アウトプット・アッテネーション・レジスタ

レジスタ・フィールド	説明
OSDWIN0MD.ATN0E	ビットマップ・ウィンドウ 0 の YUV アッテネーションをイネーブルします。
OSDWIN1MD.ATN1E	ビットマップ・ウィンドウ 1 の YUV アッテネーションをイネーブルします。
























































































































































































































































4.3.5.1.1 ROM0 カラー・ルックアップ・テーブル
表 30. ROM0 カラー・ルックアップ・テーブル (YUV 値)

ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値		
0	00 80 80	32	59 71 A2	64	72 1E F5	96	D2 08 95	128	63 46 46	160	3F 93 72	192	52 D3 4F	224	54 A7 76
1	26 5A DA	33	6E 6C AE	65	5B 6F 88	97	92 1F 93	129	17 71 71	161	26 93 72	193	8A 9B 71	225	AE 87 7F
2	4B 35 35	34	66 6C AE	66	18 68 89	98	B7 00 9F	130	4D 4B 4B	162	51 E4 37	194	48 9B 71	226	9D 88 7F
3	71 0F 8F	35	60 6A B4	67	49 4F 91	99	BD 00 A1	131	1B 6D 6D	163	58 EE 30	195	43 D1 55	227	6C 87 7F
4	0F F1 71	36	68 62 C5	68	41 4F 91	100	B5 00 A1	132	3B 55 55	164	EE 89 79	196	4A EB 46	228	64 87 7F
5	35 CB CB	37	40 40 FF	69	30 60 89	101	C4 00 A3	133	29 6F 67	165	DB 94 73	197	4A EB 46	229	53 87 7F
6	5A A6 26	38	53 5E C1	70	6E 1A 9E	102	D2 00 A5	134	8A 82 7A	166	D1 9E 6C	198	3B E1 4D	230	5B 88 7F
7	C0 80 80	39	2D 5B C6	71	50 59 8A	103	CA 10 94	135	48 82 7A	167	B9 9D 6C	199	BB 9B 72	231	4B 87 7F
8	D0 70 70	40	48 40 F5	72	48 59 8A	104	A8 32 64	136	2F 82 7A	168	A8 9E 6C	200	58 9B 72	232	43 87 7F
9	C4 AC 62	41	65 65 AF	73	77 32 95	105	AD 3E 67	137	27 82 7A	169	28 89 79	201	50 9B 72	233	6D 8E 7E
10	FB 80 80	42	4C 65 AF	74	6E 2A 96	106	A5 2D 5F	138	1E 83 7A	170	96 A7 65	202	37 9B 72	234	65 8E 7E
11	08 80 80	43	51 47 E4	75	5E 32 95	107	A6 34 5E	139	5F 8C 73	171	6E 9E 6C	203	47 AC 6A	235	22 87 7F
12	10 80 80	44	23 65 AF	76	27 59 8A	108	9A 30 59	140	8E C0 3C	172	86 A7 65	204	5E C7 5B	236	4D 96 7D
13	18 80 80	45	3B 4D D9	77	46 3A 94	109	8F 33 54	141	9B CC 2F	173	A5 B1 5F	205	E6 91 78	237	19 88 7F
14	21 80 80	46	43 45 EA	78	BE 04 A0	110	8C 2D 4E	142	BC A2 60	174	95 B1 5E	206	83 91 78	238	11 87 7F
15	29 80 80	47	1D 63 B5	79	35 4B 8D	111	84 2D 4E	143	81 DD 28	175	8C B1 5F	207	58 AC 6A	239	45 85 85
16	31 80 80	48	8B 68 AA	80	76 43 8E	112	88 29 4A	144	A8 B6 53	176	65 A7 65	208	59 A2 71	240	1C 85 85
17	4A 80 80	49	5A 4F D3	81	BE 1C 98	113	7D 24 45	145	98 B6 53	177	74 B1 5E	209	59 A2 71	241	74 87 90
18	5A 80 80	50	5D 3B F1	82	55 43 8E	114	72 50 60	146	78 D6 39	178	9A C4 51	210	51 A2 71	242	50 82 8A
19	73 80 80	51	18 68 AA	83	9C 0D 99	115	22 66 6E	147	74 E2 2D	179	62 EC 36	211	49 A2 70	243	58 82 8B
20	7B 80 80	52	45 53 C7	84	7C 1C 98	116	72 26 3F	148	62 EC 26	180	69 CC 50	212	41 A2 70	244	73 80 91
21	94 80 80	53	53 2D FF	85	B2 00 A4	117	6A 26 3F	149	C7 A0 66	181	7F AE 64	213	1F B3 69	245	00 80 80
22	A5 80 80	54	7F 5B B6	86	8A 06 9B	118	5E 5B 64	150	9C AA 5F	182	85 B8 5E	214	1F C4 61	246	FB 75 84
23	BD 80 80	55	2D 5B B6	87	AA 00 A4	119	9C 57 5F	151	5C EA 2C	183	74 B9 5E	215	B5 91 78	247	A0 84 80
24	44 7E 86	56	33 5D B0	88	B0 00 A6	120	73 2E 3E	152	AD A9 5F	184	5E AE 64	216	94 91 78	248	80 80 80
25	70 7B 8B	57	7B 4F C2	89	C4 06 9A	121	63 35 3E	153	AB B3 59	185	61 DC 48	217	7B 91 78	249	4C 34 FF
26	68 7B 8B	58	71 40 D5	90	B2 00 9C	122	2E 7B 7B	154	9B B3 58	186	B1 A5 6B	218	39 91 78	250	96 00 00
27	57 7B 8C	59	65 23 F9	91	BA 00 9C	123	31 67 67	155	A1 BD 52	187	A1 A5 6B	219	31 91 78	251	E2 00 9D
28	85 76 97	60	5F 21 FF	92	C1 00 9D	124	54 55 55	156	65 F1 2B	188	90 A5 6B	220	28 BB 68	252	1D FF 63
29	6D 76 97	61	2E 62 A4	93	B0 00 9E	125	78 41 41	157	C3 93 72	189	80 A5 6B	221	18 AA 70	253	69 FF FF
30	64 76 97	62	25 63 A5	94	98 00 9D	126	70 41 41	158	A2 93 72	190	46 A5 6B	222	63 98 77	254	B3 CC 00
31	5E 74 9D	63	6B 25 F3	95	3D 43 8D	127	4C 55 55	159	60 93 72	191	4C C0 5D	223	52 99 78	255	FF 80 80

表 31. ROM0 カラー・ルックアップ・テーブル (等価な RGB 値)

ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値
0	00 00 00	32	7B 4A 4A	64	E7 4A 10	96	E7 DE 5A	128	29 8C 29	160	31 42 52	192	21 5A A5	224	4A 52 7B
1	80 00 00	33	9C 5A 5A	65	63 5A 4A	97	A5 9C 31	129	08 21 08	161	18 29 39	193	7B 8C A5	225	AD AD B5
2	00 80 00	34	94 52 52	66	21 18 00	98	D6 C6 18	130	18 73 18	162	08 63 B5	194	39 4A 63	226	9C 9C A5
3	80 80 00	35	94 4A 4A	67	5A 4A 18	99	DE CE 10	131	08 29 08	163	08 6B C6	195	18 4A 94	227	6B 6B 73
4	00 00 80	36	AD 4A 4A	68	52 42 10	100	D6 C6 08	132	10 5A 10	164	E7 EF F7	196	10 52 B5	228	63 63 6B
5	80 00 80	37	C6 08 00	69	39 31 10	101	E7 D6 08	133	10 39 18	165	CE DE EF	197	08 39 84	229	52 52 5A
6	00 80 80	38	94 39 31	70	8C 73 08	102	F7 E7 08	134	84 8C 8C	166	BD D6 EF	198	08 42 9C	230	5A 5A 63
7	C0 C0 C0	39	73 10 08	71	5A 52 29	103	DE D6 5A	135	42 4A 4A	167	A5 BD D6	199	AD BD D6	231	4A 4A 52
8	C0 DC C0	40	BD 18 08	72	52 4A 21	104	8C C6 5A	136	29 31 31	168	94 AD C6	200	4A 5A 73	232	42 42 4A
9	A6 CA F0	41	94 52 4A	73	8C 7B 29	105	94 C6 6B	137	21 29 29	169	21 29 31	201	42 52 6B	233	6B 6B 7B
10	FB FB FB	42	7B 39 31	74	84 73 18	106	84 C6 52	138	18 21 21	170	7B 9C BD	202	29 39 52	234	63 63 73
11	08 08 08	43	B5 29 18	75	73 63 10	107	84 C6 5A	139	52 63 6B	171	5A 73 8C	203	31 4A 73	235	21 21 29
12	10 10 10	44	52 10 08	76	31 29 00	108	73 BD 4A	140	4A A5 CE	172	6B 8C AD	204	39 63 A5	236	4A 4A 63
13	18 18 18	45	94 18 08	77	5A 4A 00	109	63 B5 42	141	4A B5 E7	173	84 AD D6	205	DE E7 F7	237	18 18 21
14	21 21 21	46	AD 18 08	78	DE C6 42	110	5A B5 39	142	9C C6 DE	174	73 9C C6	206	7B 84 94	238	10 10 18
15	29 29 29	47	52 08 00	79	42 39 00	111	52 AD 31	143	29 9C DE	175	6B 94 BD	207	42 5A 84	239	4A 42 4A
16	31 31 31	48	B5 7B 73	80	84 7B 39	112	52 B5 31	144	7B B5 DE	176	4A 6B 8C	208	4A 5A 7B	240	21 18 21
17	4A 4A 4A	49	AD 39 29	81	D6 C6 5A	113	42 AD 21	145	6B A5 CE	177	52 7B A5	209	21 29 39	241	84 6B 7B
18	5A 5A 5A	50	CE 31 18	82	63 5A 18	114	52 8C 42	146	31 8C CE	178	6B A5 DE	210	42 52 73	242	5A 4A 52
19	73 73 73	51	42 08 00	83	B5 A5 29	115	10 31 08	147	21 8C D6	179	18 73 CE	211	39 4A 6B	243	63 52 5A
20	7B 7B 7B	52	8C 29 18	84	94 84 18	116	31 A5 18	148	08 7B CE	180	39 73 B5	212	31 42 63	244	84 6B 73
21	94 94 94	53	D6 21 00	85	D6 BD 18	117	29 9C 10	149	AD CE E7	181	63 84 AD	213	08 21 52	245	00 00 00
22	A5 A5 A5	54	B5 6B 5A	86	A5 94 10	118	42 73 39	150	7B A5 C6	182	63 8C BD	214	00 21 63	246	FF FB F0
23	BD BD BD	55	63 18 08	87	CE B5 10	119	7B B5 73	151	08 73 C6	183	52 7B AD	215	AD B5 C6	247	A0 A0 A4
24	4A 42 42	56	63 21 10	88	D6 BD 08	120	31 A5 21	152	8C B5 D6	184	42 63 8C	216	8C 94 A5	248	80 80 80
25	7B 6B 6B	57	BD 63 4A	89	DE CE 4A	121	21 94 18	153	84 B5 DE	185	29 6B BD	217	73 7B 8C	249	FF 00 00
26	73 63 63	58	C6 52 31	90	CE BD 31	122	29 31 29	154	73 A5 CE	186	9C B5 D6	218	31 39 4A	250	00 FF 00
27	63 52 52	59	DE 39 08	91	D6 C6 31	123	18 42 18	155	73 AD DE	187	8C A5 C6	219	29 31 42	251	FF FF 00
28	9C 7B 7B	60	DE 31 00	92	DE CE 31	124	29 73 29	156	10 7B D6	188	7B 94 B5	220	10 29 63	252	00 00 FF
29	84 63 63	61	52 21 10	93	CE BD 21	125	39 A5 39	157	B5 C6 D6	189	6B 84 A5	221	08 18 42	253	FF 00 FF
30	7B 5A 5A	62	4A 18 08	94	B5 A5 08	126	31 9C 31	158	94 A5 B5	190	31 4A 6B	222	5A 63 7B	254	00 FF FF
31	7B 52 52	63	DE 42 10	95	4A 42 00	127	21 6B 21	159	52 63 73	191	29 52 8C	223	4A 52 6B	255	FF FF FF

表 32. ROM0 カラー・ルックアップ・テーブル (等価な RGB 値)

ndx	color	ndx	color	ndx	color	ndx	color	ndx	color	ndx	Color	ndx	color	ndx	color
0		224		64		96		128		160		192		224	
1		225		65		97		129		161		193		225	
2		226		66		98		130		162		194		226	
3		227		67		99		131		163		195		227	
4		228		68		100		132		164		196		228	
5		229		69		101		133		165		197		229	
6		230		70		102		134		166		198		230	
7		231		71		103		135		167		199		231	
8		232		72		104		136		168		200		232	
9		233		73		105		137		169		201		233	
10		234		74		106		138		170		202		234	
11		235		75		107		139		171		203		235	
12		236		76		108		140		172		204		236	
13		237		77		109		141		173		205		237	
14		238		78		110		142		174		206		238	
15		239		79		111		143		175		207		239	
16		240		80		112		144		176		208		240	
17		241		81		113		145		177		209		241	
18		242		82		114		146		178		210		242	
19		243		83		115		147		179		211		243	
20		244		84		116		148		180		212		244	
21		245		85		117		149		181		213		245	
22		246		86		118		150		182		214		246	
23		247		87		119		151		183		215		247	
24		248		88		120		152		184		216		248	
25		249		89		121		153		185		217		249	
26		250		90		122		154		186		218		250	
27		251		91		123		155		187		219		251	
28		252		92		124		156		188		220		252	
29		253		93		125		157		189		221		253	
30		254		94		126		158		190		222		254	
31		255		95		127		159		191		223		255	

4.3.5.1.2 ROM1 カラー・ルックアップ・テーブル

表 33. ROM1 カラー・ルックアップ・テーブル (YUV 値)

ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値
0	FF 80 80	32	5E A1 F3	64	61 66 CC	96	69 D5 A2	128	6C 9A 7C	160	6F 5E 55	192	77 CD 2B	224	05 7D 88
1	F9 66 84	33	58 88 F7	65	5B 4D D1	97	63 BB A7	129	66 80 80	161	69 45 59	193	71 B3 2F	225	8C 31 1C
2	F3 4D 88	34	52 6E FB	66	5A DD D1	98	5D A2 AB	130	60 66 84	162	68 D5 5A	194	6B 9A 34	226	82 37 23
3	EE 34 8C	35	4C 55 FF	67	54 C4 D5	99	57 88 AF	131	5A 4D 88	163	62 BC 5E	195	65 80 38	227	6E 42 32
4	E8 1A 91	36	F0 89 66	68	4E AA DA	100	51 6F B3	132	5A DD 89	164	5D A2 62	196	60 67 3C	228	64 48 39
5	E2 00 95	37	EA 6F 6B	69	49 91 DE	101	4C 55 B7	133	54 C4 8D	165	57 89 66	197	5A 4D 40	229	50 53 47
6	E1 91 95	38	E4 56 6F	70	43 77 E2	102	4B E6 B8	134	4E AA 91	166	51 6F 6B	198	59 DE 41	230	46 59 4E
7	DB 77 9A	39	DE 3C 73	71	3D 5E E6	103	45 CC BC	135	48 91 95	167	4B 56 6F	199	53 C4 45	231	32 64 5C
8	D5 5E 9E	40	D8 23 77	72	E1 91 4D	104	3F B3 C0	136	42 77 9A	168	4A E6 6F	200	4D AB 49	232	28 69 64
9	D0 44 A2	41	D3 09 7B	73	DB 78 51	105	39 99 C4	137	3C 5E 9E	169	44 CC 74	201	48 91 4D	233	14 75 72
10	CA 2B A6	42	D2 9A 7C	74	D5 5E 55	106	34 80 C8	138	3C EE 9E	170	3F B3 78	202	42 78 51	234	0A 7A 79
11	C4 11 AA	43	CC 80 80	75	CF 45 59	107	34 80 C8	139	36 D5 A2	171	39 9A 7C	203	3C 5E 55	235	1B F7 6D
12	C3 A2 AB	44	C6 66 84	76	C9 2B 5E	108	D1 9A 34	140	30 BB A7	172	33 80 80	204	3B EF 56	236	19 EE 6E
13	BD 88 AF	45	C0 4D 88	77	C3 12 62	109	CB 80 38	141	2A A2 AB	173	2D 66 84	205	35 D5 5A	237	15 DE 71
14	B7 6F B3	46	BB 34 8C	78	C3 A2 62	110	C6 67 3C	142	24 88 AF	174	2C F7 85	206	2F BC 5E	238	13 D5 72
15	B2 55 B7	47	B5 1A 91	79	BD 89 66	111	C0 4D 40	143	1E 6F B3	175	27 DD 89	207	2A A2 62	239	10 C4 75
16	AC 3C BB	48	B4 AA 91	80	B7 6F 6B	112	BA 34 44	144	C2 A2 1A	176	21 C4 8D	208	24 89 66	240	0E BC 76
17	A6 22 BF	49	AE 91 95	81	B1 56 6F	113	B4 1A 48	145	BC 89 1E	177	1B AA 91	209	1E 6F 6B	241	0A AA 79
18	A5 B3 C0	50	A8 77 9A	82	AB 3C 73	114	B3 AB 49	146	B6 6F 22	178	15 91 95	210	1D FF 6B	242	08 A2 7A
19	9F 99 C4	51	A2 5E 9E	83	A5 23 77	115	AE 91 4D	147	B1 56 26	179	0F 77 9A	211	17 E6 6F	243	04 91 7D
20	9A 80 C8	52	9D 44 A2	84	A5 B3 78	116	A8 78 51	148	AB 3C 2B	180	B3 AB 00	212	11 CC 74	244	02 88 7F
21	94 66 CC	53	97 2B A6	85	9F 9A 7C	117	A2 5E 55	149	A5 23 2F	181	AD 92 05	213	0C B3 78	245	EE 80 80
22	8E 4D D1	54	96 BB A7	86	99 80 80	118	9C 45 59	150	A4 B3 2F	182	A7 78 09	214	06 9A 7C	246	DD 80 80
23	88 33 D5	55	90 A2 AB	87	93 66 84	119	96 2B 5E	151	9E 9A 34	183	A1 5F 0D	215	47 58 F7	247	BB 80 80
24	87 C4 D5	56	8A 88 AF	88	8D 4D 88	120	95 BC 5E	152	98 80 38	184	9B 45 11	216	42 5B EE	248	AA 80 80
25	81 AA DA	57	84 6F B3	89	88 34 8C	121	90 A2 62	153	93 67 3C	185	96 2C 15	217	38 60 DE	249	88 80 80
26	7C 91 DE	58	7F 55 B7	90	87 C4 8D	122	8A 89 66	154	8D 4D 40	186	95 BC 16	218	33 63 D5	250	77 80 80
27	76 77 E2	59	79 3C BB	91	81 AA 91	123	84 6F 6B	155	87 34 44	187	8F A2 1A	219	29 69 C4	251	55 80 80
28	70 5E E6	60	78 CC BC	92	7B 91 95	124	7E 56 6F	156	87 34 44	188	89 89 1E	220	24 6C BC	252	44 80 80
29	6A 44 EA	61	72 B3 C0	93	75 77 9A	125	78 3C 73	157	80 AB 49	189	83 6F 22	221	19 72 AA	253	22 80 80
30	69 D4 EB	62	6C 99 C4	94	6F 5E 9E	126	77 CC 74	158	7B 91 4D	190	7E 56 26	222	14 75 A2	254	11 80 80
31	64 BB EF	63	67 80 C8	95	6F 5E 9E	127	72 B3 78	159	75 78 51	191	78 3C 2B	223	0A 7A 91	255	00 80 80

表 34. ROM1 カラー・ルックアップ・テーブル (等価な RGB 値)

ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値	ndx	値
0	FF FF FF	32	FF 00 98	64	CB 33 32	96	98 33 FF	128	66 65 9A	160	32 99 32	192	00 99 FF
1	FE FF CA	33	FE 00 66	65	CC 32 00	97	99 32 CB	129	66 66 66	161	32 99 00	193	00 99 CB
2	FE FE 98	34	FE 00 32	66	CB 00 FE	98	99 32 99	130	65 66 31	162	32 65 FE	194	00 98 99
3	FE FF 67	35	FE 00 00	67	CB 00 CC	99	98 32 65	131	65 65 00	163	32 65 CC	195	00 98 65
4	FF FE 33	36	CB FF FF	68	CC 00 98	100	98 32 32	132	66 33 FE	164	32 66 99	196	00 99 33
5	FF FF 00	37	CC FE CB	69	CC 00 67	101	99 33 00	133	66 33 CC	165	32 66 66	197	00 99 00
6	FE CC FF	38	CC FE 99	70	CC 00 33	102	99 00 FF	134	65 33 98	166	33 65 32	198	00 65 FF
7	FF CB CB	39	CB FE 65	71	CC 00 00	103	99 00 CB	135	65 33 66	167	33 65 00	199	00 65 CB
8	FF CB 98	40	CB FE 33	72	99 FF FF	104	98 00 99	136	66 32 32	168	32 33 FE	200	00 65 99
9	FF CC 65	41	CB FF 00	73	99 FF CC	105	98 00 65	137	66 32 00	169	33 32 CA	201	00 66 66
10	FF CC 33	42	CC CB FF	74	98 FF 98	106	98 00 34	138	66 00 FE	170	33 33 99	202	00 66 33
11	FE CC 00	43	CC CC CC	75	98 FF 66	107	98 00 00	139	65 00 CC	171	33 32 67	203	00 66 00
12	FF 98 FF	44	CB CC 97	76	99 FE 32	108	66 FE FF	140	66 00 98	172	33 33 33	204	00 32 FF
13	FE 98 CB	45	CB CB 65	77	98 FE 00	109	66 FE CB	141	66 00 66	173	32 33 00	205	00 32 CB
14	FE 98 98	46	CB CC 34	78	98 CC FF	110	66 FF 99	142	65 00 32	174	33 00 FE	206	00 32 99
15	FF 99 65	47	CC CB 00	79	98 CC CC	111	66 FF 65	143	65 00 00	175	33 00 CB	207	00 33 66
16	FE 99 33	48	CB 99 FE	80	99 CB 98	112	65 FF 33	144	32 FF FE	176	33 00 99	208	00 33 33
17	FE 99 00	49	CB 99 CC	81	99 CB 66	113	65 FF 00	145	32 FE CB	177	32 00 65	209	00 32 00
18	FE 65 FF	50	CC 98 98	82	98 CB 32	114	65 CB FF	146	32 FE 97	178	32 00 33	210	00 00 FE
19	FE 65 CB	51	CC 98 65	83	98 CB 00	115	66 CC CC	147	32 FF 66	179	33 00 00	211	00 00 CB
20	FE 66 9A	52	CC 99 32	84	99 99 FF	116	66 CC 99	148	33 FF 32	180	00 FF FF	212	00 00 97
21	FE 66 65	53	CC 99 00	85	99 98 CD	117	65 CC 65	149	33 FE 00	181	00 FE CC	213	00 00 66
22	FF 65 33	54	CC 65 FE	86	99 99 99	118	65 CC 33	150	32 CC FE	182	00 FE 98	214	00 00 34
23	FF 65 00	55	CC 65 CC	87	98 99 64	119	66 CB 00	151	33 CB CC	183	00 FE 66	215	ED 00 00
24	FE 32 FF	56	CB 65 98	88	98 98 32	120	65 98 FF	152	33 CB 98	184	00 FE 32	216	DC 00 00
25	FF 32 CB	57	CB 65 65	89	98 99 01	121	65 99 CC	153	33 CC 66	185	00 FF 01	217	BB 00 00
26	FF 33 9A	58	CC 66 32	90	99 66 FF	122	65 99 99	154	33 CC 32	186	00 CC FF	218	AA 00 00
27	FF 33 66	59	CB 66 00	91	98 66 CB	123	66 98 65	155	32 CC 00	187	00 CC CB	219	88 00 00
28	FF 32 33	60	CC 32 FE	92	98 66 99	124	66 98 33	156	33 98 FE	188	00 CB 98	220	78 00 00
29	FE 32 00	61	CB 32 CC	93	99 65 65	125	65 98 00	157	32 98 CC	189	00 CB 64	221	53 00 00
30	FF 00 FD	62	CB 32 98	94	99 65 32	126	66 65 FD	158	33 99 99	190	00 CC 33	222	43 00 00
31	FF 00 CC	63	CB 33 67	95	99 66 00	127	66 66 CC	159	33 99 66	191	00 CC 00	223	21 00 00
												224	10 00 00
												225	00 EE 00
												226	00 DD 00
												227	00 BB 00
												228	00 A9 00
												229	00 88 00
												230	00 77 00
												231	00 55 00
												232	00 43 00
												233	00 21 00
												234	00 11 00
												235	00 00 ED
												236	00 00 DB
												237	00 00 BB
												238	00 00 A9
												239	00 00 88
												240	00 00 78
												241	00 00 54
												242	00 00 44
												243	00 00 22
												244	00 00 10
												245	EE EE EE
												246	DD DD DD
												247	BB BB BB
												248	AA AA AA
												249	88 88 88
												250	77 77 77
												251	55 55 55
												252	44 44 44
												253	22 22 22
												254	11 11 11
												255	00 00 00

表 35. ROM1 カラー・ルックアップ・テーブル (等価な RGB 値)

ndx	Color	ndx	color	ndx	color	ndx	color	ndx	color	ndx	color	ndx	color	ndx	color
0		32		64		96		128		160		192		224	
1		33		65		97		129		161		193		225	
2		34		66		98		130		162		194		226	
3		35		67		99		131		163		195		227	
4		36		68		100		132		164		196		228	
5		37		69		101		133		165		197		229	
6		38		70		102		134		166		198		230	
7		39		71		103		135		167		199		231	
8		40		72		104		136		168		200		232	
9		41		73		105		137		169		201		233	
10		42		74		106		138		170		202		234	
11		43		75		107		139		171		203		235	
12		44		76		108		140		172		204		236	
13		45		77		109		141		173		205		237	
14		46		78		110		142		174		206		238	
15		47		79		111		143		175		207		239	
16		48		80		112		144		176		208		240	
17		49		81		113		145		177		209		241	
18		50		82		114		146		178		210		242	
19		51		83		115		147		179		211		243	
20		52		84		116		148		180		212		244	
21		53		85		117		149		181		213		245	
22		54		86		118		150		182		214		246	
23		55		87		119		151		183		215		247	
24		56		88		120		152		184		216		248	
25		57		89		121		153		185		217		249	
26		58		90		122		154		186		218		250	
27		59		91		123		155		187		219		251	
28		60		92		124		156		188		220		252	
29		61		93		125		157		189		221		253	
30		62		94		126		158		190		222		254	
31		63		95		127		159		191		223		255	

4.3.5.2 カラー・ルックアップ・テーブルへのビットマップ・インデックス

ビットマップ・カラー深度が 8 ビット (OSDWIN0MD.BMW0、OSDWIN1MD.BMW1) の場合、SDRAM 内の各 8 ビット・ピクセル値はカラー・ルックアップ・テーブル (CLUT) へのダイレクト・インデックスです。ただし、ビットマップ・カラー深度が 1、2、4 ビットのいずれかの場合、ピクセル値をカラー・ルックアップ・テーブルにマップするために WnBMP01 ~ WnBMPEF レジスタを使用する必要があります。テーブル内の任意の 256 カラーを使用できます。たとえば、1 ビットのビットマップ・データについては、CLUT 内の任意の 256 カラーをビット値 0 へのマップ、ビット値 1 へのマップが可能です。表 36 に、ビットマップ値のカラーを選択するために使用できるレジスタを示します。

表 36. 1 ビット、2 ビット、4 ビットのいずれかのビットマップ用の CLUT マッピング

レジスタ・フィールド (OSD ビットマップ・ウィンドウ 0/1 の場合それぞれ n = 0/1)	ビットマップ値に対応するカラー		
	4 ビットのビットマップ	2 ビットのビットマップ	1 ビットのビットマップ
WnBMP01.PAL00	0	0	0
WnBMP01.PAL01	1	-	-
WnBMP23.PAL02	2	-	-
WnBMP23.PAL03	3	-	-
WnBMP45.PAL04	4	-	-
WnBMP45.PAL05	5	1	-
WnBMP67.PAL06	6	-	-
WnBMP67.PAL07	7	-	-
WnBMP89.PAL08	8	-	-
WnBMP89.PAL09	9	-	-
WnBMPAB.PAL10	10	2	-
WnBMPAB.PAL11	11	-	-
WnBMPCD.PAL12	12	-	-
WnBMPCD.PAL13	13	-	-
WnBMPEF.PAL14	14	-	-
WnBMPEF.PAL15	15	3	1

4.3.5.3 ビットマップ・ウィンドウのブレンディングと透過性

OSD は、ビットマップ・ウィンドウの場合のみピクセル・ブレンディングもサポートします。ブレンディングがイネーブルの場合、各ピクセルでのブレンディング量 (ビデオ・データとビットマップ・データの相対的な比率) はブレンディング・ファクターにより決定されます。

OSD は透過性ブレンディング・モードもサポートします。透過性がイネーブルの場合、値が 0 (バックグラウンド・カラー) のビットマップ・ピクセル、または値が RGB16 トランスペアレント・パリユー・レジスタの値と一致する RGB16 ビットマップ・ピクセルだけがトランスペアレント (または部分的にトランスペアレント) になります。これにより、その下にあるビデオ・ピクセルをブレンディング・ファクターに基づき表示できます。透過性がイネーブルの場合、ブレンディングは値がゼロのピクセルにのみ適用します。それ以外の場合、ブレンディングはすべてのピクセルに適用されます。

ブレンディング・ファクターと透過性は、OSD ビットマップ・ウィンドウ 0 および 1 の OSDWIN0MD および OSDWIN1MD レジスタをそれぞれ使用して設定されます。RGB16 トランスペアレント・カラーは、TRANSPVAL レジスタ内で設定されます。

表 37. 1 ビット、2 ビット、4 ビットのいずれかのビットマップ用の CLUT マッピング

透過性 OSDWINnMD.TEn	ブレンディング・ファクター OSDWINnMD.BLNDn	OSD ウィンドウの占有割合	ビデオの占有割合
オフ	0	0	1
	1	1/8	7/8
	2	2/8	6/8
	3	3/8	5/8
	4	4/8	4/8
	5	5/8	3/8
	6	6/8	2/8
	7	1	0
オン		ピクセル値が 0 と等しい場合 :	
	0	0	1
	1	1/8	7/8
	2	2/8	6/8
	3	3/8	5/8
	4	4/8	4/8
	5	5/8	3/8
	6	6/8	2/8
	7	1	0
			ピクセル値が 0 と等しくない場合 :
	X	1	0

4.3.5.4 ビットマップ・ウィンドウのデータ・フォーマット

ビットマップ・データ・フォーマットを図 35 に示します。ビットマップ・データは、MSB から順にピクセルをリードするたびにバイト単位で解釈されます。ウィンドウ・データの各水平ラインは 32 バイトの倍数でなければならないため、次の点に注意してください。

- 8 ビットのビットマップ・ウィンドウには、水平ラインごとに 32 ピクセル (= 32 バイト / 1 バイト / ピクセル) の倍数が含まれている必要があります。
- 4 ビットのビットマップ・ウィンドウには、水平ラインごとに 64 ピクセル (= 32 バイト / 1/2 バイト / ピクセル) の倍数が含まれている必要があります。
- 2 ビットのビットマップ・ウィンドウには、水平ラインごとに 128 ピクセル (= 32 バイト / 1/4 バイト / ピクセル) の倍数が含まれている必要があります。
- 1 ビットのビットマップ・ウィンドウには、水平ラインごとに 256 ピクセル (= 32 バイト / 1/8 バイト / ピクセル) の倍数が含まれている必要があります。

図 35. ビットマップ・データのフォーマット

32 ビット・ワード内の 8 ビット / ピクセル

31	28	27	24	23	20	19	16	15	12	11	8	7	4	3	0
P3				P2				P1				P0			

8 ビット / ピクセル (SDRAM フォーマット)

Addr	31	24	23	16	15	8	7	0				
N	P3			P2			P1			P0		
N+1	P7			P6			P5			P4		
N+2	P11			P10			P9			P8		

32 ビット・ワード内の 4 ビット / ピクセル

31	28	27	24	23	20	19	16	15	12	11	8	7	4	3	0
P6		P7		P4		P5		P2		P3		P0		P1	

4 ビット / ピクセル (SDRAM フォーマット)

Addr	31	28	27	24	23	20	19	16	15	12	11	8	7	4	3	0
N	P6		P7		P4		P5		P2		P3		P0		P1	
N+1	P14		P15		P12		P13		P10		P11		P8		P9	
N+2	P22		P23		P20		P21		P18		P19		P16		P17	

32 ビット・ワード内の 2 ビット / ピクセル

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P12		P13		P14		P15		P8		P9		P10		P11		P4		P5		P6		P7		P0		P1		P2		P3	

2 ビット / ピクセル (SDRAM フォーマット)

Addr	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N	P12		P13		P14		P15		P8		P9		P10		P11		P4		P5		P6		P7		P0		P1		P2		P3	
N+1	P28		P29		P30		P31		P24		P25		P26		P27		P20		P21		P22		P23		P16		P17		P18		P19	
N+2	P44		P45		P46		P47		P40		P41		P42		P43		P36		P37		P38		P39		P32		P33		P34		P35	

32 ビット・ワード内の 1 ビット / ピクセル

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																
P24		P25		P26		P27		P28		P29		P30		P31		P16		P17		P18		P19		P20		P21		P22		P23		P8		P9		P10		P11		P12		P13		P14		P15		P0		P1		P2		P3		P4		P5		P6		P7	

1 ビット / ピクセル (SDRAM フォーマット)

Addr	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																
N	P24		P25		P26		P27		P28		P29		P30		P31		P16		P17		P18		P19		P20		P21		P22		P23		P8		P9		P10		P11		P12		P13		P14		P15		P0		P1		P2		P3		P4		P5		P6		P7	
N+1	P56		P57		P58		P59		P60		P61		P62		P63		P48		P49		P50		P51		P52		P53		P54		P55		P40		P41		P42		P43		P44		P45		P46		P47		P32		P33		P34		P35		P36		P37		P38		P39	
N+2	P88		P89		P90		P91		P92		P93		P94		P95		P80		P81		P82		P83		P84		P85		P86		P87		P72		P73		P74		P75		P76		P77		P78		P79		P64		P65		P66		P67		P68		P69		P70		P71	

4.3.5.5 OSD アトリビュート・ウィンドウ

OSD ビットマップ・ウィンドウ 1 は、ビットマップ・ウィンドウではなく、アトリビュート・ウィンドウ (OSDWIN1MD.OASW と OSDATRMD.OASW) として設定可能です (図 36 を参照)。このモードでは、アトリビュート・ウィンドウはビットマップ・ウィンドウ 0 でピクセル単位でのブレンディングとプリンキングを可能にします。特に、アトリビュート・ウィンドウは次のことを行う手段を提供します。

- OSD ウィンドウ 0 で個々のピクセルのブレンディング・レベル (3 ビット、8 レベル) をセットします。
- プリンキングがイネーブルの場合、OSD ウィンドウ 0 で個々のピクセルをプリンクにセットします。

表 38. OSD アトリビュート・ピクセル・フォーマット

ビット 3	ビット 2	ビット 1	ビット 0
プリンクのイネーブル	ブレンディング・レベル		
0: プリンクなし			
1: プリンク			

図 36. OSD アトリビュート・ウィンドウ

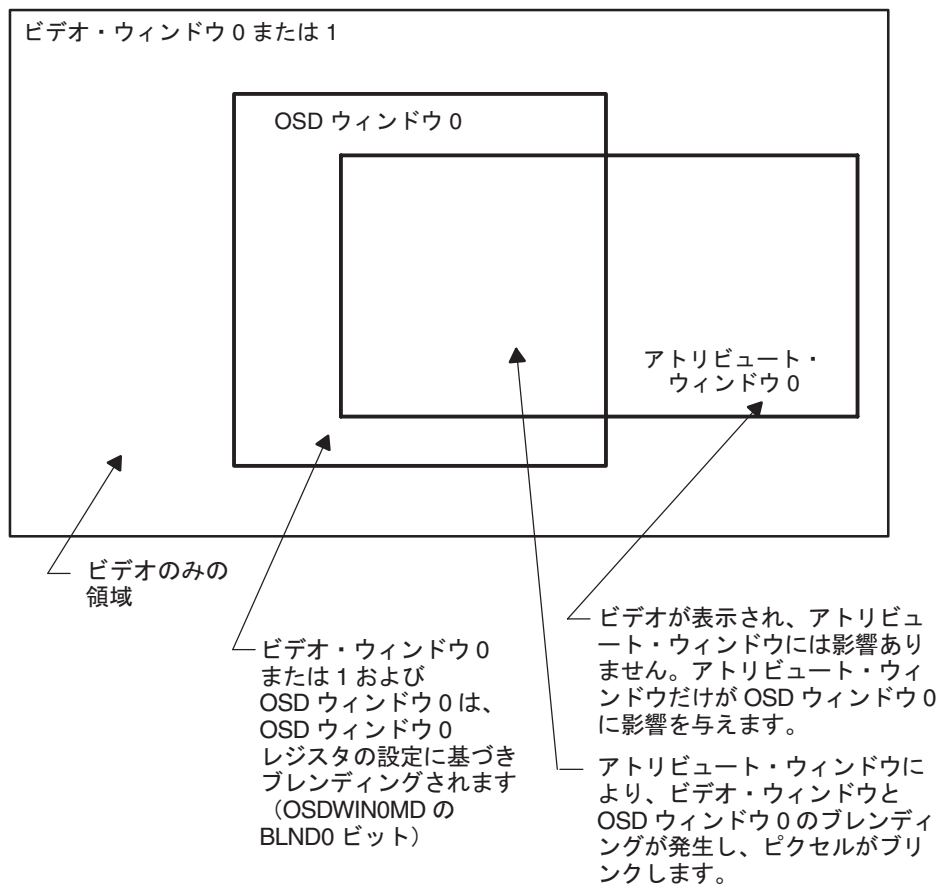


表 39. OSD ブリンク・アトリビュート・コントロール・レジスタ

コントロール・レジスタ・フィールド	説明
OSDATRMD.BLNK	アトリビュート・ウィンドウにより指定されるブリンクングをイネーブルします。
OSDATRMD.BLNKINT	ブリンク間隔をセットします。

SDRAM データ・フォーマットは、4 ビットのビットマップ・ウィンドウのデータ・フォーマットに従います (図 35 を参照)。ウィンドウ・データのそれぞれの水平ラインは、必ず 32 バイトの倍数であるため、アトリビュート・ウィンドウのデータには、水平ラインごとに 64 ピクセル (= 32 バイト / 1/2 バイト / ピクセル) の倍数が含まれている必要があることに注意してください。

4.3.5.6 OSD RGB565 ウィンドウ

いずれかの OSD ビットマップ・ウィンドウは、ビットマップ・データではなく 16 ビットの RGB565 データを受け付ける設定が可能です。外部メモリからの RGB データは OSD モジュール内で YCbCr データに変換されます。YCrCb を計算するためには次の式を使用します。

$$Y = (0.2990 \times R) + (0.5870 \times G) + (0.1140 \times B)$$

$$Cb = (-0.1687 \times R) - (0.3313 \times G) + (0.5000 \times B) + 128$$

$$Cr = (0.5000 \times R) - (0.4187 \times G) - (0.0813 \times B) + 128$$

RGB565 ウィンドウの透過性値は、黒に対応する値ゼロが強制的に使用されるのではなく明示的にセットすることができます。

表 40. OSD RGB565 コントロール・レジスタ

コントロール・レジスタ・フィールド	説明
OSDWIN0MD.RGB0E	ウィンドウ 0 の場合 RGB565 モードをイネーブルします。
OSDWIN1MD.RGB1E	ウィンドウ 1 の場合 RGB565 モードをイネーブルします。
TRANSPVAL.RGBTRANS	RGB565 ウィンドウの場合の透過性値。

RGB565 データの SDRAM フォーマットを図 37 に示します。ウィンドウ・データのそれぞれの水平ラインは、必ず 32 バイトの倍数であるため、RGB565 ウィンドウのデータには、水平ラインごとに 16 ピクセル (= 32 バイト / 2 バイト / ピクセル) の倍数が含まれている必要があることに注意してください。

図 37. データ・フォーマット - RGB565

(a) 32 ビット・ワード内の RGB565 ピクセル

31	27	26	21	20	16	15	11	10	5	4	0
R1		G1		B1		R0		G0		B0	

(b) RGB565 SDRAM フォーマット

アドレス	31	27	26	21	20	16	15	11	10	5	4	0
N	R1		G1		B1		R0		G0		B0	
N + 1	R3		G3		B3		R2		G2		B2	
N + 2	R5		G5		B5		R4		G4		B4	
...	...											

4.3.6 OSD - カーソル・ウィンドウ

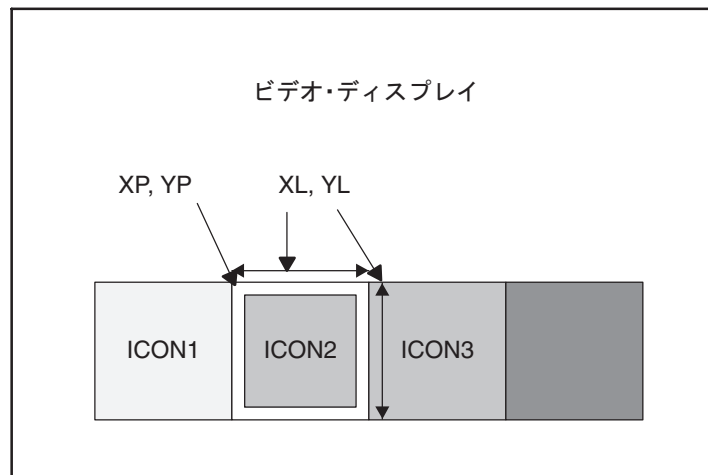
矩形のハードウェア・カーソルは、それ以外のすべての OSD ウィンドウの一番上に常に表示されます。カーソル・サイズ、カラー、水平および垂直の厚さは指定可能です (表 41 を参照)。このカーソルは、ROM CLUT または RAM CLUT を使用するように設定することもできます。

図 38 に、矩形カーソルの使用例を示します。輪郭が矩形カーソルを示します。またアイコン 1 ~ 4 ウィンドウは OSD ウィンドウ 0 または 1 を使用して表示されます。

表 41. OSD カーソル・ウィンドウ・コントロール・レジスタ

コントロール・レジスタ・フィールド	説明
RECTCUR.RCAD	カーソルのカラー・アドレス (CLUT へのオフセット)
RECTCUR.CLUTSR	カーソル CLUT の選択 (RAM または ROM)
RECTCUR.RCHW	矩形カーソルの水平部分の幅
RECTCUR.RCVW	矩形カーソルの垂直部分の幅

図 38. カーソル・ウィンドウの例



4.4 ビデオ・エンコーダ・モジュール

ビデオ・エンコーダ (VENC) モジュールは、2 つの主要なサブモジュールと内蔵 4 チャンネル搭載のアナログ NTSC/PAL ビデオ・エンコーダ、54 MHz のビデオ DAC、およびデジタル LCD / ビデオ・コントローラから構成されます。

4.4.1 ビデオ・タイミング・モード

VENC モジュールは、標準モードと非標準モードの 2 つのタイミング・モードをサポートします。

4.4.1.1 標準モード

このモードでは、タイミング・ジェネレータは標準フォーマットで動作します。サポート・フォーマットは、SDTV 用の 525/60 Hz (NTSC-M) または 625/50 Hz (PAL-B/D/G/H/I) または HDTV 用の 525p または 625p です。LCD インターフェイスからのデジタル出力は、同時に使用することも可能です。ただし、これは LCD、DAC、および NTSC/PAL タイミングをサポートするエンコーダに限定されていて、出力はアナログ出力ディスプレイをミラーリングすることに注意してください。

4.4.1.2 非標準モード

注： 非標準モードでは、DAC を使用してはいけません。

このモードは、ユーザーが定義した一般的なタイミングを設定するために使用します。VENC モジュールは、モジュールのレジスタ設定により指定された所定のタイミングで動作します。このモードでは、DAC は自動的にディスエーブルされます。非標準モードを選択するには、VMOD の VMD ビットを 1 にセットします。

4.4.2 同期モード

VENC モジュールは、マスタ・モードとスレーブ・モードの 2 つの同期モードをサポートします。それぞれのモードは 2 つのビデオ・タイミング・モードのいずれかで使用可能です（標準 NTSC/PAL と非標準）。

4.4.2.1 マスタ・モード

このモードは、VENC モジュール内のタイミング・ジェネレータによって生成された水平 / 垂直同期信号で同期動作します。

4.4.2.2 スレーブ・モード

このモードは、外部ソースからの同期信号入力で同期動作します。ビデオ・エンコーダをスレーブ・デバイスとして設定するには、VMOD の SLAVE ビットを 1 にセットします。

1. SYNCCTL の EXSYNC ビットを 0 にクリアすると、HSYNC/VSYSN/FIELD の各ピンからの外部入力は外部同期信号として使用されます。HSYNC/VSYSN/FIELD の各ピンを入力として設定するには、VIDCTL の SYDIR ビットを 1 にセットすることも必要です。
2. SYNCCTL の EXSYNC ビットを 1 にセットすると、CCD コントローラからの同期信号は外部同期信号として使用されます。これにより、CCD タイミングとビデオ・タイミング間の同期が行われます。SYNCCTL の EXHIV、EXVIV、および EXFIV の各フィールドをセットすると、タイミング信号を反転させることが可能です。

4.4.3 NTSC/PAL アナログ・ビデオ・エンコーダ

NTSC/PAL エンコーダ（図 39）は、OSD モジュールからビデオ・データを取り込み、必要な信号を生成し、フォーマットして NTSC/PAL ディスプレイ上にビデオ / イメージ・データを表示します。表 42 に、ビデオ・フォーマットの指定を示します。

表 42. サポートされる TV フォーマット

VMOD.HDM D	VMOD.TV TYP	ビデオ・フォーマット
0	0	NTSC
	1	PAL
1	0	525p
	1	625p

4 つの DAC はそれぞれ、DACSEL レジスタを介して指定の信号に割り当て可能です。4 つの DAC を組み合わせた場合の出力を 4.4.3.7 項に示します。

SDTV (NTSC/PAL) の場合、サポートされている出力コンフィギュレーションは次のとおりです。

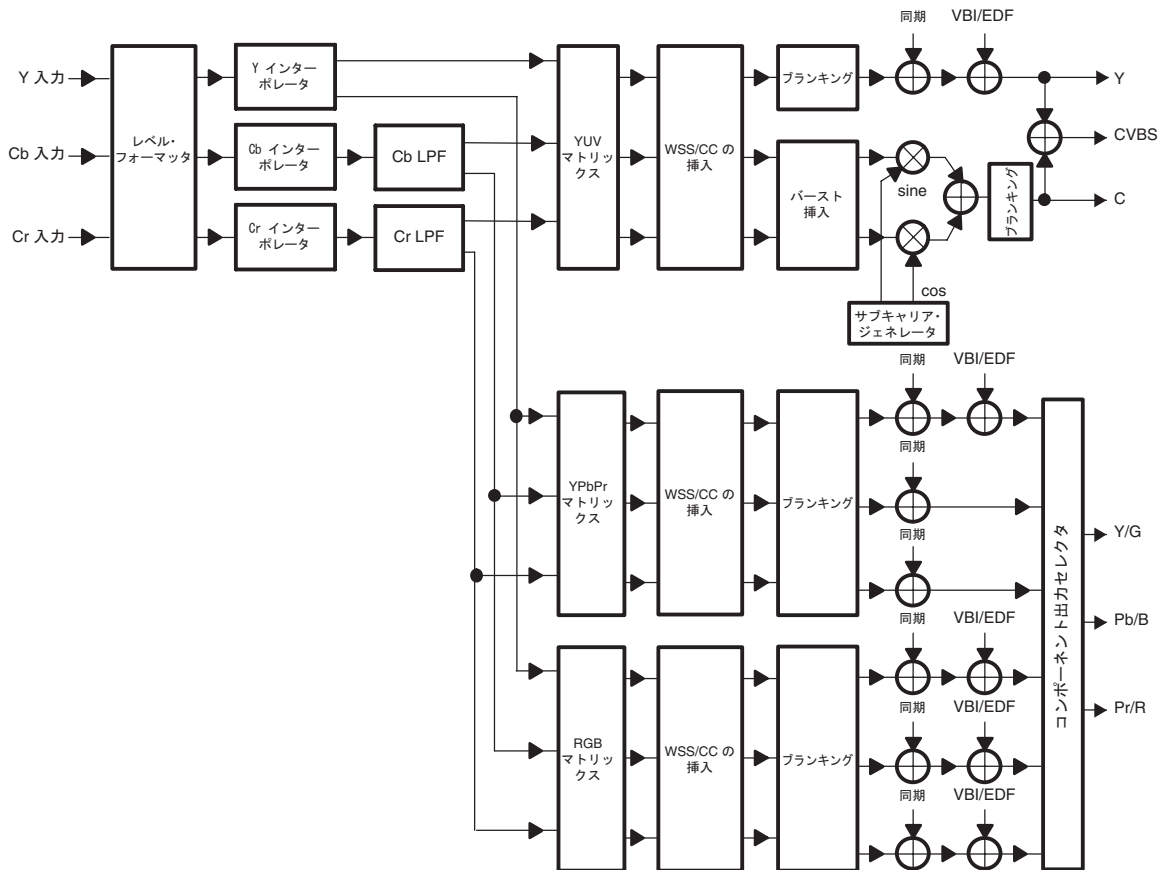
- コンポジット・ビデオ (CVBS)
- S-ビデオ
- コンポーネント (YPbPr)
- RGB

その他のコンポジット DAC / タイミング設定は、CVBS のフィールドまたは ETMG0/1 レジスタを介して行われます。

HDTV/EDTV (525p/625p) の場合、コンポーネント (YPbPr) または RGB 出力モードのみが有効です。その他のコンポーネント DAC / タイミング設定は、CMPNT のフィールドまたは ETMG2/3 レジスタを介して行われます。

VMOD レジスタの BLNK フィールドは、ブランキングのイネーブルを示します。このフィールドが 1 にセットされている場合、CVBS とコンポーネント出力の両方またはそのいずれかは入力ビデオ信号には関係なくブランクになります。

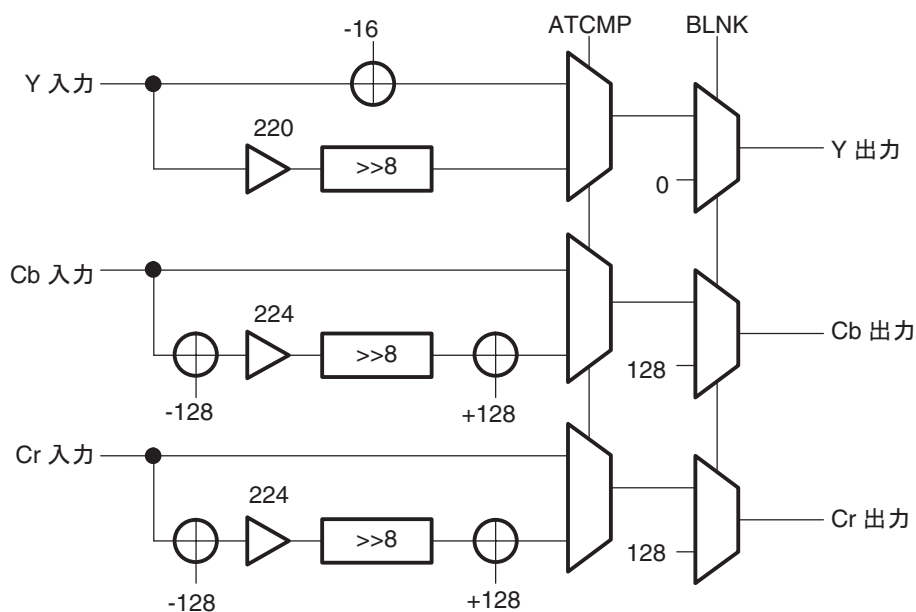
図 39. NTSC/PAL ビデオ・エンコーダのブロック図



4.4.3.1 レベル・フォーマット

ビデオ・エンコーダのフロントエンドは、OSD モジュールから YCbCr ピクセル・データを受け取り、そのデータをデジタル YPbPr、YUV、RGB の各表現に変換します。レベル・フォーマットの役割は、0 ~ 255 の信号レベルを ITU-R BT.601 指定のレベル (Y:16 ~ 235、C: 16 ~ 240) に圧縮することです。ユーザーは VDPRO レジスタの ATCOM、ATYCC、ATRNB の各フィールドを使用して、アッテネーションをデータ・パスごとに独立して適用するかどうかを選択できます。図 40 に、レベル・フォーマットのブロック図を示します。

図 40. レベル・フォーマットのブロック図



4.4.3.2 輝度信号の処理

レベル・フォーマッタからの輝度信号は、フィルタを使用して2倍の補間周波数で処理されます。このフィルタを選択するには、VMISC.YUPF = 1 を使用します。次のいずれかのみをサポートする、補完を行うために使用できる2つのフィルタがあります。

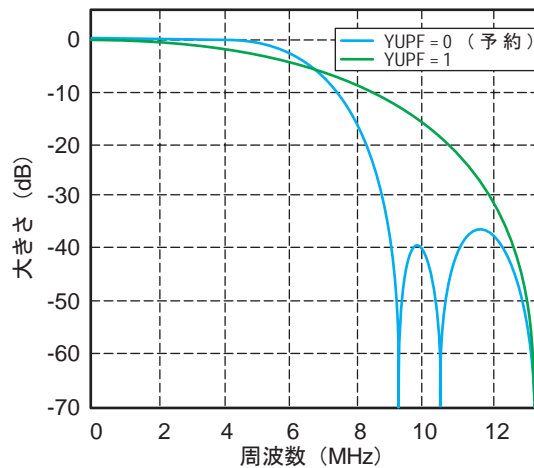
$$YUPF = 0: [3 - 10_{(z-2)} + 39_{(z-4)} + 64_{(z-5)} + 39_{(z-6)} - 10_{(z-8)} + 3_{(z-10)}] / 64 \quad (\text{デフォルト、サポートされない})$$

$$YUPF = 1: [1 + 2_{(z-1)} + 1_{(z-2)}] \quad (\text{必ず選択される})$$

デフォルトでは、補間はディスエーブルです。イネーブルするには、VDPRO.YUPS = 1 をセットします。補完がイネーブルの場合、VMISC.YUPF を 1 にセットする必要があることに注意してください。プログレッシブ・モードでは、ピクセル・レートがすでに 27 MHz になっているため、補間はディスエーブルしてください。輝度補間フィルタの周波数応答を図 41 に示します。

注： 補完がイネーブル (VDPRO.YUPS = 1) の場合、VMISC.YUPF = 1 をセットする必要があります。

図 41. 輝度補間フィルタ



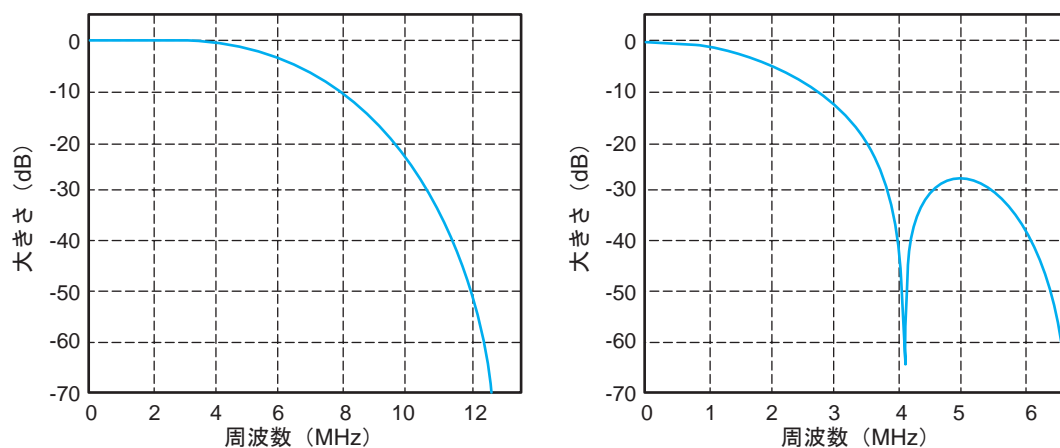
4.4.3.3 色差信号の処理

レベル・フォーマットからの色差信号も、フィルタを使用して2倍の補間周波数で処理されます。次の伝達関数を使用すると、カットオフ周波数は1.5 MHzです。

$$[3 + 8_{(z-1)} + 10_{(z-2)} + 8_{(z-3)} + 3_{(z-4)}]/32$$

補間はデフォルトではディスエーブルです。イネーブルするには、VDPRO.CUPS = 1 をセットします。LPF のサンプリング・レートは、1/2 VENC クロック (13.5 MHz) です。この LPF ブロックには、コンポジットとコンポーネントの2つの出力があります。ローパス・フィルタリングは、コンポジット出力用のみ処理が行われます。コンポーネント出力に適用されるフィルタリングはありません。色差補間フィルタの周波数応答を図 42 に示します。

図 42. 色差補間フィルタ (左) と色差 LPF (右)



4.4.3.4 CVBS 出力

4.4.3.4.1 YUV 変換

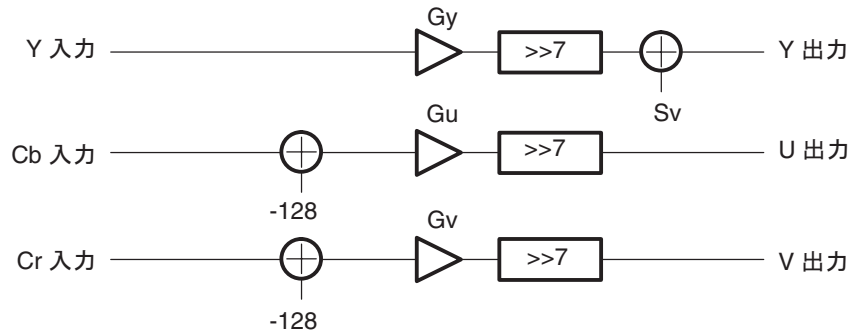
補間およびローパス・フィルタリング処理された YCbCr データは適切なゲインが適用されてから、CVBS 生成用の YUV 信号に変換されます。表 43 に、モードごとに適用されるゲインを示します。

表 43. YUV 変換で使用されるゲイン

CVBS.CVLVL	CVBS.CSTUP	Gy	Gu	Gv	Sv
0	0	305	315	444	0
	1	282	291	411	39
1	0	299	309	435	0
	1	277	285	403	38

(輝度ではなく)色差の場合、処理を行うには 128 を減算してから、ゲインを乗算し、7 だけ右シフトします。図 43 に、YCbCr から YUV へ変換するためのブロック図を示します。CVBS.CSTUP = 1 の場合、出力値に 7.5% のセットアップを加算します。CSTUP をセットすると、NTSC にも PAL にも効果的です。ただし、PAL モードの場合、CSTUP = 1 をセットすると不正な出力レベルを生成します。

図 43. YUV 変換ブロック図



4.4.3.4.2 CVBS 出力の生成

スケーリングされた輝度は WSS およびクロズド・キャプション信号が挿入されてから、ビデオ・エッジ・コントローラに適用されます。ビデオ・エッジ・コントローラは水平ブランキング・エッジ付近の数ピクセルのビデオ・レベルをクリップするので、出力ビデオには適切なブランキング遷移情報が含まれています。この機能はデフォルトではイネーブルです。ディスエーブルするには、CVBS.CBLS をセットします。ブランキング・エッジ・シェイプの詳細は、2.1.3.2 項を参照してください。水平ブランキングの開始 / 終了位置を調整するには、ETMG1 レジスタの CFPW および CLBI フィールドをセットします。エッジ・シェイプに続き、同期パルスが挿入されます。水平同期パルスの持続期間を調整するには、ETMG0 レジスタの CEPW および CFSW フィールドをセットします。

表 44. サブキャリアの初期位相デフォルト値

モード	プリセット値
NTSC	378
PAL	356

カラー・バースト挿入の水平位置を制御するには、ETMG1 レジスタの CBST および CBSE フィールドをセットします。変調された色差信号は、ブランキング・エッジ・シェイプにも適用されます。色差ブランキング・シェイプをディスエーブルにするには CBLS をセットします。また、水平ブランキング位置を調整するには CFPW および CLBI をセットする方法もあります。

コンポジット・ビデオ出力を取り出すために、結果的に生成された Y と C を一緒にミックスします。S-ビデオ出力の場合、分離された Y と C も使用できます。DAC 範囲の中央にブランキング・レベルをおくために、分離された C にオフセット 512 を加算します。ブランキング・ビルドアップ時間 (表 45) および同期ビルドアップ時間 (表 46) を制御することもできます。

表 45. CVBS ブランキング・ビルドアップ時間

CVBS.CBBLD	時間
0	140 ns
1	300 ns

表 46. CVBS 同期ビルドアップ時間

CVBS.CBBLD	時間
0	140 ns
1	200 ns

4.4.3.5 アナログ・コンポーネント出力

4.4.3.5.1 YPbPr マトリックス

補間およびローパス・フィルタリング処理された YCbCr データはゲインが適用されてから、YPbPr コンポーネントに変換されます。(輝度ではなく)色差の場合、処理を行うには 128 を減算してから、適切なゲインを乗算し、その後に 7 ビットだけ右シフトします。図 44 に、YCbCr から YPbPr への変換を行う場合のブロック図を示します。CMPNT レジスタの MYLVL と MCLVL は、輝度レベルと色差レベルをそれぞれ設定します。CMPNT.MSTUP が 1 の場合、7.5% の設定オフセットが輝度出力に加算されます。表 47 と表 48 に、それぞれのモードのゲインを示します。

図 44. YUV 変換ブロック図

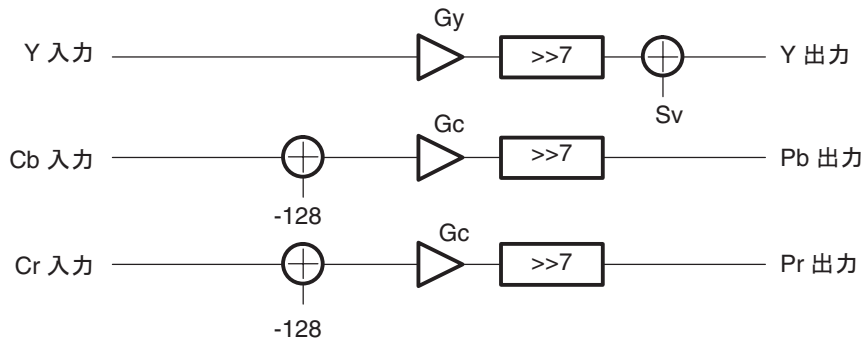


表 47. YPbPr 変換時のゲイン (輝度レベル)

CMPNT.MYLVL	CMPNT.MSTUP	Gy	Sv	モード
0	0	305	0	100% : 714 mV、同期 : 286 mV、セットアップなし
	1	282		100% : 714 mV、同期 : 286 mV、セットアップ付き
1	0	299		100% : 700 mV、同期 : 300 mV、セットアップなし
	1	277		100% : 700 mV、同期 : 300 mV、セットアップ付き

表 48. YPbPr 変換時のゲイン (色差レベル)

CMPNT.MCLVL	Gc	モード
0	292	SMPTE/N10
1	390	ベータカム
2	270	MII
3	-	-

4.4.3.5.2 コンポーネント出力の生成

スケールリングされた YPbPr は WSS およびクロズド・キャプション信号が挿入されてから、ビデオ・エッジ・コントローラに適用されます。コンポジット・モードで使用する機能は、コンポーネント・モードでも同じように使用できます。色差信号 Pb および Pr も、このシェイピングに適用されます。この機能はデフォルトではイネーブルです。ディスエーブルにするには、CMPNT の MBLS ビットを 1 にセットします。水平ブランキング位置を調整するには、ETMG3 の CFPW および CLBI フィールドをセットします。

エッジ・シェイプに続き、同期パルスが挿入されます。同期パルスの挿入のオン/オフを制御するには、CMPNT の MSYG、MSYB、MSYR フィールドをセットします。輝度コンポーネントの同期は、デフォルトではオンです。水平同期パルスの挿入タイミングを調整するには、ETMG2 の MLSW フィールドをセットします。イコライジング・パルスと垂直セレクション・パルスの持続時間を調整するには、ETMG2 の MEPW と MFSW フィールドをセットします。コンポジットおよびコンポーネントの 2 つの信号が異なる DAC から同時に出力される場合でも、適用される同期タイミングは異なることがあります。

プログレッシブ信号の場合の処理方法も同様です。同期ビルドアップ時間とブランキング・エッジ・ビルドアップ時間は、SDTV とは異なります。表 49 と表 50 に、これらのタイミングを示します。

表 49. コンポーネントのブランキング・ビルドアップ時間

VMOD.HDMD	CMPNT.MBBLD	時間
0	0	140 ns
	1	300 ns
1	0	70 ns
	1	150 ns

表 50. コンポーネントの同期ビルドアップ時間

VMOD.HDMD	CMPNT.MBBLD	時間
0	0	140 ns
	1	200 ns
1	0	70 ns
	1	100 ns

4.4.3.6 アナログ RGB 出力

4.4.3.6.1 RGB マトリックス

補間およびローパス・フィルタリング処理された YCbCr データは、アナログ RGB 出力を取り出すために RGB に変換されます。RGB マトリックスは、次の式に基づいて実装されています。

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \frac{1}{1024} \begin{bmatrix} GY & 0 & RV \\ GY-GU-GV & & \\ GY & BU & 0 \end{bmatrix} \begin{bmatrix} Y \\ Cb - 128 \\ Cr - 128 \end{bmatrix}$$

このマトリックスの係数は、完全にプログラム可能です。ARGBX0 ~ ARGBX4 レジスタは、変換係数をプログラムするために使用されます。ITU-R BT601 RGB 変換マトリックスは、デフォルトとして使用されます。0 ~ 219 の範囲の RGB は、REC.601 YCbCr 信号 (Y:0 ~ 219、C:16 ~ 240) から求めることができます。Y に対して 16 の減算はすでに行われていることに注意してください。また CMPNT の MSTUP ビットが 1 の場合、7.5% の設定オフセットは RGB 出力にも加算されています。MSTUP は MYLVL に関しては効果的です。表 51 に、モードごとのゲインを示します。

図 45. RGB コンバータのブロック図

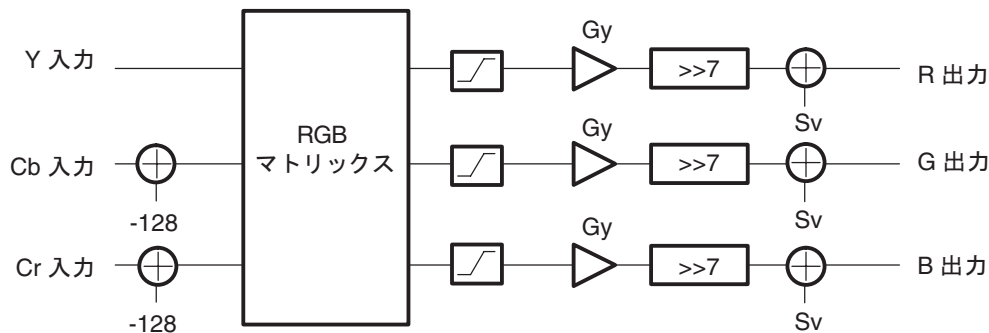


表 51. コンポーネント変換の RGB ゲイン

CMPNT.MYLVL	CMPNT.MSTUP	Gy	Sv	モード
0	0	305	0	100% : 714 mV、同期 : 286 mV、セットアップなし
	1	282	39	100% : 714 mV、同期 : 286 mV、セットアップ付き
1	0	299	0	100% : 700 mV、同期 : 300 mV、セットアップなし
	1	277	35	100% : 700 mV、同期 : 300 mV、セットアップ付き

4.4.3.6.2 RGB 出力の生成

変換された RGB 出力には、WSS とクローズド・キャプション信号が挿入されます。これらの信号は、3 つのコンポーネントにすべて同時に挿入されます。次に、ビデオ・エッジ・コントローラに適用されます。これは、CVBS や YPbPr の場合と同じです。エッジ・シェイプに続き、同期パルスが挿入されます。同期パルスを挿入する RGB コンポーネントを指定できます。

コンポーネント・ビデオと共有される RGB のレジスタは、次のとおりです。

- シンクロナス・インサージョン・イネーブル (MSYG、MSYB、MSYR)
- ブランキング・エッジ・イネーブル (MBLS)
- ブランキング・ビルドアップ・タイム (MBBLD)
- シンクロナス・ビルドアップ・タイム (MSBLD)
- ホリゾンタル・タイミング・コントロール (ETMG2、ETMG3)

YPbPr または RGB のいずれかが DAC から出力されます。デバイスでは、同時使用はサポートされていません。この制御は、CMPNT の MRGB ビットにより行われます。

4.4.3.7 DAC 出力

4.4.3.7.1 DAC 出力レベル

ビデオ・エンコーダには、DAC 入力への 10 ビット・デジタル出力があります。デジタル出力 (7FFh = 1023) は 1400 mV に変換されると想定して設計されています。この点を考慮した上で、DAC の終了を処理する必要があります。

4.4.3.7.2 DAC 出力コンフィギュレーション

4 つの DAC への出力ビデオ信号の割り当ては、DACSEL の対応する DA0S ~ DA3S フィールドで設定可能です。コンポーネント出力の場合、CMPNT の MRGB ビットが YPbPr コンポーネントまたは RGB が出力されるかどうかを制御します。表 52 に、DAC 出力選択のコンフィギュレーションを示します。

表 52. DAC 出力選択

DACSEL.DAnS	CMPNT.MRGB	DAC 出力
0	-	CVBS
1	-	S- ビデオ Y
2	-	S- ビデオ C
3	0	Y
	1	G
4	0	Pb
	1	B
5	0	Pr
	1	R
6-15	-	予約

4.4.3.7.3 DAC オーバーサンプリング

DAC に 54 MHz でクロックが供給され、かつビデオ・エンコーダ (VENC) が 27 MHz で動作している場合、ビデオ・エンコーダからのビデオ出力にはアンチエイリアス処理が適用された 2 倍のオーバーサンプリングが含まれています (ビデオ・データ・プロセッシング・レジスタの DAUPS ビットをセット (VDPRO を 1 にセット) するとイネーブルされます)。補間フィルタの構成と係数は、輝度アップサンプリングで使用されているものと同じです (4.4.3.2 項を参照)。

DAC 周波数が 27 MHz に設定されている場合、DAC オーバーサンプリングをアクティブにしないでください (VDPRO の DAUPS = 0)。DAC 周波数は、システム・モジュール内で設定されることに注意してください。

表 53 に、OSD、VENC、DAC の設定可能なクロック・オプションを示します。NTSC/PAL (SDTV) の場合、OSD は VENC のクロック・レートの半分で動作させる必要があります。DAC には 27 MHz または 54 MHz のいずれかでクロックが供給されます。HDTV/EDTV (525p、625p) の場合、ビデオ・データ・レートは 2 倍になります。そのため、OSD モジュールには 27 MHz でクロックが供給される必要があります。エイリアシングを除去するために、DAC には 54 MHz でクロックが供給される必要があります。

DAC 動作周波数は、クロック・コントローラ / システム・モジュールにセットされているクロック・レートに従って、VDPRO の DAFRQ ビット設定を使用してセットする必要があることに注意してください。

表 53. OSD、VENC、DAC クロック供給オプション

フォーマット	OSD	VENC	DAC	DAFRQ	DAUPS	オーバーサンプリング
NTSC/PAL	13.5 MHz	27 MHz	27 MHz	0	0	オフ
NTSC/PAL	13.5 MHz	27 MHz	54 MHz	1	0	オフ
NTSC/PAL	13.5 MHz	27 MHz	54 MHz	1	1	オン
525p/625p	27 MHz	27 MHz	54 MHz	1	0	オン
525p/625p	27 MHz	27 MHz	54 MHz	1	1	オン

4.4.3.7.4 DAC 出力のディスエーブル/パワー・ダウン

VMOD の VIE ビットを 0 にクリアすると、4 つの DAC の出力はビデオ信号に関係なく強制的に低電圧レベルに変更されます。また DAC は DACTST の DAPD0 ~ DAPD3 フィールドをセットすると、自身をパワー・ダウンすることもできます。4 つの DAC は独立してパワー・ダウン可能です。これらのレジスタはデフォルトでは 1 にセットされているので、アナログ出力を使用するときは事前に 0 にクリアしておく必要があることに注意してください。

4.4.3.7.5 DAC の DC 出力モード

DAC は DAC ピンからのアナログ出力ではなく、DC 出力をサポートしています。DACTST の DADC ビットを 1 にセットすると、DACTST の DALVL ビットで指定されたように、DAC デジタル入力から通常のビデオ信号からデジタル信号レベルに切り替わります。このモードでは、4 つの DAC にはすべて同じ DC 出力があります。

4.4.3.7.6 Y/C の遅延

Y 信号の遅延は調整されて、別の遅延が CVBS およびコンポーネントに適用されます。CVBS の CYDLY ビットは CVBS 出力に対して Y の遅延を調整します。また CMPNT の MYDLY ビットはコンポーネント・ビデオに対して Y の遅延を調整します。

4.4.3.7.7 ビデオ属性の挿入

ビデオ・エンコーダには、ビデオ情報を垂直ブランキング周期に挿入できる機能があります。たとえば、ビデオ・エンコーダは適切なアスペクト比を示すビデオ属性をビデオ・レシーバに挿入できます。NTSC モードの場合、EIAJ CPR-1024 Video Aspect Ratio ID 仕様に準拠するために、ビデオ・エンコーダはライン 20 とライン 283 上の 14 ビットのビデオ情報を挿入できます。属性情報は、ATR1 と ATR0 レジスタを使用してセットしてください。ATR2 レジスタは、次の式で計算される 6 ビットの CRC データを使用してセットしてください。

$G(x) = x^6 + x + 1$ 。ここで、 x^6 と x は 1 にプリセットされています。

ATR2 のビット 7 は、属性の挿入をイネーブルします。

PAL モードの場合、ITU-R BT.1119-2 (ETSI EN 300 294) Wide Screen Signaling 仕様に準拠するために、ビデオ・エンコーダはフレームごとのライン 23 上に 14 ビットのビデオ情報 (WSS) を挿入できます。属性情報は ATR1 および ATR2 のビット 5 ~ 0 にセットしてください。ATR2 のビット 7 は属性の挿入をイネーブルします。

NTSC および PAL エンコーディング・モードでは、ATR2 がセットされると ATR1 と ATR0 レジスタのデータは内部回路に転送されます。このため、ATR2 は最後にセットしてください。

またビデオ・エンコーダは、プログレッシブ用のビデオ ID の挿入もサポートしています。525p では EIAJ CPR-1204-1、625p では IEC 62375 を使用します。ATR0 ~ ATR2 レジスタの使用方法は、SDTV の場合と同様です (525p では NTSC、625p では PAL)。

4.4.3.7.8 クローズド・キャプション

ビデオ・エンコーダは、クローズド・キャプション・エンコーディングをサポートしています。クローズド・キャプション・データは NTSC の奇数フィールドのライン 21 および偶数フィールドのライン 284 上に転送されます。クローズド・キャプションは CAPCTL.CAPF によってイネーブルされているフィールドに対して指定することが可能です。

奇数フィールドまたは偶数フィールドいずれに対しても CAPDO または CAPDE レジスタにそれぞれデータをライトしてください。早い段階で、少なくとも 1 ライン分のデータをロードすることが必要です。データを CAPDO/CAPDE にライトすると、VSTAT.CAOST/VSTAT.CAEST は 1 に変更されます。キャプション・データの送信が奇数フィールドのライン 21 または偶数フィールドのライン 284 のいずれかで完了したとき、このビットは自動的に 0 にクリアされます。

キャプション・データ・レジスタ (CAPDO または CAPDE) が対応するフィールドのキャプション・データの送信タイミング前に更新されない場合、CAPCTL.CADF によって指定される ASCII コードがクローズド・キャプション・データ用に自動的に送信されます。

すべてのデータ・レジスタの幅は 7 ビットで、パリティ・ビットはハードウェアによって自動的に計算されます。

4.4.3.7.9 サブキャリアの生成

ビデオ・エンコーダは、内部 DDS (ダイレクト・デジタル・シンセサイザ) によるサブキャリアを生成します。DDS の位相解像度は $(1/1024) \times 360^\circ$ です。

SC-H (サブキャリアから水平へ) 位相はユーザーが制御可能です。SCPROG の SCSD ビットをライトすると、サブキャリア位相は指定された値として自動的に更新されます。NTSC と PAL は両方とも、カラー・フィールド 1 のライン 9 で更新が発生します。デフォルトでは、表 54 のプリセット値が適用されます。SC-H 位相が 0° に近くなるように、これらの値は選択されます。

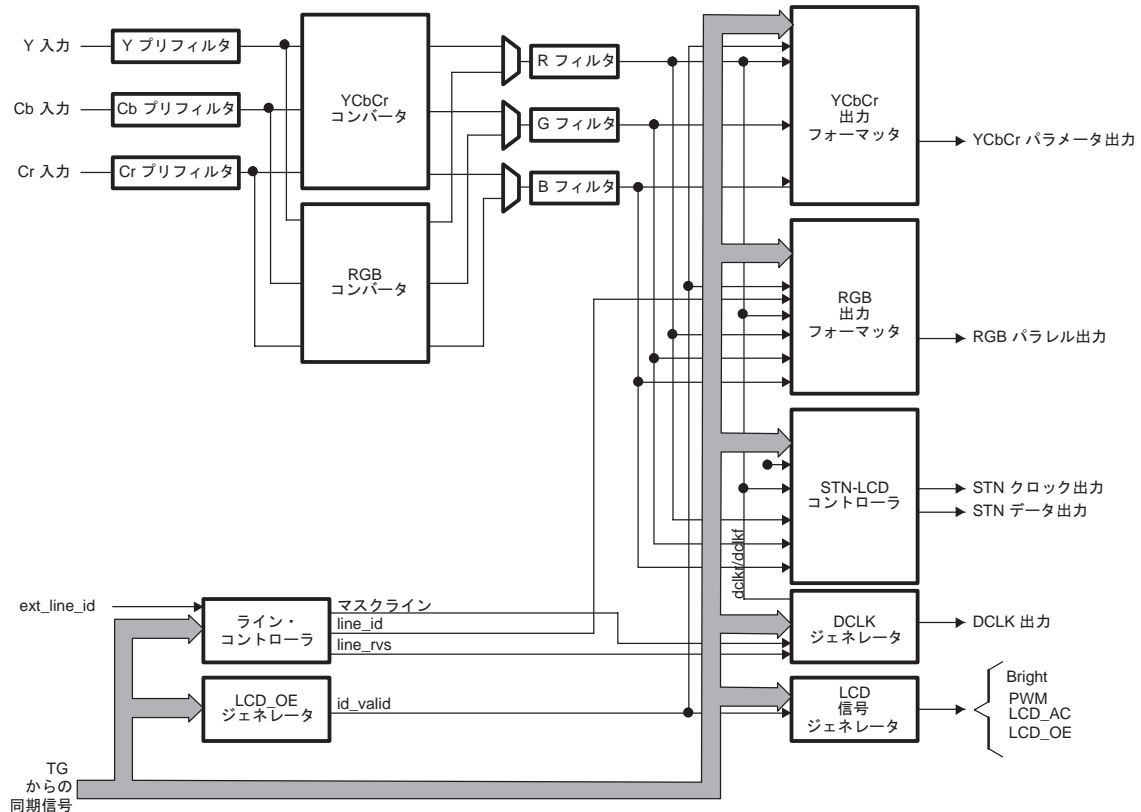
表 54. OSD、VENC、DAC クロック供給オプション

モード	プリセット値
NTSC	378
PAL	356

4.4.4 デジタル LCD コントローラ

デジタル LCD コントローラを図 46 に示します。

図 46. デジタル LCD コントローラのブロック図



4.4.4.1 デジタル・ビデオの出力モード

デジタル LCD コントローラは、最大で 8 つのデジタル出力モードをサポートします。モードは VMOD.VDMD によって選択されます。これを表 55 に示します。

表 55. デジタル・ビデオの出力モード

VMOD.VDMD	モード	説明
0	YCC16	16 ビット YCbCr 出力モード。Y と C は 16 ビット・バス上に別々に出力されます。
1h	YCC8	8 ビット YCbCr 出力モード。422 YCbCr は 8 ビット・バス上にタイム・マルチプレクスされます。オプションで、ITU-R BT.656 をサポートします。
2h	PRGB	RGB を別々に出力するパラレル RGB モード。
3h ~ 7h	-	予約。

4.4.4.2 タイミング

タイミング・パラメータ・コントロール・レジスタを表 56 に示します。図 47 ~ 図 49 に、HSYNC、VSYNC、FIELD、LCD_OE の各タイミング図を示します。VMOD.NSIT が 1 のときのインターレース動作の場合、垂直間隔とパルス幅はハーフ・ライン (0.5H) でカウントされます。

表 56. タイミング・コントロール・レジスタ

レジスタ	オフセット	説明	単位
HSPLS	04h	HSYNC パルス幅	CLK
VSPLS	05h	VSYNC パルス幅	H (0.5H)
HINT	06h	HSYNC 間隔 (HINT + 1)。OSD クロックが 1/2 VENC クロックの場合、HINT は必ず偶数。	CLK
HSTART	07h	水平方向の有効なデータ開始位置	CLK
HVALID	08h	水平方向の有効なデータ持続時間	CLK
VINT	09h	VSYNC 間隔 (VINT + 1)	H (0.5H)
VSTART	0Ah	垂直方向の有効なデータ開始位置	H
VSTARTA	4Ah	垂直方向の有効なデータ開始位置 (オプションで、偶数フィールドに対してのみ使用可能)	H
VVALID	0Bh	垂直方向の有効なデータ持続時間	H
HSDLY	0Ch	HSYNC 遅延	CLK
VSDLY	0Dh	VSYNC 遅延	CLK

図 47. 水平信号のタイミング

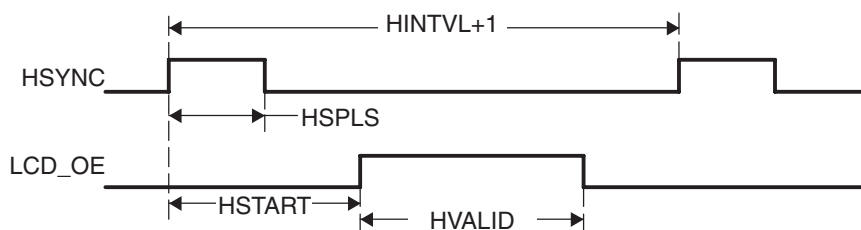


図 48. 垂直信号のタイミング (プログレッシブ)

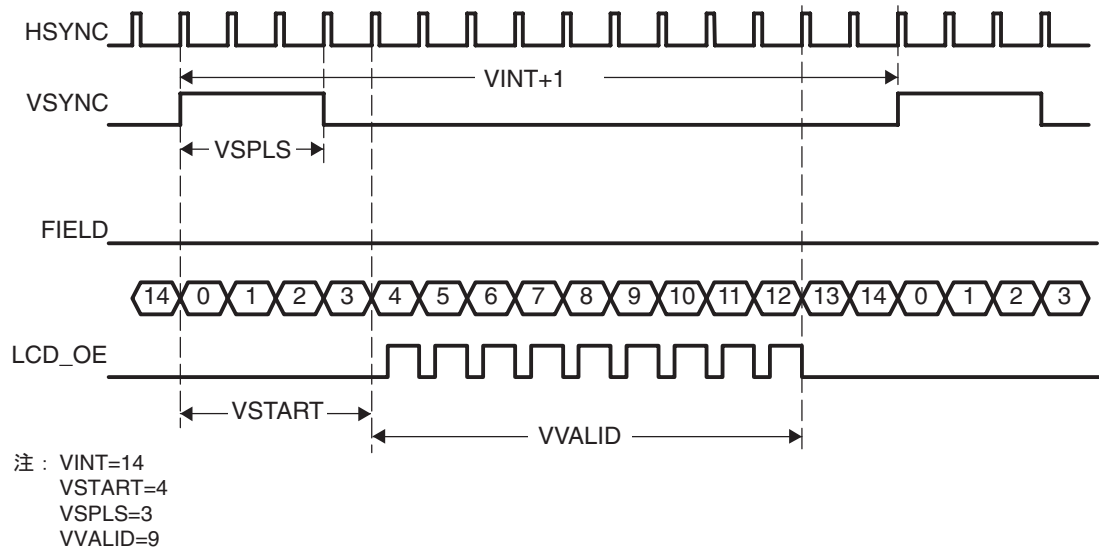
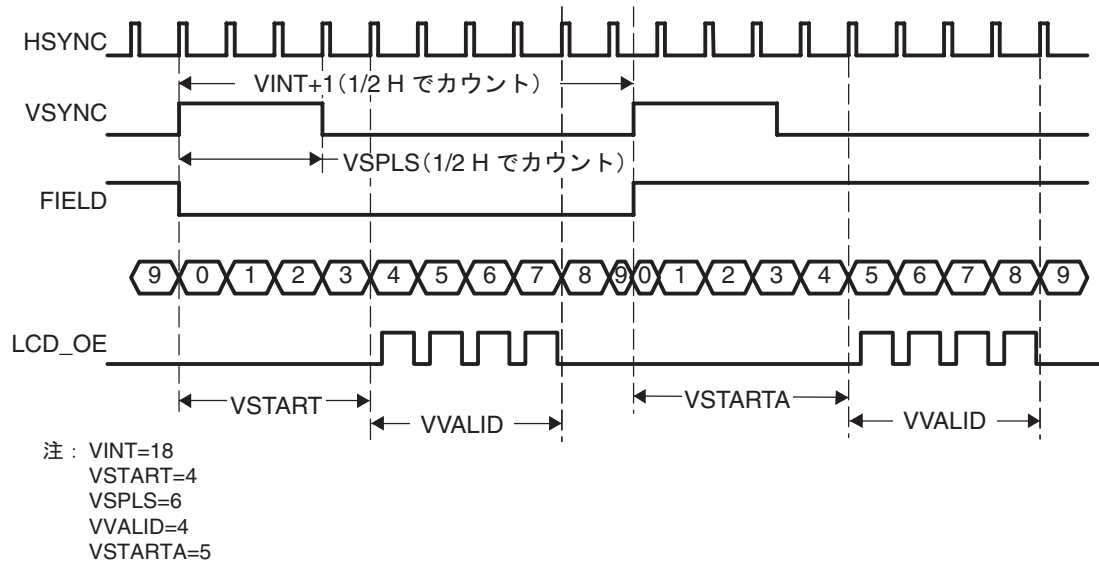


図 49. 垂直信号のタイミング (インターレース)



インターレース・モード (VMOD.NSIT = 1 または NTSC/PAL) の場合、奇数フィールドおよび偶数フィールドに対して異なる VSTART 位置を指定できます。VSTART は奇数フィールドに対して、VSTARTA は偶数フィールドに対して使用されます。

HSYNC と VSYNC の出力は、内部同期信号のタイミングに影響を与えずに HSDLY と VSDLY レジスタを介してそれぞれ遅延されます。また FIELD 出力も VSDLY で遅延されます。

標準モードの動作 (VMOD.VMD = 0) では、HSPLS、VSPLS、HINT、VINT の各レジスタに関係なくビデオ規格に準拠するために、水平および垂直パルス幅と間隔のタイミングはハードウェアにより固定されています。パルス幅については、標準モードの同期パルス幅をプログラムするために、HSPLS および VSPLS レジスタを使ったオプションの同期パルス幅の処理モードが用意されています。このモードは、SYNCTL.SYSW が 1 の場合にイネーブルされます。インターレース (VMOD.HDMD = 0) の場合、VSYNC パルス幅は 0.5H 単位 (ハーフ・ライン) でカウントされます。パラメータを表 57 に示します。

表 57. 標準ビデオ・タイミング

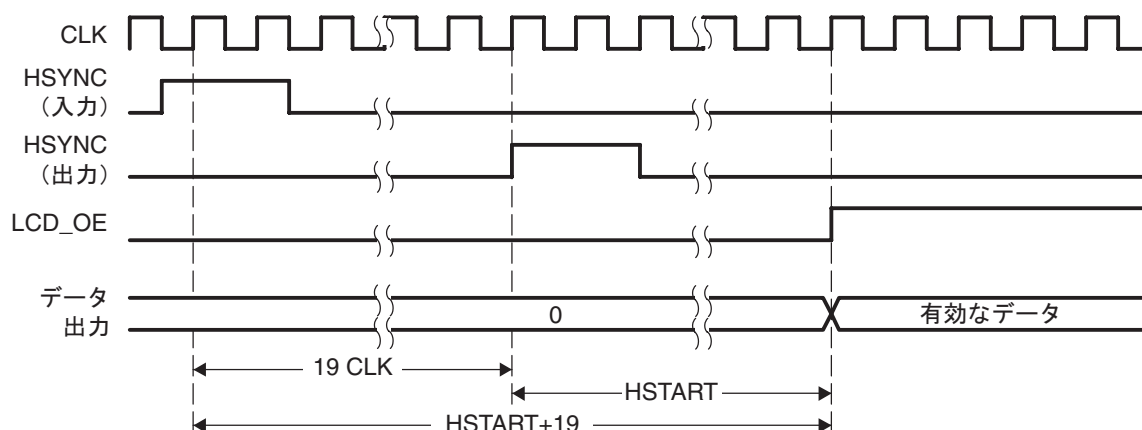
パラメータ	SDTV (HDMD = 0)		HDTV (HDMD = 1)		単位
	NTSC (TVTYP = 0)	PAL (TVTYP = 1)	525p (TVTYP = 0)	625p (TVTYP = 1)	
HSYNC パルス幅	127	127	63	63	CLK
VSYNC パルス幅	6	5	6	5	H
水平期間	1716	1724	858	864	CLK
垂直期間	262.5	312.5	525	625	H

4.4.4.3 スレーブ・モードのタイミング

4.4.4.3.1 水平信号のタイミング

図 50 に、スレーブ・モードの水平信号のタイミング図を示します。外部 HSYNC 入力が入力されてから HSYNC 出力がアサートされるまで、19 クロックかかります。HSYNC 出力からのデータ開始位置は、マスタ・モードと同じです。ただし、HSYNC ピンがスレーブ用の入力およびマスタ用の出力と共有されているため、HSYNC 出力は外部のチップからは見えません。参考までに、HSYNC 出力タイミングを図 50 に示します。

この水平信号のタイミングはビデオ・タイミング・モード (VMOD.VMD) には関係なく、常に適用されます。

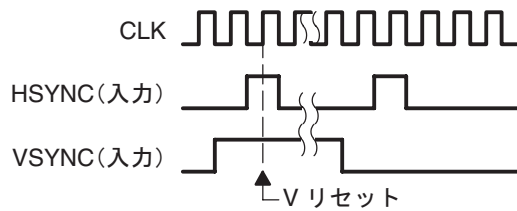
図 50. 水平信号のタイミング図


4.4.4.3.2 垂直信号のタイミング

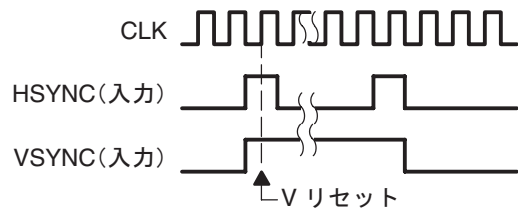
HSYNC アサクション後に VSYNC がある場合、垂直リセットは次の HSYNC 立ち上がりエッジまでサスペンドします。図 51 に、各種 VSYNC 検出タイミングを示します。

図 52 に、NTSC スレーブ・モードの垂直タイミング図を示します。VSYNC 立ち上がり遷移が HSYNC 立ち上がりエッジまたはラインの中央 (0.5H) で検出された場合、垂直タイミングはリセットされます。図 53 に、PAL スレーブ・モードを示します。フィールドは反対側の PAL で検出されることに注意してください。スレーブ・モードの垂直タイミング図では、HSYNC、VSYNC の出力タイミング、および VSYNC ピンについて言及していますが、これらはスレーブ・モードの入力として使用されているため、外部のチップからは見えません。

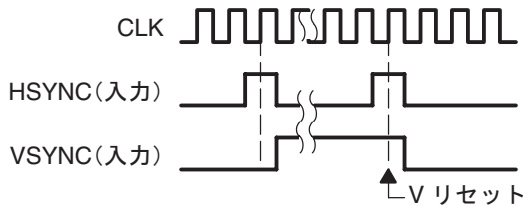
図 51. VSYNC 入力のラッチ・タイミング



VSYNC は HSYNC の前に 1 クロックをアサート。



VSYNC は HSYNC と同じタイミングでアサート。



VSYNC は HSYNC の後に 1 クロックをアサート。

図 52. 垂直信号のタイミング図 (NTSC)

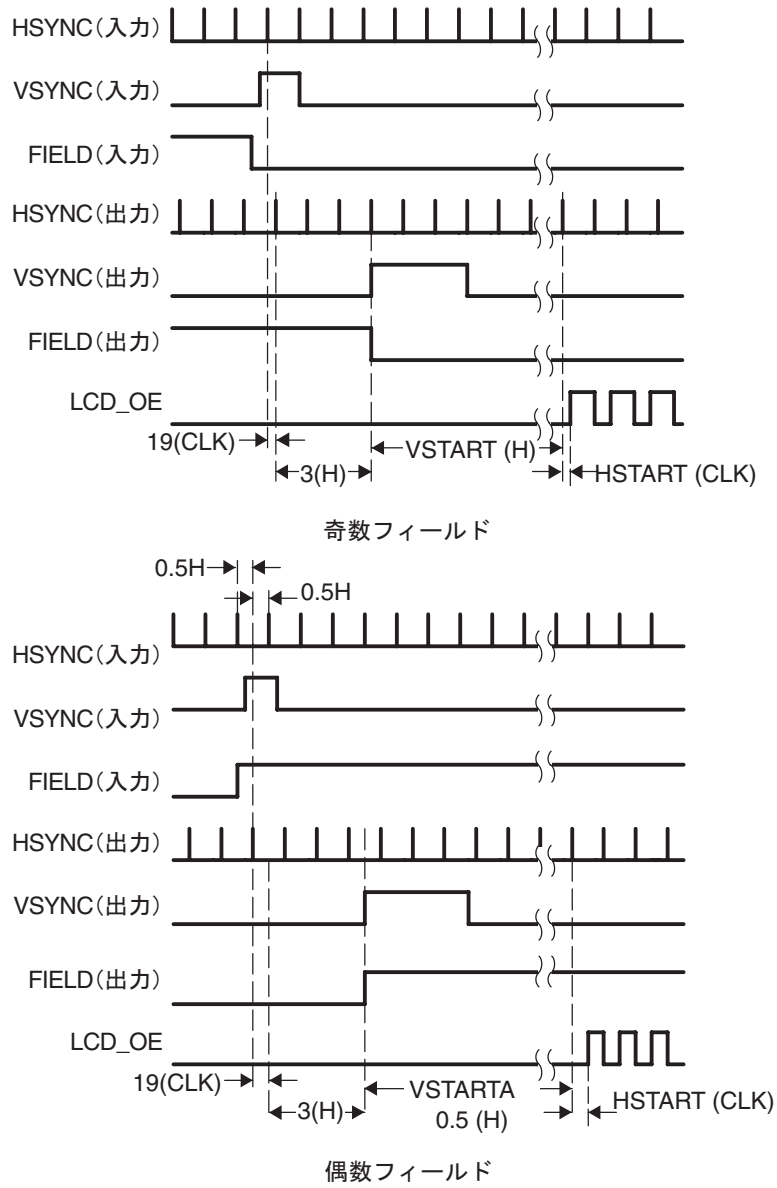


図 53. 垂直信号のタイミング図 (PAL)

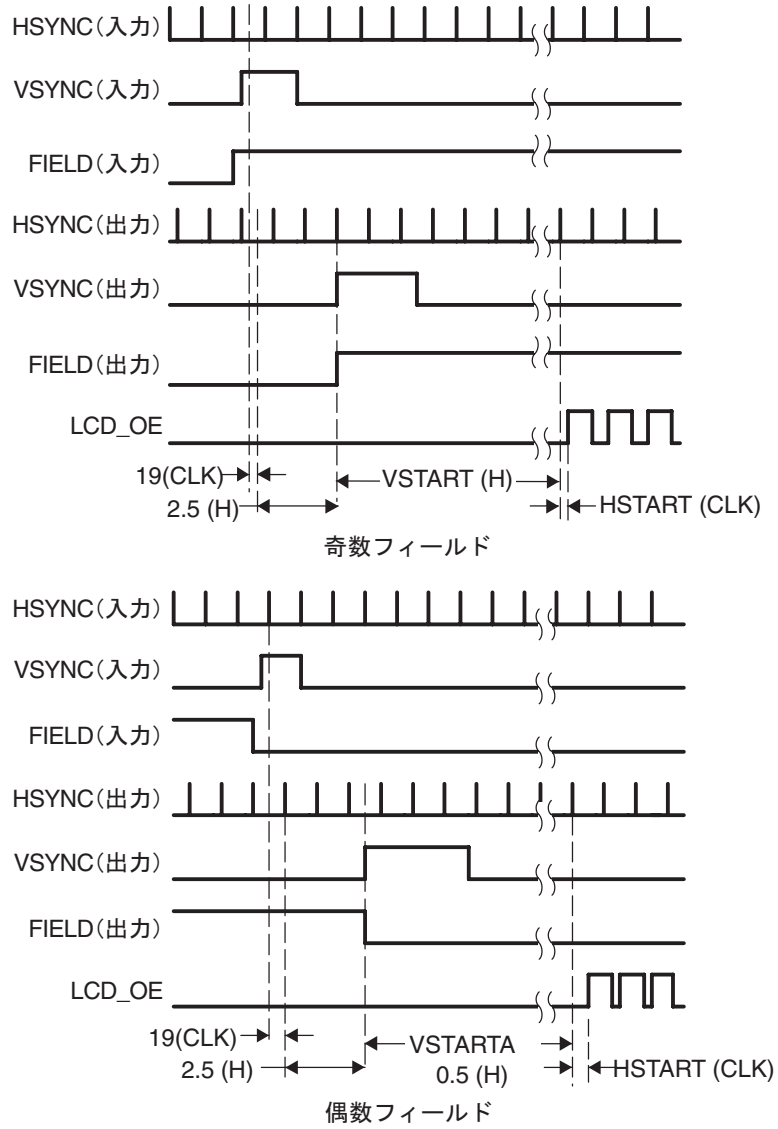


図 54 に、スレーブの非標準プログレッシブ・モード (VMD=1、NSIT=0) の垂直信号のタイミング図を示します。図 55 に、非標準インターレース・タイミングを示します (VMD=1、NSIT=1)。VSYNC の立ち上がり遷移が HSYNC 立ち上がりエッジで検出されるときに、垂直タイミングはリセットされます。インターレース・モードの垂直タイミングは、VSYNC 立ち上がり遷移が (NTSC/PAL の場合と同様にラインの中央 (0.5H) ではなく) HSYNC 立ち上がりエッジで検出されるときにのみ、リセットされることに注意してください。

図 54. 垂直信号のタイミング図 (非標準 / プログレッシブ)

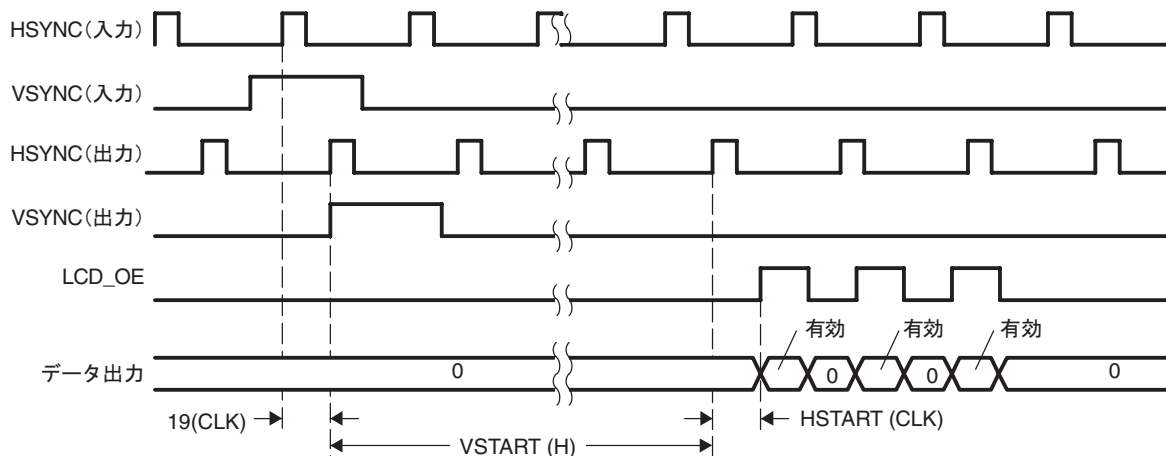
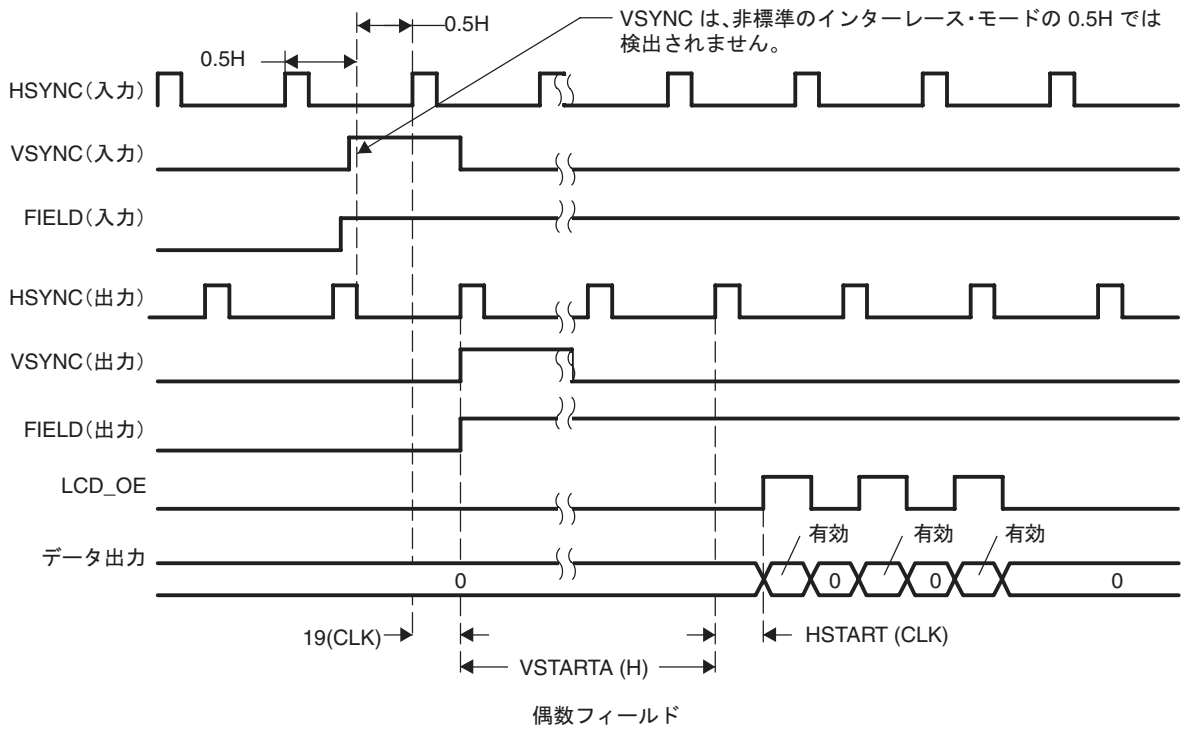
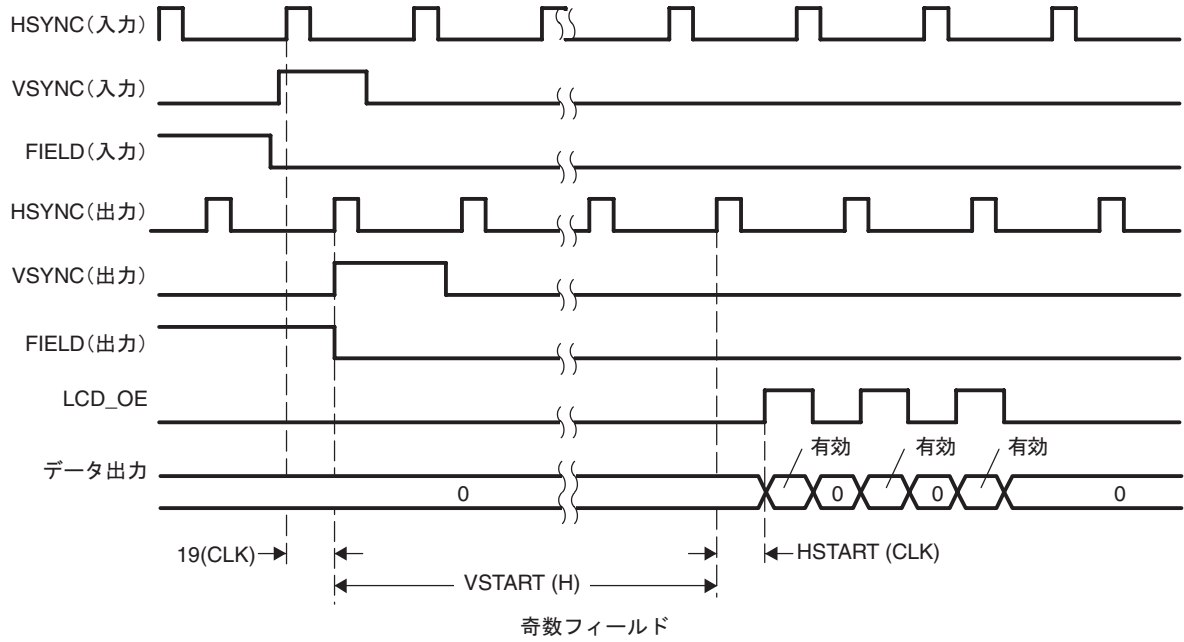


図 55. 垂直信号のタイミング図 (非標準 / インターレース)



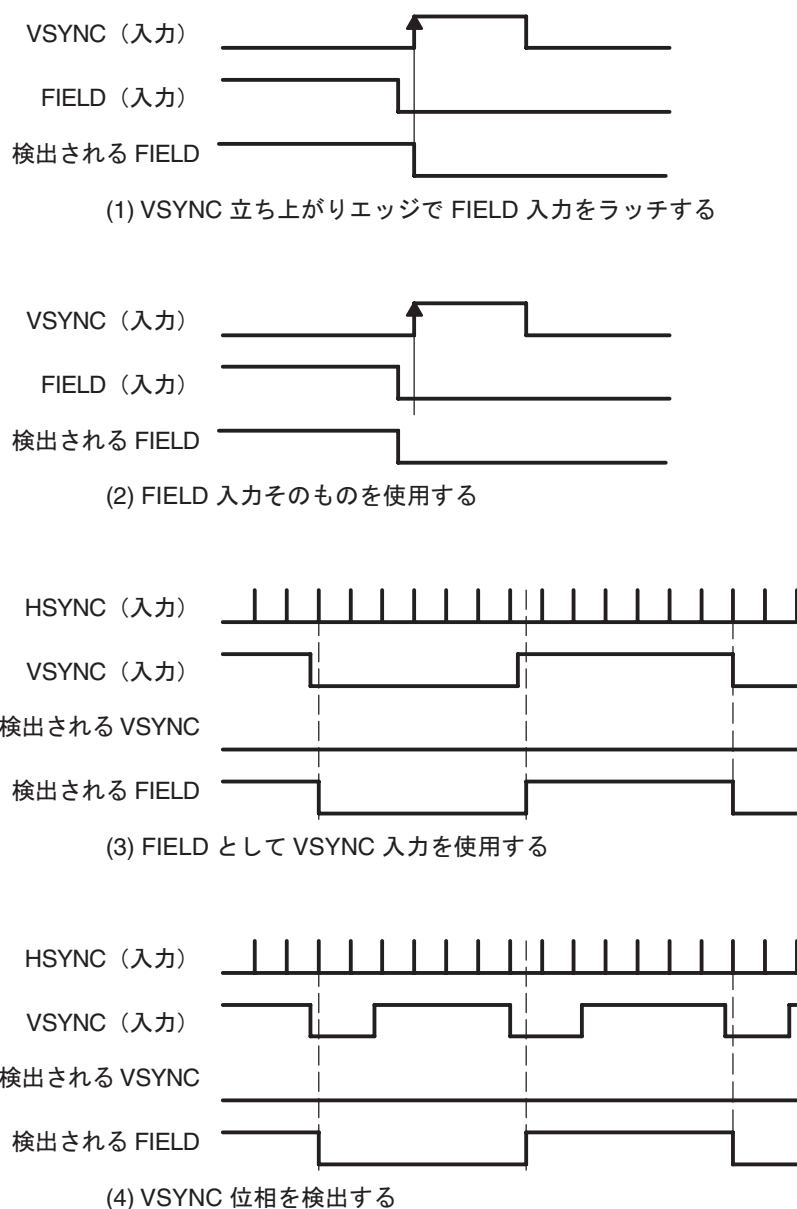
4.4.4.3.3 スレーブ・モードのフィールド検出

スレーブのインターレース・モードの場合、つまり NTSC/PAL (VMD=0 かつ HDMD=0) または 非標準のインターレース (VMD=1 かつ NSIT=1) のとき、外部のフィールド ID が検出されます。次の 4 つのフィールド検出モードがあります。

- VSYNC 立ち上がりエッジで FIELD 入力をラッチする
- FIELD 入力そのものを使用する
- FIELD として VSYNC 入力を使用する
- VSYNC 位相を検出する

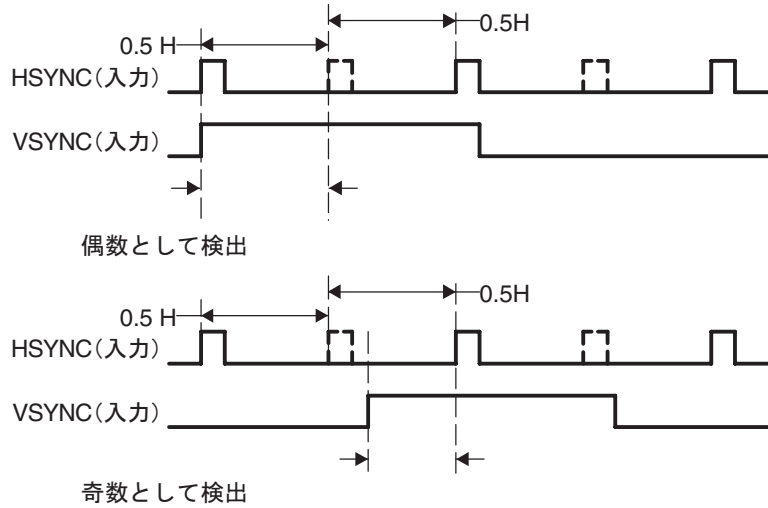
これらの 4 つのモードは、SYNCCTL.EXFMD で選択可能です。図 56 に、各モードのタイミングを示します。

図 56. フィールド検出モード



オプション 4 (VSYNC 位相の検出) では、タイミング・ジェネレータは VSYNC アサーションの位置を 1 ラインで検出します。VSYNC がラインの前半にある場合、フィールドは偶数として検出されます。VSYNC がラインの後半にある場合、フィールドは奇数として検出されます。図 57 に、この検出方法を示します。このモードは、NTSC/PAL の場合にのみ使用可能です。非標準モードの場合、Field_id はオプション 4 で常に奇数として検出されます。

図 57. VSYNC 位相によるフィールド検出



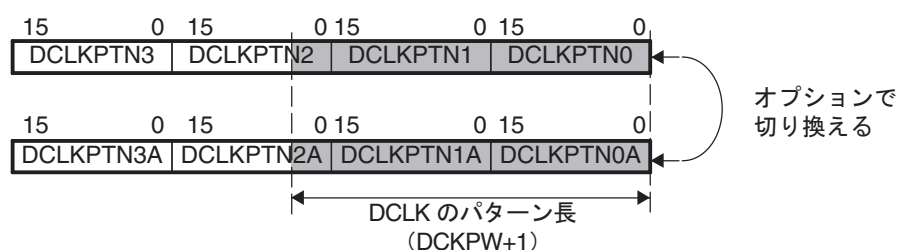
4.4.4.4 DCLK の生成

LCD コントローラは、LCD パネルにクロックを供給する DCLK と呼ばれるドット・クロックを生成できます。生成された DCLK は、VCLK ピンから出力されます。DCLK の周波数、波形、有効な持続時間は、各種オプションを使用してレジスタ設定によりプログラムされます。デジタル・データは、DCLK の立ち上がりエッジに同期して出力されます。

4.4.4.4.1 パターン・レジスタ

DCLKPTN レジスタは、DCLK の波形コンフィギュレーションのために用意されています。ユーザーは、最大で 64 サイクル周期内の DCLK の各種波形を構成できます。レジスタは長さが 64 ビットで、4 つの 16 ビット・レジスタ(DCLKPTN0 ~ DCLKPTN3) にマップされます。効率的なパターンの長さは、DCLKCTL.DCKPW で指定されます。さらに、同一構成 (DCLKPTN0 ~ DCLKPTN3A) の別のパターン・レジスタのセットがオプションで用意されています。これにより、ユーザーは特定のラインの波形を切り換えることができます。図 58 に、DCLK パターン・レジスタのコンフィギュレーション方法を示します。

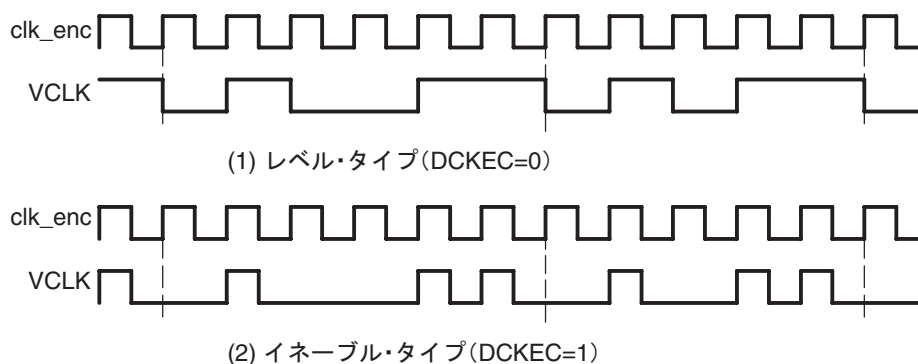
図 58. パターン・レジスタのコンフィギュレーション



クロック波形のコンフィギュレーションには 2 種類あります。それらは、DCLKCTL.DCKEC で選択できます。たとえば、図 59 を参照してください。

- DCKEC = 0 の場合、パターン・レジスタは DCLK 自体のクロック・レベル・パターンになります (レベル・モード)。
- DCKEC = 1 の場合、パターン・レジスタは ENC クロックのクロックのイネーブラとして機能します (イネーブル・モード)。

図 59. DCLK のパターン・モード



注 : DCKPW=5
DCLKPTN0=0013h

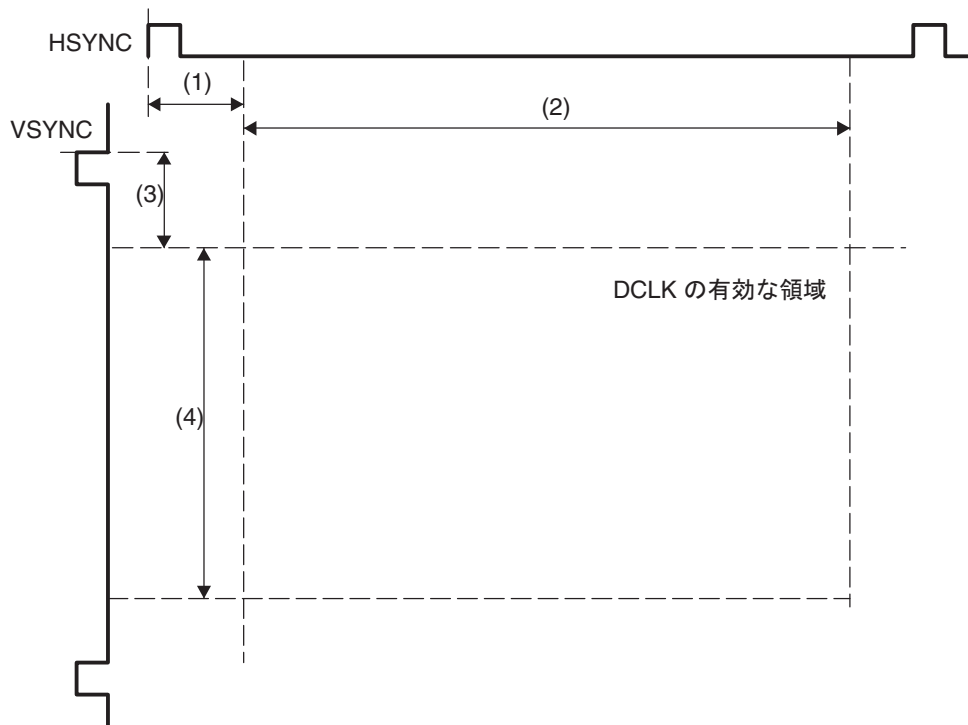
4.4.4.4.2 マスキング

DCLK 信号は、水平にも垂直にもマスクすることができます。表 58 のレジスタを使用すると、DCLK が有効なときに LCD ディスプレイ・データの水平および垂直開始位置をセットできます。図 60 に示すように、水平方向の有効な開始位置は HSYNC と相対的にセットされ、水平位置の有効なデータ長は有効なデータの水平開始位置と相対的にセットされます。水平解像度の単位は ENC クロックです。図 60 に、垂直方向の有効なデータが構成されていることを示します。これは水平方向の有効なデータと似ています。DCLKCTL.DCKME は DCLK マスキングをアクティブにできます。水平開始位置については、パターン・レジスタだけでなく 2 つのレジスタ・セットが用意されています。

表 58. DCLK マスキング・レジスタ

記号	レジスタ	説明	単位
1	DCLKHS.DCHS DCLKHSA.DCHS	水平 DCLK マスク開始位置。	CLK
2	DCLKHR.DCHR	水平 DCLK マスク範囲。	CLK
3	DCLKVS.DCVS	垂直 DCLK マスク開始位置。	H
4	DCLKVR.DCVR	垂直 DCLK マスク範囲。	H

図 60. DCLK のマスキング



4.4.4.4.3 ハーフレート・モード

DCLK を 2 分周することができます。分周は、内部 DCLK または出力 DCLK に適用されます。DCLKCTL.DCKOH が 1 の場合、DCLK 出力だけが 2 分周されます。内部 DCLK は分周されないため、RGB データ・レートは変更されません。したがって、このモードを使用すると、DCLK の両方のエッジを使用してデータをキャプチャする LCD に接続できます。一方、DCLKCTL.DCKIH が 1 の場合、内部 DCLK は 2 分周されます。出力の分周がイネーブルされない場合、2 つのクロックは 1 つのデータ・サンプルごとに出力されます。したがって、このモードを使用すると、クロック周波数の 2 倍のレートでデータを必要とする LCD に接続できます。

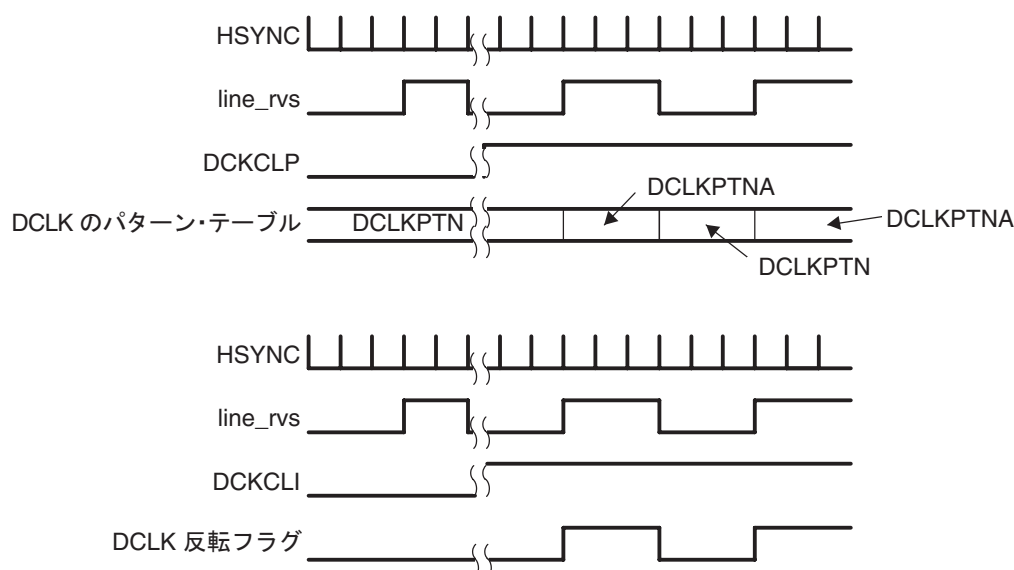
4.4.4.4.4 ライン制御

DCLK コントローラは、ラインごとに2種類のDCLKの波形を変化させることができます。またRGBデータ出力シーケンスを制御するカリング・ラインIDは、DCLKの波形変化にも影響を与えます。図61に、この機能を示します。

- DCLKパターン切り替え。LINECTL.DCKCLP=1の場合、DCLKパターンはカリング・ラインIDに従って切り替わります。ラインごとのDCLKパターンはDCLKPTNとDCLKPTNAレジスタによって指定されます。
- DCLKの極性反転。LINECTL.DCKCLI=1の場合、DCLKの極性はラインIDがCULLLINEレジスタによってセットされたカリング・ラインIDのライン上で反転されます。

DCKCLPとDCKCLIは両方とも同時に1にセットできます。

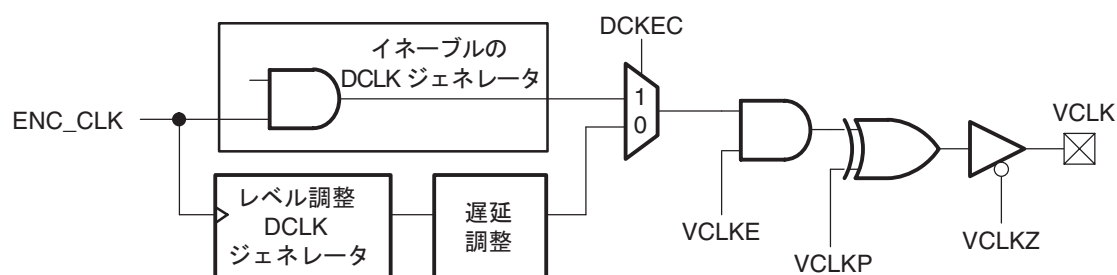
図 61. DCLK のパターン切り替え / 反転 (ラインごと)



4.4.4.4.5 DCLK 出力

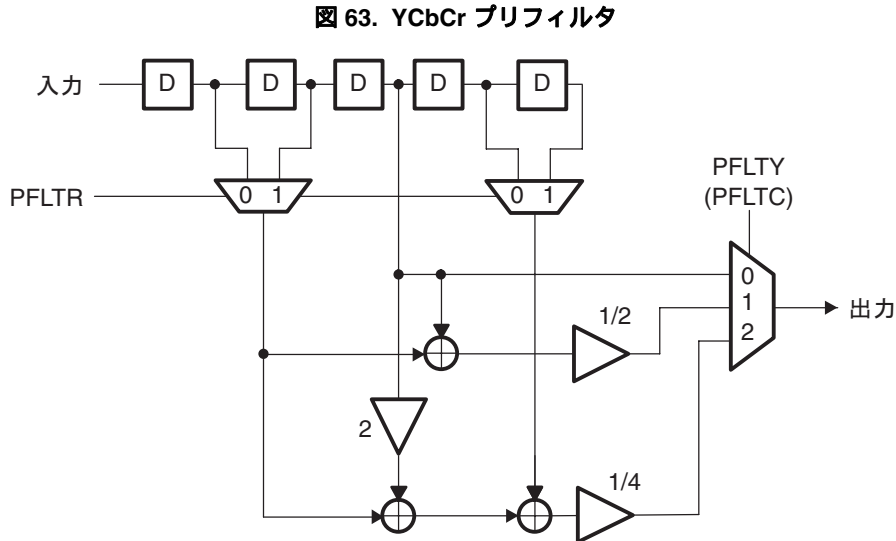
出力イネーブル、極性、およびクロック出力のオン/オフなどのVCLK出力属性は、VIDCTLレジスタのビットにより制御されます。さらに、レベル・タイプのDCLK出力には、DCLKCTL.DOFSTによってセットされるように-0.5、0.5、1.0のいずれかのENCCLKのオフセットが含まれます。図62に、DCLKの出力ブロックを示します。

図 62. DCLK 出力



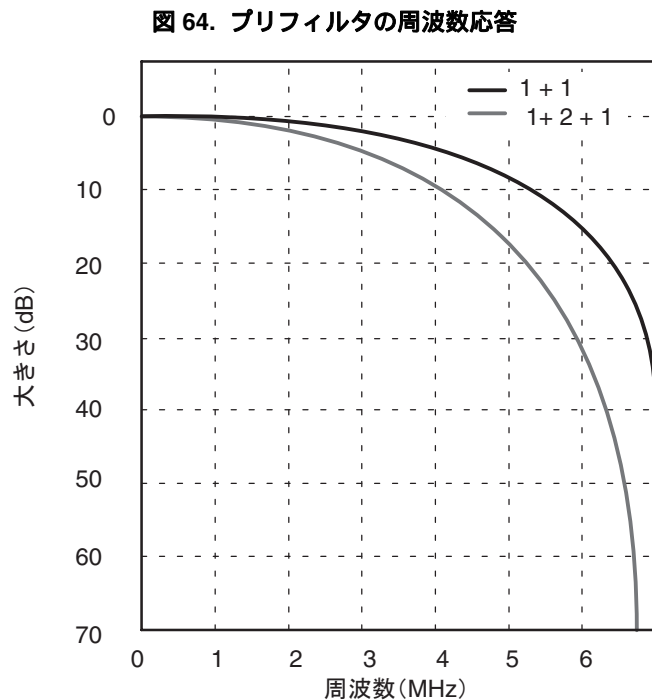
4.4.4.5 YCbCr プリフィルタ

ビデオ・エンコーダは、OSD モジュールから YCbCr フォーマットでデータを入力します。YCbCr フィルタ (図 63) は、データ・パスの先頭にあります。それぞれのコンポーネント (Y、Cb、Cr) には、独自のフィルタがあります。フィルタ長は、Y/C の場合、VDPRO レジスタの PFLTY/PFLTC によって 2 または 3 タップにそれぞれプログラムされます。プリフィルタのサンプリング・レートは、VDPRO.PFLTR によって VENC クロックまたは 1/2 VENC クロックのいずれかに選択されます。



13.5 MHz のサンプリング・レートのプリフィルタの周波数応答を図 64 に示します。

PFLTY/PFLTC = 0 または 2 の場合、フィルタのグループ遅延は 1、PFLTY/PFLTC = 1 の場合は 0.5 です。PFLTY と PFLTC を別々の値にセットしてはいけません。そうしないと、Y と C はアラインされません。



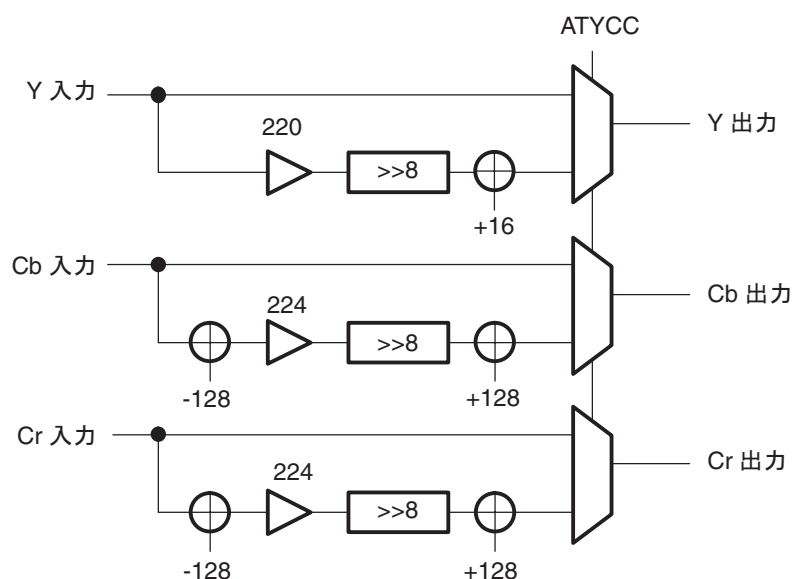
4.4.4.6 YCbCr 出力フォーマット

YCbCr 出力フォーマットは、YUV16 および YUV8 モードの YCbCr データ出力を管理します。

4.4.4.6.1 YCbCr 変換

プリフィルタによって処理される YCbCr データは、YCbCr コンバータに入力されます (図 65)。このコンバータによって、全範囲 (0 ~ 255) レベルのデータが ITU-R BT.601 準拠レベル (Y:16 ~ 235、C:16 ~ 240) に減衰されます。減衰をイネーブルするには、VDPRO.ATYCC を 1 にセットします。

図 65. YCbCr 変換ブロック図



4.4.4.6.2 16 ビット YCbCr 出力モード (YCC16)

YCC16 モードでは、Y (輝度) 信号は、VCLK 立ち上がりエッジごとに YOUT[7:0] に出力されます。その間に、Cb と Cr (色差) は COUT[7:0] に交互にマルチプレクスされます。この出力モードとオプションの制御方法の詳細については、2.2.1 項を参照してください。

4.4.4.6.3 8 ビット YCbCr 出力モード (YCC8)

YCC8 モードでは、OSD YCbCr 信号のそれぞれのコンポーネントは、YOUT[7:0] から交互に出力されます。この出力モードとオプションの制御方法の詳細については、2.2.2 項を参照してください。

4.4.4.7 RGB 出力フォーマット

RGB 出力フォーマットは、RGB パラレル・モードでの RGB データ出力を管理します。

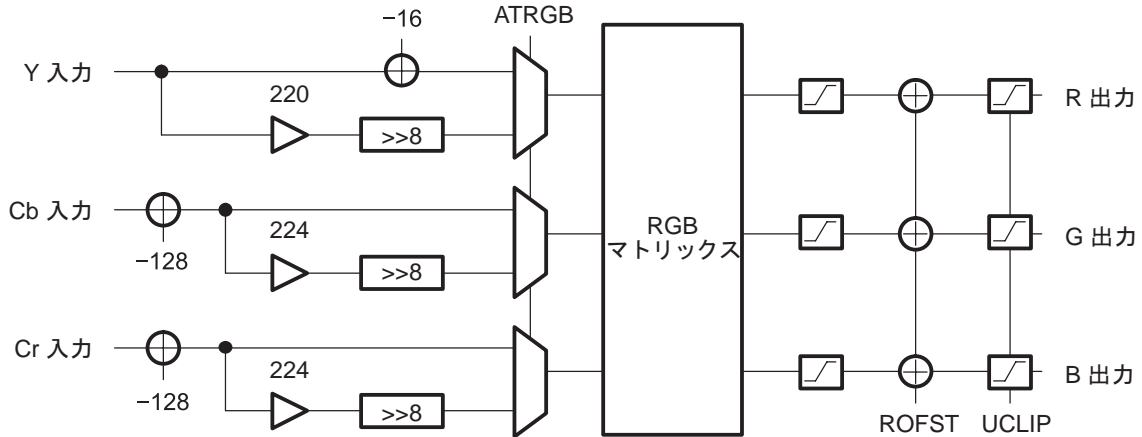
4.4.4.7.1 RGB 変換

図 66 に、YCbCr から RGB へ変換するコンバータのブロック図を示します。最初の段階で、YCbCr 入力範囲 (0 ~ 255) は ITU-R BT601 レベル (Y:0 ~ 219、C:-128 ~ 128) に減衰されます。これをイネーブルするには、VDPRO.ATRGB = 1 をセットします。

フォーマットされた YCbCr データは、次の式に従って RGB に変換されます。

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \frac{1}{1024} \begin{bmatrix} GY & 0 & RV \\ GY-GU-GV \\ GY & BU & 0 \end{bmatrix} \begin{bmatrix} Y-16 \\ Cb-128 \\ Cr-128 \end{bmatrix}$$

図 66. RGB 変換ブロック図



マトリックスの係数をプログラムするには、適切な係数を使用して DRGBX0 ~ DRGBX4 レジスタをセットします。デフォルトでは、これらの値は ITU-R BT601 RGB 変換マトリックスにセットされます。0 ~ 219 の範囲の RGB は、REC.601 フォーマット信号 (Y:16 ~ 235、C:16 ~ 240) から変換することができます。変換された RGB は有限精度演算により負になるため、ゼロ・レベルのクリッピングが適用されます。

その後、RGBCLP.OFST によって指定されるオフセットが、加算されその後により上位レベルのクリッピングが続きます。クリップ・レベルは RGBCLP.UCLIP によってセットされます。出力される RGB サンプルは、8 ビットの解像度に制限されます。

4.4.4.7.2 RGB フィルタ

ローパス・フィルタを変換された RGB データに適用します。8 ビットの入出力機能のあるカラー・コンポーネントごとに別々の LPF モジュールがあります。コンポーネントごとに、3 タップまたは 7 タップの LPF が RGBCTL.DFLTS を介して選択されます。サンプリング・クロックは VENC クロックまたはその分周されたクロックから RGBCTL.DFLTR をセットして選択することもできます。同時に動作する別々のフィルタはありますが、ユーザーは個別に制御する方法がないため、これらの設定はすべてのコンポーネントに適用されます。

注： YCbCr 出力を選択した場合 (VMOD.VDMD = 0 または 1 (YCC16 または YCC8 モード))、RGB フィルタはディスエーブルしてください (DFLTS = 0)。

4.4.4.7.3 パラレル RGB モード (PRGB)

パラレル RGB モードでは、最大で 24 ビットの解像度のデータ (RGB のカラーごとに 8 ビット) を出力できます。デフォルトでは、専用の YOUT[7:0]/COUT[7:0] 信号を使用して RGB565 が出力されます。詳細については、2.2.3 項を参照してください。また RGB666 および RGB888 出力モードをサポートするには、GPIO ピンを追加してディスプレイ・インターフェイスに割り当てます。この割り当てはピン・マルチプレクスを使用して行われており、システム・モジュールから制御されます (2.3 節を参照)。

4.4.4.8 ライン ID の制御

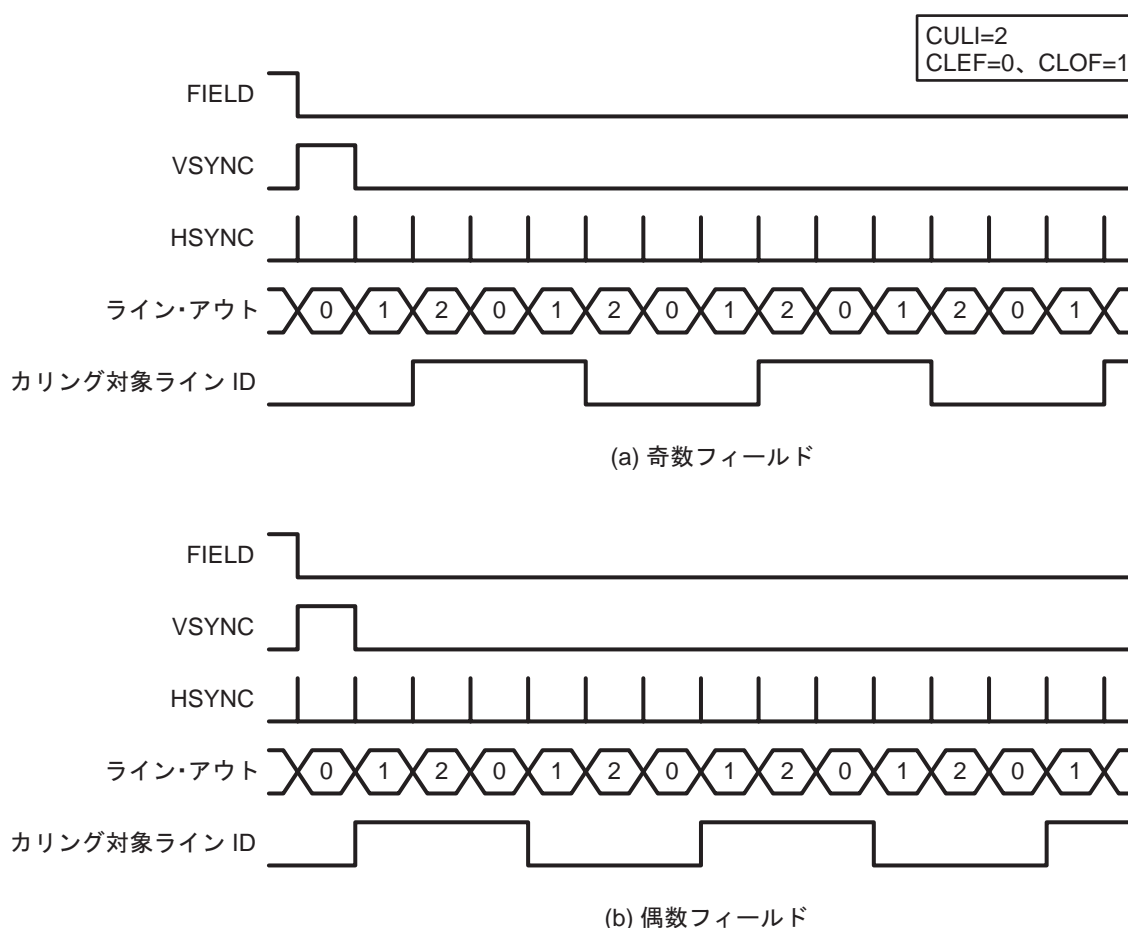
ライン ID は、HSYNC で変更され、VSYNC でリセットされるライン識別フラグです。このフラグは RGB のローテート順序の選択、または DCLK の波形変化のために使用されます。通常、ライン ID は HSYNC ごとに切り替わります。この通常の動作に加え、LCD コントローラはカリング・ライン ID 機能を提供します。この機能により、特定のライン間隔で切り替わるライン ID を使用することができます。またライン ID の切り替え位置を偶数フィールドと奇数フィールドの間隔内にそれぞれセットすることもできます。

図 67 の生成されたカリング対象ライン ID は LINECTL.RGBCL = 1 の場合の RGB のローテート順序に影響を与えます。このモードでは、実際のライン ID とカリング対象ライン ID を XOR 演算した信号は RGB のローテート順序の ID として動作します。

RGB の順序に加え、DCLK の波形はカリング対象ライン ID によって制御されます。LINECTL.DCKCLP = 1 の場合、有効な DCLK パターン・レジスタ (DCLKPTN) はカリング対象ライン ID によって切り替わります。カリング対象ライン ID = 0 では DCLKPTN、カリング対象ライン ID = 1 では DCLKPTNA がそれぞれ選択されます。パターン切り替えと同様、DCLK 反転機能は LINECTL.DCKCLI = 1 のときにも提供されます。このモードでは、生成された DCLK の波形はカリング対象ライン ID = 1 の場合に反転されます。

LINECTL.LINID フィールドは偶数フィールドで開始ライン ID を指定できます。

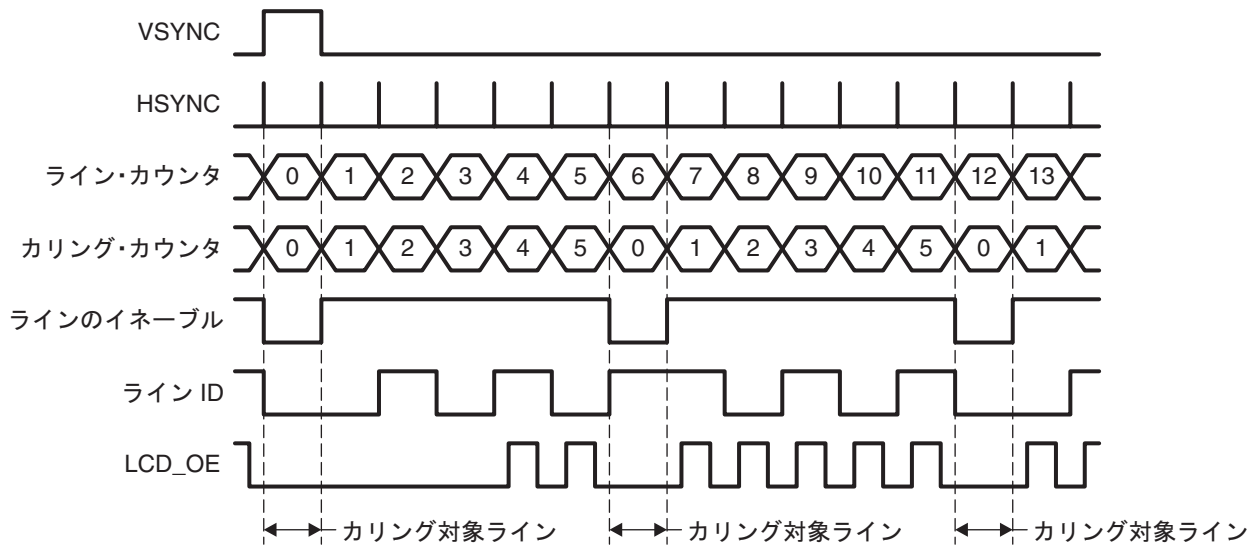
図 67. カリング対象ライン ID



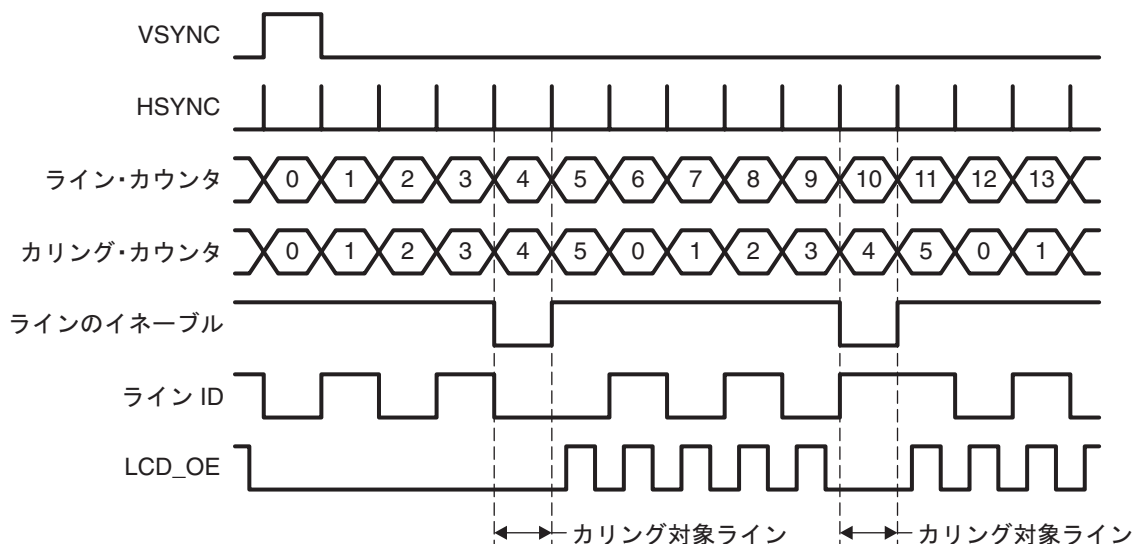
4.4.4.9 5/6 ライン・カリング

デジタル・ビデオ出力は、垂直方向に 5/6 カリングされます。LINECTL.VCL56 を 1 にセットすると、カリングがアクティブになります。このモードの場合、ビデオ出力の 1 ラインは 6 ラインごとに破棄されます。VENC は OSD の同期をアサートし OSD からデータをリードしますが、カリング対象ラインの出力に対してはそのデータを無視します。また HSYNC 出力と LCD_OE アサーションは、カリング対象ラインでもディスエーブルされます。カリング対象のライン位置は、LINECTL の VCLRD と VCLID ビットによって制御されます。この動作の詳細については、図 68 および図 69 を参照してください。カリングは、内部カリング・カウンタ (remove_counter) の値が VCLID ビット値と同じライン上でイネーブルされます。内部カリング・カウンタは、hsync でインクリメントされ、vsync でリセットされます。リセット値は VCLRD ビットにより選択され、0 または疑似ランダム値になります。

図 68. 5/6 ライン・カリング・モード

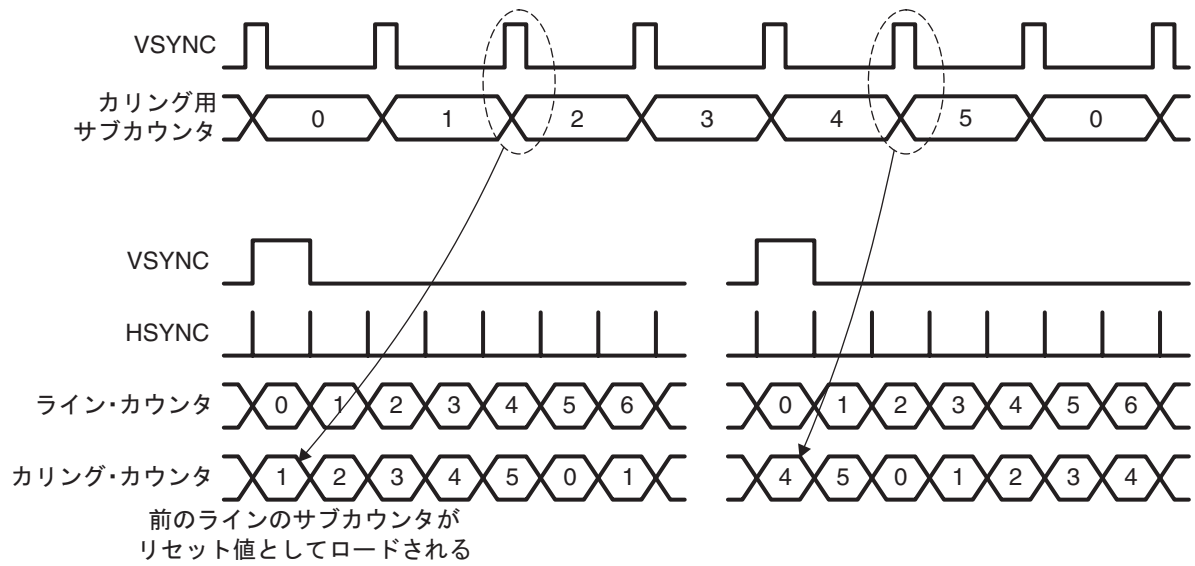


(1) VCLRD=0、VCLID=0、V_VALID=4



(2) VCLRD=0、VCLID=4、V_VALID=4

図 69. 垂直カリング・カウンタのランダム・リセット



4.4.4.10 出力の保持

LCD コントローラにはビデオ出力保持機能があります。LCD コントローラは、現在のラインまたはフィールド送信の完了時にタイミング・ジェネレータの動作を停止できます。保持モードでは、OSD からのデータ・リードはサスペンドされ、同期信号およびビデオ・データの出力もサスペンドします。保持機能は、非標準モードのデジタル・ビデオ出力の場合にのみ使用可能です。

LINECTL.HLDL を 1 にセットすると、LCD コントローラはライン保持モードになります (図 70)。HLDL がセットされると、現在のライン送信の完了時に LCD コントローラは自動的に保持モードになります。同様に、LINECTL.HLDF を 1 にセットすると、フィールド保持モードがアクティブになります (図 71)。HLDF がセットされてから、現在のフィールド送信が完了するとタイミング・ジェネレータはサスペンドします。これらのビットを 0 にクリアすると、タイミング・ジェネレータは再起動します。

図 70. 出力ライン保持モード

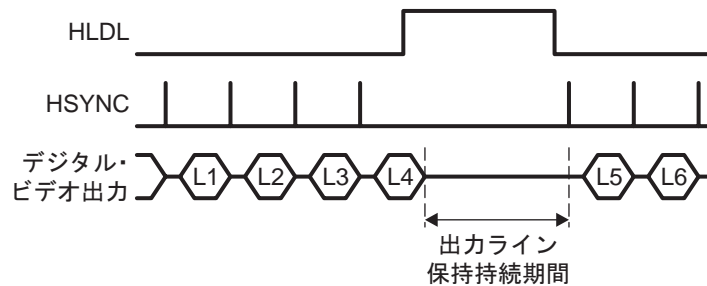
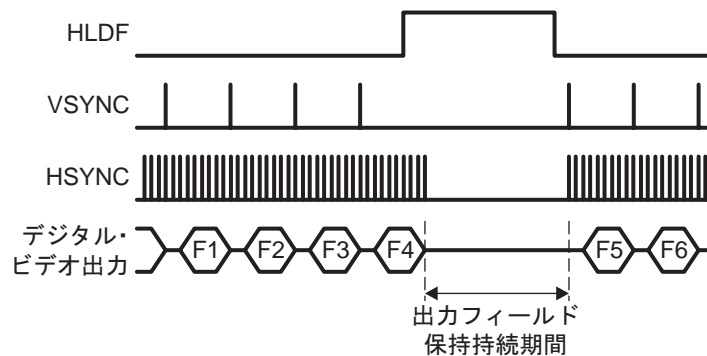


図 71. 出力フィールド保持モード



4.4.4.11 LCD_OE 水平カリング

HVLDCLO.HCM の場合、LCD_OE は水平方向にカリングされます。このモードの場合、HVLDCLO.HCPW および HVLDCLO.HCPT をセットすることにより、カリング周期と有効なパターンをそれぞれ指定できます。図 72 に、LCD_OE カリングのレジスタの使用法を示します。図 73 に、LCD_OE 水平カリングのタイミングの例を示します。図 73 で、DCLK は CLK と同じ周波数にセットされます。3 番目のデータが来るごとに、そのデータは破棄されます。LCD_OE = 0 の間、ゼロが送信されます。

図 72. LCD_OE ホリゾンタル・カリング・レジスタ

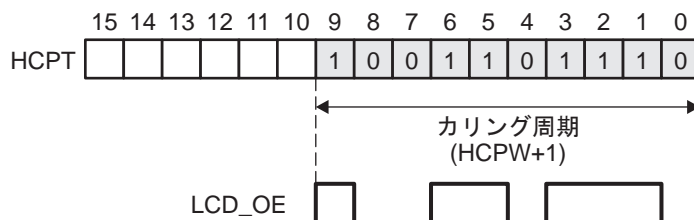
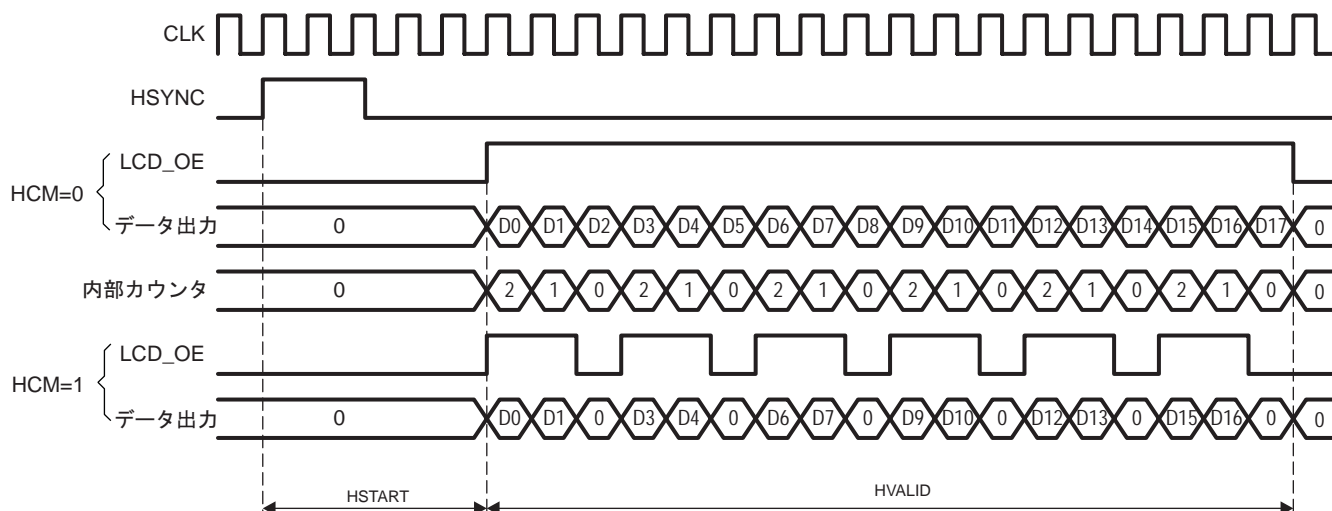


図 73. LCD_OE 水平カリングのタイミング図

HSTART=5 HCPW=2
HVALID=18 HCPT=6



4.5 その他の機能

4.5.1 内部カラー・バー

VENC は単独でカラー・バーを内部生成できます。VDPRO.CBMD = 1 をセットすると、内部カラー・バー・ジェネレータをイネーブルします。VDPRO.CBTYP はカラー・バーの飽和を切り換えます (0 = 75%、1 = 100%)。

表 59. カラー・バー・ジェネレータのデジタル出力値

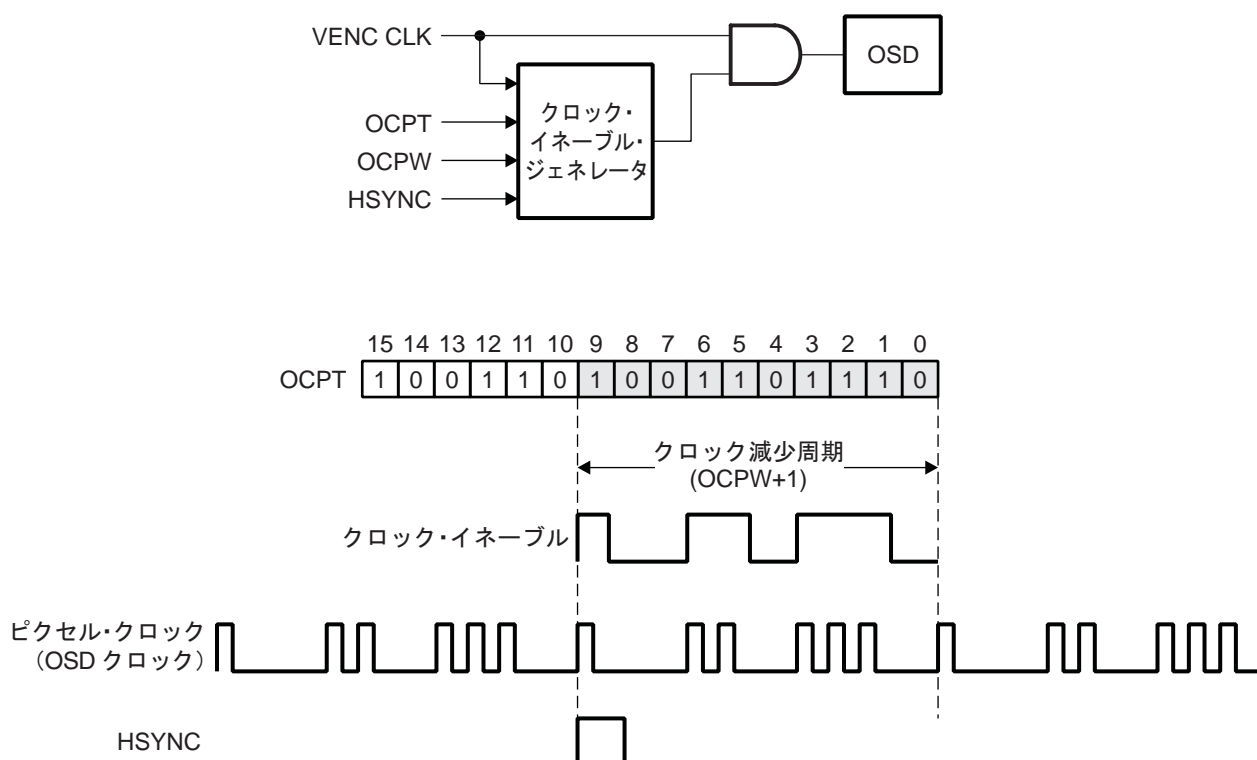
カラー	100% (VDPRO.CBTYP = 1)			75% (VDPRO.CBTYP = 0)		
	Y	Cb	Cr	Y	Cb	Cr
黒	16	128	128	16	128	128
青	41	240	110	35	212	114
赤	81	90	240	65	100	212
赤紫	106	202	222	84	184	198
緑	145	54	34	112	72	58
シアン	170	166	16	131	156	44
黄色	210	16	146	162	44	142
白	235	128	128	180	128	128

4.5.2 ピクセル・クロックのプログラム

OSD モジュールで使用されるメイン・クロックであるピクセル・クロックを任意に間引くことができます。ピクセル・クロックを間引く処理は、水平方向で定期的に行われます。この周期で、アクティブなクロック位置を自由にプログラムできます。周期は OSD クロック・コントロール 0 レジスタ (OSDCLK0) の OCPW ビットで、クロック・イネーブル・パターンは OSD クロック・コントロール 1 レジスタ (OSDCLK1) の OCPW ビットでそれぞれ指定されます。クロック・ゲート制御パターンの周期は、HSYNC から始まります。図 74 に、ピクセル・クロックを間引く処理方法を示します。

リセット後、OCPW ビットは 1 に、OCPT ビットは 2h にそれぞれセットされるので、結果的に生成されるピクセル・クロックは VENC CLK の 1/2 になります (VENC CLK が 27 MHz 場合、ピクセル・クロックは 13.5 MHz になります)。NTSC/PAL を使用する場合、これらのレジスタはデフォルト値から変更されません。プログレッシブ・スキャン出力の場合、OCPW ビットを 0 にクリアし、かつ OCPT ビットを 1 にセットする必要があります。

図 74. ピクセル・クロックを間引く方法



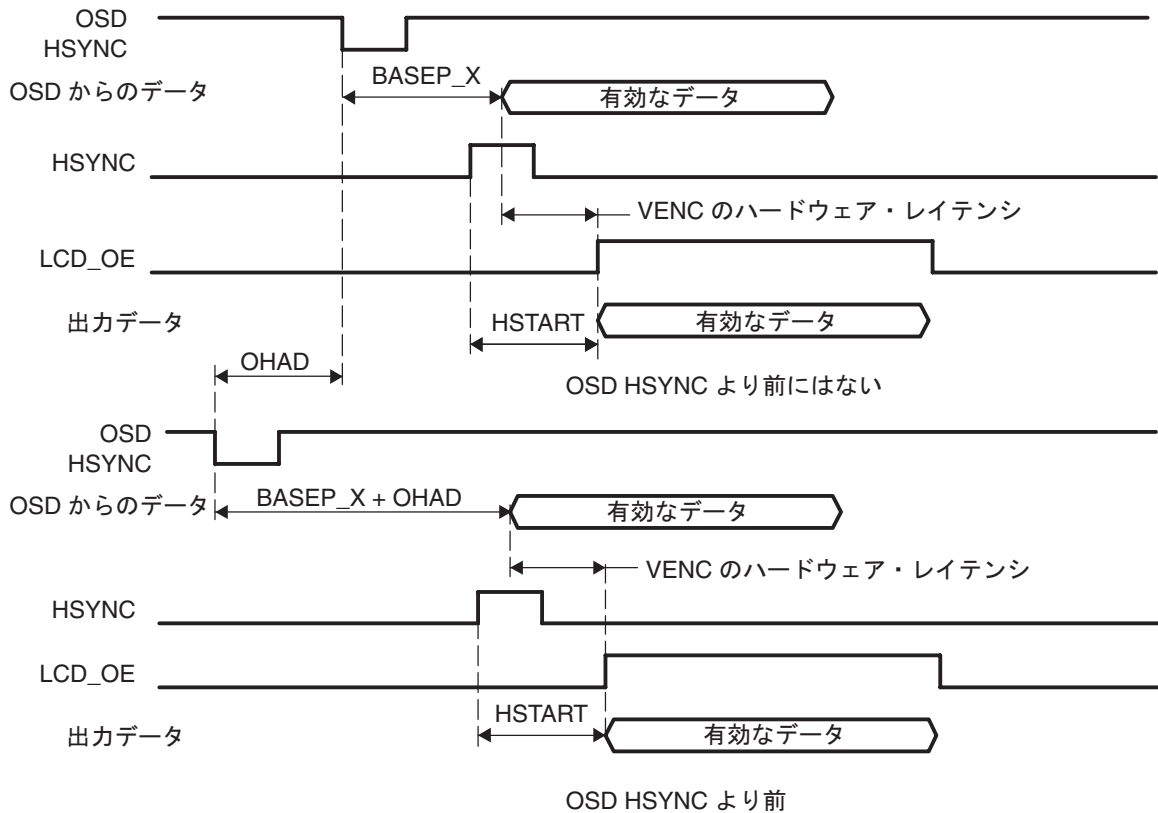
4.5.3 OSD の同期制御

4.5.3.1 拡張水平同期

VENC は、同期信号を OSD モジュールに供給します。水平同期タイミングは VENC ハードウェアにより制御されるので、HSTART と BASEP_X (OSD レジスタ) が同じ値の場合 (OSD CLK がゲート制御なしで VENC CLK 自体にセットされる場合)、水平方向のデータ開始位置は VENC と OSD との間でアラインされます。水平同期タイミングは、OSDHADV.OHAD により先へ進みます。アサーション・タイミングはオリジナルのタイミングより前の 0 ~ 127 VENC CLK になります。この機能は、SDRAM 帯域の制限により、OSD には十分なマージンが用意されていないため、指定した BASEP_X 値の中に最初のデータが準備できない場合に役立ちます。このような場合、ユーザーが OSD 水平同期を先にすると、OSD が最初のデータを準備するためのレイテンシが緩和されます。図 75 に、OSD の水平同期拡張機能を示します。

OSD 同期信号はアクティブ Low であることに注意してください。

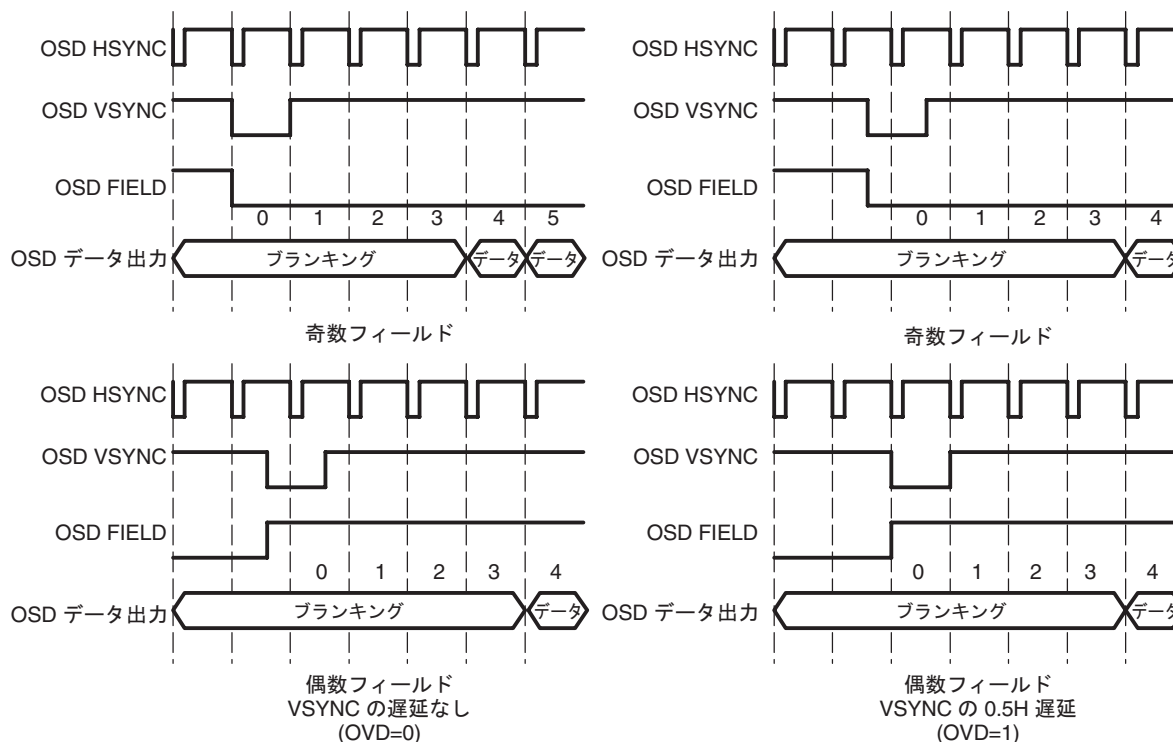
図 75. OSD HSYNC の拡張機能



4.5.3.2 0.5H 遅延垂直同期

OSD の垂直同期アサーションを 0.5H 遅延させるには、SYNCCTL.OVD を 1 にセットします。これにより、奇数フィールドの OSD データ開始ラインは変更されます。その違いを図 76 に示します。PAL の場合、OVD は自動的に 1 にセットされます。

図 76. OSD VSYNC の 0.5H 遅延



4.5.4 フィールド ID モニター

ユーザーは、現在のフィールド ID の状態を VSTAT.FIDST からリードできます。このビットからわかるフィールドの状態は、OSD モジュールに供給されるフィールド ID です。

4.5.5 割り込み

VENC は VSYNC アサーションごとに割り込みをアサートします。OSD モジュールが VENC から垂直同期パルスを受け取ると、その内部コンフィギュレーション・レジスタを更新します。割り込みアサーションは、このレジスタの更新にただちに従います。

5 プログラミング・モデル

5.1 典型的なコンフィギュレーション用のセットアップ

VPBE の典型的なコンフィギュレーションは、マスタ・モードの標準モード・タイミングで、内蔵のビデオ DAC を介してアナログ NTSC/PAL SDTV 出力をサポートし、さらに内蔵のビデオ DAC が標準モード・タイミングをサポートしている場合にはデジタル LCD ディスプレイ・デバイスをサポートできます。

5.2 VPBE サブシステムのリセット

VPSS サブシステム全体 (VPFE と VPBE) は、パワー・スリープ・コントローラ (PSC) を介してリセットされます。

5.3 クロックと制御信号の設定

VPBE/VENC クロックは、指定されたディスプレイ・モードで適切に動作させるため必ず設定する必要があります。詳細については、3.1.1 項を参照してください。また、外部クロック (VPBECLK) は高品位ビデオ・エンコーダを駆動する場合に適切なデジタル・データの HDTV (720p/1080i) 出力レートをサポートするために必要です。

VENC をプログラムまたはイネーブルする前に、レジスタへのライトを介してハードウェアを適切に構成しておく必要があります。表 60 に、VPBE グローバル・レジスタを示します。ここに示す要件に取り組む際には、OSD/VENC モジュールをプログラムする前に注意が必要です。

表 60. ハードウェア・セットアップ用の VPBE グローバル・レジスタ

レジスタ・フィールド	説明	注釈
PID.TID	ペリフェラルの識別	リードのみ
PID.CID	クラスの識別	リードのみ
PID.PREV	ペリフェラルのリビジョン番号	リードのみ
PCR.VENC_DIV	ビデオ・エンコーダのクロック分周	54 MHz DAC モードが使用されている場合、クロック分周をイネーブルします。
PCR.CLK_OFF	電力の節約のために VPBE クロックのゲート制御	その他の OSD または VENC レジスタにアクセスする前にクロックをイネーブルします。

5.4 オンスクリーン・ディスプレイ (OSD) のプログラミング

ここでは、オンスクリーン・ディスプレイ (OSD) モジュールのソフトウェア制御に関する問題について説明します。各種モードでプログラムが必要なレジスタ、OSD ウィンドウのディスプレイをイネーブル/ディスエーブルする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.4.1 ハードウェアのセットアップ/初期化

ここでは、モジュールを使用する前に必要な OSD のコンフィギュレーションについて説明します。この初期化に加え、DM643x DMP がディスプレイ出力を生成する前に、OSD モジュールも VENC モジュールをイネーブルする前に設定し、イネーブルしておく必要があることに注意してください。

5.4.1.1 リセット動作

VPSS のハードウェア・リセットによって、OSD のすべてのレジスタがそのリセット値に初期化されます。ただし、OSD RAM のカラー・ルックアップ・テーブルは内部 RAM に格納されているので、その内容にはリセット値が含まれていません。リセットがチップレベルのパワーオン・リセット (電源引加後にリセット) の場合、これらのテーブルの内容は不明です。リセットが VPSS モジュール・リセットの場合 (電源がアクティブ状態のままの場合)、RAM CLUT の内容はリセット前と同じ内容を保持しています。

オンスクリーン・ディスプレイ (OSD) のプログラミング

5.4.1.2 ハードウェアのセットアップ

OSD をイネーブルする前に、レジスタへのライトを介してハードウェアを適切に設定しておく必要があります。表 61 に、OSD をイネーブルする前にプログラムが必要なレジスタのパラメータを示します。デフォルトの設定は適切な値を示している場合があるので、記載されているすべてのレジスタ/フィールドへの明示的なレジスタのライトが必要とは限りません。ことに注意してください。

表 61. OSD ハードウェアのセットアップ

機能	必要なコンフィギュレーション	説明
グローバル・コンフィギュレーション	MODE.CS	CB/CY の順序
	MODE.FSINV	フィールド信号の反転
	MODE.VVRSZ	ビデオ・ウィンドウの垂直方向へ 9/8 リサイズ
	MODE.VHRSZ	ビデオ・ウィンドウの水平方向へ 6/5 リサイズ
	MODE.OVRSZ	ビットマップ・ウィンドウの垂直方向へ 9/8 リサイズ
	MODE.OHRSZ	ビットマップ・ウィンドウの水平方向へ 6/5 リサイズ
バックグラウンド・カラー	MODE.BCLUT	バックグラウンド CLUT (ROM/RAM)
	MODE.CABG	バックグラウンド・カラー
OSD ディスプレイ・フレーム	BASEPX	ベース・ピクセル X
	BASEPY	ベース・ピクセル Y
ROM CLUT	MISCCTL.RSEL	ROM CLUT の選択
RGB565 の透過性	TRANSPVAL.RGBTRANS	RGB565 の透過性値

5.4.1.3 カラー・ルックアップ・テーブルのセットアップ

ユーザー定義 RAM カラー・ルックアップ・テーブル (CLUT) を使用するときには事前にプログラムしておく必要があります。詳細については、4.3.5.1 項を参照してください。

5.4.1.4 ウィンドウのセットアップ

個々のウィンドウが表示される前に、DDR2 の適切なデータが使用できる状態になっていて、適切なウィンドウ設定が行われている必要があります。データ・フォーマットは前述したとおりです。またウィンドウ・コンフィギュレーション設定は表 62 に示します。

表 62. OSD ウィンドウのコンフィギュレーション

機能	コンフィギュレーション・オプション
すべてのウィンドウ	BASEPX/Y に相対的な位置のオフセット ウィンドウのディスプレイ・サイズ DDR2 データ・ポインタ DDR2 オフセット (データ・ラインごとに 32 バイトのインクリメント時のサイズ) フィールド/フレームの設定 水平/垂直ズーム比
ビデオ・ウィンドウ	拡張フィルタの係数設定 ウィンドウ・ディスプレイ・データ (つまり、MISCCTL の 24 ビットの RGB データ (使用した場合)) ピンポン設定 (ビデオ・ウィンドウ 0 のみ)
ビットマップ・ウィンドウ	YUV アtteネーションのイネーブル

表 62. OSD ウィンドウのコンフィギュレーション (続き)

機能	コンフィギュレーション・オプション
	RGB565 ディスプレイ・モード (1つのウィンドウのみ) CLUT の選択 (ROM/RAM) ビットマップ・データの幅 (1、2、4、8のいずれか) ビット深度が8ビット未満の場合の CLUT マッピング ブレンド比 透過性のイネーブル
アトリビュート・ウィンドウ	ブリンキング (オン/オフ) ブリンク・レート
カーソル・ウィンドウ	サイズ 厚さ カラー

5.4.2 ハードウェアのイネーブル/ディスエーブル

注: VENC をイネーブルする (VMOD.VENC = 1) 前に、OSD ウィンドウをイネーブルしておいてください。

OSD にはハードウェアをイネーブル/ディスエーブルする機能はありませんが、ウィンドウごとに別々のディスプレイをイネーブル/ディスエーブルする機能があります (表 63)。

表 63. OSD ウィンドウのイネーブル/ディスエーブル

ウィンドウ	ディスプレイのイネーブル
ビデオ・ウィンドウ 0	VIDWINMD.ACT0
ビデオ・ウィンドウ 1	VIDWINMD.ACT1
ビットマップ・ウィンドウ 0	OSDWIN0MD.OACT0
ビットマップ・ウィンドウ 1	OSDWIN1MD.OACT1
アトリビュート・ウィンドウ	機能なし - 属性モードの場合は常にアクティブ
カーソル・ウィンドウ	RECTCUR.RCACT

5.4.3 イベントとステータスのチェック

VPBE はフレーム同期割り込みを生成します。この割り込みは、フレームに依存したレジスタの値を更新するトリガーとして使用されます。OSD は CLUT のライトが保留されていることを示す以外には、イベントもステータスも生成しません。

5.4.4 フレーム・ディスプレイ時のレジスタ・アクセシビリティ

一部のレジスタ/フィールドはフレーム・ディスプレイ時にシャドウイングされ、次のフレーム周期までそのロケーションへライトしても適用されません。このようなレジスタ/フィールドを表 64 に示します。

表 64. OSD ウィンドウのレジスタ/フィールドのシャドウイング

レジスタ・フィールド	説明
MODE.CS	Cb/Cr または Cr/Cb フォーマット
MODE.OVRSZ	OSD ウィンドウの垂直拡張のイネーブル
MODE.OHRSZ	OSD ウィンドウの水平拡張のイネーブル
MODE.EF ⁽¹⁾	拡張フィルタのイネーブル
MODE.VVRSZ ⁽¹⁾	ビデオ・ウィンドウの垂直拡張のイネーブル
MODE.VHRSZ ⁽¹⁾	ビデオ・ウィンドウの水平拡張のイネーブル
MODE.FSINV ⁽¹⁾	フィールド信号の反転
MODE.BCLUT ⁽¹⁾	バックグラウンド CLUT の選択
MODE.CABG	バックグラウンド・カラー CLUT
VIDWINMD.V1EFC	ビデオ・ウィンドウ 1 拡張フィルタ係数
VIDWINMD.VHZ1 ⁽¹⁾	ビデオ・ウィンドウ 1 水平方向ズーム
VIDWINMD.VVZ1 ⁽¹⁾	ビデオ・ウィンドウ 1 垂直方向ズーム
VIDWINMD.VFF1 ⁽¹⁾	ビデオ・ウィンドウ 1 ディスプレイ・モード
VIDWINMD.ACT1 ⁽¹⁾	ビデオ・ウィンドウ 1 イメージ・ディスプレイのオン/オフをセット
VIDWINMD.V0EFC	ビデオ・ウィンドウ 0 拡張フィルタ係数
VIDWINMD.VHZ0 ⁽¹⁾	ビデオ・ウィンドウ 0 水平方向ズーム
VIDWINMD.VVZ0 ⁽¹⁾	ビデオ・ウィンドウ 0 垂直方向ズーム
VIDWINMD.VFF0 ⁽¹⁾	ビデオ・ウィンドウ 0 ディスプレイ・モード
VIDWINMD.ACT0 ⁽¹⁾	ビデオ・ウィンドウ 0 イメージ・ディスプレイのオン/オフをセット
OSDWIN0MD.RGB0E	OSD ウィンドウ 0 の RGB 入力イネーブル
OSDWIN0MD.CLUTS0 ⁽¹⁾	OSD ウィンドウ 0 の CLUT 選択
OSDWIN0MD.OHZ0 ⁽¹⁾	OSD ウィンドウ 0 水平ズーム
OSDWIN0MD.OVZ0 ⁽¹⁾	OSD ウィンドウ 0 垂直ズーム
OSDWIN0MD.BMW0 ⁽¹⁾	OSD ウィンドウ 0 のビットマップ・ビット幅
OSDWIN0MD.BLND0 ⁽¹⁾	OSD ウィンドウ 0 のブレンディング比
OSDWIN0MD.TE0 ⁽¹⁾	OSD ウィンドウ 0 の透過性のイネーブル
OSDWIN0MD.OFF0 ⁽¹⁾	OSD ウィンドウ 0 ディスプレイ・モード
OSDWIN0MD.OACT0 ⁽¹⁾	OSD ウィンドウ 0 のアクティブ (ディスプレイされる)
OSDWIN1MD.OASW ⁽¹⁾	OSD ウィンドウ 1 の属性モードのイネーブル
OSDWIN1MD.RGB1E	OSD ウィンドウ 1 の RGB 入力イネーブル
OSDWIN1MD.CLUTS1	OSD ウィンドウ 1 の CLUT 選択
OSDWIN1MD.OHZ1 ⁽¹⁾	OSD ウィンドウ 1 水平ズーム

(1) このレジスタ/フィールドはフレーム・ディスプレイ時にシャドウイングされ、次のフレーム周期までそのロケーションへライトしても適用されません。

表 64. OSD ウィンドウのレジスタ/フィールドのシャドウイング (続き)

レジスタ・フィールド	説明
OSDWIN1MD.OVZ1 ⁽¹⁾	OSD ウィンドウ 1 垂直ズーム
OSDWIN1MD.BMW1 ⁽¹⁾	OSD ウィンドウ 1 のビットマップ・ビット幅
OSDWIN1MD.BLND1 ⁽¹⁾	OSD ウィンドウ 1 のブレンドング比
OSDWIN1MD.TE1 ⁽¹⁾	OSD ウィンドウ 1 の透過性のイネーブル
OSDWIN1MD.OFF1 ⁽¹⁾	OSD ウィンドウ 1 のディスプレイ・モード
OSDWIN1MD.OACT1 ⁽¹⁾	OSD ウィンドウ 1 のアクティブ (ディスプレイされる)
OSDATRMD.OASW ⁽¹⁾	OSD ウィンドウ 1 の属性モードのイネーブル
OSDATRMD.OHZA ⁽¹⁾	OSD アトリビュート・ウィンドウ水平ズーム
OSDATRMD.OVZA ⁽¹⁾	OSD ウィンドウ 0 またはアトリビュート・ウィンドウ垂直ズーム
OSDATRMD.BLNKINT ⁽¹⁾	ブリンクング間隔
OSDATRMD.OFFA ⁽¹⁾	OSD アトリビュート・ウィンドウのディスプレイ・モード
OSDATRMD.BLNK ⁽¹⁾	OSD アトリビュート・ウィンドウのブリンクのイネーブル
RECTCUR.RCAD	矩形カーソルのカラー・パレットのアドレス
RECTCUR.CLUTSR ⁽¹⁾	CLUT の選択
RECTCUR.RCHW ⁽¹⁾	矩形カーソルの水平ラインの幅
RECTCUR.RCVW ⁽¹⁾	矩形カーソルの垂直ラインの幅
RECTCUR.RCACT ⁽¹⁾	矩形カーソルのアクティブ (ディスプレイされる)
VIDWIN0OFST.V0LO ⁽¹⁾	ビデオ・ウィンドウ 0 のライン・オフセット
VIDWIN1OFST.V1LO ⁽¹⁾	ビデオ・ウィンドウ 1 のライン・オフセット
OSDWIN0OFST.O0LO ⁽¹⁾	OSD ウィンドウ 0 のライン・オフセット
OSDWIN1OFST.O1LO ⁽¹⁾	OSD ウィンドウ 1 のライン・オフセット
VIDWIN0ADR.VIDWIN0ADR ⁽¹⁾	ビデオ・ウィンドウ 0 の SDRAM ソース・アドレス
VIDWIN1ADR.VIDWIN1ADR ⁽¹⁾	ビデオ・ウィンドウ 1 の SDRAM ソース・アドレス
OSDWIN0ADR.OSDWIN0ADR ⁽¹⁾	OSD ウィンドウ 0 の SDRAM ソース・アドレス
OSDWIN1ADR.OSDWIN1ADR ⁽¹⁾	OSD ウィンドウ 1 の SDRAM ソース・アドレス
BASEPX.BPX ⁽¹⁾	X のベース・ピクセル
BASEPY.BPY ⁽¹⁾	Y のベース・ピクセル (ライン)
VIDWIN0XP.V0X ⁽¹⁾	ビデオ・ウィンドウ 0 の X の位置
VIDWIN0YP.V0Y ⁽¹⁾	ビデオ・ウィンドウ 0 の Y の位置
VIDWIN0XL.V0W ⁽¹⁾	ビデオ・ウィンドウ 0 の X の幅
VIDWIN0YL.V0H ⁽¹⁾	ビデオ・ウィンドウ 0 の Y の高さ
VIDWIN1XP.V1X ⁽¹⁾	ビデオ・ウィンドウ 1 の X の位置
VIDWIN1YP.V1Y ⁽¹⁾	ビデオ・ウィンドウ 1 の Y の位置
VIDWIN1XL.V1W ⁽¹⁾	ビデオ・ウィンドウ 1 の X の幅
VIDWIN1YL.V1H ⁽¹⁾	ビデオ・ウィンドウ 1 の Y の高さ

(1) このレジスタ/フィールドはフレーム・ディスプレイ時にシャドウイングされ、次のフレーム周期までそのロケーションへライトしても適用されません。

表 64. OSD ウィンドウのレジスタ/フィールドのシャドウイング (続き)

レジスタ・フィールド	説明
OSDWIN0XP.W0X ⁽¹⁾	OSD ウィンドウ 0 の X の位置
OSDWIN0YP.W0Y ⁽¹⁾	OSD ウィンドウ 0 の Y の位置
OSDWIN0XL.W0W ⁽¹⁾	OSD ウィンドウ 0 の X の幅
OSDWIN0YL.W0H ⁽¹⁾	OSD ウィンドウ 0 の Y の高さ
OSDWIN1XP.W1X ⁽¹⁾	OSD ウィンドウ 1 の X の位置
OSDWIN1YP.W1Y ⁽¹⁾	OSD ウィンドウ 1 の Y の位置
OSDWIN1XL.W1W ⁽¹⁾	OSD ウィンドウ 1 の X の幅
OSDWIN1YL.W1H ⁽¹⁾	OSD ウィンドウ 1 の Y の高さ
CURXP.RCSX ⁽¹⁾	矩形カーソル・ウィンドウの X の位置
CURYP.RCSY ⁽¹⁾	矩形カーソル・ウィンドウの Y の位置
CURXL.RCSW ⁽¹⁾	矩形カーソル・ウィンドウの X の幅
CURYL.RCSH ⁽¹⁾	矩形カーソル・ウィンドウの Y の高さ
W0BMP01.PAL01	ビットマップ値 [1,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP01.PAL00	ビットマップ値 [0,0,0] のパレット・アドレス - OSD ウィンドウ 0
W0BMP23.PAL03	ビットマップ値 [3,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP23.PAL02	ビットマップ値 [2,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP45.PAL05	ビットマップ値 [5,1,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP45.PAL04	ビットマップ値 [4,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP67.PAL07	ビットマップ値 [7,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP67.PAL06	ビットマップ値 [6,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP89.PAL09	ビットマップ値 [9,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMP89.PAL08	ビットマップ値 [8,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMPAB.PAL11	ビットマップ値 [B,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMPAB.PAL10	ビットマップ値 [A,2,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMPCD.PAL13	ビットマップ値 [D,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMPCD.PAL12	ビットマップ値 [C,x,x] のパレット・アドレス - OSD ウィンドウ 0
W0BMPEF.PAL15	ビットマップ値 [F,3,1] のパレット・アドレス - OSD ウィンドウ 0
W0BMPEF.PAL14	ビットマップ値 [E,x,x] のパレット・アドレス - OSD ウィンドウ 0
W1BMP01.PAL01	ビットマップ値 [1,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP01.PAL00	ビットマップ値 [0,0,0] のパレット・アドレス - OSD ウィンドウ 1
W1BMP23.PAL03	ビットマップ値 [3,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP23.PAL02	ビットマップ値 [2,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP45.PAL05	ビットマップ値 [5,1,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP45.PAL04	ビットマップ値 [4,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP67.PAL07	ビットマップ値 [7,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP67.PAL06	ビットマップ値 [6,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMP89.PAL09	ビットマップ値 [9,x,x] のパレット・アドレス - OSD ウィンドウ 1

(1) このレジスタ/フィールドはフレーム・ディスプレイ時にシャドウイングされ、次のフレーム周期までそのロケーションへライトしても適用されません。

表 64. OSD ウィンドウのレジスタ/フィールドのシャドウイング (続き)

レジスタ・フィールド	説明
W1BMP89.PAL08	ビットマップ値 [8,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMPAB.PAL11	ビットマップ値 [B,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMPAB.PAL10	ビットマップ値 [A,2,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMPCD.PAL13	ビットマップ値 [D,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMPCD.PAL12	ビットマップ値 [C,x,x] のパレット・アドレス - OSD ウィンドウ 1
W1BMPEF.PAL15	ビットマップ値 [F,3,1] のパレット・アドレス - OSD ウィンドウ 1
W1BMPEF.PAL14	ビットマップ値 [E,x,x] のパレット・アドレス - OSD ウィンドウ 1
MISCCTL.VFINV	ビデオ・ウィンドウ 0/1 拡張フィルタ係数の反転
MISCCTL.ATN0E	REC601 用のアッテネーションのイネーブル
MISCCTL.ATN1E	REC601 用のアッテネーションのイネーブル
MISCCTL.RGBEN	ビデオ・ウィンドウの RGB モードのイネーブル
MISCCTL.RGBWIN	RGB モードで使用するビデオ・ウィンドウ
MISCCTL.RSEL	CLUT ROM の選択
MISCCTL.CPBSY	CLUT ライトのビジー
MISCCTL.PPSW	ピンポン・バッファ切り替えの選択
MISCCTL.PPRV	ピンポン・バッファの反転
CLUTRAMYCB.Y	内蔵 CLUT RAM へのデータ (Y) のライト
CLUTRAMYCB.CB	内蔵 CLUT RAM へのデータ (Cb) のライト
CLUTRAMCR.CR	内蔵 CLUT RAM へのデータ (Cr) のライト
CLUTRAMCR.CADDR	CLUT のライト・パレット・アドレス
TRANSPVAL.RGBTRANS	RGB565 入力モードの OSD ウィンドウの透過性値
PPVWIN0ADR.PPVWIN0ADR ⁽¹⁾	ピンポン・ビデオ・ウィンドウ 0 アドレス

(1) このレジスタ/フィールドはフレーム・ディスプレイ時にシャドウイングされ、次のフレーム周期までそのロケーションへライトしても適用されません。

5.4.5 制約事項の要約

OSD モジュールには、以下の制限があります。

- OSD ウィンドウと VIDWIN1 は両方とも VIDWIN0 内部に完全に包含されている必要があります。これは、OSD ウィンドウまたは VIDWIN1 のいずれかの Y と X の位置は両方とも VIDWIN0 の Y と X の位置より大きくなる（等しくはない）ということです。
- 垂直リサイズ・フィルタがビデオ・ウィンドウのいずれかでイネーブルの場合、最大の水平サイズは現在 720 ラインを超えることはできません。これは、ライン・メモリ・サイズの制限によるものです。
- CLUT ROM を両方とも同時に使用することはできません。ただし、2 つのウィンドウがそれぞれ RAM を使用したり、ROM を選択したりすることはできます。
- 24 ビットの RGB 入力モードは、(プログラム可能な)2 つのビデオ・ウィンドウのいずれかでのみ有効で、OSD ウィンドウには適用されません。

5.5 VENC のプログラミング

ここでは、VENC モジュール (ビデオ・エンコーダ/デジタル LCD コントローラ) のソフトウェア制御に関する問題について説明します。各種モードでプログラムが必要なレジスタ、VENC をイネーブル/ディスエーブルする方法を示し、各種レジスタのアクセス・タイプについて説明し、さまざまなプログラミング上の制約事項についても列挙します。

5.5.1 ハードウェアのセットアップ/初期化

ここでは、VENC モジュールを使用する前に必要なコンフィギュレーションについて説明します。この初期化に加え、DM643x DMP がディスプレイ出力を生成する前に、OSD モジュールも VENC モジュールをイネーブルする前に設定し、イネーブルしておく必要があることに注意してください。

5.5.1.1 リセット動作

VPSS のハードウェア・リセットによっては、VENC のすべてのレジスタはそのリセット値にリセットされます。リセットがチップレベルのパワーオン・リセット (電源引加後にリセット) の場合、RAM テーブルの内容は不明です。リセットが VPSS モジュール・リセットの場合 (電源がアクティブ状態のままの場合) RAM テーブルの内容はリセット前と同じ内容を保持しています。

5.5.1.2 ハードウェア・セットアップ

VENC をイネーブルする前に、レジスタへのライトを介してハードウェアを適切にコンフィギュレーションしておく必要があります。基本的に、VENC プログラミングのすべては、ハードウェア・セットアップに関連しています。そのため、目的のディスプレイ動作条件がセットされれば、CPU の介入はほとんど、あるいはまったく必要ありません。表 65 に、使用可能なディスプレイ・モードに影響を与えるレジスタ/フィールドを示します。

アナログ出力は標準 (NTSC/PAL) タイミング・モードでのみ使用可能で、デジタル出力はいずれのモードでも使用できることに注意してください。したがって、デジタル・ディスプレイ・デバイスが標準タイミング・モードをサポートしている場合、アナログ出力とデジタル出力は必要に応じて同時に使用することもできます。

表 65. ハードウェア・セットアップ用の VPBE グローバル・レジスタ⁽¹⁾

レジスタ・フィールド	説明	アナログ SDTV	アナログ EDTV	YCC16	YCC8	パラレル RGB
VMOD.VDMD	デジタル・ビデオの出力モード					
VMOD.ITLCL	ノンインターレース・ライン番号の選択	0				
VMOD.ITLC	インターレース・スキャン・モードのイネーブル	0				
VMOD.NSIT	非標準インターレース・モード			0	0	0
VMOD.HDMD	HDTV モード		R			
VMOD.TVTYP	TV フォーマット・タイプの選択	モードのセット				
VMOD.SLAVE	マスタ/スレーブの選択	M/S		マスタまたはスレーブ		
VMOD.VMD	ビデオのタイミング	標準		標準または非標準		
VMOD.BLNK	ブランキングのイネーブル	0	0			
VMOD.VIE	コンポジット・アナログ出力のイネーブル	0				
VMOD.VENC	ビデオ・エンコーダのイネーブル	R	R			
VIDCTL.VCLKP	VCLK 出力極性			0	0	0
VIDCTL.VCLKE	VCLK 出力のイネーブル			R	R	R
VIDCTL.VCLKZ	VCLK ピン出力のイネーブル			R	R	R
VIDCTL.SYDIR	水平/垂直同期ピンの入出力 (I/O) 制御			マスタ・モードでイネーブル		
VIDCTL.DOMD	デジタル・データの出力モード			R	R	R
VIDCTL.YCSWAP	YOUT/COUT ピンのスワップ			0	0	
VIDCTL.YCOL	YOUT/COUT ピンの出力レベル			0	0	
VDPRO.PFLTC	C プリフィルタの選択			0	0	
VDPRO.PFLTY	Y プリフィルタの選択			0	0	
VDPRO.PFLTR	プリフィルタのサンプリング周波数			0	0	
VDPRO.CBTYP	カラー・バーのタイプ	0	0			
VDPRO.CBMD	カラー・バーのモード	0	0			
VDPRO.ATRGB	RGB 用の入力ビデオのアッテネーション制御					0
VDPRO.ATYCC	YCbCr 用の入力ビデオのアッテネーション制御			0	0	
VDPRO.ATCOM	コンポジット用の入力ビデオのアッテネーション制御	0				
VDPRO.DAFRQ	DAC 動作周波数		R			
VDPRO.DAUPS	DAC の 2 倍のアップサンプリングのイネーブル		0			
VDPRO.CUPS	C 信号のアップサンプリングのイネーブル	0	R			
VDPRO.YUPS	Y 信号のアップサンプリングのイネーブル	0	R			
SYNCCTL.OVD	OSD vsync の遅延	0	0			
SYNCCTL.EXFMD	外部フィールド検出モード			SL	SL	SL
SYNCCTL.EXFIV	外部フィールド入力反転			SL	SL	SL
SYNCCTL.EXSYNC	外部同期の選択			SL	SL	SL
SYNCCTL.EXVIV	外部垂直同期の入力極性			SL	SL	SL

(1) R = 必須、0 = オプション、M = マスタ・モード、SL = スレーブ・モード、r = リードのみのステータス

表 65. ハードウェア・セットアップ用の VPBE グローバル・レジスタ⁽¹⁾ (続き)

レジスタ・フィールド	説明	アナログ SDTV	アナログ EDTV	YCC16	YCC8	パラレル RGB
SYNCCTL.EXHIV	外部水平同期の入力極性			SL	SL	SL
SYNCCTL.CSP	コンポジット信号の出力極性			SL	SL	SL
SYNCCTL.CSE	コンポジット信号出力のイネーブル			SL	SL	SL
SYNCCTL.SYSW	出力同期の選択			SL	SL	SL
SYNCCTL.VSYNCS	垂直同期の出力信号			SL	SL	SL
SYNCCTL.VPL	垂直同期出力極性			SL	SL	SL
SYNCCTL.HPL	水平同期出力極性			SL	SL	SL
SYNCCTL.SYEV	垂直同期出力のイネーブル			SL	SL	SL
SYNCCTL.SYEH	水平同期出力のイネーブル			SL	SL	SL
HSPLS.HSPLS	水平同期パルス幅 (ENC クロック数)	M	M	M	M	M
VSPLS.VSPLS	垂直同期パルス幅 (ENC クロック数)	M	M	M	M	M
HINT.HINT	水平間隔 (ENC クロック数)	M	M	M	M	M
HSTART.HSTART	水平方向の有効なデータ開始位置	M	M	M	M	M
HVALID.HVALID	水平方向の有効なデータ範囲	M	M	M	M	M
VINT.VINT	垂直間隔 (ライン数)	M	M	M	M	M
VSTART.VSTART	垂直方向の有効なデータ開始位置	M	M	M	M	M
VVALID.VVALID	垂直方向の有効なデータ範囲	M	M	M	M	M
HSDLY.HSDLY	水平同期信号の出力遅延	M	M	M	M	M
VSDLY.VSDLY	垂直同期信号の出力遅延	M	M	M	M	M
YCCCTL.CHM	色差出力モード			O	O	
YCCCTL.YCP	YC 出力順序			O	O	
YCCCTL.R656	REC656 モード (標準モード・タイミングのみ)				O	
RGBCTL.DFLTR	RGB LPF サンプル周波数					O
RGBCTL.DFLTS	RGB LPF の選択					O
RGBCLP.UCLIP	RGB 出力の上位クリップ・レベル					O
RGBCLP.OFST	RGB 出力のオフセット・レベル					O
LINECTL.VSTF	垂直方向の有効なデータ開始位置フィールド・モード					
LINECTL.VCLID	垂直カリング・ライン位置					
LINECTL.VCLRDR	垂直カリング・カウンタ・リセット・モード					
LINECTL.VCL56	デジタル出力の垂直カリング					
LINECTL.HLDF	デジタル出力のフィールド保持					
LINECTL.HLDL	デジタル出力のライン保持					
LINECTL.LINID	偶数フィールドの開始ライン ID 制御					
LINECTL.DCKCLP	カリング・ライン ID による DCLK パターン切り替え					
LINECTL.DCKCLI	カリング・ライン ID による DCLK 極性反転					

(1) R = 必須、O = オプション、M = マスタ・モード、SL = スレーブ・モード、r = リードのみのステータス

表 65. ハードウェア・セットアップ用の VPBE グローバル・レジスタ⁽¹⁾ (続き)

レジスタ・フィールド	説明	アナログ SDTV	アナログ EDTV	YCC16	YCC8	パラレル RGB
LINECTL.RGBCL	カリング・ライン ID による RGB 出力順序 切り替え					
CULLLINE.CLOF	カリング・ライン ID 切り替え位置 (奇数 フィールド)					
CULLLINE.CLEF	カリング・ライン ID 切り替え位置 (偶数 フィールド)					
CULLLINE.CULI	カリング・ライン ID 反転間隔					
LCDOUT.FIDS	出力信号の選択					O
LCDOUT.FIDP	フィールド ID 出力極性					O
LCDOUT.PWMP	PWM 出力パルス極性					O
LCDOUT.PWME	PWM 出力制御					O
LCDOUT.ACE	LCD_AC 出力制御					O
LCDOUT.BRP	BRIGHT 出力極性					O
LCDOUT.BRE	BRIGHT 出力制御					O
LCDOUT.OEP	LCD_OE 出力極性			O	O	O
LCDOUT.OEE	LCD_OE 出力制御			O	O	O
BRTS.BRTS	BRIGHT パルス開始位置					O
BRTW.BRTW	BRIGHT パルス幅					O
ACCTL.ACTF	LCD_AC 切り替え間隔					O
ACCTL.ACTH	LCD_AC 切り替え水平位置					O
PWMP.PWMP	PWM 出力周期					O
PWMW.PWMW	PWM 出力パルス幅					O
DCLKCTL.DCKIM	DCLK 内部モード					
DCLKCTL.DOFST	DCLK 出力オフセット					
DCLKCTL.DCKEC	DCLK パターン・モード					R
DCLKCTL.DCKME	DCLK マスク制御					
DCLKCTL.DCKOH	DCLK 出力分周					
DCLKCTL.DCKIH	DCLK 内部出力分周					
DCLKCTL.DCKPW	DCLK パターン有効ビット幅					R
DCLKPTN0.DCPTN0	DCLK パターン					R
DCLKPTN1.DCPTN1	DCLK パターン					R
DCLKPTN2.DCPTN2	DCLK パターン					R
DCLKPTN3.DCPTN3	DCLK パターン					R
DCLKPTN0A.DCPTN0A	DCLK パターン (補助)					
DCLKPTN1A.DCPTN1A	DCLK パターン (補助)					
DCLKPTN2A.DCPTN2A	DCLK パターン (補助)					
DCLKPTN3A.DCPTN3A	DCLK パターン (補助)					
DCLKHS.DCHS	水平 DCLK マスク開始位置					
DCLKHSA.DCHS	水平 DCLK (補助) マスク開始位置					

(1) R = 必須、O = オプション、M = マスタ・モード、SL = スレープ・モード、r = リードのみのステータス

表 65. ハードウェア・セットアップ用の VPBE グローバル・レジスタ⁽¹⁾ (続き)

レジスタ・フィールド	説明	アナログ SDTV	アナログ EDTV	YCC16	YCC8	パラレル RGB
DCLKHR.DCHR	水平 DCLK マスク範囲					
DCLKVS.DCVS	垂直 DCLK マスク開始位置					
DCLKVR.DCVR	垂直 DCLK マスク範囲					
CAPCTL.CADF	クローズド・キャプション・デフォルト・データ・レジスタ	0	0			
CAPCTL.CAPF	クローズド・キャプション・フィールドの選択	0	0			
CAPDO.CADO0	クローズド・キャプション・デフォルト・データ 0 (奇数フィールド)	0	0			
CAPDO.CADO1	クローズド・キャプション・デフォルト・データ 1 (奇数フィールド)	0	0			
CAPDE.CADE0	クローズド・キャプション・デフォルト・データ 0 (偶数フィールド)	0	0			
CAPDE.CADE1	クローズド・キャプション・デフォルト・データ 1 (偶数フィールド)	0	0			
ATR0.ATR0	ビデオ・アトリビュート・データ・レジスタ 0	0	0			
ATR1.ATR1	ビデオ・アトリビュート・データ・レジスタ 1	0	0			
ATR2.ATR2	ビデオ・アトリビュート・データ・レジスタ 2	0	0			
VSTAT.CAEST	クローズド・キャプション・ステータス (偶数フィールド)	r	r			
VSTAT.CAOST	クローズド・キャプション・ステータス (奇数フィールド)	r	r			
VSTAT.FIDST	フィールド ID モニタ	r	r	r	r	r
VSTAT.UDBAL	uDisplay 'バランス信号' モニタ					
VSTAT.UDFUL	uDisplay 'フル' 信号モニタ					
DACTST.DAPD3	DAC3 パワーダウン	0	0			
DACTST.DAPD2	DAC2 パワーダウン	0	0			
DACTST.DAPD1	DAC1 パワーダウン	0	0			
DACTST.DAPD0	DAC0 パワーダウン	0	0			
YCOLVL.YLVL	YOUT DC レベル			0	0	
YCOLVL.CLVL	COOUT DC レベル			0	0	
SCPROG.SCS	サブキャリア初期位相値	0	0			
CVBS.YCDLY	コンポジット信号の Y 信号の遅延調整	0				
CVBS.CVLVL	コンポジット・ビデオ・レベル (同期 / 白)	0				
CVBS.CSTUP	NTSC 出力のセットアップ・レベル	0				
CVBS.CBLS	ブランキング・シェイプのディスエーブル	0				
CVBS.CBBLD	コンポジット出力用のブランキング・ビルドアップ時間	0				
CVBS.CSBLD	コンポジット出力用の同期ビルドアップ時間	0				

(1) R = 必須、0 = オプション、M = マスタ・モード、SL = スレーブ・モード、r = リードのみのステータス

表 65. ハードウェア・セットアップ用の VPBE グローバル・レジスタ⁽¹⁾ (続き)

レジスタ・フィールド	説明	アナログ SDTV	アナログ EDTV	YCC16	YCC8	パラレル RGB
CMPNT.MRGB	コンポーネント出力用の RGB モードの選択		0			
CMPNT.MYDLY	コンポーネント・モードでの Y 信号の遅延調整		0			
CMPNT.MSYR	Pr (または R) での同期		0			
CMPNT.MSYB	Pb (または B) での同期		0			
CMPNT.MSYG	Y (または G) での同期		0			
CMPNT.MCLVL	コンポーネント YPbPr の色差レベル		0			
CMPNT.MYLVL	コンポーネント YPbPr の輝度レベル (同期 / 白)		0			
CMPNT.MSTUP	コンポーネント YPbPr のセットアップ		0			
CMPNT.MBLS	ブランキング・シェイプのディスエーブル		0			
CMPNT.MBBLD	コンポーネント出力用のブランキング・ビルドアップ時間		0			
CMPNT.MSBLD	コンポーネント出力用の同期ビルドアップ時間		0			
ETMG0.CEPW	コンポジット出力用のイコライジング・パルス幅オフセット	0				
ETMG0.CFSW	コンポジット出力用のフィールド同期パルス幅オフセット	0				
ETMG0.CLSW	コンポジット出力用のライン同期パルス幅オフセット	0				
ETMG1.CBSE	コンポジット出力用のバースト終了位置オフセット	0				
ETMG1.CBST	コンポジット出力用のバースト開始位置オフセット	0				
ETMG1.CFPW	コンポジット出力用のフロント・ポーチ位置オフセット	0				
ETMG1.CLBI	コンポジット出力用のライン・ブランキング終了位置オフセット	0				
ETMG2.MEPW	コンポーネント出力用のイコライジング・パルス幅オフセット		0			
ETMG2.MFSW	コンポーネント出力用のフィールド同期パルス幅オフセット		0			
ETMG2.MLSW	コンポーネント出力用のライン同期パルス幅オフセット		0			
ETMG3.CFPW	コンポーネント出力用のフロント・ポーチ位置オフセット		0			
ETMG3.CLBI	コンポーネント出力用のライン・ブランキング終了位置オフセット		0			
DACSEL.DA3S	DAC3 出力選択	R	R			
DACSEL.DA2S	DAC2 出力選択	R	R			
DACSEL.DA1S	DAC1 出力選択	R	R			
DACSEL.DA0S	DAC0 出力選択	R	R			

(1) R = 必須、0 = オプション、M = マスタ・モード、SL = スレープ・モード、r = リードのみのステータス

表 65. ハードウェア・セットアップ用の VPBE グローバル・レジスタ⁽¹⁾ (続き)

レジスタ・フィールド	説明	アナログ SDTV	アナログ EDTV	YCC16	YCC8	パラレル RGB
ARGBX0.AGY	アナログ RGB 出力用の YCbCr RGB マトリックス係数 GY		O			
ARGBX1.ARV	アナログ RGB 出力用の YCbCr RGB マトリックス係数 RV		O			
ARGBX2.AGU	アナログ RGB 出力用の YCbCr RGB マトリックス係数 GU		O			
ARGBX3.AGV	アナログ RGB 出力用の YCbCr RGB マトリックス係数 GV		O			
ARGBX4.ABU	アナログ RGB 出力用の YCbCr RGB マトリックス係数 BU		O			
DRGBX0.DGY	デジタル RGB 出力用の YCbCr RGB マトリックス係数 GY					R
DRGBX1.DRV	デジタル RGB 出力用の YCbCr RGB マトリックス係数 RV					R
DRGBX2.DGU	デジタル RGB 出力用の YCbCr RGB マトリックス係数 GU					R
DRGBX3.DGV	デジタル RGB 出力用の YCbCr RGB マトリックス係数 GV					R
DRGBX4.DBU	デジタル RGB 出力用の YCbCr RGB マトリックス係数 BU					R
VSTARTA.VSTARTA	偶数フィールド用の垂直方向の有効なデータ開始位置					
OSDCLK0.OCPW	OSD クロック・パターン・ビット幅		R			
OSDCLK1.OCPT	OSD クロック・パターン		R			
HVLDCLO.HCM	水平方向の有効なカリング・モード					
HVLDCLO.HCPW	水平方向の有効なカリング・パターン・ビット幅					
HVLDCLO.HCPT	水平方向のカリング・パターン					
OSDHADV.OHAD	OSD 水平同期の進行					

(1) R = 必須、O = オプション、M = マスタ・モード、SL = スレープ・モード、r = リードのみのステータス

5.5.2 ハードウェアのイネーブル/ディスエーブル

注: VENC をイネーブルする (VMOD.VENC = 1) 前に、OSD ウィンドウをイネーブルしておいてください。

VENC は複数のモジュールをイネーブルします (表 66 を参照)。

表 66. OSD ウィンドウのイネーブル/ディスエーブル

モジュール	ディスプレイのイネーブル
VPBE	VPBE.CLK_OFF
VENC	VMOD.VIE
コンボジット・アナログ出力	VMOD.VIE
デジタル出力	VIDCLT.DOMD

6 ビデオ・プロセッシング・バック・エンド (VPBE) レジスタ

ここでは、ビデオ・プロセッサ・バック・エンド (VPBE) のレジスタについて説明します。

6.1 VPBE グローバル・レジスタ

表 67 に、VPBE のグローバル・メモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 67. ビデオ・プロセッサ・バック・エンド (VPBE) のグローバル・レジスタ

オフセット	略称	レジスタの説明	参照先
2780h	PID	ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ	6.1.1 項
2784h	PCR	ペリフェラル・コントロール・レジスタ	6.1.2 項

6.1.1 ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 77 に示し、表 68 で説明します。

図 77. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

31	24	23	16
Reserved		TID	
R-0		R-BEh	
15	8	7	0
CID		PREV	
R-4h		R-0	

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

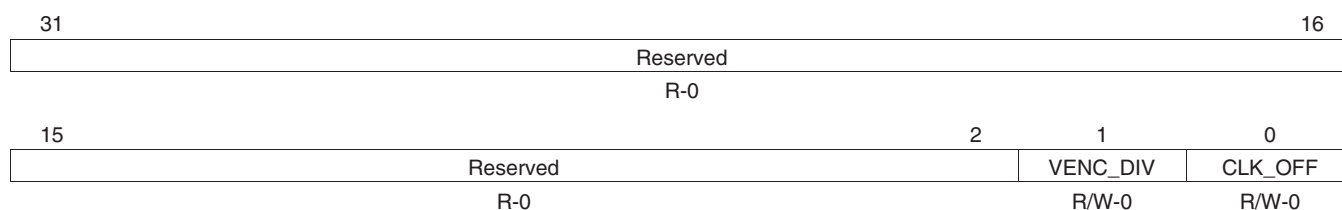
表 68. ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

ビット	フィールド	値	説明
31-24	Reserved	0	予約。
23-16	TID	0 ~ FFh BEh	ペリフェラルの識別。 VPBE モジュール。
15-8	CID	0 ~ FFh 4h	クラスの識別。
7-0	PREV	0 ~ FFh 0	ペリフェラルのリビジョン番号。 最初のリビジョン。

6.1.2 ペリフェラル・コントロール・レジスタ (PCR)

ペリフェラル・コントロール・レジスタ (PCR) を図 78 に示し、表 69 で説明します。

図 78. ペリフェラル・コントロール・レジスタ (PCR)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 69. ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

ビット	フィールド	値	説明
31-2	Reserved	0	予約。
1	VENC_DIV	0	ビデオ・エンコーダのクロック分周：クロック・コントローラ・レジスタをプログラムして DAC 用の 54 MHz のクロックを選択する場合、VENC_DIV フィールドの値を 1 にセットする必要があります。
		1	SYSTEM モジュールで選択されるビデオ・エンコーダ・クロックを使用します。
0	CLK_OFF	0	電力の節約のために VPBE クロックのゲート制御：VPBE が動作していない場合にのみ、このビットを 1 にセットします。VPBE 上で何らかの処理（他のレジスタのライトなど）を行うときは事前に、このビットを 0 にクリアします。
		1	通常動作（クロックはイネーブル）。
		1	クロックはディスエーブル。

6.2 ビデオ・エンコーダ/デジタルLCDサブシステム (VENC) レジスタ

表 70 に、ビデオ・エンコーダ/デジタルLCD (VENC) のメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。表 70 に記載のない他のレジスタ・オフセット・アドレスは、予約ロケーションと見なされ、レジスタの内容は変更されません。

表 70. ビデオ・エンコーダ/デジタルLCD (VENC) レジスタ

オフセット	略称	レジスタの説明	参照先
2400h	VMOD	ビデオ・モード・レジスタ	6.2.1 項
2404h	VIDCTL	ビデオ・インターフェイス I/O コントロール・レジスタ	6.2.2 項
2408h	VDPRO	ビデオ・データ・プロセッシング・レジスタ	6.2.3 項
240Ch	SYNCCTL	シンク・コントロール・レジスタ	6.2.4 項
2410h	HSPLS	水平同期・シンク・パルス・ワイズ・レジスタ	6.2.5 項
2414h	VSPLS	垂直同期・シンク・パルス・ワイズ・レジスタ	6.2.6 項
2418h	HINT	水平同期・インターバル・レジスタ	6.2.7 項
241Ch	HSTART	水平同期・バリッド・データ・スタート・ポジション・レジスタ	6.2.8 項
2420h	HVALID	水平同期・データ・バリッド・レンジ・レジスタ	6.2.9 項
2424h	VINT	垂直同期・インターバル・レジスタ	6.2.10 項
2428h	VSTART	垂直同期・バリッド・データ・スタート・ポジション・レジスタ	6.2.11 項
242Ch	VVALID	垂直同期・データ・バリッド・レンジ・レジスタ	6.2.12 項
2430h	HSDLY	水平同期・シンク・ディレイ・レジスタ	6.2.13 項
2434h	VSDLY	垂直同期・シンク・ディレイ・レジスタ	6.2.14 項
2438h	YCCTL	YCbCr コントロール・レジスタ	6.2.15 項
243Ch	RGBCTL	RGB コントロール・レジスタ	6.2.16 項
2440h	RGBCLP	RGB レベル・クリッピング・レジスタ	6.2.17 項
2444h	LINECTL	ライン・アイデンティフィケーション・コントロール・レジスタ	6.2.18 項
2448h	CULLLINE	カリング・ライン・コントロール・レジスタ	6.2.19 項
244Ch	LCDOUT	LCD アウトプット・シグナル・コントロール・レジスタ	6.2.20 項
2450h	BRTS	ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ	6.2.21 項
2454h	BRTW	ブライトネス・ワイズ・シグナル・コントロール・レジスタ	6.2.22 項
2458h	ACCTL	LCD_AC シグナル・コントロール・レジスタ	6.2.23 項
245Ch	PWMP	PWM スタート・ポジション・シグナル・コントロール・レジスタ	6.2.24 項
2460h	PWMW	PWM ワイズ・シグナル・コントロール・レジスタ	6.2.25 項
2464h	DCLKCTL	DCLK コントロール・レジスタ	6.2.26 項
2468h	DCLKPTN0	DCLK パターン 0 レジスタ	6.2.27 項
246Ch	DCLKPTN1	DCLK パターン 1 レジスタ	6.2.27 項
2470h	DCLKPTN2	DCLK パターン 2 レジスタ	6.2.27 項
2474h	DCLKPTN3	DCLK パターン 3 レジスタ	6.2.27 項
2478h	DCLKPTN0A	DCLK オグジリアリ・パターン 0 レジスタ	6.2.28 項
247Ch	DCLKPTN1A	DCLK オグジリアリ・パターン 1 レジスタ	6.2.28 項
2480h	DCLKPTN2A	DCLK オグジリアリ・パターン 2 レジスタ	6.2.28 項
2484h	DCLKPTN3A	DCLK オグジリアリ・パターン 3 レジスタ	6.2.28 項

表 70. ビデオ・エンコーダ / デジタル LCD (VENC) レジスタ (続き)

オフセット	略称	レジスタの説明	参照先
2488h	DCLKHS	水平 DCLK マスク・スタート・レジスタ	6.2.29 項
248Ch	DCLKHSA	水平・オグジリアリ DCLK マスク・スタート・レジスタ	6.2.30 項
2490h	DCLKHR	水平 DCLK マスク・レンジ・レジスタ	6.2.31 項
2494h	DCLKVS	パーティカル DCLK マスク・スタート・レジスタ	6.2.32 項
2498h	DCLKVR	パーティカル DCLK マスク・レンジ・レジスタ	6.3.33 項
249Ch	CAPCTL	キャプション・コントロール・レジスタ	6.2.34 項
24A0h	CAPDO	キャプション・データ・オッド・フィールド・レジスタ	6.2.35 項
24A4h	CAPDE	キャプション・データ・イブン・フィールド・レジスタ	6.2.36 項
24A8h	ATR0	ビデオ・アトリビュート・データ 0 レジスタ	6.2.37 項
24ACh	ATR1	ビデオ・アトリビュート・データ 1 レジスタ	6.2.38 項
24B0h	ATR2	ビデオ・アトリビュート・データ 2 レジスタ	6.2.39 項
24B8h	VSTAT	ビデオ・ステータス・レジスタ	6.2.40 項
24C4h	DACTST	DAC テスト・レジスタ	6.2.41 項
24C8h	YCOLVL	YOUT / COUT レベル・レジスタ	6.2.42 項
24CCh	SCPROG	サブキャリア・プログラミング・レジスタ	6.2.43 項
24DCh	CVBS	コンポジット・モード・レジスタ	6.2.44 項
24E0h	CMPNT	コンポーネント・モード・レジスタ	6.2.45 項
24E4h	ETMG0	CVBS タイミング・コントロール 0 レジスタ	6.2.46 項
24E8h	ETMG1	CVBS タイミング・コントロール 1 レジスタ	6.2.47 項
24ECh	ETMG2	コンポーネント・タイミング・コントロール 0 レジスタ	6.2.48 項
24F0h	ETMG3	コンポーネント・タイミング・コントロール 1 レジスタ	6.2.49 項
24F4h	DACSEL	DAC アウトプット・セレクト・レジスタ	6.2.50 項
2500h	ARGBX0	アナログ RGB マトリックス 0 レジスタ	6.2.51 項
2504h	ARGBX1	アナログ RGB マトリックス 1 レジスタ	6.2.52 項
2508h	ARGBX2	アナログ RGB マトリックス 2 レジスタ	6.2.53 項
250Ch	ARGBX3	アナログ RGB マトリックス 3 レジスタ	6.2.54 項
2510h	ARGBX4	アナログ RGB マトリックス 4 レジスタ	6.2.55 項
2514h	DRGBX0	デジタル RGB マトリックス 0 レジスタ	6.2.56 項
2518h	DRGBX1	デジタル RGB マトリックス 1 レジスタ	6.2.57 項
251Ch	DRGBX2	デジタル RGB マトリックス 2 レジスタ	6.2.58 項
2520h	DRGBX3	デジタル RGB マトリックス 3 レジスタ	6.2.59 項
2524h	DRGBX4	デジタル RGB マトリックス 4 レジスタ	6.2.60 項
2528h	VSTARTA	パーティカル・データ・バリッド・スタート・ポジション・レジスタ (偶数フィールド用)	6.2.61 項
252Ch	OSDCLK0	OSD クロック・コントロール 0 レジスタ	6.2.62 項
2530h	OSDCLK1	OSD クロック・コントロール 1 レジスタ	6.2.63 項
2534h	HVLDCLO	水平・バリッド・カリング・コントロール 0 レジスタ	6.2.64 項
2538h	HVLDCLO1	水平・バリッド・カリング・コントロール 1 レジスタ	6.2.65 項
253Ch	OSDHADV	OSD 水平・シンク・アドバンス・レジスタ	6.2.66 項
25F4h	VMISC	VENC ミセレイニウス・レジスタ	6.2.67 項

6.2.1 ビデオ・モード・レジスタ (VMOD)

ビデオ・モード・レジスタ (VMOD) を図 79 に示し、表 71 で説明します。

図 79. ビデオ・モード・レジスタ (VMOD)

31	Reserved												16
R-0													
15	12	11	10	9	8	7	6	5	4	3	2	1	0
VDMD		ITLCL	ITLC	NSIT	HDMD	TVTYP		SLAVE	VMD	BLNK	Rsvd	VIE	VENC
R/W-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 71. ビデオ・モード・レジスタ (VMOD) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-12	VDMD	0 ~ Fh	デジタル・ビデオの出力モード。 0 16 ビット YCbCr 出力モード。Y と C は 16 ビット・バス上に別々に出力されます。 1h 8 ビット YCbCr 出力モード。 2h RGB を別々に出力するパラレル RGB モード。 3h ~ Fh 予約。
11	ITLCL	0 1	ノンインターレース・ライン番号の選択。標準 SDTV ノンインターレース・モードで有効 (VMD = 0、HDMD = 0、ITLC = 1)。 0 262 ライン (NTSC) または 312 ライン (PAL)。 1 263 ライン (NTSC) または 313 ライン (PAL)。
10	ITLC	0 1	インターレース・スキャン・モードのイネーブル。標準 SDTV モードで有効 (VMD = 0 かつ HDMD = 0)。 0 インターレース。 1 ノンインターレース。
9	NSIT	0 1	非標準インターレース・モード。非標準モードで有効 (VMD = 1)。 0 プログレッシブ。 1 インターレース。
8	HDMD	0 1	HDTV モード。標準モードで有効 (VMD = 0)。 0 SDTV。 1 HDTV。
7-6	TVTYP	0 ~ 3h	TV フォーマット・タイプの選択。標準モードで有効 (VMD = 0)。 SDTV モード (HDMD = 0) の場合： 0 NTSC。 1h PAL。 2h ~ 3h 予約。
		0 1h 2h ~ 3h	HDTV モード (HDMD = 1) の場合： 0 525P。 1h 625P。 2h ~ 3h 予約。

表 71. ビデオ・モード・レジスタ (VMOD) フィールドの説明 (続き)

ビット	フィールド	値	説明
5	SLAVE		マスタ / スレーブの選択。
		0	マスタ・モード。
		1	スレーブ・モード。
4	VMD		ビデオのタイミング。
		0	NTSC/PAL のタイミング。
		1	NTSC/PAL のタイミングではない。
3	BLNK		ブランキングのイネーブル。同期信号とカラー・バーストは出力のまま。
		0	通常。
		1	強制ブランキング。
2	Reserved	0	予約。
1	VIE		コンポジット・アナログ出力のイネーブル。
		0	低レベル出力に固定。
		1	通常のコンポジット出力。
0	VENC		ビデオ・エンコーダのイネーブル。
		0	ディスエーブル。
		1	イネーブル。

6.2.2 ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL)

ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL) を図 80 に示し、表 72 で説明します。

図 80. ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL)

Reserved														
R-0														
31											16			
15	14	13	12	11	9	8	7	6	5	4	3	2	1	0
Rsvd	VCLKP	VCLKE	VCLKZ	Reserved	SYDIR	Reserved	DOMD	YCSWAP	YCOL	Rsvd	YCDIR			
R-0	R/W-0	R/W-0	R/W-1	R-0		R/W-1	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-1

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 72. ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14	VCLKP	0	非反転。
		1	反転。
13	VCLKE	0	VCLK 出力のイネーブル。これを 1 にセットすると、VCLK ピンから DCLK が出力されます。0 にセットすると、VCLKP 設定は使用可能な状態のままです。
		1	オフ。 オン。
12	VCLKZ	0	VCLK ピン出力のイネーブル。
		1	出力。 ハイ・インピーダンス。
11-9	Reserved	0	予約。
8	SYDIR	0	水平/垂直同期ピンの入出力 (I/O) 制御。外部同期を入力する場合、1 にセットします。
		1	出力。 入力。
7-6	Reserved	0	予約。
5-4	DOMD	0 ~ 3h	デジタル・データの出力モード。
		0	通常出力。
		1h	反転出力。
		2h	低レベル出力。
3h	高レベル出力。		
3	YCSWAP	0	YOUT/COOUT ピンをスワップします。YOUT と COOUT の出力データを入れ替えます。
		1	通常出力。 YOUT と COOUT を入れ替えます。
2	YCOL	0	YOUT/COOUT ピンの出力レベル。DC 出力オプションをセットすると、YOUT/COOUT ピンの YCOLVL レジスタの値が出力されます。YOUT/COOUT ピンが出力としてセットされた場合にのみ有効。
		1	通常出力。 DC レベル出力。
1	Reserved	0	予約。このビットには常に 0 がライトされます。

表 72. ビデオ・インターフェイス I/O コントロール・レジスタ (VIDCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
0	YCDIR	0 1	YOUT/COUT ピンの方向。YOUT/COUT ピンは、Y/C データ入力ピンとして使われます (予約)。デジタル・ビデオ出力の場合、0 にクリアされます。 出力。 予約 (出力はディスエーブル)。

6.2.3 ビデオ・データ・プロセッシング・レジスタ (VDPRO)

ビデオ・データ・プロセッシング・レジスタ (VDPRO) を図 81 に示し、表 73 で説明します。

図 81. ビデオ・データ・プロセッシング・レジスタ (VDPRO)

Reserved															
R-0															
31														16	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PFLTC	PFLTY	PFLTR	Reserved	CBTYP	CBMD	Reserved	ATRGB	ATYCC	ATCOM	DAFRQ	DAUPS	CUPS	YUPS		
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 73. ビデオ・データ・プロセッシング・レジスタ (VDPRO) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-14	PFLTC	0 ~ 3h 0 1h 2h 3h	C プリフィルタの選択：PFLTR と PFLTY が 1 の場合、Y と C の間の遅延を調整するために PFLTY を 1 にセットします。他の組み合わせを選択した場合、ハードウェアでその遅延を自動的に調整します。 フィルタなし。 1+1 1+2+1 予約。
13-12	PFLTY	0 1h 2h 3h	Y プリフィルタの選択：PFLTR と PFLTY が 1 の場合、Y と C の間の遅延を調整するために PFLTC を 1 にセットします。他の組み合わせを選択した場合、ハードウェアでその遅延を自動的に調整します。 フィルタなし。 1+1 1+2+1 予約。
11	PFLTR	0 1	プリフィルタのサンプリング周波数。 ENC クロック / 2。 ENC クロック。
10	Reserved	0	予約。
9	CBTYP	0 1	カラー・バーのタイプ。 75% 100%
8	CBMD	0 1	カラー・バーのモード。 通常出力。 カラー・バーの出力。

表 73. ビデオ・データ・プロセッシング・レジスタ (VDPRO) フィールドの説明 (続き)

ビット	フィールド	値	説明
7	Reserved	0	予約。
6	ATRGB	0	入力ビデオ：RGB 用アッテネーション制御。 アッテネーションなし。
		1	0 ~ 255 => REC601 指定レベル。
5	ATYCC	0	入力ビデオ：YCbCr 用アッテネーション制御。 アッテネーションなし。
		1	0 ~ 255 => REC601 指定レベル。
4	ATCOM	0	入力ビデオ：コンポジット用アッテネーション制御。 アッテネーションなし。
		1	0 ~ 255 => REC601 指定レベル。
3	DAFRQ	0	DAC 動作周波数：DAC 動作周波数に従って構成される必要があります。 27 MHz の DAC クロック。
		1	54 MHz の DAC クロック。
2	DAUPS	0	DAC の 2 倍のアップサンプリングのイネーブル。 オフ。
		1	オン。
1	CUPS	0	C 信号のアップサンプリングのイネーブル。 オフ。
		1	オン。
0	YUPS	0	Y 信号のアップサンプリングのイネーブル。 オフ。
		1	オン。

6.2.4 シンク・コントロール・レジスタ (SYNCCTL)

シンク・コントロール・レジスタ (SYNCCTL) を図 82 に示し、表 74 で説明します。

図 82. シンク・コントロール・レジスタ (SYNCCTL)

Reserved															
R-0															
31														16	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	OVD	EXFMD	EXFIV	EXSYNC	EXVIV	EXHIV	CSP	CSE	SYSW	VSYNCS	VPL	HPL	SYEV	SYEH	
R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 74. シンク・コントロール・レジスタ (SYNCCTL) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14	OVD	0 1	OSD vsync の遅延。 遅延なし。 遅延 0.5H。
13-12	EXFMD	0 ~ 3h 0 1h 2h 3h	外部フィールド検出モード：スレーブ動作 (SLAVE=1) 時に有効。 外部 VD 立ち上がりエッジでのラッチ外部フィールド。 外部フィールドそのものを使用します。 外部 vsync をフィールド ID として使用します。 外部 vsync 位相を検出します。
11	EXFIV	0 1	外部フィールド入力反転：スレーブ動作 (SLAVE=1) 時に有効。 非反転。 反転。
10	EXSYNC	0 1	外部同期の選択。 HSYNC/VSYNC ピン。 CCD 同期信号。
9	EXVIV	0 1	外部垂直同期の入力極性。 アクティブ High。 アクティブ Low。
8	EXHIV	0 1	外部水平同期の入力極性。 アクティブ High。 アクティブ Low。
7	CSP	0 1	コンポジット信号の出力極性：YCC8 または RGB8 モードの場合、COUT3 ピンからのコンポジット信号の出力極性を指定します。 アクティブ High。 アクティブ Low。
6	CSE	0 1	コンポジット信号の出力イネーブル：YCC8 または RGB8 モードの場合、COUT3 ピンからのコンポジット信号の出力極性を指定します。 オフ。 オン。

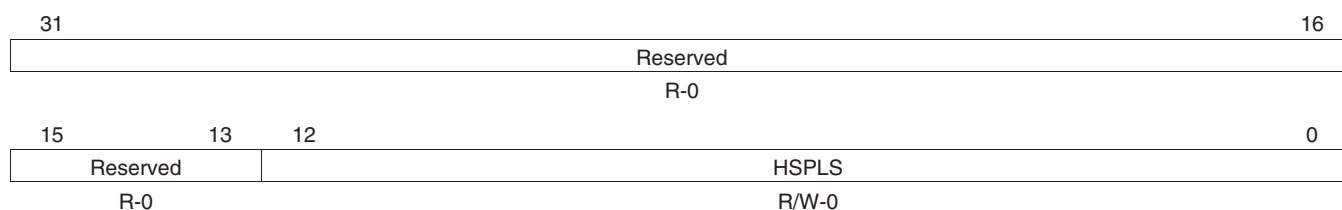
表 74. シンク・コントロール・レジスタ (SYNCCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
5	SYSW	0 1	出力同期の選択：標準モードにのみ適用可能。SYSW を 1 にセットすると、SYNCPLS レジスタが出力同期信号として処理するパルス幅が出力されます。 通常。 同期パルス幅処理モード。
4	VSYNCS	0 1	垂直同期の出力信号。 垂直同期信号。 コンボジット同期信号。
3	VPL	0 1	垂直同期の出力極性。 アクティブ High。 アクティブ Low。
2	HPL	0 1	水平同期の出力極性。 アクティブ High。 アクティブ Low。
1	SYEV	0 1	垂直同期出力のイネーブル：SYEV を 1 にセットしたときに出力はオンになり、VSSW が選択した信号は VSYNC ピンから出力されます。SYEV を 0 にセットすると、VPL が判別したインアクティブ・レベルが出力されます。 オフ。 オン。
0	SYEH	0 1	水平同期出力のイネーブル：SYEH を 1 にセットしたときに出力はオンになり、VSSW が選択した信号は HSYNC ピンから出力されます。SYEH を 0 にセットすると、HPL が判別したインアクティブ・レベルが出力されます。 オフ。 オン。

6.2.5 ホリゾンタル・シンク・パルス・ワイズ・レジスタ (HSPLS)

ホリゾンタル・シンク・パルス・ワイズ・レジスタ (HSPLS) を図 83 に示し、表 75 で説明します。

図 83. ホリゾンタル・シンク・パルス・ワイズ・レジスタ (HSPLS)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

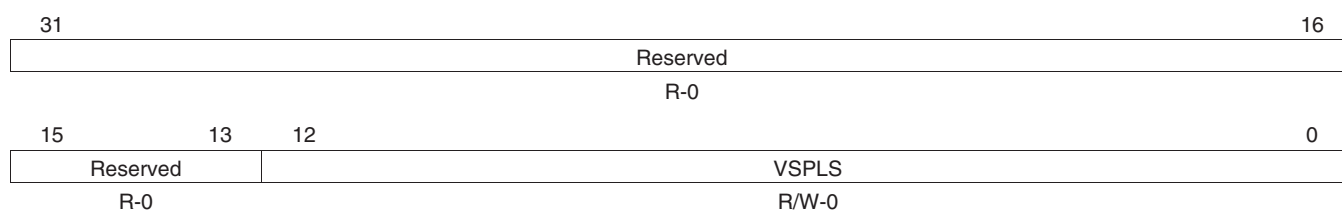
表 75. ホリゾンタル・シンク・パルス・ワイズ・レジスタ (HSPLS) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	HSPLS	0 ~ 1FFFh	水平同期パルス幅 (ENC クロック数)。非標準モードまたは同期処理モード (SYSW = 1) で有効。

6.2.6 パーティカル・シンク・パルス・ワイズ・レジスタ (VSPLS)

パーティカル・シンク・パルス・ワイズ・レジスタ (VSPLS) を図 84 に示し、表 76 で説明します。

図 84. パーティカル・シンク・パルス・ワイズ・レジスタ (VSPLS)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

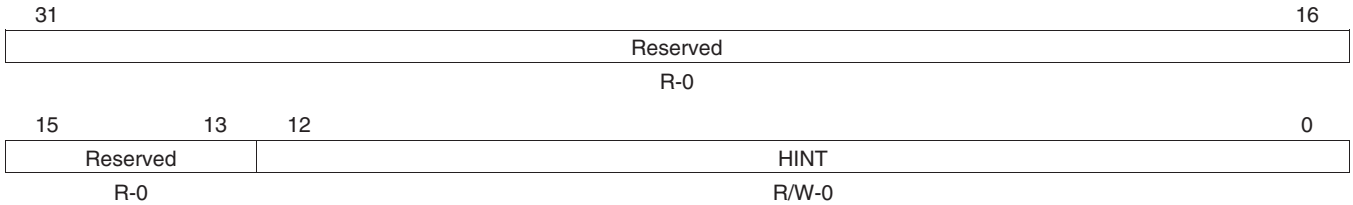
表 76. パーティカル・シンク・パルス・ワイズ・レジスタ (VSPLS) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	VSPLS	0 ~ 1FFFh	垂直同期パルス幅 (ENC クロック数)。非標準モードまたは同期処理モード (SYSW = 1) で有効。

6.2.7 ホリゾンタル・インターバル・レジスタ (HINT)

ホリゾンタル・インターバル・レジスタ (HINT) を図 85 に示し、表 77 で説明します。

図 85. ホリゾンタル・インターバル・レジスタ (HINT)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

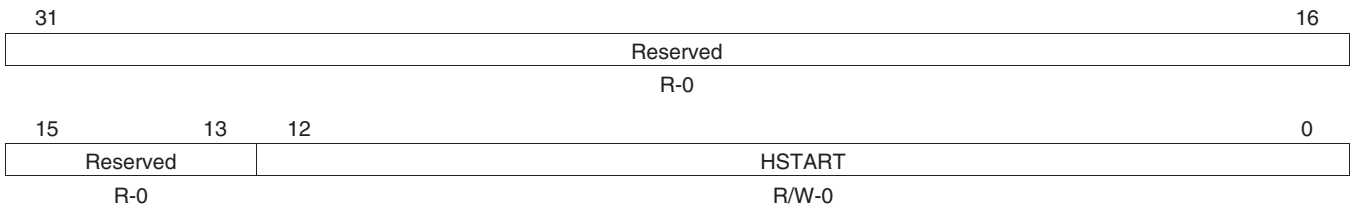
表 77. ホリゾンタル・インターバル・レジスタ (HINT) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	HINT	0 ~ 1FFFh	水平間隔 (ENC クロック数)。非標準モードで有効。OSD クロックが (ENC クロック / 2) の場合、偶数値を指定します。水平間隔は HINT + 1 です。

6.2.8 ホリゾンタル・バリッド・データ・スタート・ポジション・レジスタ (HSTART)

ホリゾンタル・バリッド・データ・スタート・ポジション・レジスタ (HSTART) を図 86 に示し、表 78 で説明します。

図 86. ホリゾンタル・バリッド・データ・スタート・ポジション・レジスタ (HSTART)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

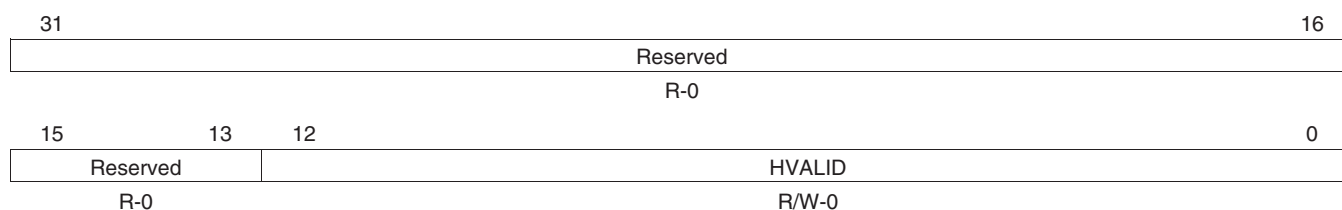
表 78. ホリゾンタル・バリッド・データ・スタート・ポジション・レジスタ (HSTART) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	HSTART	0 ~ 1FFFh	水平方向の有効なデータ開始位置：水平同期の開始時点からの ENC クロック数を指定します。LCD_OE はここで指定された位置でアサートされ、データ出力が開始します。

6.2.9 ホリゾンタル・データ・バリッド・レンジ・レジスタ (HVALID)

ホリゾンタル・データ・バリッド・レンジ・レジスタ (HVALID) を図 87 に示し、表 79 で説明します。

図 87. ホリゾンタル・データ・バリッド・レンジ・レジスタ (HVALID)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

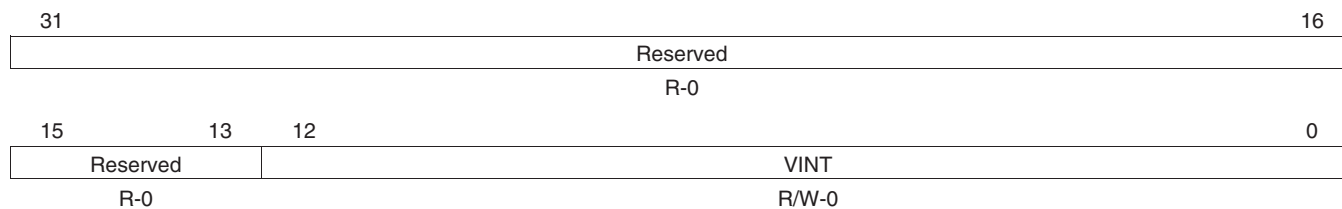
表 79. ホリゾンタル・データ・バリッド・レンジ・レジスタ (HVALID) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	HVALID	0 ~ 1FFFh	水平方向の有効なデータ範囲：ENC クロック数を指定します。LCD_OE はここで指定された周期の間アサートされ、有効なデータが出力されます。有効範囲外のデータは、Low 出力されます。

6.2.10 パーティカル・インターバル・レジスタ (VINT)

パーティカル・インターバル・レジスタ (VINT) を図 88 に示し、表 80 で説明します。

図 88. パーティカル・インターバル・レジスタ (VINT)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

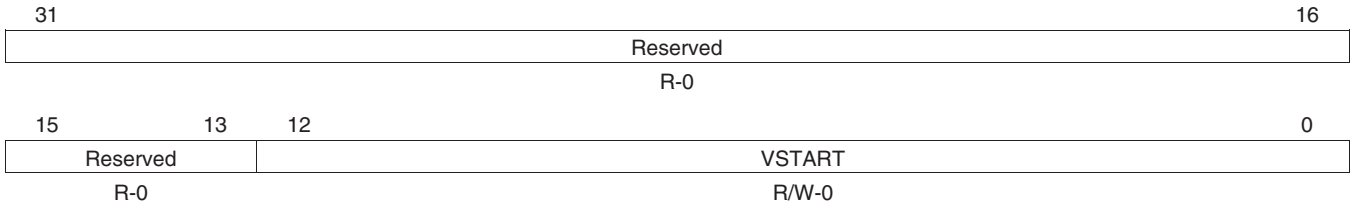
表 80. パーティカル・インターバル・レジスタ (VINT) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	VINT	0 ~ 1FFFh	垂直間隔 (ライン数)：非標準モードで有効。垂直間隔は VINT + 1 です。

6.2.11 パーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART)

パーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART) を図 89 に示し、表 81 で説明します。

図 89. パーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

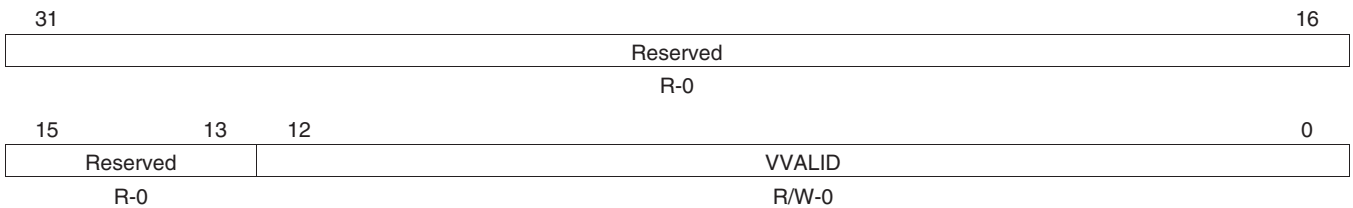
表 81. パーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	VSTART	0 ~ 1FFFh	垂直方向の有効なデータ開始位置：ライン数を指定します。

6.2.12 パーティカル・データ・バリッド・レンジ・レジスタ (VVALID)

パーティカル・データ・バリッド・レンジ・レジスタ (VVALID) を図 90 に示し、表 82 で説明します。

図 90. パーティカル・データ・バリッド・レンジ・レジスタ (VVALID)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

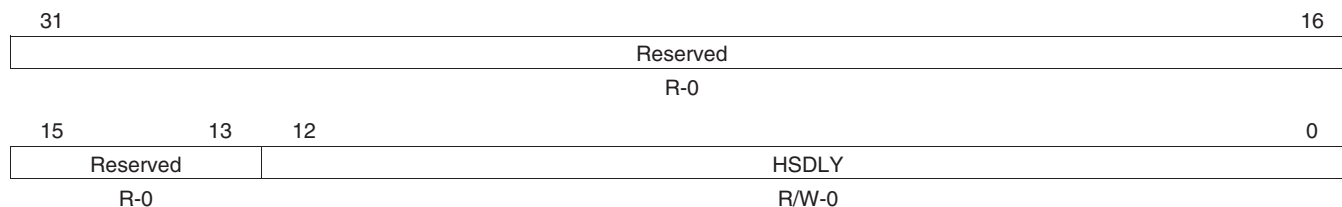
表 82. パーティカル・データ・バリッド・レンジ・レジスタ (VVALID) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	VVALID	0 ~ 1FFFh	垂直方向の有効なデータ範囲：ライン数を指定します。

6.2.13 ホリゾンタル・シンク・ディレイ・レジスタ (HSDLY)

ホリゾンタル・シンク・ディレイ・レジスタ (HSDLY) を図 91 に示し、表 83 で説明します。

図 91. ホリゾンタル・シンク・ディレイ・レジスタ (HSDLY)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

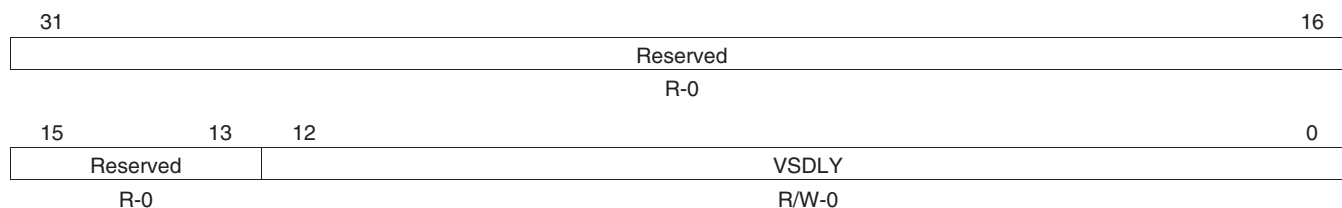
表 83. ホリゾンタル・シンク・ディレイ・レジスタ (HSDLY) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	HSDLY	0 ~ 1FFFh	水平同期信号の出力遅延。これは、ENC クロックによる HSYNC 信号を遅延させます。

6.2.14 パーティカル・シンク・ディレイ・レジスタ (VSDLY)

パーティカル・シンク・ディレイ・レジスタ (VSDLY) を図 92 に示し、表 84 で説明します。

図 92. パーティカル・シンク・ディレイ・レジスタ (VSDLY)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

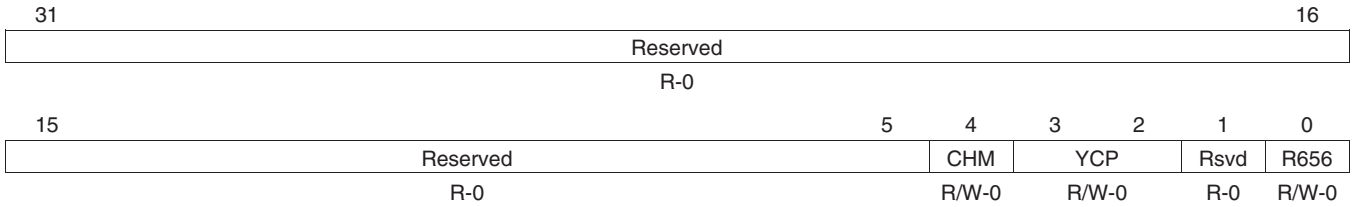
表 84. パーティカル・シンク・ディレイ・レジスタ (VSDLY) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	VSDLY	0 ~ 1FFFh	垂直同期信号の出力遅延。これは、ENC クロックによる VSYNC 信号を遅延させます。

6.2.15 YCbCr コントロール・レジスタ (YCCTL)

YCbCr コントロール・レジスタ (YCCTL) を図 93 に示し、表 85 で説明します。

図 93. YCbCr コントロール・レジスタ (YCCTL)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

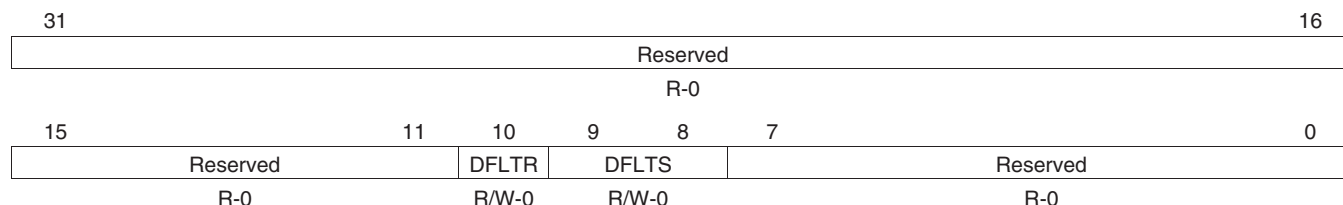
表 85. YCbCr コントロール・レジスタ (YCCTL) フィールドの説明

ビット	フィールド	値	説明
31-5	Reserved	0	予約。
4	CHM	0	色差出力モード。YCC16/YCC8 モードで有効。
		1	最初のピクセルでラッチされない色差。
3-2	YCP	0	最初のピクセルでラッチされる色差。
		0	YCC モードに基づく YC 出力順序。
		1h	YCC16 モード (VMOD.VDMD = 0) の場合：
		2h ~ 3h	YCC16 モード - CbCr。
		1h	YCC16 モード - CrCb。
		2h ~ 3h	予約。
0	R656	0	YCC8 モード (VMOD.VDMD = 1) の場合：
		1h	YCC8 モード - Cb-Y-Cr-Y。
		2h	YCC8 モード - Y-Cr-Y-Cb。
		3h	YCC8 モード - Cr-Y-Cb-Y。
1	Reserved	0	予約。
0	R656	0	REC656 モード：これは ITU-R BT.656 フォーマットで、OSD クロックが ENC クロック / 2 で動作する場合に有効です。
		1	通常。
		1	REC656 モード。

6.2.16 RGB コントロール・レジスタ (RGBCTL)

RGB コントロール・レジスタ (RGBCTL) を図 94 に示し、表 86 で説明します。

図 94. RGB コントロール・レジスタ (RGBCTL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

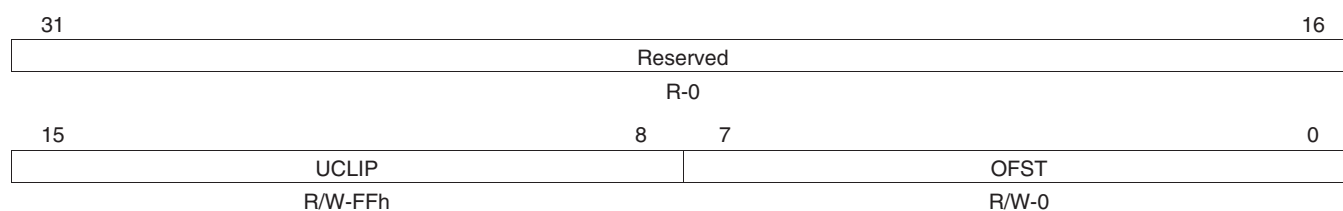
表 86. RGB コントロール・レジスタ (RGBCTL) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10	DFLTR	0	RGB LPF サンプリング周波数：RGB 出力を指定するすべてのデジタル出力モードで有効。 RGB 出力を指定するすべてのデジタル・モードで有効。
		1	ENC クロック / 2。 ENC クロック。
9-8	DFLTS	0 ~ 3h	RGB LPF の選択。RGB 出力を指定するすべてのデジタル・モードで有効。
		0	フィルタなし。
		1h	1+2+1
		2h	1+2+4+2+1
3h	予約。		
7-0	Reserved	0	予約。

6.2.17 RGB レベル・クリッピング・レジスタ (RGBCLP)

RGB レベル・クリッピング・レジスタ (RGBCLP) を図 95 に示し、表 87 で説明します。

図 95. RGB レベル・クリッピング・レジスタ (RGBCLP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 87. RGB レベル・クリッピング・レジスタ (RGBCLP) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	UCLIP	0 ~ FFh	RGB 出力の上位クリップ・レベル：RGB 出力を指定するすべてのデジタル出力モードで有効。クリッピングは、オフセットの加算後に行われます。
7-0	OFST	0 ~ FFh	RGB 出力のオフセット・レベル：RGB 出力を指定するすべてのデジタル出力モードで有効。ここで指定されたオフセットを (YCbCr から変換された) RGB に加算できます。

6.2.18 ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL)

ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL) を図 96 に示し、表 88 で説明します。

図 96. ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL)

31								16							
Reserved															
R-0															
15				12				11		10		8			
Reserved								VSTF		VCLID					
R/W-0				R-0				R/W-0		R/W-0					
7		6		5		4		3		2		1		0	
VCLRD		VCL56		HLDF		HLDL		LINID		DCKCLP		DCKCLI		RGBCL	
R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0	

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 88. ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL) フィールドの説明

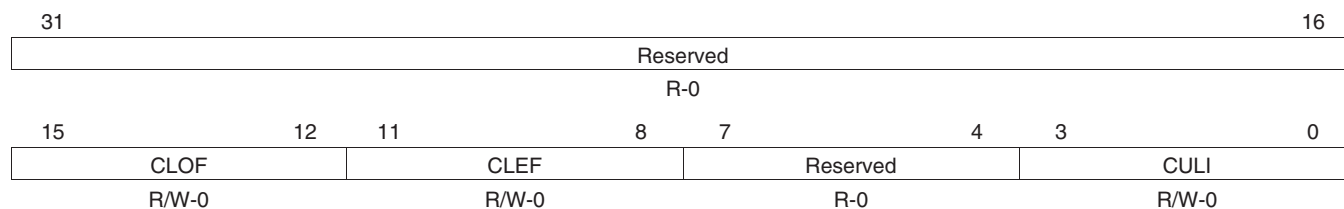
ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11	VSTF	0	垂直方向の有効なデータ開始位置フィールド・モード。通常モード。
		1	フィールド・モード。垂直方向の有効なデータ開始位置に対して、VSTARTA レジスタによって別の開始ラインが指定されます。
10-8	VCLID	0 ~ 7h	垂直カリング・ライン位置。6 ラインごとにカリング対象のラインを指定します。VCLID が 5 より大きい場合、カリングは適用されません。VCL56 = 1 の場合に有効です。
7	VCLRD	0	垂直カリング・カウンタ・リセット・モード。VCL56 = 1 の場合に有効です。垂直カリングのカウンタは、垂直同期時にゼロにリセットされます。
		1	垂直カリングのカウンタは、垂直同期時にランダムな値にリセットされます。
6	VCL56	0	デジタル出力の垂直カリング。これをイネーブルすると、ビデオ出力の 6 ラインごとに 1 ライン破棄されます。これは PAL タイミングを指定する NTSC 有効ラインを出力するために使用されます。
		1	5/6 カリング。
5	HLDF	0	デジタル出力のフィールド保持。非標準モードで有効。これをイネーブルすると、現行のフィールド出力完了時にビデオ出力がサスペンドされます。OSD からデータをリードすると、この周期の間サスペンドします。
		1	出力は保持されます。
4	HLDL	0	デジタル出力のライン保持。非標準モードで有効。これをイネーブルすると、現行のライン出力完了時にビデオ出力がサスペンドされます。OSD からデータをリードすると、この周期の間サスペンドします。
		1	出力は保持されます。
3	LINID	0	偶数フィールドの開始ライン ID 制御。
		1	ライン ID = 1。

表 88. ライン・アイデンティフィケーション・コントロール・レジスタ (LINECTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
2	DCKCLP	0 1	カリリング・ライン ID による DCLK パターンの切り替え。これがイネーブルの場合、DCLK パターンは CULLLINE レジスタによってセットされるカリリング・ライン ID に従って切り替わります。ラインごとの DCLK パターンは、DCLKPTN と DCLKPTNA のレジスタによって指定されます。 オフ。 オン。
1	DCKCLI	0 1	カリリング・ライン ID による DCLK の極性反転。これがディスエーブルの場合、DCLK の極性は VCLKP レジスタで指定されているように常に固定されます。これをイネーブルすると、CULLLINE レジスタによってセットされるカリリング・ライン ID に従って、この極性は反転されます。 オフ。 オン。
0	RGBCL	0 1	カリリング・ライン ID による RGB 出力順序の切り替え。これをディスエーブルすると、ラインごとに RGB 出力順序は切り替わります。これをイネーブルすると、この出力順序は、ライン ID と CULLLINE レジスタによってセットされたカリリング・ライン ID を XOR 演算した信号に従って切り替わります。 オフ。 オン。

6.2.19 カリリング・ライン・コントロール・レジスタ (CULLLINE)

カリリング・ライン・コントロール・レジスタ (CULLLINE) を図 97 に示し、表 89 で説明します。

図 97. カリリング・ライン・コントロール・レジスタ (CULLLINE)


凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 89. カリリング・ライン・コントロール・レジスタ (CULLLINE) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-12	CLOF	0 ~ Fh	カリリング・ライン ID 切り替え位置 (奇数フィールド)。
11-8	CLEF	0 ~ Fh	カリリング・ライン ID 切り替え位置 (偶数フィールド)。
7-4	Reserved	0	予約。
3-0	CULI	0 ~ Fh	カリリング・ライン ID 反転間隔。

6.2.20 LCD アウトプット・シグナル・コントロール・レジスタ (LCDOUT)

LCD アウトプット・シグナル・コントロール・レジスタ (LCDOUT) を図 98 に示し、表 90 で説明します。

図 98. LCD アウトプット・シグナル・コントロール・レジスタ (LCDOUT)

31	Reserved										16							
R-0																		
15	Reserved							9	8	7	6	5	4	3	2	1	0	
R-0							FIDS	FIDP	PWMP	PWME	ACE	BRP	BRE	OEP	OEE			
R-0							R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

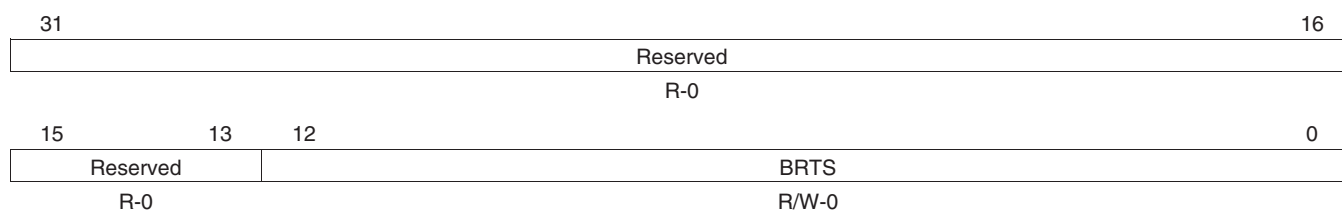
表 90. LCD アウトプット・シグナル・コントロール・レジスタ (LCDOUT) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8	FIDS	0	出力信号の選択。システム・モジュールの PINMUX0 レジスタで選択されます。
		1	BRIGHT
7	FIDP	0	フィールド ID 出力極性。
		1	非反転。
6	PWMP	0	アクティブ High。
		1	アクティブ Low。
5	PWME	0	PWM 出力制御。
		1	オフ。
4	ACE	0	オン。
		1	LCD_AC 出力制御。
3	BRP	0	オフ。
		1	オン。
2	BRE	0	BRIGHT 出力極性。
		1	非反転。
1	OEP	0	反転。
		1	BRIGHT 出力制御。
0	OEE	0	オフ。
		1	オン。
			LCD_OE 出力極性。
			アクティブ High。
			アクティブ Low。
			LCD_OE 出力制御。
			オフ。
			LCD_OE は、FIDS = 0 の場合 GP[13] ピン上に生成されます。YCC8 モードでは、LCD_OE は、COUT6 上に生成されます。

6.2.21 ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ (BRTS)

ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ (BRTS) を図 99 に示し、表 91 で説明します。

図 99. ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ (BRTS)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

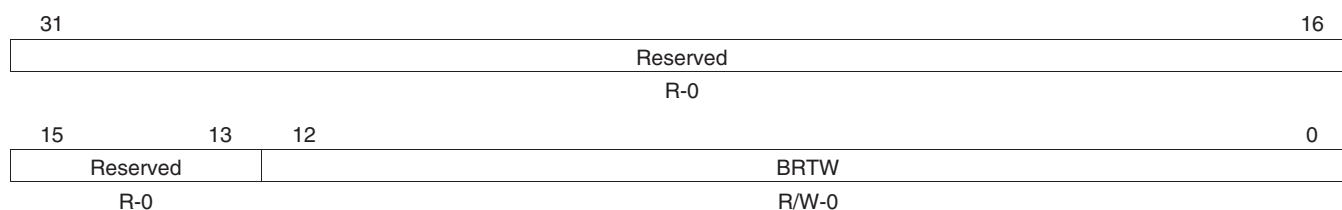
表 91. ブライトネス・スタート・ポジション・シグナル・コントロール・レジスタ (BRTS) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	BRTS	0 ~ 1FFFh	BRIGHT パルス開始位置：HSYNC 信号からの ENC サイクル数を指定します。

6.2.22 ブライトネス・ワイズ・シグナル・コントロール・レジスタ (BRTW)

ブライトネス・ワイズ・シグナル・コントロール・レジスタ (BRTW) を図 100 に示し、表 92 で説明します。

図 100. ブライトネス・ワイズ・シグナル・コントロール・レジスタ (BRTW)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

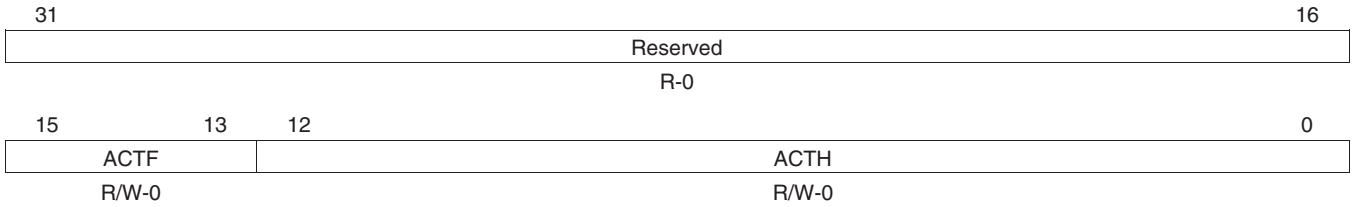
表 92. ブライトネス・ワイズ・シグナル・コントロール・レジスタ (BRTW) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	BRTW	0 ~ 1FFFh	BRIGHT パルス幅：ENC サイクル数を指定します。

6.2.23 LCD_AC シグナル・コントロール・レジスタ (ACCTL)

LCD_AC シグナル・コントロール・レジスタ (ACCTL) を図 101 に示し、表 93 で説明します。

図 101. LCD_AC シグナル・コントロール・レジスタ (ACCTL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

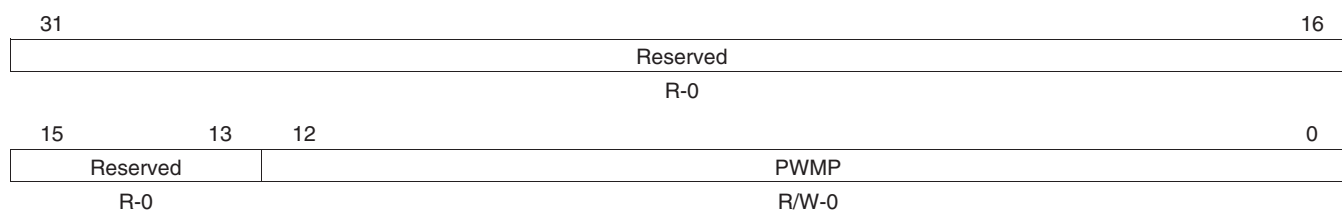
表 93. LCD_AC シグナル・コントロール・レジスタ (ACCTL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-13	ACTF	0 ~ 7h	LCD_AC 切り替え間隔。LCD_AC はここで指定されたフィールドごとに切り替わります。
12-0	ACTH	0 ~ 1FFFh	LCD_AC 切り替え水平位置。LCD_AC は水平同期信号の立ち上がりエッジからの ENC クロック数により切り替わります。

6.2.24 PWM スタート・ポジション・シグナル・コントロール・レジスタ (PWMP)

PWM スタート・ポジション・シグナル・コントロール・レジスタ (PWMP) を図 102 に示し、表 94 で説明します。

図 102. PWM スタート・ポジション・シグナル・コントロール・レジスタ (PWMP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

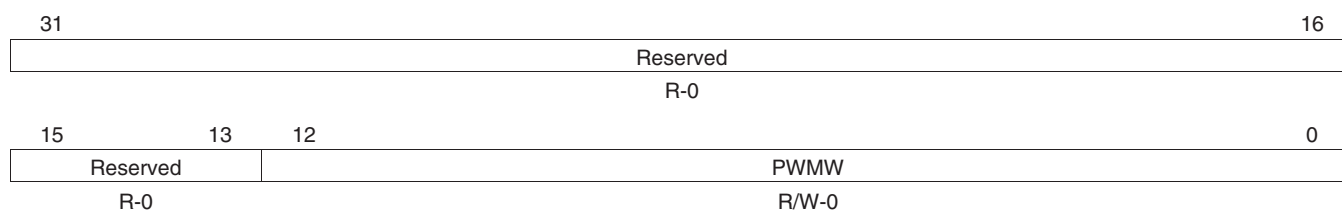
表 94. PWM スタート・ポジション・シグナル・コントロール・レジスタ (PWMP) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	PWMP	0 ~ 1FFFh	PWM 出力周期。ENC クロック数を指定します。周期は PWMP + 1 です。

6.2.25 PWM ワイズ・シグナル・コントロール・レジスタ (PWMW)

PWM ワイズ・シグナル・コントロール・レジスタ (PWMW) を図 103 に示し、表 95 で説明します。

図 103. PWM ワイズ・シグナル・コントロール・レジスタ (PWMW)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 95. PWM ワイズ・シグナル・コントロール・レジスタ (BRTW) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	PWMW	0 ~ 1FFFh	PWM 出力パルス幅。ENC クロックによる H パルス幅を指定します。これを 0 にセットすると、PWM 出力は常に L レベルになります。PWMP より大きな値をセットすると、PWM 出力は常に H レベルにセットされます。

6.2.26 DCLK コントロール・レジスタ (DCLKCTL)

DCLK コントロール・レジスタ (DCLKCTL) を図 104 に示し、表 96 で説明します。

図 104. DCLK コントロール・レジスタ (DCLKCTL)

31							16								
Reserved															
R-0															
15		14		13		12		11		10		9		8	
DCKIM		Reserved		DOFST		DCKEC		DCKME		DCKOH		DCKIH			
R/W-0		R-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0	
7			6			5						0			
Reserved						DCKPW									
R-0						R/W-0									

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 96. DCLK コントロール・レジスタ (DCLKCTL) フィールドの説明

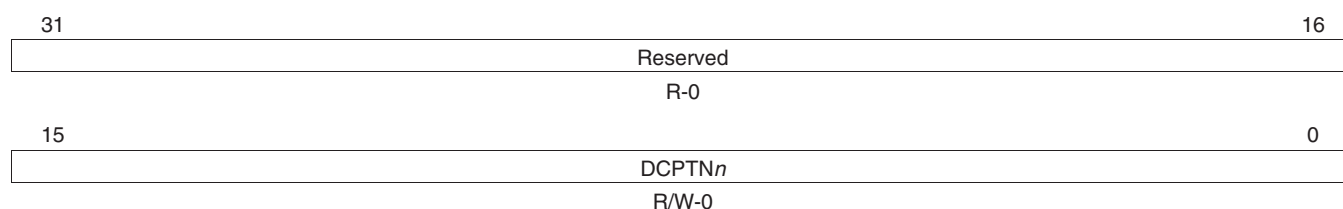
ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	DCKIM	0 1	DCLK 内部モード。イネーブルの場合、内部 DCLK に対して、出力 DCLK から別のパターンを指定できます。このモードでは、内部 DCLK パターンとそのパターンの有効なビット幅をそれぞれ指定するために、DCLKPTN0A ~ PCLKPTN3A および DCLKHSTTA が使用されます。カリング・ライン ID (LINECTL.DCKCLP = 1) による DCLK パターンの切り替えは、このモードでは使用できません。
14	Reserved	0	予約。
13-12	DOFST	0 ~ 3h 0 1h 2h 3h	DCLK 出力オフセット。ENC クロックによる VCLK ピンからの DCLK 遅延出力を調整します。DCLK 出力が DCKEC = 1 でかつ DCKOH = 0 のときにゲート指定する ENC クロックとして設定されている場合、これらのビットには意味がありません。
11	DCKEC	0 1	DCLK パターン・モード。 0 DCLKPTN (または DCLKPTNA) で指定される値は、DCLK のクロック・レベルになります。 1 DCLKPTN は ENC クロックでイネーブルなクロックとして機能します。
10	DCKME	0 1	DCLK マスク制御。マスクは DCLKHSTT、DCLKHVLD、DCLKVSTT、DCLKVVLD の各レジスタによって指定されます。 0 マスクはオフで、DCLK を直接出力します。 1 マスクはオンで、指定された有効な領域でクロックを出力します。
9	DCKOH	0 1	DCLK 出力分周。これをイネーブルすると、クロックが 2 分周され、そのクロックは VCLK ピンから出力されます。RGB データは、内部 DCLK の立ち上がりによって出力され、分周されたクロック出力だけが出力されます。このため、これはデータをキャプチャする LCD に接続するために使用されます。

表 96. DCLK コントロール・レジスタ (DCLKCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
8	DCKIH	0 1	内部 DCLK 出力分周。これをイネーブルすると、内部 DCLK は 2 分周されます。クロック出力が 1 分周される場合 (DCKOH=0)、1 つのデータごとに 2 クロックが出力されます。このため、これは 2 倍のクロック周波数を必要とする LCD に接続するために使用されます。 1 分周。 2 分周。
7-6	Reserved	0	予約。
5-0	DCKPW	0 ~ 3Fh	DCLK パターン有効ビット幅。DCLKPTN0 ~ DCLKPTN3 レジスタの 64 ビットの中から有効なビット幅をセットします。

6.2.27 DCLK パターン n レジスタ (DCLKPTN0 ~ DCLKPTN3)

DCLK パターン n レジスタ (DCLKPTN n) を図 105 に示し、表 97 で説明します。

図 105. DCLK パターン n レジスタ (DCLKPTN n)


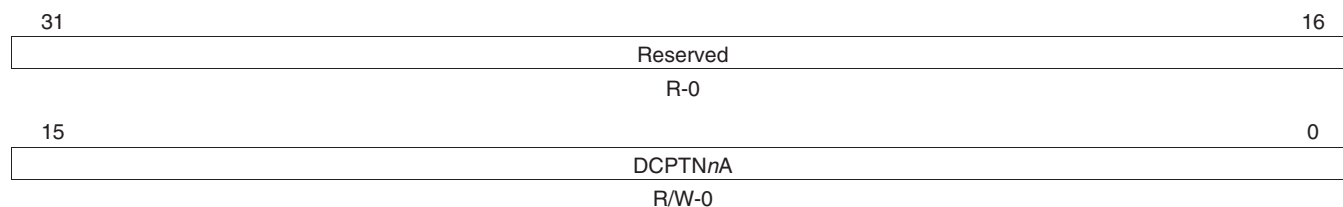
凡例：R/W = リード / ライト。R = リードのみ。 $-n$ = リセット後の値。

表 97. DCLK パターン n レジスタ (DCLKPTN n) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-0	DCPTN n	0 ~ FFFFh	DCLK パターン。指定されたビット・パターンは、ENC クロックの解像度単位で出力されます。

6.2.28 DCLK オグジリアリ・パターン n レジスタ (DCLKPTN0A ~ DCLKPTN3A)

DCLK オグジリアリ・パターン n レジスタ (DCLKPTN n A) を図 106 に示し、表 98 で説明します。

図 106. DCLK オグジリアリ・パターン n レジスタ (DCLKPTN n A)


凡例：R/W = リード / ライト。R = リードのみ。 $-n$ = リセット後の値。

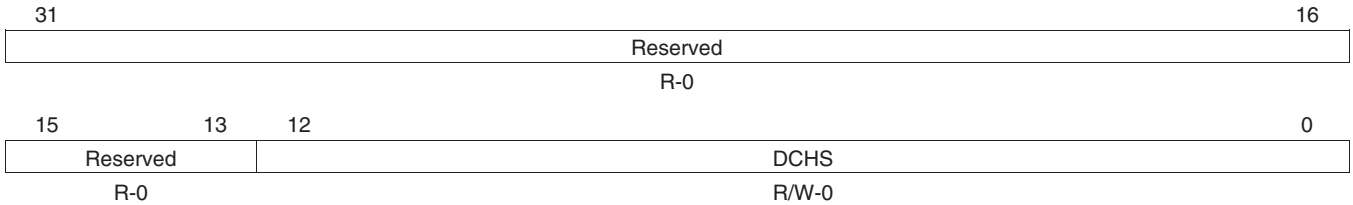
表 98. DCLK オグジリアリ・パターン n レジスタ (DCLKPTN n A) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-0	DCPTN n A	0 ~ FFFFh	DCLK オグジリアリ・パターン。指定されたビット・パターンは、ENC クロックの解像度単位で出力されます。

6.2.29 ホリゾンタル DCLK マスク・スタート・レジスタ (DCLKHS)

ホリゾンタル DCLK マスク・スタート・レジスタ (DCLKHS) を図 107 に示し、表 99 で説明します。

図 107. ホリゾンタル DCLK マスク・スタート・レジスタ (DCLKHS)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

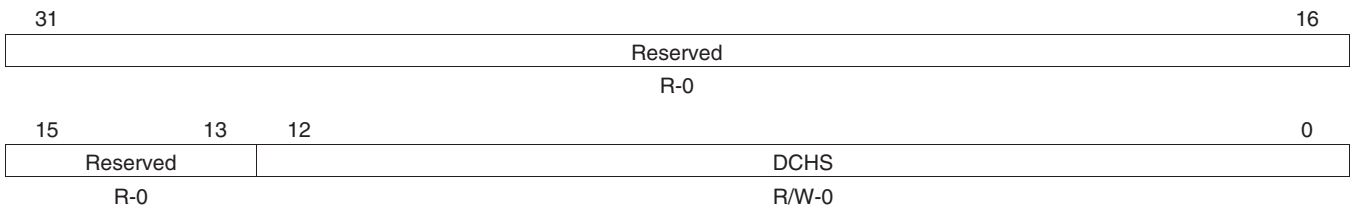
表 99. ホリゾンタル DCLK マスク・スタート・レジスタ (DCLKHS) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	DCHS	0 ~ 1FFFh	水平 DCLK マスク開始位置。これは、水平同期信号の開始からの ENC クロック数で指定されます。

6.2.30 ホリゾンタル・オグジリアリ DCLK マスク・スタート・レジスタ (DCLKHSA)

ホリゾンタル・オグジリアリ DCLK マスク・スタート・レジスタ (DCLKHSA) を図 108 に示し、表 100 で説明します。

図 108. ホリゾンタル・オグジリアリ DCLK マスク・スタート・レジスタ (DCLKHSA)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

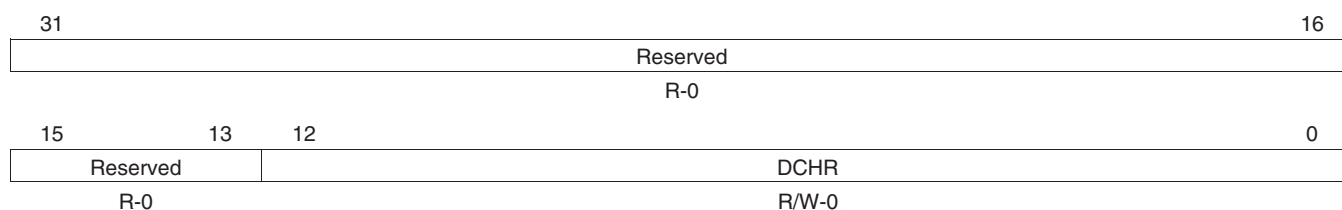
表 100. ホリゾンタル・オグジリアリ DCLK マスク・スタート・レジスタ (DCLKHSA) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	DCHS	0 ~ 1FFFh	水平オグジリアリ DCLK マスク開始位置。これは、水平同期信号の開始からの ENC クロック数で指定されます。

6.2.31 ホリゾンタル DCLK マスク・レンジ・レジスタ (DCLKHR)

ホリゾンタル DCLK マスク・レンジ・レジスタ (DCLKHR) を図 109 に示し、表 101 で説明します。

図 109. ホリゾンタル DCLK マスク・レンジ・レジスタ (DCLKHR)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

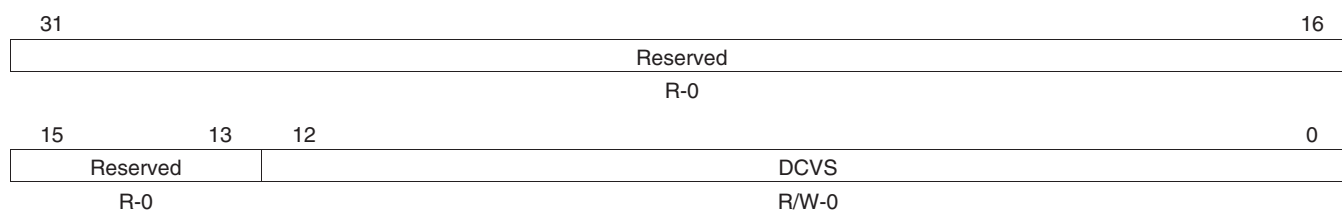
表 101. ホリゾンタル DCLK マスク・レンジ・レジスタ (DCLKHR) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	Reserved
12-0	DCHR	0 ~ 1FFFh	水平 DCLK マスク範囲。これは、ENC クロック数で指定されます。

6.2.32 パーティカル DCLK マスク・スタート・レジスタ (DCLKVS)

パーティカル DCLK マスク・スタート・レジスタ (DCLKVS) を図 110 に示し、表 102 で説明します。

図 110. パーティカル DCLK マスク・スタート・レジスタ (DCLKVS)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 102. パーティカル DCLK マスク・スタート・レジスタ (DCLKVS) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	DCVS	0 ~ 1FFFh	垂直 DCLK マスク開始位置。これは、垂直同期信号からのライン数で指定されます。

6.2.33 パーティカル DCLK マスク・レンジ・レジスタ (DCLKVR)

パーティカル DCLK マスク・レンジ・レジスタ (DCLKVR) を図 111 に示し、表 103 で説明します。

図 111. パーティカル DCLK マスク・レンジ・レジスタ (DCLKVR)

31	Reserved			16
R-0				
15	13	12		
Reserved		DCVR		
R-0		R/W-0		

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 103. パーティカル DCLK マスク・レンジ・レジスタ (DCLKVR) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	DCVR	0 ~ 1FFFh	垂直 DCLK マスク範囲。これは、ライン数で指定されます。

6.2.34 キャプション・コントロール・レジスタ (CAPCTL)

キャプション・コントロール・レジスタ (CAPCTL) を図 112 に示し、表 104 で説明します。

図 112. キャプション・コントロール・レジスタ (CAPCTL)

31	Reserved			16		
R-0						
15	14	8	7	2	1	0
Reserved		CADF		Reserved		CAPF
R-0		R/W-0		R-0		R/W-0

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

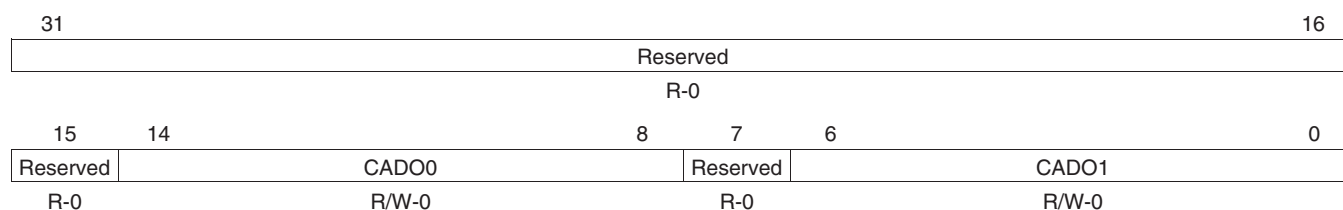
表 104. キャプション・コントロール・レジスタ (CAPCTL) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14-8	CADF	0 ~ 7Fh	クローズド・キャプション・デフォルト・データ・レジスタ。キャプション・データ・レジスタ (CAPDO または CAPDE) が対応するフィールドのキャプション・データの送信タイミング前に更新されない場合、この CAPCTL.CADF によって指定される ASCII コードはクローズド・キャプション・データ用に自動的に送信されます。
7-2	Reserved	0	予約。
1-0	CAPF	0 ~ 3h	クローズド・キャプション・フィールドの選択。 0 データ出力なし。 1h 奇数フィールド。 2h 偶数フィールド。 3h 奇数フィールドと偶数フィールドの両方。

6.2.35 キャプション・データ・オッド・フィールド・レジスタ (CAPDO)

キャプション・データ・オッド・フィールド・レジスタ (CAPDO) を図 113 に示し、表 105 で説明します。

図 113. キャプション・データ・オッド・フィールド・レジスタ (CAPDO)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

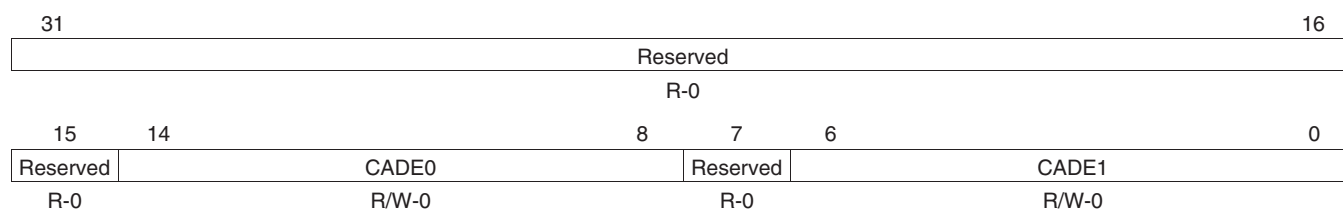
表 105. キャプション・データ・オッド・フィールド・レジスタ (CAPDO) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14-8	CADO0	0 ~ 7Fh	クローズド・キャプション・デフォルト・データ 0 (奇数フィールド)。奇数フィールドの場合、クローズド・キャプション時に送信される先頭バイトの ASCII コードを指定します。パリティ・ビットは自動的に計算されます。
7	Reserved	0	予約。
6-0	CADO1	0 ~ 7Fh	クローズド・キャプション・デフォルト・データ 1 (奇数フィールド)。奇数フィールドの場合、クローズド・キャプション時に送信される 2 番目のバイトの ASCII コードを指定します。パリティ・ビットは自動的に計算されます。

6.2.36 キャプション・データ・イーブン・フィールド・レジスタ (CAPDE)

キャプション・データ・イーブン・フィールド・レジスタ (CAPDE) を図 114 に示し、表 106 で説明します。

図 114. キャプション・データ・イーブン・フィールド・レジスタ (CAPDE)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

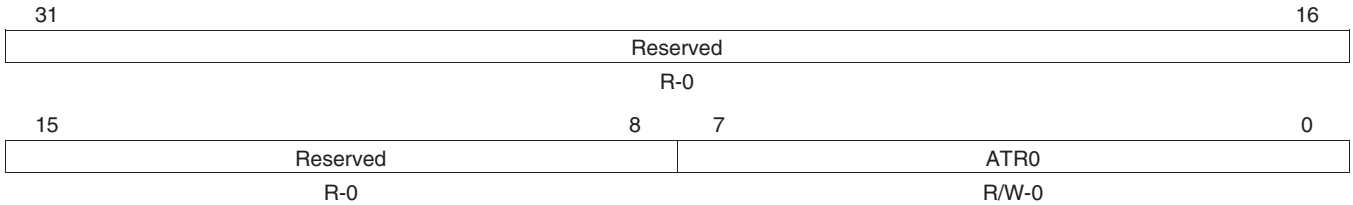
表 106. キャプション・データ・イーブン・フィールド・レジスタ (CAPDE) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14-8	CADE0	0 ~ 7Fh	クローズド・キャプション・デフォルト・データ 0 (偶数フィールド)。奇数フィールドの場合、クローズド・キャプション時に送信される先頭バイトの ASCII コードを指定します。パリティ・ビットは自動的に計算されます。
7	Reserved	0	予約。
6-0	CADE1	0 ~ 7Fh	クローズド・キャプション・デフォルト・データ 1 (偶数フィールド)。奇数フィールドの場合、クローズド・キャプション時に送信される 2 番目のバイトの ASCII コードを指定します。パリティ・ビットは自動的に計算されます。

6.2.37 ビデオ・アトリビュート・データ #0 レジスタ (ATR0)

ビデオ・アトリビュート・データ #0 レジスタ (ATR0) を図 115 に示し、表 107 で説明します。

図 115. ビデオ・アトリビュート・データ #0 レジスタ (ATR0)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

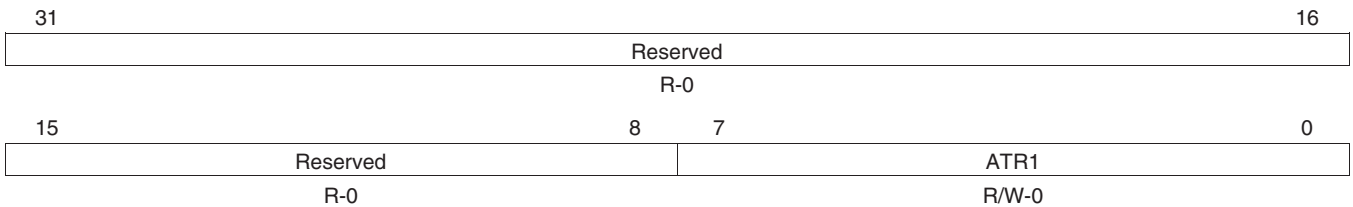
表 107. ビデオ・アトリビュート・データ #0 レジスタ (ATR0) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。
7-0	ATR0	0 ~ FFh	ビデオ・アトリビュート・データ・レジスタ 0。NTSC の場合、WORD0 データがセットされます。ビット 7 ~ 6 は未使用。ビット 5 ~ 3 は WORD0 ~ B。ビット 2 ~ 0 は WORD0 ~ A。PAL は使用しません。

6.2.38 ビデオ・アトリビュート・データ #1 レジスタ (ATR1)

ビデオ・アトリビュート・データ #1 レジスタ (ATR1) を図 116 に示し、表 108 で説明します。

図 116. ビデオ・アトリビュート・データ #1 レジスタ (ATR1)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

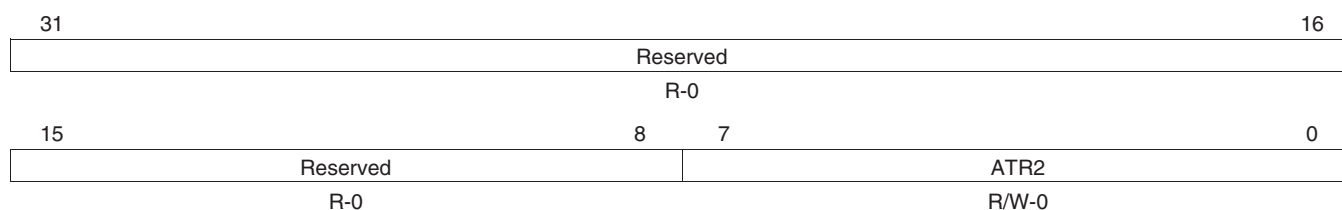
表 108. ビデオ・アトリビュート・データ #1 レジスタ (ATR1) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。
7-0	ATR1	0 ~ FFh	ビデオ・アトリビュート・データ・レジスタ 1。NTSC の場合、WORD1 および WORD2 のデータがセットされます。ビット 7 ~ 4 は WORD2。ビット 3 ~ 0 は WORD1。PAL の場合、GROUP1 および GROUP2 のデータがセットされます。ビット 7 ~ 4 は GROUP2。ビット 3 ~ 0 は GROUP1。

6.2.39 ビデオ・アトリビュート・データ #2 レジスタ (ATR2)

ビデオ・アトリビュート・データ #2 レジスタ (ATR2) を図 117 に示し、表 109 で説明します。

図 117. ビデオ・アトリビュート・データ #2 レジスタ (ATR2)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

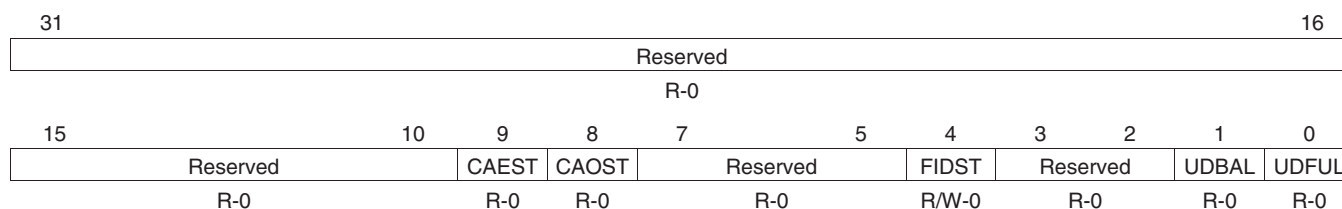
表 109. ビデオ・アトリビュート・データ #2 レジスタ (ATR2) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。
7-0	ATR2	0 ~ FFh	ビデオ・アトリビュート・データ・レジスタ 2。NTSC の場合、CRC データがセットされ、属性の挿入がイネーブルされます。ビット 7 は ATR_EN。ビット 6 は未使用。ビット 5 ~ 0 は CRC。PAL の場合、GROUP3 および GROUP4 のデータがセットされ、属性の挿入がイネーブルされます。ビット 7 は ATR_EN。ビット 6 は未使用。ビット 5 ~ 3 は GROUP4。ビット 2 ~ 0 は GROUP3。ATR_EN : 属性データ挿入イネーブルは 0 : 挿入なし、1 : 挿入。

6.2.40 ビデオ・ステータス・レジスタ (VSTAT)

ビデオ・ステータス・レジスタ (VSTAT) を図 118 に示し、表 110 で説明します。

図 118. ビデオ・ステータス・レジスタ (VSTAT)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

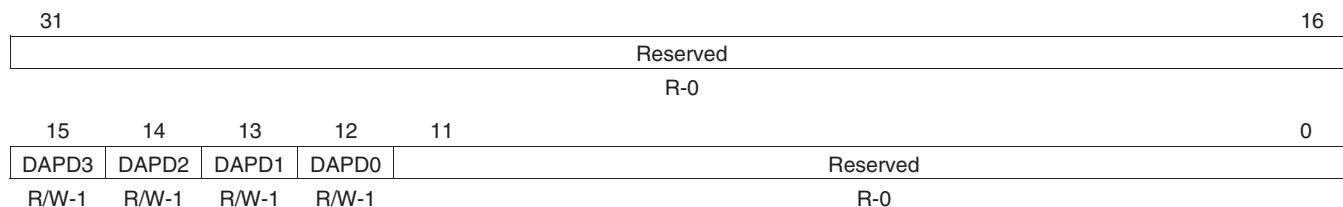
表 110. ビデオ・ステータス・レジスタ (VSTAT) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9	CAEST	0-1	クローズド・キャプション・ステータス (偶数フィールド)。
8	CAOST	0-1	クローズド・キャプション・ステータス (奇数フィールド)。
7-5	Reserved	0	予約。
4	FIDST	0-1	フィールド ID モニタ。
3-2	Reserved	0	予約。
1	UDBAL	0-1	mDisplay ' バランス信号 ' モニタ。
0	UDFUL	0-1	mDisplay ' フル ' 信号モニタ。

6.2.41 DAC テスト・レジスタ (DACTST)

DAC テスト・レジスタ (DACTST) を図 119 に示し、表 111 で説明します。

図 119. DAC テスト・レジスタ (DACTST)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

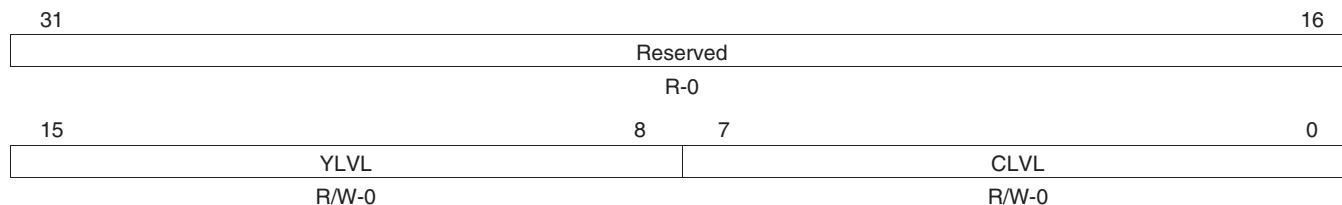
表 111. DAC テスト・レジスタ (DACTST) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	DAPD3	0	DAC3 パワーダウン。 通常モード。
		1	パワーダウン・モード。
14	DAPD2	0	DAC2 パワーダウン。 通常モード。
		1	パワーダウン・モード。
13	DAPD1	0	DAC1 パワーダウン。 通常モード。
		1	パワーダウン・モード。
12	DAPD0	0	DAC0 パワーダウン。 通常モード。
		1	パワーダウン・モード。
11-0	Reserved	0	予約。

6.2.42 YOUT / COUT レベル・レジスタ (YCOLVL)

YOUT / COUT レベル・レジスタ (YCOLVL) を図 120 に示し、表 112 で説明します。

図 120. YOUT / COUT レベル・レジスタ (YCOLVL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

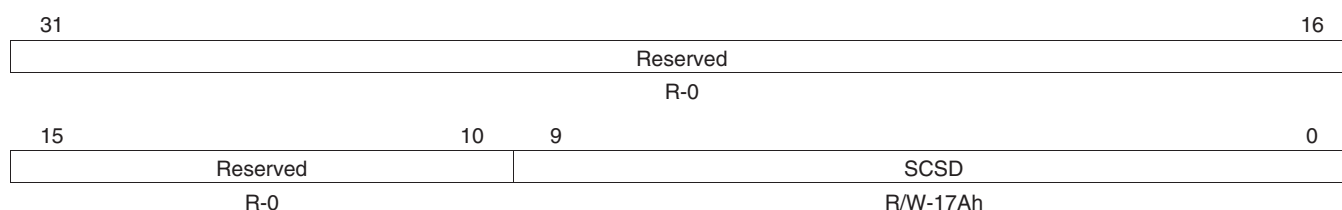
表 112. YOUT / COUT レベル・レジスタ (YCOLVL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	YLVL	0 ~ FFh	YOUT DC レベル。
7-0	CLVL	0 ~ FFh	COUT DC レベル。

6.2.43 サブキャリア・プログラミング・レジスタ (SCPROG)

サブキャリア・プログラミング・レジスタ (SCPROG) を図 121 に示し、表 113 で説明します。

図 121. サブキャリア・プログラミング・レジスタ (SCPROG)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

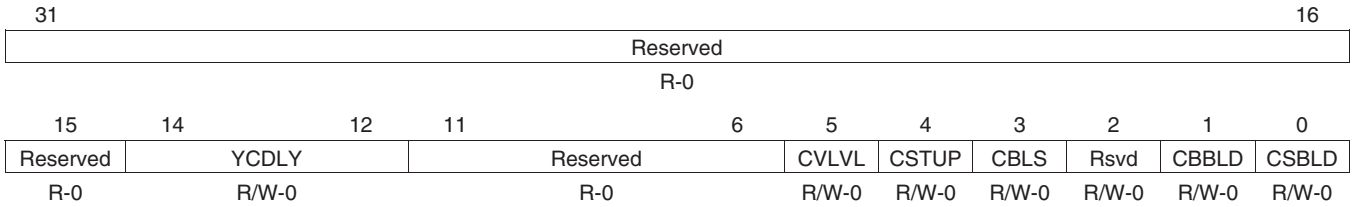
表 113. サブキャリア・プログラミング・レジスタ (SCPROG) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	SCSD	0 ~ 3FFh	サブキャリアの初期位相値。SCSD/1024 × 360 で指定される各段階の位相。

6.2.44 コンポジット・モード・レジスタ (CVBS)

コンポジット・モード・レジスタ (CVBS) を図 122 に示し、表 114 で説明します。

図 122. コンポジット・モード・レジスタ (CVBS)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 114. コンポジット・モード・レジスタ (CVBS) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14-12	YCDLY	0 ~ 7h	コンポジット信号の Y 信号の遅延調整。値は 2 の補数で表されます。
		0	0
		1h	1
		2h	2
		3h	3
		4h	-4
		5h	-3
		6h	-2
		7h	-1
11-6	Reserved	0	予約。
5	CVLVL	0	コンポジット・ビデオ・レベル (同期 / 白)。 286mV/714mV
		1	300mV/700mV
4	CSTUP	0	NTSC 出力のセットアップ・レベル。 0%
		1	7.5%
3	CBLS	0	ブランキング・シェイプのディスエーブル。 イネーブル。
		1	ディスエーブル。
2	Reserved	0	予約。
1	CBBLD	0	コンポジット出力用のブランキング・ビルドアップ時間。 140 μs
		1	300 μs
0	CSBLD	0	コンポジット出力用の同期ビルドアップ時間。 140 μs
		1	200 μs

6.2.45 コンポーネント・モード・レジスタ (CMPNT)

コンポーネント・モード・レジスタ (CMPNT) を図 123 に示し、表 115 で説明します。

図 123. コンポーネント・モード・レジスタ (CMPNT)

Reserved														
R-0														
31												16		
15	14	12	11	10	9	8	7	6	5	4	3	2	1	0
MRGB	MYDLY	Reserved	MSYR	MSYB	MSYG	MCLVL	MYLVL	MSTUP	MBLS	Reserved	MBBLD	MSBLD		
R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 115. コンポーネント・モード・レジスタ (CMPNT) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	MRGB	0 1	コンポーネント出力用の RGB モードの選択。 YPbPr RGB
14-12	MYDLY	0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h	コンポーネント・モードでの Y 信号の遅延調整。値は 2 の補数で表されます。 0 1 2 3 -4 -3 -2 -1
11	Reserved	0	予約。
10	MSYR	0 1	Pr (または R) での同期。 同期なし。 同期はオン。
9	MSYB	0 1	Pb (または B) での同期。 同期なし。 同期はオン。
8	MSYG	0 1	Y (または G) での同期。 同期なし。 同期はオン。
7-6	MCLVL	0 ~ 3h 0 1h 2h 3h	コンポーネント YPbPr の色差レベル。 350mV (SMPTE N10) 467mV (ベータカム) 324mV (MII) 予約。

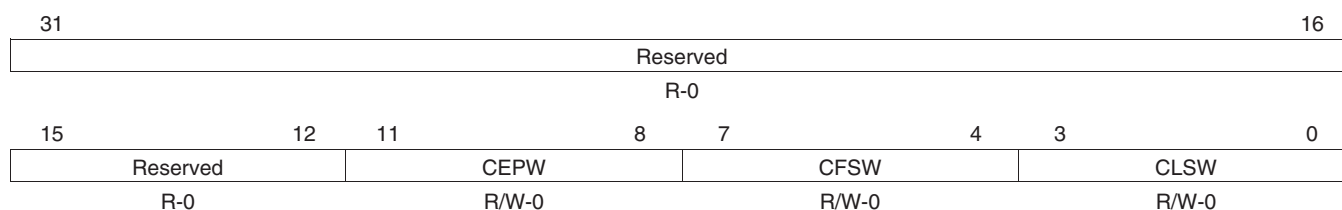
表 115. コンポーネント・モード・レジスタ (CMPNT) フィールドの説明 (続き)

ビット	フィールド	値	説明
5	MYLVL	0	コンポーネント YPbPr の輝度レベル (同期 / 白)。 286mV/714mV
		1	300mV/700mV
4	MSTUP	0	コンポーネント YPbPr のセットアップ。 0%
		1	7.5%
3	MBLS	0	ブランキング・シェイプのディスエーブル。これを 1 にセットすると、ブランキング・シェイプ機能はディスエーブルされます。 イネーブル。
		1	ディスエーブル。
2	Reserved	0	予約。
1	MBBLD		コンポーネント出力用のブランキング・ビルドアップ時間。 インターレース :
		0	140 μ s
		1	300 μ s
			プログレッシブ :
	0	70 μ s	
	1	150 μ s	
0	MSBLD		コンポーネント出力用の同期ビルドアップ時間。 インターレース :
		0	140 μ s
		1	200 μ s
			プログレッシブ :
		0	70 μ s
		1	100 μ s

6.2.46 CVBS タイミング・コントロール 0 レジスタ (ETMG0)

CVBS タイミング・コントロール 0 レジスタ (ETMG0) を図 124 に示し、表 116 で説明します。

図 124. CVBS タイミング・コントロール 0 レジスタ (ETMG0)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

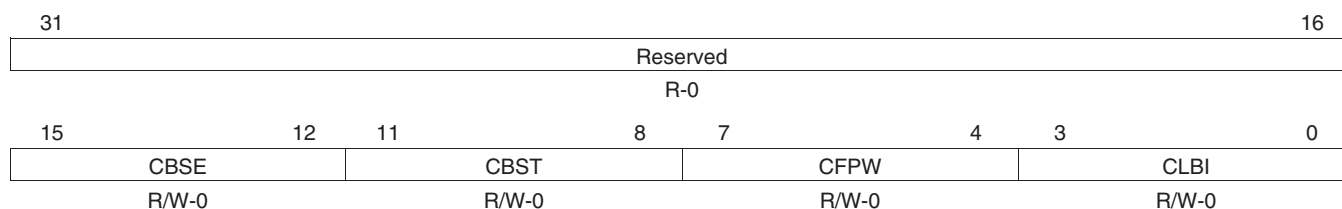
表 116. CVBS タイミング・コントロール 0 レジスタ (ETMG0) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-8	CEPW	0 ~ Fh	コンポジット出力用のイコライジング・パルス幅オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
7-4	CFSW	0 ~ Fh	コンポジット出力用のフィールド同期パルス幅オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
3-0	CLSW	0 ~ Fh	コンポジット出力用のライン同期パルス幅オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。

6.2.47 CVBS タイミング・コントロール 1 レジスタ (ETMG1)

CVBS タイミング・コントロール 1 レジスタ (ETMG1) を図 125 に示し、表 117 で説明します。

図 125. CVBS タイミング・コントロール 1 レジスタ (ETMG1)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

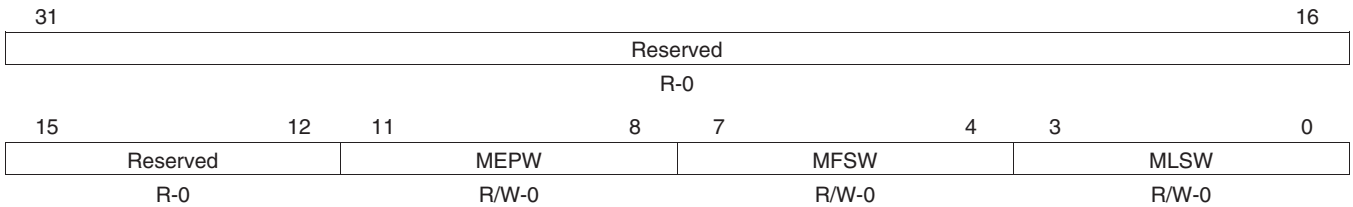
表 117. CVBS タイミング・コントロール 1 レジスタ (ETMG1) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-12	CBSE	0 ~ Fh	コンポジット出力用のバースト終了位置オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
11-8	CBST	0 ~ Fh	コンポジット出力用のバースト開始位置オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
7-4	CFPW	0 ~ Fh	コンポジット出力用のフロント・ポーチ位置オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
3-0	CLBI	0 ~ Fh	コンポジット出力用のライン・ブランキング終了位置オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。

6.2.48 コンポーネント・タイミング・コントロール0 レジスタ (ETMG2)

コンポーネント・タイミング・コントロール0 レジスタ (ETMG2) を図 126 に示し、表 118 で説明します。

図 126. コンポーネント・タイミング・コントロール0 レジスタ (ETMG2)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

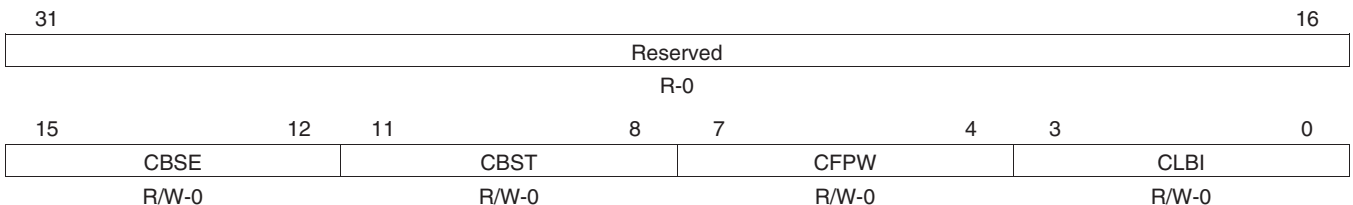
表 118. コンポーネント・タイミング・コントロール0 レジスタ (ETMG2) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-8	MEPW	0 ~ Fh	コンポーネント出力用のイコライジング・パルス幅オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
7-4	MFSW	0 ~ Fh	コンポーネント出力用のフィールド同期パルス幅オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
3-0	MLSW	0 ~ Fh	コンポーネント出力用のライン同期パルス幅オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。

6.2.49 コンポーネント・タイミング・コントロール1 レジスタ (ETMG3)

コンポーネント・タイミング・コントロール1 レジスタ (ETMG3) を図 127 に示し、表 119 で説明します。

図 127. コンポーネント・タイミング・コントロール1 レジスタ (ETMG3)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 119. コンポーネント・タイミング・コントロール1 レジスタ (ETMG3) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。
7-4	CFPW	0 ~ Fh	コンポーネント出力用のフロント・ポーチ位置オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。
3-0	CLBI	0 ~ Fh	コンポーネント出力用のライン・ブランキング終了位置オフセット。これは、ENC クロックによってセットされます。このレジスタは、符号付き整数 (2 の補数) として表されます。

6.2.50 DAC アウトプット・セレクト・レジスタ (DACSEL)

DAC アウトプット・セレクト・レジスタ (DACSEL) を図 128 に示し、表 120 で説明します。

図 128. DAC アウトプット・セレクト・レジスタ (DACSEL)

31	Reserved				16		
R-0							
15	12	11	8	7	4	3	0
DA3S		DA2S		DA1S		DA0S	
R/W-0		R/W-0		R/W-0		R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 120. DAC アウトプット・セレクト・レジスタ (DACSEL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-12	DA3S	0 ~ 7Fh	DAC3 出力選択。
		0	CVBS
		1h	S- ビデオ Y
		2h	S- ビデオ C
		3h	Y/G
		4h	Pb/B
		5h	Pr/R
		6h ~ 7Fh	予約。
11-8	DA2S	0 ~ 7Fh	DAC2 出力選択。
		0	CVBS
		1h	S- ビデオ Y
		2h	S- ビデオ C
		3h	Y/G
		4h	Pb/B
		5h	Pr/R
		6h ~ 7Fh	予約。
7-4	DA1S	0 ~ 7Fh	DAC1 出力選択。
		0	CVBS
		1h	S- ビデオ Y
		2h	S- ビデオ C
		3h	Y/G
		4h	Pb/B
		5h	Pr/R
		6h ~ 7Fh	予約。
3-0	DA0S	0 ~ 7Fh	DAC0 出力選択。
		0	CVBS
		1h	S- ビデオ Y
		2h	S- ビデオ C
		3h	Y/G

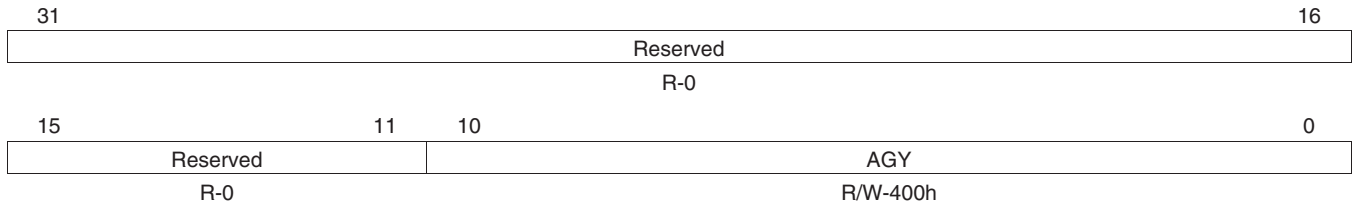
表 120. DAC アウトプット・セレクト・レジスタ (DACSEL) フィールドの説明 (続き)

ビット	フィールド	値	説明
		4h	Pb/B
		5h	Pr/R
		6h ~ 7Fh	予約。

6.2.51 アナログ RGB マトリックス 0 レジスタ (ARGBX0)

アナログ RGB マトリックス 0 レジスタ (ARGBX0) を図 129 に示し、表 121 で説明します。

図 129. アナログ RGB マトリックス 0 レジスタ (ARGBX0)



凡例: R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

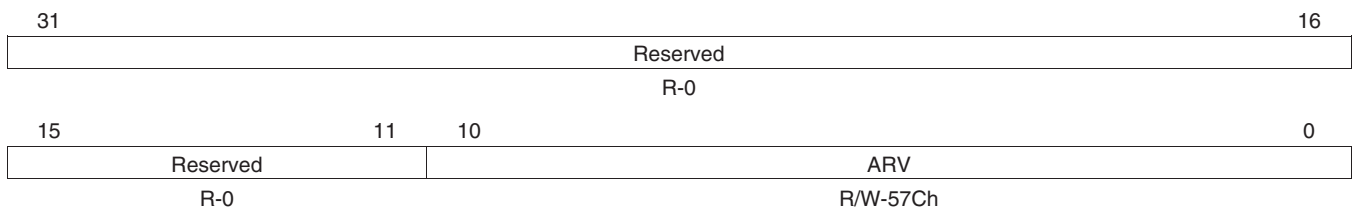
表 121. アナログ RGB マトリックス 0 レジスタ (ARGBX0) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	AGY	0 ~ 7FFh	アナログ RGB 出力用の YCbCr RGB マトリックス係数 GY。 式: $\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \frac{1}{1024} \begin{bmatrix} GY & 0 & RV \\ GY - GU & -GV & \\ GY & BU & 0 \end{bmatrix} \begin{bmatrix} Y - 16 \\ Cb - 128 \\ Cr - 128 \end{bmatrix}$ デフォルト: $\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \frac{1}{1024} \begin{bmatrix} 1024 & 0 & 1404 \\ 1024 & -345 & -715 \\ 1024 & 1774 & 0 \end{bmatrix} \begin{bmatrix} Y - 16 \\ Cb - 128 \\ Cr - 128 \end{bmatrix}$

6.2.52 アナログ RGB マトリックス 1 レジスタ (ARGBX1)

アナログ RGB マトリックス 1 レジスタ (ARGBX1) を図 130 に示し、表 122 で説明します。

図 130. アナログ RGB マトリックス 1 レジスタ (ARGBX1)



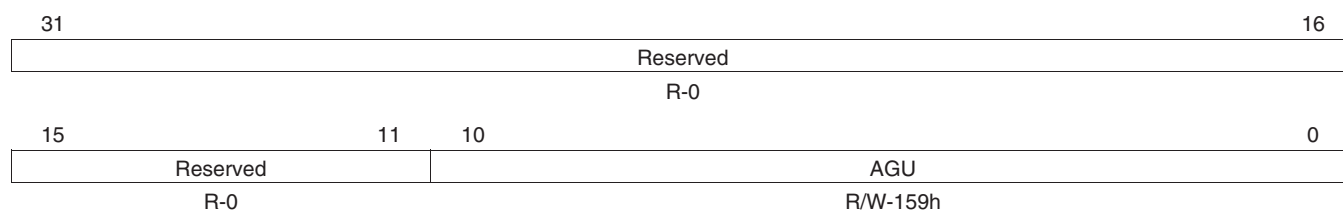
凡例: R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 122. アナログ RGB マトリックス 1 レジスタ (ARGBX1) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	ARV	0 ~ 7FFh	アナログ RGB 出力用の YCbCr RGB マトリックス係数 RV。

6.2.53 アナログ RGB マトリックス 2 レジスタ (ARGBX2)

アナログ RGB マトリックス 2 レジスタ (ARGBX2) を図 131 に示し、表 123 で説明します。

図 131. アナログ RGB マトリックス 2 レジスタ (ARGBX2)


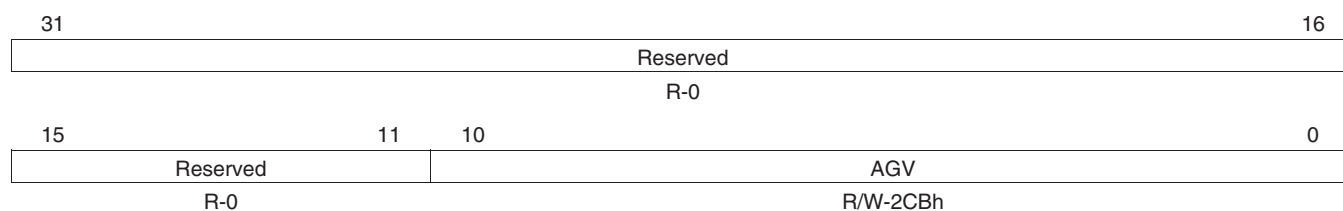
凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 123. アナログ RGB マトリックス 2 レジスタ (ARGBX2) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	AGU	0 ~ 7FFh	アナログ RGB 出力用の YCbCr RGB マトリックス係数 GU。

6.2.54 アナログ RGB マトリックス 3 レジスタ (ARGBX3)

アナログ RGB マトリックス 3 レジスタ (ARGBX3) を図 132 に示し、表 124 で説明します。

図 132. アナログ RGB マトリックス 3 レジスタ (ARGBX3)


凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

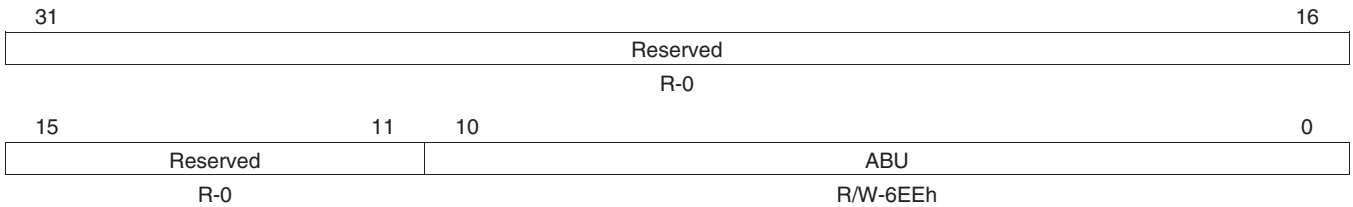
表 124. アナログ RGB マトリックス 3 レジスタ (ARGBX3) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	AGV	0 ~ 7FFh	アナログ RGB 出力用の YCbCr RGB マトリックス係数 GV。

6.2.55 アナログ RGB マトリックス 4 レジスタ (ARGBX4)

アナログ RGB マトリックス 4 レジスタ (ARGBX4) を図 133 に示し、表 125 で説明します。

図 133. アナログ RGB マトリックス 4 レジスタ (ARGBX4)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

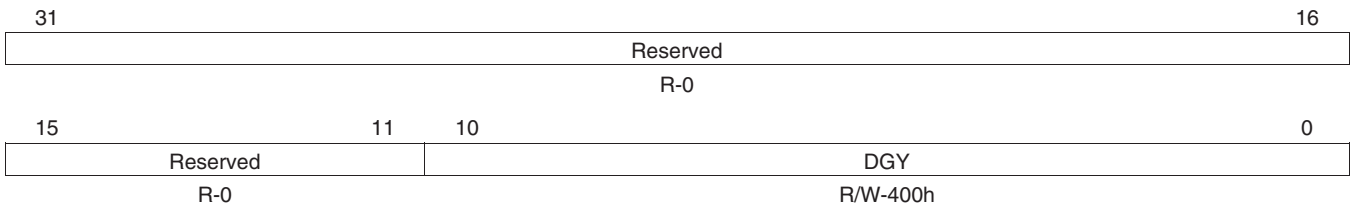
表 125. アナログ RGB マトリックス 4 レジスタ (ARGBX4) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	ABU	0 ~ 7FFh	アナログ RGB 出力用の YCbCr RGB マトリックス係数 BU。

6.2.56 デジタル RGB マトリックス 0 レジスタ (DRGBX0)

デジタル RGB マトリックス 0 レジスタ (DRGBX0) を図 134 に示し、表 126 で説明します。

図 134. デジタル RGB マトリックス 0 レジスタ (DRGBX0)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

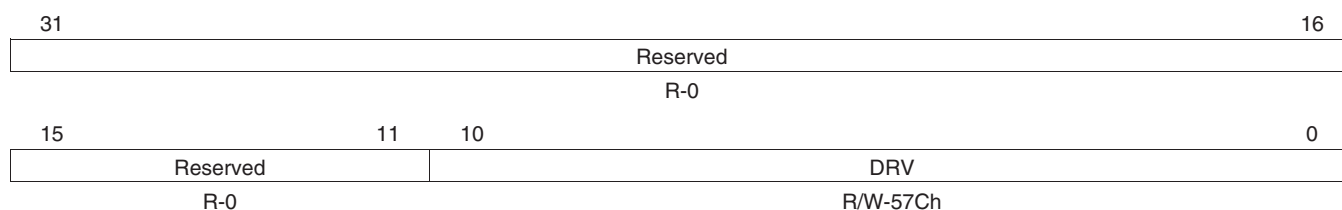
表 126. デジタル RGB マトリックス 0 レジスタ (DRGBX0) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	DGY	0 ~ 7FFh	デジタル RGB 出力用の YCbCr RGB マトリックス係数 GY。 式： $\begin{matrix} R & & GY & 0 & RV & Y - 16 \\ G & = & 1/1024 & GY - GU - GV & Cb - 128 \\ B & & & GY & BU & 0 & Cr - 128 \end{matrix}$ デフォルト： $\begin{matrix} R & & 1024 & 0 & 1404 & Y - 16 \\ G & = & 1/1024 & 1024 & -345 & -715 & Cb - 128 \\ B & & & 1024 & 1774 & 0 & Cr - 128 \end{matrix}$

6.2.57 デジタル RGB マトリックス 1 レジスタ (DRGBX1)

デジタル RGB マトリックス 1 レジスタ (DRGBX1) を図 135 に示し、表 127 で説明します。

図 135. デジタル RGB マトリックス 1 レジスタ (DRGBX1)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

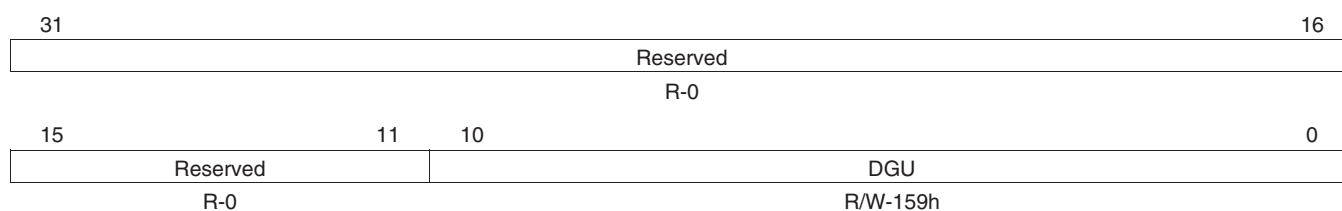
表 127. デジタル RGB マトリックス 1 レジスタ (DRGBX1) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	DRV	0 ~ 7FFh	デジタル RGB 出力用の YCbCr RGB マトリックス係数 RV。

6.2.58 デジタル RGB マトリックス 2 レジスタ (DRGBX2)

デジタル RGB マトリックス 2 レジスタ (DRGBX2) を図 136 に示し、表 128 で説明します。

図 136. デジタル RGB マトリックス 2 レジスタ (DRGBX2)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

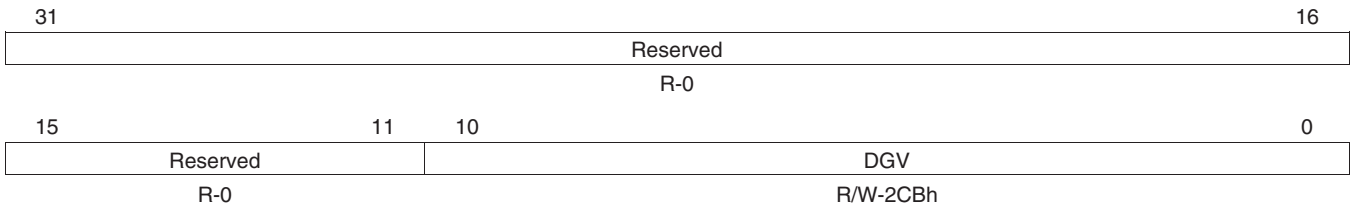
表 128. デジタル RGB マトリックス 2 レジスタ (DRGBX2) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	DGU	0 ~ 7FFh	デジタル RGB 出力用の YCbCr RGB マトリックス係数 GU。

6.2.59 デジタル RGB マトリックス 3 レジスタ (DRGBX3)

デジタル RGB マトリックス 3 レジスタ (DRGBX3) を図 137 に示し、表 129 で説明します。

図 137. デジタル RGB マトリックス 3 レジスタ (DRGBX3)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

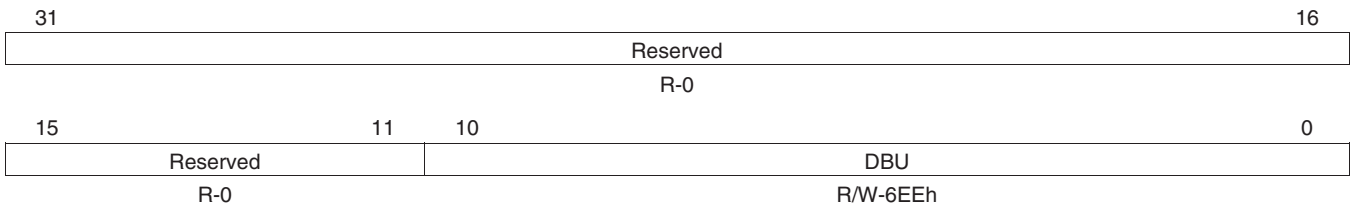
表 129. デジタル RGB マトリックス 3 レジスタ (DRGBX3) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	DGV	0 ~ 7FFh	デジタル RGB 出力用の YCbCr RGB マトリックス係数 GV。

6.2.60 デジタル RGB マトリックス 4 レジスタ (DRGBX4)

デジタル RGB マトリックス 4 レジスタ (DRGBX4) を図 138 に示し、表 130 で説明します。

図 138. デジタル RGB マトリックス 4 レジスタ (DRGBX4)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

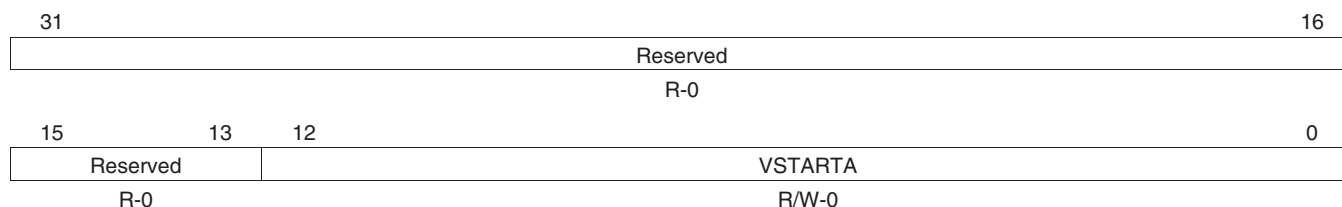
表 130. デジタル RGB マトリックス 4 レジスタ (DRGBX4) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	DBU	0 ~ 7FFh	デジタル RGB 出力用の YCbCr RGB マトリックス係数 BU。

6.2.61 パーティカル・データ・バリッド・スタート・ポジション・レジスタ (VSTARTA) (偶数フィールド用)

パーティカル・バリッド・データ・スタート・ポジション・レジスタ (VSTART) (偶数フィールド用) を図 139 に示し、表 131 で説明します。

図 139. パーティカル・データ・バリッド・スタート・ポジション・レジスタ (VSTARTA) (偶数フィールド用)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

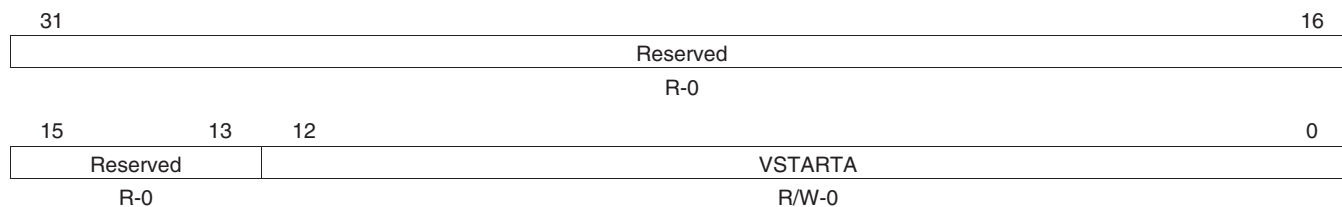
表 131. パーティカル・データ・バリッド・スタート・ポジション・レジスタ (VSTARTA) (偶数フィールド用) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。
12-0	VSTARTA	0 ~ 1FFFh	偶数フィールド用の垂直方向の有効なデータ開始位置。ライン数を指定します。

6.2.62 OSD クロック・コントロール 0 レジスタ (OSDCLK0)

OSD クロック・コントロール 0 レジスタ (OSDCLK0) を図 140 で示し、表 132 で説明します。

図 140. OSD クロック・コントロール 0 レジスタ (OSDCLK0)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

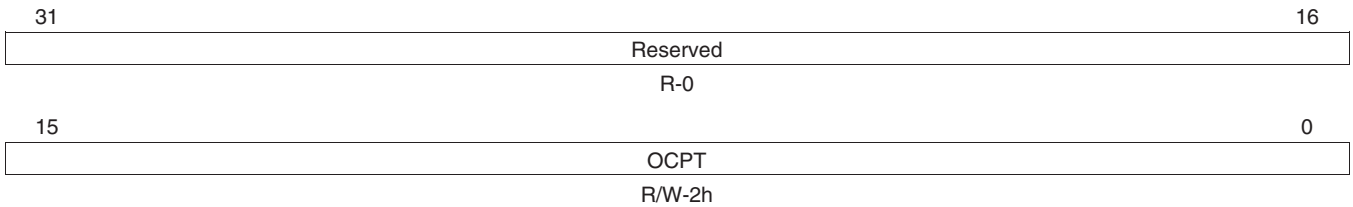
表 132. OSD クロック・コントロール 0 レジスタ (OSDCLK0) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約。
3-0	OCPW	0 ~ Fh	OSD クロック・パターン・ビット幅。OSDCLK1 レジスタの 16 ビットの中から有効なビット幅をセットします。有効なビット数は、OSDCLK1 の LSB 側から MSB 側へカウントされます。

6.2.63 OSD クロック・コントロール1 レジスタ (OSDCLK1)

OSD クロック・コントロール1 レジスタ (OSDCLK1) を図 141 で示し、表 133 で説明します。

図 141. OSD クロック・コントロール1 レジスタ (OSDCLK1)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

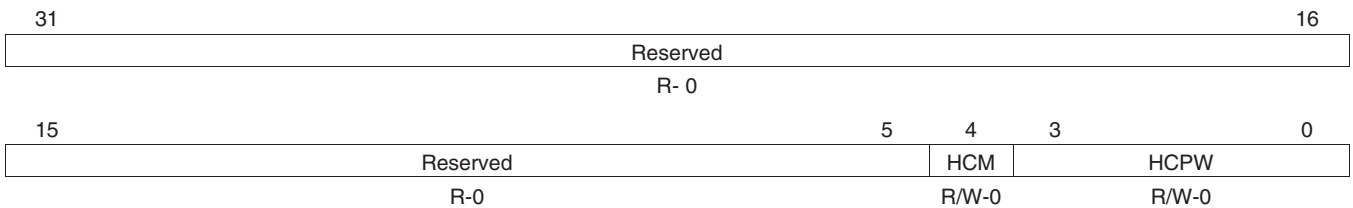
表 133. OSD クロック・コントロール1 レジスタ (OSDCLK1) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-0	OCPT	0 ~ FFFFh	OSD クロック・パターン。

6.2.64 ホリゾンタル・バリッド・カリング・コントロール0 レジスタ (HVLDCLO)

ホリゾンタル・バリッド・カリング・コントロール0 レジスタ (HVLDCLO) を図 142 に示し、表 134 で説明します。

図 142. ホリゾンタル・バリッド・カリング・コントロール0 レジスタ (HVLDCLO)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

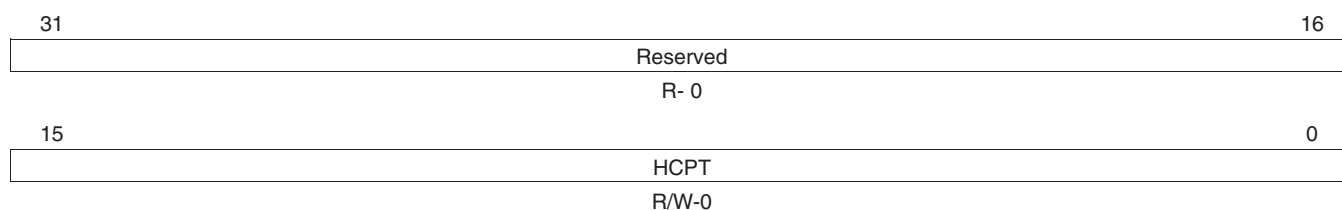
表 134. ホリゾンタル・バリッド・カリング・コントロール0 レジスタ (HVLDCLO) フィールドの説明

ビット	フィールド	値	説明
31-5	Reserved	0	予約。
4	HCM	0 1	これがイネーブルの場合、水平方向の有効なカリング・モード。LCD_OE 信号は HCPT レジスタが指定するパターンによってゲート制御されます。 通常モード。 水平方向の有効なカリング・モード。
3-0	HCPW	0 ~ Fh	水平方向の有効なカリング・パターン・ビット幅。HVLDCLO レジスタの 16 ビットの中から有効なビット幅をセットします。有効なビット数は、HVLDCLO の LSB 側から MSB 側へカウントされます。

6.2.65 ホリゾンタル・バリッド・カリング・コントロール1 レジスタ (HVLDC1)

ホリゾンタル・バリッド・カリング・コントロール1 レジスタ (HVLDC1) を図 143 に示し、表 135 で説明します。

図 143. ホリゾンタル・バリッド・カリング・コントロール1 レジスタ (HVLDC1)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

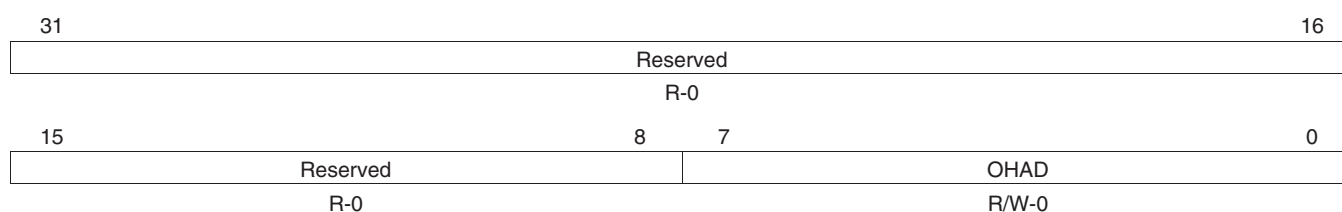
表 135. ホリゾンタル・バリッド・カリング・コントロール1 レジスタ (HVLDC1) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-0	HCPT	0 ~ FFFFh	水平方向のカリング・パターン。

6.2.66 OSD ホリゾンタル・シンク・アドバンス・レジスタ (OSDHADV)

OSD ホリゾンタル・シンク・アドバンス・レジスタ (OSDHADV) を図 144 に示し、表 136 で説明します。

図 144. OSD ホリゾンタル・シンク・アドバンス・レジスタ (OSDHADV)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

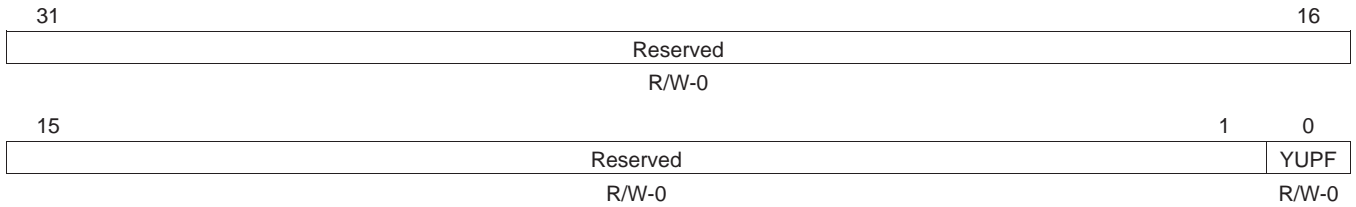
表 136. OSD ホリゾンタル・シンク・アドバンス・レジスタ (OSDHADV) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。
7-0	OHAD	0 ~ FFh	OSD 水平同期の進行。OSD 水平同期アサーション・タイミングは、このレジスタによって進みます。デフォルトでは、タイミングが調整されているので、OSD タイミング関連レジスタおよび VENC タイミング関連レジスタはアラインされます。ENC クロック数を指定します。

6.2.67 VENC ミセレイニクス・レジスタ (VMISC)

VENC ミセレイニクス・レジスタ (VMISC) を図 145 に示し、表 137 で説明します。

図 145. VENC ミセレイニクス・レジスタ (VMISC)



凡例：R/W = リード / ライト。-n = リセット後の値。

表 137. VENC ミセレイニクス・レジスタ (VMISC) フィールドの説明

ビット	フィールド	値	説明
31-1	Reserved	0	予約。これらのビットにライトしてはいけません。常にデフォルト値を保持してください。
0	YUPF	0	輝度アップサンプリング・フィルタの選択。 予約。
		1	[1 2 1]。VDPRO.YUPS = 1 の場合、使用する必要があります。

6.3 オンスクリーン・ディスプレイ (OSD) レジスタ

表 138 に、OSD モジュール用のレジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。表 138 に記載のない他のレジスタ・オフセット・アドレスは、予約ロケーションと見なされ、レジスタの内容は変更されません。

一部のレジスタ/フィールドはフレーム・ディスプレイ時にシャドウイングされ、次のフレーム周期までそのロケーションへライトしても適用されません。このようなレジスタ/フィールドを表 64 に示します。

表 138. オンスクリーン・ディスプレイ (OSD) レジスタ

オフセット	レジスタ	説明	参照先
2600h	MODE	OSD モード・レジスタ	6.3.1 項
2604h	VIDWINMD	ビデオ・ウィンドウ・モード・セットアップ・レジスタ	6.3.2 項
2608h	OSDWIN0MD	OSD ウィンドウ・モード・セットアップ・レジスタ	6.3.3 項
260Ch	OSDWIN1MD	OSD ウィンドウ 1 モード・セットアップ・レジスタ (2 番目の OSD ウィンドウとして使用される場合)	6.3.4 項
260Ch	OSDATRMD	OSD アトリビュート・ウィンドウ・モード・セットアップ (アトリビュート・ウィンドウとして使用される場合)	6.3.5 項
2610h	RECTCUR	レクタングラ・カーソル・セットアップ・レジスタ	6.3.6 項
2618h	VIDWIN0OFST	ビデオ・ウィンドウ 0 オフセット・レジスタ	6.3.7 項
261Ch	VIDWIN1OFST	ビデオ・ウィンドウ 1 オフセット・レジスタ	6.3.8 項
2620h	OSDWIN0OFST	OSD ウィンドウ 0 オフセット・レジスタ	6.3.9 項
2624h	OSDWIN1OFST	OSD ウィンドウ 1 オフセット・レジスタ	6.3.10 項
262Ch	VIDWIN0ADR	ビデオ・ウィンドウ 0 アドレス・レジスタ	6.3.11 項
2630h	VIDWIN1ADR	ビデオ・ウィンドウ 1 アドレス・レジスタ	6.3.12 項
2638h	OSDWIN0ADR	OSD ウィンドウ 0 アドレス・レジスタ	6.3.13 項
263Ch	OSDWIN1ADR	OSD ウィンドウ 1 アドレス・レジスタ	6.3.14 項
2640h	BASEPX	ベース・ピクセル X レジスタ	6.3.15 項
2644h	BASEPY	ベース・ピクセル Y レジスタ	6.3.16 項
2648h	VIDWIN0XP	ビデオ・ウィンドウ 0 X ポジション・レジスタ	6.3.17 項
264Ch	VIDWIN0YP	ビデオ・ウィンドウ 0 Y ポジション・レジスタ	6.3.18 項
2650h	VIDWIN0XL	ビデオ・ウィンドウ 0 X サイズ・レジスタ	6.3.19 項
2654h	VIDWIN0YL	ビデオ・ウィンドウ 0 Y サイズ・レジスタ	6.3.20 項
2658h	VIDWIN1XP	ビデオ・ウィンドウ 1 X ポジション・レジスタ	6.3.21 項
265Ch	VIDWIN1YP	ビデオ・ウィンドウ 1 Y ポジション・レジスタ	6.3.22 項
2660h	VIDWIN1XL	ビデオ・ウィンドウ 1 X サイズ・レジスタ	6.3.23 項
2664h	VIDWIN1YL	ビデオ・ウィンドウ 1 Y サイズ・レジスタ	6.3.24 項
2668h	OSDWIN0XP	OSD ビットマップ・ウィンドウ 0 X ポジション・レジスタ	6.3.25 項
266Ch	OSDWIN0YP	OSD ビットマップ・ウィンドウ 0 Y ポジション・レジスタ	6.3.26 項
2670h	OSDWIN0XL	OSD ビットマップ・ウィンドウ 0 X サイズ・レジスタ	6.3.27 項
2674h	OSDWIN0YL	OSD ビットマップ・ウィンドウ 0 Y サイズ・レジスタ	6.3.28 項
2678h	OSDWIN1XP	OSD ビットマップ・ウィンドウ 1 X ポジション・レジスタ	6.3.29 項
267Ch	OSDWIN1YP	OSD ビットマップ・ウィンドウ 1 Y ポジション・レジスタ	6.3.30 項
2680h	OSDWIN1XL	OSD ビットマップ・ウィンドウ 1 X サイズ・レジスタ	6.3.31 項
2684h	OSDWIN1YL	OSD ビットマップ・ウィンドウ 1 Y サイズ・レジスタ	6.3.32 項

表 138. オンスクリーン・ディスプレイ (OSD) レジスタ (続き)

オフセット	レジスタ	説明	参照先
2688h	CURXP	レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ	6.3.33 項
268Ch	CURYYP	レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ	6.3.34 項
2690h	CURXL	レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ	6.3.35 項
2694h	CURYL	レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ	6.3.36 項
26A0h	W0BMP01	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ 0/1 レジスタ	6.3.37 項
26A4h	W0BMP23	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ 2/3 レジスタ	6.3.38 項
26A8h	W0BMP45	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ 4/5 レジスタ	6.3.39 項
26ACh	W0BMP67	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ 6/7 レジスタ	6.3.40 項
26B0h	W0BMP89	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ 8/9 レジスタ	6.3.41 項
26B4h	W0BMPAB	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ A/B レジスタ	6.3.42 項
26B8h	W0BMPCD	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ C/D レジスタ	6.3.43 項
26BCh	W0BMPEF	ウィンドウ 0 ビットマップ・パリュウ・ツウ・パレット・マップ E/F レジスタ	6.3.44 項
26C0h	W1BMP01	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ 0/1 レジスタ	6.3.45 項
26C4h	W1BMP23	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ 2/3 レジスタ	6.3.46 項
26C8h	W1BMP45	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ 4/5 レジスタ	6.3.47 項
26CCh	W1BMP67	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ 6/7 レジスタ	6.3.48 項
26D0h	W1BMP89	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ 8/9 レジスタ	6.3.49 項
26D4h	W1BMPAB	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ A/B レジスタ	6.3.50 項
26D8h	W1BMPCD	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ C/D レジスタ	6.3.51 項
26DCh	W1BMPEF	ウィンドウ 1 ビットマップ・パリュウ・ツウ・パレット・マップ E/F レジスタ	6.3.52 項
26E8h	MISCCTL	ミセレイニアス・コントロール・レジスタ	6.3.53 項
26ECh	CLUTRAMYCB	CLUT RAM YCB セットアップ・レジスタ	6.3.54 項
26F0h	CLUTRAMCR	CLUT RAM セットアップ・レジスタ	6.3.55 項
26F4h	TRANSPVAL	トランスペアレンシー・パリュウ・セットアップ・レジスタ	6.3.56 項
26FCh	PPVWIN0ADR	ピンボン・ビデオ・ウィンドウ 0 アドレス・レジスタ	6.3.57 項

6.3.1 OSD モード・レジスタ (MODE)

OSD モード・レジスタ (MODE) を図 146 で示し、表 139 で説明します。

図 146. OSD モード・レジスタ (MODE)

31										16									
Reserved																			
R-0																			
15		14		13		12		11		10		9		8		7		0	
CS		OVRSZ		OHRSZ		EF		VVRSZ		VHRSZ		FSINV		BCLUT		CABG			
R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0		R/W-0			

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 139. OSD モード・レジスタ (MODE) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	CS	0	Cb/Cr または Cr/Cb フォーマット。このビットは、Cb や Cr のコンポーネントの配置に関連する入力データの順序を選択します。
		1	
14	OVRSZ	0	OSD ウィンドウの垂直拡張のイネーブル。イネーブルの場合、ビットマップ・ウィンドウのイメージは垂直方向に 6/5 の比率で引き伸ばされます。結果的に、PAL テレビジョン (720 × 576) 上の通常の VGA (640 × 480) イメージをディスプレイするための適切な垂直方向へのサイズ変更になります。つまり、480 × 6/5 = 576。
		1	
13	OHRSZ	0	OSD ウィンドウの水平拡張のイネーブル。イネーブルの場合、ビットマップ・ウィンドウのイメージは水平方向に 9/8 の比率で引き伸ばされます。結果的に、PAL / NTSC テレビジョン (720) 上の通常の VGA (640 × 480) イメージをディスプレイするための適切な水平方向へのサイズ変更になります。
		1	
12	EF	0	拡張フィルタのイネーブル。VVRSZ または VHRSZ のいずれかがオンの場合、またはウィンドウ・スムーズがセットされている場合に有効。拡張フィルタのメモリが水平方向 720 ピクセルにのみ対応可能なため、フィルタ使用時には注意が必要です。このビットは VD によってラッチされます。
		1	
11	VVRSZ	0	ビデオ・ウィンドウの垂直拡張のイネーブル。イネーブルの場合、ビデオ・ウィンドウのイメージは垂直方向に 6/5 の比率で引き伸ばされます。結果的に、PAL テレビジョン (720 × 576) 上に通常の VGA (640 × 480) イメージをディスプレイするための適切な垂直方向へのサイズ変更になります。つまり、480 × 6/5 = 576。このビットは VD によってラッチされます。
		1	

表 139. OSD モード・レジスタ (MODE) フィールドの説明 (続き)

ビット	フィールド	値	説明
10	VHRSZ	0 1	ビデオ・ウィンドウの水平拡張のイネーブル。イネーブルの場合、ビデオ・ウィンドウのイメージは水平方向に 9/8 の比率で引き伸ばされます。結果的に、NTSC/PAL テレビジョン (720 × n) 上に通常の VGA (640 × 480) イメージをディスプレイするための適切な水平方向へのサイズ変更になります。つまり、640 × 9/8 = 720。このビットは VD によってラッチされます。 1 倍。 9/8 倍。
9	FSINV	0 1	フィールド信号の反転。このビットは VD によってラッチされます。 反転しない。 反転。
8	BCLUT	0 1	バックグラウンド CLUT の選択。バックグラウンド・カラー・ディスプレイ用のルックアップ・テーブルを選択します。このビットは VD によってラッチされます。 ROM RAM
7-0	CABG	0 ~ FFh	バックグラウンド・カラー CLUT。CLUT によるイメージ・ディスプレイのバックグラウンド・カラーを指定します。イメージをディスプレイしない部分では、このレジスタによって指定されたカラーがディスプレイされます。

6.3.2 ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD)

ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD) を図 147 に示し、表 140 で説明します。

図 147. ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD)

Reserved															
R-0															
31													16		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Rsvd	V1EFC	VHZ1	VVZ1	VFF1	ACT1	Rsvd	V0EFC	VHZ0	VVZ0	VFF0	ACT0				
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 140. ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	Reserved	0	予約。このビットには常に 0 がライトされます。
14	V1EFC	0 1	ビデオ・ウィンドウ 1 の拡張フィルタ係数。VVRSZ と EF が 1 にセットされている場合、このビットは有効です。 フィールド 0 とフィールド 1 では同じ係数。 フィールド 0 とフィールド 1 では異なる係数。
13-12	VHZ1	0 ~ 3h 0 1h 2h 3h	ビデオ・ウィンドウ 1 の水平方向ズーム。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。

表 140. ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD) フィールドの説明 (続き)

ビット	フィールド	値	説明
11-10	VVZ1	0 ~ 3h 0 1h 2h 3h	ビデオ・ウィンドウ 1 の垂直方向ズーム。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。
9	VFF1	0 1	ビデオ・ウィンドウ 1 のディスプレイ・モード。フィールド・モードでは、VIDWIN1YL で指定されたフィールド内のライン数だけ、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとに繰り返されます。フレーム・モードでは、VIDWIN1YL で指定されたフィールド内のライン数の 2 倍が、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとにインターリーブされます。これは、2 倍の VIDWIN1YL の完全な垂直解像度を提供します。このビットは VD によってラッチされます。 フィールド・モード。 フレーム・モード。
8	ACT1	0 1	ビデオ・ウィンドウ 1 のイメージ・ディスプレイのオン/オフをセットします。このビットは VD によってラッチされます。 オフ。 オン。
7	Reserved	0	予約。
6	VOEFC	0 1	ビデオ・ウィンドウ 0 の拡張フィルタ係数。VVRSZ と EF が 1 にセットされている場合、このビットは有効です。 フィールド 0 とフィールド 1 では同じ係数。 フィールド 0 とフィールド 1 では異なる係数。
5-4	VHZ0	0 ~ 3h 0 1h 2h 3h	ビデオ・ウィンドウ 0 の水平方向ズーム。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。
3-2	VVZ0	0 ~ 3h 0 1h 2h 3h	ビデオ・ウィンドウ 0 の垂直方向ズーム。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。
1	VFF0	0 1	ビデオ・ウィンドウ 0 のディスプレイ・モード。フィールド・モードでは、VIDWIN0YL で指定されたフィールド内のライン数だけ、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとに繰り返されます。フレーム・モードでは、VIDWIN0YL で指定されたフィールド内のライン数の 2 倍が、ディスプレイ・メモリからリードされ、VENC モジュールに送られたフィールドごとにインターリーブされます。これは、2 倍の VIDWIN0YL の完全な垂直解像度を提供します。このビットは VD によってラッチされます。 フィールド・モード。 フレーム・モード。
0	ACT0	0	ビデオ・ウィンドウ 0 のイメージ・ディスプレイのオン/オフをセットします。このビットは VD によってラッチされます。 オフ。

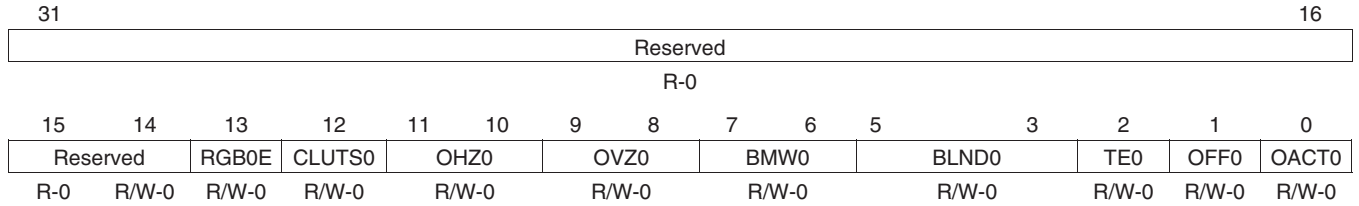
表 140. ビデオ・ウィンドウ・モード・セットアップ・レジスタ (VIDWINMD) フィールドの説明 (続き)

ビット	フィールド	値	説明
		1	オン。

6.3.3 OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD)

OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD) を図 148 に示し、表 141 で説明します。

図 148. OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD)



凡例: R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 141. OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約。
14	Reserved	0	予約。このビットには常に 0 がライトされます。
13	RGB0E	0 1	OSD ウィンドウ 0 の RGB 入力イネーブル。OSDWIN0MD の RGB0E ビットがセットまたはイネーブルの場合、RGB1E は 1 にセットしてはいけません (2 つを同時に使用することは許可されていません)。次の式を使用して、RGB0E が 1 にセットされているときの YCbCr を計算します。 $Y = 0.2990 \times R + 0.5870 \times G + 0.1140 \times B$ $Cb = -0.1687 \times R - 0.3313 \times G + 0.5000 \times B + \text{Offset}(128)$ $Cr = 0.5000 \times R - 0.4187 \times G - 0.0813 \times B + \text{Offset}(128)$ 0 ビットマップ入力。 1 16 ビット RGB モード。
12	CLUTS0	0 1	OSD ウィンドウ 0 の場合の CLUT 選択。OSD ウィンドウ 0 の場合に使用されるルックアップ・テーブルを選択します。 0 ROM ルックアップ・テーブル。 1 RAM ルックアップ・テーブル。
11-10	OHZ0	0 ~ 3h 0 1h 2h 3h	OSD ウィンドウ 0 の水平ズーム。このビットは VD によってラッチされます。 0 1 倍。 1h 2 倍。 2h 4 倍。 3h 予約 (0 と同じ)。
9-8	OVZ0	0 ~ 3h 0 1h 2h 3h	OSD ウィンドウ 0 の垂直ズーム。このビットは VD によってラッチされます。 0 1 倍。 1h 2 倍。 2h 4 倍。 3h 予約 (0 と同じ)。

表 141. OSD ウィンドウ 0 モード・セットアップ・レジスタ (OSDWIN0MD) フィールドの説明 (続き)

ビット	フィールド	値	説明
7-6	BMW0	0 ~ 3h 0 1h 2h 3h	OSD ウィンドウ 0 のビットマップ・ビット幅。このビットは VD によってラッチされます。これが有効なのは、ビットマップ・タイプの場合だけです。OSD ウィンドウが RGB 入力モードの場合、ビット幅は 16 ビットに自動的にセットされ、このレジスタ設定は無視されます。 0 1 ビット。 1h 2 ビット。 2h 4 ビット。 3h 8 ビット。
5-3	BLND0	0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h	OSD ウィンドウ 0 のブレンディング比。OSD ウィンドウ 0 と任意のビデオ・ウィンドウ 0 のブレンディング比をセットします。このビットは VD によってラッチされます。 0 W0-0 V0-1 1h W0-1/8 V0-7/8 2h W0-2/8 V0-6/8 3h W0-3/8 V0-5/8 4h W0-4/8 V0-4/8 5h W0-5/8 V0-3/8 6h W0-6/8 V0-2/8 7h W0-1 V0-0
2	TE0	0 1	OSD ウィンドウ 0 の透過性のイネーブル。透過性がディスエーブルの場合、ビットマップ・ウィンドウ全体は BLND0 に従ってビデオ・ウィンドウとブレンドされます。透過性がイネーブルの場合のビットマップ・モードでは、透過性はビットマップ値が 0 のピクセルの場合にのみ BLND0 に従って行われます。透過性がイネーブルで、かつピクセル値が TRANSPVAL と等しい場合の RGB モードでは、RGB 値から変換された YCbCr データとビデオ・ウィンドウは BLND0 で指定されたブレンディング比に従ってブレンドされます。このビットは VD によってラッチされます。 0 ディスエーブル。 1 イネーブル。
1	OFF0	0 1	OSD ウィンドウ 0 ディスプレイ・モード。フィールド・モードでは、OSDWIN0YL で指定されたフィールド内のライン数だけ、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとに繰り返されます。フレーム・モードでは、OSDWIN0YL で指定されたフィールド内のライン数の 2 倍が、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとにインターリーブされます。これは、2 倍の OSDWIN0YL の完全な垂直解像度を提供します。このビットは VD によってラッチされます。 0 フィールド・モード。 1 フレーム・モード。
0	OACT0	0 1	OSD ウィンドウ 0 のアクティブ (ディスプレイされる)。このビットは VD によってラッチされます。 0 オフ。 1 オン。

6.3.4 OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD)

OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD) を図 149 に示し、表 142 で説明します。

図 149. OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD)

31											16																		
Reserved																													
R-0																													
15		14		13		12		11		10		9		8		7		6		5		3		2		1		0	
OASW	Rsvd	RGB1E	CLUTS1	OHZ1	OVZ1	BMW1	BLND1	TE1	OFF1	OACT1																			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 142. OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	OASW	0 1	OSD ウィンドウ 1 のアトリビュート・モードのイネーブル。このビットは、OSD ウィンドウ 0 のアトリビュート・モードをイネーブルします。このビットは VD によってラッチされません。 OSD ウィンドウ 0。 アトリビュート・ウィンドウ。
14	Reserved	0	予約。このビットには常に 0 がライトされます。
13	RGB1E	0 1	OSD ウィンドウ 1 の RGB 入力イネーブル。OASW = 0。OSDWIN1MD の RGB0E ビットがセットまたはイネーブルの場合、RGB0E は 1 にセットしてはいけません (2 つを同時に使用することは許可されていません)。次の式を使用して、RGB1E が 1 にセットされているときの YCbCr を計算します。 $Y = 0.2990 \times R + 0.5870 \times G + 0.1140 \times B$ $Cb = -0.1687 \times R - 0.3313 \times G + 0.5000 \times B + \text{Offset}(128)$ $Cr = 0.5000 \times R - 0.4187 \times G - 0.0813 \times B + \text{Offset}(128)$ ビットマップ入力。 16 ビット RGB モード。
12	CLUTS1	0 1	OSD ウィンドウ 1 の場合の CLUT 選択。OASW = 0。OSD ウィンドウ 0 の場合に使用されるルックアップ・テーブルを選択します。 ROM ルックアップ・テーブル。 RAM ルックアップ・テーブル。
11-10	OHZ1	0 ~ 3h 0 1h 2h 3h	OSD ウィンドウ 1 の水平ズーム。OASW = 0。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。
9-8	OVZ1	0 ~ 3h 0 1h 2h 3h	OSD ウィンドウ 1 の垂直ズーム。OASW = 0。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。

表 142. OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD) フィールドの説明 (続き)

ビット	フィールド	値	説明
7-6	BMW1	0 ~ 3h 0 1h 2h 3h	OSD ウィンドウ 1 のビットマップ・ビット幅。OASW = 0。OSD ウィンドウ 0 のビットマップ・ビット幅。このビットは VD によってラッチされます。 1 ビット。 2 ビット。 4 ビット。 8 ビット。
5-3	BLND1	0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h	OSD ウィンドウ 1 のブレンド比。OASW = 0。OSD ウィンドウ 1 と任意のビデオ・ウィンドウ 0 のブレンド比をセットします。このビットは VD によってラッチされます。 W0-0 V0-1 W0-1/8 V0-7/8 W0-2/8 V0-6/8 W0-3/8 V0-5/8 W0-4/8 V0-4/8 W0-5/8 V0-3/8 W0-6/8 V0-2/8 W0-1 V0-0
2	TE1	0 1	OSD ウィンドウ 1 の透過性のイネーブル。OASW = 0。透過性がディスエーブルの場合、ビットマップ・ウィンドウ全体は BLND1 に従ってビデオ・ウィンドウとブレンドされます。透過性がイネーブルの場合のビットマップ・モードでは、ブレンドはビットマップ値が 0 のピクセルの場合にのみ BLND1 に従って行われます。透過性がイネーブルで、かつピクセル値が TRANSPVAL と等しい場合の RGB モードでは、RGB 値から変換された YCbCr データとビデオ・ウィンドウは BLND1 で指定されたブレンド比に従ってブレンドされます。このビットは VD によってラッチされます。 ディスエーブル。 イネーブル。
1	OFF1	0 1	OSD ウィンドウ 1 のディスプレイ・モード。OASW = 0。フィールド・モードでは、OSDWIN1YL で指定されたフィールド内のライン数だけ、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとに繰り返されます。フレーム・モードでは、OSDWIN1YL で指定されたフィールド内のライン数の 2 倍が、ディスプレイ・メモリからリードされ、データは VENC モジュールに送られたフィールドごとにインターリーブされます。これは、2 倍の OSDWIN1YL の完全な垂直解像度を提供します。このビットは VD によってラッチされます。 フィールド・モード。 フレーム・モード。
0	OACT1	0 1	OSD ウィンドウ 1 のアクティブ (ディスプレイされる)。OASW = 0。このビットは VD によってラッチされます。 オフ。 オン。

6.3.5 OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ (OSDATRMD)

OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ(OSDATRMD)を図 150 に示し、表 143 で説明します。

図 150. OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ (OSDATRMD)

31															16																																																	
Reserved																																																																
R-0																																																																
15					14					12					11					10					9					8					7					6					5					2					1					0				
OASW					Reserved					OHZA					OVZA					BLNKINT					Reserved					OFFA					BLNK																													
R/W-0					R-0					R/W-0					R/W-0					R/W-0					R-0					R/W-0					R/W-0																													

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 143. OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ (OSDATRMD) フィールドの説明

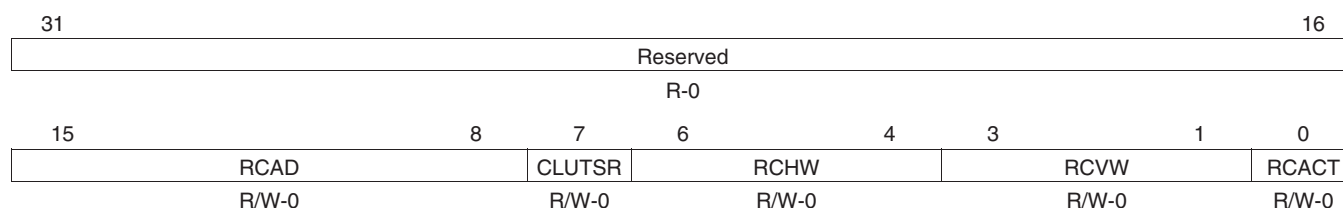
ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15	OASW	0 1	OSD ウィンドウ 1 のアトリビュート・モードのイネーブル。このビットは、OSD ウィンドウ 0 のアトリビュート・モードをイネーブルします。このビットは VD によってラッチされます。 OSD ウィンドウ 0 アトリビュート・ウィンドウ。
14-12	Reserved	0	予約。
11-10	OHZA	0 ~ 3h 0 1h 2h 3h	OSD アトリビュート・ウィンドウの水平ズーム (OASW = 1 の場合)。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。
9-8	OVZA	0 ~ 3h 0 1h 2h 3h	OSD アトリビュート・ウィンドウの垂直ズーム (OASW = 1 の場合)。このビットは VD によってラッチされます。 1 倍。 2 倍。 4 倍。 予約 (0 と同じ)。
7-6	BLNKINT	0 ~ 3h 0 1h 2h 3h	プリンキング間隔 (OASW = 1 の場合)。アトリビュート・ウィンドウのプリンキング間隔を 8 VD パルスを単位にして指定します。このビットは VD によってラッチされます。 1 単位。 2 単位。 3 単位。 4 単位。
5-2	Reserved	0	予約。
1	OFFA	0 1	OSD アトリビュート・ウィンドウのディスプレイ・モード (OASW = 1 の場合)。このビットは VD によってラッチされます。 フィールド・モード。 フレーム・モード。

オンスクリーン・ディスプレイ (OSD) レジスタ
表 143. OSD アトリビュート・ウィンドウ・モード・セットアップ・レジスタ (OSDATRMD) フィールドの説明 (続き)

ビット	フィールド	値	説明
0	BLNK	0 1	OSD アトリビュート・ウィンドウのブリンクのイネーブル (OASW = 1 の場合)。このビットは VD によってラッチされます。 オフ。 オン。

6.3.6 レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR)

レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR) を図 151 に示し、表 144 で説明します。

図 151. レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR)


凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 144. レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	RCAD	0 ~ FFh	矩形カーソルのカラー・パレットのアドレス。
7	CLUTSR	0 1	CLUT の選択。このビットは VD によってラッチされます。 ROM ルックアップ・テーブル。 RAM ルックアップ・テーブル。
6-4	RCHW	0 ~ 7h 0 1h 2h 3h 4h 5h 6h 7h	矩形カーソルの水平ラインの幅。幅は 4 ピクセル × RCHW になります。このビットは VD によってラッチされます。 1 ピクセル。 4 ピクセル。 8 ピクセル。 12 ピクセル。 16 ピクセル。 20 ピクセル。 24 ピクセル。 28 ピクセル。
3-1	RCVW	0 ~ 7h 0 1h 2h 3h 4h 5h	矩形カーソルの垂直ラインの幅。幅は 2 ライン × RCVW になります。このビットは VD によってラッチされます。 1 ライン。 2 ライン。 4 ライン。 6 ライン。 8 ライン。 10 ライン。

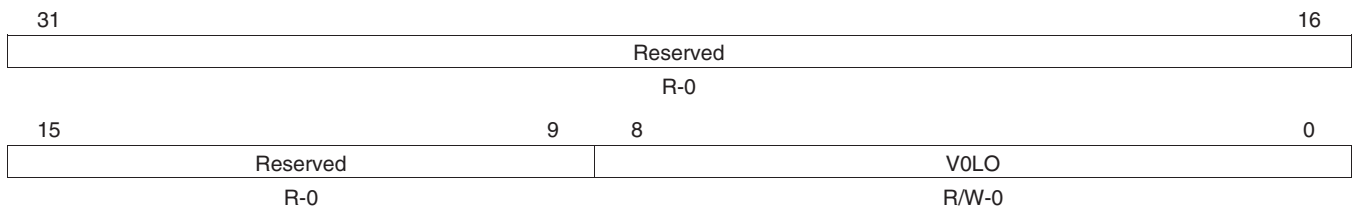
表 144. レクタングラ・カーソル・セットアップ・レジスタ (RECTCUR) フィールドの説明 (続き)

ビット	フィールド	値	説明
		6h	12 ライン。
		7h	14 ライン。
0	RCACT	0 1	矩形カーソルのアクティブ (ディスプレイされる)。このビットは VD によってラッチされます。 オフ。 オン。

6.3.7 ビデオ・ウィンドウ 0 オフセット・レジスタ (VIDWIN0OFST)

ビデオ・ウィンドウ 0 オフセット・レジスタ (VIDWIN0OFST) を図 152 に示し、表 145 で説明します。

図 152. ビデオ・ウィンドウ 0 オフセット・レジスタ (VIDWIN0OFST)



凡例: R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

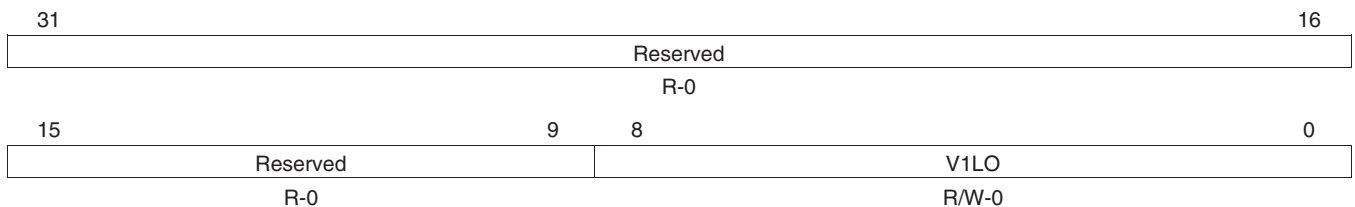
表 145. ビデオ・ウィンドウ 0 オフセット・レジスタ (VIDWIN0OFST) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	V0LO	0 ~ 1Fh	ビデオ・ウィンドウ 0 のライン・オフセット。水平ラインでのバースト転送数 (32 バイト)。ビデオ・データ・フォーマットは YCbYCr、つまり 2 ピクセルごとに 32 ビットで、16 ピクセル / バーストを供給します (ピクセル / 16 単位でのライン幅)。たとえば、720/16 = 45 (2Dh)。結果的に、ウィンドウのライン幅の設定が非整数値になる場合、その値は整数値に切り上げられ、SDRAM のデータが構成されます。そのため、各ラインはバースト境界で始まります。このビットは VD によってラッチされます。

6.3.8 ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST)

ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST) を図 153 に示し、表 146 で説明します。

図 153. ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST)



凡例: R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 146. ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST) フィールドの説明

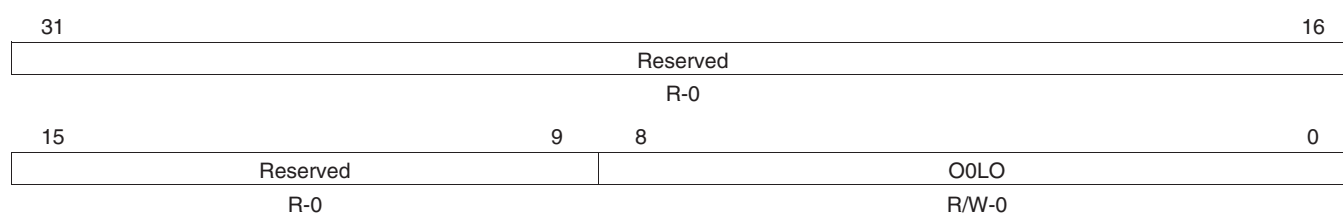
ビット	フィールド	値	説明
31-9	Reserved	0	予約。

表 146. ビデオ・ウィンドウ 1 オフセット・レジスタ (VIDWIN1OFST) フィールドの説明 (続き)

ビット	フィールド	値	説明
8-0	VILO	0 ~ 1FFh	ビデオ・ウィンドウ 1 のライン・オフセット。水平ラインでのバースト転送数 (32 バイト)。ビデオ・データ・フォーマットは YCbYCr、つまり 2 ピクセルごとに 32 ビットで、16 ピクセル/バーストを供給します (ピクセル/16 単位でのライン幅)。たとえば、720/16 = 45 (2Dh)。結果的に、ウィンドウのライン幅の設定が非整数値になる場合、その値は整数値に切り上げられ、SDRAM のデータが構成されます。そのため、各ラインはバースト境界で始まります。このビットは VD によってラッチされます。

6.3.9 OSD ウィンドウ 0 オフセット・レジスタ (OSDWIN0OFST)

OSD ウィンドウ 0 オフセット・レジスタ (OSDWIN0OFST) を図 154 に示し、表 147 で説明します。

図 154. OSD ウィンドウ 0 オフセット・レジスタ (OSDWIN0OFST)


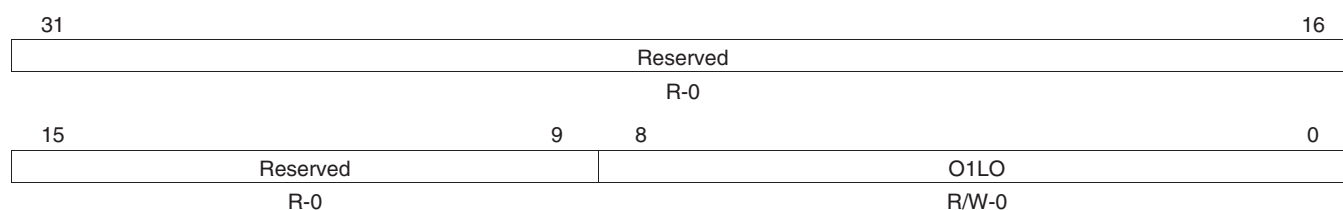
凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 147. OSD ウィンドウ 0 オフセット・レジスタ (OSDWIN0OFST) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	O0LO	0 ~ 1FFh	OSD ウィンドウ 0 のライン・オフセット。水平ラインでのバースト転送数 (32 バイト)。これは、OSD ウィンドウのビット深度によって異なります ((ピクセル × ビット深度) / 256 ビット/バースト単位のライン幅)。たとえば、(64 × 8)/256 = 2。結果的に、ウィンドウのライン幅とビット深度設定が非整数値になる場合、その値は整数値に切り上げられ、SDRAM のデータが構成されます。そのため、各ラインはバースト境界で始まります。このビットは VD によってラッチされます。 例：水平 256 ピクセルのオフセット：1 ビット・モード：((256 × 1)/8)/32 = 1(0001h)。2 ビット・モード：((256 × 2)/8)/32 = 2(0002h)。4 ビット・モード：((256 × 4)/8)/32 = 4(0004h)。8 ビット・モード：((256 × 8)/8)/32 = 8(0008h)。RGB565 モード：((256 × 16)/8)/32 = 16(0010h)。

6.3.10 OSD ウィンドウ 1 オフセット・レジスタ (OSDWIN1OFST)

OSD ウィンドウ 1 オフセット・レジスタ (OSDWIN1OFST) を図 155 に示し、表 148 で説明します。

図 155. OSD ウィンドウ 1 オフセット・レジスタ (OSDWIN1OFST)


凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 148. OSD ウィンドウ 1 オフセット・レジスタ (OSDWIN1OFST) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	OILO	0 ~ 1FFh	OSD ウィンドウ 1 のライン・オフセット。水平ラインでのバースト転送数 (32 バイト)。これは、OSD ウィンドウのビット深度によって異なります。((ピクセル × ビット深度) / 256 ビット / バースト単位のライン幅)。たとえば、(64 × 8) / 256 = 2。結果的に、ウィンドウのライン幅とビット深度設定が非整数値になる場合、その値は整数値に切り上げられ、SDRAM のデータが構成されます。そのため、各ラインはバースト境界で始まります。このビットは VD によってラッチされます。 例：水平 256 ピクセルのオフセット：1 ビット・モード：((256 × 1) / 8) / 32 = 1(0001h)。2 ビット・モード：((256 × 2) / 8) / 32 = 2(0002h)。4 ビット・モード：((256 × 4) / 8) / 32 = 4(0004h)。8 ビット・モード：((256 × 8) / 8) / 32 = 8(0008h)。RGB565 モード：((256 × 16) / 8) / 32 = 16(0010h)。

6.3.11 ビデオ・ウィンドウ 0 アドレス・レジスタ (VIDWIN0ADR)

ビデオ・ウィンドウ 0 アドレス・レジスタ (VIDWIN0ADR) を図 156 に示し、表 149 で説明します。

図 156. ビデオ・ウィンドウ 0 アドレス・レジスタ (VIDWIN0ADR)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

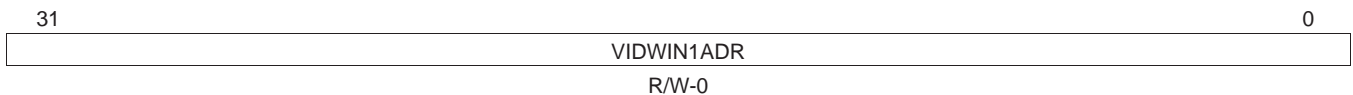
表 149. ビデオ・ウィンドウ 0 アドレス・レジスタ (VIDWIN0ADR) フィールドの説明

ビット	フィールド	値	説明
31-0	VIDWIN0ADR	0 ~ FFFF FFFFh	ビデオ・ウィンドウ 0 の SDRAM ソース・アドレス。SDRAM ソース・アドレスは、絶対バイト・アドレスです。アドレスは、32 バイト (バースト) 境界にアラインされている必要があることに注意してください。結果的に、下位側 5 ビットは無視され、このレジスタをリードすると、下位側 5 ビットが 0 として常に取り出されます。このビットは VD によってラッチされます。

6.3.12 ビデオ・ウィンドウ 1 アドレス・レジスタ (VIDWIN1ADR)

ビデオ・ウィンドウ 1 アドレス・レジスタ (VIDWIN1ADR) を図 157 に示し、表 150 で説明します。

図 157. ビデオ・ウィンドウ 1 アドレス・レジスタ (VIDWIN1ADR)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

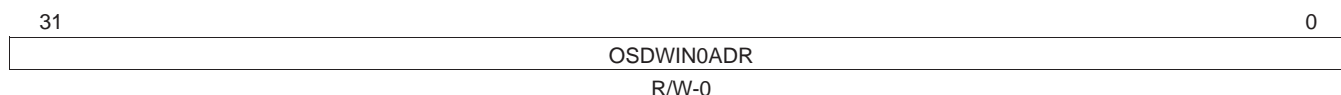
表 150. ビデオ・ウィンドウ 1 アドレス・レジスタ (VIDWIN1ADR) フィールドの説明

ビット	フィールド	値	説明
31-0	VIDWIN1ADR	0 ~ FFFF FFFFh	ビデオ・ウィンドウ 1 の SDRAM ソース・アドレス。SDRAM ソース・アドレスは、絶対バイト・アドレスです。アドレスは、32 バイト (バースト) 境界にアラインされている必要があることに注意してください。結果的に、下位側 5 ビットは無視され、このレジスタをリードすると、下位側 5 ビットが 0 として常に取り出されます。このビットは VD によってラッチされます。

6.3.13 OSD ウィンドウ 0 アドレス・レジスタ (OSDWIN0ADR)

OSD ウィンドウ 0 アドレス・レジスタ (OSDWIN0ADR) を図 158 に示し、表 151 で説明します。

図 158. OSD ウィンドウ 0 アドレス・レジスタ (OSDWIN0ADR)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

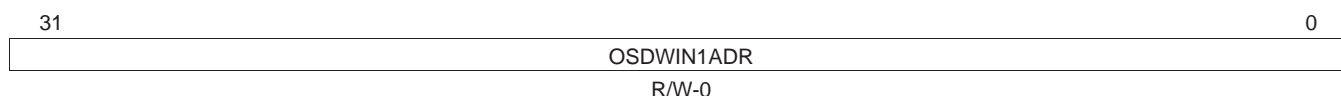
表 151. OSD ウィンドウ 0 アドレス・レジスタ (OSDWIN0ADR) フィールドの説明

ビット	フィールド	値	説明
31-0	OSDWIN0ADR	0 ~ FFFF FFFFh	OSD ウィンドウ 0 の SDRAM ソース・アドレス。SDRAM ソース・アドレスは、絶対バイト・アドレスです。アドレスは、32 バイト (バースト) 境界にアラインされている必要があることに注意してください。結果的に、下位側 5 ビットは無視され、このレジスタをリードすると、下位側 5 ビットが 0 として常に取り出されます。このビットは VD によってラッチされます。

6.3.14 OSD ウィンドウ 1 アドレス・レジスタ (OSDWIN1ADR)

OSD ウィンドウ 1 アドレス・レジスタ (OSDWIN1ADR) を図 159 に示し、表 152 で説明します。

図 159. OSD ウィンドウ 1 アドレス・レジスタ (OSDWIN1ADR)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

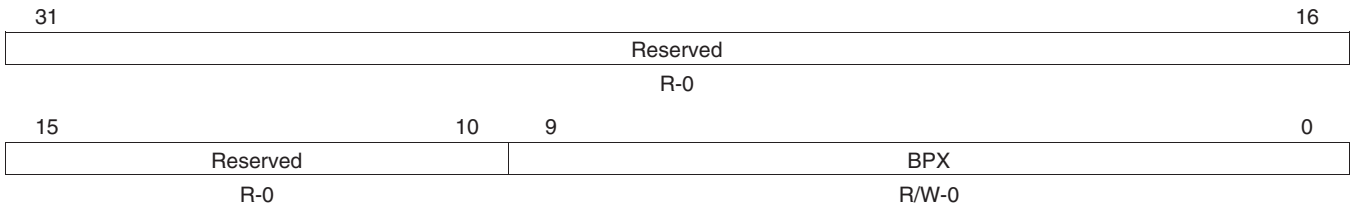
表 152. OSD ウィンドウ 1 アドレス・レジスタ (OSDWIN1ADR) フィールドの説明

ビット	フィールド	値	説明
31-0	OSDWIN1ADR	0 ~ FFFF FFFFh	OSD ウィンドウ 1 の SDRAM ソース・アドレス。SDRAM ソース・アドレスは、絶対バイト・アドレスです。アドレスは、32 バイト (バースト) 境界にアラインされている必要があることに注意してください。結果的に、下位側 5 ビットは無視され、このレジスタをリードすると、下位側 5 ビットが 0 として常に取り出されます。このビットは VD によってラッチされます。

6.3.15 ベース・ピクセル X レジスタ (BASEPX)

ベース・ピクセル X レジスタ (BASEPX) を図 160 に示し、表 153 で説明します。

図 160. ベース・ピクセル X レジスタ (BASEPX)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

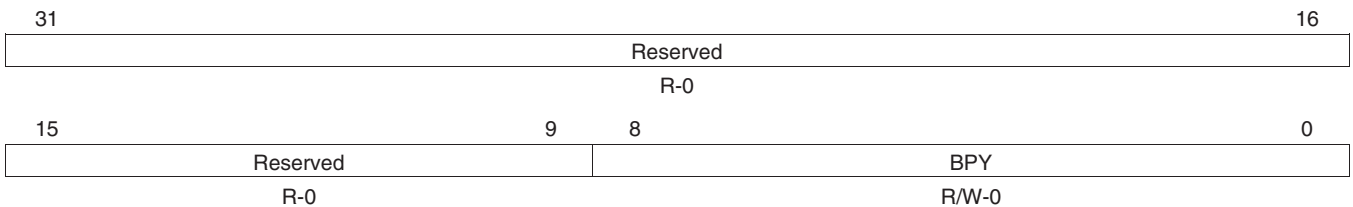
表 153. ベース・ピクセル X レジスタ (BASEPX) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	BPX	0 ~ 3FFh	X のベース・ピクセル。すべてのウィンドウの水平ベース・ディスプレイの基準位置。HD からのピクセル数を指定します。値は 24 ~ 512 です。このビットは VD によってラッチされます。

6.3.16 ベース・ピクセル Y レジスタ (BASEPY)

ベース・ピクセル Y レジスタ (BASEPY) を図 161 に示し、表 154 で説明します。

図 161. ベース・ピクセル Y レジスタ (BASEPY)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 154. ベース・ピクセル Y レジスタ (BASEPY) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	BPY	0 ~ 1FFh	Y のベース・ピクセル (ライン)。すべてのウィンドウの垂直ベース・ディスプレイの基準位置。VD からのピクセル (ライン) 数を指定します。使用される値は、MAX(BPY,1) です。たとえば、最小値は 1 です。このビットは VD によってラッチされます。

6.3.17 ビデオ・ウィンドウ 0 X ポジション・レジスタ (VIDWIN0XP)

ビデオ・ウィンドウ 0 X ポジション・レジスタ (VIDWIN0XP) を図 162 に示し、表 155 で説明します。

図 162. ビデオ・ウィンドウ 0 X ポジション・レジスタ (VIDWIN0XP)

31	Reserved		16
R-0			
15	10	9	0
Reserved		V0X	
R-0		R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 155. ビデオ・ウィンドウ 0 X ポジション・レジスタ (VIDWIN0XP) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	V0X	0 ~ 3FFh	ビデオ・ウィンドウ 0 の X の位置。水平ディスプレイの開始位置。ディスプレイ基準位置 (BASEPX) からのピクセル数。このビットは VD によってラッチされます。

6.3.18 ビデオ・ウィンドウ 0 Y ポジション・レジスタ (VIDWIN0YP)

ビデオ・ウィンドウ 0 Y ポジション・レジスタ (VIDWIN0YP) を図 163 に示し、表 156 で説明します。

図 163. ビデオ・ウィンドウ 0 Y ポジション・レジスタ (VIDWIN0YP)

31	Reserved		16
R-0			
15	9	8	0
Reserved		V0Y	
R-0		R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

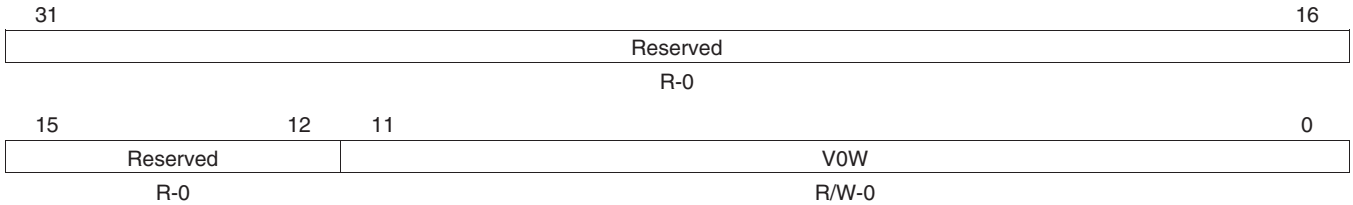
表 156. ビデオ・ウィンドウ 0 Y ポジション・レジスタ (VIDWIN0YP) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	V0Y	0 ~ 1FFh	ビデオ・ウィンドウ 0 の Y の位置。垂直ディスプレイの開始位置。ディスプレイ基準位置 (BASEPY) からのピクセル / ライン数。このビットは VD によってラッチされます。

6.3.19 ビデオ・ウィンドウ 0 X サイズ・レジスタ (VIDWIN0XL)

ビデオ・ウィンドウ 0 X サイズ・レジスタ (VIDWIN0XL) を図 164 に示し、表 157 で説明します。

図 164. ビデオ・ウィンドウ 0 X サイズ・レジスタ (VIDWIN0XL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

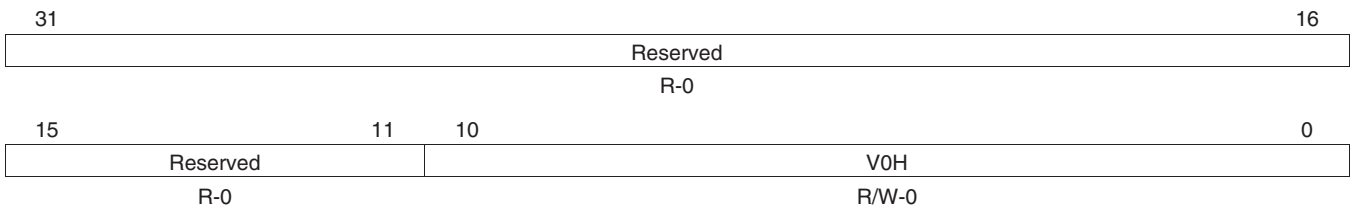
表 157. ビデオ・ウィンドウ 0 X サイズ・レジスタ (VIDWIN0XL) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-0	V0W	0 ~ FFFh	ビデオ・ウィンドウ 0 の X の幅。ピクセル単位の水平ディスプレイ幅。このビットは VD によってラッチされます。

6.3.20 ビデオ・ウィンドウ 0 Y サイズ・レジスタ (VIDWIN0YL)

ビデオ・ウィンドウ 0 Y サイズ・レジスタ (VIDWIN0YL) を図 165 に示し、表 158 で説明します。

図 165. ビデオ・ウィンドウ 0 Y サイズ・レジスタ (VIDWIN0YL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

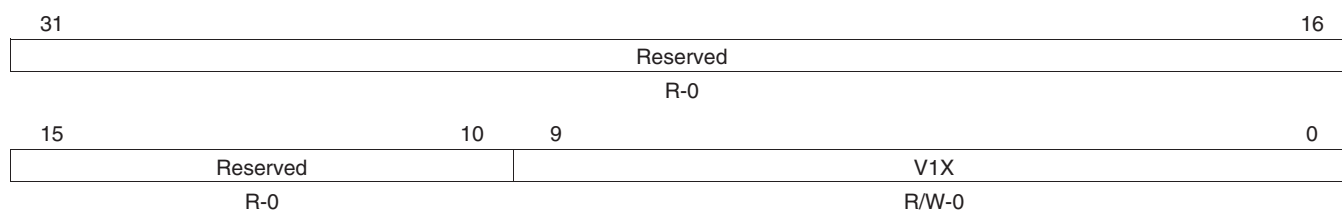
表 158. ビデオ・ウィンドウ 0 Y サイズ・レジスタ (VIDWIN0YL) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	V0H	0 ~ 7FFh	ビデオ・ウィンドウ 0 の Y の高さ。垂直ディスプレイの高さ (ピクセル / ライン数)。フレーム・モードでは、ライン / フィールドに関して指定します。このビットは VD によってラッチされます。

6.3.21 ビデオ・ウィンドウ 1 X ポジション・レジスタ (VIDWIN1XP)

ビデオ・ウィンドウ 1 X ポジション・レジスタ (VIDWIN1XP) を図 166 に示し、表 159 で説明します。

図 166. ビデオ・ウィンドウ 1 X ポジション・レジスタ (VIDWIN1XP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

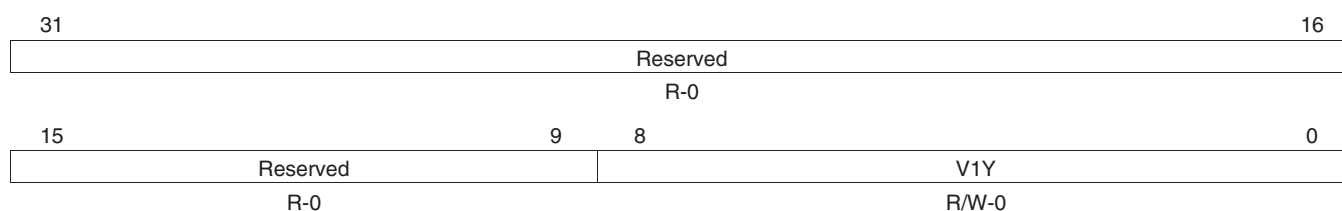
表 159. ビデオ・ウィンドウ 1 X ポジション・レジスタ (VIDWIN1XP) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	V1X	0 ~ 3FFh	ビデオ・ウィンドウ 1 の X の位置。水平ディスプレイの開始位置。ディスプレイ基準位置 (BASEPX) からのピクセル数。このビットは VD によってラッチされます。

6.3.22 ビデオ・ウィンドウ 1 Y ポジション・レジスタ (VIDWIN1YP)

ビデオ・ウィンドウ 1 Y ポジション・レジスタ (VIDWIN1YP) を図 167 に示し、表 160 で説明します。

図 167. ビデオ・ウィンドウ 1 Y ポジション・レジスタ (VIDWIN1YP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

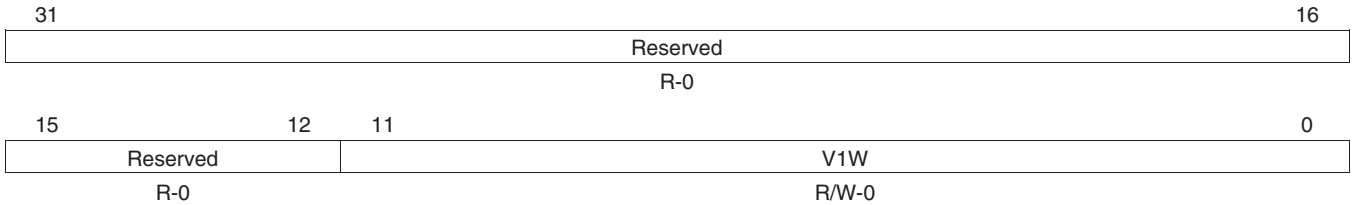
表 160. ビデオ・ウィンドウ 1 Y ポジション・レジスタ (VIDWIN1YP) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	V1Y	0 ~ 1FFh	ビデオ・ウィンドウ 1 の Y の位置。垂直ディスプレイの開始位置。ディスプレイ基準位置 (BASEPY) からのピクセル / ライン数。このビットは VD によってラッチされます。

6.3.23 ビデオ・ウィンドウ 1 X サイズ・レジスタ (VIDWIN1XL)

ビデオ・ウィンドウ 1 X サイズ・レジスタ (VIDWIN1XL) を図 168 に示し、表 161 で説明します。

図 168. ビデオ・ウィンドウ 1 X サイズ・レジスタ (VIDWIN1XL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

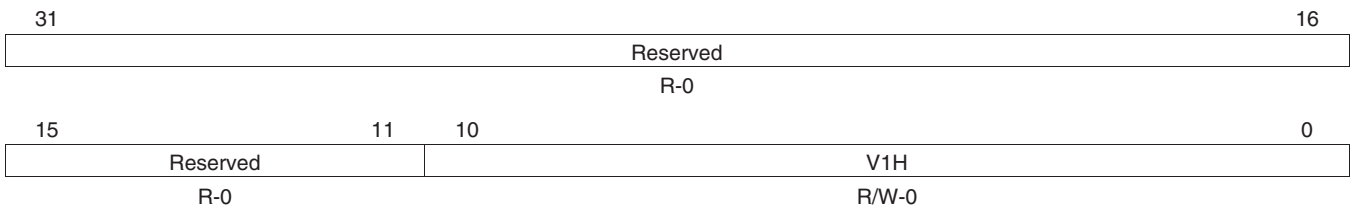
表 161. ビデオ・ウィンドウ 1 X サイズ・レジスタ (VIDWIN1XL) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-0	V1W	0 ~ FFFh	ビデオ・ウィンドウ 1 の X の幅。ピクセル単位の水平ディスプレイ幅。このビットは VD によってラッチされます。

6.3.24 ビデオ・ウィンドウ 1 Y サイズ・レジスタ (VIDWIN1YL)

ビデオ・ウィンドウ 1 Y サイズ・レジスタ (VIDWIN1YL) を図 169 に示し、表 162 で説明します。

図 169. ビデオ・ウィンドウ 1 Y サイズ・レジスタ (VIDWIN1YL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

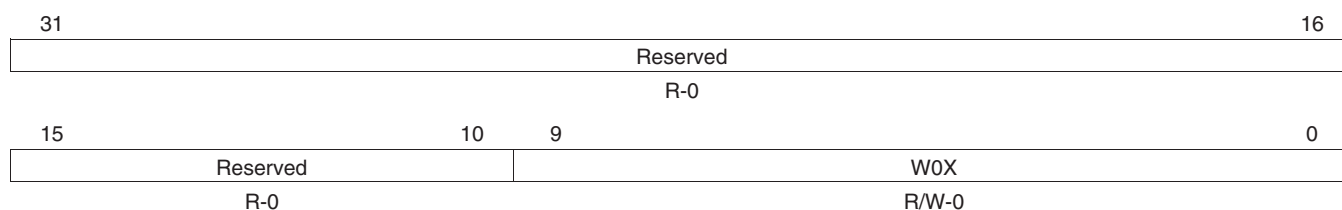
表 162. ビデオ・ウィンドウ 1 Y サイズ・レジスタ (VIDWIN1YL) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	V1H	0 ~ 7FFh	ビデオ・ウィンドウ 1 の Y の高さ。垂直ディスプレイの高さ (ピクセル / ライン数)。フレーム・モードでは、ライン / フィールドに関して指定します。このビットは VD によってラッチされます。

6.3.25 OSD ビットマップ・ウィンドウ 0 X ポジション・レジスタ (OSDWIN0XP)

OSD ビットマップ・ウィンドウ 0 X ポジション・レジスタ (OSDWIN0XP) を図 170 に示し、表 163 で説明します。

図 170. OSD ビットマップ・ウィンドウ 0 X ポジション・レジスタ (OSDWIN0XP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

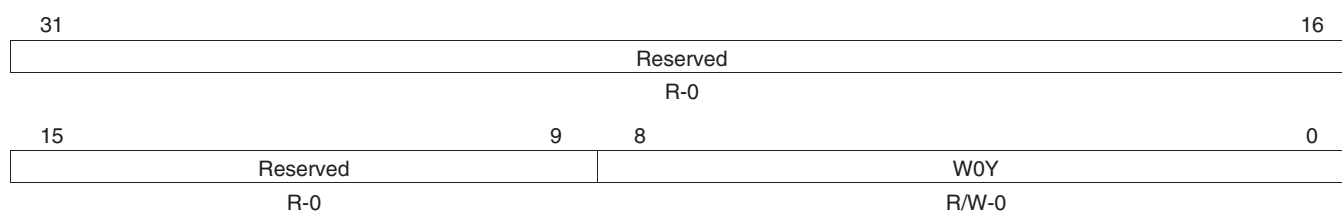
表 163. OSD ビットマップ・ウィンドウ 0 X ポジション・レジスタ (OSDWIN0XP) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	W0X	0 ~ 3FFh	OSD ウィンドウ 0 の X の位置。水平ディスプレイの開始位置。ディスプレイ基準位置 (BASEPX) からのピクセル数。このビットは VD によってラッチされます。

6.3.26 OSD ビットマップ・ウィンドウ 0 Y ポジション・レジスタ (OSDWIN0YP)

OSD ビットマップ・ウィンドウ 0 Y ポジション・レジスタ (OSDWIN0YP) を図 171 に示し、表 164 で説明します。

図 171. OSD ビットマップ・ウィンドウ 0 Y ポジション・レジスタ (OSDWIN0YP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

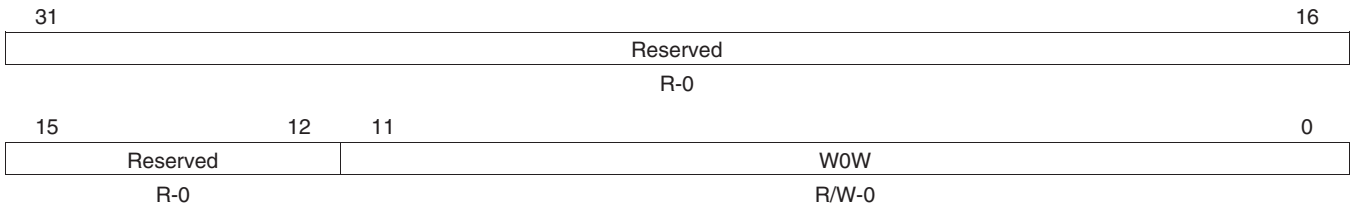
表 164. OSD ビットマップ・ウィンドウ 0 Y ポジション・レジスタ (OSDWIN0YP) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	W0Y	0 ~ 1FFh	OSD ウィンドウ 0 の Y の位置。垂直ディスプレイの開始位置。ディスプレイ基準位置 (BASEPY) からのピクセル / ライン数。このビットは VD によってラッチされます。

6.3.27 OSD ビットマップ・ウィンドウ 0 X サイズ・レジスタ (OSDWIN0XL)

OSD ビットマップ・ウィンドウ 0 X サイズ・レジスタ (OSDWIN0XL) を図 172 に示し、表 165 で説明します。

図 172. OSD ビットマップ・ウィンドウ 0 X サイズ・レジスタ (OSDWIN0XL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

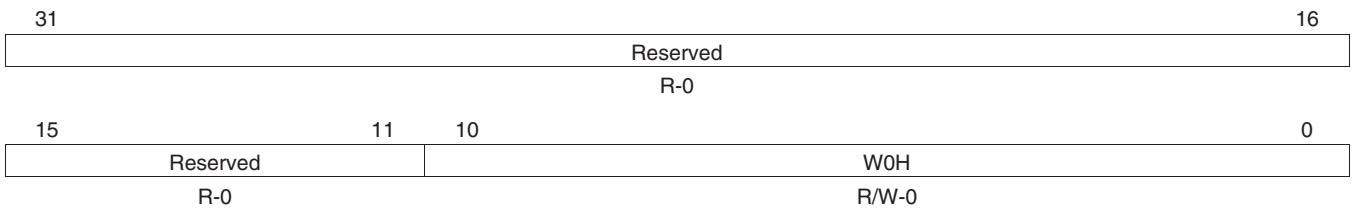
表 165. OSD ビットマップ・ウィンドウ 0 X サイズ・レジスタ (OSDWIN0XL) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-0	W0W	0 ~ FFFh	OSD ウィンドウ 0 の X の幅。ピクセル単位の水平ディスプレイ幅。このビットは VD によってラッチされます。

6.3.28 OSD ビットマップ・ウィンドウ 0 Y サイズ・レジスタ (OSDWIN0YL)

OSD ビットマップ・ウィンドウ 0 Y サイズ・レジスタ (OSDWIN0YL) を図 173 に示し、表 166 で説明します。

図 173. OSD ビットマップ・ウィンドウ 0 Y サイズ・レジスタ (OSDWIN0YL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

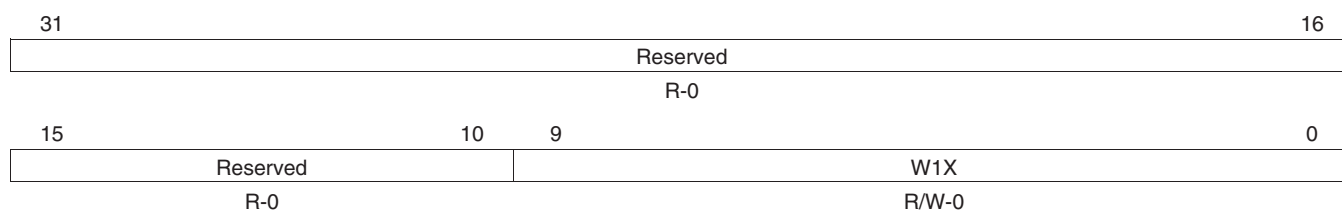
表 166. OSD ビットマップ・ウィンドウ 0 Y サイズ・レジスタ (OSDWIN0YL) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	W0H	0 ~ 7FFh	OSD ウィンドウ 0 の Y の高さ。垂直ディスプレイの高さ (ピクセル / ライン数)。フレーム・モードでは、ライン / フィールドに関して指定します。このビットは VD によってラッチされます。

6.3.29 OSD ビットマップ・ウィンドウ 1 X ポジション・レジスタ (OSDWIN1XP)

OSD ビットマップ・ウィンドウ 1 X ポジション・レジスタ (OSDWIN1XP) を図 174 に示し、表 167 で説明します。

図 174. OSD ビットマップ・ウィンドウ 1 X ポジション・レジスタ (OSDWIN1XP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

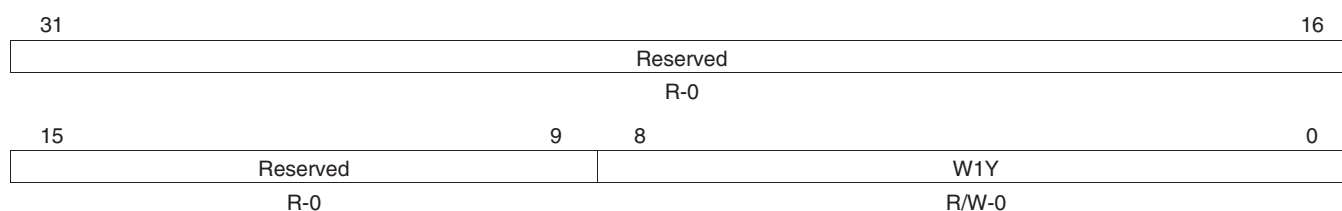
表 167. OSD ビットマップ・ウィンドウ 1 X ポジション・レジスタ (OSDWIN1XP) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	W1X	0 ~ 3FFh	OSD ウィンドウ 1 の X の位置。水平ディスプレイの開始位置。ディスプレイ基準位置 (BASEPX) からのピクセル数。このビットは VD によってラッチされます。

6.3.30 OSD ビットマップ・ウィンドウ 1 Y ポジション・レジスタ (OSDWIN1YP)

OSD ビットマップ・ウィンドウ 1 Y ポジション・レジスタ (OSDWIN1YP) を図 175 に示し、表 168 で説明します。

図 175. OSD ビットマップ・ウィンドウ 1 Y ポジション・レジスタ (OSDWIN1YP)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

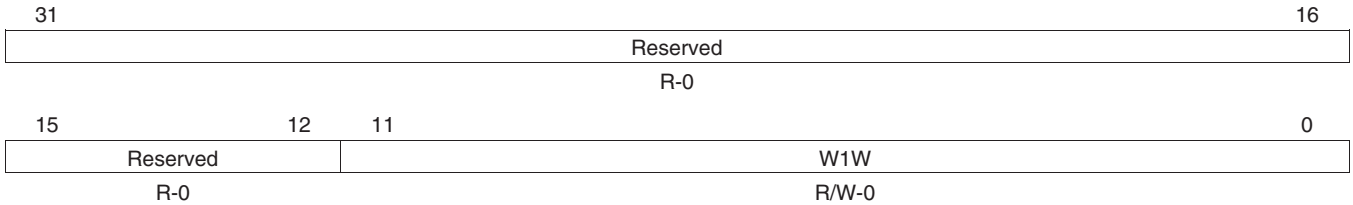
表 168. OSD ビットマップ・ウィンドウ 1 Y ポジション・レジスタ (OSDWIN1YP) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	W1Y	0 ~ 1FFh	OSD ウィンドウ 1 の Y の位置。垂直ディスプレイの開始位置。ディスプレイ基準位置 (BASEPY) からのピクセル / ライン数。このビットは VD によってラッチされます。

6.3.31 OSD ビットマップ・ウィンドウ 1 X サイズ・レジスタ (OSDWIN1XL)

OSD ビットマップ・ウィンドウ 1 X サイズ・レジスタ (OSDWIN1XL) を図 176 に示し、表 169 で説明します。

図 176. OSD ビットマップ・ウィンドウ 1 X サイズ・レジスタ (OSDWIN1XL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

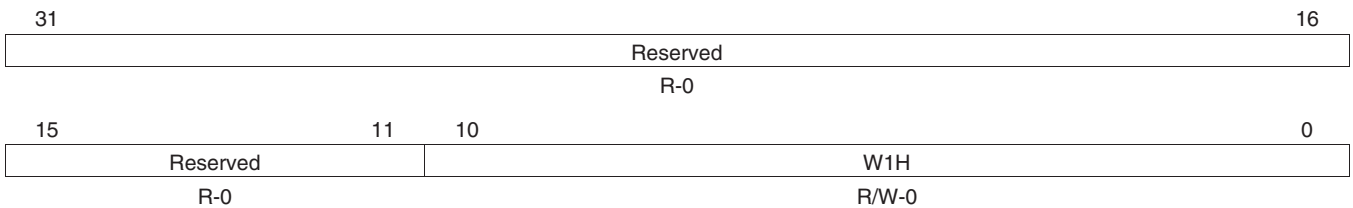
表 169. OSD ビットマップ・ウィンドウ 1 X サイズ・レジスタ (OSDWIN1XL) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-0	W1W	0 ~ FFFh	OSD ウィンドウ 1 の X の幅。ピクセル単位の水平ディスプレイ幅。このビットは VD によってラッチされます。

6.3.32 OSD ビットマップ・ウィンドウ 1 Y サイズ・レジスタ (OSDWIN1YL)

OSD ビットマップ・ウィンドウ 1 Y サイズ・レジスタ (OSDWIN1YL) を図 177 に示し、表 170 で説明します。

図 177. OSD ビットマップ・ウィンドウ 1 Y サイズ・レジスタ (OSDWIN1YL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 170. OSD ビットマップ・ウィンドウ 1 Y サイズ・レジスタ (OSDWIN1YL) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	W1H	0 ~ 7FFh	OSD ウィンドウ 1 の Y の高さ。垂直ディスプレイの高さ (ピクセル / ライン数)。フレーム・モードでは、ライン / フィールドに関して指定します。このビットは VD によってラッチされます。

6.3.33 レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ (CURXP)

レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ (CURXP) を図 178 に示し、表 171 で説明します。

図 178. レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ (CURXP)

31	Reserved			16
R-0				
15	10	9		
Reserved		RCSX		
R-0		R/W-0		

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 171. レクタングラ・カーソル・ウィンドウ X ポジション・レジスタ (CURXP) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。
9-0	RCSX	0 ~ 3FFh	矩形カーソル・ウィンドウの X の位置。水平ディスプレイの開始位置。ディスプレイ基準位置 (BASEPX) からのピクセル数。このビットは VD によってラッチされます。

6.3.34 レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ (CURYP)

レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ (CURYP) を図 179 に示し、表 172 で説明します。

図 179. レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ (CURYP)

31	Reserved			16
R-0				
15			9	8
Reserved		RCSY		
R-0		R/W-0		

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

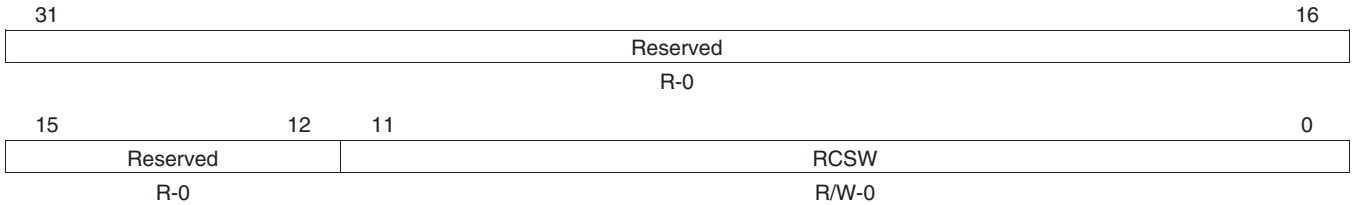
表 172. レクタングラ・カーソル・ウィンドウ Y ポジション・レジスタ (CURYP) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。
8-0	RCSY	0 ~ 1FFh	矩形カーソル・ウィンドウの Y の位置。垂直ディスプレイの開始位置。ディスプレイ基準位置 (BASEPY) からのピクセル数。このビットは VD によってラッチされます。

6.3.35 レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ (CURXL)

レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ (CURXL) を図 180 に示し、表 173 で説明します。

図 180. レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ (CURXL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

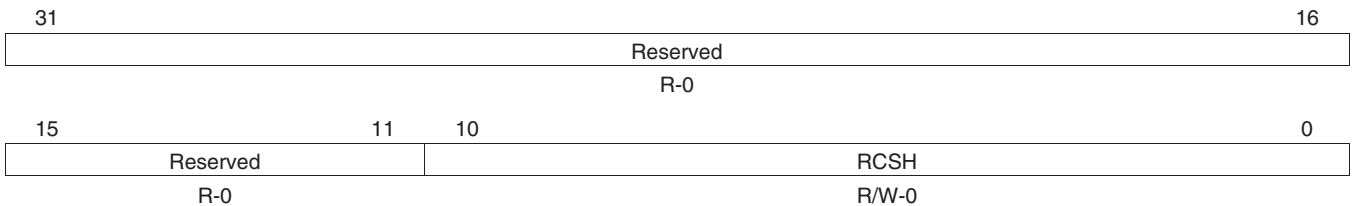
表 173. レクタングラ・カーソル・ウィンドウ X サイズ・レジスタ (CURXL) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
11-0	RCSW	0 ~ FFFh	矩形カーソル・ウィンドウの X の幅。水平ディスプレイ幅 (ピクセル数)。このビットは VD によってラッチされます。

6.3.36 レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ (CURYL)

レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ (CURYL) を図 181 に示し、表 174 で説明します。

図 181. レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ (CURYL)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

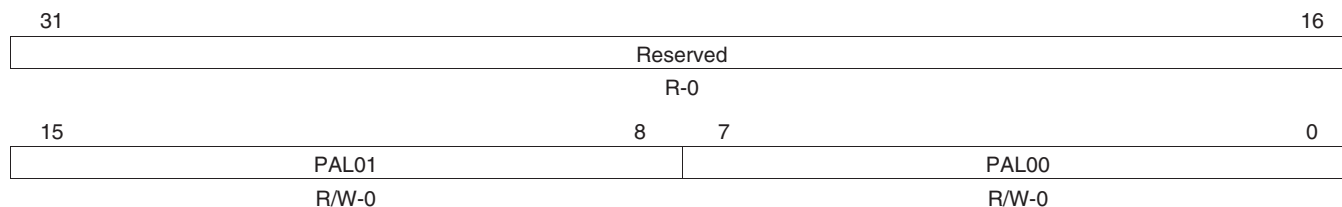
表 174. レクタングラ・カーソル・ウィンドウ Y サイズ・レジスタ (CURYL) フィールドの説明

ビット	フィールド	値	説明
31-11	Reserved	0	予約。
10-0	RCSH	0 ~ 7FFh	矩形カーソル・ウィンドウの Y の幅。垂直ディスプレイの高さ (ピクセル / ライン数)。フレーム・モードでは、ライン / フィールドに関して指定します。このビットは VD によってラッチされます。

6.3.37 ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W0BMP01)

ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W0BMP01) を図 182 に示し、表 175 で説明します。

図 182. ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W0BMP01)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

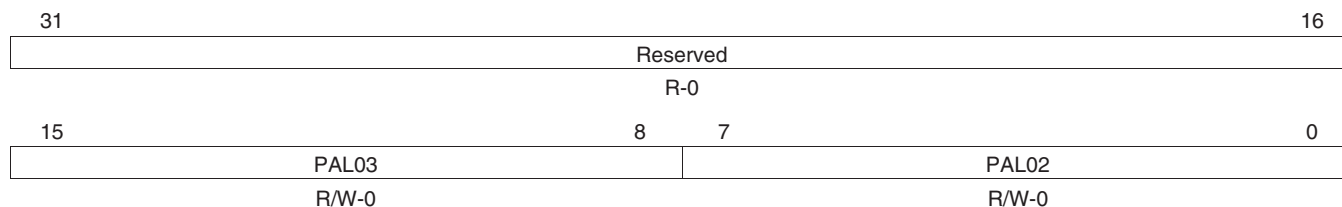
表 175. ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W0BMP01) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL01	0 ~ FFh	ビットマップ値 [1,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL00	0 ~ FFh	ビットマップ値 [0,0,0] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.38 ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W0BMP23)

ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W0BMP23) を図 183 に示し、表 176 で説明します。

図 183. ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W0BMP23)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

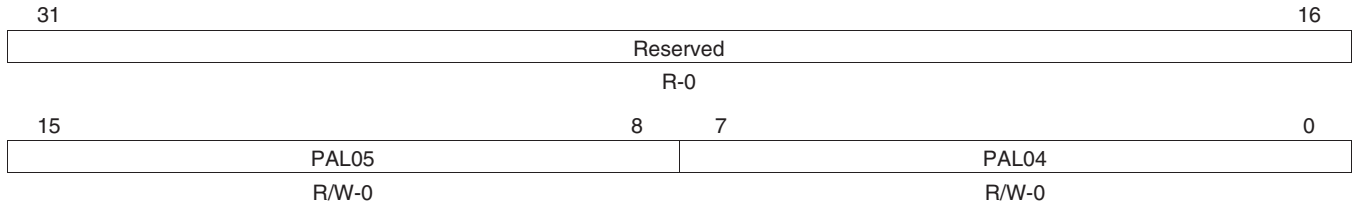
表 176. ウィンドウ 0 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W0BMP23) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL03	0 ~ FFh	ビットマップ値 [3,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL02	0 ~ FFh	ビットマップ値 [2,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.39 ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W0BMP45)

ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W0BMP45) を図 184 に示し、表 177 で説明します。

図 184. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W0BMP45)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

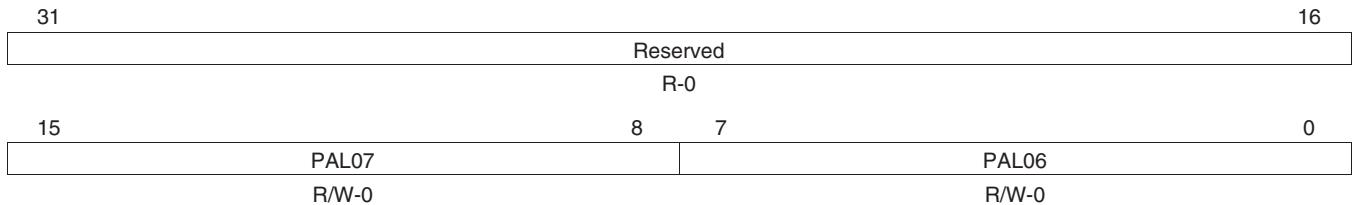
表 177. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W0BMP45) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL05	0 ~ FFh	ビットマップ値 [5,1,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL04	0 ~ FFh	ビットマップ値 [4,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.40 ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W0BMP67)

ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W0BMP67) を図 185 に示し、表 178 で説明します。

図 185. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W0BMP67)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

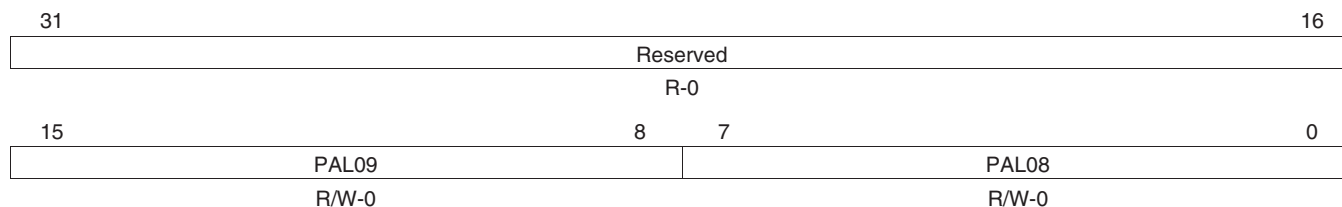
表 178. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W0BMP67) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL07	0 ~ FFh	ビットマップ値 [7,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL06	0 ~ FFh	ビットマップ値 [6,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.41 ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 8/9 レジスタ (W0BMP89)

ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 8/9 レジスタ (W0BMP89) を図 186 に示し、表 179 で説明します。

図 186. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 8/9 レジスタ (W0BMP89)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

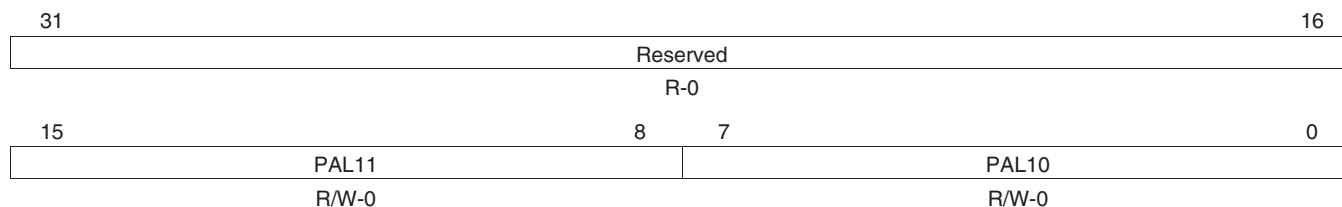
表 179. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ 8/9 レジスタ (W0BMP89) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL09	0 ~ FFh	ビットマップ値 [9,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL08	0 ~ FFh	ビットマップ値 [8,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.42 ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ A/B レジスタ (W0BMPAB)

ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ A/B レジスタ (W0BMPAB) を図 187 に示し、表 180 で説明します。

図 187. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ A/B レジスタ (W0BMPAB)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

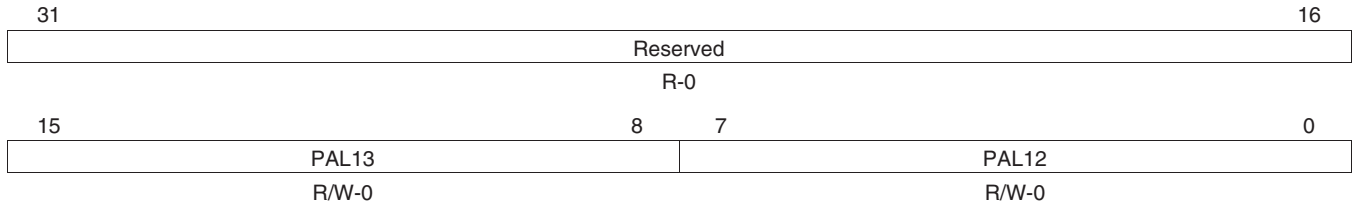
表 180. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ A/B レジスタ (W0BMPAB) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL11	0 ~ FFh	ビットマップ値 [B,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL10	0 ~ FFh	ビットマップ値 [A,2,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.43 ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ C/D レジスタ (W0BMPCD)

ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ C/D レジスタ (W0BMPCD) を図 188 に示し、表 181 で説明します。

図 188. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ C/D レジスタ (W0BMPCD)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

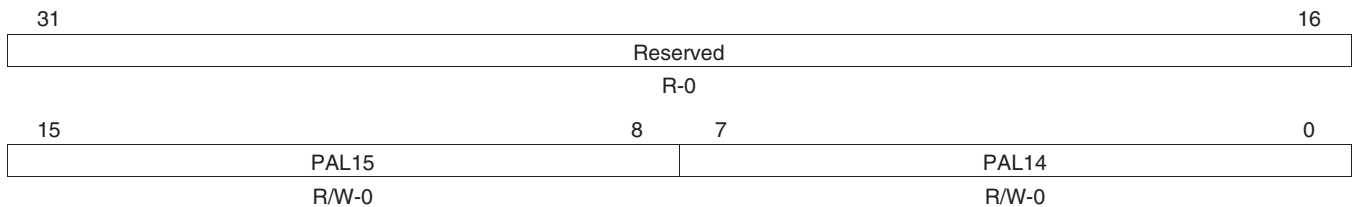
表 181. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ C/D レジスタ (W0BMPCD) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL13	0 ~ FFh	ビットマップ値 [D,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL12	0 ~ FFh	ビットマップ値 [C,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.44 ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ E/F レジスタ (W0BMPEF)

ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ E/F レジスタ (W0BMPEF) を図 189 に示し、表 182 で説明します。

図 189. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ E/F レジスタ (W0BMPEF)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

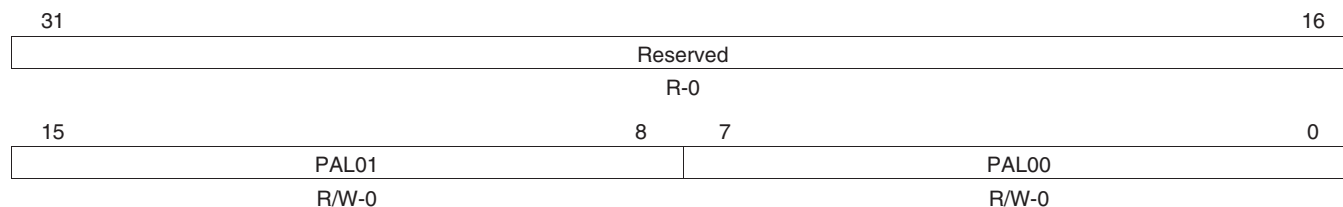
表 182. ウィンドウ 0 ビットマップ・バリュール・ツール・パレット・マップ E/F レジスタ (W0BMPEF) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL15	0 ~ FFh	ビットマップ値 [F,3,1] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。
7-0	PAL14	0 ~ FFh	ビットマップ値 [E,x,x] のパレット・アドレス - OSD ウィンドウ 0 [4 ビット、2 ビット、1 ビット]。

6.3.45 ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W1BMP01)

ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W1BMP01) を図 190 に示し、表 183 で説明します。

図 190. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W1BMP01)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

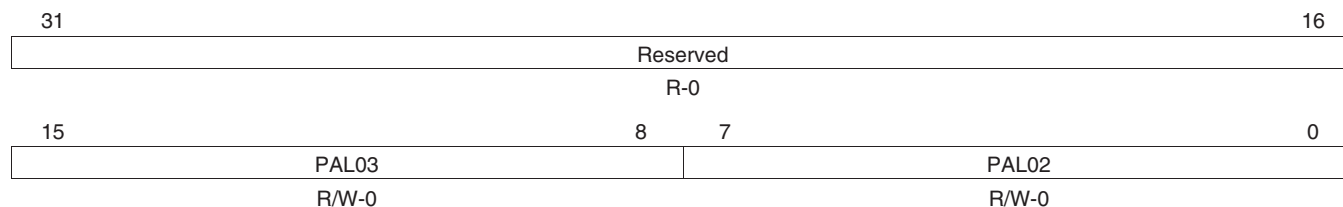
表 183. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 0/1 レジスタ (W1BMP01) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL01	0 ~ FFh	ビットマップ値 [1,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL00	0 ~ FFh	ビットマップ値 [0,0,0] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.46 ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W1BMP23)

ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W1BMP23) を図 191 に示し、表 184 で説明します。

図 191. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W1BMP23)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

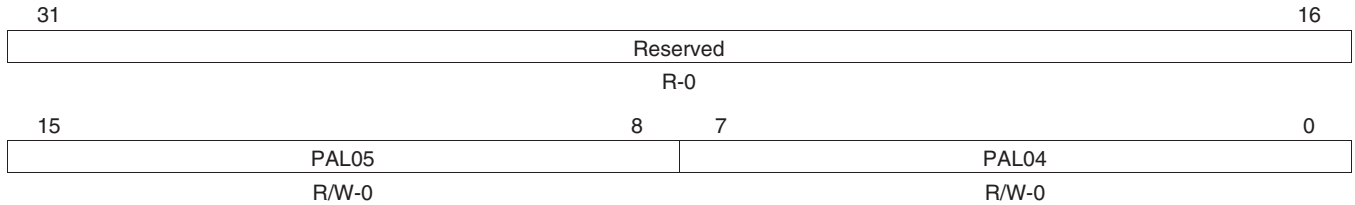
表 184. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ 2/3 レジスタ (W1BMP23) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL03	0 ~ FFh	ビットマップ値 [3,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL02	0 ~ FFh	ビットマップ値 [2,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.47 ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W1BMP45)

ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W1BMP45) を図 192 に示し、表 185 で説明します。

図 192. ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W1BMP45)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

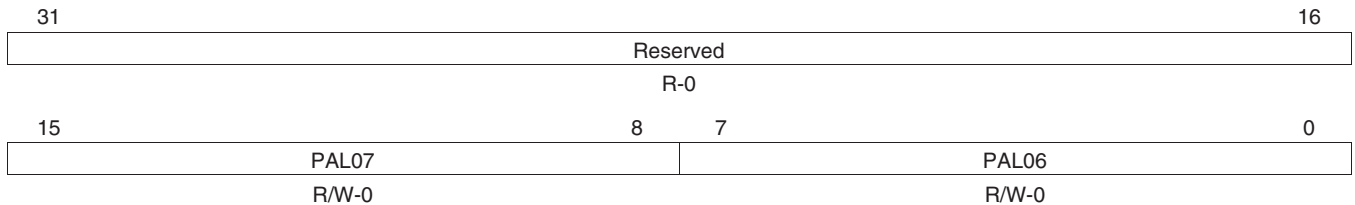
表 185. ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 4/5 レジスタ (W1BMP45) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL05	0 ~ FFh	ビットマップ値 [5,1,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL04	0 ~ FFh	ビットマップ値 [4,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.48 ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W1BMP67)

ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W1BMP67) を図 193 に示し、表 186 で説明します。

図 193. ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W1BMP67)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

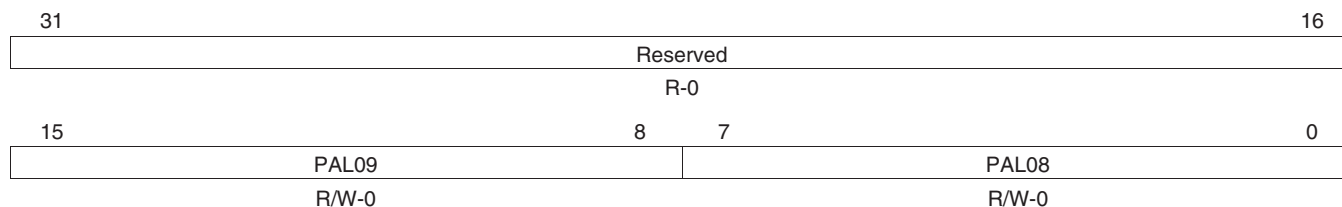
表 186. ウィンドウ 1 ビットマップ・バリュール・ツール・パレット・マップ 6/7 レジスタ (W1BMP67) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL07	0 ~ FFh	ビットマップ値 [7,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL06	0 ~ FFh	ビットマップ値 [6,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.49 ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ 8/9 レジスタ (W1BMP89)

ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ 8/9 レジスタ (W1BMP89) を図 194 に示し、表 187 で説明します。

図 194. ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ 8/9 レジスタ (W1BMP89)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

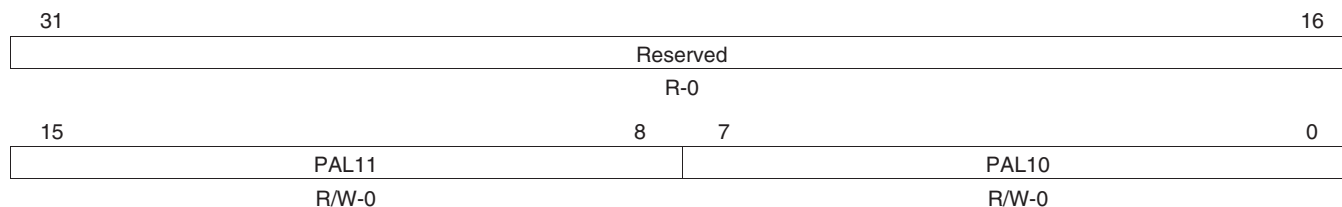
表 187. ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ 8/9 レジスタ (W1BMP89) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL09	0 ~ FFh	ビットマップ値 [9,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL08	0 ~ FFh	ビットマップ値 [8,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.50 ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ A/B レジスタ (W1BMPAB)

ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ A/B レジスタ (W1BMPAB) を図 195 に示し、表 188 で説明します。

図 195. ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ A/B レジスタ (W1BMPAB)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

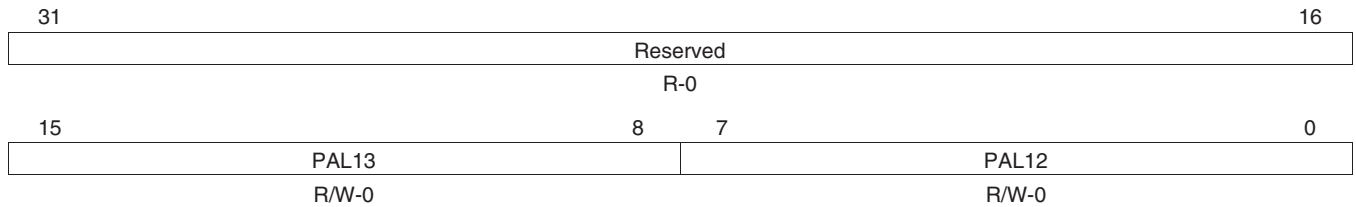
表 188. ウィンドウ 1 ビットマップ・バリュールックアップ・パレット・マップ A/B レジスタ (W1BMPAB) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL11	0 ~ FFh	ビットマップ値 [B,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL10	0 ~ FFh	ビットマップ値 [A,2,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.51 ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ C/D レジスタ (W1BMPCD)

ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ C/D レジスタ (W1BMPCD) を図 196 に示し、表 189 で説明します。

図 196. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ C/D レジスタ (W1BMPCD)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

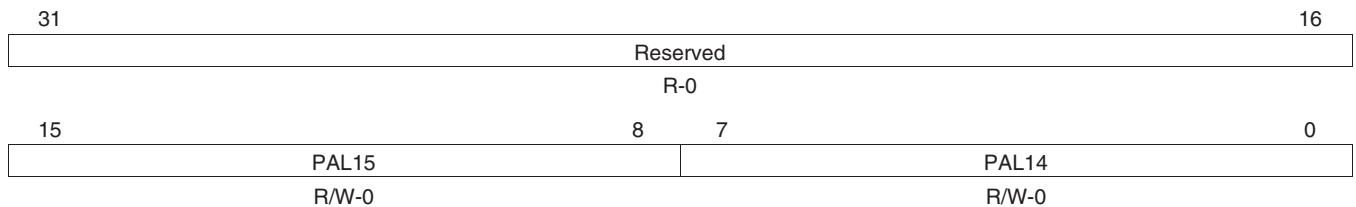
表 189. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ C/D レジスタ (W1BMPCD) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL13	0 ~ FFh	ビットマップ値 [D,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL12	0 ~ FFh	ビットマップ値 [C,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.52 ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ E/F レジスタ (W1BMPEF)

ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ E/F レジスタ (W1BMPEF) を図 197 に示し、表 190 で説明します。

図 197. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ E/F レジスタ (W1BMPEF)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 190. ウィンドウ 1 ビットマップ・バリュー・ツー・パレット・マップ E/F レジスタ (W1BMPEF) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	PAL15	0 ~ FFh	ビットマップ値 [F,3,1] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。
7-0	PAL14	0 ~ FFh	ビットマップ値 [E,x,x] のパレット・アドレス - OSD ウィンドウ 1 [4 ビット、2 ビット、1 ビット]。

6.3.53 ミセレイニマス・コントロール・レジスタ (MISCCTL)

ミセレイニマス・コントロール・レジスタ (MISCCTL) を図 198 に示し、表 191 で説明します。

図 198. ミセレイニマス・コントロール・レジスタ (MISCCTL)

31	Reserved								16
R-0									
15	Reserved		13	12	11	10	9	8	
R-0		R/W-0		R/W-0		R-0		R/W-0	
7	6	5	4	3	2	1	0		
RGBEN	RGBWIN	Reserved	RSEL	CPBSY	PPSW	PPRV	Reserved		
R/W-0		R/W-0		R-0		R-0		R-0	

凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 191. ミセレイニマス・コントロール・レジスタ (MISCCTL) フィールドの説明

ビット	フィールド	値	説明
31-12	Reserved	0	予約。
12	VIDOVRMODE	0 1	ビデオ・ウィンドウ 0 の非表示領域のうち DDR へのデータ・リクエスト信号のアサーションを停止できるマスク信号を制御します。このビットは、ビデオ・ウィンドウ 0 およびビデオ・ウィンドウ 1 が非表示領域にディスプレイされている場合に有効です。 ビデオ・ウィンドウ・オーバーレイ・モードがディスエーブル (VIDOVRMODE = 0) の場合、特定のロケーションにあるビデオ・ウィンドウ 1 (VIDWIN1) の特定のサイズを重ね合わせたとき、ビデオ・ウィンドウ 0 (VIDWIN0) の位置がシフトされることがあることに注意してください。 0 VIDWIN0 と VIDWIN1 間で共有されるデータは、メモリからフェッチされません。 1 VIDWIN0 と VIDWIN1 間で共有されるデータは、メモリからフェッチされます。
11	VFINV	0 1	ビデオ・ウィンドウ 0/1 拡張フィルタ係数の反転。VIEFC または VOEFC がセットされている場合、このビットは有効です。 0 反転。 1 通常。
10	Reserved	0	予約。
9	ATN0E	0 1	REC601 用のアッテネーションのイネーブル。 0 通常レベル (Y : 0 ~ 255、Cr : 0 ~ 255、Cb : 0 ~ 255)。 1 減衰レベル (Y : 16 ~ 235、Cr : 16 ~ 240、Cb : 16 ~ 240)。OSDWIN1 がアトリビュート・ウィンドウとしてセットアップされていない場合にのみアクティブ。
8	ATN1E	0 1	REC601 用のアッテネーションのイネーブル。OSD ウィンドウ 1 モード・セットアップ・レジスタ (OSDWIN1MD) では OASW = 0。 0 通常レベル (Y : 0 ~ 255、Cr : 0 ~ 255、Cb : 0 ~ 255)。 1 減衰レベル (Y : 16 ~ 235、Cr : 16 ~ 240、Cb : 16 ~ 240)。
7	RGBEN	0 1	ビデオ・ウィンドウの RGB モードのイネーブル。 0 ディスエーブル。 1 イネーブル。
6	RGBWIN	0 1	RGB モードで使用するビデオ・ウィンドウ。 0 ビデオ・ウィンドウ 0。 1 ビデオ・ウィンドウ 1。

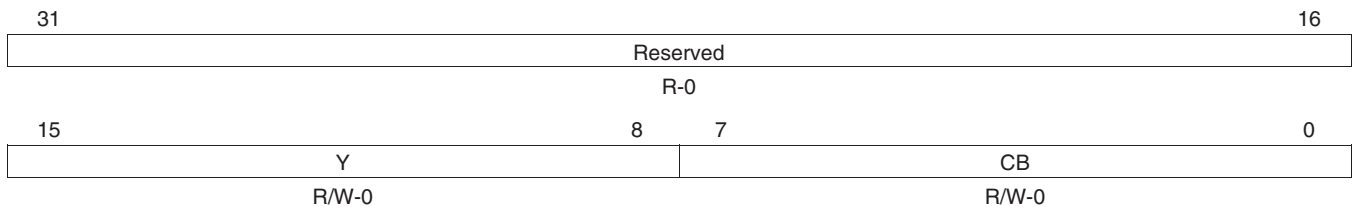
表 191. ミセレイニヤス・コントロール・レジスタ (MISCCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
5	Reserved	0	予約。
4	RSEL	0 1	CLUT ROM の選択。 CLUT0 CLUT1
3	CPBSY	0 1	CLUT ライトのビジー。CLUT データの RAM へのライト時に使用されます。 ビジーではない、ライト可能。 ビジー、ライト禁止。
2	PPSW	0 1	ピンポン・バッファ切り替えの選択。 PPRV = 0 の場合： VIDWIN0ADR のアドレスを使用します。 PPVWIN0ADR のアドレスを使用します。
		0 1	PPRV = 1 の場合： PPVWIN0ADR のアドレスを使用します。 VIDWIN0ADR のアドレスを使用します。
1	PPRV		ピンポン・バッファの反転。内部選択信号の極性を反転します。PPSW ビットに影響を与えます。
0	Reserved	0	予約。

6.3.54 CLUT RAMYCB セットアップ・レジスタ (CLUTRAMYCB)

CLUT RAMYCB セットアップ・レジスタ (CLUTRAMYCB) を図 199 で示し、表 192 で説明します。

図 199. CLUT RAMYCB セットアップ・レジスタ (CLUTRAMYCB)



凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 192. CLUT RAMYCB セットアップ・レジスタ (CLUTRAMYCB) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	Y	0 ~ FFh	データ (Y) を内蔵 CLUT RAM へライトします。
7-0	CB	0 ~ FFh	データ (Cb) を内蔵 CLUT RAM へライトします。

6.3.55 CLUT RAMCR セットアップ・レジスタ (CLUTRAMCR)

CLUT RAMCR セットアップ・レジスタ (CLUTRAMCR) を図 200 で示し、表 193 で説明します。

図 200. CLUT RAMCR セットアップ・レジスタ (CLUTRAMCR)

オンスクリーン・ディスプレイ (OSD) レジスタ

31	Reserved	16
	R-0	
15	Y	0
	R/W-0	
	CB	
	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 193. CLUT RAMCR セットアップ・レジスタ (CLUTRAMCR) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-8	CR	0 ~ FFh	データ (Cr) を内蔵 CLUT RAM ヘライトします。
7-0	CADDR	0 ~ FFh	CLUT ライト・パレット・アドレス。

6.3.56 トランスペアレンシー・バリュース・セットアップ・レジスタ (TRANSPVAL)

トランスペアレンシー・バリュース・セットアップ・レジスタ (TRANSPVAL) を図 201 に示し、表 194 で説明します。

図 201. トランスペアレンシー・バリュース・セットアップ・レジスタ (TRANSPVAL)

31	Reserved	16
	R-0	
15	RGBTRANS	0
	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 194. トランスペアレンシー・バリュース・セットアップ・レジスタ (TRANSPVAL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。
15-0	RGBTRANS	0 ~ FFFFh	RGB565 入力モードの OSD ウィンドウの透過性値。

6.3.57 ピンポン・ビデオ・ウィンドウ 0 アドレス・レジスタ (PPVWIN0ADR)

ピンポン・ビデオ・ウィンドウ 0 アドレス・レジスタ (PPVWIN0ADR) を図 202 に示し、表 195 で説明します。

図 202. ピンポン・ビデオ・ウィンドウ 0 アドレス・レジスタ (PPVWIN0ADR)

31	PPVWIN0ADR	0
	R/W-0	

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 195. ビンボン・ビデオ・ウィンドウ 0 アドレス・レジスタ (PPVWIN0ADR) フィールドの説明

ビット	フィールド	値	説明
31-0	PPVWIN0ADR	0 ~ FFFF FFFFh	ビンボン・ビデオ・ウィンドウ 0 のアドレス。SDRAM ソース・アドレスは、絶対バイト・アドレスです。アドレスは、32 バイト (パースト) 境界にアラインされている必要があることに注意してください。結果的に、下位側 5 ビットは無視され、このレジスタをリードすると、下位側 5 ビットが 0 として常に取り出されます。このビットは VD によってラッチされます。

7 ビデオ・プロセッシング・サブシステム (VPSS) レジスタ

ここでは、ビデオ・プロセッサ・サブシステム (VPSS) のレジスタについて説明します。表 196 に、VPSS のメモリ・マップド・レジスタを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータ・マニュアルを参照してください。

表 196. ビデオ・プロセッシング・サブシステム (VPSS) レジスタ

オフセット	略称	レジスタの説明	参照先
3400h	PID	VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ	7.1 節
3404h	PCR	VPSS ペリフェラル・コントロール・レジスタ	7.2 節
3508h	SDR_REQ_EXP	SDRAM ノンリアルタイム・リード・リクエスト・エクスパンド・レジスタ	7.3 節

7.1 VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) を図 203 に示し、表 197 で説明します。

図 203. VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID)

31	Reserved	24	23	16
	R-0			R-1
15	CID	8	7	0
	R-FBh			R-0

凡例：R = リードのみ。-n = リセット後の値。

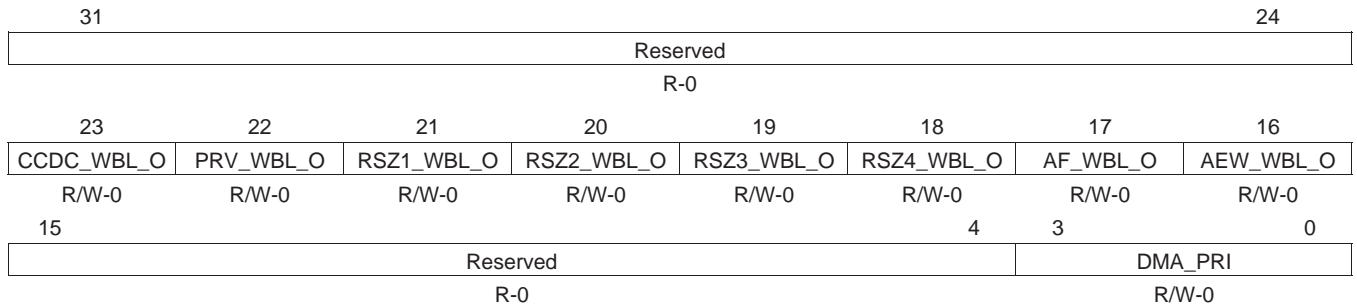
表 197. VPSS ペリフェラル・リビジョン・クラス・インフォメーション・レジスタ (PID) フィールドの説明

ビット	フィールド	値	説明
31-24	Reserved	0	予約。
23-16	TID	0 ~ FFh	ペリフェラルの識別。
		1	VPSS
15-8	CID	0 ~ FFh	クラスの識別。
		FBh	VPSS
7-0	PREV	0 ~ FFh	ペリフェラルのリビジョン番号。
		0	最初のリビジョン

7.2 VPSS ペリフェラル・コントロール・レジスタ (PCR)

VPSS ペリフェラル・コントロール・レジスタ (PCR) を図 204 に示し、表 198 で説明します。

図 204. VPSS ペリフェラル・コントロール・レジスタ (PCR)



凡例：R/W = リード/ライト。R = リードのみ。-n = リセット後の値。

表 198. VPSS ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明

ビット	フィールド	値	説明
31-24	Reserved	0	予約。
23	CCDC_WBL_O	0	ライト・バッファ・メモリ・オーバーフロー (CCDC)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。
		1	オーバーフローなし オーバーフロー (障害発生)
22	PRV_WBL_O	0	ライト・バッファ・メモリ・オーバーフロー (プレビュー・エンジン)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。
		1	オーバーフローなし オーバーフロー (障害発生)
21	RSZ1_WBL_O	0	ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 1)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。
		1	オーバーフローなし オーバーフロー (障害発生)
20	RSZ2_WBL_O	0	ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 2)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。
		1	オーバーフローなし オーバーフロー (障害発生)
19	RSZ3_WBL_O	0	ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 3)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。
		1	オーバーフローなし オーバーフロー (障害発生)
18	RSZ4_WBL_O	0	ライト・バッファ・メモリ・オーバーフロー (リサイザ・ライン 4)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。
		1	オーバーフローなし オーバーフロー (障害発生)

表 198. VPSS ペリフェラル・コントロール・レジスタ (PCR) フィールドの説明 (続き)

ビット	フィールド	値	説明
17	AF_WBL_O	0 1	ライト・バッファ・メモリ・オーバーフロー (AF)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生)
16	AEW_WBL_O	0 1	ライト・バッファ・メモリ・オーバーフロー (AE/AWB)。すべてのデータ・ユニットが入りますが、次のデータ・ユニットが WBL から入ってくる前に SDRAM へ転送されることはありません。ソフトウェアでこのビットをクリアする必要があります。 0 オーバーフローなし 1 オーバーフロー (障害発生)
15-4	Reserved	0	予約。
3-0	DMI_PRI	0 ~ Fh	システム内の VBUSM 優先順位を DDR EMIF に変更します。デフォルトの優先順位は、システム内で最上位にセットしてください。

7.3 SDRAM ノンリアルタイム・リード・リクエスト・エキスパンド・レジスタ (SDR_REQ_EXP)

SDRAM ノンリアルタイム・リード・リクエスト・エキスパンド・レジスタ (SDR_REQ_EXP) を図 205 に示し、表 199 で説明します。

図 205. SDRAM ノンリアルタイム・リード・リクエスト・エキスパンド・レジスタ (SDR_REQ_EXP)

31	30	29	20	19	16
Reserved			PRV_EXP		RESZ_EXP
R-0			R/W-0		R/W-0
15	10	9	0		
RESZ_EXP			HIST_EXP		
R/W-0			R/W-0		

凡例：R/W = リード / ライト。R = リードのみ。-n = リセット後の値。

表 199. SDRAM ノンリアルタイム・リード・リクエスト・エキスパンド・レジスタ (SDR_REQ_EXP) フィールドの説明

ビット	フィールド	値	説明
31-30	Reserved	0	予約。
29-20	PRV_EXP	0 ~ 3FFh	プレビューのリード・リクエスト拡張。プレビュー・モジュールからの連続したリード・リクエスト間で許可する遅延。単位は、VPSS クロック・サイクル (通常モード / ターボ・モードで 153/198 MHz)。通常リアルタイム性が要求される場合、VPSS DMA の優先順位は最上位にセットされるため、これはシステム内の他のトラフィックに関して非リアルタイムでのリード時間を広げるために使えます。これにより、DDR/SDR からリードされるフレームの持続時間を求める他のリクエストがロック・アウトされる可能性が最小限に抑制されます。
19-10	RESZ_EXP	0 ~ 3FFh	リサイズのリード・リクエスト拡張。リサイズ・モジュールからの連続したリード・リクエスト間で許可する遅延。単位は、32 VPSS クロック・サイクル (通常モード / ターボ・モードで 153/198 MHz)。遅延は RESZ_EXP × 32 VPSS クロック・サイクル。通常リアルタイム性が要求される場合、VPSS DMA の優先順位は最上位にセットされるため、これはシステム内の他のトラフィックに関連して非リアルタイムでのリード時間を広げるために使えます。これにより、DDR/SDR からリードされるフレームの持続時間を求める他のリクエストがロック・アウトされる可能性が最小限に抑制されます。
9-0	HIST_EXP	0 ~ 3FFh	ヒストグラムのリード・リクエスト拡張。ヒストグラム・モジュールからの連続したリード・リクエスト間で許可する遅延。単位は、VPSS クロック・サイクル (通常モード / ターボ・モードで 153/198 MHz)。通常リアルタイム性が要求される場合、VPSS DMA の優先順位は最上位にセットされるため、これはシステム内の他のトラフィックに関連して非リアルタイムでのリード時間を広げるために使えます。これにより、DDR/SDR からリードされるフレームの持続時間を求める他のリクエストがロック・アウトされる可能性が最小限に抑制されます。

付録 A 改訂履歴

本書の旧版からの変更点を表 A-1 に示します。

表 A-1. 資料改訂履歴

参照先	追加 / 変更 / 削除
1.2 節	第 2 パラグラフを追加。
1.2.1 項	第 2 パラグラフの最初の箇条書き項目を変更 (制限事項)。
1.2.2 項	注を追加。
表 8	COUT3 ピンから CSYNC を削除。
2.2.1.1 項	第 2 パラグラフを変更。
2.2.2.1 項	第 4 パラグラフを削除。
2.2.3.1 項	第 2 パラグラフを変更。
図 18	RGB 出力信号を変更。
表 29	注を追加。
表 32	表を追加。それ以降の表番号を振り直し。
表 35	表を追加。それ以降の表番号を振り直し。
4.4.1.2 項	注を追加。 パラグラフを変更。
4.4.3.2 項	複数のパラグラフを変更。
図 46	図版を変更。
図 66	図版を変更。
5.4.1 項	パラグラフを変更。
5.4.2 項	注を追加。
5.4.5 項	最初の箇条書き項目を変更。 2 番目と 3 番目の箇条書き項目を削除。
5.5.1 項	パラグラフを変更。
5.5.2 項	注を追加。
表 71	VDMD ビットの説明を変更。
図 80	ビット 1-0 を変更。
表 72	ビット 1-0 を変更。
表 90	OEE ビットの説明を変更。
6.2.67 項	サブセクションを追加。それ以降の図版および表の番号を振り直し。
表 140	VHZ1、VVZ1、VFF1、ACT1 の各ビットの説明を変更。
図 156	ビットを R/W へ変更。
図 157	ビットを R/W へ変更。
図 158	ビットを R/W へ変更。
図 159	ビットを R/W へ変更。
図 198	ビット 12 を追加。
表 191	VIDOVRLMODE ビットの説明を追加。 ATN0E ビットの説明を変更。

表 A-1. 資料改訂履歴 (続き)

参照先	追加 / 変更 / 削除
図 204	図版を変更。
表 198	表の内容を変更。



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上