

---

**TMS320VC5501/5502/5503/5507/5509/5510 DSP**  
**マルチチャネル・バッファド・シリアル・ポート (McBSP)**

**リファレンス・ガイド**

# **TMS320VC5501/5502/5503/5507/5509/5510 DSP**

## **マルチチャネル・バッファド・シリアル・ポート (McBSP)**

### **リファレンス・ガイド**

---

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated（TIJの親会社、以下TIJ及びTexas Instruments Incorporatedを総称してTIといたします）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright©2006, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

以下余白

# 最初にお読みください

## 本書について

本書では、TMS320C55x™ DSP で利用可能なマルチチャネル・バッファード・シリアル・ポート (McBSP) の種類について説明します。McBSP は、C55x™ DSP とシステム内の他のデバイス間でダイレクトなシリアル・インターフェイスを提供します。特定の C55x デバイスで使用可能な McBSP 数については、C55x デバイス毎のデータ・マニュアルを参照してください。

『TMS320VC5501/5502/5503/5507/5509/5510 DSP Multichannel Buffered Serial Port (McBSP) Reference Guide』(文献番号 SPRU592E) を翻訳しています。

## 表記規則

本書では、次の表記規則を使用しています。

- 品番 TMS320VC5509 が使用される場合、TMS320VC5509 デバイスと TMS320VC5509A デバイスの両方を表します。
- 多くの場合、16 進数は末尾に h が付いて表されています。たとえば、次の数字は 16 進数の 40 (10 進数の 64) です。  
40h  
同様に、2 進数は通常、末尾に b が付いて表されています。たとえば、次の数字は 10 進数の 4 を 2 進数で示したものです。  
0100b
- 信号またはピンがロー・アクティブの場合は、上線が付いています。たとえば、RESET 信号はロー・アクティブです。

## 関連資料

C55x デバイスおよびそのサポート・ツールなどを解説した関連資料は、次のとおりです。関連資料は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

『**TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS206) では、TMS320VC5501 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS166) では、TMS320VC5502 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

- 『**TMS320VC5503 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS245)では、TMS320VC5503 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。
- 『**TMS320VC5507 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS244)では、TMS320VC5507 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。
- 『**TMS320VC5509 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS163)では、TMS320VC5509 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。
- 『**TMS320VC5509A Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS205)では、TMS320VC5509A 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。
- 『**TMS320VC5510 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS076)では、TMS320VC5510 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。
- 『**TMS320C55x Technical Overview**』(文献番号 SPRU393)では TMS320C55x DSP、および TMS320C5000™ DSP プラットフォームにおける固定小数点 DSP の最新版について説明しています。以前の製品と同様に、このプロセッサは、高性能で低消費電力での動作に最適です。この資料では、CPU のアーキテクチャ、拡張された低消費電力機能、および組み込みエミュレーション機能について説明しています。
- 『**TMS320C55x DSP CPU Reference Guide**』(文献番号 SPRU371)では、TMS320C55x DSP のアーキテクチャ、レジスタ、CPU の動作について説明しています。
- 『**TMS320C55x DSP Peripherals Overview Reference Guide**』(文献番号 SPRU317)では、TMS320C55x DSP で使用可能なペリフェラル、インターフェイス、および関連するハードウェアについて説明しています。
- 『**TMS320C55x DSP Algebraic Instruction Set Reference Guide**』(文献番号 SPRU375)では、TMS320C55x DSP の各代数表記命令について説明しています。また、命令セットの要約、命令オペコードの一覧、およびニーモニック命令セットへの相互参照も記述しています。
- 『**TMS320C55x DSP Mnemonic Instruction Set Reference Guide**』(文献番号 SPRU374)では、TMS320C55x DSP の各ニーモニック命令について説明しています。また、命令セットの要約、命令オペコードの一覧、および代数表記命令セットへの相互参照も記述しています。
- 『**TMS320C55x Optimizing C/C++ Compiler User's Guide**』(文献番号 SPRU281)では、TMS320C55x の C/C++ コンパイラについて説明しています。この C/C++ コンパイラは、ISO 標準の C および C++ ソース・コードに対応し、TMS320C55x デバイス用のアセンブリ言語ソース・コードを生成します。
- 『**TMS320C55x Assembly Language Tools User's Guide**』(文献番号 SPRU280)では、TMS320C55x デバイス用のアセンブリ言語ツール（アセンブリ言語コードの開発に使用するアセンブラやリンカなどのツール）、アセンブラ擬似命令、マクロ、共通オブジェクト・ファイル・フォーマット、およびシンボリック・デバッグの擬似命令について説明しています。
- 『**TMS320C55x DSP Programmer's Guide**』(文献番号 SPRU376)では、TMS320C55x DSP の C とアセンブリのコードを最適化する方法、また DSP の特殊な機能と命令を使用するコードの書き方について説明しています。

**商標**

TMS320C5000、TMS320C55x、および C55x は Texas Instruments の商標です。  
その他の商標は各社の所有物です。

---

以下余白



# 目次

<b>1</b>	<b>McBSP の概要</b> .....	<b>1-1</b>
1.1	概要 .....	1-2
1.2	McBSP の重要な機能 .....	1-2
1.3	McBSP のブロック図 .....	1-3
1.4	McBSP ピン .....	1-5
<b>2</b>	<b>McBSP の動作</b> .....	<b>2-1</b>
2.1	McBSP のデータ転送プロセス .....	2-2
2.1.1	8 ビット、12 ビット、16 ビットのワード長のデータ転送プロセス .....	2-2
2.1.2	20 ビット、24 ビット、32 ビットのワード長のデータ転送プロセス .....	2-3
2.2	データの圧伸（圧縮と伸長） .....	2-4
2.2.1	圧伸形式 .....	2-4
2.2.2	内部データを圧伸する機能 .....	2-5
2.2.3	ビット順を逆にする：LSB から最初に転送するためのオプション .....	2-6
2.3	データのクロッキングとフレーミング .....	2-7
2.3.1	クロッキング .....	2-7
2.3.2	シリアル・ワード .....	2-7
2.3.3	フレームとフレーム同期 .....	2-8
2.3.4	リセット状態でのフレーム同期パルスの検出 .....	2-9
2.3.5	予期しないフレーム同期パルスの無視 .....	2-9
2.3.6	フレーム周波数 .....	2-9
2.3.7	最大フレーム周波数 .....	2-10
2.4	フレーム・フェーズ .....	2-11
2.4.1	フレーム当たりのフェーズ、ワード、ビット数 .....	2-11
2.4.2	シングル・フェーズ・フレーム例 .....	2-11
2.4.3	デュアル・フェーズ・フレーム例 .....	2-12
2.4.4	デュアル・フェーズ・フレームを使用した AC97 規格の実装 .....	2-13
2.5	McBSP の受信 .....	2-15
2.6	McBSP の送信 .....	2-17
2.7	McBSP によって生成される割り込みと DMA イベント .....	2-19
<b>3</b>	<b>McBSP のサンプル・レート・ジェネレータ</b> .....	<b>3-1</b>
3.1	サンプル・レート・ジェネレータ .....	3-2
3.2	サンプル・レート・ジェネレータでのクロックの生成 .....	3-4
3.2.1	入力クロックの選択 .....	3-5
3.2.2	入力クロックの極性の選択 .....	3-6
3.2.3	出力クロック（CLKG）の周波数の選択 .....	3-7
3.2.4	外部入力クロックに同期させた CLKG の維持 .....	3-8
3.3	サンプル・レート・ジェネレータでのフレーム同期の生成 .....	3-9
3.3.1	FSG のフレーム同期パルス幅の選択 .....	3-9
3.3.2	FSG のフレーム同期パルスの開始エッジの時間制御 .....	3-9
3.4	外部クロックへのサンプル・レート・ジェネレータの出力の同期 .....	3-10

3.4.1	同期例 .....	3-10
3.5	サンプル・レート・ジェネレータのリセットと初期化手順 .....	3-12
3.6	サンプル・レート・ジェネレータのクロッキングの例 .....	3-14
3.6.1	ダブル・レートの ST-Bus クロック .....	3-14
3.6.2	シングル・レートの ST バス・クロック .....	3-15
3.6.3	その他のダブル・レートのクロック .....	3-16
<b>4</b>	<b>McBSP の例外 / エラー状態 .....</b>	<b>4-1</b>
4.1	McBSP の例外 / エラー状態 .....	4-2
4.2	レシーバでのオーバーラン .....	4-3
4.2.1	オーバーラン状態の例 .....	4-3
4.2.2	オーバーラン状態を防止する例 .....	4-4
4.3	予期しない受信フレーム同期パルス .....	4-5
4.3.1	受信フレーム同期パルスに対する応答 .....	4-5
4.3.2	予期しない受信フレーム同期パルスの例 .....	4-6
4.3.3	予期しない受信フレーム同期パルスの防止 .....	4-7
4.4	トランスミッタでの上書き .....	4-8
4.4.1	上書き状態の例 .....	4-8
4.4.2	上書きの防止 .....	4-8
4.5	トランスミッタでのアンダーフロー .....	4-9
4.5.1	アンダーフロー状態の例 .....	4-10
4.5.2	アンダーフロー状態を防止する例 .....	4-10
4.6	予期しない送信フレーム同期パルス .....	4-11
4.6.1	送信フレーム同期パルスに対する応答 .....	4-11
4.6.2	予期しない送信フレーム同期パルスの例 .....	4-12
4.6.3	予期しない送信フレーム同期パルスの防止 .....	4-13
<b>5</b>	<b>マルチチャネル選択モード .....</b>	<b>5-1</b>
5.1	チャネル、ブロック、パーティション .....	5-2
5.2	マルチチャネル選択 .....	5-3
5.3	マルチチャネル選択のためのフレーム設定 .....	5-4
5.4	2つのパーティションの使用法 .....	5-5
5.4.1	パーティション A と B へのブロックの割り当て .....	5-5
5.4.2	受信または送信中のブロックの再割り当て .....	5-6
5.5	8つのパーティションの使用法 .....	5-8
5.6	受信マルチチャネル選択モード .....	5-10
5.7	送信マルチチャネル選択モード .....	5-11
5.7.1	ディスエーブル / イネーブルとマスク / マスク解除 .....	5-12
5.7.2	さまざまな XMCM 値に対する McBSP ピンの動作 .....	5-13
5.8	ブロック転送間の割り込みの使用法 .....	5-15
<b>6</b>	<b>クロック停止モードを使用した SPI の動作 .....</b>	<b>6-1</b>
6.1	SPI プロトコル .....	6-2
6.2	クロック停止モード .....	6-3
6.3	クロック停止モードをイネーブルにし、設定するために使用されるビット .....	6-4
6.4	クロック停止モードのタイミング図 .....	6-6
6.5	SPI の動作のための McBSP の構成手順 .....	6-8
6.6	SPI マスタとして機能する McBSP .....	6-9
6.7	SPI スレーブとして機能する McBSP .....	6-12
<b>7</b>	<b>レシーバのコンフィグレーション .....</b>	<b>7-1</b>
7.1	McBSP レシーバの構成 .....	7-2
7.2	目的のレシーバ動作のための McBSP レジスタのプログラミング .....	7-3
7.3	レシーバのリセットとイネーブル .....	7-4
7.3.1	リセットに関する考慮事項 .....	7-5
7.4	McBSP ピンとして動作するためのレシーバ・ピンのセット .....	7-6
7.5	デジタル・ループバック・モードのイネーブル / ディスエーブル .....	7-7

7.5.1	デジタル・ループバック・モードについて	7-7
7.6	クロック停止モードのイネーブル/ディスエーブル	7-8
7.6.1	クロック停止モードについて	7-8
7.7	受信マルチチャネル選択モードのイネーブル/ディスエーブル	7-9
7.8	受信フレームに対する1つまたは2つのフェーズの選択	7-10
7.9	受信ワード長の設定	7-11
7.9.1	ワード長ビットについて	7-12
7.10	受信フレーム長の設定	7-13
7.10.1	選択するフレーム長について	7-14
7.11	受信フレーム同期の ignore 機能のイネーブル/ディスエーブル	7-15
7.11.1	予期しないフレーム同期パルスとフレーム同期の ignore 機能について	7-15
7.12	受信圧伸モードの設定	7-16
7.13	受信データ遅延の設定	7-17
7.13.1	データ遅延について	7-17
7.13.2	0ビット・データ遅延	7-18
7.13.3	2ビット・データ遅延	7-18
7.14	受信符号拡張と位置調整モードの設定	7-20
7.14.1	符号拡張と位置調整について	7-20
7.15	受信割り込みモードの設定	7-22
7.15.1	受信割り込みと関連モードについて	7-22
7.16	受信フレーム同期モードの設定	7-23
7.16.1	受信フレーム同期モードについて	7-24
7.17	受信フレーム同期の極性の設定	7-25
7.17.1	フレーム同期パルス、クロック信号、およびその極性について	7-25
7.18	SRG フレーム同期周期とパルス幅の設定	7-27
7.18.1	フレーム同期周期とフレーム同期パルス幅について	7-28
7.19	受信クロック・モードの設定	7-29
7.19.1	受信クロックのソースと、CLKR ピンのデータ方向の選択	7-30
7.20	受信クロック極性の設定	7-31
7.20.1	フレーム同期パルス、クロック信号、およびその極性について	7-31
7.21	SRG クロック分周値の設定	7-33
7.21.1	サンプル・レート・ジェネレータのクロック分周器について	7-33
7.22	SRG クロック同期モードの設定	7-35
7.23	SRG クロック・モードの設定 (入力クロックの選択)	7-36
7.23.1	SRG クロック・モードについて	7-36
7.24	SRG 入力クロック極性の設定	7-37
7.24.1	CLKSP/CLKXP/CLKRP を使用した入力クロック極性の選択	7-38
<b>8</b>	<b>トランスミッタのコンフィグレーション</b>	<b>8-1</b>
8.1	トランスミッタのコンフィグレーション	8-2
8.2	目的のトランスミッタ動作のための McBSP レジスタのプログラミング	8-3
8.3	トランスミッタのリセットとイネーブル	8-4
8.3.1	リセットに関する考慮事項	8-5
8.4	McBSP ピンとして動作するためのトランスミッタ・ピンの設定	8-6
8.5	デジタル・ループバック・モードのイネーブル/ディスエーブル	8-7
8.5.1	デジタル・ループバック・モードについて	8-7
8.6	クロック停止モードのイネーブル/ディスエーブル	8-8
8.6.1	クロック停止モードについて	8-8
8.7	送信マルチチャネル選択のイネーブル/ディスエーブル	8-9
8.8	送信フレームに対する1つまたは2つのフェーズの選択	8-10
8.9	送信ワード長の設定	8-11
8.9.1	ワード長ビットについて	8-12
8.10	送信フレーム長の設定	8-13
8.10.1	選択するフレーム長について	8-14
8.11	送信フレーム同期の ignore 機能のイネーブル/ディスエーブル	8-15
8.11.1	予期しないフレーム同期パルスとフレーム同期の ignore 機能について	8-15

8.12	送信圧伸モードの設定	8-16
8.13	送信データ遅延の設定	8-17
8.13.1	データ遅延について	8-17
8.13.2	0ビット・データ遅延	8-18
8.13.3	2-ビット・データ遅延	8-18
8.14	送信DXENAモードの設定	8-20
8.14.1	DXENAモードについて	8-20
8.15	送信割り込みモードの設定	8-21
8.15.1	送信割り込みと関連モードについて	8-21
8.16	送信フレーム同期モードの設定	8-22
8.16.1	送信フレーム同期モードについて	8-22
8.16.2	その他の考慮事項	8-23
8.17	送信フレーム同期の極性の設定	8-24
8.17.1	フレーム同期パルス、クロック信号、およびその極性について	8-24
8.18	SRG フレーム同期周期とパルス幅の設定	8-27
8.18.1	フレーム同期周期とフレーム同期パルス幅について	8-27
8.19	送信クロック・モードの設定	8-29
8.19.1	送信クロックのソースと、CLKX ピンのデータ方向の選択	8-29
8.19.2	その他の考慮事項	8-29
8.20	送信クロック極性の設定	8-30
8.20.1	フレーム同期パルス、クロック信号、およびその極性について	8-30
8.21	SRG クロック分周値の設定	8-32
8.21.1	サンプル・レート・ジェネレータのクロック分周器について	8-32
8.22	SRG クロック同期モードの設定	8-34
8.23	SRG クロック・モードの設定 (入力クロックの選択)	8-35
8.23.1	SRG クロック・モードについて	8-35
8.24	SRG 入力クロック極性の設定	8-36
8.24.1	CLKSP/CLKXP/CLKRP を使用した入力クロック極性の選択	8-37
<b>9</b>	<b>McBSP ピンの汎用 I/O</b>	<b>9-1</b>
9.1	GPIO としての McBSP ピンの使用	9-2
<b>10</b>	<b>エミュレーション、電源、リセットについての考慮事項</b>	<b>10-1</b>
10.1	McBSP エミュレーション・モード	10-2
10.2	TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP 電源管理	10-3
10.3	TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP 電源管理	10-4
10.4	McBSP のリセットと初期化	10-5
10.4.1	McBSP のピン状態：DSP リセットとレシーバ/トランスミッタのリセット	10-5
10.4.2	DSP リセット、McBSP リセット、サンプル・レート・ジェネレータリセット	10-5
10.4.3	McBSP の初期化手順	10-6
10.4.4	レシーバの動作中でのトランスミッタのリセット	10-8
<b>11</b>	<b>データ・パッキング例</b>	<b>11-1</b>
11.1	フレーム長とワード長を使用するデータ・パッキング	11-2
11.2	ワード長とフレーム同期無視機能を使用するデータ・パッキング	11-4
<b>12</b>	<b>McBSP のレジスタ</b>	<b>12-1</b>
12.1	データ受信レジスタ (DRR1 と DRR2)	12-2
12.1.1	データ受信 (DR) ピンから DRR へのデータの転送方法	12-2
12.2	データ送信レジスタ (DXR1 と DXR2)	12-3
12.2.1	DXR からデータ送信 (DX) ピンへのデータの転送方法	12-3
12.3	シリアル・ポート制御レジスタ (SPCR1 と SPCR2)	12-4
12.4	受信制御レジスタ (RCR1 と RCR2)	12-11
12.5	送信制御レジスタ (XCR1 と XCR2)	12-15
12.6	サンプル・レート・ジェネレータ・レジスタ (SRGR1 と SRGR2)	12-19
12.7	マルチチャンネル制御レジスタ (MCR1 と MCR2)	12-23

---

12.8	ピン制御レジスタ (PCR) .....	12-29
12.9	受信チャンネル・イネーブル・レジスタ (RCERA-RCERH) .....	12-35
12.9.1	受信マルチチャンネル選択モードで使用される RCER .....	12-36
12.10	送信チャンネル・イネーブル・レジスタ (XCERA-XCERH) .....	12-38
12.10.1	送信マルチチャンネル選択モードで使用される XCER .....	12-39
<b>13</b>	<b>McBSP レジスタ・ワークシート .....</b>	<b>13-1</b>
13.1	一般制御レジスタ .....	13-2
13.2	マルチチャンネル選択制御レジスタ .....	13-5

# 目次

図 1-1	McBSP の概念ブロック図	1-3
図 2-1	McBSP データ転送パス	2-2
図 2-2	圧伸処理	2-4
図 2-3	$\mu$ -law 転送データの圧伸形式	2-5
図 2-4	A-Law 転送データの圧伸形式	2-5
図 2-5	McBSP が内部データを圧伸する 2 つの方法	2-6
図 2-6	最大パケット周波数での McBSP の動作	2-10
図 2-7	McBSP データ送信用のシングル・フェーズ・フレーム	2-12
図 2-8	McBSP データ送信用のデュアル・フェーズ・フレーム	2-12
図 2-9	デュアル・フェーズ・フレームを使用した AC97 規格の実装	2-13
図 2-10	フレーム同期付近の AC97 規格のデータ転送のタイミング	2-14
図 2-11	McBSP の受信の物理データ・パス	2-15
図 2-12	McBSP の受信信号動作	2-15
図 2-13	McBSP の送信の物理データ・パス	2-17
図 2-14	McBSP の送信信号動作	2-17
図 3-1	サンプル・レート・ジェネレータの概念ブロック図	3-2
図 3-2	サンプル・レート・ジェネレータと極性ビットへの可能な入力	3-6
図 3-3	GSYNC = 1、CLKGDV = 1 にセットした場合の CLKG 同期と FSG 生成。 CLKS はサンプル・レート・ジェネレータの入カクロックを供給	3-11
図 3-4	GSYNC = 1、CLKGDV = 3 にセットした場合の CLKG 同期と FSG 生成。 CLKS はサンプル・レート・ジェネレータの入カクロックを供給	3-11
図 3-5	ST-BUS と MVIP のクロッキングの例	3-14
図 3-6	シングル・レートのクロック例	3-15
図 3-7	ダブル・レートのクロック例	3-16
図 4-1	McBSP レシーバでのオーバーラン	4-4
図 4-2	McBSP レシーバで防止されたオーバーラン	4-4
図 4-3	受信フレーム同期パルスに対する応答	4-5
図 4-4	McBSP の受信中に発生した予期しないフレーム同期パルス	4-6
図 4-5	フレーム同期パルスの正しい位置づけ	4-7
図 4-6	上書きされ、転送されない McBSP のトランスミッタ内のデータ	4-8
図 4-7	McBSP の送信中に発生したアンダーフロー	4-10
図 4-8	McBSP のトランスミッタで防止されたアンダーフロー	4-10
図 4-9	送信フレーム同期パルスに対する応答	4-11
図 4-10	McBSP の送信中に発生した予期しないフレーム同期パルス	4-13
図 4-11	フレーム同期パルスの正しい位置づけ	4-13
図 5-1	パーティション A のチャンネルとパーティション B のチャンネルを交互に切り替える	5-6
図 5-2	McBSP のデータ転送中のチャンネル・ブロックの再割り当て	5-7
図 5-3	8 パーティション・モードでの McBSP のデータ転送	5-9
図 5-4	設定可能な XMCM 値に対する McBSP ピンの動作	5-13
図 6-1	一般的な SPI インターフェイス	6-2
図 6-2	CLKSTP = 10b (クロック遅延なし)、CLKXP = 0、CLKRP = 0 にセットした SPI 転送	6-6
図 6-3	CLKSTP = 11b (クロック遅延)、CLKXP = 0、CLKRP = 1 をセットした SPI 転送	6-6

図 6-4	CLKSTP = 10b (クロック遅延なし)、CLKXP = 1、CLKRP = 0 をセットした SPI 転送.....	6-7
図 6-5	CLKSTP = 11b (クロック遅延)、CLKXP = 1、CLKRP = 1 にセットした SPI 転送.....	6-7
図 6-6	SPI マスタとして機能する McBSP.....	6-9
図 6-7	SPI スレーブとして機能する McBSP .....	6-12
図 7-1	McBSP レシーバをリセットまたはイネーブルにするために使用されるレジスタ・ビット.....	7-4
図 7-2	McBSP ピンとして動作するようにレシーバ・ピンをセットするために使用される レジスタ・ビット.....	7-6
図 7-3	デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用される レジスタ・ビット.....	7-7
図 7-4	クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット..	7-8
図 7-5	受信マルチチャネル選択モードをイネーブル/ディスエーブルにするために使用される レジスタ・ビット.....	7-9
図 7-6	受信フレームに対して 1 つまたは 2 つのフェーズを選択するために使用される レジスタ・ビット.....	7-10
図 7-7	受信ワード長をセットするために使用されるレジスタ・ビット.....	7-11
図 7-8	受信フレーム長をセットするために使用されるレジスタ・ビット .....	7-13
図 7-9	受信フレーム同期の ignore 機能をイネーブル/ディスエーブルするために使用される レジスタ・ビット.....	7-15
図 7-10	受信圧伸モードをセットするために使用されるレジスタ・ビット .....	7-16
図 7-11	受信データ遅延をセットするために使用されるレジスタ・ビット .....	7-17
図 7-12	プログラマブルなデータ遅延の範囲.....	7-18
図 7-13	フレーミング・ビットをスキップするために使用される 2 ビット・データ遅延 .....	7-19
図 7-14	受信符号拡張モードと位置調整モードをセットするために使用されるレジスタ・ビット.....	7-20
図 7-15	受信割り込みモードをセットするために使用されるレジスタ・ビット.....	7-22
図 7-16	受信フレーム同期モードをセットするために使用されるレジスタ・ビット.....	7-23
図 7-17	受信フレーム同期の極性をセットするために使用されるレジスタ・ビット.....	7-25
図 7-18	立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ.....	7-26
図 7-19	SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット.....	7-27
図 7-20	16 CLKG 周期のフレーム同期周期と 2 CLKG 周期のアクティブ幅.....	7-28
図 7-21	受信クロック・モードをセットするために使用されるレジスタ・ビット.....	7-29
図 7-22	受信クロック極性をセットするために使用されるレジスタ・ビット .....	7-31
図 7-23	立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ.....	7-32
図 7-24	サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために 使用されるレジスタ・ビット.....	7-33
図 7-25	SRG クロック同期モードをセットするために使用されるレジスタ・ビット.....	7-35
図 7-26	SRG クロック・モード (入力クロックの選択) をセットするために使用される レジスタ・ビット.....	7-36
図 7-27	SRG 入力クロックの極性をセットするために使用されるレジスタ・ビット.....	7-37
図 8-1	トランスミッタをリセット状態するために使用されるレジスタ・ビット.....	8-4
図 8-2	McBSP ピンとして動作するようにトランスミッタ・ピンをセットするために使用される レジスタ・ビット.....	8-6
図 8-3	デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用される レジスタ・ビット.....	8-7
図 8-4	クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット..	8-8
図 8-5	送信マルチチャネル選択をイネーブル/ディスエーブルにするために使用される レジスタ・ビット.....	8-9
図 8-6	送信フレームに対して 1 つまたは 2 つのフェーズを選択するために使用される レジスタ・ビット.....	8-10
図 8-7	送信ワード長をセットするために使用されるレジスタ・ビット.....	8-11
図 8-8	送信フレーム長をセットするために使用されるレジスタ・ビット .....	8-13
図 8-9	送信フレーム同期の ignore 機能をイネーブル/ディスエーブルにするために使用される レジスタ・ビット.....	8-15
図 8-10	送信圧伸モードをセットするために使用されるレジスタ・ビット .....	8-16
図 8-11	送信データ遅延をセットするために使用されるレジスタ・ビット .....	8-17
図 8-12	プログラミング可能なデータ遅延の範囲.....	8-18

図 8-13	フレーミング・ビットをスキップするために使用される 2 ビット・データ遅延 .....	8-19
図 8-14	送信 DXENA (DX 遅延イネーブラ) モードをセットするために使用されるレジスタ・ビット ..	8-20
図 8-15	DXENA = 1 のときの DX 遅延 .....	8-20
図 8-16	送信割り込みモードをセットするために使用されるレジスタ・ビット .....	8-21
図 8-17	送信フレーム同期モードをセットするために使用されるレジスタ・ビット .....	8-22
図 8-18	送信フレーム同期の極性をセットするために使用されるレジスタ・ビット .....	8-24
図 8-19	立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ .....	8-26
図 8-20	SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット .....	8-27
図 8-21	16 CLKG 周期のフレーム同期周期と 2 CLKG 周期のアクティブ幅 .....	8-28
図 8-22	送信クロック・モードをセットするために使用されるレジスタ・ビット .....	8-29
図 8-23	送信クロック極性をセットするために使用されるレジスタ・ビット .....	8-30
図 8-24	立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ .....	8-31
図 8-25	サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために 使用されるレジスタ・ビット .....	8-32
図 8-26	SRG クロック同期モードをセットするために使用されるレジスタ・ビット .....	8-34
図 8-27	SRG クロック・モード (入カクロックの選択) をセットするために使用される レジスタ・ビット .....	8-35
図 8-28	SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット .....	8-36
図 11-1	McBSP へ、または McBSP から転送される 4 つの 8 ビット・データ・ワード .....	11-2
図 11-2	McBSP へ、または McBSP から転送される 1 つの 32 ビット・データ・ワード .....	11-3
図 11-3	最大パケット周波数で転送される 8 ビット・データ・ワード .....	11-4
図 11-4	図 11-3 のデータ・ストリームを連続する 32 ビット・ワードとして設定 .....	11-5
図 12-1	データ受信レジスタ (DRR1 と DRR2) .....	12-2
図 12-2	データ送信レジスタ (DXR1 と DXR2) .....	12-3
図 12-3	シリアル・ポート制御レジスタ (SPCR1 と SPCR2) .....	12-4
図 12-4	受信制御レジスタ (RCR1 と RCR2) .....	12-11
図 12-5	送信制御レジスタ (XCR1 と XCR2) .....	12-15
図 12-6	サンプル・レート・ジェネレータ・レジスタ (SRGR1 と SRGR2) .....	12-20
図 12-7	マルチチャンネル制御レジスタ (MCR1 と MCR2) .....	12-23
図 12-8	ピン制御レジスタ (PCR) .....	12-30
図 12-9	受信チャンネル・イネーブル・レジスタのフォーマット (RCERA-RCERH) .....	12-35
図 12-10	送信チャンネル・イネーブル・レジスタのフォーマット (XCERA-XCERH) .....	12-38



# 表目次

表 1-1	McBSP ピン .....	1-5
表 2-1	フレーム当たりのフェーズ数、ワード数、ビット数を決定する McBSP のレジスタ・ビット .....	2-11
表 2-2	McBSP によって生成される割り込みと DMA イベント .....	2-19
表 3-1	クロック・モードに対する DLB と CLKSTP の効果 .....	3-4
表 3-2	SCLKME ビットと CLKSM ビットを使用したサンプル・レート・ジェネレータの 入力クロックの選択 .....	3-5
表 3-3	サンプル・レート・ジェネレータへの入力のための極性オプション .....	3-7
表 5-1	8 つの受信パーティションを使用する場合の受信チャンネルの割り当てと制御 .....	5-8
表 5-2	8 つの送信パーティションを使用する場合の送信チャンネルの割り当てと制御 .....	5-9
表 5-3	XMCM ビットを使用した送信マルチチャンネル選択モードの選択 .....	5-11
表 6-1	クロック停止モードをイネーブルにし、設定するために使用されるビット .....	6-4
表 6-2	クロック・スキームでの CLKSTP、CLKXP、CLKRP の効果 .....	6-5
表 6-3	SPI マスタとして McBSP を構成するために必要なレジスタ・ビット値 .....	6-10
表 6-4	SPI スレーブとして McBSP を構成するために必要なレジスタ・ビット値 .....	6-13
表 7-1	McBSP レシーバをリセットまたはイネーブルにするために使用されるレジスタ・ビット .....	7-4
表 7-2	各 McBSP ピンのリセット状態 .....	7-5
表 7-3	McBSP ピンとして動作するようにレシーバ・ピンをセットするために使用される レジスタ・ビット .....	7-6
表 7-4	デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用される レジスタ・ビット .....	7-7
表 7-5	デジタル・ループバック・モードで送信信号と接続している受信信号 .....	7-7
表 7-6	クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット ..	7-8
表 7-7	受信マルチチャンネル選択モードをイネーブル/ディスエーブルにするために使用される レジスタ・ビット .....	7-9
表 7-8	受信フレームに対して 1 つまたは 2 つのフェーズを選択するために使用される レジスタ・ビット .....	7-10
表 7-9	受信ワード長をセットするために使用されるレジスタ・ビット .....	7-11
表 7-10	受信フレーム長をセットするために使用されるレジスタ・ビット .....	7-13
表 7-11	受信フレーム長の計算方法 .....	7-14
表 7-12	受信フレーム同期の ignore 機能をイネーブル/ディスエーブルするために使用される レジスタ・ビット .....	7-15
表 7-13	受信圧伸モードをセットするために使用されるレジスタ・ビット .....	7-16
表 7-14	受信データ遅延をセットするために使用されるレジスタ・ビット .....	7-17
表 7-15	受信符号拡張モードと位置調整モードをセットするために使用されるレジスタ・ビット .....	7-20
表 7-16	例：12 ビット・データ値 0xABC による RJUST フィールドの使用 .....	7-20
表 7-17	例：20 ビット・データ値 0xABCDE による RJUST フィールドの使用 .....	7-21
表 7-18	受信割り込みモードをセットするために使用されるレジスタ・ビット .....	7-22
表 7-19	受信フレーム同期モードをセットするために使用されるレジスタ・ビット .....	7-23
表 7-20	受信フレーム同期信号を供給するソースの選択と FSR ピンへの影響 .....	7-24
表 7-21	受信フレーム同期の極性をセットするために使用されるレジスタ・ビット .....	7-25
表 7-22	SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット .....	7-27

表 7-23	受信クロック・モードをセットするために使用されるレジスタ・ビット	7-29
表 7-24	受信クロック信号を供給するソースの選択と CLKR ピンへの影響	7-30
表 7-25	受信クロック極性をセットするために使用されるレジスタ・ビット	7-31
表 7-26	サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために使用されるレジスタ・ビット	7-33
表 7-27	SRG クロック同期モードをセットするために使用されるレジスタ・ビット	7-35
表 7-28	SRG クロック・モード (入カクロックの選択) をセットするために使用されるレジスタ・ビット	7-36
表 7-29	SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット	7-37
表 8-1	トランスミッタをリセット状態するために使用されるレジスタ・ビット	8-4
表 8-2	各 McBSP ピンのリセット状態	8-5
表 8-3	McBSP ピンとして動作するようにトランスミッタ・ピンをセットするために使用されるレジスタ・ビット	8-6
表 8-4	デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット	8-7
表 8-5	デジタル・ループバック・モードで送信信号と接続している受信信号	8-7
表 8-6	クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット	8-8
表 8-7	送信マルチチャネル選択をイネーブル/ディスエーブルにするために使用されるレジスタ・ビット	8-9
表 8-8	送信フレームに対して1つまたは2つのフェーズを選択するために使用されるレジスタ・ビット	8-10
表 8-9	送信ワード長をセットするために使用されるレジスタ・ビット	8-11
表 8-10	送信フレーム長をセットするために使用されるレジスタ・ビット	8-13
表 8-11	フレーム長の計算方法	8-14
表 8-12	送信フレーム同期の ignore 機能をイネーブル/ディスエーブルにするために使用されるレジスタ・ビット	8-15
表 8-13	送信圧伸モードをセットするために使用されるレジスタ・ビット	8-16
表 8-14	送信データ遅延をセットするために使用されるレジスタ・ビット	8-17
表 8-15	送信 DXENA (DX 遅延イネーブラ) モードをセットするために使用されるレジスタ・ビット	8-20
表 8-16	送信割り込みモードをセットするために使用されるレジスタ・ビット	8-21
表 8-17	送信フレーム同期モードをセットするために使用されるレジスタ・ビット	8-22
表 8-18	FSXM と FSGM による送信フレーム同期パルスのソースの選択方法	8-23
表 8-19	送信フレーム同期の極性をセットするために使用されるレジスタ・ビット	8-24
表 8-20	SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット	8-27
表 8-21	送信クロック・モードをセットするために使用されるレジスタ・ビット	8-29
表 8-22	CLKXM ビットによる送信クロックと CLKP ピンの対応する状態の選択方法	8-29
表 8-23	送信クロック極性をセットするために使用されるレジスタ・ビット	8-30
表 8-24	サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために使用されるレジスタ・ビット	8-32
表 8-25	SRG クロック同期モードをセットするために使用されるレジスタ・ビット	8-34
表 8-26	SRG クロック・モード (入カクロックの選択) をセットするために使用されるレジスタ・ビット	8-35
表 8-27	SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット	8-36
表 9-1	汎用 I/O として McBSP を使用する方法	9-3
表 10-1	SPCR2 の FREE ビットと SOFT ビットを使用して選択可能な McBSP エミュレーション・モード	10-2
表 10-2	各 McBSP ピンのリセット状態	10-5
表 12-1	SPCR1 ビットの説明	12-5
表 12-2	SPCR2 ビットの説明	12-8
表 12-3	RCR1 ビットの説明	12-12
表 12-4	RCR2 ビットの説明	12-13
表 12-5	XCR1 ビットの説明	12-16
表 12-6	XCR2 ビットの説明	12-17
表 12-7	SRGR1 ビットの説明	12-20
表 12-8	SRGR2 ビットの説明	12-21
表 12-9	MCR1 ビットの説明	12-24
表 12-10	MCR2 ビットの説明	12-26

---

表 12-11	PCR ビットの説明 .....	12-30
表 12-12	受信チャンネル・イネーブル・レジスタのビット x の説明 (x = 0、1、2... または 15) .....	12-35
表 12-13	受信チャンネル・イネーブル・レジスタの使用 .....	12-36
表 12-14	送信チャンネル・イネーブル・レジスタのビット x の説明 (x = 0、1、2... または 15) .....	12-38
表 12-15	送信マルチチャンネル選択モードでの送信チャンネル・イネーブル・レジスタの使用 .....	12-39

---

以下余白

# McBSP の概要

この章では、TMS320C55x DSP 用のマルチチャネル・バッファド・シリアル・ポート (McBSP) の概要を説明します。

項目	ページ
1.1 概要 .....	1-2
1.2 McBSP の重要な機能 .....	1-2
1.3 McBSP のブロック図 .....	1-3
1.4 McBSP ピン .....	1-5

## 1.1 概要

TMS320C55x DSP は、他の C55x DSP、コーデック、システム内の他のデバイスとのダイレクト・インターフェイスを可能にする複数の高速マルチチャネル・バッファド・シリアル・ポート (McBSP) を搭載しています。特定の C55x デバイスで使用可能な McBSP の数については、C55x デバイス毎のデータ・マニュアルを参照してください。

## 1.2 McBSP の重要な機能

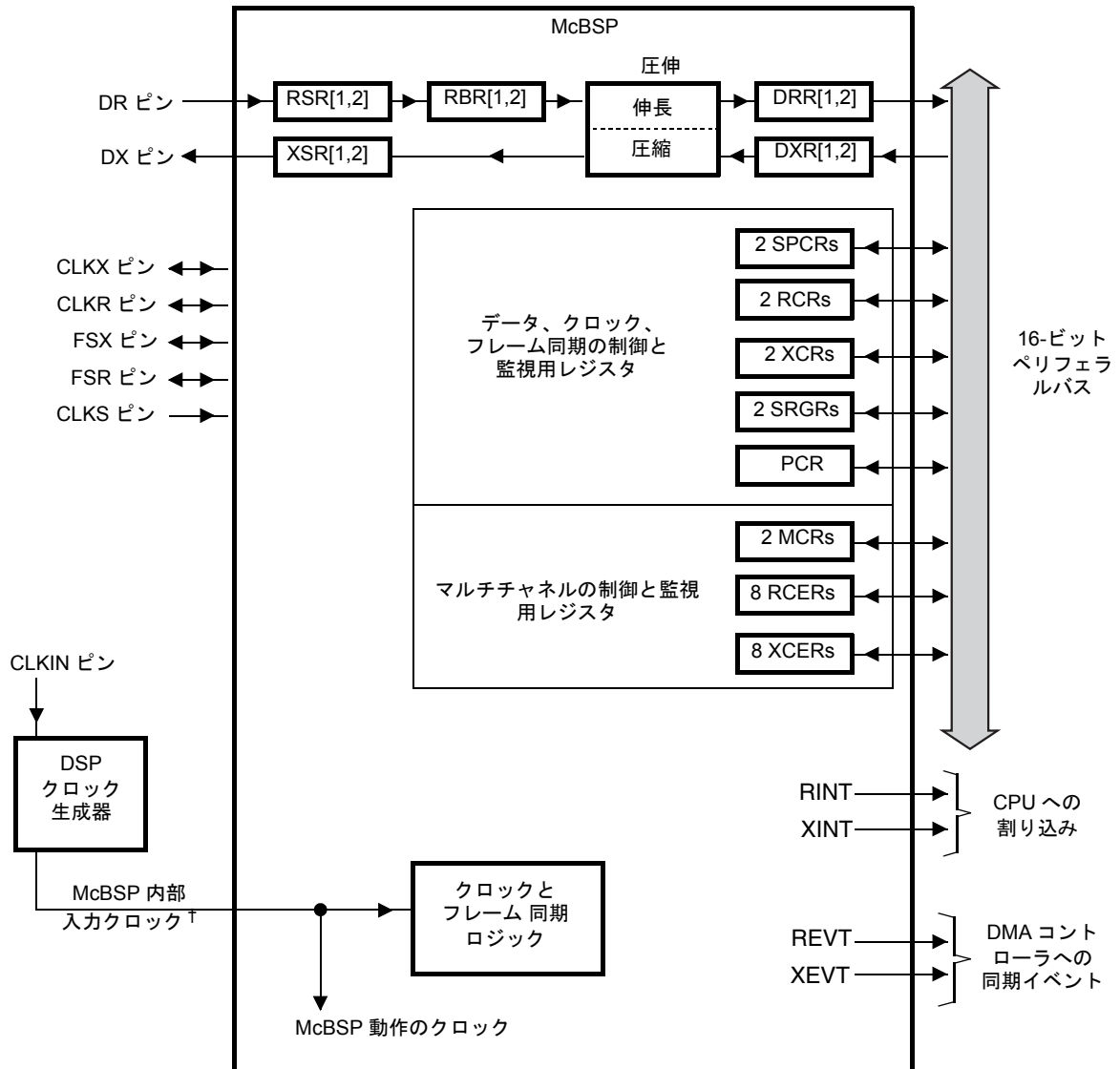
McBSP には以下の機能があります。

- 全二重通信
- ダブル・バッファ送信とトリプル・バッファ受信。この機能により、継続的なデータ・ストリームが可能になります。
- 受信用と送信用の独立したクロッキングとフレーミング
- CPU への割り込み送信機能と DMA コントローラへの DMA イベント送信機能
- 送信と受信用に 128 チャンネルを装備
- 各チャンネルでの転送を許可またはブロックを可能するマルチチャネル選択モード
- 業界標準のコーデック、アナログ・インターフェイス・チップ (AIC)、および他のシリアル接続された A/D と D/A デバイスとのダイレクト・インターフェイス
- クロック信号とフレーム同期 (フレームシンク) 信号の外部生成サポート
- クロック信号とフレーム同期信号の内部生成と制御のためのプログラム可能なサンプル・レート生成器
- フレーム同期パルスとクロック信号のプログラマブルな極性
- 以下へのダイレクト・インターフェイスを実現：
  - T1/E1 フレーム
  - 以下を含む MVIP スイッチング互換かつ ST-BUS 準拠デバイス
    - MVIP フレーム
    - H.100 フレーム
    - SCSA フレーム
  - IOM-2 準拠デバイス
  - AC97 準拠デバイス (必要なマルチフェーズ・フレーム機能を装備)
  - IIS 準拠デバイス
  - SPI デバイス
- 8、12、16、20、24、32 ビットのデータ・サイズが選択可能  
注：選択したデータ・サイズ値は、McBSP マニュアルではシリアル・ワードまたはワードとして示されます。それ以外の場合、ワードは 16 ビット値を示すために使用されます。
- $\mu$ -law と A-law 圧伸
- 最下位ビットから 8 ビットのデータを送受信可能
- 例外 / エラー状態のフラグ設定のためのステータス・ビット
- McBSP ピンを汎用 I/O ピンとして McBSP ピンを使用する機能

### 1.3 McBSP のブロック図

McBSP は、図 1-1 に示されるように 7 つのピンで外部デバイスに接続するデータ・フロー・パスとコントロール・パスで構成されます。

図 1-1 McBSP の概念ブロック図



† McBSP 内部入力クロック : TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、このクロックは CPU クロックになります。TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このクロックは低速ペリフェラル・クロックになります。

データは、送信用のデータ送信 (DX) ピンと受信用のデータ受信 (DR) ピン経由で、McBSP とインターフェイスを行うデバイスとの間でやり取りされます。クロックとフレーム同期形式の制御情報は、CLKX (送信クロック) ピン、CLKR (受信クロック) ピン、FSX (送信フレーム同期) ピン、FSR (受信フレーム同期) ピンを経由してやり取りされます。

CPU と DMA コントローラは、内部ペリフェラル・バス経由でアクセス可能な 16 ビット・ワイドのレジスタを介して McBSP とデータをやり取りします。CPU または DMA コントローラは、送信するデータをデータ送信レジスタ (DXR1、DXR2) にライトします。DXR にライトされたデータは、送信シフト・レジスタ (XSR1、XSR2) を介して DX にシフトアウトされます。同様に、DR ピンで受信されたデータは、受信シフト・レジスタ (RSR1、RSR2) にシフトインされ、受信バッファ・レジスタ (RBR1、RBR2) にコピーされます。次に、RBR の内容が DRR にコピーされ、CPU または DMA コントローラによってリード可能になります。これにより、内部データと外部データ通信が同時に処理できます。

シリアル・ワード長が 8 ビット、12 ビット、または 16 ビットの場合は、DRR2、RBR2、RSR2、DXR2、XSR2 は使用されません (これらのレジスタへのライト、リード、シフトは行われません)。ワード長がこれより大きい場合、最上位ビットを保持するためにこれらのレジスタが必要になります。

図 1-1 に示されるこれ以外のレジスタは、McBSP 動作を制御するために使用されます。これらのレジスタの詳細については、第 12 章「McBSP のレジスタ」を参照してください。



## 1.4 McBSP ピン

表 1-1 は、McBSP インターフェイス・ピンを説明したものです。「設定可能な状態」欄の「I」は入力、「O」は出力、「Z」はハイ・インピーダンスを表します。

表 1-1 McBSP ピン

ピン	設定可能な状態	使用
CLKR	I/O/Z	受信クロックの供給または反映。サンプル・レート生成器の入カクロックの供給。汎用 I/O
CLKX	I/O/Z	送信クロックの供給または反映。サンプル・レート生成器の入カクロックの供給。汎用 I/O
CLKS	I	サンプル・レート生成器の入カクロックの供給。汎用入力  CLKS はすべてのデバイスまたはパッケージで利用できるわけではありません。CLKS サポートについては、デバイス毎のデータ・マニュアルを参照してください。CLKS をサポートしていないデバイスは、CLKS に関連する機能もサポートしていません。
DR	I	シリアル・データの受信。汎用入力
DX	O/Z	シリアル・データの送信。汎用出力
FSR	I/O/Z	受信フレーム同期信号の供給または反映。SRGR2 の GSYNC が 1 の場合におけるサンプル・レート生成器の同期の制御
FSX	I/O/Z	送信フレーム同期信号の供給または反映。汎用 I/O

一部の C55x DSP では、McBSP インターフェイス・ピンがその他のピン機能とマルチプレクスされる場合があります。詳細については、デバイス毎のデータ・マニュアルを参照してください。

---

以下余白

# McBSP の動作

---

---

---

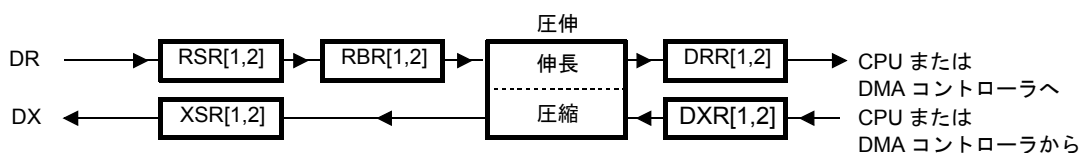
この章では、McBSP の動作、つまり McBSP によるデータの送信または受信方法について詳細に説明します。

項目	ページ
2.1 McBSP のデータ転送プロセス .....	2-2
2.2 データの圧伸（圧縮と伸長） .....	2-4
2.3 データのクロッキングとフレーミング .....	2-7
2.4 フレーム・フェーズ .....	2-11
2.5 McBSP の受信 .....	2-15
2.6 McBSP の送信 .....	2-17
2.7 McBSP によって生成される割り込みと DMA イベント .....	2-19

## 2.1 McBSP のデータ転送プロセス

図 2-1 は、McBSP データ転送パスの図を示しています。McBSP の受信動作はトリプル・バッファ構成で、また McBSP の送信動作はダブル・バッファ構成です。どのレジスタが使用されるかは、各シリアル・ワードに定義された長さが 16 ビット以内かどうかによって異なります。

図 2-1 McBSP データ転送パス



### 2.1.1 8 ビット、12 ビット、16 ビットのワード長のデータ転送プロセス

ワード長が 16 ビット以下の場合、データ転送パスの各ステージで必要になるのは、1 つの 16 ビット・レジスタのみです。DRR2、RBR2、RSR2、DXR2、XSR2 レジスタは使用されません（これらのレジスタへのライト、リード、シフトは行われません）。

受信データは DR ピンで受信し、受信シフト・レジスタ 1 (RSR1) にシフトされます。1 ワード分が受信されると、受信バッファ・レジスタ 1 (RBR1) が前のデータでフルされていない場合は、RSR1 の内容が受信バッファ・レジスタ 1 (RBR1) にコピーされます。次に、データ受信・レジスタ 1 (DRR1) の前の内容が CPU または DMA コントローラによって既にリードされている場合、データ受信・レジスタ 1 (DRR1) に RBR1 がコピーされます。McBSP の圧伸機能を実装している場合、必要なワード長は 8 ビットであり、受信されたデータは適切な形式に伸長されてから RBR1 から DRR1 に渡されます。

送信データは、CPU または DMA コントローラによってデータ送信・レジスタ 1 (DXR1) にライトされます。送信シフト・レジスタ 1 (XSR1) 内に前のデータが存在しない場合、DXR1 内の値は XSR1 にコピーされます。それ以外の場合、前のデータの最終ビットが DX ピンにシフトアウトされたときに DXR1 は XSR1 にコピーされます。圧伸モジュールを選択すると、圧伸モジュールは、16 ビットのデータを 8 ビット形式に圧縮してから XSR1 に渡します。送信フレーム同期が完了した後、トランスマッタによって XSR1 から DX ピンへのビット・シフトが開始されます。

### 2.1.2 20 ビット、24 ビット、32 ビットのワード長のデータ転送プロセス

ワード長が 16 ビットを超える場合、データ転送パスの各ステージで 2 個の 16 ビット・レジスタが必要になります。DRR2、RBR2、RSR2、DXR2、XSR2 レジスタは、最上位ビットを保持するために必要になります。

受信されたデータは DR ピンで受信し、RSR2 と RSR1 にシフトされます。1 ワード分が受信されると、RBR1 が前のデータでフルされていない場合、RSR2 と RSR1 の内容がそれぞれ RBR2 と RBR1 にコピーされます。次に、データ受信レジスタ 1 (DRR1) の前の内容が CPU または DMA コントローラによって既にリードされている場合、RBR2 と RBR1 の内容がそれぞれ DRR2 と DRR1 にコピーされます。CPU または DMA コントローラは、DRR2、DRR1 の順にデータをリードする必要があります。DRR1 をリードすると、次の RBR から DRR へのコピーが発生します。

受信では、DRR2 と DRR1 での受信データのラインは SPCR1 レジスタの RJUST フィールドによって制御されます。送信では、CPU または DMA コントローラは、DXR2、DXR1 の順にデータをライトする必要があります。新しいデータが DXR1 に到着すると、XSR1 内に前のデータが存在しない場合、DXR2 と DXR1 の内容はそれぞれ XSR2 と XSR1 にコピーされます。それ以外の場合、前のデータの最終ビットが DX ピンにシフトアウトされたときに DXR 内の内容は XSR にコピーされます。送信フレーム同期が完了した後、トランスミッタによって XSR から DX ピンへのビット・シフトが開始されます。

## 2.2 データの圧伸（圧縮と伸長）

圧伸（圧縮と伸長）ハードウェアを使用すると、データを  $\mu$ -law 形式または A-law 形式で圧縮および伸長できます。 $\mu$ -law は、米国および日本で採用されている標準的な圧伸規格です。A-law は、ヨーロッパで採用されている標準的な圧伸規格です。 $\mu$ -law および A-law の log PCM 仕様は、CCITT G.711 勧告に含まれています。

A-law および  $\mu$ -law では、それぞれ 13 ビットと 14 ビットのダイナミック・レンジがあります。このダイナミック・レンジの範囲以外の値はすべて最も大きな正の値または最も大きな負の値にセットされます。したがって、最適な圧伸処理を行うには、CPU または DMA コントローラを介して McBSP へ、または McBSP から転送されるデータは、少なくとも 16 ビット幅のデータである必要があります。

$\mu$ -law 形式および A-law 形式では、データを 8 ビットのコード・ワードにエンコードします。圧伸されたデータは常に 8 ビット・ワードです。したがって、必要なワード長ビット (RWDLEN1、RWDLEN2、XWDLEN1、XWDLEN2) を 8 ビット・モードにセットする必要があります。圧伸機能が有効で、フレーム・フェーズのいずれかに 8 ビット・ワード長でないものが存在する場合、そのワード長が 8 ビットであるものとして圧伸が続行されます。

図 2-2 は、圧伸処理を示しています。トランスミッタに対して圧伸を選択すると、DXR1 から XSR1 へのデータのコピー処理中に圧縮が行われます。送信データは、指定した圧伸方式 (A-law または  $\mu$ -law) に従ってエンコードされます。レシーバに対して圧伸を選択すると、RBR1 から DRR1 へのデータのコピー処理中に圧縮が行われます。受信データは、2 の補数でデコードされます。

図 2-2 圧伸処理



### 2.2.1 圧伸形式

受信処理では、RBR1 内で 8 ビットに圧縮されたデータは、DRR1 で左詰めされた 16 ビットのデータに伸長されます。圧伸を使用すると、RJJUST で指定された受信の符号拡張と位置調整モードは無視されます。

図 2-3 に示すように、 $\mu$ -law 圧縮を使用した送信処理では、14 ビット・データが DXR1 内で左詰めされ、残りの下位の 2 ビットには 0 がフィルされます。

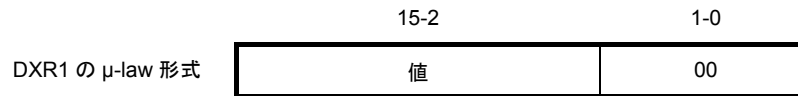
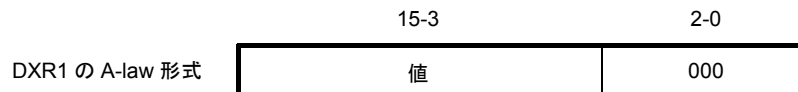
図 2-3  $\mu$ -law 転送データの圧伸形式

図 2-4 に示すように、A-law 圧縮を使用した送信処理では、13 ビット・データが DXR1 内で左詰めされ、残りの低次ビットは 0 でフィルされています。

図 2-4 A-Law 転送データの圧伸形式



## 2.2.2 内部データを圧伸する機能

McBSP を使用しない場合 (シリアル・ポートの送信および受信セクションをリセットされている)、圧伸ハードウェアは、内部データを圧伸できます。これにより、以下が可能になります。

- リニアを適切な  $\mu$ -law または A-law 形式に変換します。
- $\mu$ -law または A-law をリニア形式に変換します。
- リニア・データを送信し、このデータを圧縮し、再度伸長することで、圧伸における量子化効果を確認します。これは、XCOMPAND と RCOMPAND の両方で同じ圧伸形式を有効にした場合にのみ有効です。

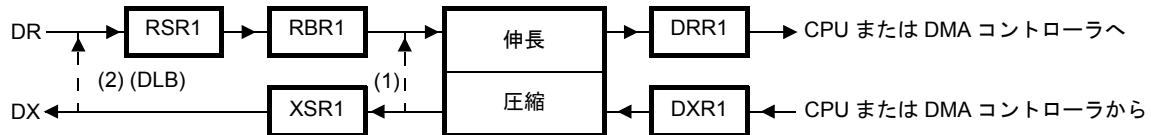
図 2-5 は、McBSP が内部データを圧伸する 2 つの方法を示しています。これらの 2 つの方法のデータ・パスでは、以下が示されます。

- シリアル・ポートの送信セクションと受信セクションをリセットすると、DRR1 と DXR1 は圧伸ロジックを介して内部で接続されます。DXR1 から渡された値は、XCOMPAND での選択に従って圧縮され、RCOMPAND での選択に従って伸長されます。RRDY ビットと XRDY ビットはセットされないで注意してください。ただし、データは DXR1 にライトされた後、4 つの McBSP 内部クロック・サイクル以内で DRR1 で使用可能になります。この方法は、以下の図 2-5 の (1) で示しています。

この方法の利点はその処理速度です。欠点は、データ・フローを制御する CPU と DMA コントローラで使用可能な同期が存在しないことです。(X/R)COMPAND ビットを 10b または 11b にセットする ( $\mu$ -law または A-law を使用して圧伸する) 場合、DRR1 と DXR1 は内部的に接続されるので注意してください。

- 圧伸をRCOMPANDとXCOMPANDによって適切にイネーブルにして、McBSPをデジタル・ループバック・モードでイネーブルにします。受信および送信の割り込みイベント（RINTMを00bにセットする場合はRINT、XINTMを00bにセットする場合はXINT）または同期イベント（REVTおよびXEVT）を使用すると、これらの変換に対してCPUまたはDMAコントローラの同期が可能になります。この圧伸にかかる時間は、選択したシリアル・ビット・レートで異なります。この方法は、以下の図2-5の（2）で示しています。

図2-5 McBSPが内部データを圧伸する2つの方法



### 2.2.3 ビット順を逆にする：LSBから最初に転送するためのオプション

通常、McBSPは最上位ビット（MSB）からすべてのデータを送信または受信します。ただし、圧伸されたデータを使用しない8ビット・データのプロトコルの中には、最下位ビット（LSB）から転送する必要があるものがあります。XCR2でXCOMPANDを01bにセットすると、シリアル・ポートから送信される前に8ビット・ワードのビット順序が反転されます（LSBから送信）。RCR2でRCOMPANDを01bにセットすると、受信時に8ビットワードのビット順序が反転されます。圧伸と同様に、この機能は、適切なワード長ビットが0、つまり、8ビット・ワードがシリアルに転送されるようにセットした場合にのみ有効です。フレームのいずれのフェーズにも8ビット・ワード長のデータが存在しない場合、McBSPはワード長を8ビットと見なし、LSBから最初に送受信します。



## 2.3 データのクロッキングとフレーミング

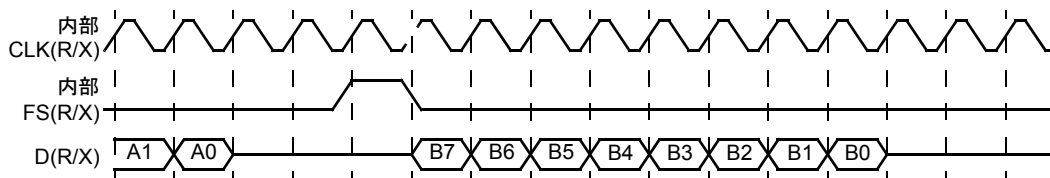
この節では、McBSP データの転送のタイミングとデータの区切りを理解するために必要な基本概念と用語について説明します。

### 2.3.1 クロッキング

データは、DR ピンから RSR、または XSR から DX ピンに 1 ビットずつシフトされます。各ビット転送のタイミングは、クロック信号の立ち上がりエッジまたは立ち下がりエッジで制御されます。

受信クロック信号 (CLKR) は、DR ピンから RSR へのビット転送を制御します。送信クロック信号 (CLKX) は、XSR から DX ピンへのビット転送を制御します。CLKR または CLKX は、McBSP 上のピン、または McBSP 内部から供給されます。CLKR と CLKX の極性はプログラム可能です。

以下の例では、クロック信号がピン上の各ビット転送のタイミングを制御しています。



#### 注：

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。低速ペリフェラル・クロックの周波数のプログラミングについては、McBSP タイミング要件の詳細を説明しているデバイス毎のデータ・マニュアルを参照してください。

ピンで CLKX または CLKR をドライブする場合は、適切な入力クロック周波数を選択してください。CLKX または CLKR、あるいはその両方に対して内部サンプル・レート・ジェネレータを使用する場合は、適切な入力クロック周波数を選択して、値を除算してください (CLKGDV)。

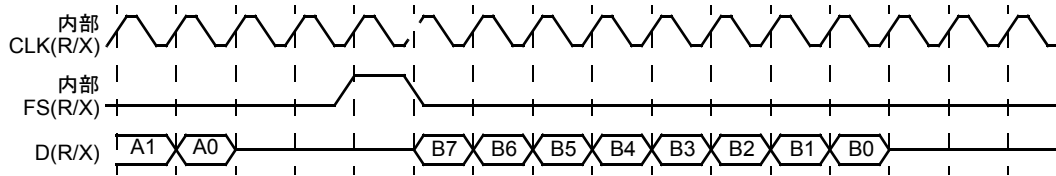
### 2.3.2 シリアル・ワード

シフト・レジスタ (RSR または XSR) とデータ・ピン (DR または DX) 間で転送されるビットは、**シリアル・ワード**と呼ばれるグループで転送されます。1 ワードに含めるビット数は定義できます。

DR ピンに転送されたビットは、RSR にシリアル・ワード全体が保持されるまで、RSR に維持されます。RSR にシリアル・ワード全体が保持されると、そのワード全体が RBR に (最終的には DRR に) 渡されます。

送信時、XSR から DX ピンにシリアル・ワード全体が渡されると、XSR は DXR から新しいデータを受け付けます。

以下の例では、8ビットのワード・サイズが定義されています（転送されているワードBのビット7～ビット0を参照）。



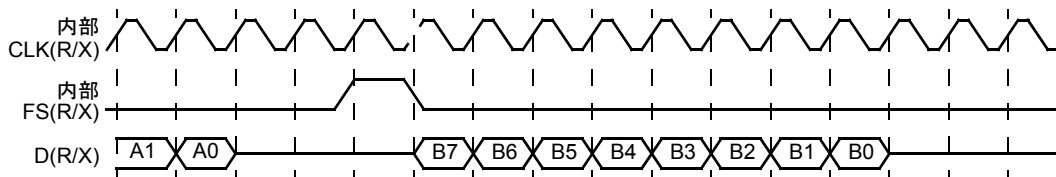
### 2.3.3 フレームとフレーム同期

1つまたは複数のワードは、**フレーム**と呼ばれるグループで転送されます。1フレームに含めるワード数は定義できます。

フレーム内のすべてのワードは、連続するストリームで送信されます。ただし、フレーム転送間で中断することができます。McBSPは、各フレームを送受信する時期を決定するためにフレーム同期（フレームシンク）信号を使用します。フレーム同期信号でパルスが発生すると、McBSPはデータ・フレームの送受信を開始します。次のパルスが発生すると、次のフレームを送受信します。

受信フレーム同期信号（FSR）上のパルスはDR上のフレーム転送を開始し、転送フレーム同期信号（FSX）上のパルスはDX上のフレーム転送を開始します。FSRまたはFSXは、McBSP上のピン、またはMcBSP内部から供給されます。

以下の例では、フレーム同期パルスが発生すると、1ワード・フレームが転送されます。



McBSP動作では、フレーム同期信号の非アクティブからアクティブへの信号変化は、次のフレームの開始を示します。このため、フレーム同期信号は任意のクロック・サイクル数に対してHighになる場合があります。信号が非アクティブになり、再度アクティブになったことを認識した場合にのみ、次のフレーム同期が発生します。

### 2.3.4 リセット状態でのフレーム同期パルスの検出

McBSP は、McBSP 内の特定のイベントを指示するために、CPU に受信および送信割り込みを送ることができます。フレーム同期パルスに反応してこれらの割り込みを送ると、フレーム同期を検出しやすくなります。適切な割り込みモード・ビットを 10b にセットします (受信については RINTM = 10b、送信については XINTM = 10b にセットします)。

他のシリアル・ポートの割り込みモードとは異なり、このモードは、シリアル・ポートの関連部分がリセット状態でも動作できます (たとえば、レシーバがリセット状態のときに、RINT がアクティベートする)。この場合、FSRM/FSXM と FSRP/FSXP は、これまでどおりにフレーム同期の適切なソースと極性を選択します。したがって、シリアル・ポートがリセット状態であっても、これらの信号は McBSP 内部入力クロックと同期され、これらの信号がシリアル・ポートのレシーバとトランスミッタに送られた時点で RINT と XINT 形式で CPU に送られます。その結果、新しいフレーム同期パルスが検出されます。この同期パルスの発生後、CPU はシリアル・ポートのリセット状態を安全に解除できます。

### 2.3.5 予期しないフレーム同期パルスの無視

McBSP は、送信フレーム同期パルスまたは受信フレーム同期パルス、あるいはその両方を無視するように設定できます。レシーバまたはトランスミッタでフレーム同期パルスを認識するようにするには、適切なフレーム同期の ignore ビットをクリアします (レシーバの場合、RFIG = 0、トランスミッタの場合、XFIG = 0 にセットします)。目的のフレーム長またはワード数に達するまでレシーバまたはトランスミッタがフレーム同期パルスを無視するようにするには、適切なフレーム同期の ignore ビットをセットします (レシーバについては RFIG = 1、トランスミッタについては XFIG = 1 にセットします)。

### 2.3.6 フレーム周波数

フレーム周波数は、フレーム同期パルス間の周期によって決定され、方程式 2-1 に示される方程式によって定義されています。

方程式 2-1 McBSP のフレーム周波数

$$\text{フレーム周波数} = \frac{\text{クロック周波数}}{\text{フレーム同期パルス間のクロック・サイクル数}}$$

フレーム周波数は、フレーム当たりのビット数でのみ制限されるフレーム同期パルス間の時間を減らすことで増やすことができます。フレーム転送周波数が増えると、隣接する転送のデータ・パケット間の非アクティビティの周期は 0 まで削減されます。

### 2.3.7 最大フレーム周波数

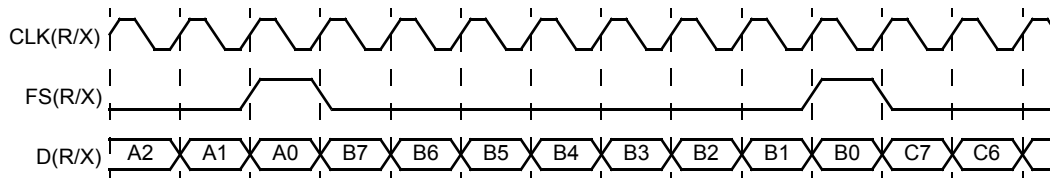
フレーム同期パルス間の最小クロック・サイクル数は、フレームあたりに転送されるビット数になります。最大フレーム周波数は、方程式 2-2 に示される方程式で定義されます。

方程式 2-2 McBSP の最大フレーム周波数

$$\text{最大フレーム周波数} = \frac{\text{クロック周波数}}{\text{フレーム当たりのビット数}}$$

図 2-6 は、最大パケット周波数での McBSP の動作を示しています。最大パケット周波数では、連続パケット内のデータ・ビットは、ビット間での非アクティビティ状態なしに連続して送信されます。

図 2-6 最大パケット周波数での McBSP の動作



この図に示されるような 1 ビットのデータ遅延が存在する場合、フレーム同期パルスは、前のフレームで転送された最終ビットとオーバーラップします。事実上、これにより、フレーム同期パルスが冗長化され、連続するデータ・ストリームが許可されます。理論的には、マルチパケット送信を開始するためには最初のフレーム同期パルスのみが必要になります。

McBSP は、連続するフレーム同期パルスを無視することで、シリアル・ポート動作をこのような方法でサポートします。各クロック・サイクル中に、データはレシーバにクロック・インされ、トランスミッタからクロック・アウトされます。

**注：**

XDATDLY = 0 (0 ビット・データの遅延) の場合、データの最初のビットは、内部転送クロック信号 (CLKX) に非同期に送信されます。

**注：**

TMS320VC5501 デバイスと TMS320VC5502 デバイスで、0 ビットの遅延と外部クロックを使用する場合、図 2-6 に示される転送は、フレーム同期の ignore ビットを 1 にセットしている場合のみ実行されます。フレーム同期の ignore ビットが 0 の場合は、フレーム間に追加のクロック・サイクルが必要になります。

## 2.4 フレーム・フェーズ

McBSP では、各フレームに 1 つまたは 2 つのフェーズを含めるように構成できます。フレーム当たりのワード数およびワード当たりのビット数は、フレームの 2 つのフェーズごとに別々にセットできるため、より柔軟なデータ転送を行うことができます。たとえば、ユーザーは、それぞれ 16 ビットの 2 つのワードを含む 1 つ目のフェーズの後に、それぞれ 8 ビットの 10 のワードを含む 2 つ目のフェーズを構成し、それらを 1 つのフレームとして定義できます。このようなコンフィグレーションを行うと、ユーザーは、カスタム・アプリケーション用にフレームを作成でき、ほとんどの場合、データ転送の効率を最大限に上げることができます。

### 2.4.1 フレーム当たりのフェーズ、ワード、ビット数

表 2-1 は、レシーバとトランスミッタに対して、フレーム当たりのフェーズ数、フレーム当たりのワード数、各フェーズのワード当たりのビット数を決定する受信制御レジスタ (RCR1 と RCR2) と送信制御レジスタ (XCR1 と DCR2) のビット・フィールドを示したものです。フレーム当たりの最大ワード数は、シングル・フェーズ・フレームでは 128、デュアル・フェーズ・フレームでは 256 です。ワード当たりのビット数は、8、12、16、20、24、32 ビットのいずれかに指定できます。フレーム当たりの最大ビット数 (シリアル・ポート・クロック・サイクル) は、4096 です。

表 2-1 フレーム当たりのフェーズ数、ワード数、ビット数を決定する McBSP のレジスタ・ビット

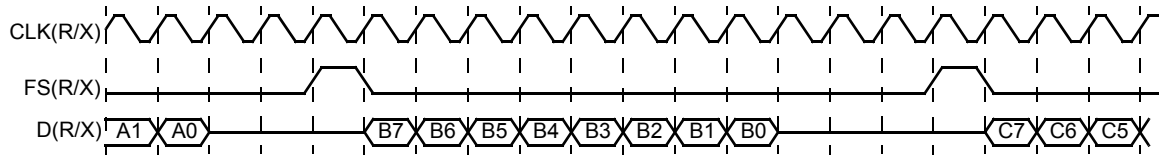
動作	フェーズ数	フレーム当たりのワード数を セットするレジスタ・ビット	1ワード当たりのビット数を セットするレジスタ・ビット
受信	1 (RPHASE = 0)	RFRLN1	RWDLEN1
受信	2 (RPHASE = 1)	RFRLN1 と RFRLN2	フェーズ 1 の場合、RWDLEN1 フェーズ 2 の場合、RWDLEN2
送信	1 (XPHASE = 0)	XFRLN1	XWDLEN1
送信	2 (XPHASE = 1)	XFRLN1 と XFRLN2	フェーズ 1 の場合、XWDLEN1 フェーズ 2 の場合、XWDLEN2

### 2.4.2 シングル・フェーズ・フレーム例

図 2-7 は、8 ビットから成る 1 つのワードで構成されたシングル・フェーズのデータ・フレーム例を示しています。1 データ・ビット遅延の転送が設定されているため、DX ピンと DR ピン上のデータは、FS (R/X) がアクティブになった 1 クロック・サイクル後に使用可能になります。この図は、以下を前提としています。

- (R/X)PHASE = 0 : シングル・フェーズ・フレーム
- (R/X)FRLEN1 = 0b : フレーム当たり 1 ワード
- (R/X)WDLEN1 = 000b : 8 ビット・ワード長
- (R/X)FRLEN2 と (R/X)WDLEN2 は無視される
- CLK(X/R)P = 0 : 受信データは立ち下がりエッジで検出され、送信データは立ち上がりエッジで送出されている
- FS(R/X)P = 0 : アクティブ・ハイ・フレーム同期信号
- (R/X)DATDLY = 01b : 1 ビット・データ遅延

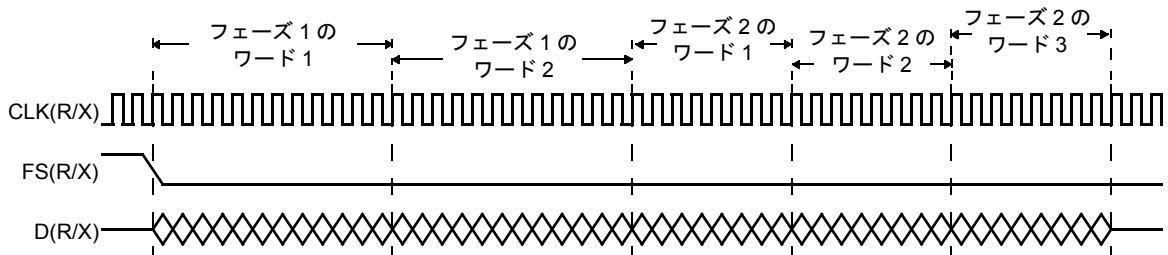
図 2-7 McBSP データ送信用のシングル・フェーズ・フレーム



### 2.4.3 デュアル・フェーズ・フレーム例

図 2-8 は、各 12 ビットから成る 2 つのワードを含む 1 つ目のフェーズの後に、各 8 ビットから成る 3 つのワードを含む 2 つ目のフェーズで構成される 1 つのフレームを示しています。ただし、フレーム内のビット・ストリーム全体は連続しています。ワード間またはフェーズ間にギャップはありません。

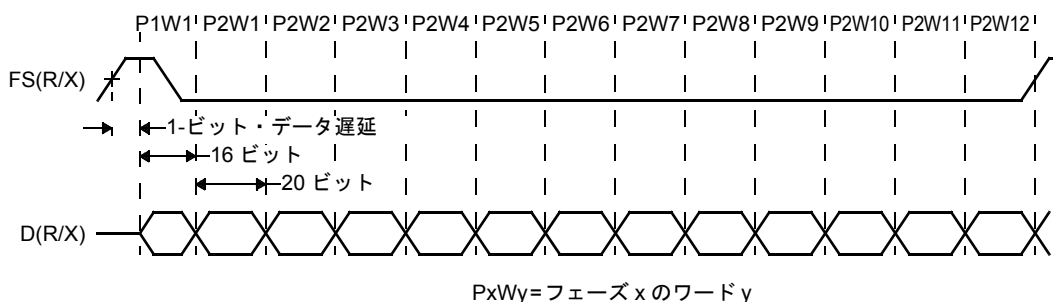
図 2-8 McBSP データ送信用のデュアル・フェーズ・フレーム



#### 2.4.4 デュアル・フェーズ・フレームを使用した AC97 規格の実装

図 2-9 は、デュアル・フェーズ・フレーム機能を使用するオーディオ・コーデック 97 (AC97) 規格例を示したものです。ただし、D (R/X) 信号上では個々のビットではなくワードが示されていることに注意してください。最初のフェーズ (P1) は、単一の 16 ビット・ワードで構成されています。2 つ目のフェーズ (P2) は、12 個の 20 ビット・ワードで構成されています。図の後に、フェーズ構成を示します。

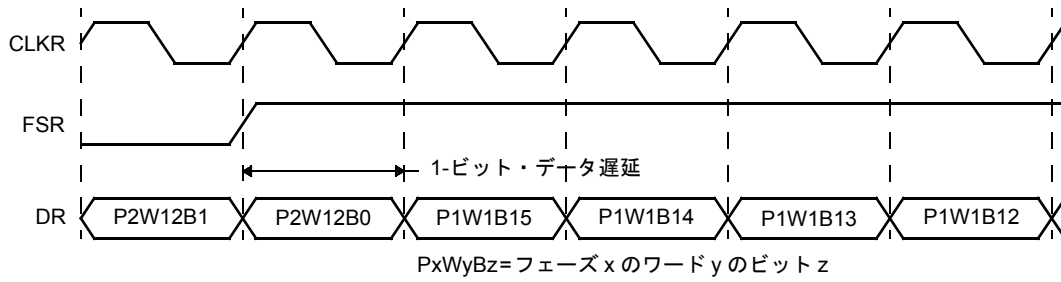
図 2-9 デュアル・フェーズ・フレームを使用した AC97 規格の実装



- (R/X)PHASE = 1 : デュアル・フェーズ・フレーム
- (R/X)FRLEN1 = 0000000b : フェーズ 1 の 1 ワード
- (R/X)WDLEN1 = 010b : フェーズ 1 のワードあたり 16 ビット
- (R/X)FRLEN2 = 0001011b : フェーズ 2 の 12 ワード
- (R/X)WDLEN2 = 011b : フェーズ 2 のワードあたり 20 ビット
- CLKRP/CLKXP = 0 : 受信データは、内部 CLKR の立ち下がりエッジにサンプリングされ、送信データは内部 CLKX の立ち上がりエッジで送出されている
- FSRP/FSXP = 0 : アクティブ・ハイ・フレーム同期信号
- (R/X)DATDLY = 01b : 1 クロック・サイクルのデータ遅延 (1 ビット・データ遅延)

図 2-10 は、フレーム同期付近の AC97 規格のデータ転送のタイミングを示したものです。この図では、各ビットは D (R/X) で示されます。特に、この図では、1 つのフレームのフェーズ 2 の最後の 2 つのビットと、次のフレームのフェーズ 1 の最初の 4 つのビットが示されています。データ遅延に関係なく、データ転送はギャップを発生させることなく行うことができます。2 つ目のフレームの最初のビット (P1W1B15) は、最初のフレームの最後のビット (P2W12B0) の直後に続きます。1 ビット・データ遅延が設定されているため、P2W12B0 が転送されているときにフレーム同期の信号変化が発生します。

図 2-10 フレーム同期付近の AC97 規格のデータ転送のタイミング



**注：**

TMS320VC5501 デバイスと TMS320VC5502 デバイスで、0 ビットの遅延と外部クロックを使用する場合、図 2-9 に示される転送は、フレーム同期の ignore ビットを 1 にセットしている場合にのみ実行されます。フレーム同期の ignore ビットが 0 の場合、フレーム間に追加のクロック・サイクルが必要になります。

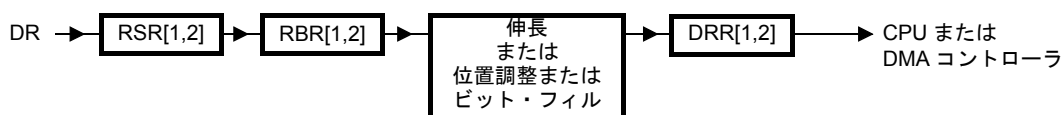


## 2.5 McBSP の受信

この節では、McBSP での基本的な受信プロセスについて説明します。レシーバの構成の詳細については、第 7 章「レシーバのコンフィグレーション」を参照してください。

図 2-11 と図 2-12 は、McBSP での受信発生方法を示しています。図 2-11 は、データの物理パスを示し、図 2-12 は、ある受信シナリオでの信号動作を示すタイミング図です。図の後で、受信プロセスを説明します。

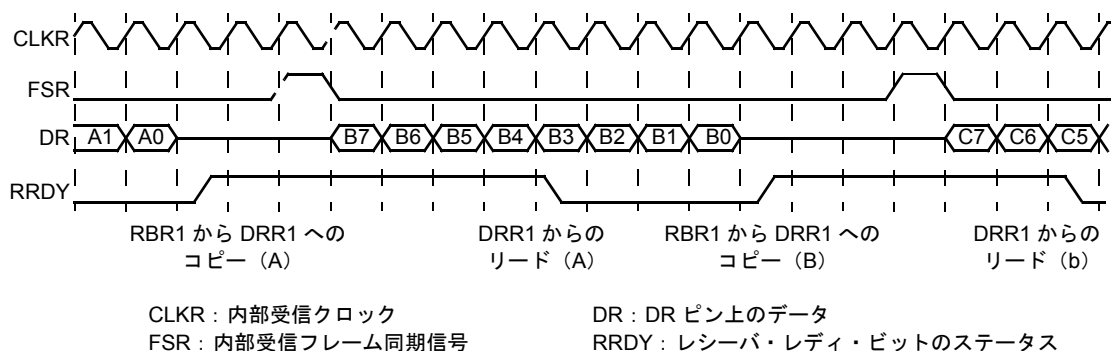
図 2-11 McBSP の受信の物理データ・パス



RSR[1,2]: 受信シフト・レジスタ 1 と 2  
RBR[1,2]: 受信バッファ・レジスタ 1 と 2

DRR[1,2]: データ受信・レジスタ 1 と 2

図 2-12 McBSP の受信信号動作



CLKR: 内部受信クロック  
FSR: 内部受信フレーム同期信号

DR: DR ピン上のデータ  
RRDY: レシーバ・レディ・ビットのステータス

以下のプロセスは、DR ピンから CPU または DMA コントローラへのデータの転送方法について説明しています。

- 1) McBSP は、内部 FSR 上の受信フレーム同期パルスの到着を待ちます。
- 2) パルスが到着すると、McBSP は、RCR2 の RDATDLY にセットされたデータ遅延を挿入します。

前述のタイミング図(図 2-12)では、1 ビット・データ遅延がセットされています。

- 3) McBSP は DR ピン上のデータ・ビットを受け入れ、それらを受信シフト・レジスタにシフトします。

ワード長が 16 ビット以下の場合、RSR1 のみを使用されます。ワード長が 16 ビットを超える場合、RSR2 と RSR1 が使用されます。RSR2 には最上位ビットが保持されます。

- 4) McBSP はワード全体を受信すると、受信バッファ・レジスタ 1 (RBR1) が前のデータでフルされていないならば、RBR1 に受信シフト・レジスタの内容をコピーします。

ワード長が 16 ビット以下の場合、RBR1 のみが使用されます。ワード長が 16 ビットを超える場合、RBR2 と RBR1 が使用されます。RBR2 には最上位ビットが保持されます。

- 5) McBSP は、データ受信レジスタ 1 (DRR1) が前のデータでフルされていないならば、DRR1 に受信バッファ・レジスタの内容をコピーします。DRR1 が新しいデータを受信すると、SPCR1 内でレシーバ・レディ・ビット (RRDY) がセットされます。これにより、受信データが CPU または DMA コントローラによるリード準備が整ったことが示されます。

ワード長が 16 ビット以下の場合、DRR1 のみが使用されます。ワード長が 16 ビットを超える場合、DRR2 と DRR1 が使用されます。DRR2 には最上位ビットが保持されます。

コピー中に圧伸が使用される場合 (RCR2 で RCOMPAND = 10b または 11b にセットされている場合)、RBR1 内の 8 ビットの圧縮データは、DRR1 内で左詰めされた 16 ビット値に伸長されます。圧伸がディスエーブルの場合、RBR[1,2] から DRR[1,2] にコピーされたデータは RJUST ビットに従って位置調整され、ビットがフィルされます。

- 6) CPU または DMA コントローラがデータ受信レジスタからデータをリードします。DRR1 がリードされると、RRDY がクリアされ、次の RBR から DRR へのコピーが開始されます。

**注：**

両方の DRR が必要な場合 (ワード長が 16 ビットを超えている場合)、CPU または DMA コントローラは、DRR2、DRR1 の順でデータをリードする必要があります。DRR1 がリードされると直ちに、次の RBR から DRR へのコピーが開始されます。最初に DRR2 がリードされないと、DRR2 内のデータは失われます。

動作のタイミングが正しく合わないと、エラーが発生する場合があります。詳細については、第 4 章の以下の項目を参照してください。

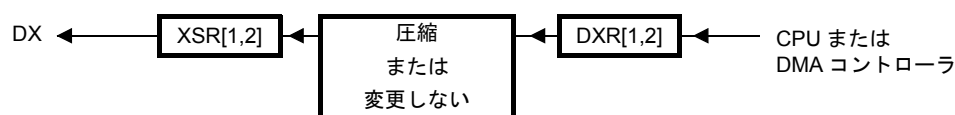
- レシーバでのオーバーラン
- 予期しない受信フレーム同期パルス

## 2.6 McBSP の送信

この節では、McBSP での基本的な送信プロセスについて説明します。McBSP トランスミッタのプログラミング方法の詳細については、第 8 章「トランスミッタのコンフィグレーション」を参照してください。

図 2-13 と図 2-14 は、McBSP での送信の発生方法を示しています。図 2-13 は、データの物理パスを示し、図 2-14 は、ある送信シナリオでの信号動作を示すタイミング図です。図の後に、送信プロセスを説明します。

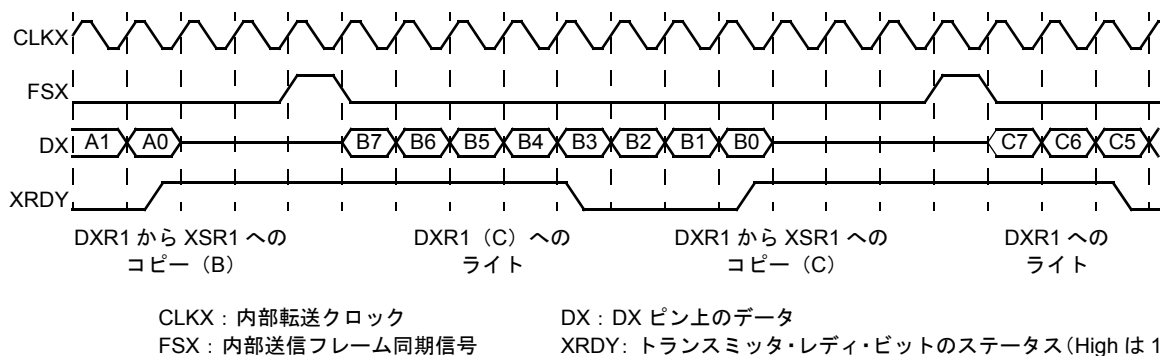
図 2-13 McBSP の送信の物理データ・パス



XSR[1,2]: 送信シフト・レジスタ 1 と 2

DXR[1,2]: データ送信・レジスタ 1 と 2

図 2-14 McBSP の送信信号動作



- 1) CPU または DMA コントローラがデータ送信レジスタにデータをライトします。DXR1 がロードされると、トランスミッタ・レディ・ビット (XRDY) が SPCR2 内でクリアされ、トランスミッタが新しいデータに対して準備が整っていないことが示されます。

ワード長が 16 ビット以下の場合、DXR1 のみを使用されます。ワード長が 16 ビットを超える場合、DXR2 と DXR1 が使用されます。DXR2 には最上位ビットが保持されます。

### 注:

両方の DXR が必要な場合 (ワード長が 16 ビットを超えている場合)、CPU または DMA コントローラは、DXR2、DXR1 の順でデータをロードする必要があります。次の手順で説明するように、DXR1 がロードされると直ちに、両方の DXR の内容が送信シフト・レジスタ (XSR) にコピーされます。最初に DXR2 がロードされないと、DXR2 内の前の内容が XSR2 に渡されます。

- 2) DXR1 に新しいデータが到着すると、McBSP はデータ送信レジスタの内容を送信シフト・レジスタにコピーします。また、送信レディ・ビット (XRDY) がセットされ、トランスミッタが CPU または DMA コントローラからの新しいデータの受け入れ準備が整ったことが示されます。

ワード長が 16 ビット以下の場合、XSR1 のみを使用されます。ワード長が 16 ビットを超える場合、XSR2 と XSR1 が使用されます。XSR2 には最上位ビットが保持されます。

転送中に圧伸を使用する場合 (XCR2 で XCOMPAND = 10b または 11b をセットしている場合)、McBSP は、DXR1 内の 16 ビット・データを XSR1 の  $\mu$ -law または A-law 形式の 8 ビット・データに圧縮します。圧伸がディスイーブルの場合、McBSP はデータを変更せずに DXR から XSR に渡します。

- 3) McBSP は、内部 FSX 上の送信フレーム同期パルスの到着を待ちます。
- 4) パルスが到着すると、McBSP は、XCR2 の XDATDLY でセットされたデータ遅延を挿入します。

前述のタイミング図(図 2-14)では、1 ビット・データ遅延がセットされています。

- 5) McBSP は、送信シフト・レジスタから DX ピンにデータ・ビットをシフトします。

動作のタイミングが正しく合わないと、エラーが発生する場合があります。詳細については、第 4 章の以下の項目を参照してください。

- トランスミッタでの上書き
- トランスミッタでのアンダーフロー
- 予期しない送信フレーム同期パルス

## 2.7 McBSP によって生成される割り込みと DMA イベント

McBSP は、表 2-2 に示す内部信号を介して CPU と DMA コントローラに重要なイベント通知を送信します。

表 2-2 McBSP によって生成される割り込みと DMA イベント

内部信号	説明
RINT	受信割り込み McBSP は、McBSP のレシーバで設定された状態（SPCR1 の RINTM ビットで選択された状態）に基づいて、受信割り込みリクエストを CPU に送信できます。
XINT	送信割り込み McBSP は、McBSP のトランスミッタで設定された状態（SPCR2 の XINTM ビットで選択された状態）に基づいて、送信割り込みリクエストを CPU に送信できます。
REVT	受信同期イベント データ受信レジスタ（DRR）にデータが到着すると、REVT 信号が DMA コントローラに送られます。
XEVT	送信同期イベント データ送信レジスタ（DXR）が送信する次のシリアル・ワードを受け付ける準備が整うと、XEVT 信号が DMA コントローラに送られます。

---

以下余白

# McBSP のサンプル・レート・ジェネレータ

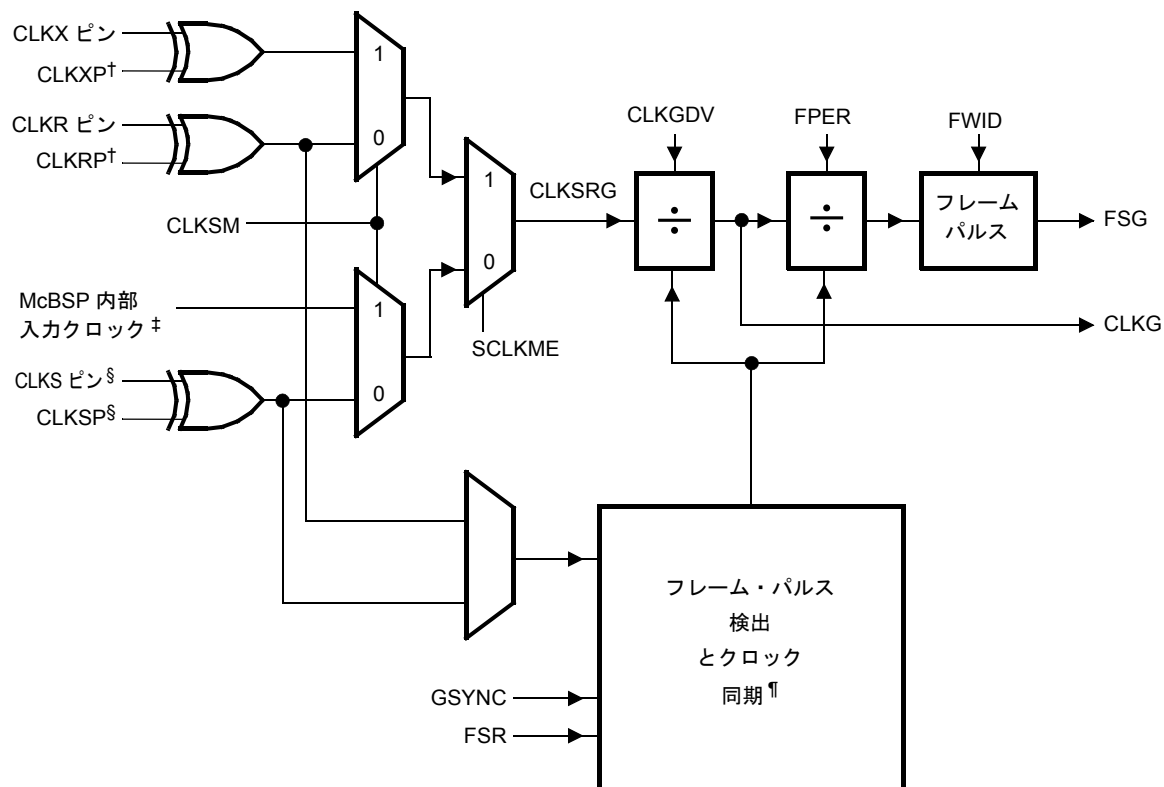
この章では、クロッキングをドライブするためのサンプル・レート・ジェネレータの使用方法について説明します。また、理解を深めるために適切なクロッキング例も示します。

項目	ページ
3.1 サンプル・レート・ジェネレータ .....	3-2
3.2 サンプル・レート・ジェネレータでのクロックの生成.....	3-4
3.3 サンプル・レート・ジェネレータでのフレーム同期の生成 .....	3-9
3.4 外部クロックへのサンプル・レート・ジェネレータの出力の同期.....	3-10
3.5 サンプル・レート・ジェネレータのリセットと初期化手順 .....	3-12
3.6 サンプル・レート・ジェネレータのクロッキングの例.....	3-14

### 3.1 サンプル・レート・ジェネレータ

各 McBSP には、内部データ・クロック (CLKG) と内部フレーム同期信号 (FSG) を生成するのに使用するサンプル・レート・ジェネレータが装備されています。CLKG は、データ受信 (DR) ピンまたはデータ送信 (DX) ピン上でビット・シフトを行うために使用できます。FSG は、DR または DX 上、あるいはその両方でフレーム転送を開始するために使用できます。図 3-1 は、サンプル・レート・ジェネレータの概念ブロック図です。

図 3-1 サンプル・レート・ジェネレータの概念ブロック図



† TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP は共に、サンプル・レート・ジェネレータの入カクック (CLKSRG) の極性は常に正の値 (立ち上がりエッジ) です。

‡ McBSP 内部入カクック : TMS320VC5503/5507/5509 と TMS320VC5510 では、このクックは CPU クックになります。TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このクックは低速ペリフェラル・クックになります。

§ C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

¶ GSYNC ビットを介して供給されるクック同期は、TMS320VC5501 デバイスおよび TMS320VC5502 デバイスではサポートされていません。



サンプル・レート・ジェネレータの入カクロック（図 3-1 で CLKSRG と示されている）は、McBSP の内部入カクロック、または CLKX、CLKR、（存在すれば）CLKS などの McBSP の外部ピンのいずれかによって供給できます。すべての C55X デバイスに CLKS があるわけではないので、デバイス毎のデータ・マニュアルを確認してください。入カクロックのソースは、PCR の SCLKME ビットと SRGR2 の CLKSM ビットで選択されます。ピンを使用する場合、適切な極性ビット（PCR の CLKXP、PCR の CLKRP、または SRGR2 の CLKSP）を使って受信信号の極性を反転させることができます。

**注：**

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP は共に、サンプル・レート・ジェネレータの入カクロックの極性は常に正の値（立ち上がりエッジ）です。

サンプル・レート・ジェネレータには、CLKG と FSG をプログラマブルにする 3 段クロック分周器が含まれています。3 段階には以下の処理が行われます。

- クロックの分周。CLKG を生成するために SRGR1 の CLKGDV ビットに従って、サンプル・レート・ジェネレータの入カクロックを分周します。
- フレーム周期の分周。 フレーム同期パルスの開始から次のパルスの開始までの期間を制御するために、CLKG は SRGR2 の FPER ビットに従って分周されます。
- フレーム同期パルス幅のカウントダウン。 各フレーム同期パルスの幅を制御するために、CLKG サイクルは SRGR1 の FWID ビットに従ってカウントされます。

**注：**

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。低速ペリフェラル・クロック周波数のプログラミングの詳細については、『TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual』（文書番号 SPRS206）または『TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual』（文書番号 SPRS166）を参照してください。また、その他のタイミング制限が適用される場合があります。McBSP タイミング要件の詳細については、デバイス毎のデータ・マニュアルを参照してください。

ピンの CLKX または CLKR をドライブする場合は、適切な入カクロック周波数を選択してください。CLKX または CLKR、あるいはその両方に対して内部サンプル・レート・ジェネレータを使用する場合は、適切な入カクロック周波数と分周値（CLKGDV）を選択してください。

サンプル・レート・ジェネレータには、3段クロック分周器のほかに、フレーム同期パルス検出とクロック同期モジュールが備えられており、これらを使用すると、クロックの分周を、FSR ピン上の受信フレーム同期パルスと同期できるようになります。この機能は、SRGR2 の GSYNC ビットを使ってイネーブルまたはディスエーブルします。

**注：**

GSYNC ビットを介して提供されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

### 3.2 サンプル・レート・ジェネレータでのクロックの生成

サンプル・レート・ジェネレータは、レシーバまたはトランスミッタ、あるいはその両方で使用するためにクロック信号 (CLKG) を生成できます。クロッキングをドライブするためにどのようにサンプル・レート・ジェネレータを使用するかは、ピン制御レジスタ (PCR) 内のクロック・モード・ビット (CLKRM と CLKXM) で制御されます。クロック・モード・ビットを 1 にセットすると (受信については CLKRM = 1、送信については CLKXM = 1)、対応するデータ・クロック (受信については CLKR、送信については CLKX) は、内部サンプル・レート・ジェネレータの出力クロック (CLKG) によってドライブされます。

ただし、デジタル・ループバック・モードやクロック停止 (SP1) モードを使用すると、McBSP で CLKRM と CLKXM を 1 にセットしたときの効果が部分的に影響を受けることに注意してください。デジタル・ループバック・モードは、SPCR1 の DLB ビットで選択します。クロック停止モードは、SPCR1 の CLKSTP ビットで選択します。

クロック・ソースとしてサンプル・レート・ジェネレータを使用する場合、サンプル・レート・ジェネレータをイネーブル (GRST = 1) にセットしていることを確認してください。

表 3-1 クロック・モードに対する DLB と CLKSTP の効果

	モード・ビットの設定	効果
CLKRM = 1	DLB = 0 (デジタル・ループバック・モードをディスエーブルにします)	CLKR は、サンプル・レート・ジェネレータの出力クロック (CLKG) によってドライブされる出力ピンです。
	DLB = 1 (デジタル・ループバック・モードをイネーブルにします)	CLKR は、内部 CLKX によってドライブされる出力ピンです。CLKX のソースは、CLKXM ビットによって異なります。
CLKXM = 1	CLKSTP = 00b または 01b (クロック停止 (SPI) モードをディスエーブルにします)	CLKX は、サンプル・レート・ジェネレータの出力クロック (CLKG) によってドライブされる出力ピンです。
	CLKSTP = 10b または 11b (クロック停止 (SPI) モードをイネーブルにします)	McBSP は SPI システムにおけるマスタです。内部 CLKX は、内部 CLKR と、システム内のすべての SPI 準拠スレーブ・デバイスのシフト・クロックをドライブします。CLKX は、内部サンプル・レート・ジェネレータによってドライブされます。

### 3.2.1 入力クロックの選択

サンプル・レート・ジェネレータは、PCR の SCLKME ビットと SRGR2 の CLKSM ビットにより4つのソースから選択された入力クロック信号によってドライブされる必要があります（表 3-2 を参照）。CLKSM = 1 の場合、CLKGDV ビットの最小分周値は 1 にセットする必要があります。

**注：**

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。低速ペリフェラル・クロック周波数のプログラミングの詳細については、『TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual』（文書番号 SPRS206）または『TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual』（文書番号 SPRS166）を参照してください。また、その他のタイミング制限が適用される場合があります。McBSP タイミング要件の詳細については、デバイス毎のデータ・マニュアルを参照してください。

ピンの CLKX または CLKR をドライブする場合は、適切な入力クロック周波数を選択してください。CLKX または CLKR、あるいはその両方に対して内部サンプル・レート・ジェネレータを使用する場合は、適切な入力クロック周波数と分周値 (CLKGDV) を選択してください。

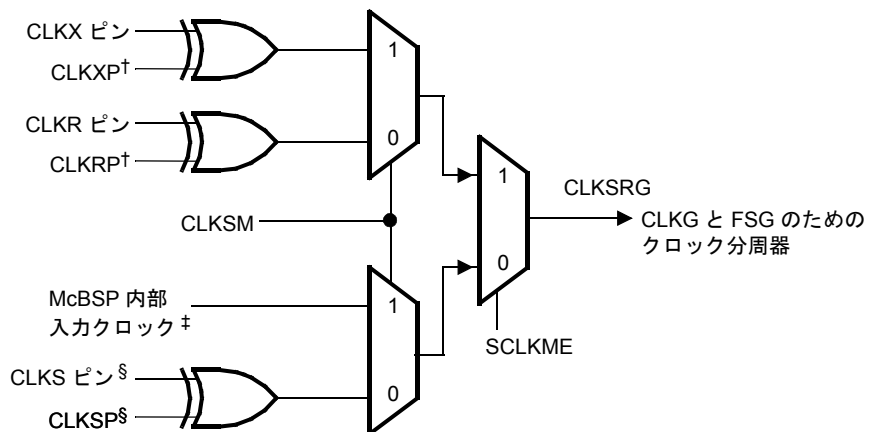
表 3-2 SCLKME ビットと CLKSM ビットを使用したサンプル・レート・ジェネレータの入力クロックの選択

SCLKME	CLKSM	サンプル・レート・ジェネレータの入力クロック
0	0	CLKS ピン上の信号
0	1	McBSP 内部入力クロック
1	0	CLKR ピン上の信号
1	1	CLKX ピン上の信号

### 3.2.2 入力クロックの極性の選択

図 3-2 に示すように、入力クロックをピンから受信する場合、入力クロックの極性を  
 選択できます。CLKSRG の立ち上がりエッジは CLKG と FSG を生成します。ただし、  
 CLKSRG 上に立ち上がりエッジを引き起こす入力クロックのエッジを決定できます。  
 表 3-3 に、極性オプションとその効果を説明します。

図 3-2 サンプル・レート・ジェネレータと極性ビットへの可能な入力



† TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP は共に、サンプル・レート・ジェネレータの入力クロック (CLKSRG) の極性は常に正の値 (立ち上がりエッジ) です。

‡ McBSP 内部入力クロック: TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、このクロックは CPU クロックになります。TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このクロックは低速ペリフェラル・クロックになります。

§ C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

表 3-3 サンプル・レート・ジェネレータへの入力のための極性オプション

入カクロック	極性オプション	効果
CLKS ピン上 <sup>†</sup>	SRGR2 で CLKSP = 0 に セット	CLKS ピン上の立ち上がりエッジは CLKG 上の立ち上がりエッジを生成します。 CLKS ピン上の立ち上がりエッジは FSG 上の信号変化を生成します。
	SRGR2 で CLKSP = 1 に セット	CLKS ピン上の立ち下がりエッジは CLKG 上の立ち上がりエッジを生成します。 CLKS ピン上の立ち下がりエッジは FSG 上の信号変化を生成します。
McBSP 内部入力 クロック	常に正の極性	McBSP 内部入カクロックの立ち上がりエッジは CLKG 上の立ち上がりエッジを生成します。
CLKR ピン上	PCR で CLKRP <sup>‡</sup> = 0 に セット	CLKR ピン上の立ち上がりエッジは CLKG 上の立ち上がりエッジを生成します。 CLKR ピン上の立ち上がりエッジは FSG 上の信号変化を生成します。
	PCR で CLKRP <sup>‡</sup> = 1	CLKR ピン上の立ち下がりエッジは CLKG 上の立ち上がりエッジを生成します。 CLKR ピン上の立ち下がりエッジは FSG 上の信号変化を生成します。
CLKX ピン上	PCR で CLKXP <sup>‡</sup> = 0 に セット	CLKX ピン上の立ち上がりエッジは CLKG 上の立ち上がりエッジを生成します。 CLKX ピン上の立ち上がりエッジは FSG 上の信号変更を生成します。
	PCR で CLKXP <sup>‡</sup> = 1 に セット	CLKX ピン上の立ち下がりエッジは CLKG 上の立ち上がりエッジを生成します。 CLKX ピン上の立ち下がりエッジは FSG 上の信号変化を生成します。

<sup>†</sup> C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

<sup>‡</sup> TMS320VC5501 デバイスおよび TMS320VC5502 デバイスでは、CLKRP と CLKXP は共に、サンプル・レート・ジェネレータの入カクロックの極性は常に正の値（立ち上がりエッジ）です。

### 3.2.3 出カクロック (CLKG) の周波数の選択

入カクロック (McBSP 内部入カクロックまたは外部クロック) は、プログラマブルな値で分周され、CLKG をドライブします。サンプル・レート・ジェネレータへのソースに関係なく、CLKSRG の立ち上がりエッジは CLKG と FSG を生成します。

サンプル・レート・ジェネレータの最初の分周ステージでは、入カクロックから出カクロックが作成されます。この分周ステージは、SRGR1 の CLKGDV ビット内の分周値をプリロードするカウンタを使用します。このステージの出力は、データ・クロック (CLKG) です。CLKG の周波数は、以下の方程式によって求められます。

$$\text{CLKG 周波数} = \frac{\text{入カクロック周波数}}{(\text{CLKGDV} + 1)}$$

したがって、入カクロック周波数は、1 ~ 256 の値によって除算されます。CLKGDV が奇数または 0 の場合、CLKG デューティ・サイクルは 50% です。CLKGDV が偶数値 2p、すなわち、奇数の分周を表す場合、High 状態の期間は p+1 サイクルで、Low 状態の期間が p サイクルです。

**注：**

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。低速ペリフェラル・クロック周波数のプログラミングの詳細については、『TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual』(文書番号 SPRS206) または 『TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual』(文書番号 SPRS166) を参照してください。また、その他のタイミング制限が適用される場合があります。McBSP タイミング要件の詳細については、デバイス毎のデータ・マニュアルを参照してください。

ピンの CLKX または CLKR をドライブする場合は、適切な入力クロック周波数を選択してください。CLKX または CLKR、あるいはその両方に対して内部サンプル・レート・ジェネレータを使用する場合は、適切な入力クロック周波数と分周値 (CLKGDV) を選択してください。

### 3.2.4 外部入力クロックに同期させた CLKG の維持

サンプル・レート生成期をドライブするために外部信号を選択する場合、SRGR2 の GSYNC ビットと FSR ピンを使用して、入力クロックを基準として出力クロック (CLKG) のタイミングを設定できます。

GSYNC = 1 にセットすると、McBSP と外部デバイスは、同じフェーズ関係を保って入力クロックを分周します。GSYNC を 1 にセットすると、FSR ピンで非アクティブからアクティブへの信号変化が発生すると、CLKG の再同期と FSG の生成がトリガされます。

**注：**

GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

### 3.3 サンプル・レート・ジェネレータでのフレーム同期の生成

サンプル・レート・ジェネレータは、レシーバまたはトランスミッタ、あるいはその両方で使用するフレーム同期信号（FSG）を生成できます。

レシーバが FSG を使用してフレーム同期を行うようにする場合は、FSRM = 1 にセットします（FSRM = 0 の場合、受信フレーム同期は FSR ピンを介して供給されます）。

トランスミッタが FSG を使用してフレーム同期を行うようにする場合は、以下のようにセットする必要があります。

- PCRでFSXM = 1: 送信フレーム同期はFSXピンからではなくMcBSP自身によって供給されます。
- SRGR2 で FSGM = 1 にセット: FSXM = 1 にセットすると、送信フレーム同期はサンプル・レート・ジェネレータによって供給されます（FSGM = 0、FSXM = 1 にセットすると、トランスミッタは、DXR[1,2] から XSR[1,2] にデータが転送されるたびに生成されるフレーム同期パルスを使用します）。

どちらの場合も、サンプル・レート・ジェネレータをイネーブルにし（GRST = 1）、サンプル・レート・ジェネレータのフレーム同期ロジックをイネーブル（FRST = 1）にする必要があります。

#### 3.3.1 FSG のフレーム同期パルス幅の選択

FSG の各パルス幅はプログラミング可能です。SRGR1 の FWID ビットをプログラミングすると、その結果のパルス幅は、(FWID + 1) CLKG サイクルになります。この場合の CLKG は、サンプル・レート・ジェネレータの出力クロックです。

#### 3.3.2 FSG のフレーム同期パルスの開始エッジの時間制御

FSG パルスの開始エッジから次の FSG パルスの開始エッジまでの時間量を制御できます。この周期は、サンプル・レート・ジェネレータの設定によって次のいずれかの方法で制御されます。

- サンプル・レート・ジェネレータが外部入力クロックを使用し、SRGR2 で GSYNC = 1 にセットすると、FSR ピンでの非アクティブからアクティブへの信号変化にตอบสนองして FSG はパルスを発生させます。したがって、フレーム同期周期は、外部デバイスによって制御されます。
- SRGR2 の FPER ビットをプログラミングします。結果のフレーム同期周期は、(FPER + 1) CLKG サイクルになります。この場合の CLKG は、サンプル・レート・ジェネレータの出力クロックです。

### 3.4 外部クロックへのサンプル・レート・ジェネレータの出力の同期

サンプル・レート・ジェネレータは、McBSP 内部入力クロック信号、あるいは CLKS ピンまたは CLKR ピンの信号のいずれかの入力クロック信号を基に、クロック信号 (CLKG) とフレーム同期信号 (FSG) を発生させます。サンプル・レート・ジェネレータをドライブするために外部クロックを選択する場合、SRGR2 の GSYNC ビットと FSR ピンを使用して、選択した入力クロックを基準として CLKG のタイミングと FSG のパルス発生を制御できます。

McBSP と外部デバイスを同じフェーズ関係で同期させる場合、GSYNC を 1 にセットします。GSYNC を 1 にセットすると、以下のようになります。

- FSR ピンで非アクティブからアクティブへの信号変化が発生すると、CLKG の再同期と FSG のパルス生成がトリガされます。
- CLKG は、同期後、常に High 状態で開始されます。
- FSR は、FSR パルスの長さに関係なく、CLKG を生成する入力信号の同じエッジで常に検出されます。
- FSG のフレーム同期期間は、FSR ピン上の次のフレーム同期パルスの到着によって決定されるため、SRGR2 の FPER ビットは無視されます。

GSYNC を 0 にセットすると、CLKG はフリー・ランし、再同期されず、FSG 上のフレーム同期期間は FPER によって決定されます。

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このクロック同期はサポートされません。

#### 3.4.1 同期例

図 3-3 と図 3-4 は、CLKS (選択した入力クロック) と FSR の各種極性によるクロックとフレーム同期の動作を示しています。これらの図では、SPGR1 で FWID = 0 にセットして FSG が 1CLKG サイクル幅になっていることが前提となります。SRGR2 の FPER ビットはプログラミングされておらず、フレーム同期パルスの開始から次のパルスの開始までの期間は、FSR ピン上に次の非アクティブからアクティブへの信号変化が到着することによって決定されます。各図では、最初に同期され GSYNC を 1 にセットした場合の CLKG への処理と、最初に同期されず GSYNC を 1 にセットした場合の CLKG への処理が示されています。2 番目の図は、1 番目の図より低い CLKG 周波数がセットされています (SRGR1 の CLKGDV ビットには、1 番目の図より大きい分周値がセットされています)。



図 3-3  $GSYNC = 1$ 、 $CLKGDV = 1$  にセットした場合の  $CLKG$  同期と  $FSG$  生成。  
 $CLKS$  はサンプル・レート・ジェネレータの入カクロックを供給

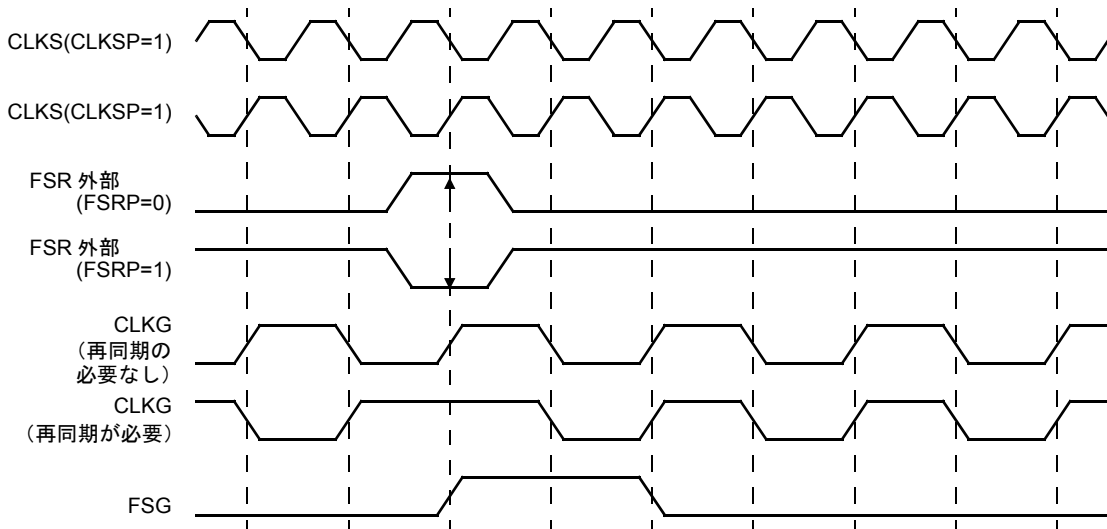
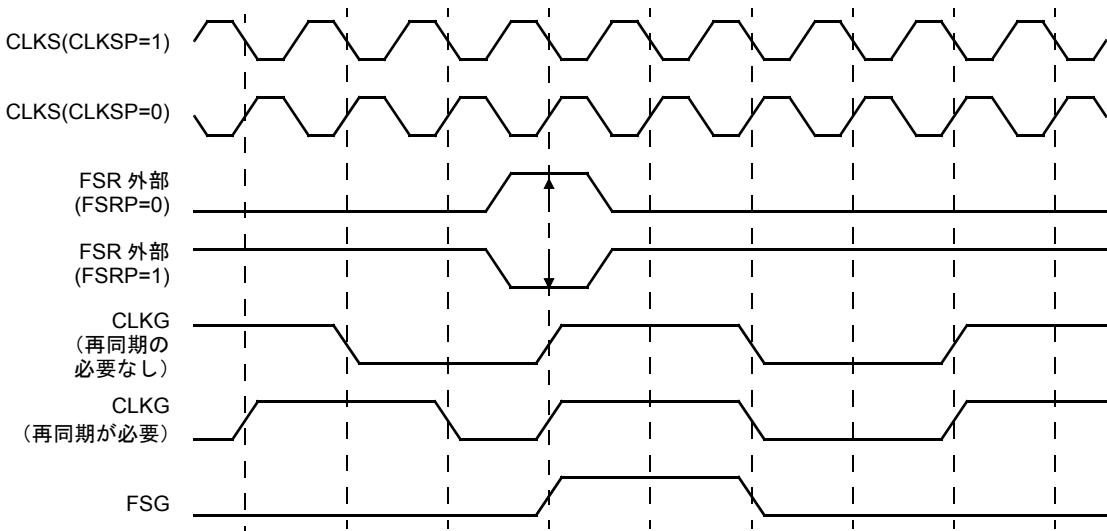


図 3-4  $GSYNC = 1$ 、 $CLKGDV = 3$  にセットした場合の  $CLKG$  同期と  $FSG$  生成。  
 $CLKS$  はサンプル・レート・ジェネレータの入カクロックを供給



### 3.5 サンプル・レート・ジェネレータのリセットと初期化手順

サンプル・レート・ジェネレータをリセットおよび初期化するには、以下の手順を行います。

**1) サンプル・レート・ジェネレータをリセットします。**

DSPのリセット中、サンプル・レート・ジェネレータ、レシーバ、トランスミッタのリセット・ビット (GRST、RRST、XRST) は、自動的に 0 にセットされます。それ以外の場合、通常の動作中、CLKG または FSG が McBSP のどの部分でも使用されていない場合は、SPCR2 で GRST が 0 になり、サンプル・レート・ジェネレータをリセットされます。使用するシステムによっては、レシーバをリセットし (SPCR1 で RRST = 0)、トランスミッタをリセット (SPCR2 で XRST = 0) しておきたい場合もあります。

DSP リセットにより GRST = 0 にセットしている場合、CLKG は 2 分周された McBSP 内部入力クロックによってドライブされ、FSG はイナアクティブ・ローでドライブされます。プログラム・コードにより GRST = 0 にセットされている場合、CLKG と FSG は Low (イナアクティブ) でドライブされます。

**2) サンプル・レート・ジェネレータに影響を与えるレジスタをプログラミングします。**

アプリケーションで必要な場合、サンプル・レート・ジェネレータのレジスタ (SRGR1 と SRGR2) をプログラミングします。McBSP のそれぞれの部分 (レシーバまたはトランスミッタ) がリセット状態である場合、必要に応じて他の制御レジスタに目的の値をロードできます。

サンプル・レート・ジェネレータのレジスタをプログラミングしたら、2 CLKSRG サイクルの間、待ちます。これにより、内部的に正しく同期されます。

**3) サンプル・レート・ジェネレータをイネーブルにします (リセットを解除します)。**

SPCR2 で GRST = 1 にセットし、サンプル・レート・ジェネレータをイネーブルにします。

サンプル・レート・ジェネレータをイネーブルにしたら、サンプル・レート・ジェネレータロジックを安定させるために 2 CLKG サイクルの間、待ちます。

CLKSRG の次の立ち上がりエッジで、CLKG の信号が 1 に変化し、以下の方程式で求められる周波数でクロッキングを開始します。

$$CLKG \text{ 周波数} = \frac{\text{入力クロック周波数}}{(CLKGDV + 1)}$$

この場合、入力クロックは、PCR の SCLKME ビットと SRGR2 の CLKSM ビットで選択されます。

SCLKME	CLKSM	サンプル・レート・ジェネレータの入力クロック
0	0	CLKS ピン上の信号
0	1	McBSP 内部入力クロック
1	0	CLKR ピン上の信号
1	1	CLKX ピン上の信号

4) 必要に応じて、レシーバまたはトランスミッタをイネーブルにします。

必要に応じて、RRST または XRST、あるいはその両方を 1 にセットして、レシーバまたはトランスミッタ、あるいはその両方のリセット状態を解除します。

5) 必要に応じて、サンプル・レート・ジェネレータのフレーム同期ロジックをイネーブルにします。

必要なデータ取得セットアップ (DXR[1/2] へのデータのロード) が完了した後、内部的に生成されたフレーム同期パルスが必要な場合は、SPCR2 で FRST = 1 にセットします。プログラミングされた CLKG クロック数 (FPER + 1) が経過した後、FSG はアクティブ・ハイ・エッジで生成されます。

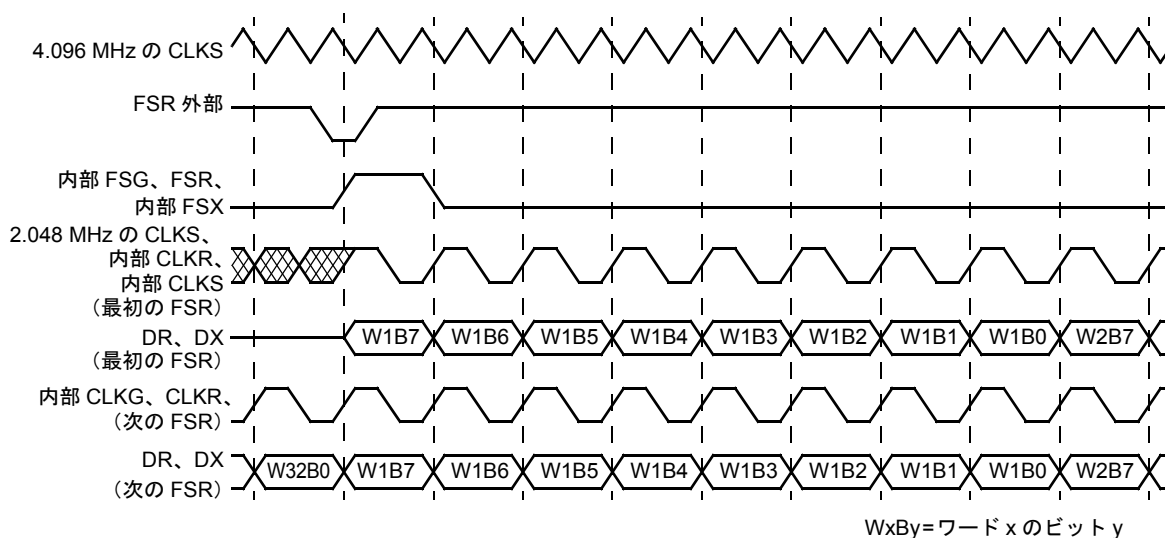
### 3.6 サンプル・レート・ジェネレータのクロッキングの例

この節では、サンプル・レート・ジェネレータを使用して送信および受信中にデータをクロックする3つの例を示します。

#### 3.6.1 ダブル・レートの ST-Bus クロック

図 3-5 は、Mitel ST-Bus と互換性を保つ McBSP コンフィグレーションを示しています。ただし、この動作は、最大フレーム周波数で実行されています。

図 3-5 ST-BUS と MVIP のクロッキングの例



この McBSP のコンフィグレーションを以下に示します。

- DLB = 0 : デジタル・ループバック・モードをオフにします。CLKSTP = 00b : クロック停止モードをオフに設定します。CLKRM/CLKXM = 1 : サンプル・レート・ジェネレータによって内部的に生成された内部 CLKR/CLKX
- GSYNC = 1 : CLKG を、FSR ピン上の外部フレーム同期信号入力と同期させます。フレーム同期信号がアクティブになるまで、CLKG は同期しません。FSR は、最小パルス幅となるように内部的に再生成されます。
- SCLKME = 0 and CLKSM = 1 : CLKS ピンの外部クロック信号は、サンプル・レート・ジェネレータをドライブします。
- CLKSP = 1 : CLKS の立ち下がりエッジは、CLKG、つまり内部 CLK (R/X) を生成します。
- CLKGDV = 1 : 受信クロック (CLKR) の周波数は、CLKS の周波数の半分です。
- FSRP/FSXP = 1 : アクティブ・ロー・フレーム同期パルス
- RFLEN1/XFLEN1 = 11111b : フレーム当たり 32 ワード
- RWDLEN1/XWDLEN1 = 0 : ワード当たり 8 ビット
- RPHASE/XPHASE = 0 : シングル・フェーズ、つまり、(R/X)FLEN2 と (R/X)WDLEN2 は無視されます。
- RDATDLY/XDATDLY = 0 : データ遅延なし

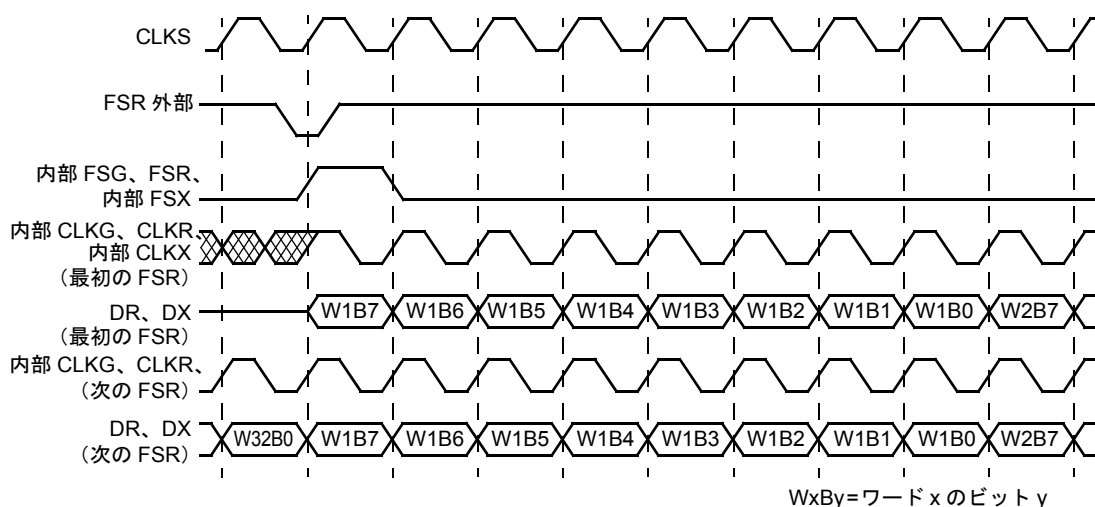
GSYNC ビットを介して提供されるクロック同期は、TMS320VC5501 デバイスおよび TMS320VC5502 デバイスではサポートされていません。

### 3.6.2 シングル・レートの ST バス・クロック

図 3-6 の例は、以下の点を除き、14 ページの 3.6.1 節のダブル・レートの ST バス・クロック例と同じです。

- CLKGDV = 0 : CLKS は分周を行うことなく、内部 CLK(R/X) をドライブします (シングル・レートのクロック)。
- CLKSP = 0 : CLKS の立ち下がりエッジは、CLKG、つまり、内部 CLK (R/X) を生成します。

図 3-6 シングル・レートのクロック例



CLKS の立ち上がりエッジは外部 FSR パルスを検出するために使用され、外部 FSR パルスは内部 McBSP クロックを再同期し、内部で使用するフレーム同期パルスを生成するために使用されます。内部フレーム同期パルスは、内部クロックの立ち下がりエッジで検出されるのに十分な幅になるように生成されます。

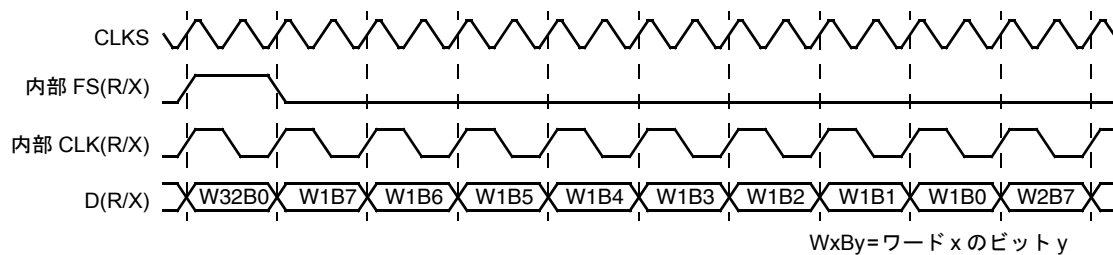
GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

### 3.6.3 その他のダブル・レートのクロック

図 3-7 の例は、以下の点を除き、14 ページの 3.6.1 節のダブル・レートの ST バス・クロック例と同じです。

- CLKSP = 0 : CLKS の立ち上がりエッジは、CLKG、つまり、CLK (R/X) を生成します。
- CLKGDV = 1 : CLKG (つまり、内部 CLKR と内部 CLKX) の周波数は、CLKS 周波数の半分です。
- FSRM/FSXM = 0 : フレーム同期は外部的に生成されます。フレーム同期パルスは、検出するのに十分な幅です。
- GSYNC = 0 : CLKS は CLKG をドライブします。CLKG はフリー・ランシ、FSP ピン上のパルスによって再同期されません。
- FSRP/FSXP = 0 : アクティブ・ハイ入力フレーム同期信号
- RDATDLY/XDATDLY = 1 : 1 ビットのデータ遅延

図 3-7 ダブル・レートのクロック例



## McBSP の例外 / エラー状態

この章では、McBSP に関連する例外またはエラー状態について詳細に説明し、これらを一覧します。

項目	ページ
4.1 McBSP の例外 / エラー状態 .....	4-2
4.2 レシーバでのオーバーラン .....	4-3
4.3 予期しない受信フレーム同期パルス .....	4-5
4.4 トランスミッタでの上書き .....	4-8
4.5 トランスミッタでのアンダーフロー .....	4-9
4.6 予期しない送信フレーム同期パルス .....	4-11

## 4.1 McBSP の例外 / エラー状態

システム・エラーを引き起こす可能性のあるシリアル・ポート・イベントには、以下の5つがあります。

- **レシーバのオーバーラン (SPCR1 で RFULL = 1 になる)**。このイベントは、RBR から DRR への最後のコピーが行われた以降に DRR1 がリードされない場合に発生します。その結果、レシーバは RBR から DRR に新しいワードをコピーしないため、RSR はこの時点で DR からシフトインされた別の新しいワードでフルされることとなります。したがって、RFULL = 1 は、この時点で DR に到着する可能性のある新しいデータが RSR の内容を置き換え、その結果、前のワードが失われるというエラー状態を示します。RSRは、新しいデータがDRに到着しDRR1がリードされないかぎり、上書きされ続けます。
- **予期しない受信フレーム同期パルス (SPCR1 で RSYNCERR = 1 になる)**。このイベントは、RFIG = 0 にセットし、予期しないフレーム同期パルスが発生したときに、受信中に発生します。予期しないフレーム同期パルスとは、現在のフレームのすべてのビットが受信される前に次のフレーム転送を開始するフレーム同期パルスのことです。このようなパルスの発生が、データ受信の中止および再開を引き起こします。最後の RBR から DRR へのコピーが行われた後に RSR から RBR に新しいデータがコピーされていると、RBR 内のこの新しいデータは失われます。これは、RBR から DRR へのコピーが発生しなかったことが原因であり、そのため、受信が再開されました。
- **送信データの上書き**。このイベントは、DXR内の送信データがXSRにコピーされる前にCPUまたはDMAコントローラによって上書きされた場合に発生します。上書きされたデータはDXピンには到達しません。
- **トランスミッタのアンダーフロー (SPCR2 で XEMPTY = 0 にセットされる)**。新しいデータが DXR1 にロードされる前に新しいフレーム同期信号が到着すると、DXR 内の前のデータが再送信されます。DXR1 に新しいデータがロードされる前に新しいフレーム同期パルスが到着するたびに、この処理が繰り返し行われます。
- **予期しない送信フレーム同期パルス (SPCR2 で XSYNCERR = 1 にセットされる)**。このイベントは、XFIG = 0 にセットし、予期しないフレーム同期パルスが発生したときに、送信中に発生します。予期しないフレーム同期パルスとは、現在のフレームのすべてのビットが送信される前に次のフレーム転送を開始するフレーム同期パルスのことです。このようなパルスの発生が、現在のデータ送信の中止および再開を引き起こします。最後の DXR から XSR へのコピーが発生した後に新しいデータがDXRにライトされると、XSR内の現在の値は失われます。



## 4.2 レシーバでのオーバーラン

SPCR1 の RFULL = 1 は、レシーバでオーバーランが発生し、エラー状態になったことを示します。RFULL は、以下の条件がすべて満たされたときにセットされます。

- 1) RBR から DRR への最後のコピーが発生した後に DRR1 がリードされていない (RRDY = 1)。
- 2) RBR1 がフルになり、RBR から DRR へのコピーが発生しない。
- 3) RSR1 がフルになり、RSR1 から RBR へのコピーが発生しない。

15 ページの 2.5 節の「McBSP の受信」で説明したように、DR に到着するデータは RSR1 (ワード長が 16 ビット以下の場合)、または RSR2 と RSR1 (ワード長が 16 ビットを超える場合) に連続的にシフトされます。ワード全体が RSR にシフトされた後、RBR1 内の前のデータが既に DRR1 にコピーされている場合にのみ、RSR から RBR へのコピーが発生します。DRR1 に新しいデータが到着すると RRDY ビットがセットされ、このデータが DRR1 からリードされると RRDY ビットはクリアされます。次の RBR から DRR へのコピーは RRDY = 0 になるまで発生しません。つまり、データは RSR に保持されます。DR ピンに到着した新しいデータが RSR にシフトされると、RSR の前の内容は失われます。

DRR1 が 3 番目のワードの末尾が RSR1 にシフトされるより 2.5 サイクル以上前にリードされると、データの喪失を防止できます。

**重要** : 2 個の DRR が必要な場合 (ワード長が 16 ビットを超えている場合)、CPU または DMA コントローラは、DRR2、DRR1 の順でデータをリードする必要があります。DRR1 がリードされると直ちに、次の RBR から DRR へのコピーが開始されます。最初に DRR2 がリードされないと、DRR2 内のデータは失われます。

ただし、レシーバはリセットから実行を開始してから RFULL がセットされるまでに最低でも 3 つのワードを受信する必要があることに注意してください。以下のイベントのいずれかが RFULL ビットをクリアし、後続する転送が正しくリードできるようにします。

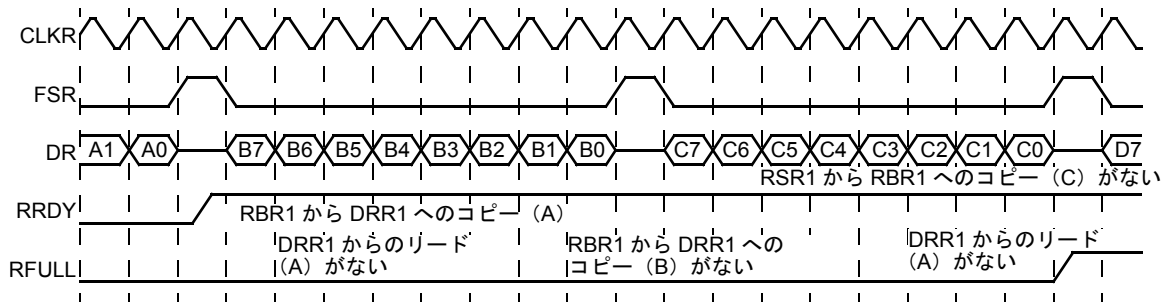
- CPU または DMA コントローラが DRR1 をリードする。
- レシーバが個々に (RRST = 0) または DSP リセットの一部としてリセットされる。

レシーバを再開するには、別のフレーム同期パルスが必要になります。

### 4.2.1 オーバーラン状態の例

図 4-1 は、受信オーバーラン状態を示しています。シリアル・ワード B が RBR1 に到着する前にシリアル・ワード A が DRR1 からリードされないため、B は DRR1 にまだ転送されません。さらに別の新しいワード (C) が到着し、RSR1 はこのデータでフルされます。DRR1 は最終的にリードされますが、DRR1 はワード C の末尾より 2.5 サイクル以上前にリードされないため、新しいデータ (D) は RSR1 内のワード C を上書きします。DRR1 が時間内にリードされないと、次のワードが D を上書きします。

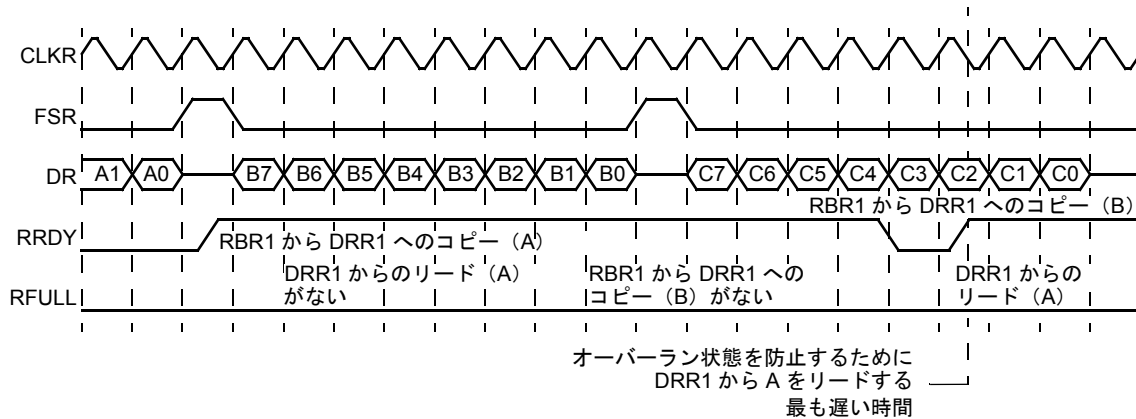
図 4-1 McBSP レシーバでのオーバーラン



#### 4.2.2 オーバーラン状態を防止する例

図 4-2 は、次のシリアル・ワード (C) が RSR1 に完全にシフトされる前に少なくとも 2.5 サイクルで DRR1 からリードすることでオーバーラン状態を防止するケースを示しています。これにより、レシーバがワード C を RSR1 から RBR1 に転送する前にワード B の RBR1 から DRR1 へのコピーが確実に発生します。

図 4-2 McBSP レシーバで防止されたオーバーラン



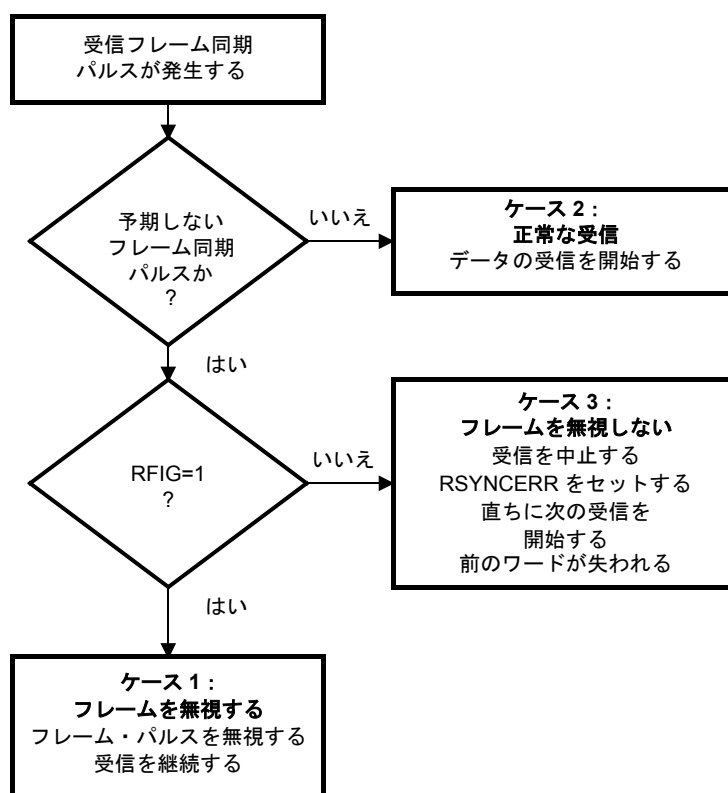
### 4.3 予期しない受信フレーム同期パルス

この節では、予期しないパルスも含めたすべての受信フレーム同期パルスに対する McBSP の応答について説明します。また、フレーム同期エラーの例と、このようなエラーの発生を防止する例を示します。

#### 4.3.1 受信フレーム同期パルスに対する応答

図 4-3 は、すべての受信フレーム同期パルス进行处理するためにレシーバが使用するデシジョン・ツリーを示しています。この図は、レシーバが既に開始されている (SPCR1 で RRST = 1 にセットされている) ことを前提とします。図のケース 3 は、エラーが発生するケースです。

図 4-3 受信フレーム同期パルスに対する応答



発生する可能性があるのは、次の3つのケースのいずれかです。

- **ケース1:** RCR2でRFIG = 1にセットした状態での予期しない内部FSRパルスの発生。受信フレーム同期パルスは無視され、受信が続行されます。
- **ケース2:** 通常のシリアル・ポート受信。フレーム同期パルスは予期しないパルスではないため、受信は通常どおり続行されます。フレーム同期パルスが発生したときに受信動作が行われなくなる理由は、以下の3つが考えられます。
  - FSRパルスが、レシーバをイネーブルにした(SPCR1でRRST = 1にセットされる)後に最初に発生したパルスである。
  - FSRパルスが、DRR[1,2]がリードされ、レシーバのフル状態がクリアされた(SPCR1でRFULL = 1にセットされる)後に発生した最初のパルスである。
  - シリアル・ポートがインターパケット・インターバル内にある。受信に対してプログラミングされたデータ遅延(RCR2のRDATDLYビットを使ってプログラミングしたデータ遅延)は、受信すべき次のワードの先頭ビットに対してインターパケット・インターバル中に開始する場合があります。したがって、最大フレーム周波数では、同期フレームの先頭ビットよりも0から2クロック・サイクル前でフレーム同期を受信できます。

- **ケース3:** RFIG = 0 (フレーム同期パルスを無視しない) にセットした状態での予期しない受信フレーム同期の発生。外部ソースまたは内部サンプル・レート・ジェネレータから予期しないフレーム同期パルスが発生する場合があります。

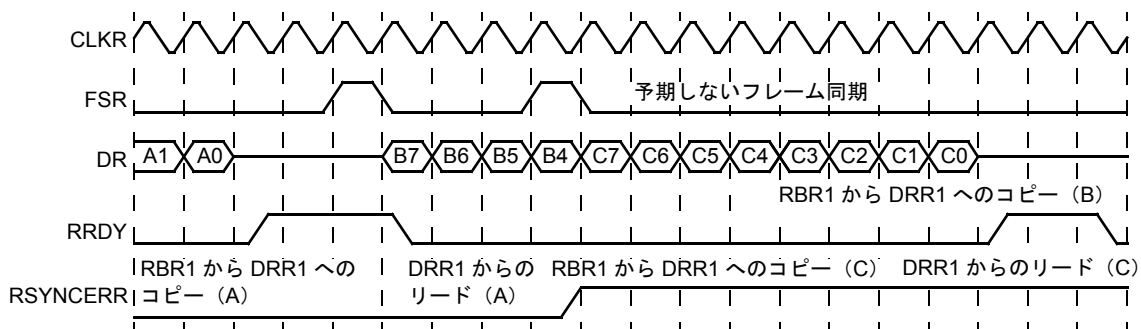
現在のフレームが完全に受信されない前に、フレーム同期パルスが新しいフレームの転送を開始した場合、このパルスは予期しないフレーム同期パルスとして処理され、レシーバはSPCR1に受信フレーム同期エラー・ビット (RSYNCERR) をセットします。RSYNCERR をクリアするには、レシーバをリセットするか、このビットに0をライトする以外ありません。

McBSP が CPU に受信フレーム同期エラーを通知するように設定する必要がある場合は、SPCR1 の RINTM ビットを使って特殊な受信割り込みモードをセットします。RINTM = 11b にセットすると、McBSP は、RSYNCERR がセットされるたびに CPU に受信割り込み (RINT) リクエストを送信します。

### 4.3.2 予期しない受信フレーム同期パルスの例

図4-4は、シリアル・ポートの通常動作中に発生した予期しない受信フレーム同期パルスをデータ・パケット間の時間間隔で示しています。予期しないフレーム同期パルスが発生すると、RSYNCERRビットがセットされ、データBの受信が中止され、データCの受信が開始されます。さらに、RINTM = 11b にセットすると、McBSP は受信割り込み (RINT) リクエストを CPU に送信します。

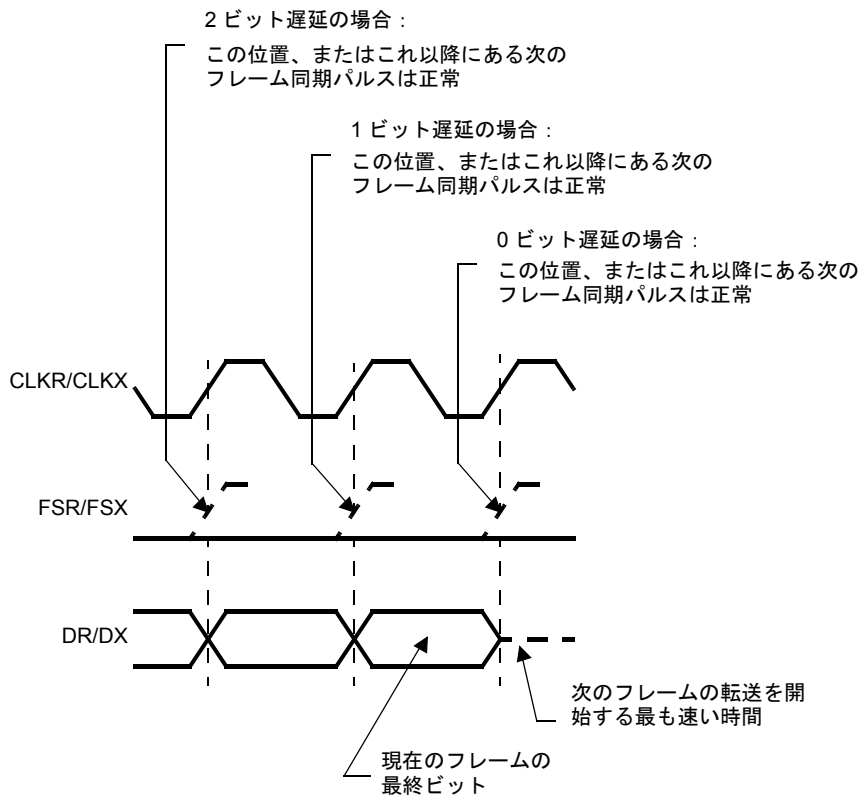
図4-4 McBSP の受信中に発生した予期しないフレーム同期パルス



### 4.3.3 予期しない受信フレーム同期パルスの防止

各フレーム転送は、RCR2のRDATDLYビットの値によって、0、1、2 CLKR サイクルで遅延できます。図4-5は、各データ遅延について、現在のフレームの最後のビットを基準に、FSR上の新しいフレーム同期パルスが安全に発生する時期を示しています。

図4-5 フレーム同期パルスの正しい位置づけ



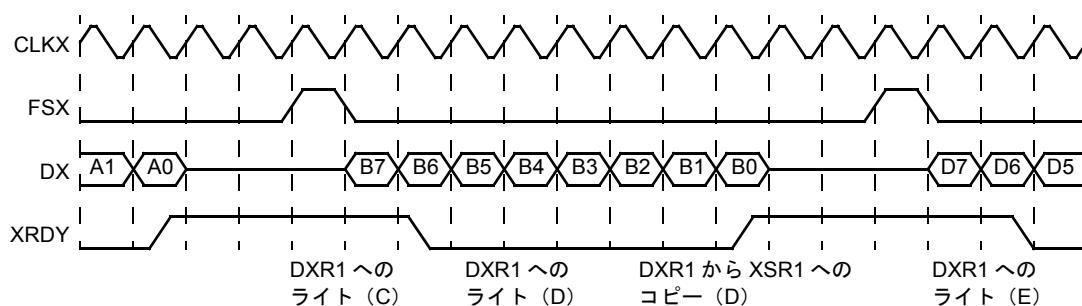
## 4.4 トランスミッタでの上書き

CPU または DMA コントローラがデータを DXR にライトした後に、トランスミッタはそのデータを XSR にコピーし、次に各ビットを XSR から DX ピンにシフトする必要があります。前のデータが XSR にコピーされる前に新しいデータが DXR にライトされると、DXR 内の前のデータは上書きされ、失われます。

### 4.4.1 上書き状態の例

図 4-6 は、DXR1 内のデータが転送される前に上書きされた場合の動作を示しています。最初に、DXR1 にデータ C がロードされます。次に、C が XSR1 にコピーされる前に、後続する DXR1 へのライトによって C が D で上書きされます。つまり、C は DX に転送されることはありません。

図 4-6 上書きされ、転送されない McBSP のトランスミッタ内のデータ



### 4.4.2 上書きの防止

CPU による上書きを防止するには、CPU が以下の動作を行うように設定します。

- DXR へのライトを行う前に SPCR2 の XRDY = 1 をポーリングするようにします。XRDY は、データを DXR1 から XSR1 にコピーするときにセットされ、新しいデータが DXR1 にライトされるときにクリアされます。
- DXR へのライトを行う前に送信割り込み (XINT) を待つようにします。SPCR2 で XINTM = 00b にセットすると、XRDY がセットされるたびにトランスミッタは XINT を CPU に送信します。

送信同期イベント (XEVT) に対して DMA 転送を同期させることで、DMA による上書きを防止できます。XRDY がセットされるたびにトランスミッタは XEVT 信号を送信します。

## 4.5 トランスミッタでのアンダーフロー

McBSP は、SPCR2 の XEMPTY ビットをクリアして、トランスミッタが空の（または、アンダーフロー）状態であることを示します。XEMPTY (XEMPTY = 0) は、以下のいずれかのイベントによってアクティブになります。

- 最後のDXRからXSRへのコピーが発生した後にDXR1がロードされず、XSR内のデータ・ワードのすべてのビットが既にDXピンにシフトアウトされている。
- SPCR2でXRST = 0にセットするか、DSPリセットを使用して、トランスミッタがリセットされ、再開される。

アンダーフロー状態では、CPUまたはDMAコントローラによって新しい値がDXR1にロードされるまで、トランスミッタは、すべての新しい送信フレーム同期信号に対してDXR内の古いデータを転送し続けます。

### 注：

両方のDXRが必要な場合（ワード長が16ビットを超えている場合）、CPUまたはDMAコントローラは、DXR2、DXR1の順でデータをロードする必要があります。DXR1がロードされると直ちに、両方のDXRの内容が送信シフト・レジスタ(XSR)にコピーされます。最初にDXR2がロードされないと、DXR2内の前の内容がXSR2に渡されます。

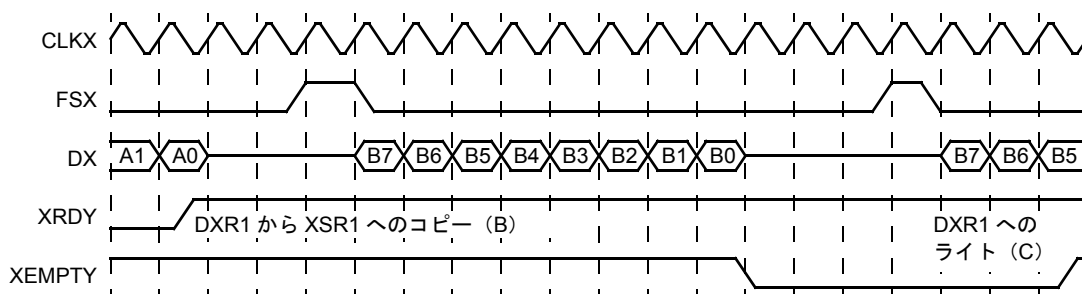
DXR1内の新しいワードがXSR1に転送されると、XEMPTYは非アクティブになります(XEMPTY = 1)。PCRでFSXM = 1、SRGR2でFSGM = 0にセットすると、トランスミッタは、DXRからXSRへのコピーに応答して、信号内部FSXパルスを生成します。それ以外の場合、トランスミッタは、DX上に次のフレームを送信する前に次のフレーム同期パルスを待ちます。

トランスミッタのリセットが解除されると(XRST = 1)、トランスミッタがレディ状態となり(SPCR2でXRDY = 1になり)、トランスミッタが空(XEMPTY = 0)の状態になります。内部のFSXがアクティブ・ハイになる前にDXR1がCPUまたはDMAコントローラによってロードされる場合、有効なDXRからXSRへの転送が発生します。これにより、転送フレーム同期パルスが生成または検出される前であっても、最初のフレームの最初のワードが有効になります。また、DXR1がロードされる前に送信フレーム同期パルスが検出される場合、DX上にゼロが出力されます。

### 4.5.1 アンダーフロー状態の例

図 4-7 は、アンダーフロー状態を示しています。B が送信された後、後続するフレーム同期パルスが生成される前に DXR1 は再ロードされません。つまり、B は DX に再転送されます。

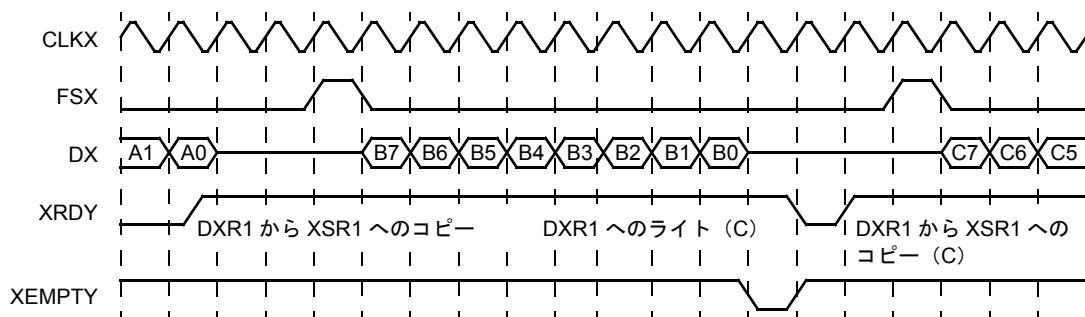
図 4-7 McBSP の送信中に発生したアンダーフロー



### 4.5.2 アンダーフロー状態を防止する例

図 4-8 は、アンダーフロー状態が発生する直前に DXR1 へのライトを行うケースを示しています。B が送信された後、次のフレーム同期パルスが生成される前に C が DXR1 にライトされます。その結果、アンダーフローは発生せず、B が 2 度転送されることはありません。

図 4-8 McBSP のトランスミッタで防止されたアンダーフロー





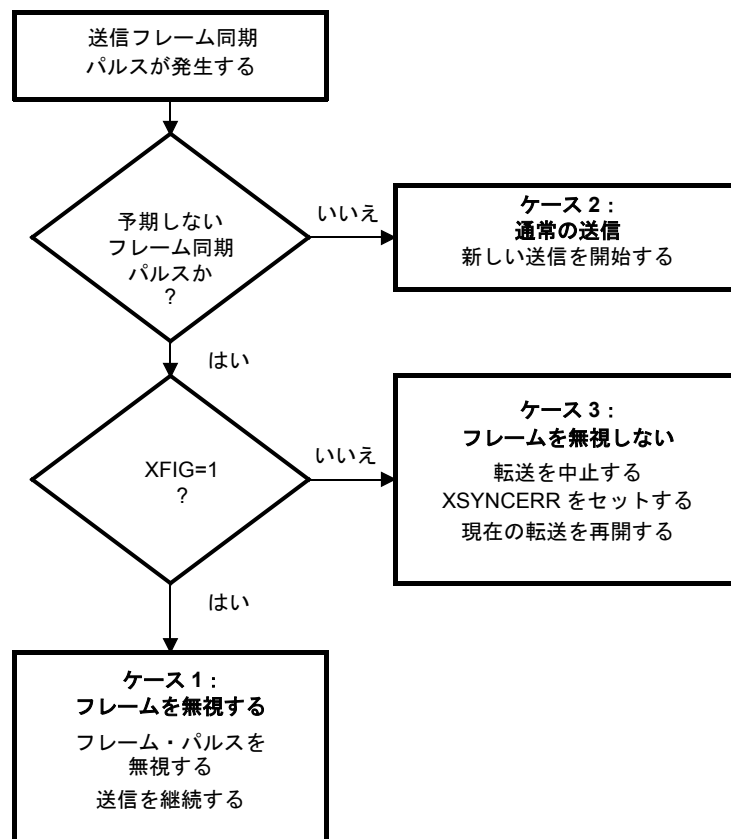
## 4.6 予期しない送信フレーム同期パルス

この節では、予期しないパルスも含めたすべての送信フレーム同期パルスに対する McBSP の応答について説明します。また、フレーム同期エラーの例と、このようなエラーの発生を防止する例を示します。

### 4.6.1 送信フレーム同期パルスに対する応答

図 4-9 は、すべての受信フレーム同期パルス进行处理するためにトランスミッタが使用するデシジョン・ツリーを示しています。この図は、トランスミッタが既に開始されている (SPCR2 で XRST = 1 にセットされている) ことを前提とします。図のケース 3 は、エラーが発生するケースです。

図 4-9 送信フレーム同期パルスに対する応答



発生する可能性があるのは、次の3つのケースのいずれかです。

- **ケース1:** XCR2でXFIG = 1にセットした場合の予期しない内部FSXパルスの発生。予期しない送信フレーム同期パルスは無視され、送信が継続されます。
- **ケース2:** 通常のシリアル・ポート送信。フレーム同期パルスは予期しないパルスではないため、送信は通常どおり続行されます。フレーム同期パルスが発生したとき送信動作が行われなくなる理由は、以下の2つが考えられます。
  - このFSXパルスが、トランスミッタをイネーブルにした(XRST = 1にセットされる)後に最初に発生したパルスである。
  - シリアル・ポートがインターパケット・インターバル内にある。送信に対してプログラミングされたデータ遅延(XCR2のXDATDLYビットを使ってプログラミングしたデータ遅延)は、送信すべき前のワードの先頭ビットの前のこれらのインターパケット・インターバル中に開始する場合があります。したがって、最大パケット周波数では、同期フレームの先頭ビットよりも0から2クロック・サイクル前でフレーム同期を受信できます。

- **ケース3:** XFIG = 0 (フレーム同期パルスを無視しない) にセットした場合の予期しない送信フレーム同期の発生。外部ソースまたは内部サンプル・レート・ジェネレータから予期しないフレーム同期パルスが発生する場合があります。

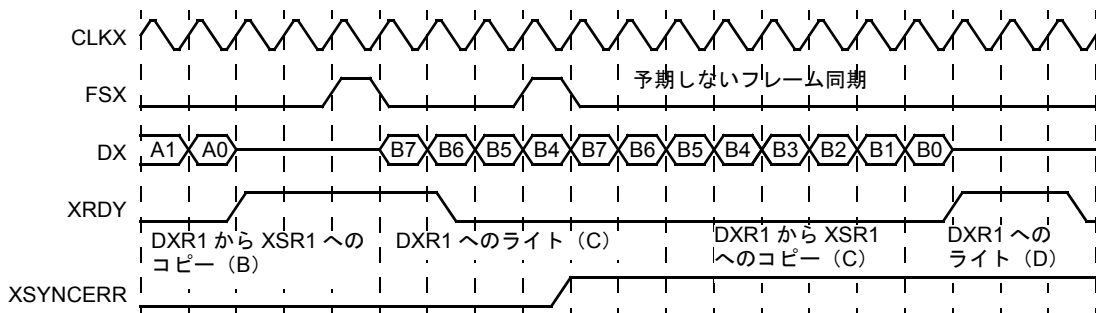
現在のフレームが完全に送信されない前にフレーム同期パルスが新しいフレームの転送を開始した場合、このパルスは予期しないフレーム同期パルスとして処理され、トランスミッタはSPCR2に送信フレーム同期エラー・ビット(XSYNCERR)をセットします。XSYNCERRをクリアするには、トランスミッタをリセットするか、このビットに0を書き込む以外ありません。

McBSPがCPUにフレーム同期エラーを通知するように設定する必要がある場合は、SPCR2のXINTMビットを使って特殊な送信割り込みモードをセットします。XINTM = 11bにセットすると、McBSPは、XSYNCERRがセットされるたびにCPUに送信割り込み(XINT)リクエストを送信します。

#### 4.6.2 予期しない送信フレーム同期パルスの例

図4-10は、シリアル・ポートの通常動作中に発生した予期しない送信フレーム同期パルスをデータ・パケット間の時間間隔で示しています。予期しないフレーム同期パルスが発生すると、XSYNCERRビットがセットされ、新しいデータがXSR1に渡されなくなるため、データBの送信が再開されます。さらに、XINTM = 11bにセットすると、McBSPは送信割り込み(XINT)リクエストをCPUに送信します。

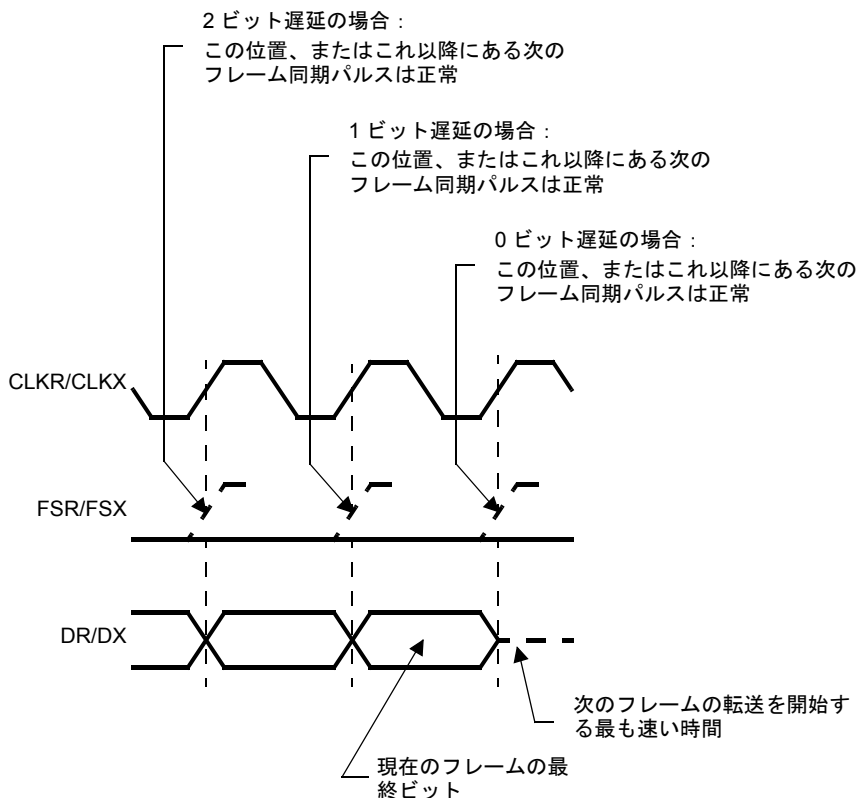
図 4-10 McBSP の送信中に発生した予期しないフレーム同期パルス



### 4.6.3 予期しない送信フレーム同期パルスの防止

各フレーム転送は、XCR2 の XDATDLY ビットの値によって、0、1、2 CLKX サイクルで遅延できます。図 4-11 は、各データ遅延について、現在のフレームの最終ビットを基準に、FSX 上の新しいフレーム同期パルスが安全に発生する時期を示しています。

図 4-11 フレーム同期パルスの正しい位置づけ



---

以下余白

# マルチチャネル選択モード

この章では、マルチチャネル選択モードについての機能およびすべての関連情報について説明します。

項目	ページ
5.1 チャンネル、ブロック、パーティション .....	5-2
5.2 マルチチャネル選択.....	5-3
5.3 マルチチャネル選択のためのフレーム設定.....	5-4
5.4 2つのパーティションの使用方法 .....	5-5
5.5 8つのパーティションの使用方法 .....	5-8
5.6 受信マルチチャネル選択モード.....	5-10
5.7 送信マルチチャネル選択モード.....	5-11
5.8 ブロック転送間の割り込みの使用方法 .....	5-15

## 5.1 チャンネル、ブロック、パーティション

McBSP のチャンネルは、1つのシリアル・ワードのビットをシフトイン/シフトアウトするタイム・スロットです。各 McBSP は、受信用と送信用にそれぞれ最大 128 個のチャンネルをサポートします。

レシーバとトランスミッタでは、利用可能な 128 個のチャンネルが 8 つの**ブロック**に分割され、各ブロックには 16 個の連続するチャンネルがあります。

ブロック 0 : チャンネル 0 ~ 15	ブロック 4 : チャンネル 64 ~ 79
ブロック 1 : チャンネル 16 ~ 31	ブロック 5 : チャンネル 80 ~ 95
ブロック 2 : チャンネル 32 ~ 47	ブロック 6 : チャンネル 96 ~ 111
ブロック 3 : チャンネル 48 ~ 63	ブロック 7 : チャンネル 112 ~ 127

ブロックは、選択したパーティション・モードに従って**パーティション**に割り当てられます。2パーティション・モードでは、偶数番号が割り振られた 1 ブロック (0、2、4、6 のいずれか) をパーティション A に割り当て、奇数番号が割り振られた 1 ブロック (1、3、5、7 のいずれか) をパーティション B に割り当てます。8パーティション・モードでは、ブロック 0~7 がパーティション A~H に自動的に割り当てられます。

受信用のパーティション数と送信用のパーティション数は別個に設定できます。たとえば、2 つの受信パーティション (A と B) と 8 つの送信パーティション (A ~ H) を使用できます。

## 5.2 マルチチャネル選択

McBSP は、他の McBSP やシリアル・デバイスとの通信中に、時分割多重化（TDM）されたデータ・ストリームを使用する際、少数のチャンネルのみでデータの送受信を行う必要がある場合があります。マルチチャネル選択モードを使用して一部のチャンネル上のデータ・フローを遮断すると、メモリとバスの帯域幅を節約できます。McBSP には1つの受信マルチチャネル選択モードと3つの送信マルチチャネル選択モードが備えられています。

各チャンネルのパーティションには、専用のチャンネル・イネーブル・レジスタが備えられています。適切なマルチチャネル選択モードをオンにすると、そのパーティションに割り当てられたチャンネルの1つでデータ・フローを許可するか、遮断するかをレジスタ内の各ビットが制御します。

### 5.3 マルチチャネル選択のためのフレーム設定

マルチチャネル選択モードをイネーブルにする場合、事前にデータ・フレームを正しく設定していることを確認してください。

- シングルフェーズのフレームを選択する (RPHASE/XPHASE = 0)。各フレームは TDM データ・ストリームを表します。
- 使用するチャネルの中で最も大きい数字が割り当てられたチャネルを含むフレーム長を (RFRLN1/XFRLN1 で) セットする。たとえば、受信用にチャネル 0、15、39 を使用する場合、受信フレーム長は少なくとも 40 にする必要があります (RFRLN1 = 39)。このケースで XFRLN1 = 39 にセットすると、レシーバはフレーム当たり 40 個のタイム・スロットを作成しますが、各フレームのタイム・スロット 0、15、39 の期間しかデータを受信しません。

**注：**

フレーム同期パルスは、サンプル・レート・ジェネレータによって内部的に生成することも、別のソースによって外部的に供給することも可能です。マルチチャネル・モードで外部フレーム同期を使用する場合、TMS320VC5501/02 の McBSP トランスミッタは、リセットが解除された後に最初に発生したフレーム同期パルスを見捨てます。トランスミッタは、2 つ目のフレーム同期パルスでしかデータを送信しません。レシーバは、内部的または外部的に生成された最初のフレーム同期パルス上でデータをシフトインします。



## 5.4 2つのパーティションの使用法

レシーバまたはトランスミッタでマルチチャネル選択動作では、2つのパーティションと8つのパーティションのどちらでも使用できます。2パーティション・モードを使用する場合（受信については RMCME = 0、送信については XMCME = 0）、McBSP チャネルは、交互にアクティブになります。フレーム同期パルスに 응답して、レシーバまたはトランスミッタは、パーティション A のチャネルから開始し、その後フレーム全体が転送されるまでパーティション B とパーティション A を交互に切り替えます。次のフレーム同期パルスが発生すると、次のフレーム転送がパーティション A のチャネルから開始されます。

### 5.4.1 パーティション A と B へのブロックの割り当て

受信では、8つの受信チャネル・ブロックのうちの任意の2つを、受信パーティション A と B に割り当てることができます。したがって、最大 32 個の受信チャネルを任意の時点でイネーブルにすることができます。同様に、8つの送信チャネル・ブロックのうちの任意の2つ（最大 32 個の送信チャネルをイネーブルにできる）を、送信パーティション A と B に割り当てることができます。

受信の場合：

- RPABLK ビットに書き込むことで、偶数番号が割り当てられたチャネル・ブロック（0、2、4、6 のいずれか）を受信パーティション A に割り当てます。受信マルチチャネル選択モードでは、このパーティション内のチャネルは、受信チャネル・イネーブル・レジスタ A（RCERA）によって制御されます。
- RPBBLK ビットを使用して、奇数番号が割り当てられたブロック（1、3、5、7 のいずれか）を受信パーティション B に割り当てます。受信マルチチャネル選択モードでは、このパーティション内のチャネルは、受信チャネル・イネーブル・レジスタ B（RCERB）によって制御されます。

送信の場合：

- XPABLK ビットに書き込むことで、偶数番号が割り当てられたチャネル・ブロック（0、2、4、6 のいずれか）を送信パーティション A に割り当てます。送信マルチチャネル選択モードでは、このパーティション内のチャネルは、送信チャネル・イネーブル・レジスタ A（XCERA）によって制御されます。
- XPBBLK ビットを使用して、奇数番号が割り当てられたブロック（1、3、5、7 のいずれか）を送信パーティション B に割り当てます。送信マルチチャネル選択モードでは、このパーティション内のチャネルは、送信チャネル・イネーブル・レジスタ B（XCERB）によって制御されます。

図 5-1 は、パーティション A のチャンネルとパーティション B のチャンネルを交互に切り替える例を示しています。パーティション A にはチャンネル 0 から 15 が割り当てられており、パーティション B にはチャンネル 16 ~ 31 が割り当てられています。McBSP は、フレーム同期パルスにตอบสนองして、パーティション A でフレーム転送を開始し、その後、フレーム全体が転送されるまでパーティション B とパーティション A を交互に切り替えます。

図 5-1 パーティション A のチャンネルとパーティション B のチャンネルを交互に切り替える



パーティションへのチャンネル・ブロックの割り当ては動的に変更することが可能です。詳細について、次の節で説明します。

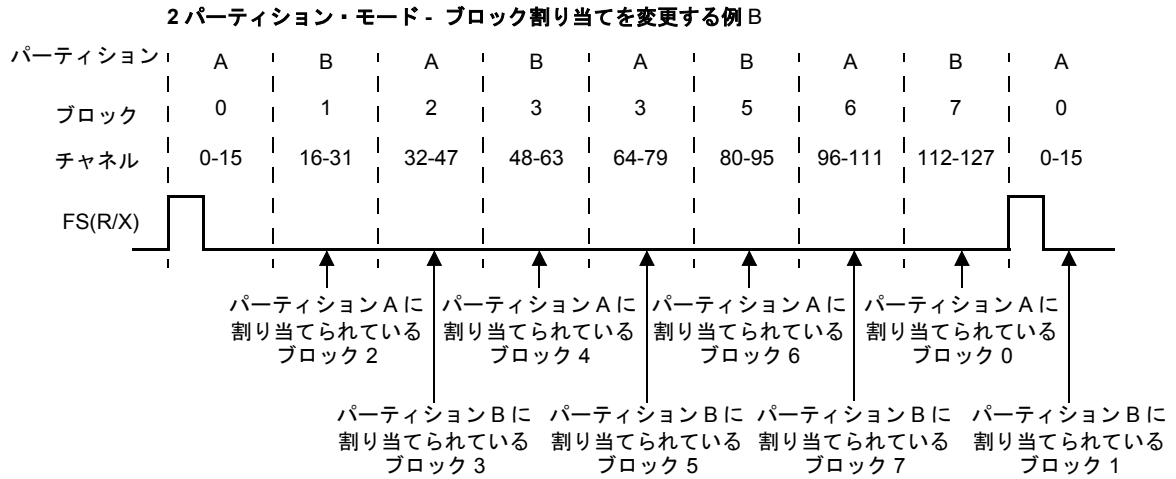
#### 5.4.2 受信または送信中のブロックの再割り当て

32 個以上のチャンネルを使用する必要がある場合は、データ転送中にパーティション A とパーティション B へのチャンネル・ブロックの割り当てを変更することができます。ただし、このような変更を行う際は、そのタイミングに注意する必要があります。パーティションの転送中に、そのパーティションに割り当てられているブロック割り当てビットを変更したり、それに関するチャンネル・イネーブル・レジスタを変更することはできません。たとえば、パーティション A に割り当てられているブロック 3 を転送している間に、パーティション A に別のチャンネルを割り当てるために PABLK を変更したり、パーティション A のチャンネル設定を変更するために (R/X) CERA を変更することはできません。McBSP の機能を使用すると、再割り当ての時期を調整することができます。

- 受信または送信に現在関係しているチャンネル・ブロック（現在のブロック）は、RCBLK/XCBLK ビットに反映されます。プログラムを使ってこれらのビットをポーリングして、どのパーティションがアクティブであるかを確認できます。パーティションがアクティブでなければ、そのパーティションのブロック割り当てやチャンネル設定を変更しても安全です。
- すべてのブロックの最後（2つのパーティションの境界）で、CPU に割り込みを送信できます。割り込みにตอบสนองして、CPU は RCBLK/XCBLK ビットを確認し、アクティブでないパーティションを更新します。

図 5-2 は、データ転送中にチャンネルの再割り当てを行う例を示しています。McBSP は、フレーム同期パルスに反応して、パーティション A とパーティション B を交互に切り替えます。パーティション B がアクティブな場合は常に、CPU はパーティション A のブロック割り当てを変更します。パーティション A がアクティブならば常に、CPU はパーティション B のブロック割り当てを変更します。

図 5-2 McBSP のデータ転送中のチャンネル・ブロックの再割り当て



## 5.5 8つのパーティションの使用方法

レシーバまたはトランスミッタでマルチチャネル選択動作では、8つのパーティションと2つのパーティションのどちらでも使用できます。8パーティション・モードを使用する場合（受信の場合、RMCME = 1、送信の場合、XMCME = 1）、McBSPのパーティションは、A、B、C、D、E、F、G、Hの順にアクティブになります。フレーム同期パルスに応答して、レシーバまたはトランスミッタは、パーティション A のチャネルから開始し、その後フレーム全体が転送されるまで他のパーティションを順番に使って処理を続けます。次のフレーム同期パルスが発生すると、次のフレーム転送がパーティション A のチャネルから開始されます。

表 5-1 と表 5-2 に示すように、8パーティション・モードでは、(R/X)PABLK ビットと (R/X)PBBLK ビットが無視され、16 チャネル・ブロックがパーティションに割り当てられます。これらの割り当ては変更できません。また、表には、パーティション内のチャネルを制御するために使用されるレジスタも示します。

表 5-1 8つの受信パーティションを使用する場合の受信チャネルの割り当てと制御

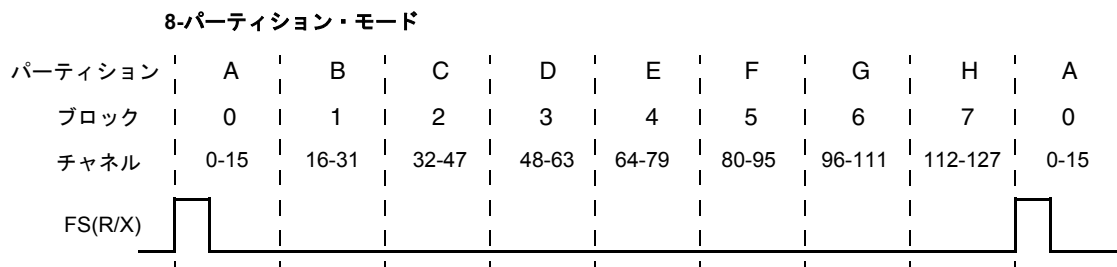
受信パーティション	割り当てられたチャネル・ブロック	チャネル制御に使用されるレジスタ
A	ブロック 0 : チャネル 0 ~ 15	RCERA
B	ブロック 1 : チャネル 16 ~ 31	RCERB
C	ブロック 2 : チャネル 32 ~ 47	RCERC
D	ブロック 3 : チャネル 48 ~ 63	RCERD
E	ブロック 4 : チャネル 64 ~ 79	RCERE
F	ブロック 5 : チャネル 80 ~ 95	RCERF
G	ブロック 6 : チャネル 96 ~ 111	RCERG
H	ブロック 7 : チャネル 112 ~ 127	RCERH

表 5-2 8つの送信パーティションを使用する場合の送信チャンネルの割り当てと制御

送信パーティション	割り当てられた送信チャンネル・ブロック	チャンネル制御に使用されるレジスタ
A	ブロック 0: チャンネル 0 ~ 15	XCERA
B	ブロック 1: チャンネル 16 ~ 31	XCERB
C	ブロック 2: チャンネル 32 ~ 47	XCERC
D	ブロック 3: チャンネル 48 ~ 63	XCERD
E	ブロック 4: チャンネル 64 ~ 79	XCERE
F	ブロック 5: チャンネル 80 ~ 95	XCERF
G	ブロック 6: チャンネル 96 ~ 111	XCERG
H	ブロック 7: チャンネル 112 ~ 127	XCERH

図 5-3 は、8 パーティション・モードを使用する McBSP の例を示します。McBSP は、フレーム同期パルスに反応してパーティション A からフレーム転送を開始し、その後、128 個のワード・フレームを転送し終えるまで、パーティション B、C、D、E、F、G、H を順にアクティブにします。

図 5-3 8パーティション・モードでのMcBSPのデータ転送



## 5.6 受信マルチチャンネル選択モード

MCR1 の RMCМ ビットは、すべてのチャンネルまたは選択したチャンネルのみを受信用にイネーブルにするかどうかを決定します。RMCМ = 0 の場合、128 個の受信チャンネルすべてがイネーブルになり、ディスエーブルにすることはできません。RMCМ = 1 の場合、受信マルチチャンネル選択モードはイネーブルになります。このモードでは、以下のようにになります。

- チャンネルは個別にイネーブルまたはディスエーブルにすることができます。イネーブルにセットされたチャンネルのみが、適切な受信チャンネル・イネーブル・レジスタ (RCER) で選択されます。チャンネルの RCER への割り当て方法は、MCR1 の RMCME ビットで定義された受信チャンネル・パーティション数 (2 または 8) によって異なります。
- 受信チャンネルをディスエーブルにすると、この受信チャンネルで受信されたすべてのビットは、受信バッファ・レジスタ (RBR) までしか渡されません。レシーバは、RBR の内容を DRR にコピーしないので、レシーバ・レディ・ビット (RRDY) をセットしません。したがって、DMA 同期イベント (REVT) は生成されません。また、レシーバ割り込みモードが RRDY を使用する場合 (RINTM = 00b)、割り込みは生成されません。

受信マルチチャンネル選択モードでの McBSP の動作例として、チャンネル 0、15、39 のみをイネーブルにし、フレーム長を 40 にセットするものとします。McBSP は、以下のように動作します。

- 1) チャンネル 0 で DR ピンからシフトインされたビットを受け付けます。
- 2) チャンネル 1 ~ 14 で受信したビットを無視します。
- 3) チャンネル 15 で DR ピンからシフトインされたビットを受け付けます。
- 4) チャンネル 16 ~ 38 で受信したビットを無視します。
- 5) チャンネル 39 で DR ピンからシフトインされたビットを受け付けます。

## 5.7 送信マルチチャネル選択モード

XCR2 の XMCM ビットは、すべてのチャネルまたは選択したチャネルのみを、送信用にイネーブルにし、マスク解除するかどうかを決定します。McBSP には 3 つの送信マルチチャネル選択モード (XMCM = 01b、XMCM = 10b、XMCM = 11b) があります。これらのモードについて、以下の表で説明します。

表 5-3 XMCM ビットを使用した送信マルチチャネル選択モードの選択

XMCM	送信マルチチャネル選択モード
00b	送信マルチチャネル選択モードをすべてオフにします。すべてのチャネルがイネーブルで、マスク解除します。ディスエーブルまたはマスク可能なチャネルはありません。
01b	適切な送信チャネル・イネーブル・レジスタ (XCER) でチャネルを選択しない場合、すべてのチャネルはディスエーブルになります。すべてのチャネルをイネーブルにすると、このモードのチャネルもまたマスク解除されます。 MCR2 の XMCME ビットは、XCER で 32 個のチャネルを選択可能にするか、128 個のチャネルを選択可能にするかを決定します。
10b	すべてのチャネルはイネーブルになります。ただし、適切な送信チャネル・イネーブル・レジスタ (XCER) でチャネルを選択しない場合、チャネルはマスクされます。 MCR2 の XMCME ビットは、XCER で 32 個のチャネルを選択可能にするか、128 個のチャネルを選択可能にするかを決定します。
11b	このモードは、シンメトリックな送受信に使用します。 適切な受信チャネル・イネーブル・レジスタ (RCER) で送信用にすべてのチャネルがイネーブルでない場合、すべてのチャネルは送信に対してディスエーブルになります。すべてのチャネルをイネーブルにすると、適切な送信チャネル・イネーブル・レジスタ (XCER) でもすべてのチャネルを選択しない場合、マスクされます。 MCR2 の XMCME ビットは、RCER と XCER で 32 個のチャネルを選択可能にするか、128 個のチャネルを選択可能にするかを決定します。

送信マルチチャンネル選択モードでの McBSP の動作例として、XMCM = 01b（個別にイネーブルにしない限り、すべてのチャンネルはディスエーブルになる）にセットし、チャンネル 0、15、39 のみをイネーブルにセットし、さらにフレーム長を 40 とします。McBSP は、以下のように動作します。

- 1) チャンネル 0 で DX ピンにデータをシフトします。
- 2) チャンネル 1 ~ 14 で DX ピンをハイ・インピーダンス状態にします。
- 3) チャンネル 15 で DX ピンにデータをシフトします。
- 4) チャンネル 16 ~ 38 で DX ピンをハイ・インピーダンス状態にします。
- 5) チャンネル 39 で DX ピンにデータをシフトします。

### 5.7.1 ディスエーブル/イネーブルとマスク/マスク解除

送信では、チャンネルは以下のようにセットできます。

- イネーブルになり、マスク解除されます（送信が開始され、完了します）。
- イネーブルになりますが、マスクされます（送信は開始されますが、完了しません）。
- ディスエーブルになります（送信を発生させることができません）。

以下に、チャンネル制御オプションを説明します。

<b>Enabled channel</b>	データ送信レジスタ (DXR) から送信シフト・レジスタ (XSR) にデータを渡すことで、送信を開始可能なチャンネル。
<b>Masked channel</b>	送信を完了できないチャンネル。DX ピンがハイ・インピーダンス状態であるため、DX ピンにデータをシフトアウトできません。  シンメトリックな送受信がソフトウェアの効率を高めるシステムでこの機能を使用すると、共有シリアル・バス上で送信チャンネルをディスエーブルにすることができます。複数の受信によってシリアル・バス・コンテンションが引き起こされる可能性はないので、受信については同様の機能は必要ありません。
<b>Disabled channel</b>	イネーブルでないチャンネル。ディスエーブルになったチャンネルもまたマスクされます。  DXR から XSR へのコピーが発生しないため、SPCR2 の XRDY ビットはセットされません。したがって、DMA 同期イベント (XEVT) は生成されません。また、送信割り込みモードが XRDY を使用する場合 (SPCR2 で XINTM = 00b にセット)、割り込みは生成されません。  SPCR2 の XEMPTY ビットは影響を受けません。
<b>Unmasked channel</b>	マスクされないチャンネル。XSR 内のデータは、DX ピン上にシフトアウトされます。



### 5.7.2 さまざまな XMCM 値に対する McBSP ピンの動作

図 5-4 は、さまざまな XMCM 値に対する McBSP ピンでの動作を示しています。送信フレームは、すべてのケースで以下のように設定されます。

- XPHASE = 0: シングルフェーズ・フレーム (マルチチャネル選択モードに必要)
- XFRLEN1 = 0000011b: フレーム当たり 4 ワード
- XWDLEN1 = 000b: ワード当たり 8 ビット
- XMCM = 0: 2 パーティション・モード (パーティション A とパーティション B のみを使用)

XMCM = 11b にセットしたケースでは、送信と受信はシンメトリックになります。つまり、レシーバ (RPHASE、RFRLEN1、RWDLEN1、RMCME) の対応ビットには、XPHASE、XFRLEN1、XWDLEN1 と同じ値をセットする必要があります。

図では、各種のイベントが発生する場所を示す矢印は、ひとつの例にすぎません。これらのイベントが発生する可能性があるタイム・ウィンドウをできる限り設定しました。

図 5-4 設定可能な XMCM 値に対する McBSP ピンの動作

(a) XMCM = 00b: イネーブルになり、マスク解除されたすべてのチャンネル

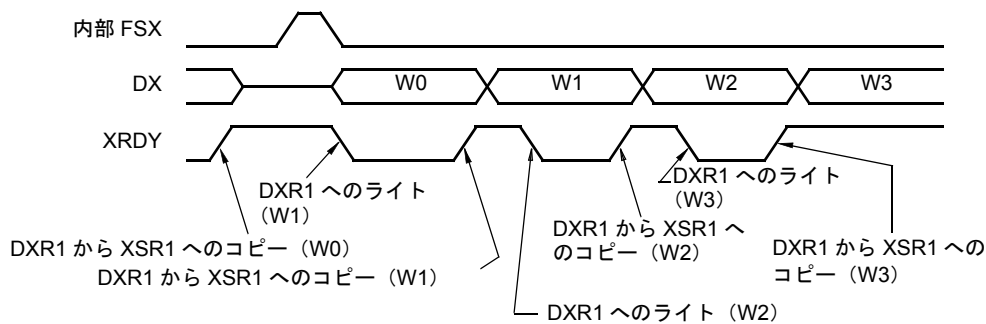
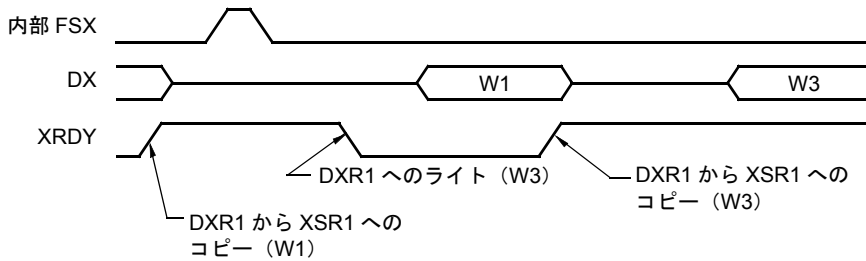
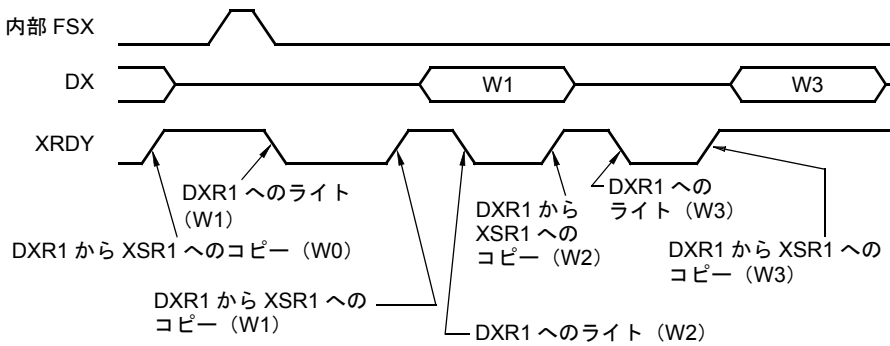


図 5-4 設定可能な XMCM 値に対する McBSP ピンの動作 (続き)

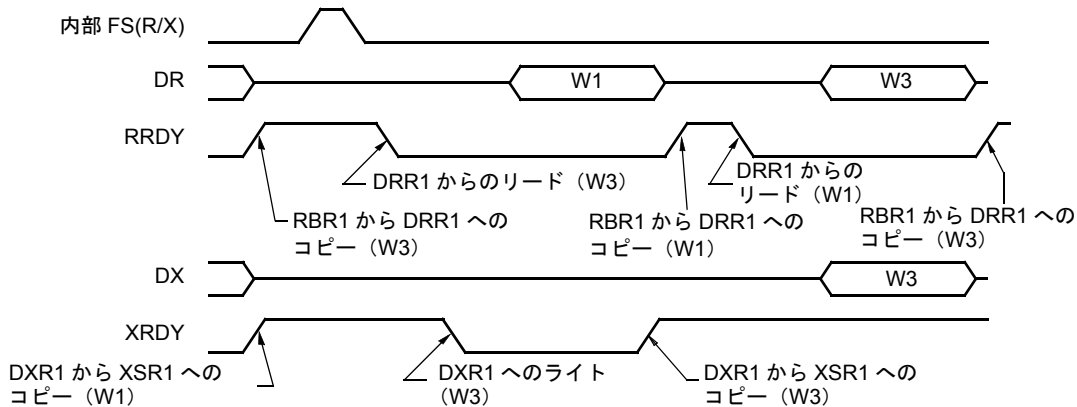
(b) XMCM = 01b, XPABLK = 00b, XCERA = 000Ah : チャンネル 1 とチャンネル 3 のみがイネーブルで、マスク解除されている



(c) XMCM = 10b, XPABLK = 00b, XCERA = 000Ah : すべてのチャンネルがイネーブルで、チャンネル 1 とチャンネル 3 のみがマスク解除されている



(d) XMCM = 11b, RPABLK = 00b, XPABLK = X, RCERA = 000Ah, XCERA = 0008h :  
受信チャンネル : 1 と 3 がイネーブルになる。送信チャンネル : 1 と 3 がイネーブルになるが、チャンネル 3 のみがマスク解除されている



## 5.8 ブロック転送間の割り込みの使用方法

マルチチャンネル選択モードを使用すると、すべての 16 チャンネル・ブロックの最後（パーティションの境界とフレームの最後）で、割り込みリクエストを CPU に送信できます。受信マルチチャンネル選択モードでは、RINTM = 01b にセットした場合、各ブロック転送の最後で、受信割り込み（RINT）リクエストが生成されます。すべての送信マルチチャンネル選択モードでは、XINTM = 01b にセットした場合、各ブロック転送の最後で、送信割り込み（XINT）リクエストが生成されます。RINTM/XINTM = 01b の場合、マルチチャンネル選択モードがオンでなければ、割り込みは生成されません。

これらの割り込みパルスはアクティブ・ハイとなり、2 McBSP 入力クロック・サイクルの間持続します。

このタイプの割り込みは、2 パーティション・モードを使用しており、パーティション A またはパーティション B に別々のチャンネル・ブロックを割り当て可能な時期を調べる必要がある場合に特に便利です。

---

以下余白

# クロック停止モードを使用した SPI の動作

この章では、McBSP が SPI プロトコルを使用して 1 つまたは複数のデバイスと通信する方法について説明します。

項目	ページ
6.1 SPI プロトコル .....	6-2
6.2 クロック停止モード.....	6-3
6.3 クロック停止モードをイネーブルにし、設定するために使用されるビット .....	6-4
6.4 クロック停止モードのタイミング図 .....	6-6
6.5 SPI の動作のための McBSP の構成手順.....	6-8
6.6 SPI マスタとして機能する McBSP.....	6-9
6.7 SPI スレーブとして機能する McBSP .....	6-12

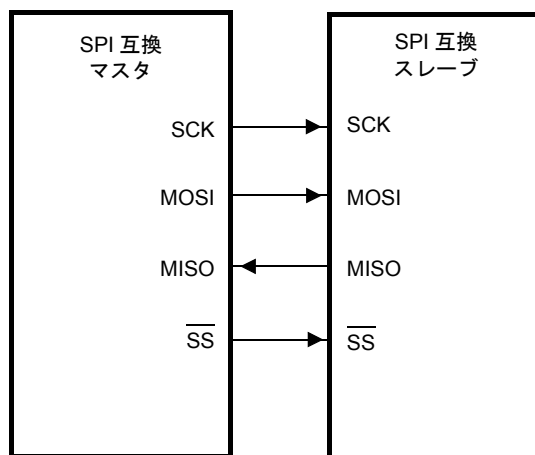
## 6.1 SPI プロトコル

SPI プロトコルは、1つのマスタ・デバイスと1つ以上のスレーブ・デバイスによるマスタ・スレーブ構成です。SPI インターフェイスは以下の4つの信号で構成されています。

- シリアル・データ入力（マスタイン - マスタアウト（MISO）とも呼ばれる）
- シリアル・データ出力（マスタアウト - スレーブイン（MOSI）とも呼ばれる）
- シフトクロック（SCKとも呼ばれる）
- スレーブ・イネーブル信号（ $\overline{\text{SS}}$ とも呼ばれる）

1台のスレーブ・デバイスを使用する一般的な SPI インターフェイスを図 6-1 に示します。

図 6-1 一般的な SPI インターフェイス



マスタ・デバイスは、シフトクロックとスレーブ・イネーブル信号を与えることで、通信フローを制御します。スレーブ・イネーブル信号は、スレーブ・デバイス（クロックを送信しないデバイス）のシリアル・データ入出力をイネーブルにするオプションのアクティブ・ロー信号です。

専用のスレーブ・イネーブル信号がない場合、マスタとスレーブ間のデータ通信は、アクティブなシフトクロックの有無によって決定されます。McBSP を SPI マスタ・モードで動作させ、 $\overline{\text{SS}}$  信号がスレーブの SPI ポートによって使用されない場合、スレーブ・デバイスは常時イネーブルにしておく必要があります。複数のスレーブを使用することはできません。

## 6.2 クロック停止モード

McBSP のクロック停止モードは、SPI プロトコルと互換性があります。McBSP をクロック停止モードで構成している場合、トランスミッタとレシーバは内部的に同期されます。このため、McBSP は SPI のマスタ・デバイスまたはスレーブ・デバイスとして機能します。送信クロック信号 (CLKX) は、SPI プロトコルのシリアル・クロック信号 (SCK) に対応しており、送信フレーム同期信号 (FSX) は、スレーブ・イネーブル信号 (SS) として使用されます。

受信クロック信号 (CLKR) と受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されているため、クロック停止モードでは使用されません。

### 6.3 クロック停止モードをイネーブルにし、設定するために使用されるビット

McBSP を SPI デバイスとして構成するために必要なビットを、表 6-1 に示します。また、表 6-2 に、CLKSTP ビット、極性ビット CLKXP および極性ビット CLKRP を各種組み合わせ、構成可能な 4 つのクロック停止モードを設定する方法を示します。6.4 節のタイミング図では、CLKSTP、CLKXP、CLKRP の効果を示します。

表 6-1 クロック停止モードをイネーブルにし、設定するために使用されるビット

ビット・フィールド	説明
SPCR1 の CLKSTP ビット	これらのビットは、クロック停止モードをイネーブルにし、2 つのタイミング・パリエーションの 1 つを選択するために使用します。
PCR の CLKXP ビット	このビットは、CLKX 信号の極性を決定します。
PCR の CLKRP ビット	このビットは、CLKR 信号の極性を決定します。
PCR の CLKXM ビット	このビットは、CLKX が入力信号（McBSP はスレーブとして機能する）か、出力信号（McBSP はマスタとして機能する）かを決定します。
XCR2 の XPHASE ビット	シングルフェーズの送信フレームを使用する必要があります（XPHASE = 0）。
RCR2 の RPHASE ビット	シングルフェーズの受信フレームを使用する必要があります（RPHASE = 0）。
XCR1 の XFRLN1 ビット	1 シリアル・ワードの送信フレーム長を使用する必要があります（XFRLN1 = 0）。
RCR1 の RFRLN1 ビット	1 シリアル・ワードの受信フレーム長を使用する必要があります（RFRLN1 = 0）。
XCR1 の XWDLEN1 ビット	XWDLEN1 ビットは、送信パケット長を決定します。クロック停止モードでは、McBSP の送信回路と受信回路はシングル・クロックに同期されるため、XWDLEN1 は RWDLEN1 と等しくする必要があります。
RCR1 の RWDLEN1 ビット	RWDLEN1 ビットは、受信パケット長を決定します。クロック停止モードでは、McBSP の送信回路と受信回路はシングル・クロックに同期されるため、RWDLEN1 は XWDLEN1 と等しくする必要があります。



表 6-2 クロック・スキームでの CLKSTP、CLKXP、CLKRP の効果

ビット設定	クロック・スキーム
CLKSTP = 00b または 01b CLKXP = 0 または 1 CLKRP = 0 または 1	クロック停止 (SPI) モードをディスエーブルにします。非 SPI モードで、クロックをイネーブルにします。
CLKSTP = 10b CLKXP = 0 CLKRP = 0	遅延なしのロー・インアクティブ状態。McBSP は CLKX の立ち上がりエッジでデータを送信し、CLKR の立ち下がりエッジでデータを受信します。
CLKSTP = 11b CLKXP = 0 CLKRP = 1	遅延ありのロー・インアクティブ状態。McBSP は CLKX の立ち上がりエッジより 2 分の 1 サイクル前にデータを送信し、CLKR の立ち上がりエッジでデータを受信します。
CLKSTP = 10b CLKXP = 1 CLKRP = 0	遅延なしのハイ・インアクティブ状態。McBSP は CLKX の立ち下がりエッジでデータを送信し、CLKR の立ち上がりエッジでデータを受信します。
CLKSTP = 11b CLKXP = 1 CLKRP = 1	遅延ありのハイ・インアクティブ状態。McBSP は CLKX の立ち下がりエッジより半サイクル前にデータを送信し、CLKR の立ち下がりエッジでデータを受信します。

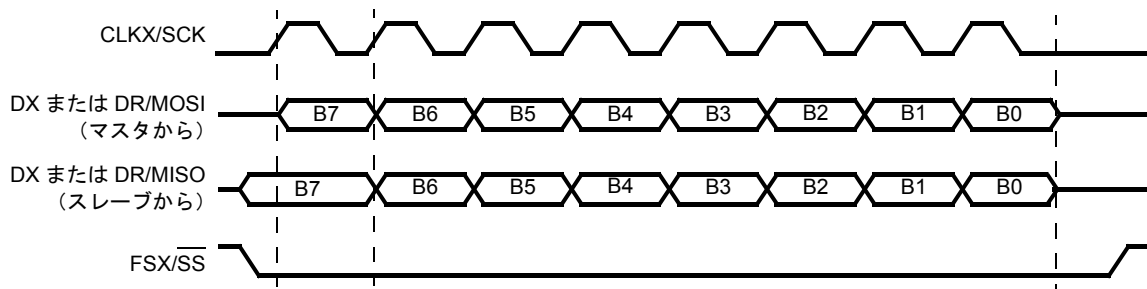
## 6.4 クロック停止モードのタイミング図

ここでは、構成可能な4つのクロック停止モードのタイミング図を示します。クロック停止モードで使用されるフレーム同期信号は、転送全体を通してスレーブ・イネーブル信号としてアクティブであることに注意してください。タイミング図では8ビットの転送を示していますが、パケット長は8、12、16、20、24、32ビット/パケットのいずれかにセットできます。受信パケット長はRCR1のRWDLEN1ビットによって選択され、送信パケット長はXCR1のXWDLEN1ビットによって選択されます。McBSPの送信回路と受信回路はシングル・クロックに同期されるため、クロック停止モードでは、RWDLEN1値とXWDLEN1値には同じ値をセットする必要があります。

**注：**

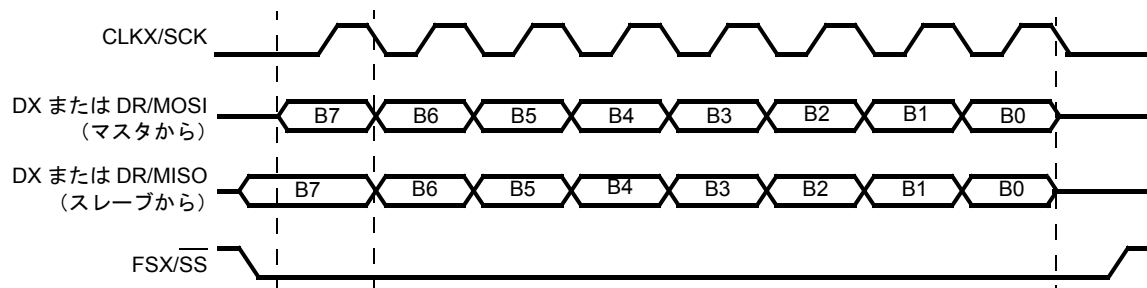
複数のワードが連続して転送される場合でも、CLKX信号は常に停止状態となり、FSX信号はパケット転送後にインアクティブ状態に戻ります。これにより、連続パケット転送が実行されたときに、各パケット転送間に2ビットの周期の最小アイドル時間が発生します。

図6-2 CLKSTP = 10b (クロック遅延なし)、CLKXP = 0、CLKRP = 0 にセットしたSPI転送



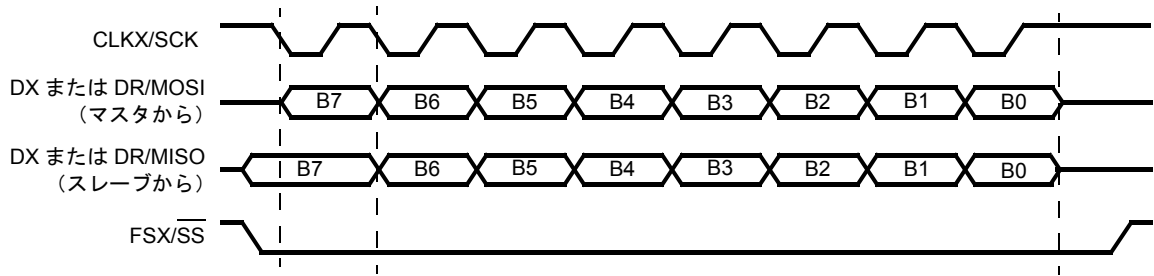
- 注： 1) McBSPがSPIのマスタ (CLKXM = 1) の場合、MOSI = DXになります。McBSPがSPIのスレーブ (CLKXM = 0) の場合、MOSI = DRになります。  
 2) McBSPがSPIのマスタ (CLKXM = 1) の場合、MISO = DRになります。McBSPがSPIのスレーブ (CLKXM = 0) の場合、MISO = DXになります。

図6-3 CLKSTP = 11b (クロック遅延)、CLKXP = 0、CLKRP = 1 をセットしたSPI転送



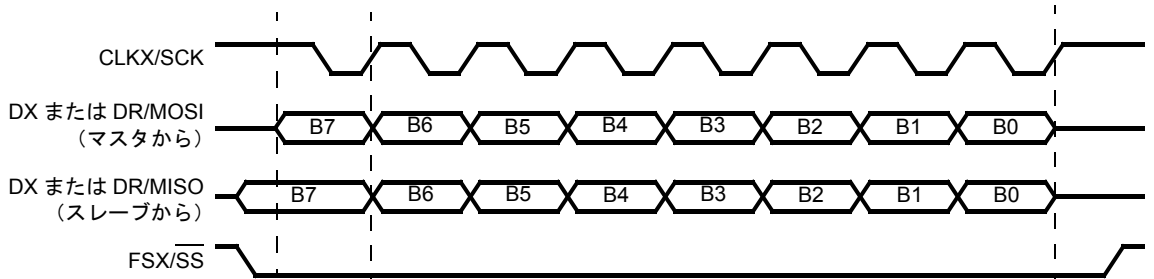
- 注： 1) McBSPがSPIのマスタ (CLKXM = 1) の場合、MOSI = DXになります。McBSPがSPIのスレーブ (CLKXM = 0) の場合、MOSI = DRになります。  
 2) McBSPがSPIのマスタ (CLKXM = 1) の場合、MISO = DRになります。McBSPがSPIのスレーブ (CLKXM = 0) の場合、MISO = DXになります。

図 6-4 CLKSTP = 10b (クロック遅延なし)、CLKXP = 1、CLKRP = 0 をセットした SPI 転送



- 注： 1) McBSP が SPI のマスタ (CLKXM = 1) の場合、MOSI = DX になります。McBSP が SPI のスレーブ (CLKXM = 0) の場合、MOSI = DR になります。  
 2) McBSP が SPI のマスタ (CLKXM = 1) の場合、MISO = DR になります。McBSP が SPI のスレーブ (CLKXM = 0) の場合、MISO = DX になります。

図 6-5 CLKSTP = 11b (クロック遅延)、CLKXP = 1、CLKRP = 1 にセットした SPI 転送



- 注： 1) McBSP が SPI のマスタ (CLKXM = 1) の場合、MOSI = DX になります。McBSP が SPI のスレーブ (CLKXM = 0) の場合、MOSI = DR になります。  
 2) McBSP が SPI のマスタ (CLKXM = 1) の場合、MISO = DR になります。McBSP が SPI のスレーブ (CLKXM = 0) の場合、MISO = DX になります。

## 6.5 SPI の動作のための McBSP の構成手順

SPI のマスタ動作またはスレーブ動作のために McBSP を構成するには、以下の手順を行います。

### 1) トランスミッタとレシーバをリセット状態にします。

トランスミッタをリセットするには、SPCR2 のトランスミッタ・リセット・ビットをクリアします (XRST = 0 にセット)。レシーバをリセットするには、SPCR1 のレシーバ・リセット・ビットをクリアします (RRST = 0 にセット)。

### 2) サンプル・レート・ジェネレータをリセット状態にします。

サンプル・レート・ジェネレータをリセットするには、SPCR2 のサンプル・レート・ジェネレータ・リセット・ビットをクリアします (GRST = 0 にセット)。

### 3) SPI の動作に影響するレジスタをプログラミングします。

McBSP を SPI マスタまたは SPI スレーブとして正しく機能するように構成するために、必要な McBSP レジスタをプログラミングします。

### 4) サンプル・レート・ジェネレータをイネーブルにします。

サンプル・レート・ジェネレータのリセットを解除するには、SPCR2 のサンプル・レート・ジェネレータ・リセット・ビットをセットします (GRST = 1 にセット)。

SPCR2 へのライト中は、GRST のみを変更します。それ以外の場合、前の手順で選択した McBSP 構成を変更できます。

### 5) トランスミッタとレシーバをイネーブルにします。

サンプル・レート・ジェネレータのリセットを解除した後、サンプル・レート・ジェネレータのクロック周期を 2 クロック待って McBSP ロジックを安定させます。

CPU が McBSP の送信バッファと受信バッファを処理する場合、直ちにトランスミッタをイネーブル (SPCR2 で XRST = 1 にセット) にし、レシーバをイネーブル (SPCR1 で RRST = 1 にセット) にします。

DMA コントローラが McBSP の送信バッファと受信バッファを処理する場合、最初に DMA コントローラを設定する必要があります (このとき、McBSP バッファを処理するチャンネルもイネーブルにする必要があります)。DMA コントローラがレディ状態の場合に、XRST = 1 と RRST = 1 にセットする必要があります。

注：どちらの場合も、SPCR2 と SPCR1 へのライトを行うときには XRST と RRST のみを変更します。それ以外の場合、この手順の最初で選択したビット設定を変更できます。

トランスミッタとレシーバのリセットを解除した後、サンプル・レート・ジェネレータのクロック周期を 2 クロック待って McBSP ロジックを安定させます。

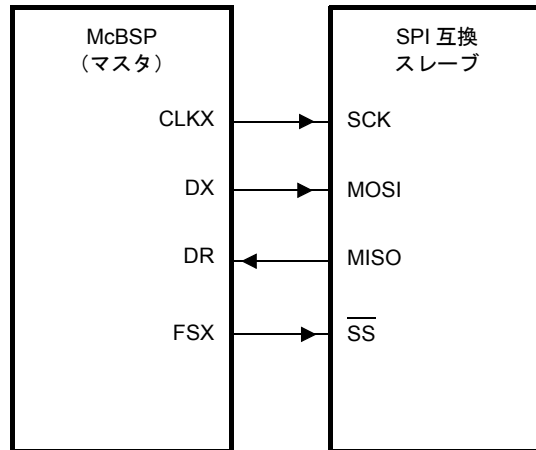
### 6) 必要に応じて、サンプル・レート・ジェネレータのフレーム同期ロジックをイネーブルにします。

要求されるデータ取得セットアップ (DXR[1/2] へのデータのロード) が完了した後、内部的に生成されたフレーム同期パルスが必要な場合 (つまり、McBSP が SPI のマスタの場合) は、FRST = 1 にセットします。

## 6.6 SPI マスタとして機能する McBSP

図 6-6 に、マスタとして使用する McBSP との SPI インターフェイスを示します。McBSP をマスタとして構成する場合、送信出力信号 (DX) を SPI プロトコルの MOSI 信号として使用し、受信入力信号 (DR) を MISO 信号として使用します。

図 6-6 SPI マスタとして機能する McBSP



マスタとして McBSP を構成するために必要なレジスタ・ビット値を表 6-3 に一覧します。表の後に、構成要件の詳細を説明します。

表 6-3 SPI マスタとして McBSP を構成するために必要なレジスタ・ビット値

必要なビット設定	説明
CLKSTP = 10b または 11b	クロック停止モード（クロック遅延あり、またはクロック遅延なし）を選択します。
CLKXP = 0 または 1	CLKX ピン上の CLKX の極性は、正（CLKXP = 0）または負（CLKXP = 1）です。
CLKRP = 0 または 1	CLKR ピン上の CLKR の極性は、正（CLKRP = 0）または負（CLKRP = 1）です。
CLKXM = 1	CLKX ピンは、内部サンプル・レート・ジェネレータによってドライブされる出力ピンです。CLKSTP は 10b または 11b であるため、CLKR は CLKX によって内部的にドライブされます。
SCLKME = 0 CLKSM = 1	サンプル・レート・ジェネレータによって生成されるクロック（CLKG）は、McBSP 内部入力クロックから供給されます。
CLKGDV は、 0 ~ 255 の値	CLKGDV は、CLKG の分周値を定義します。
FSXM = 1	FSX ピンは、FSGM ビットに従ってドライブされる出力ピンです。
FSGM = 0	トランスミッタは、データが DXR1 から XSR1 に転送されるたびに FSX ピン上でフレーム同期パルスドライブします。
FSXP = 1	FSX ピンはアクティブ・ローです。
XDATDLY = 01b RDATDLY = 01b	この設定により、FSX 信号の正確なセットアップ時間が提供されます。

McBSP が SPI マスタとして機能する場合、McBSP はシリアル・クロック信号を生成して、データ送信を制御します。CLKX ピン上のクロック信号は、パケット転送中にのみイネーブルになります。パケットが転送されていないとき、CLKX ピンは、使用する極性によって High または Low のまま維持されます。

SPI のマスタ動作では、CLKX ピンを出力として設定する必要があります。サンプル・レート・ジェネレータを使用して、McBSP 内部入力クロックから CLKX 信号を供給します。クロック停止モードでは、CLKX ピンが CLKR 信号と内部的に接続されます。その結果、CLKR ピン上で外部信号接続が必要なくなり、送信回路と受信回路はマスタ・クロック（CLKX）によってクロックされます。

SPI のマスタを適切に機能させるには、McBSP のデータ遅延パラメータ（XDATDLY と RDATDLY）に 1 をセットする必要があります。クロック停止モードでは、データ遅延値 0 または 2 は未定義です。

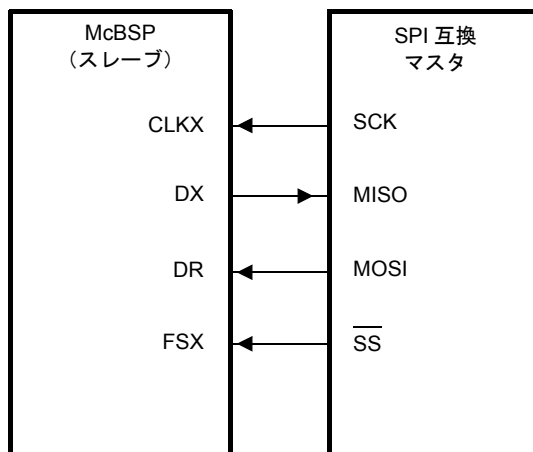
また、McBSP は、FSX ピン上にスレーブ・イネーブル信号（ $\overline{SS}$ ）を提供できます。スレーブ・イネーブル信号が必要な場合、FSX ピンを出力として設定し、さらにパケットを転送するたびにフレーム同期パルスが自動的に生成されるようにトランスミッタを設定する必要があります（FSGM = 0 にセット）。FSX ピンの極性はハイまたはローにプログラム可能ですが、ほとんどの場合、FSX ピンをアクティブ・ローに設定する必要があります。

SPI のマスタ動作での説明に従って McBSP を構成すると、フレーム同期パルス幅 (FWID) とフレーム同期周期 (FPER) のビット・フィールドは無効になり、カスタム・フレーム同期波形は使用できなくなります。スレーブ・イネーブル信号は、パケットの最初のビットが転送される前にアクティブになり、パケットの最後のビットが転送されるまでアクティブ状態が続きます。パケット転送が完了すると、FSX 信号はインアクティブ状態に戻ります。

## 6.7 SPI スレーブとして機能する McBSP

図 6-7 に、スレーブとして使用する McBSP との SPI インターフェイスを示します。McBSP をスレーブとして設定する場合、DX は MISO 信号として使用され、DR は MOSI 信号として使用されます。

図 6-7 SPI スレーブとして機能する McBSP



スレーブとして McBSP を構成するために必要なレジスタ・ビット値を表 6-4 に一覧します。



表 6-4 SPI スレーブとして McBSP を構成するために必要なレジスタ・ビット値

必要なビット設定	説明
CLKSTP = 10b または 11b	クロック停止モード（クロック遅延あり、またはクロック遅延なし）を選択します。
CLKXP = 0 または 1	CLKX ピン上の CLKX の極性は、正（CLKXP = 0）または負（CLKXP = 1）です。
CLKRP = 0 または 1	CLKR ピン上の CLKR の極性は、正（CLKRP = 0）または負（CLKRP = 1）です。
CLKXM = 0	CLKX ピンは入力ピンなので、SPI マスタによってドライブできます。CLKSTP は 10b または 11b であるため、CLKR は CLKX によって内部的にドライブされます。
SCLKME = 0 CLKSM = 1	サンプル・レート・ジェネレータによって生成されるクロック（CLKG）は、McBSP 内部入力クロックから供給されず（サンプル・レート・ジェネレータは、McBSP を外部的に生成されたマスタ・クロックと同期するために使用されず）。
CLKGDV = 1	サンプル・レート・ジェネレータは、CLKG を生成する前に、McBSP 内部入力クロックを 2 分周します。
FSXM = 0	FSX ピンは入力ピンなので、SPI マスタによってドライブできます。
FSXP = 1	FSX ピンはアクティブ・ローです。
XDATDLY = 00b RDATDLY = 00b	SPI スレーブ動作を行うには、これらのビットを 0 にする必要があります。

McBSP を SPI スレーブとして使用すると、マスタ・クロックとスレーブ・イネーブル信号はマスタ・デバイスによって外部的に生成されます。それに応じて、CLKX ピンと FSX ピンを入力として設定する必要があります。CLKX ピンは CLKR 信号に内部的に接続されます。その結果、McBSP の送信回路と受信回路は外部マスタ・クロックによってクロックされます。FSX ピンもまた FSR 信号に内部的に接続されます。したがって、CLKR ピンと FSR ピンは外部接続の必要がありません。

CLKX 信号はマスタによって外部的に生成され、McBSP と同期されませんが、SPI スレーブとして正しく機能させるために、McBSP のサンプル・レート・ジェネレータをイネーブルにする必要があります。サンプル・レート・ジェネレータは、McBSP 内部入力クロック・レートの半分の最大レートにプログラミングする必要があります。内部サンプル・レート・クロックは、外部マスタ・クロックとスレーブ・イネーブル信号に McBSP ロジックを同期させるのに使用されます。

McBSP には、各転送の FSX 入力においてスレーブ・イネーブル信号のアクティブ・エッジが必要です。つまり、マスタ・デバイスは各転送の開始時にスレーブ・イネーブル信号をアサートし、各パケット転送の終了後にこの信号をディアサートする必要があります。スレーブ・イネーブル信号は転送間でアクティブのままにすることができません。

SPI のスレーブ動作を適切に行うには、McBSP のデータ遅延パラメータに 0 をセットする必要があります。クロック停止モードでは、1 または 2 は未定義です。

---

以下余白

# レシーバのコンフィグレーション

この章では、McBSP レシーバの構成方法について説明します。

項目	ページ
7.1 McBSP レシーバの構成.....	7-2
7.2 目的のレシーバ動作のための McBSP レジスタのプログラミング.....	7-3
7.3 レシーバのリセットとイネーブル.....	7-4
7.4 McBSP ピンとして動作するためのレシーバ・ピンのセット.....	7-6
7.5 デジタル・ループバック・モードのイネーブル/ディスエーブル.....	7-7
7.6 クロック停止モードのイネーブル/ディスエーブル.....	7-8
7.7 受信マルチチャネル選択モードのイネーブル/ディスエーブル.....	7-9
7.8 受信フレームに対する1つまたは2つのフェーズの選択.....	7-10
7.9 受信ワード長の設定.....	7-11
7.10 受信フレーム長の設定.....	7-13
7.11 受信フレーム同期の ignore 機能のイネーブル/ディスエーブル.....	7-15
7.12 受信圧伸モードの設定.....	7-16
7.13 受信データ遅延の設定.....	7-17
7.14 受信符号拡張と位置調整モードの設定.....	7-20
7.15 受信割り込みモードの設定.....	7-22
7.16 受信フレーム同期モードの設定.....	7-23
7.17 受信フレーム同期の極性の設定.....	7-25
7.18 SRG フレーム同期周期とパルス幅の設定.....	7-27
7.19 受信クロック・モードの設定.....	7-29
7.20 受信クロック極性の設定.....	7-31
7.21 SRG クロック分周値の設定.....	7-33
7.22 SRG クロック同期モードの設定.....	7-35
7.23 SRG クロック・モードの設定 (入力クロックの選択).....	7-36
7.24 SRG 入力クロック極性の設定.....	7-37

## 7.1 McBSP レシーバの構成

McBSP レシーバを構成するには、以下の 3 つのステップを実行する必要があります。

- 1) McBSP/ レシーバをリセット状態にします。
- 2) 目的のレシーバ動作を行うために McBSP レジスタをプログラミングします。
- 3) レシーバのリセットを解除します。

## 7.2 目的のレシーバ動作のための McBSP レジスタのプログラミング

McBSP レシーバを構成する際に実行する必要がある重要なタスク一覧を以下に示します。各タスクは、1 つまたは複数の McBSP レジスタ・ビット・フィールドに対応します。このタスク一覧に出てくる「SRG」は、「サンプル・レート・ジェネレータ」の略称です。

まず第 13 章の「McBSP レジスタ・ワークシート」を印刷してから、各タスクを参照しながら空欄のボックスに必要な情報を入力すると、作業を行いやすくなります。

### □ グローバル動作：

- McBSP ピンとして動作するためのレシーバ・ピンの設定
- デジタル・ループバック・モードのイネーブル/ディスエーブル
- クロック停止モードのイネーブル/ディスエーブル
- 受信マルチチャネル選択モードのイネーブル/ディスエーブル

### □ データ動作：

- 受信フレームに対する 1 つまたは 2 つのフェーズの選択
- 受信ワード長の設定
- 受信フレーム長の設定
- 受信フレーム同期の ignore 機能のイネーブル/ディスエーブル
- 受信圧伸モードの設定
- 受信データ遅延の設定
- 受信符号拡張と位置調整モードの設定
- 受信割り込みモードの設定

### □ フレーム同期動作：

- 受信フレーム同期モードの設定
- 受信フレーム同期の極性の設定
- SRG フレーム同期周期とパルス幅の設定

### □ クロック動作：

- 受信クロック・モードの設定
- 受信クロック極性の設定
- SRG クロック分周値の設定
- SRG クロック同期モードの設定
- SRG クロック・モードの設定 [ 入力クロックの選択 ]
- SRG 入力クロック極性の設定

### 7.3 レシーバのリセットとイネーブル

レシーバの構成手順の最初のステップではレシーバをリセットし、最後のステップではレシーバをイネーブル（リセットの解除）にします。図 7-1 と表 7-1 では、この両方のステップに使用するビットについて説明します。

図 7-1 McBSP レシーバをリセットまたはイネーブルにするために使用されるレジスタ・ビット

<b>SPCR1</b>			
15			0
			RRST
R/W-0			
<b>SPCR2</b>			
15	8	7	0
		FRST	GRST
R/W-0		R/W-0	

凡例： R = リード、W = ライト、-n = リセット後の値

表 7-1 McBSP レシーバをリセットまたはイネーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	0	RRST	レシーバのリセット
			RRST = 0 シリアル・ポート・レシーバをディスエーブルにし、リセット状態とします。 RRST = 1 シリアル・ポート・レシーバをイネーブルにします。
SPCR2	6	GRST	サンプル・レート・ジェネレータのリセット
			GRST = 0 サンプル・レート・ジェネレータをリセットします。 DSP リセットにより GRST = 0 にセットされる場合、CLKG は 2 分周された McBSP 内部入力クロックによってドライブされ、FSG は Low（インアクティブ）でドライブされます。プログラム・コードにより GRST = 0 にセットされる場合、CLKG と FSG は Low（インアクティブ）でドライブされます。 GRST = 1 サンプル・レート・ジェネレータをイネーブルにします。CLKG は、サンプル・レート・ジェネレータのレジスタ（SRGR[1,2]）でプログラミングした設定に従ってドライブされます。FRST = 1 の場合、サンプル・レート・ジェネレータはサンプル・レート・ジェネレータのレジスタでのプログラミングに従ってフレーム同期信号 FSG も生成します。
SPCR2	7	FRST	フレーム同期ロジックのリセット
			FRST = 0 フレーム同期ロジックをリセットします。GRST = 1 の場合でも、サンプル・レート・ジェネレータはフレーム同期信号 FSG を生成しません。 FRST = 1 GRST = 1 の場合、8 CLKG クロック・サイクル後にフレーム同期信号 FSG が生成され、すべてのフレーム・カウンタにはプログラミングした値がロードされます。

## 7.3.1 リセットに関する考慮事項

シリアル・ポートは、以下の2つの方法でリセットできます。

- 1) DSP リセット ( $\overline{\text{RESET}}$  信号が Low にドライブされる) は、レシーバ、トランスミッタ、サンプル・レート・ジェネレータをリセット状態にします。デバイス・リセットを解除する ( $\overline{\text{RESET}}$  信号が High にドライブされる) と、 $\text{GRST}=\text{FRST}=\text{RRST}=\text{XRST}=0$  にセットされ、シリアル・ポートがリセット状態に維持されます。
- 2) シリアル・ポート・トランスミッタとレシーバを直接リセットするには、シリアル・ポート制御レジスタの  $\text{RRST}$  と  $\text{XRST}$  ビットを使用します。サンプル・レート・ジェネレータを直接リセットするには、 $\text{SPCR2}$  の  $\text{GRST}$  ビットを使用します。

表 7-2 に、シリアル・ポートを DSP リセットによりリセットしたとき、あるいはレシーバまたはトランスミッタの直接リセットによりリセットしたときの  $\text{McBSP}$  ピンの状態を示します。

表 7-2 各  $\text{McBSP}$  ピンのリセット状態

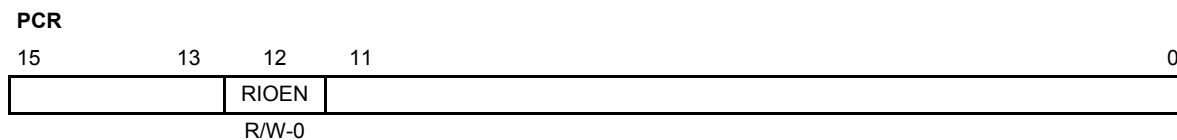
ピン	設定可能な状態	DSP リセットによって強制的に設定される状態	レシーバまたはトランスミッタ・リセットによって強制的に設定される状態
			レシーバのリセット ( $\text{RRST}=0$ と $\text{GRST}=1$ にセット)
DR	I	入力	入力
CLKR	I/O/Z	入力	入力の場合は既知の状態、出力の場合は $\text{CLKR}$ は動作中です。
FSR	I/O/Z	入力	入力の場合は既知の状態、出力の場合は $\text{FSRP}$ はインアクティブな状態です。
CLKS	I/O/Z	入力	入力
			トランスミッタのリセット ( $\text{XRST}=0$ と $\text{GRST}=1$ にセット)
DX	O/Z	ハイ・インピーダンス	ハイ・インピーダンス
CLKX	I/O/Z	入力	入力の場合は既知の状態、出力の場合は $\text{CLKX}$ は動作中です。
FSX	I/O/Z	入力	入力の場合は既知の状態、出力の場合は $\text{FSXP}$ はインアクティブな状態です。
CLKS	I	入力	入力

注： 「設定可能な状態」欄の「I」は入力、「O」は出力、「Z」はハイ・インピーダンスを示します。

## 7.4 McBSP ピンとして動作するためのレシーバ・ピンのセット

図 7-2 および表 7-3 で説明する RIOEN ビットは、レシーバ・ピンを McBSP ピンとして使用するか、または汎用 I/O ピンとして使用するかを決定します。

図 7-2 McBSP ピンとして動作するようにレシーバ・ピンをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-3 McBSP ピンとして動作するようにレシーバ・ピンをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	12	RIOEN	受信 I/O のイネーブル  このビットは、レシーバがリセット状態（SPCR1 で RRST = 0 にセット）のときのみ使用できます。  RIOEN = 0      DR、FSR、CLKR、CLKS の各ピンは、シリアル・ポート・ピンとして構成され、汎用 I/O ピンとしては機能しません。  RIOEN = 1      DR ピンは、汎用入力ピンです。FSR ピンと CLKR ピンは、汎用 I/O ピンです。これらのシリアル・ポート・ピンは、シリアル・ポート動作を行いません。RIOEN = XIOEN = 1 と RRST = XRST = 0 の場合、CLKS ピンは汎用入力ピンになります。



## 7.5 デジタル・ループバック・モードのイネーブル/ディスエーブル

DLB ビットは、デジタル・ループバック・モードがオンであるかどうかを決定します。図 7-3 に DLB を示し、表 7-4 で DLB について説明しています。

図 7-3 デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

SPCR1	
15	14
DLB	0

R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 7-4 デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能	
SPCR1	15	DLB	デジタル・ループバック・モード	
			DLB = 0	デジタル・ループバック・モードをディスエーブルにします。
			DLB = 1	デジタル・ループバック・モードをイネーブルにします。

### 7.5.1 デジタル・ループバック・モードについて

デジタル・ループバック・モードでは、受信信号は、マルチプレクサを介して表 7-5 に示す、対応する送信信号と内部的に接続しています。このモードでは、1つの DSP デバイスを使用してシリアル・ポート・コードをテストできます。テストでは、McBSP はこの DSP デバイスが送信するデータを受信します。

表 7-5 デジタル・ループバック・モードで送信信号と接続している受信信号

受信信号 ...	受信信号を内部的に供給する送信信号 ...
DR (受信データ)	DX (送信データ)
FSR (受信フレーム同期)	FSX (送信フレーム同期)
CLKR (受信クロック)	CLKX (送信クロック)

## 7.6 クロック停止モードのイネーブル/ディスエーブル

CLKSTP ビットは、クロック停止モードをオンにするかどうか、またクロック遅延を選択するかどうかを決定します。図 7-4 に CLKSTP を示し、表 7-6 で CLKSTP について説明しています。

図 7-4 クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

**SPCR1**

15	13 12	11 10	0
CLKSTP			
R/W-00			

凡例： R = リード、W = ライト、-n = リセット後の値

表 7-6 クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	12-11	CLKSTP	クロック停止モード CLKSTP = 0xb      クロック停止モードをディスエーブルにします。非 SPI モードでは、通常のクロッキングを行います。 CLKSTP = 10b      クロック停止モードをクロック遅延なしでイネーブルにします。 CLKSTP = 11b      クロック停止モードをクロック遅延ありでイネーブルにします。

### 7.6.1 クロック停止モードについて

クロック停止モードでは、SPI マスタ・スレーブ・プロトコルがサポートされていません。SPI プロトコルを使用しない場合は、CLKSTP をクリアして、クロック停止モードをディスエーブルにします。

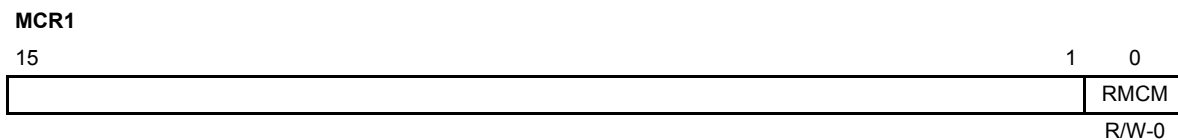
クロック停止モードでは、クロックは、各データ転送の終了時に停止し、各データ転送の開始時に、直ちに (CLKSTP = 10b) または2分の1クロック遅延後に (CLKSTP = 11b) 開始します。CLKXP ビットは、CLKX ピンのクロックの開始エッジを立ち上がりエッジにするか、または立ち下がりエッジにするかを決定します。CLKRP ビットは、受信データを CLKR ピン上のクロックの立ち上がりエッジでサンプリングするか、または立ち下がりエッジでサンプリングするかを決定します。

6-5 ページの表 6-2 は、CLKSTP、CLKXP、CLKRP のシリアル・ポート動作への影響をまとめたものです。ただし、クロック停止モードでは、受信クロックは送信クロックに内部的に接続され、受信フレーム同期信号は送信フレーム同期信号と内部的に接続されているので注意してください。

## 7.7 受信マルチチャネル選択モードのイネーブル/ディスエーブル

RMCM ビットは、受信マルチチャネル選択モードをオンにするかどうかを決定します。図 7-5 に RMCM を示し、表 7-7 で RMCM について説明しています。

図 7-5 受信マルチチャネル選択モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

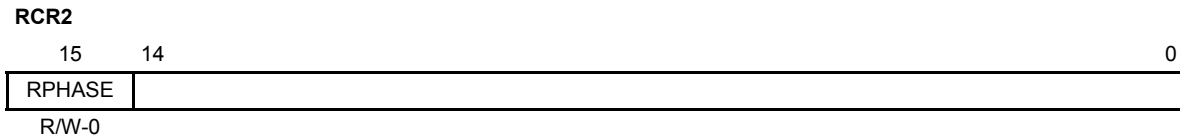
表 7-7 受信マルチチャネル選択モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
MCR1	0	RMCM	受信マルチチャネル選択モード
			RMCM = 0 受信マルチチャネル選択モードをディスエーブルにします。すべての 128 チャネルをイネーブルにします。
			RMCM = 1 受信マルチチャネル選択モードをイネーブルにします。チャネルは個別にイネーブルまたはディスエーブルにすることができます。イネーブルされるチャネルは、適切な受信チャネル・イネーブル・レジスタ (RCER) で選択されたチャネルのみになります。チャネルの RCER への割り当て方法は、RMCME ビットで定義された受信チャネル・パーティション数 (2 または 8) によって決まります。

## 7.8 受信フレームに対する1つまたは2つのフェーズの選択

RPHASE ビット (図 7-6 と表 7-8 を参照) は、受信データ・フレームに1つのフェーズを含めるか、または2つのフェーズを含めるかを決定します。

図 7-6 受信フレームに対して1つまたは2つのフェーズを選択するために使用されるレジスタ・ビット



凡例: R = リード、W = ライト、-n = リセット後の値

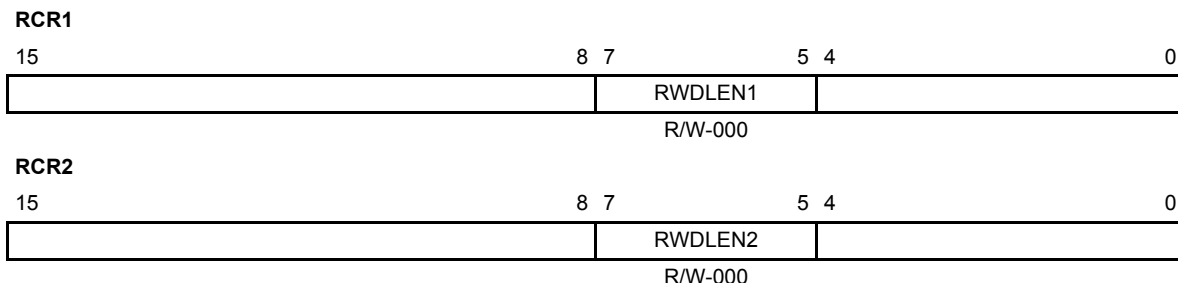
表 7-8 受信フレームに対して1つまたは2つのフェーズを選択するために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
RCR2	15	RPHASE	受信フェーズ数 受信フレームに1つのフェーズを含めるか、または2つのフェーズを含めるかを指定します。 RPHASE = 0      シングル・フェーズ・フレーム RPHASE = 1      デュアル・フェーズ・フレーム

## 7.9 受信ワード長の設定

RWDLEN1 と RWDLEN2 フィールド (図 7-7 と表 7-9 を参照) は、受信データ・フレームのフェーズ 1 とフェーズ 2 内の各シリアル・ワードのビット数を決定します。

図 7-7 受信ワード長をセットするために使用されるレジスタ・ビット



凡例: R = リード、W = ライト、-n = リセット後の値

表 7-9 受信ワード長をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
RCR1	7-5	RWDLEN1	受信ワード長 1
			受信フレームのフェーズ 1 のすべてのシリアル・ワード長を指定します。
			RWDLEN1 = 000      8 ビット
			RWDLEN1 = 001      12 ビット
			RWDLEN1 = 010      16 ビット
			RWDLEN1 = 011      20 ビット
			RWDLEN1 = 100      24 ビット
			RWDLEN1 = 101      32 ビット
			RWDLEN1 = 11X      予約
RCR2	7-5	RWDLEN2	受信ワード長 2
			デュアル・フェーズ・フレームを選択する場合、RWDLEN2 はフレームのフェーズ 2 内のすべてのシリアル・ワード長を指定します。
			RWDLEN2 = 000      8 ビット
			RWDLEN2 = 001      12 ビット
			RWDLEN2 = 010      16 ビット
			RWDLEN2 = 011      20 ビット
			RWDLEN2 = 100      24 ビット
			RWDLEN2 = 101      32 ビット
			RWDLEN2 = 11X      予約

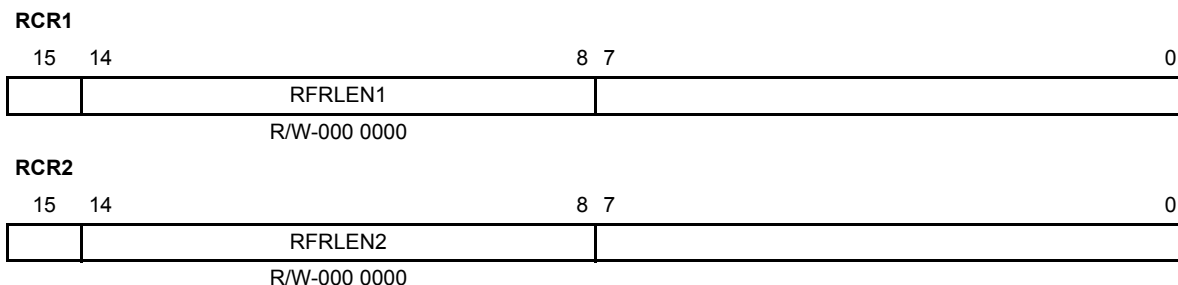
### 7.9.1 ワード長ビットについて

RPHASE ビットにロードする値によって、各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、RWDLEN1 はフレーム内で受信されたすべてのシリアル・ワード長を選択します。このとき RWDLEN2 は無視されます。デュアル・フェーズ・フレームを選択すると、RWDLEN1 はフレームのフェーズ 1 内のシリアル・ワード長を決定し、RWDLEN2 はフレームのフェーズ 2 のワード長を決定します。

## 7.10 受信フレーム長の設定

RFRLLEN1 と RFRLLEN2 ビット・フィールド（図 7-8 と表 7-10 を参照）は、受信データ・フレームのフェーズ 1 とフェーズ 2 内のシリアル・ワード数を決定します。

図 7-8 受信フレーム長をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-10 受信フレーム長をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
RCR1	14-8	RFRLLEN1	受信フレーム長 1 (RFRLLEN1 + 1) は、受信フレームのフェーズ 1 内のシリアル・ワード数です。 RFRLLEN1 = 000 0000 フェーズ 1 の 1 ワード RFRLLEN1 = 000 0001 フェーズ 1 の 2 ワード     RFRLLEN1 = 111 1111 フェーズ 1 の 128 ワード
RCR2	14-8	RFRLLEN2	受信フレーム長 2 デュアル・フェーズ・フレームを選択すると、(RFRLLEN2 + 1) は、受信フレームのフェーズ 2 内のシリアル・ワード数になります。シングル・フェーズ・フレームを選択すると、RFRLLEN2 は無視されます。 RFRLLEN2 = 000 0000 フェーズ 2 の 1 ワード RFRLLEN2 = 000 0001 フェーズ 2 の 2 ワード     RFRLLEN2 = 111 1111 フェーズ 2 の 128 ワード

### 7.10.1 選択するフレーム長について

受信フレーム長は、受信フレーム内のシリアル・ワード数になります。RPHASE ビットにロードする値によって、各フレームには 1 つまたは 2 つのフェーズを含めることができます。

シングル・フェーズ・フレームを選択すると (RPHASE = 0)、フレーム長はフェーズ 1 の長さになります。デュアル・フェーズ・フレームを選択すると (RPHASE = 1)、フレーム長はフェーズ 1 の長さにフェーズ 2 の長さを足したものになります。

7 ビットの RFRLLEN フィールドでは、フェーズあたり最大 128 ワードまで含めることができます。フレーム長の計算方法については、表 7-11 を参照してください。フレーム長は、ワード数または論理タイム・スロット数、またはフレーム同期パルス当たりのチャネル数に対応します。

注：RFRLLEN フィールドをプログラミングするには、 $[w \text{ minus } 1]$  を使用してします。ここでの  $w$  はフェーズ当たりのワード数を表します。たとえば、フェーズ 1 のフェーズ長を 128 ワードにする場合、RFRLLEN1 に 127 をロードします。

表 7-11 受信フレーム長の計算方法

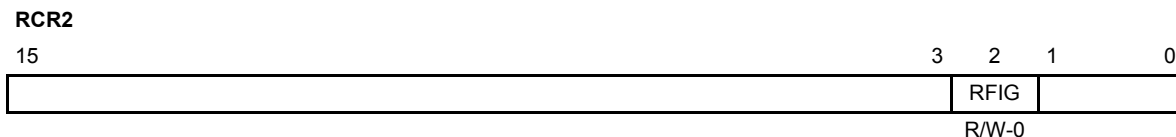
RPHASE	RFRLLEN1	RFRLLEN2	フレーム長
0	$0 \leq \text{RFRLLEN1} \leq 127$	Don't care (どちらでもよい)	$(\text{RFRLLEN1} + 1)$ ワード
1	$0 \leq \text{RFRLLEN1} \leq 127$	$0 \leq \text{RFRLLEN2} \leq 127$	$(\text{RFRLLEN1} + 1) + (\text{RFRLLEN2} + 1)$ ワード



## 7.11 受信フレーム同期の ignore 機能のイネーブル/ディスエーブル

RFIG ビット (図 7-9 と表 7-12 を参照) は、受信フレーム同期の ignore 機能を制御します。

図 7-9 受信フレーム同期の ignore 機能をイネーブル/ディスエーブルするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-12 受信フレーム同期の ignore 機能をイネーブル/ディスエーブルするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
RCR2	2	RFIG	受信フレーム同期の無視
			RFIG = 0 予期しない受信フレーム同期パルスが発生すると、McBSP はフレーム転送をリスタートします。
			RFIG = 1 McBSP は予期しない受信フレーム同期パルスを無視します。

### 7.11.1 予期しないフレーム同期パルスとフレーム同期の ignore 機能について

現在のフレームが完全に受信される前にフレーム同期パルスが新しいフレームの転送を開始すると、このパルスは予期しないフレーム同期パルスとして処理されます。

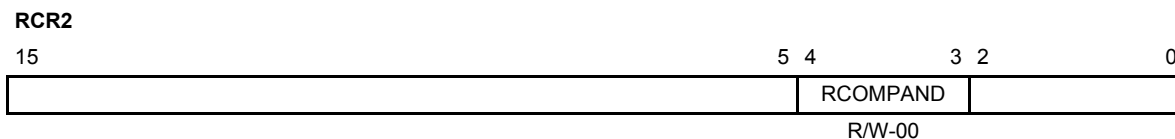
RFIG = 1 の場合、予期しないフレーム同期パルスを無視し、受信を継続します。

RFIG = 0 の場合、予期しない FSR パルスが発生すると、McBSP は RSR[1,2] の内容を破棄し、新しく受信データを受信します。

## 7.12 受信圧伸モードの設定

RCOMPAND ビット (図 7-10 と表 7-13 を参照) は、McBSP の受信に対して圧伸処理を行うか、または別のデータ転送オプションを選択するかを決定します。

図 7-10 受信圧伸モードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

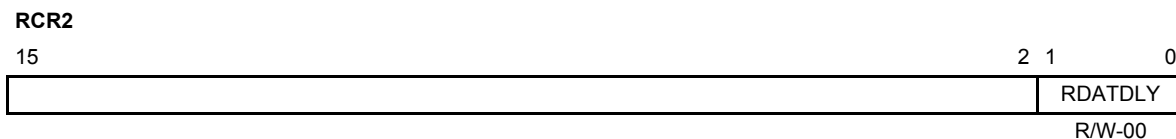
表 7-13 受信圧伸モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
RCR2	4-3	RCOMPAND	受信圧伸モード
			00b 以外のモードは、適切な RWDLEN が 000b、すなわち、8 ビット・データを示す場合にのみイネーブルになります。
		RCOMPAND = 00	圧伸しません。任意のサイズのデータ。MSB ファースト受信。
		RCOMPAND = 01	圧伸しません。8 ビット・データ。LSB ファースト受信 (詳細については、「LSB ファースト受信オプション」まで下にスクロールしてください)。
		RCOMPAND = 10	μ-law による圧伸を行います。8 ビット・データ。MSB ファースト受信。
		RCOMPAND = 11	A-law による圧伸を行います。8 ビット・データ。MSB ファースト受信。

## 7.13 受信データ遅延の設定

RDATDLY ビット（図 7-11 と表 7-14 を参照）は、受信フレームのデータ遅延の長さを決定します。

図 7-11 受信データ遅延をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-14 受信データ遅延をセットするために使用されるレジスタ・ビット

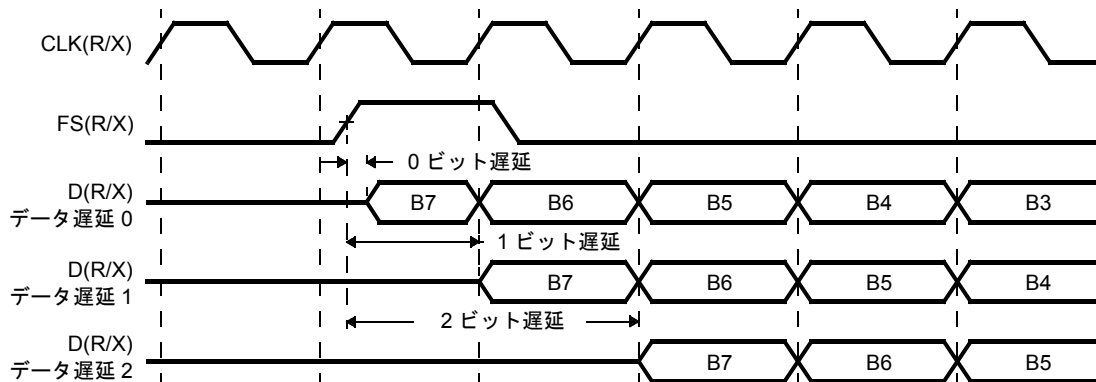
レジスタ	ビット	名前	機能
RCR2	1-0	RDATDLY	受信データ遅延
			RDATDLY = 00    0 ビット・データ遅延
			RDATDLY = 01    1 ビット・データ遅延
			RDATDLY = 10    2 ビット・データ遅延
			RDATDLY = 11    予約

### 7.13.1 データ遅延について

フレームの開始は、フレーム同期がアクティブである最初のクロック・サイクルによって定義されます。フレームの開始に対して、実際のデータ受信または送信の開始時期を必要に応じて遅延させることができます。この遅延をデータ遅延と呼びます。

RDATDLY は、受信の際のデータ遅延を指定します。図 7-12 および表 7-14 で説明するように、プログラム可能なデータ遅延の範囲は 0 ~ 2 のビット・クロック (RDATDLY = 00b-10b) になります。この図では、転送されるデータは、B7、B6、B5 などのビットを持つ 8 ビット値です。データは 1 サイクルのアクティブ・フレーム同期パルスの後に転送されることが多いため、通常は 1 ビット遅延を選択します。

図 7-12 プログラマブルなデータ遅延の範囲



### 7.13.2 0 ビット・データ遅延

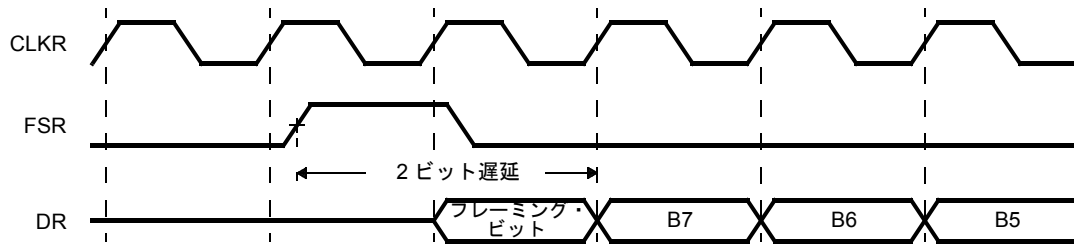
通常、フレーム同期パルスは、内部シリアル・クロック CLK(R/X) のエッジで検出またはサンプリングされます。したがって、次のサイクルまたはそれ以降のサイクル（データ遅延値によって決定される）で、データが受信または送信される場合があります。ただし、0 ビット・データ遅延の場合、データは、同じシリアル・クロック・サイクルで受信または送信、あるいはその両方に対してレディ状態でなければなりません。

受信データは、アクティブ・ハイの内部 FSR が検出される CLKR の最初の立ち下がりがエッジでサンプリングされるため、受信についてはこの問題は解決されます。しかし、データ送信は、フレーム同期を生成した内部 CLKX の立ち上がりエッジで開始する必要があります。したがって、最初のデータ・ビットは XSR1 内、つまり DX 上に存在すると見なされ、トランスミッタはアクティブ・ハイに移行するフレーム同期信号（FSX）を非同期に検出し、DX ピンに送信されるべき最初のビットのドライブを直ちに開始します。

### 7.13.3 2 ビット・データ遅延

2 ビット周期のデータ遅延を設定すると、シリアル・ポートは、データ・ストリームの前にフレーミング・ビットが存在するさまざまなタイプの T1 フレーミング・デバイスとインターフェイスすることができます。2 ビット・データ遅延によるこのようなストリーム（フレーミング・ビットが 1 ビット遅延の後に転送され、データが 2 ビット遅延の後に転送されるストリーム）を受信している間、シリアル・ポートはフレーミング・ビットをデータ・ストリームから破棄します（図 7-13 を参照）。この図では、転送されたデータは、B7、B6、B5 などのビットを持つ 8 ビット値になります。

図7-13 フレーミング・ビットをスキップするために使用される2ビット・データ遅延



## 7.14 受信符号拡張と位置調整モードの設定

RJUST ビット (図 7-14 と表 7-15 を参照) は、McBSP によって受信されたデータを符号拡張するか、またどのように位置調整するかを決定します。

図 7-14 受信符号拡張モードと位置調整モードをセットするために使用されるレジスタ・ビット

**SPCR1**

15	14	13	12	0
RJUST				
R/W-00				

凡例： R = リード、W = ライト、-n = リセット後の値

表 7-15 受信符号拡張モードと位置調整モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	14-13	RJUST	受信符号拡張モードと位置調整モード
		RJUST = 00	DRR[1,2] でデータを右詰めし、MSB をゼロ・フィルします。
		RJUST = 01	DRR[1,2] でデータを右詰めし、そのデータを MSB に符号拡張します。
		RJUST = 10	DRR[1,2] でデータを左詰めし、LSB をゼロ・フィルします。
		RJUST = 11	予約

### 7.14.1 符号拡張と位置調整について

SPCR1 の RJUST は、RBR[1,2] 内のデータを DRR[1,2] 内で (MSB について) 右詰めするか、または左詰めするかを選択し、また DRR[1,2] 内の未使用のビットについて、ゼロまたは符号ビットでフィルするかを選択します。

表 7-16 と表 7-17 は、各種 RJUST 値の効果を示しています。最初の表は、12 ビットの受信データ値 0xABC への効果の例を示しています。2 番目の表は、20 ビットの受信データ値 0xABCDE への効果の例を示しています。

表 7-16 例：12 ビット・データ値 0xABC による RJUST フィールドの使用

RJUST	位置調整	拡張	DRR2 内の値	DRR1 内の値
00b	右詰め	MSB のゼロ・フィル	0000h	0ABCh
01b	右詰め	MSB へのデータの符号拡張	FFFFh	FABCh
10b	左詰め	LSB のゼロ・フィル	0000h	ABC0h
11b	予約	予約	予約	予約

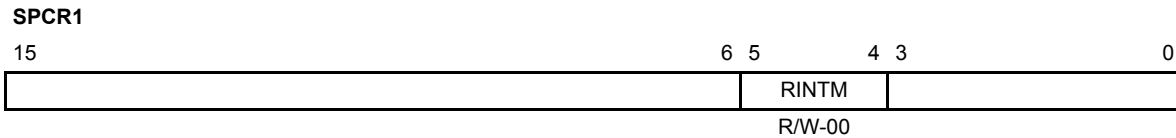
表 7-17 例 : 20 ビット・データ値 0xABCDE による RJUST フィールドの使用

RJUST	位置調整	拡張	DRR2 内の値	DRR1 内の値
00b	右詰め	MSB のゼロ・フィル	000Ah	BCDEh
01b	右詰め	MSB へのデータの符号拡張	FFFAh	BCDEh
10b	左詰め	LSB のゼロ・フィル	ABCDh	E000h
11b	予約	予約	予約	予約

## 7.15 受信割り込みモードの設定

RINTM ビット（図 7-15 と表 7-18 を参照）は、イベントが CPU に対して受信割り込みリクエストを生成するかどうかを決定します。

図 7-15 受信割り込みモードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-18 受信割り込みモードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	5-4	RINTM	受信割り込みモード
		RINTM = 00	RRDY が 0 から 1 に変化したときに生成される RINT
		RINTM = 01	受信マルチチャンネル選択モードのエンド・オブ・ブロック状態またはエンド・オブ・フレーム状態によって生成される RINT
		RINTM = 10	新しい受信フレーム同期パルスによって生成される RINT
		RINTM = 11	RSYNCERR がセットされたときに生成される RINT

### 7.15.1 受信割り込みと関連モードについて

受信割り込み（RINT）は、シリアル・ポート状態の変化を知らせる信号を CPU に送ります。この割り込みを構成するオプションは 4 つあります。これらのオプションは、SPCR1 の受信割り込みモード・ビット RINTM でセットします。

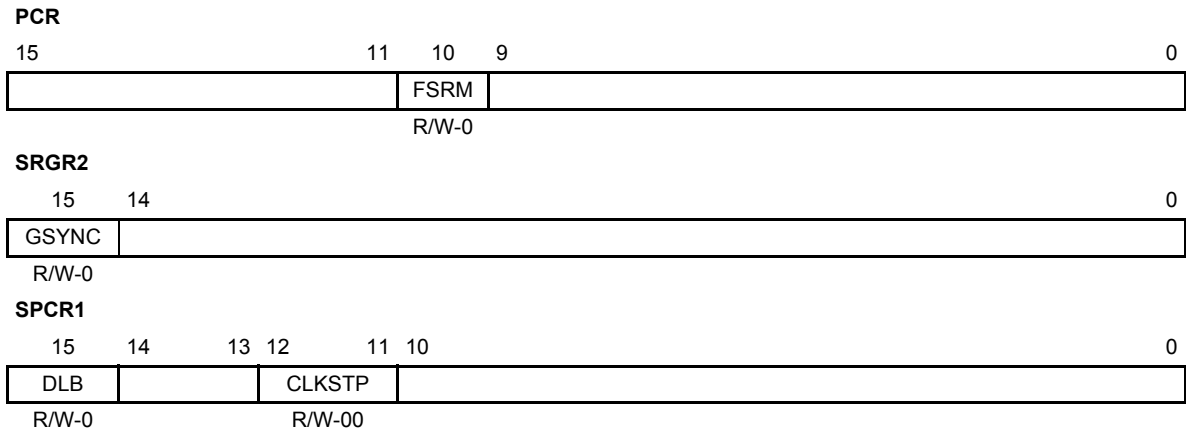
- RINTM = 00b。SPCR1 の RRDY ビットを追跡して、すべてのシリアル・ワード上で割り込みを生成します。RINTM の値に関係なく、RRDY = 1 の状態を検出するために RRDY をリードできることに注意してください。
- RINTM = 01b。マルチチャンネル選択モードでは、フレーム内で 16 チャンネル・ブロック境界を越えるたびに、またはフレームの最後に割り込みを生成します。他のシリアル転送の場合、この設定は適用されません。そのため割り込みは生成されません。
- RINTM = 10b。受信フレーム同期パルスを検出したときに割り込みます。レシーバがリセット状態のときも割り込みが生成されます。入ってきたフレーム同期パルスを McBSP 内部入力クロックに同期させ、RINT を介して CPU に送信することにより実行されます。
- RINTM = 11b。フレーム同期エラーの発生時に割り込みます。RINTM の値に関係なく、この状態を検出するために RSYNCERR をリードできることに注意してください。



## 7.16 受信フレーム同期モードの設定

図 7-16 および表 7-19 で説明するビットは、受信フレーム同期のソースと FSR ピンの機能を決定します。

図 7-16 受信フレーム同期モードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-19 受信フレーム同期モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	10	FSRM	受信フレーム同期モード
			FSRM = 0 受信フレーム同期が FSR ピンを介して外部ソースによって供給されます。 FSRM = 1 受信フレーム同期がサンプル・レート・ジェネレータによって供給されます。SRGR2 で GSYNC = 1 にセットしている場合以外は、FSR は内部 FSR を反映する出力ピンです。
SRGR2	15	GSYNC†	サンプル・レート・ジェネレータ・クロック同期モード
			サンプル・レート・ジェネレータが CLKS ピンまたは CLKR ピン上の外部入カクロックから生成されるフレーム同期信号 (FSG) を生成する場合、GSYNC ビットは、FSG が FSR ピン上のパルスとの同期を維持するかどうかを決定します。
			GSYNC = 0 クロック同期を使用しません。CLKG は調整なしで発振し、FSG は (FPER + 1) CLKG サイクルごとにパルスを生成します。 GSYNC = 1 クロック同期を使用します。FSR ピンでパルスが検出されると、以下が行われます。 CLKG は、CLKS ピンまたは CLKR ピン上の入カクロックと同期するように、必要に応じて調整されます。 FSG はパルスを生成します。 FSR ピン上のパルスにตอบสนองしてパルスを生成するのは、FSG のみです。FPER で定義されたフレーム同期周期は無視されません。
SPCR1	15	DLB	デジタル・ループバック・モード
			DLB = 0 デジタル・ループバック・モードをディスエーブルにします。 DLB = 1 デジタル・ループバック・モードをイネーブルにします。受信フレーム同期信号などの受信信号は、対応する送信信号にマルチプレクサを介して内部的に接続されます。
SPCR1	12-11	CLKSTP	クロック停止モード
			CLKSTP = 0xb クロック停止モードをディスエーブルにします。非 SPI モードで、通常のクロッキングを行います。

† GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

表 7-19 受信フレーム同期モードをセットするために使用されるレジスタ・ビット (続き)

レジスタ	ビット	名前	機能
		CLKSTP = 10b	クロック停止モードをクロック遅延なしで、イネーブルにします。内部受信クロック信号 (CLKR) と内部受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されます。
		CLKSTP = 11b	クロック停止モードをクロック遅延ありで、イネーブルにします。内部受信クロック信号 (CLKR) と内部受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されます。

† GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

### 7.16.1 受信フレーム同期モードについて

表 7-20 は、受信フレーム同期信号を供給する各種のソースの選択方法と、FSR ピンへの影響を示しています。FSR ピン上の信号の極性は、FSRP ビットによって決定されます。

デジタル・ループバック・モード (DLB = 1) では、送信フレーム同期信号は受信フレーム同期信号として使用されることに注意してください。

また、クロック停止モードでは、内部受信クロック信号 (CLKR) と内部受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されます。

表 7-20 受信フレーム同期信号を供給するソースの選択と FSR ピンへの影響

DLB	FSRM	GSYNC†	受信フレーム同期のソース	FSR ピンの状態
0	0	0 または 1	外部フレーム同期信号は FSR ピンを介して McBSP に入ります。その後、この信号は内部 FSR として使用される前に FSRP による決定に従って反転します。	入力
0	1	0	内部 FSR は、サンプル・レート・ジェネレータのフレーム同期信号 (FSG) によってドライブされます。	出力。FSG は、FSR ピン上でドライブされる前に FSRP での決定に従って反転します。
0	1	1	内部 FSR は、サンプル・レート・ジェネレータのフレーム同期信号 (FSG) によってドライブされます。	入力。FSR ピン上の外部フレーム同期入力は、CLKG を同期させ、FSG パルスを生成するために使用されます。
1	0	0	内部 FSX は内部 FSR をドライブします。	ハイ・インピーダンス
1	0 または 1	1	内部 FSX は内部 FSR をドライブします。	入力。サンプル・レート・ジェネレータが動作している場合、外部 FSR は、CLKG を同期させ、FSG パルスを生成するために使用されます。
1	1	0	内部 FSX は内部 FSR をドライブします。	出力。受信 (送信と同様) フレーム同期は、FSR ピン上でドライブされる前に FSRP での決定に従って反転します。

† GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

## 7.17 受信フレーム同期の極性の設定

FSRP ビット (図 7-17 と表 7-21 を参照) は、フレーム同期パルスを FSR ピン上でアクティブ・ハイにするか、またはアクティブ・ローにするかを決定します。

図 7-17 受信フレーム同期の極性をセットするために使用されるレジスタ・ビット

PCR	
15	3 2 1 0
FSRP	
R/W-0	

凡例: R = リード、W = ライト、-n = リセット後の値

表 7-21 受信フレーム同期の極性をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	2	FSRP	受信フレーム同期の極性 FSRP = 0 フレーム同期パルス FSR をアクティブ・ハイにします。 FSRP = 1 フレーム同期パルス FSR をアクティブ・ローにします。

### 7.17.1 フレーム同期パルス、クロック信号、およびその極性について

受信フレーム同期パルスは、サンプル・レート・ジェネレータによって内部的に生成されるか、外部ソースによってドライブされます。フレーム同期のソースは、PCR のモード・ビットである FSRM をプログラミングすることで選択します。また、FSR は SRGR2 の GSYNC ビットによって影響を受けます。同様に、PCR のモード・ビットである CLKRM をプログラミングすることで、受信クロックを入力または出力するように選択できます。

FSR と FSX を入力 (FSXM = FSRM = 0、外部フレーム同期パルス) にすると、McBSP は内部 CLKR と内部 CLKX それぞれのクロックの内部立ち上がりエッジでこれらを検出します。また、DR ピンに到着する受信データも、内部 CLKR の立ち上がりエッジでサンプリングされます。これらの内部クロック信号は、外部ソースから CLK (R/X) ピンを介して供給されるか、McBSP 内部のサンプル・レート・ジェネレータのクロック (CLKG) によってドライブされます。

FSR と FSX を出力にすると、これらの出力はサンプル・レート・ジェネレータによってドライブされることになり、このときこれらの出力は、内部クロック CLK (R/X) の立ち上がりエッジで生成され、アクティブ状態になります。同様に、DX ピン上のデータは内部 CLKX の立ち上がりエッジで出力されます。

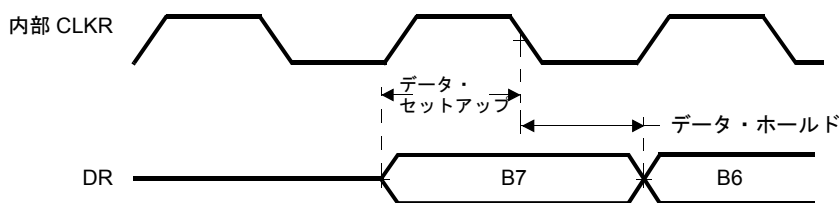
ピン制御レジスタ (PCR) 内の FSRP、FSXP、CLKRP、CLKXP は、それぞれ FSR、FSX、CLKR、CLKX の信号の極性を制御します。シリアル・ポート内部のすべてのフレーム同期信号 (内部 FSR、内部 FSX) は、アクティブ・ハイになります。外部フレーム同期に対してシリアル・ポートを設定し (FSR/FSX を McBSP に対して入力)、FSRP = FSXP = 1 にセットすると、外部のアクティブ・ローのフレーム同期信号は、レシーバ (内部 FSR) とトランスミッタ (内部 FSX) に送られる前に反転されます。同様に、内部同期を選択 (FSR/FSX を出力ピンにし、GSYNC = 0 にセットする) し、極性ビット FS(R/X)P を 1 にセットすると、内部のアクティブ・ハイのフレーム同期信号は FS (R/X) ピンに送られる前に反転します。

送信側では、送信クロック極性ビットの CLKXP は、送信データをシフトし、クロックアウトするために使用されるエッジをセットします。ただし、データは、常に内部 CLKX の立ち上がりエッジで送信されるので注意してください。CLKXP = 1 にセットし、外部クロッキングを選択する (CLKXM = 0 にセットし、CLKX を入力にする) と、CLKX 上の外部の立ち上がりエッジでトリガされる入力クロックは、トランスミッタに送られる前に立ち上がりエッジでトリガされるクロックに反転します。CLKXP = 1 にセットし、内部クロッキングを選択する (CLKXM = 1 にセットし、CLKX を出力ピンにする) と、内部の立ち上がりエッジでトリガされるクロック (内部 CLKX) は、CLKX ピンに送られる前に反転します。

同様に、レシーバは、トランスミッタによって立ち上がりエッジのクロックを使ってクロックされたデータを確実にサンプリングできます。受信クロック極性ビットの CLKRP は、受信されたデータをサンプリングするために使用されるエッジを設定します。ただし、受信データは常に内部 CLKR の立ち下がりエッジでサンプリングされるので注意してください。したがって、CLKRP = 1 にセットし、外部クロッキングを選択する (CLKRM = 0 にセットし、CLKR を入力ピンにする) と、外部の立ち上がりエッジでトリガされる CLKR 上の入力クロックは、レシーバに送られる前に立ち下がりエッジでトリガされるクロックに反転します。CLKRP = 1 にセットし、内部クロッキングを選択する (CLKRM = 1) と、内部の立ち下がりエッジでトリガされるクロックは、CLKR ピン上で送信される前に立ち上がりエッジでトリガされるクロックに反転します。

ただし、レシーバとトランスミッタをクロックするために同じクロック (内部または外部) を使用するシステムでは、CLKRP = CLKXP になることに注意してください。レシーバは、トランスミッタとは反対のエッジを使用して、このエッジ近傍のデータのセットアップおよびホールドを確実にします。図 7-18 は、立ち上がりエッジを使用して外部のシリアル・デバイスによってクロックされたデータが、同じクロックの立ち下がりエッジで McBSP レシーバによってどのようにサンプリングできるかを示しています。

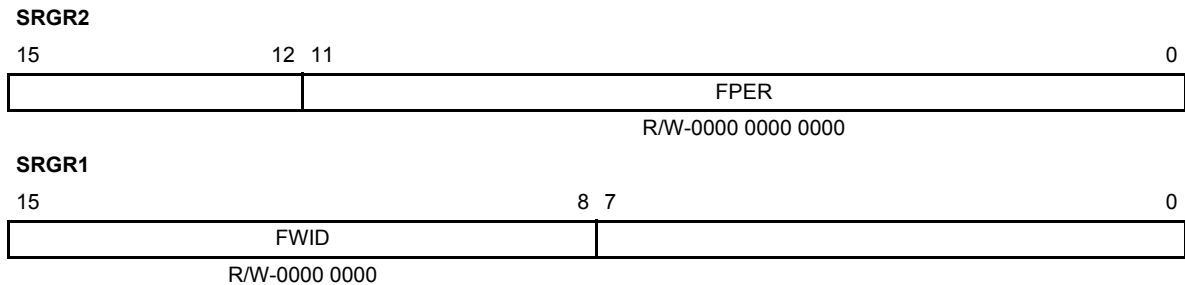
図 7-18 立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ



## 7.18 SRG フレーム同期周期とパルス幅の設定

図 7-19 および表 7-22 で説明する FPER フィールドと FWID フィールドは、SRG フレーム同期周期とパルス幅をセットするために使用します。

図 7-19 SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-22 SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SRGR2	11-0	FPER	サンプル・レート・ジェネレータのフレーム同期周期 フレーム同期信号 FSG の場合、(FPER + 1) は、フレーム同期パルスの開始から次のフレーム同期パルスの開始までの周期を決定します。 (FPER + 1) の範囲：            1 ~ 4096 CLKG サイクル
SRGR1	15-8	FWID	サンプル・レート・ジェネレータのフレーム同期パルス幅 このフィールドに1を加算した値が、FSG上の各フレーム同期パルス幅を決定します。 (FWID + 1) の範囲：            1 ~ 256 CLKG サイクル

### 7.18.1 フレーム同期周期とフレーム同期パルス幅について

サンプル・レート・ジェネレータは、クロック信号 CLKG と、フレーム同期信号 FSG を生成します。サンプル・レート・ジェネレータによって受信または送信フレーム同期が供給される場合、ビット・フィールド FPER と FWID をプログラミングする必要があります。

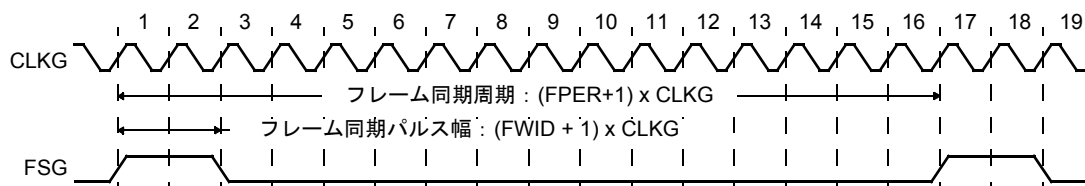
FSG では、フレーム同期パルスの開始から次のパルスの開始までの周期は  $(FPER + 1)$  CLKG サイクルになります。12 ビットの FPER で 1 ~ 4096 CLKG サイクルのフレーム同期周期が可能になり、これによりフレーム当たり最大 4096 のデータ・ビットが可能になります。GSYNC = 1 の場合には、FPER は don't care 値です。

FSG の各パルスの幅は、 $(FWID + 1)$  CLKG サイクルになります。8 ビットの FWID でパルスの幅は 1 ~ 256 CLKG サイクルにすることができます。FWID の値は、プログラミングしたワード長より小さな値にすることを推奨します。

FPER と FWID の値は、別々のダウンカウンタにロードされます。12 ビットの FPER カウンタは、生成されたクロック・サイクルをプログラミングした値（最大 4095）から 0 へと減算します。8 ビットの FWID カウンタは、プログラミングした値（最大 255）から 0 へと減算します。

図 7-20 は、16 CLKG 周期 ( $FPER = 15$  または 00001111b) のフレーム同期周期と、2 CLKG 周期 ( $FWID = 1$ ) のアクティブ幅を持つフレーム同期パルスを示しています。

図 7-20 16 CLKG 周期のフレーム同期周期と 2 CLKG 周期のアクティブ幅



サンプル・レート・ジェネレータのリセットを解除すると、FSG は非アクティブ状態になります。その後、FRST = 1 と FSGM = 1 にセットすると、フレーム同期パルスが生成されます。フレーム幅値  $(FWID + 1)$  は、FSG が Low になった時点で、0 になるまで CLKG サイクルごとに減算されます。同時に、フレーム周期値  $(FPER + 1)$  も減算され、この値が 0 に達すると、FSG は High になり、新しいフレームであることを示します。

## 7.19 受信クロック・モードの設定

図 7-21 および表 7-23 で説明するビットは、受信クロックのソースと CLKR ピンの機能を決定します。

図 7-21 受信クロック・モードをセットするために使用されるレジスタ・ビット

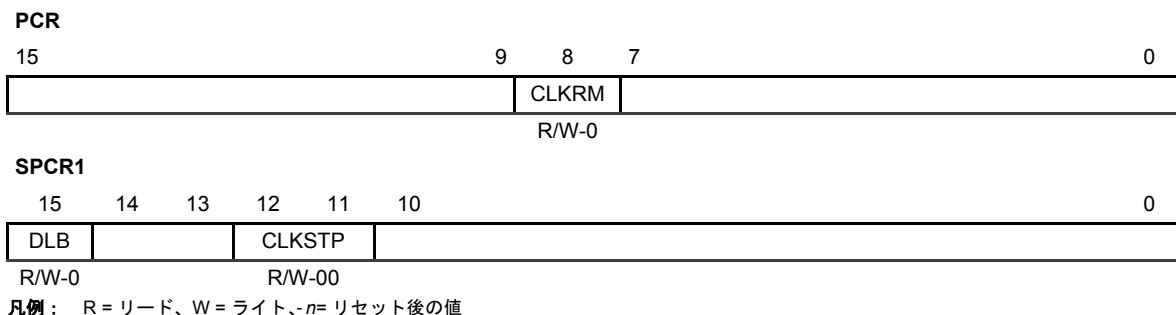


表 7-23 受信クロック・モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	8	CLKRM	受信クロック・モード
			ケース 1: SPCR1 のデジタル・ループバック・モードがセットされていない (DLB = 0)。 CLKRM = 0      CLKR ピンは、内部受信クロック (CLKR) を供給する入力ピンです。
			CLKRM = 1      内部 CLKR は、McBSP にサンプル・レート・ジェネレータによってドライブされます。CLKR ピンは、内部 CLKR を反映する出力ピンです。
			ケース 2: SPCR1 のデジタル・ループバック・モードがセットされている (DLB = 1)。 CLKRM = 0      CLKR ピンは、ハイ・インピーダンス状態になります。内部受信クロック (CLKR) は、内部送信クロック (CLKX) によってドライブされます。内部 CLKX は PCR の CLKXM ビットに従って供給されます。 CLKRM = 1      内部 CLKR は内部 CLKX によってドライブされます。CLKR ピンは、内部 CLKR を反映する出力ピンです。内部 CLKX は PCR の CLKXM ビットに従って供給されます。
SPCR1	15	DLB	デジタル・ループバック・モード
			DLB = 0      デジタル・ループバック・モードをディスエーブルにします。
			DLB = 1      デジタル・ループバック・モードをイネーブルにします。受信フレーム同期信号などの受信信号は、対応する送信信号にマルチプレクサを介して内部的に接続されます。
SPCR1	12-11	CLKSTP	クロック停止モード
			CLKSTP = 0xb      クロック停止モードをディスエーブルにします。非 SPI モードで通常のクロッキングを行います。
			CLKSTP = 10b      クロック停止モードをクロック遅延なしでイネーブルにします。内部受信クロック信号 (CLKR) と内部受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されます。
			CLKSTP = 11b      クロック停止モードをクロック遅延ありでイネーブルにします。内部受信クロック信号 (CLKR) と内部受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されます。

## 7.19.1 受信クロックのソースと、CLKR ピンのデータ方向の選択

表 7-24 は、受信クロック信号を供給する各種ソースの選択方法と、CLKR ピンへの影響を示しています。CLKR ピン上の信号の極性は、CLKRP ビットによって決定されます。

ただし、デジタル・ループバック・モード (DLB = 1) では、送信クロック信号は受信クロック信号としても使用されます。

また、クロック停止モードでは、内部受信クロック信号 (CLKR) と内部受信フレーム同期信号 (FSR) は、対応する送信クロック信号 (CLKX) と送信フレーム同期信号 (FSX) に内部的に接続されます。

表 7-24 受信クロック信号を供給するソースの選択と CLKR ピンへの影響

SPCR1 の DLB	PCR の CLKRM	受信クロックのソース	CLKR ピンの状態
0	0	CLKR ピンは、外部クロックによってドライブされる入力です。外部クロック信号は、使用される前に CLKRP による決定に従って反転されます。	入力
0	1	サンプル・レート・ジェネレータのクロック (CLKG) は内部 CLKR をドライブします。	出力。CLKRP による決定に従って反転した CLKG は、CLKR ピン上でドライブアウトされます。
1	0	内部 CLKX は内部 CLKR をドライブします。CLKX の構成の詳細については、第 8 章「トランスミッタのコンフィグレーション」を参照してください。	ハイ・インピーダンス
1	1	内部 CLKX は内部 CLKR をドライブします。CLKX の構成の詳細については、第 8 章「トランスミッタのコンフィグレーション」を参照してください。	出力。内部 CLKR (内部 CLKX と同じ) は、CLKR ピン上でドライブ・アウトされる前に、CLKRP による決定に従って反転されます。



## 7.20 受信クロック極性の設定

CLKRP ビット（図 7-22 と表 7-25 を参照）は、受信クロック極性を決定します。

図 7-22 受信クロック極性をセットするために使用されるレジスタ・ビット

PCR		1	0
15			
			CLKRP
R/W-0			

凡例： R = リード、W = ライト、-n = リセット後の値

表 7-25 受信クロック極性をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	0	CLKRP	受信クロック極性
			CLKRP = 0 CLKR を入力として設定すると、外部 CLKR は内部的に使用される前に反転しません。 CLKR を出力として設定すると、内部 CLKR は CLKR ピン上でドライブする前に反転しません。 受信データは、外部 CLKR 信号の立ち下がりエッジでサンプリングされます。
			CLKRP = 1 CLKR を入力として設定すると、外部 CLKR は内部的に使用される前に反転します。 CLKR を出力として設定すると、内部 CLKR は CLKR ピン上でドライブする前に反転します。 受信データは、外部 CLKR 信号の立ち上がりエッジでサンプリングされます。

### 7.20.1 フレーム同期パルス、クロック信号、およびその極性について

受信フレーム同期パルスは、サンプル・レート・ジェネレータによって内部的に生成されるか、外部ソースによってドライブされます。フレーム同期のソースは、PCR のモード・ビットである FSRM をプログラミングすることで選択します。また、FSR は SRGR2 の GSYNC ビットによって影響を受けます。同様に、PCR のモード・ビットである CLKRM をプログラミングすることで、受信クロックを入力または出力にするように選択できます。

FSR と FSX を入力 (FSXM = FSRM = 0、外部フレーム同期パルス) にすると、McBSP は内部 CLKR と内部 CLKX それぞれのクロックの内部立ち下がりエッジでこれらを検出します。また、DR ピンに到着する受信データも、内部 CLKR の立ち下がりエッジでサンプリングされます。これらの内部クロック信号は、外部ソースから CLK (R/X) を介して供給されるか、McBSP 内部のサンプル・レート・ジェネレータのクロック (CLKG) によってドライブされます。

FSR と FSX を出力にすると、これらの出力はサンプル・レート・ジェネレータによってドライブされることになり、このときこれらの出力は、内部クロック CLK (R/X) の立ち上がりエッジで生成され、アクティブ状態になります。同様に、DX ピン上のデータは内部 CLKX の立ち上がりエッジで出力されます。

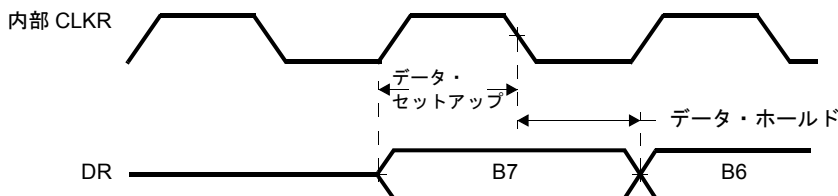
ピン制御レジスタ (PCR) 内の FSRP、FSXP、CLKRP、CLKXP は、それぞれ FSR、FSX、CLKR、CLKX の信号の極性を制御します。シリアル・ポート内部のすべてのフレーム同期信号 (内部 FSR、内部 FSX) は、アクティブ・ハイになります。外部フレーム同期に対してシリアル・ポートを設定し (FSR/FSX は McBSP に対して入力)、FSRP = FSXP = 1 にセットすると、外部のアクティブ・ローのフレーム同期信号は、レシーバ (内部 FSR) とトランスミッタ (内部 FSX) に送られる前に反転します。同様に、内部同期を選択 (FSR/FSX を出力ピンにし、GSYNC = 0 にセットする) し、極性ビット FS(R/X)P を 1 にセットすると、内部のアクティブ・ハイ同期信号は FS (R/X) ピンに送信される前に反転します。

送信側では、送信クロック極性ビットの CLKXP は、送信データをシフトし、クロックアウトするために使用されるエッジをセットします。ただし、データは、常に内部 CLKX の立ち上がりエッジで送信されることに注意してください。CLKXP = 1 にセットし、外部クロッキングを選択する (CLKXM = 0 にセットし、CLKX を入力にする) と、CLKX 上の外部の立ち下がりエッジでトリガされる入力クロックは、トランスミッタに送られる前に立ち上がりエッジでトリガされるクロックに反転します。CLKXP = 1 にセットし、内部クロッキングを選択する (CLKXM = 1 にセットし、CLKX を出力ピンにする) と、内部の (立ち上がりエッジでトリガされる) クロックである内部 CLKX は、CLKX ピンに送られる前に反転します。

同様に、レシーバは、トランスミッタによって立ち上がりエッジのクロックを使ってクロックされたデータを確実にサンプリングできます。受信クロック極性ビットの CLKRP は、受信されたデータをサンプリングするために使用されるエッジを設定します。ただし、受信データは常に内部 CLKR の立ち下がりエッジでサンプリングされるので注意してください。したがって、CLKRP = 1 にセットし、外部クロッキングを選択する (CLKRM = 0 にセットし、CLKR を入力ピンにする) と、外部の立ち上がりエッジでトリガされる CLKR 上の入力クロックは、レシーバに送られる前に立ち下がりエッジでトリガされるクロックに反転します。CLKRP = 1 にセットし、内部クロッキングを選択する (CLKRM = 1) と、内部の立ち下がりエッジでトリガされるクロックは、CLKR ピンに送信される前に立ち上がりエッジでトリガされるクロックに反転します。

ただし、レシーバとトランスミッタをクロックするために同じクロック (内部または外部) を使用するシステムでは、CLKRP = CLKXP になるので注意してください。レシーバは、トランスミッタとは反対のエッジを使用して、このエッジ近傍のデータのセットアップおよびホールドを確実にします。図 7-23 は、立ち上がりエッジを使用して外部のシリアル・デバイスによってクロックされたデータが、同じクロックの立ち下がりエッジで McBSP レシーバによってどのようにサンプリングできるかを示しています。

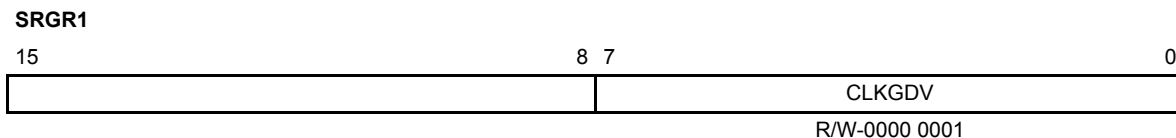
図 7-23 立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ



## 7.21 SRG クロック分周値の設定

CLKGDV フィールド (図 7-24 と表 7-26 を参照) には、SRG クロック分周値が含まれています。

図 7-24 サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために使用されるレジスタ・ビット



凡例: R = リード、W = ライト、-n = リセット後の値

表 7-26 サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SRGR1	7-0	CLKGDV	<p>サンプル・レート・ジェネレータのクロック分周値</p> <p>サンプル・レート・ジェネレータの入カクロックは、必要なサンプル・レート・ジェネレータのクロック周波数を生成するために (CLKGDV + 1) によって除算されず。CLKGDV のデフォルト値は、1 (入カクロックを 2 で除算) です。</p>

### 7.21.1 サンプル・レート・ジェネレータのクロック分周器について

サンプル・レート・ジェネレータのクロック分周器の最初のステージでは、入カクロックからシリアル・データ・ビット・クロックを生成します。このステージでは、CLKGDV によってプリロードされたカウンタを使用します。CLKGDV には分周率値が含まれています。

クロック分周器の最初のステージによって出力されるのは、データ・ビット・クロックです。データ・ビット・クロックは、CLKG として出力され、CLKG はクロック分周器の第 2、第 3 のステージの入力となります。

CLKG の周波数は、サンプル・レート・ジェネレータの入カクロックの周波数の  $1 / (\text{CLKGDV} + 1)$  倍になります。したがって、サンプル・レート・ジェネレータの入カクロック周波数は、1 ~ 256 の値によって分周されます。CLKGDV が奇数または 0 の場合、CLKG デューティ・サイクルは 50% になります。CLKGDV が偶数値、つまり、奇数の分周を表す  $2p$  の場合、High 状態の期間は  $p+1$  サイクルで、Low 状態の期間は  $p$  サイクルになります。

**注：**

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。低速ペリフェラル・クロック周波数のプログラミングの詳細については、『*TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual*』（文書番号 SPRS206）または『*TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual*』（文書番号 SPRS166）を参照してください。また、その他のタイミング制限が適用される場合があります。McBSP タイミング要件の詳細については、デバイス毎のデータ・マニュアルを参照してください。

CLKX ピンまたは CLKR ピンをドライブする場合は、適切な入力クロック周波数を選択してください。CLKX または CLKR、あるいはその両方に対して内部サンプル・レート・ジェネレータを使用する場合は、適切な入力クロック周波数と分周値 (CLKGDV) を選択してください。

## 7.22 SRG クロック同期モードの設定

GSYNC ビット(図 7-25 と表 7-27 を参照)は、SRG クロック同期モードを決定します。

図 7-25 SRG クロック同期モードをセットするために使用されるレジスタ・ビット

### SRGR2

15	14	0
GSYNC		

R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 7-27 SRG クロック同期モードをセットするために使用されるレジスタ・ビット

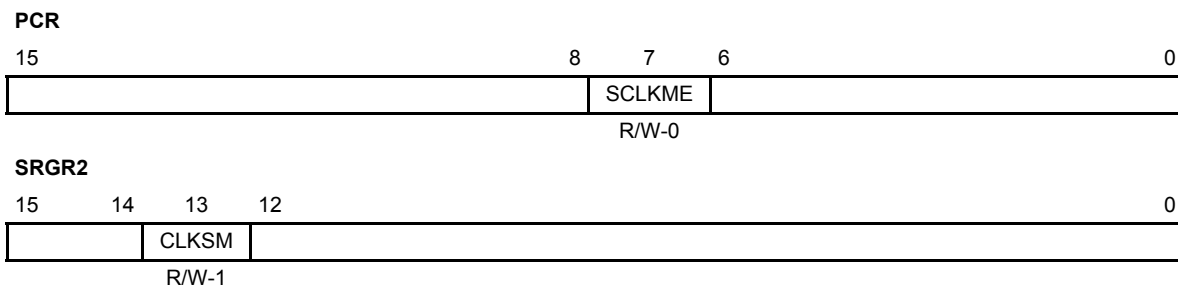
レジスタ	ビット	名前	機能
SRGR2	15	GSYNC <sup>†</sup>	<p>サンプル・レート・ジェネレータ・クロック同期</p> <p>GSYNC は、サンプル・レート・ジェネレータの入カクロック・ソースが CLKS ピンまたは CLKR ピンが外部入力の場合にのみ使用します。</p> <p>GSYNC = 0      サンプル・レート・ジェネレータのクロック (CLKG) はフリー・ランニング・クロックです。CLKG は調整なしで発振し、FSG は (FPER + 1) CLKG サイクルごとにパルスを生成します。</p> <p>GSYNC = 1      <input type="checkbox"/> クロック同期を実行します。FSR ピンでパルスが検出されると、以下が行われます。</p> <p style="margin-left: 20px;"><input type="checkbox"/> CLKG は、CLKS ピンまたは CLKR ピン上の入カクロックと同期するように、必要に応じて調整されます。</p> <p style="margin-left: 20px;"><input type="checkbox"/> FSG はパルスを生成します。 FSG は、FSR ピン上のパルスに反応してのみパルスを生成します。FPER で定義されたフレーム同期周期は無視されます。</p>

<sup>†</sup> GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

## 7.23 SRG クロック・モードの設定 (入カクロックの選択)

図 7-26 および表 7-28 で説明するビットは、SRG クロックのソースを決定します。C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

図 7-26 SRG クロック・モード (入カクロックの選択) をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-28 SRG クロック・モード (入カクロックの選択) をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	7	SCLKME	サンプル・レート・ジェネレータのクロック・モード
SRGR2	13	CLKSM	
		SCLKME = 0 CLKSM = 0	CLKS ピンから供給されたサンプル・レート・ジェネレータのクロック
		SCLKME = 0 CLKSM = 1	McBSP の内部入カクロックから供給されたサンプル・レート・ジェネレータのクロック (DSP リセットによって強制された状態)
		SCLKME = 1 CLKSM = 0	CLKR ピンから供給されたサンプル・レート・ジェネレータのクロック
		SCLKME = 1 CLKSM = 1	CLKX ピンから供給されたサンプル・レート・ジェネレータのクロック

### 7.23.1 SRG クロック・モードについて

サンプル・レート・ジェネレータは、レシーバまたはトランスミッタ、あるいはその両方で使用するクロック信号 (CLKG) を生成できます。ただし CLKG は入カクロックから供給されます。表 7-28 に、設定可能な入カクロックの 4 つのソースを示します。

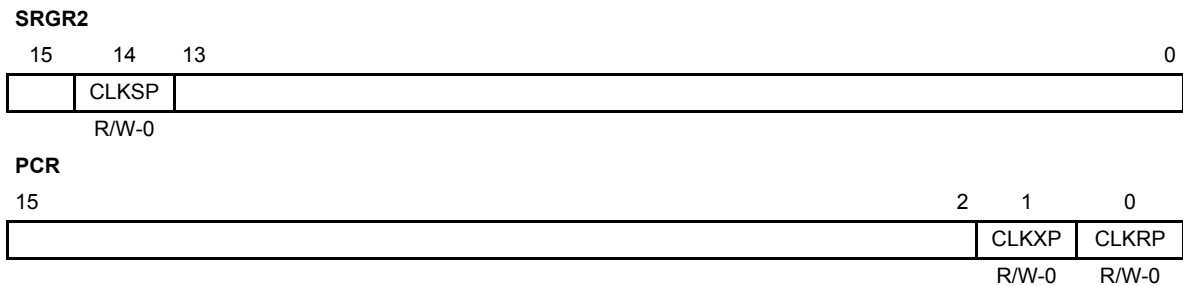
## 7.24 SRG 入カクロック極性の設定

SRG 入カクロックとして CLKS、CLKX、CLKR ピン上の信号のいずれかを選択する場合、それぞれ CLKSP、CLKXP、CLKRP ビットを使用してクロックの極性を選択します。これらのビットを図 7-27 に示し、表 7-29 で説明します。C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

### 注：

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP にかかわらず、SRG の入カクロックの極性は常に正の値（立ち上がりエッジ）です。

図 7-27 SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 7-29 SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SRGR2	14	CLKSP	CLKS ピン極性 CLKSP は、CLKS ピンが入カクロック（SCLKME = 0 と CLKSM = 0）を供給する際の入カクロック極性を決定します。 CLKSP = 0      CLKS ピン上の立ち上がりエッジで CLKG と FSG を生成します。 CLKSP = 1      CLKS ピン上の立ち下がりエッジで CLKG と FSG を生成します。
PCR	1	CLKXP	CLKX ピン極性 CLKXP は、CLKX ピンが入カクロック（SCLKME = 1 と CLKSM = 1）を供給する際の入カクロック極性を決定します。 CLKXP = 0      CLKX ピン上の立ち上がりエッジで CLKG と FSG の信号を変化させます。 CLKXP = 1      CLKX ピン上の立ち下がりエッジで CLKG と FSG の信号を変化させます。
PCR	0	CLKRP	CLKR ピン極性 CLKRP は、CLKR ピンが入カクロック（SCLKME = 1 と CLKSM = 0）を供給する際の入カクロック極性を決定します。 CLKRP = 0      CLKR ピン上の立ち上がりエッジで CLKG と FSG の信号を変化させます。 CLKRP = 1      CLKR ピン上の立ち下がりエッジで CLKG と FSG の信号を変化させます。

### 7.24.1 CLKSP/CLKXP/CLKRP を使用した入カクロック極性の選択

サンプル・レート・ジェネレータは、レシーバまたはトランスミッタ、あるいはその両方で使用するためのクロック信号 (CLKG) とフレーム同期信号 (FSG) を生成できます。CLKG と FSG を生成するには、サンプル・レート・ジェネレータを、McBSP の内部入カクロックから供給される入カクロック信号によってドライブするか、CLKX ピン、CLKR ピン、CLKS ピン (存在する場合) のいずれかの外部クロックから供給される入カクロック信号によってドライブする必要があります。ピンを使用する場合は、該当する極性ビット (CLKX ピンの場合 CLKXP、CLKR ピンの場合 CLKRP、CLKS ピンの場合 CLKSP) をプログラミングして、SPG 入カクロックの極性を選択します。入カクロックの極性が、CLKG と FSG 上の信号変化を生成するのが入カクロックの立ち上がりエッジであるか、または入カクロックの立ち下がりエッジであるかを決定します。

**注 :**

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP にかかわらず、SRG の入カクロックの極性は常に正の値 (立ち上がりエッジ) です。



# トランスミッタのコンフィグレーション

この章では、McBSP トランスミッタの構成方法について説明します。

項目	ページ
8.1 トランスミッタのコンフィグレーション .....	8-2
8.2 目的のトランスミッタ動作のための McBSP レジスタのプログラミング .....	8-3
8.3 トランスミッタのリセットとイネーブル .....	8-4
8.4 McBSP ピンとして動作するためのトランスミッタ・ピンの設定 .....	8-6
8.5 デジタル・ループバック・モードのイネーブル/ディスエーブル .....	8-7
8.6 クロック停止モードのイネーブル/ディスエーブル .....	8-8
8.7 送信マルチチャネル選択のイネーブル/ディスエーブル .....	8-9
8.8 送信フレームに対する 1 つまたは 2 つのフェーズの選択 .....	8-10
8.9 送信ワード長の設定 .....	8-11
8.10 送信フレーム長の設定 .....	8-13
8.11 送信フレーム同期の ignore 機能のイネーブル/ディスエーブル .....	8-15
8.12 送信圧伸モードの設定 .....	8-16
8.13 送信データ遅延の設定 .....	8-17
8.14 送信 DXENA モードの設定 .....	8-20
8.15 送信割り込みモードの設定 .....	8-21
8.16 送信フレーム同期モードの設定 .....	8-22
8.17 送信フレーム同期の極性の設定 .....	8-24
8.18 SRG フレーム同期周期とパルス幅の設定 .....	8-27
8.19 送信クロック・モードの設定 .....	8-29
8.20 送信クロック極性の設定 .....	8-30
8.21 SRG クロック分周値の設定 .....	8-32
8.22 SRG クロック同期モードの設定 .....	8-34
8.23 SRG クロック・モードの設定 (入力クロックの選択) .....	8-35
8.24 SRG 入力クロック極性の設定 .....	8-36

## 8.1 トランスミッタのコンフィグレーション

McBSP レシーバを構成するには、以下のステップを実行する必要があります。

- 1) McBSP/ トランスミッタをリセット状態にします。
- 2) 目的のトランスミッタ動作を行うために McBSP レジスタをプログラミングします。
- 3) トランスミッタのリセットを解除します。

## 8.2 目的のトランスミッタ動作のための McBSP レジスタのプログラミング

McBSP トランスミッタを構成する際に実行する必要がある重要なタスク一覧を以下に示します。各タスクは、1 つまたは複数の McBSP レジスタ・ビット・フィールドに対応します。このタスク一覧に記載されている SRG は、サンプル・レート・ジェネレータの略称です。

まず McBSP レジスタ・ワークシートを印刷してから、各タスクを参照しながら空欄のボックスに必要な情報を入力すると、作業を行いやすくなります。

### □ グローバル動作：

- McBSP ピンとして動作するためのトランスミッタ・ピンの設定
- デジタル・ループバック・モードのイネーブル/ディスエーブル
- クロック停止モードのイネーブル/ディスエーブル
- 送信マルチチャネル選択のイネーブル/ディスエーブル

### □ データ動作：

- 送信フレームに対する 1 つまたは 2 つのフェーズの選択
- 送信ワード長の設定
- 送信フレーム長の設定
- 送信フレーム同期の ignore 機能のイネーブル/ディスエーブル
- 送信圧伸モードの設定
- 送信データ遅延の設定
- 送信 DXENA モードの設定
- 送信割り込みモードの設定

### □ フレーム同期動作：

- 送信フレーム同期モードの設定
- 送信フレーム同期の極性の設定
- SRG フレーム同期周期とパルス幅の設定

### □ クロック動作：

- 送信クロック・モードの設定
- 送信クロック極性の設定
- SRG クロック分周値の設定
- SRG クロック同期モードの設定
- SRG クロック・モードの設定 [ 入力クロックの選択 ]
- SRG 入力クロック極性の設定

### 8.3 トランスミッタのリセットとイネーブル

トランスミッタの構成手順の最初のステップではトランスミッタをリセットし、最後のステップではトランスミッタをイネーブル（リセットの解除）にします。図 8-1 と表 8-1 では、この両方のステップに使用するビットについて説明します。

図 8-1 トランスミッタをリセット状態するために使用されるレジスタ・ビット

**SPCR2**

15	8	7	6	5	1	0
				FRST	GRST	XRST
				R/W-0	R/W-0	R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 8-1 トランスミッタをリセット状態するために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR2	0	XRST	トランスミッタのリセット
			XRST = 0 シリアル・ポート・トランスミッタをディスエーブルにし、リセット状態とします。 XRST = 1 シリアル・ポート・トランスミッタをイネーブルにします。
SPCR2	6	GRST	サンプル・レート・ジェネレータのリセット
			GRST = 0 サンプル・レート・ジェネレータをリセットします。 DSP リセットにより GRST = 0 にセットされる場合、CLKG は 2 分周された McBSP 内部入力クロックによってドライブされ、FSG は Low（インアクティブ）でドライブされます。プログラム・コードにより GRST = 0 にセットされる場合、CLKG と FSG は Low（インアクティブ）でドライブされます。 GRST = 1 サンプル・レート・ジェネレータをイネーブルにします。CLKG は、サンプル・レート・ジェネレータのレジスタ（SRGR[1,2]）でプログラミングした設定に従ってドライブされます。FRST = 1 の場合、サンプル・レート・ジェネレータはサンプル・レート・ジェネレータのレジスタでのプログラミングに従ってフレーム同期信号 FSG も生成します。
SPCR2	7	FRST	フレーム同期ロジックのリセット
			FRST = 0 フレーム同期ロジックをリセットします。GRST = 1 の場合でも、サンプル・レート・ジェネレータはフレーム同期信号 FSG を生成しません。 FRST = 1 GRST = 1 の場合、8 CLKG クロック・サイクル後にフレーム同期信号 FSG が生成され、すべてのフレーム・カウンタにはプログラミングした値がロードされます。

## 8.3.1 リセットに関する考慮事項

シリアル・ポートは、以下の2つの方法でリセットできます。

- 1) DSP リセット ( $\overline{\text{RESET}}$  信号を Low にドライブされる) は、レシーバ、トランスミッタ、サンプル・レート・ジェネレータをリセット状態にします。デバイス・リセットを解除する (RESET 信号が High にドライブされる) と、GRST=FRST=RRST=XRST=0 にセットされ、シリアル・ポートがリセット状態に維持されます。
- 2) シリアル・ポート・トランスミッタとレシーバを直接リセットするには、シリアル・ポート制御レジスタの RRST と XRST ビットを使用します。サンプル・レート・ジェネレータを直接リセットするには、SPCR2 の GRST ビットを使用します。

表 8-2 に、シリアル・ポートを DSP リセットによりリセットしたときと、レシーバまたはトランスミッタの直接リセットによりリセットしたときの McBSP ピンの状態を示します。

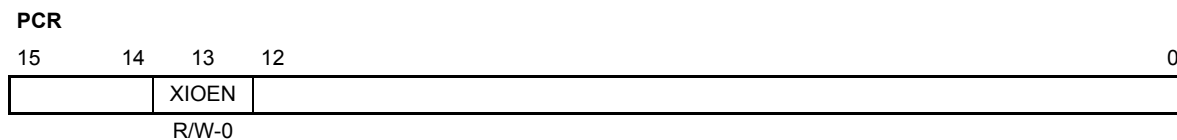
表 8-2 各 McBSP ピンのリセット状態

ピン	設定可能な状態	DSP リセット によって強制的に設定 される状態	レシーバまたはトランスミッタ・リセットによって強制的に 設定される状態
			レシーバのリセット (RRST = 0 と GRST = 1 にセット)
DR	I	入力	入力
CLKR	I/O/Z	入力	入力の場合は既知の状態、出力の場合は CLKR は動作中です。
FSR	I/O/Z	入力	入力の場合は既知の状態、出力の場合は FSRP はインアクティブな状態です。
CLKS	I/O/Z	入力	入力
			トランスミッタのリセット (XRST = 0 と GRST = 1 にセット)
DX	O/Z	ハイ・インピーダンス	ハイ・インピーダンス
CLKX	I/O/Z	入力	入力の場合は既知の状態、出力の場合は CLKX は動作中です。
FSX	I/O/Z	入力	入力の場合は既知の状態、出力の場合は FSXP はインアクティブな状態です。
CLKS	I	入力	入力

## 8.4 McBSP ピンとして動作するためのトランスミッタ・ピンの設定

図 8-2 および表 8-3 で説明する XIOEN ビットは、トランスミッタ・ピンを I/O ピンではなく McBSP ピンとして動作させるために使用します。

図 8-2 McBSP ピンとして動作するようにトランスミッタ・ピンをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-3 McBSP ピンとして動作するようにトランスミッタ・ピンをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	13	XIOEN	送信 I/O のイネーブル
			このビットは、トランスミッタがリセット状態（SPCR2 で XRST = 0 にセット）のときにのみ使用できます。
		XIOEN = 0	DX、FSX、CLKX、CLKS の各ピンは、シリアル・ポート・ピンとして構成され、汎用 I/O ピンとしては機能しません。
		XIOEN = 1	DX ピンは、汎用出力ピンです。FSX ピンと CLKX ピンは、汎用 I/O ピンです。これらのシリアル・ポート・ピンは、シリアル・ポート動作を行いません。RIOEN = XIOEN = 1 と RRST = XRST = 0 の場合、CLKS ピンは汎用入力ピンになります。

## 8.5 デジタル・ループバック・モードのイネーブル/ディスエーブル

DLB ビットは、デジタル・ループバック・モードがオンであるかどうかを決定します。図 8-3 に DLB を示し、表 8-4 で DLB について説明します。

図 8-3 デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

SPCR1

15	14	0
DLB		

R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 8-4 デジタル・ループバック・モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	15	DLB	デジタル・ループバック・モード
			DLB = 0          デジタル・ループバック・モードをディスエーブルにします。
			DLB = 1          デジタル・ループバック・モードをイネーブルにします。

### 8.5.1 デジタル・ループバック・モードについて

デジタル・ループバック・モードでは、受信信号は、マルチプレクサを介して表 8-5 に示す対応送信信号に内部的に接続しています。このモードでは、1つの DSP デバイスを使用してシリアル・ポート・コードをテストできます。テストでは、McBSP はこの DSP デバイスが送信するデータを受信します。

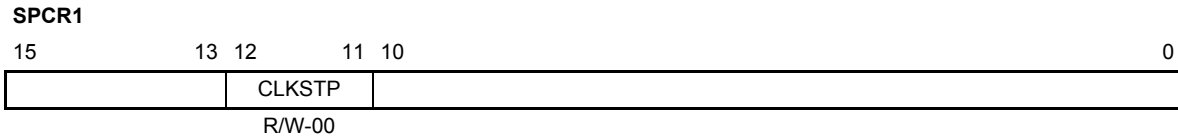
表 8-5 デジタル・ループバック・モードで送信信号と接続している受信信号

受信信号 ...	受信信号を内部的に供給する送信信号 ...
DR (受信データ)	DX (送信データ)
FSR (受信フレーム同期)	FSX (送信フレーム同期)
CLKR (受信クロック)	CLKX (送信クロック)

## 8.6 クロック停止モードのイネーブル/ディスエーブル

CLKSTP ビットは、クロック停止モードをオンにするかどうか、またクロック遅延を選択するかどうかを決定します。図 8-4 に CLKSTP を示し、表 8-6 で CLKSTP について説明します。

図 8-4 クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-6 クロック停止モードをイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	12-11	CLKSTP	クロック停止モード
		CLKSTP = 0Xb	クロック停止モードをディスエーブルにします。非 SPI モードのための通常のクロッキングを行います。
		CLKSTP = 10b	クロック停止モードをクロック遅延なしでイネーブルにします。
		CLKSTP = 11b	クロック停止モードをクロック遅延ありでイネーブルにします。

### 8.6.1 クロック停止モードについて

クロック停止モードでは、SPI マスタ・スレーブ・プロトコルがサポートされていません。SPI プロトコルを使用しない場合は、CLKSTP をクリアして、クロック停止モードをディスエーブルにします。

クロック停止モードでは、クロックは、各データ転送の終了時に停止し、各データ転送の開始時に、直ちに (CLKSTP = 10b) または2分の1クロック遅延後に (CLKSTP = 11b) 開始します。CLKXP ビットは、CLKX ピンのクロックの開始エッジを立ち上がりエッジにするか、または立ち下がりエッジにするかを決定します。CLKRP ビットは、受信データを CLKR ピンに示されたクロックの立ち上がりエッジでサンプリングするか、または立ち下がりエッジでサンプリングするかを決定します。

6-5 ページの表 6-2 は、CLKSTP、CLKXP、CLKRP のシリアル・ポート動作への影響をまとめたものです。ただし、クロック停止モードでは、受信クロックは送信クロックに内部的に接続され、受信フレーム同期信号は送信フレーム同期信号と内部的に接続されているので注意してください。



## 8.7 送信マルチチャネル選択のイネーブル/ディスエーブル

図 8-5 および表 8-7 で説明する XMCM ビットは、3 つの送信マルチチャネル選択モードの 1 つを選択するため、または送信マルチチャネル選択をディスエーブルにするために使用します。

図 8-5 送信マルチチャネル選択をイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

<b>MCR2</b>	2 1 0
15	XMCM
R/W-00	

凡例： R = リード、W = ライト、-n = リセット後の値

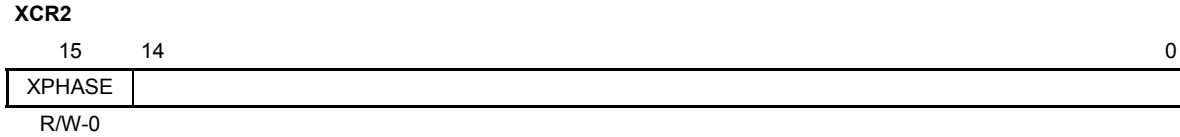
表 8-7 送信マルチチャネル選択をイネーブル/ディスエーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
MCR2	1-0	XMCM	送信マルチチャネル選択
			XMCM = 00b 送信マルチチャネル選択をオフにします。すべてのチャンネルをイネーブルにし、マスク解除します。ディスエーブルまたはマスク可能なチャンネルはありません。
			XMCM = 01b 該当する送信チャンネル・イネーブル・レジスタ (XCER) でチャンネルを選択しない限り、すべてのチャンネルはディスエーブルになります。イネーブルにすると、このモードのチャンネルはまたマスク解除されます。 XMCM ビットは、XCER で 32 個のチャンネルを選択可能にするか、128 個のチャンネルを選択可能にするかを決定します。
			XMCM = 10b すべてのチャンネルはイネーブルになります。ただし、該当する送信チャンネル・イネーブル・レジスタ (XCER) でチャンネルを選択しない場合、チャンネルはマスクされます。 XMCM ビットは、XCER で 32 個のチャンネルを選択可能にするか、128 個のチャンネルを選択可能にするかを決定します。
			XMCM = 11b このモードは、シンメトリックな送受信に使用します。 該当する受信チャンネル・イネーブル・レジスタ (RCER) で受信用にチャンネルがイネーブルでない場合、すべてのチャンネルは送信に対してディスエーブルになります。一度イネーブルにすると、該当する送信チャンネル・イネーブル・レジスタ (XCER) でチャンネルを選択しない限り、マスクされます。 XMCM ビットは、RCER と XCER で 32 個のチャンネルを選択可能にするか、128 個のチャンネルを選択可能にするかを決定します。

## 8.8 送信フレームに対する1つまたは2つのフェーズの選択

図 8-6 および表 8-8 で説明する XPHASE ビットは、送信フレームに対して1つまたは2つのフェーズを選択するために使用します。

図 8-6 送信フレームに対して1つまたは2つのフェーズを選択するために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

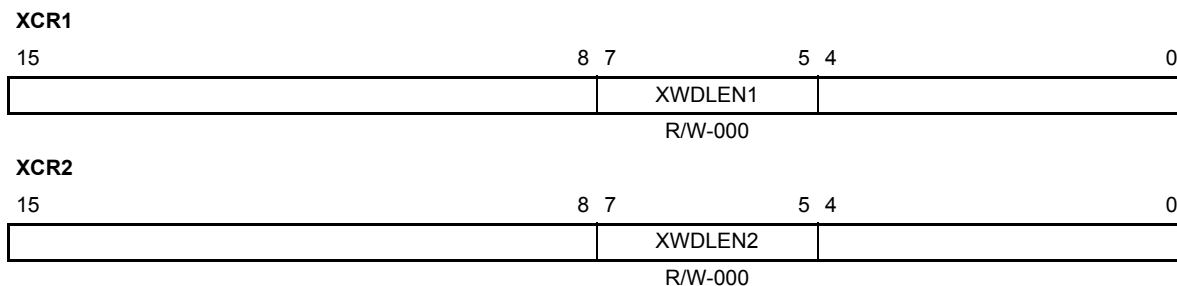
表 8-8 送信フレームに対して1つまたは2つのフェーズを選択するために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
XCR2	15	XPHASE	送信フェーズ数 送信フレームに1つのフェーズを含めるか、または2つのフェーズを含めるかを指定します。 XPHASE = 0      シングル・フェーズ・フレーム XPHASE = 1      デュアル・フェーズ・フレーム

## 8.9 送信ワード長の設定

XWDLEN1 と XWDLEN2 フィールド（図 8-7 と表 8-9 を参照）は、送信ワード長をセットするために使用します。

図 8-7 送信ワード長をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-9 送信ワード長をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
XCR1	7-5	XWDLEN1	フレーム・フェーズ 1 の送信ワード長
			XWDLEN1 = 000b    8 ビット
			XWDLEN1 = 001b    12 ビット
			XWDLEN1 = 010b    16 ビット
			XWDLEN1 = 011b    20 ビット
			XWDLEN1 = 100b    24 ビット
			XWDLEN1 = 101b    32 ビット
			XWDLEN1 = 11Xb    予約
XCR2	7-5	XWDLEN2	フレーム・フェーズ 2 の送信ワード長
			XWDLEN2 = 000b    8 ビット
			XWDLEN2 = 001b    12 ビット
			XWDLEN2 = 010b    16 ビット
			XWDLEN2 = 011b    20 ビット
			XWDLEN2 = 100b    24 ビット
			XWDLEN2 = 101b    32 ビット
			XWDLEN2 = 11Xb    予約

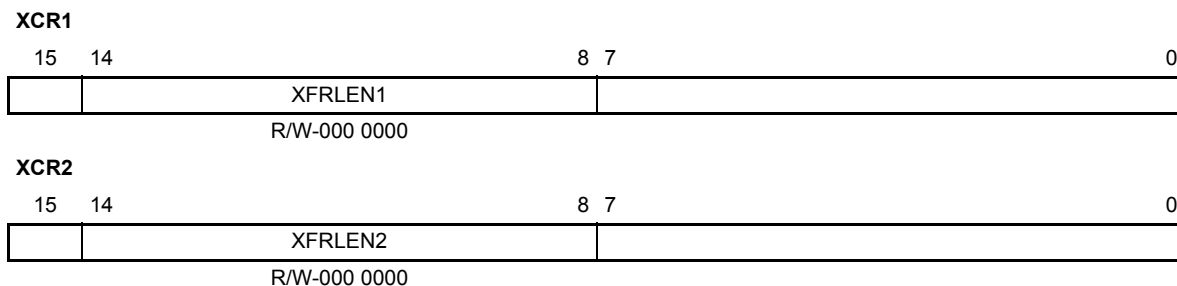
### 8.9.1 ワード長ビットについて

XPHASE ビットにロードする値によって、各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、XWDLEN1 はフレームで送信されたすべてのシリアル・ワード長を選択します。デュアル・フェーズ・フレームを選択すると、XWDLEN1 はフレームのフェーズ 1 内のシリアル・ワード長を決定し、XWDLEN2 はフレームのフェーズ 2 のワード長を決定します。

## 8.10 送信フレーム長の設定

XFRLLEN1 と XFRLLEN2 フィールド (図 8-8 と表 8-10 を参照) は、送信ワード長をセットするために使用します。

図 8-8 送信フレーム長をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-10 送信フレーム長をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
XCR1	14-8	XFRLLEN1	送信フレーム長 1 (XFRLLEN1 + 1) は、送信フレームのフェーズ 1 内のシリアル・ワード数です。 XFRLLEN1 = 000 0000 フェーズ 1 の 1 ワード XFRLLEN1 = 000 0001 フェーズ 1 の 2 ワード     XFRLLEN1 = 111 1111 フェーズ 1 の 128 ワード
XCR2	14-8	XFRLLEN2	送信フレーム長 2 デュアル・フェーズ・フレームを選択すると、(XFRLLEN2 + 1) は、送信フレームのフェーズ 2 内のシリアル・ワード数になります。 XFRLLEN2 = 000 0000 フェーズ 2 の 1 ワード XFRLLEN2 = 000 0001 フェーズ 2 の 2 ワード     XFRLLEN2 = 111 1111 フェーズ 2 の 128 ワード

### 8.10.1 選択するフレーム長について

送信フレーム長は、送信フレーム内のシリアル・ワード数になります。XPHASE ビットにロードする値によって、各フレームには 1 つまたは 2 つのフェーズを含めることができます。

シングル・フェーズ・フレームを選択すると (XPHASE = 0)、フレーム長はフェーズ 1 の長さになります。デュアル・フェーズ・フレームを選択すると (XPHASE = 1)、フレーム長はフェーズ 1 の長さにフェーズ 2 の長さを足したものになります。

7 ビットの XFRLEN フィールドでは、フェーズあたり最大 128 ワードまで含めることができます。フレーム長の計算方法については、表 8-11 を参照してください。フレーム長は、ワード数または論理タイム・スロット数、またはフレーム同期パルス当たりのチャネル数に対応します。

注：XFRLEN フィールドをプログラミングするには、 $[w \text{ minus } 1]$  を使用します。ここでの  $w$  はフェーズ当たりのワード数を表します。たとえば、フェーズ 1 のフレーム長を 128 ワードにする場合、XFRLEN1 に 127 をロードします。

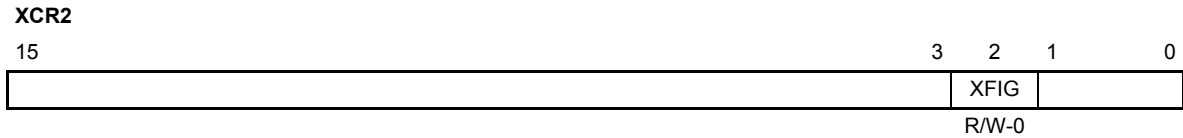
表 8-11 フレーム長の計算方法

XPHASE	XFRLEN1	XFRLEN2	フレーム長
0	$0 \leq \text{XFRLEN1} \leq 127$	Don't care (どちらでもよい)	$(\text{XFRLEN1} + 1)$ ワード
1	$0 \leq \text{XFRLEN1} \leq 127$	$0 \leq \text{XFRLEN2} \leq 127$	$(\text{XFRLEN1} + 1) + (\text{XFRLEN2} + 1)$ ワード

## 8.11 送信フレーム同期の ignore 機能のイネーブル/ディセーブル

XFIG ビット (図 8-9 と表 8-12 を参照) は、送信中の予期しないフレーム同期パルスが無視するかどうか決定します。

図 8-9 送信フレーム同期の ignore 機能をイネーブル/ディセーブルにするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-12 送信フレーム同期の ignore 機能をイネーブル/ディセーブルにするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能	
XCR2	2	XFIG	送信フレーム同期の無視	
			XFIG = 0	予期しない送信フレーム同期パルスが発生すると、McBSP はフレーム転送をリスタートします。
			XFIG = 1	McBSP は予期しない送信フレーム同期パルスを無視します。

### 8.11.1 予期しないフレーム同期パルスとフレーム同期の ignore 機能について

現在のフレームが完全に送信される前にフレーム同期パルスが新しいフレームの転送を開始すると、このパルスは予期しないフレーム同期パルスとして処理されます。

XFIG = 1 の場合、予期しないフレーム同期信号を無視し、通常どおり送信を継続します。

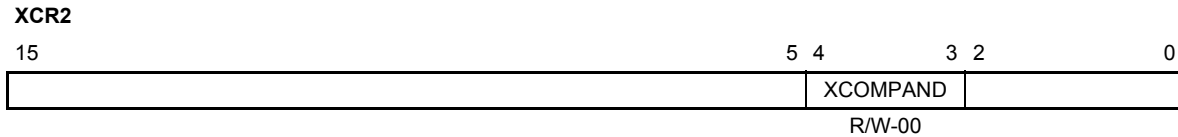
XFIG = 0 の場合、予期しない FSR パルスが発生すると、シリアル・ポートは以下の処理を行います。

- 1) 現在の送信を中止します。
- 2) SPCR2 の XSYNCERR を 1 にセットします。
- 3) 中止された現在のワードの送信を回復します。

## 8.12 送信圧伸モードの設定

図 8-10 および表 8-13 で説明する XCOMPAND ビットは、McBSP の送信に対して圧伸処理を行うか、または別のデータ転送オプションを選択するかを決定します。

図 8-10 送信圧伸モードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-13 送信圧伸モードをセットするために使用されるレジスタ・ビット

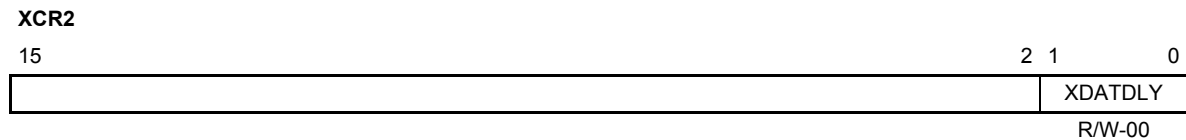
レジスタ	ビット	名前	機能
XCR2	4-3	XCOMPAND	送信圧伸モード
			00b 以外のモードは、適切な XWDLEN が 000b、すなわち、8 ビット・データを示す場合にのみイネーブルになります。
		XCOMPAND = 00b	圧伸しません。任意のサイズのデータ。MSB ファースト送信。
		XCOMPAND = 01b	圧伸しません。8 ビット・データ。LSB ファースト送信（詳細については、「LSB ファースト送信オプション」まで下にスクロールしてください）。
		XCOMPAND = 10b	μ-law による圧伸を行います。8 ビット・データ。MSB ファースト送信。
		XCOMPAND = 11b	A-law による圧伸を行います。8 ビット・データ。MSB ファースト送信。



## 8.13 送信データ遅延の設定

XDATDLY ビット（図 8-11 と表 8-14 を参照）は、送信フレーム同期パルスの検出後に 0、1、2 ビットのいずれかの遅延を選択するために使用します。

図 8-11 送信データ遅延をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-14 送信データ遅延をセットするために使用されるレジスタ・ビット

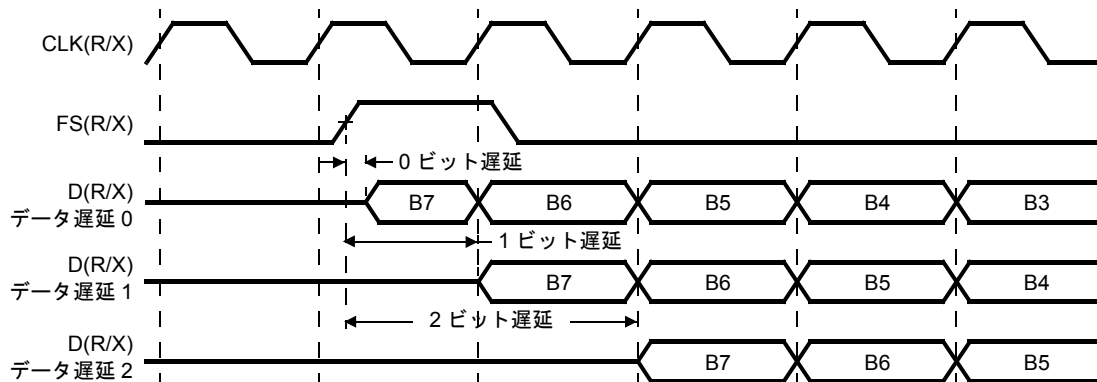
レジスタ	ビット	名前	機能
XCR2	1-0	XDATDLY	送信データ遅延
		XDATDLY = 00	0 ビット・データ遅延
		XDATDLY = 01	1 ビット・データ遅延
		XDATDLY = 10	2 ビット・データ遅延
		XDATDLY = 11	予約

### 8.13.1 データ遅延について

フレームの開始は、フレーム同期がアクティブである最初のクロック・サイクルによって定義されます。フレームの開始に対して、実際のデータ受信または送信の開始時期を必要に応じて遅延させることができます。この遅延をデータ遅延と呼びます。

XDATDLY は、送信の際のデータ遅延を指定します。図 8-12 および表 8-14 で説明するように、プログラム可能なデータ遅延の範囲は 0 ~ 2 のビット・クロック (XDATDLY = 00b-10b) になります。この図では、転送されるデータは、B7、B6、B5 などのビットを持つ 8 ビット値になります。データは 1 サイクルのアクティブ・フレーム同期パルスの後に転送されることが多いため、通常は 1 ビット遅延を選択します。

図 8-12 プログラミング可能なデータ遅延の範囲



### 8.13.2 0ビット・データ遅延

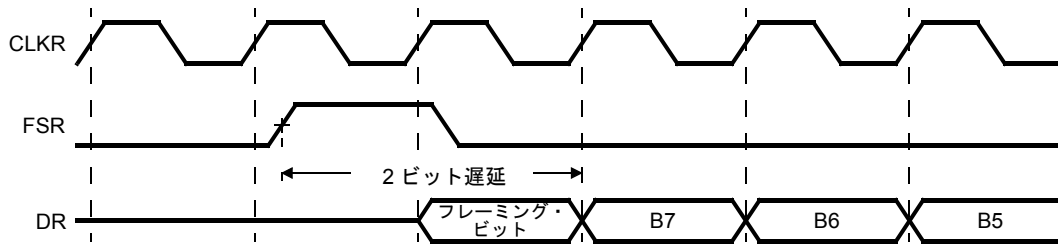
通常、フレーム同期パルスは、内部シリアル・クロック CLK(R/X) のエッジで検出またはサンプリングされます。したがって、次のサイクルまたはそれ以降のサイクル（データ遅延値によって決定される）で、データが受信または送信される場合があります。ただし、0ビット・データ遅延の場合、データは、同じシリアル・クロック・サイクルで受信または送信、あるいはその両方に対してレディ状態でなければなりません。

受信データは、アクティブ・ハイの内部 FSR が検出される CLKR の最初の立ち下がりエッジでサンプリングされるため、受信についてはこの問題は解決されます。しかし、データ送信は、フレーム同期を生成した内部 CLKX の立ち上がりエッジで開始する必要があります。したがって、最初のデータ・ビットは XSR1 内、つまり DX 上に存在すると見なされ、トランスミッタはアクティブ・ハイに移行するフレーム同期信号（FSX）を非同期に検出し、DX ピンに送信される最初のビットのドライブを直ちに開始します。

### 8.13.3 2ビット・データ遅延

2ビット周期のデータ遅延を設定すると、シリアル・ポートは、データ・ストリームの前にフレーミング・ビットが存在するさまざまなタイプの T1 フレーミング・デバイスとインターフェイスすることができます。2ビット・データ遅延によるこのようなストリーム（フレーミング・ビットが1ビット遅延の後に転送され、データが2ビット遅延の後に転送されるストリーム）を受信している間、シリアル・ポートはフレーミング・ビットをデータ・ストリームから破棄します（図 8-13 を参照）。この図では、転送されたデータは、B7、B6、B5 などのビットを持つ 8 ビット値になります。

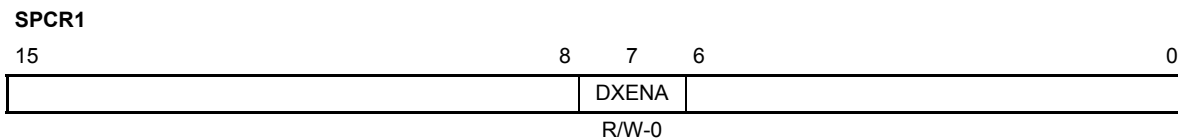
図 8-13 フレーミング・ビットをスキップするために使用される 2 ビット・データ遅延



## 8.14 送信 DXENA モードの設定

DXENA ビット (図 8-14 と表 8-15 を参照) は、DX ピン上の遅延イネーブラを制御します。

図 8-14 送信 DXENA (DX 遅延イネーブラ) モードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-15 送信 DXENA (DX 遅延イネーブラ) モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SPCR1	7	DXENA	DX 遅延イネーブラ・モード
			DXENA = 0      DX 遅延イネーブラをオフにします。
			DXENA = 1      DX 遅延イネーブラをオンにします。

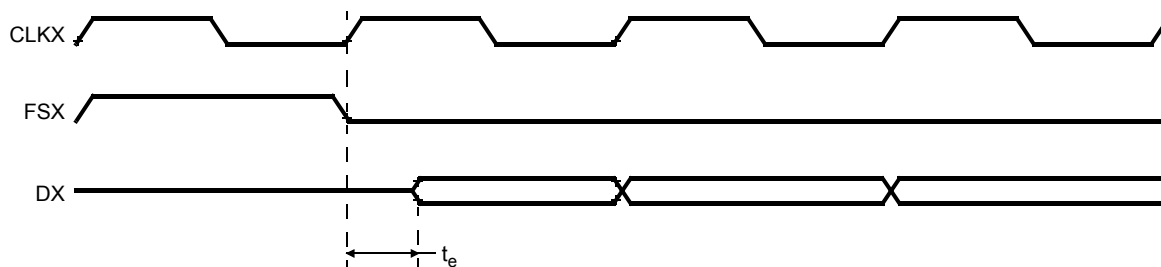
### 8.14.1 DXENA モードについて

DXENA ビットは、DX ピン上の遅延イネーブラを制御します。ターンオン時間への余分な遅延をイネーブルにするには、DXENA をセットします (それぞれの C55x デバイスの遅延の長さについては、デバイス毎のデータ・マニュアルを参照してください)。ただし、DXENA ビットは、データ自体は制御しないため、最初のビットのみが遅延されます。

複数の McBSP の DX ピンを共に動作させる場合、1 つ以上の McBSP の送信がデータ・ライン上で同時に動作しないように必ず DXENA = 1 に設定してください。

図 8-15 に、DXENA = 1 に設定した場合の DX ピンのタイミングを示しています。

図 8-15 DXENA = 1 のときの DX 遅延

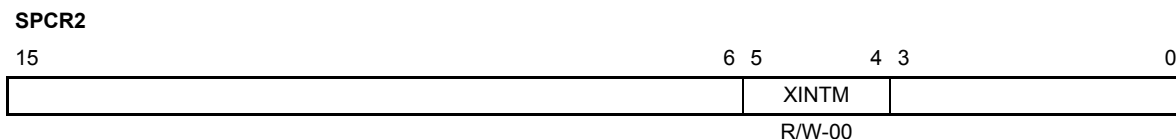


注：  $t_e$  = DXENA = 1 にセットした場合のターンオン時間の余分な遅延

## 8.15 送信割り込みモードの設定

XINTM フィールドは、送信割り込みを生成するイベントを選択するために使用します。XINTM は図 8-16 に示され、表 8-16 で説明されています。

図 8-16 送信割り込みモードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-16 送信割り込みモードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能	
SPCR2	5-4	XINTM	送信割り込みモード	
			XINTM = 00	XRDY が 0 から 1 に変化したときに生成される XINT
			XINTM = 01	送信マルチチャネル選択モードのエンド・オブ・ブロック状態またはエンド・オブ・フレーム状態によって生成される XINT
			XINTM = 10	新しい送信フレーム同期パルスによって生成される XINT
			XINTM = 11	XSYNCERR がセットされたときに生成される XINT

### 8.15.1 送信割り込みと関連モードについて

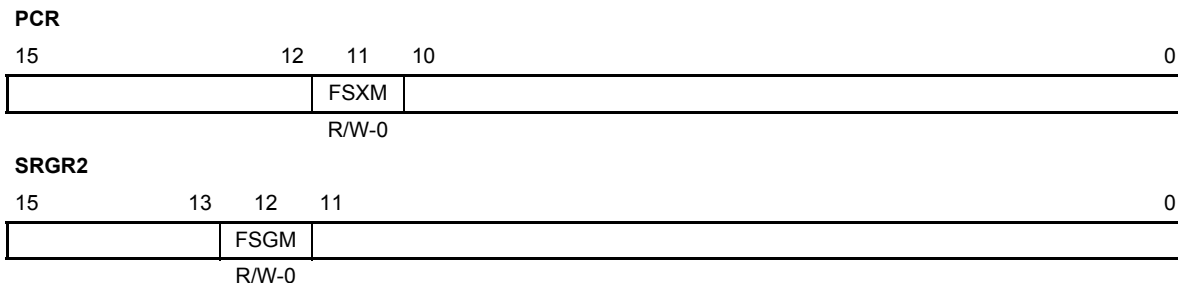
送信割り込み (XINT) は、シリアル・ポート状態の変化を知らせる信号を CPU に送ります。この割り込みを構成するオプションは 4 つあります。これらのオプションは、SPCR2 の送信割り込みモード・ビット XINTM でセットします。

- XINTM = 00b。SPCR2 の XRDY ビットを追跡して、すべてのシリアル・ワード上で割り込みを生成します。XINTM の値に関係なく、XRDY = 1 の状態を検出するために RRDY をリードできることに注意してください。
- XINTM = 01b。送信マルチチャネル選択モードでは、フレーム内で 16 チャネル・ブロック境界を越えるたび、またはフレームの最後に割り込みを生成します。他のシリアル転送の場合、この設定は適用されません。そのため割り込みは生成されません。
- XINTM = 10b。送信フレーム同期パルスを検出したときに割り込みます。トランスミッタがリセット状態のときも割り込みを生成します。入ってきたフレーム同期パルスを McBSP 内部入カクロックに同期させ、XINT を介して CPU に送信することにより実行されます。
- XINTM = 11b。フレーム同期エラーの発生時に割り込みます。XINTM の値に関係なく、この状態を検出するために XSYNCERR をリードできることに注意してください。

## 8.16 送信フレーム同期モードの設定

図 8-17 および表 8-17 で説明するビットは、送信フレーム同期モードをセットするために使用します。

図 8-17 送信フレーム同期モードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-17 送信フレーム同期モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	11	FSXM	送信フレーム同期モード
			FSXM = 0      送信フレーム同期が FSX ピンを介して外部ソースによって供給されます。
			FSXM = 1      送信フレーム同期は、SRGR2 の FSGM ビットによる決定に従って McBSP によって供給されます。
SRGR2	12	FSGM	サンプル・レート・ジェネレータの送信フレーム同期モード PCR で FSXM = 1 にセットした場合に使用します。
			FSGM = 0      McBSP は、DXR[1,2] の内容が XSR[1,2] にコピーされたとき送信フレーム同期パルスを生成します。
			FSGM = 1      トランスミッタは、サンプル・レート・ジェネレータによって生成されたフレーム同期パルスを使用します。各パルス幅をセットするには、FWID ビットをプログラミングします。フレーム同期周期をセットするには、FPER ビットをプログラミングします。

### 8.16.1 送信フレーム同期モードについて

表 8-18 は、FSXM と FSGM による送信フレーム同期パルスのソースの選択方法を示します。以下の 3 つの選択肢があります。

- 外部フレーム同期入力
- サンプル・レート・ジェネレータのフレーム同期信号 (FSG)
- DXR から XSR へのコピーが実行されたことを示す内部信号

また、表 8-18 は FSX ピン上の各ビット設定の影響を示します。FSX ピン上の信号の極性は、FSXP ビットによって決定されます。

表 8-18 FSXM と FSGM による送信フレーム同期パルスのソースの選択方法

FSXM	FSGM	送信フレーム同期のソース	FSX ピンの状態
0	0 または 1	外部フレーム同期信号は FSX ピンを介して McBSP に入ります。その後、この信号は内部 FSX として使用される前に FSXP によって反転します。	入力
1	1	内部 FSX は、サンプル・レート・ジェネレータのフレーム同期信号 (FSG) によってドライブされます。	出力。FSG は、FSX ピン上でドライブアウトされる前に FSXP によって反転します。
1	0	DXR から XSR へのコピーによって、McBSP は 1 サイクル幅の送信フレーム同期パルスを生成します。	出力。生成されたフレーム同期パルスは、FSX ピン上でドライブアウトされる前に FSXP による決定に従って反転します。

### 8.16.2 その他の考慮事項

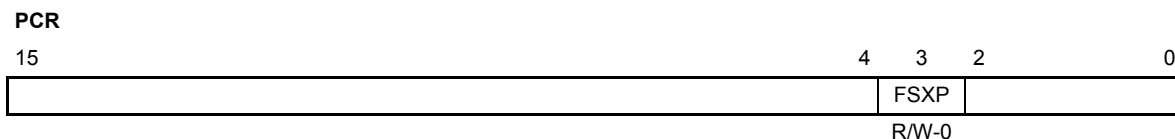
サンプル・レート・ジェネレータが外部入力クロックから供給されるフレーム同期信号 (FSG) を生成する場合、GSYNC ビットは、FSG を FSR ピン上のパルスと同期させておくかどうかを決定します。

クロック停止モード (CLKSTP = 10b または CLKSTP = 11b) では、McBSP は SPI プロトコルのマスタまたはスレーブとして動作できます。McBSP がマスタで、FSX ピン上にスレーブ・イネーブル信号 (SS) を供給する必要がある場合、FSXM = 1 と FSGM = 0 にセットし、FSX を出力にし、各送信期間中、アクティブにドライブするようにします。McBSP がスレーブの場合、FSXM = 0 にセットし、McBSP が FSX ピン上でスレーブ・イネーブル信号を受信できるようにします。

## 8.17 送信フレーム同期の極性の設定

FSXP ビット（図 8-18 と表 8-19 を参照）は、送信フレーム同期信号の極性を決定します。

図 8-18 送信フレーム同期の極性をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-19 送信フレーム同期の極性をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能	
PCR	3	FSXP	送信フレーム同期の極性	
			FSXP = 0	フレーム同期パルス FSX をアクティブ・ハイにします。
			FSXP = 1	フレーム同期パルス FSX をアクティブ・ローにします。

### 8.17.1 フレーム同期パルス、クロック信号、およびその極性について

送信フレーム同期パルスは、サンプル・レート・ジェネレータによって内部的に生成されるか、外部ソースによってドライブされます。フレーム同期のソースは、PCR のモード・ビットである FSXM をプログラミングすることで選択します。また、FSX は SRGR2 の FSGM ビットによって影響を受けません。同様に、PCR のモード・ビットである CLKXM をプログラミングすることで、送信クロックを入力または出力にするように選択できます。

FSR と FSX を入力 (FSXM = FSRM = 0、外部フレーム同期パルス) にすると、McBSP は内部 CLKR と内部 CLKX それぞれのクロックの内部立ち下がりエッジでこれらを検出します。また、DR ピンに到着する受信データも、内部 CLKR の立ち下がりエッジでサンプリングされます。これらの内部クロック信号は、外部ソースから CLK (R/X) を介して供給されるか、McBSP 内部のサンプル・レート・ジェネレータのクロック (CLKG) によってドライブされます。

FSR と FSX を出力にすると、これらの出力はサンプル・レート・ジェネレータによってドライブされることになり、このときこれらの出力は、内部クロック CLK (R/X) の立ち上がりエッジで生成され、アクティブ状態になります。同様に、DX ピン上のデータは内部 CLKX の立ち上がりエッジで出力されます。



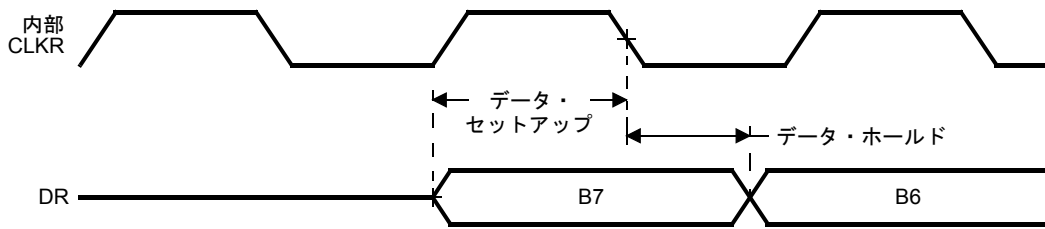
ピン制御レジスタ (PCR) 内の FSRP、FSXP、CLKRP、CLKXP は、それぞれ FSR、FSX、CLKR、CLKX の信号の極性を制御します。シリアル・ポート内部のすべてのフレーム同期信号 (内部 FSR、内部 FSX) は、アクティブ・ハイになります。外部フレーム同期に対してシリアル・ポートを設定し (FSR/FSX は McBSP に対して入力)、FSRP = FSXP = 1 に設定すると、外部のアクティブ・ローのフレーム同期信号は、レシーバ (内部 FSR) とトランスミッタ (内部 FSX) に送られる前に反転されます。同様に、内部同期を選択 (FSR/FSX を出力ピンにし、GSYNC = 0 にセットする) し、極性ビット FS(R/X)P を 1 にセットすると、内部のアクティブ・ハイ同期信号は FS (R/X) ピンに送られる前に反転します。

送信側では、送信クロック極性ビットの CLKXP は、送信データをシフトし、クロックアウトするために使用されるエッジをセットします。ただし、データは、常に内部 CLKX の立ち上がりエッジで送信されるので注意してください。CLKXP = 1 にセットし、外部クロッキングを選択する (CLKXM = 0 にセットし、CLKX を入力にする) と、CLKX 上の外部の立ち下がりエッジでトリガされる入力クロックは、トランスミッタに送られる前に立ち上がりエッジでトリガされるクロックに反転します。CLKXP = 1 にセットし、内部クロッキングを選択する (CLKXM = 1 にセットし、CLKX を出力ピンにする) と、内部の (立ち上がりエッジでトリガされる) クロックである内部 CLKX は、CLKX ピンに送られる前に反転します。

同様に、レシーバは、トランスミッタによって立ち上がりエッジのクロックを使ってクロックされたデータを確実にサンプリングできます。受信クロック極性ビットの CLKRP は、受信されたデータをサンプリングするために使用されるエッジを設定します。ただし、受信データは常に内部 CLKR の立ち下がりエッジでサンプリングされるので注意してください。したがって、CLKRP = 1 にセットし、外部クロッキングを選択する (CLKRM = 0 にセットし、CLKR を入力ピンにする) と、外部の立ち上がりエッジでトリガされる CLKR 上の入力クロックは、レシーバに送られる前に立ち下がりエッジでトリガされるクロックに反転します。CLKRP = 1 に設定し、内部クロッキングを選択する (CLKRM = 1) と、内部の立ち下がりエッジでトリガされるクロックは、CLKR ピンに送信される前に立ち上がりエッジでトリガされるクロックに反転します。

ただし、レシーバとトランスミッタをクロックするために同じクロック (内部または外部) を使用するシステムでは、CLKRP = CLKXP になるので注意してください。レシーバは、トランスミッタとは反対のエッジを使用して、このエッジ近傍のデータのセットアップおよびホールドを確実にします。図 8-19 は、立ち上がりエッジを使用して外部のシリアル・デバイスによってクロックされたデータが、同じクロックの立ち下がりエッジで McBSP レシーバによってどのようにサンプリングできるかを示しています。

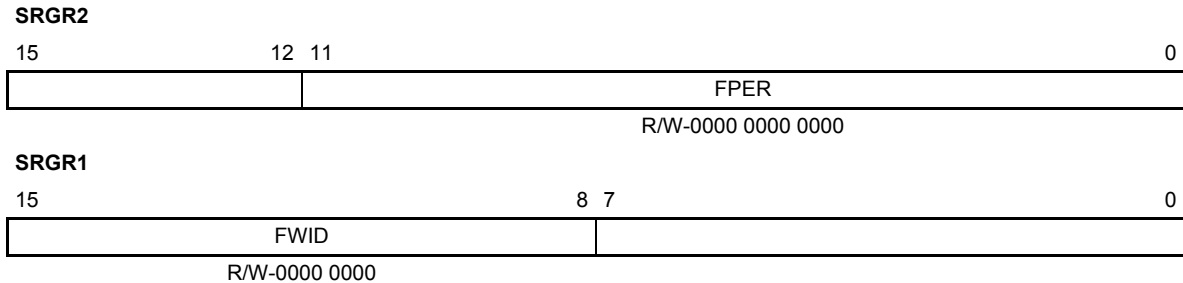
図 8-19 立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ



## 8.18 SRG フレーム同期周期とパルス幅の設定

図 8-20 および表 8-20 で説明する FPER フィールドと FWID フィールドは、SRG フレーム同期周期とパルス幅をセットするために使用します。

図 8-20 SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-20 SRG フレーム同期周期とパルス幅をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SRGR2	11-0	FPER	サンプル・レート・ジェネレータのフレーム同期周期 フレーム同期信号 FSG の場合、(FPER + 1) は、フレーム同期パルスの開始から次のフレーム同期パルスの開始までの周期を決定します。 (FPER + 1) の範囲： 1 ~ 4096 CLKG サイクル
SRGR1	15-8	FWID	サンプル・レート・ジェネレータのフレーム同期パルス幅 このフィールドに 1 を加算した値が、FSG 上の各フレーム同期パルス幅を決定します。 (FWID + 1) の範囲： 1 ~ 256 CLKG サイクル

### 8.18.1 フレーム同期周期とフレーム同期パルス幅について

サンプル・レート・ジェネレータは、クロック信号 CLKG と、フレーム同期信号 FSG を生成します。サンプル・レート・ジェネレータによって受信または送信フレーム同期が供給される場合、ビット・フィールド FPER と FWID をプログラミングする必要があります。

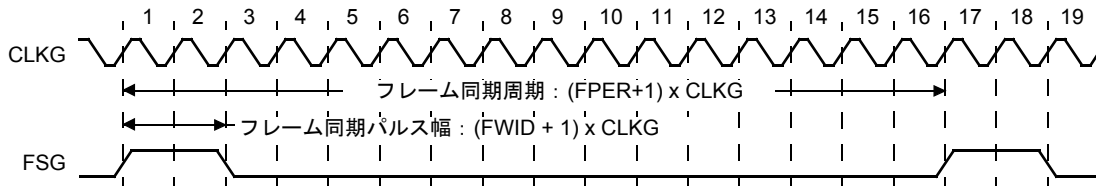
FSG では、フレーム同期パルスの開始から次のパルスの開始までの周期は (FPER + 1) CLKG サイクルになります。12 ビットの FPER で 1 ~ 4096 CLKG サイクルのフレーム同期周期が可能になり、これによりフレーム当たり最大 4096 のデータ・ビットが可能になります。GSYNC = 1 の場合には、FPER は don't care 値です。

FSG の各パルスの幅は、(FWID + 1) CLKG サイクルになります。8 ビットの FWID でパルスの幅は 1 ~ 256 CLKG サイクルにすることができます。FWID の値は、プログラミングしたワード長より小さくするようにプログラミングすることをお奨めします。

FPER と FWID の値は、別々のダウンカウンタにロードされます。12 ビットの FPER カウンタは、生成されたクロック・サイクルをプログラミングした値 (最大 4095) から 0 へと減算します。8 ビットの FWID カウンタは、プログラミングした値 (最大 255) から 0 へと減算します。

図 8-21 は、16 CLKG 周期 (FPER = 15 または 00001111b) のフレーム同期周期と、2 CLKG 周期 (FWID = 1) のアクティブ幅を持つフレーム同期パルスを示しています。

図 8-21 16 CLKG 周期のフレーム同期周期と 2 CLKG 周期のアクティブ幅

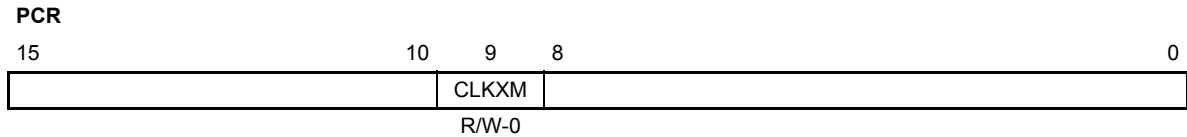


サンプル・レート・ジェネレータのリセットを解除すると、FSG は非アクティブ状態になります。その後に、FRST = 1 と FSGM = 1 にセットすると、フレーム同期パルスが生成されます。フレーム幅値 (FWID + 1) は、FSG が Low になった時点で、0 になるまで CLKG サイクルごとに減算されます。同時に、フレーム周期値 (FPER + 1) も減算され、この値が 0 に達すると、FSG は High になり、新しいフレームであることを示します。

## 8.19 送信クロック・モードの設定

図 8-22 および表 8-21 で説明する CLKXM ビットは、送信クロックのソースと CLKX ピンの機能を決定します。

図 8-22 送信クロック・モードをセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-21 送信クロック・モードをセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	9	CLKXM	送信クロック・モード
		CLKXM = 0	トランスミッタは、そのクロック信号を外部ソースから CLKX ピンを介して取得します。
		CLKXM = 1	CLKX ピンは、McBSP のサンプル・レート・ジェネレータによってドライブされる出力ピンです。

### 8.19.1 送信クロックのソースと、CLKX ピンのデータ方向の選択

表 8-22 は、CLKXM ビットによる送信クロックと CLKX ピンの対応する状態の選択方法を示しています。CLKX ピン上の信号の極性は、CLKXP ビットによって決定されません。

表 8-22 CLKXM ビットによる送信クロックと CLKXP ピンの対応する状態の選択方法

PCR の CLKXM	送信クロックのソース	CLKX ピンの状態
0	内部 CLKX は、CLKX ピン上の外部クロックによってドライブされます。CLKX は、使用される前に CLKXP による決定に従って反転します。	入力
1	内部 CLKX は、サンプル・レート・ジェネレータ・クロック (CLKG) によってドライブされます。	出力。CLKXP による決定に従って反転した CLKG は、CLKX ピン上でドライブアウトされます。

### 8.19.2 その他の考慮事項

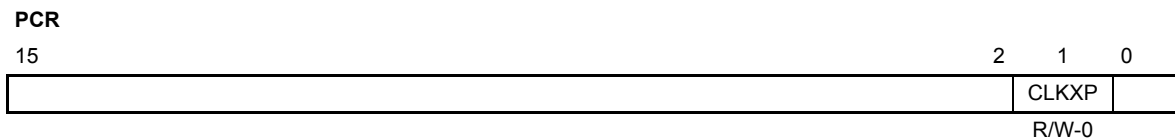
サンプル・レート・ジェネレータが外部入力クロックから供給されるクロック信号 (CLKG) を生成する場合、GSYNC ビットは、CLKG を FSR ピン上のパルスと同期させておくかどうかを決定します。

クロック停止モード (CLKSTP = 10b または CLKSTP = 11b) では、McBSP は SPI プロトコルのマスタまたはスレーブとして動作できます。McBSP がマスタの場合、CLKXM = 1 にセットし、CLKX がマスタ・クロックをすべてのスレーブ・デバイスに供給する出力になるようにします。McBSP がスレーブの場合、CLKXM = 0 にセットし、CLKX がマスタ・クロック信号を受け付ける入力になるようにします。

## 8.20 送信クロック極性の設定

CLKXP ビット（図 8-23 と表 8-23 を参照）は、送信クロック極性を決定します。

図 8-23 送信クロック極性をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-23 送信クロック極性をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
PCR	1	CLKXP	送信クロック極性
			<p>CLKXP = 0</p> <p>CLKX ピンを入力として設定すると、CLKX ピンの信号は内部的に使用される前に反転しません。</p> <p>CLKX を出力として設定すると、内部 CLKX は CLKX ピン上でドライブする前に反転しません。</p> <p>送信データは、外部 CLKX 信号の立ち上がりエッジでドライブされます。</p> <p>CLKXP = 1</p> <p>CLKX ピンを入力として設定すると、CLKX ピンの信号は内部的に使用される前に反転します。</p> <p>CLKX を出力として設定すると、内部 CLKX は CLKX ピン上でドライブする前に反転しません。</p> <p>送信データは、外部 CLKX 信号の立ち下がりエッジでドライブされます。</p>

### 8.20.1 フレーム同期パルス、クロック信号、およびその極性について

送信フレーム同期パルスは、サンプル・レート・ジェネレータによって内部的に生成されるか、外部ソースによってドライブされます。フレーム同期のソースは、PCR のモード・ビットである FSXM をプログラミングすることで選択します。また、FSX は SRGR2 の FSGM ビットによって影響を受けます。同様に、PCR のモード・ビットである CLKXM をプログラミングすることで、送信クロックを入力または出力にするように選択できます。

FSR と FSX を入力 (FSXM = FSRM = 0、外部フレーム同期パルス) にすると、McBSP は内部 CLKR と内部 CLKX それぞれのクロックの内部立ち下がりエッジでこれらを検出します。また、DR ピンに到着する受信データも、内部 CLKR の立ち下がりエッジでサンプリングされます。これらの内部クロック信号は、外部ソースから CLK (R/X) を介して供給されるか、McBSP 内部のサンプル・レート・ジェネレータのクロック (CLKG) によってドライブされます。

FSR と FSX を出力にすると、これらの出力はサンプル・レート・ジェネレータによってドライブされることになり、このときこれらの出力は、内部クロック CLK (R/X) の立ち上がりエッジで生成され、アクティブ状態になります。同様に、DX ピン上のデータは内部 CLKX の立ち上がりエッジで出力されます。

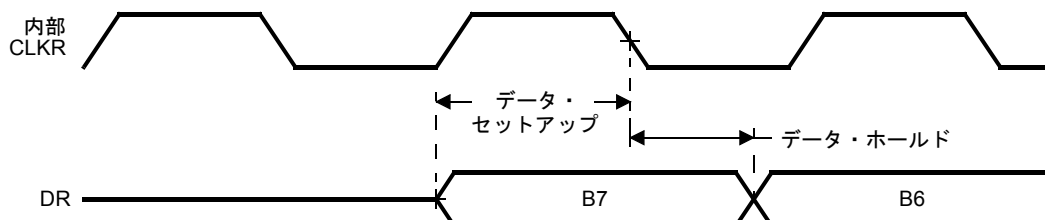
ピン制御レジスタ (PCR) 内の FSRP、FSXP、CLKRP、CLKXP は、それぞれ FSR、FSX、CLKR、CLKX の信号の極性を制御します。シリアル・ポート内部のすべてのフレーム同期信号 (内部 FSR、内部 FSX) は、アクティブ・ハイになります。外部フレーム同期に対してシリアル・ポートを設定し (FSR/FSX は McBSP に対して入力)、FSRP = FSXP = 1 にセットすると、外部のアクティブ・ローのフレーム同期信号は、レシーバ (内部 FSR) とトランスミッタ (内部 FSX) に送られる前に反転します。同様に、内部同期を選択 (FSR/FSX を出力ピンにし、GSYNC = 0 にセットする) し、極性ビット FS(R/X)P を 1 にセットすると、内部のアクティブ・ハイ同期信号は FS (R/X) ピンに送信される前に反転します。

送信側では、送信クロック極性ビットの CLKXP は、送信データをシフトし、クロックアウトするために使用されるエッジをセットします。ただし、データは、常に内部 CLKX の立ち上がりエッジで送信されるので注意してください。CLKXP = 1 にセットし、外部クロッキングを選択する (CLKXM = 0 にセットし、CLKX を入力にする) と、CLKX 上の外部の立ち下がりエッジでトリガされる入力クロックは、トランスミッタに送られる前に立ち上がりエッジでトリガされるクロックに反転します。CLKXP = 1 にセットし、内部クロッキングを選択する (CLKXM = 1 にセットし、CLKX を出力ピンにする) と、内部の (立ち上がりエッジでトリガされる) クロックである内部 CLKX は、CLKX ピンに送られる前に反転します。

同様に、レシーバは、トランスミッタによって立ち上がりエッジのクロックを使ってクロックされたデータを確実にサンプリングできます。受信クロック極性ビットの CLKRP は、受信されたデータをサンプリングするために使用されるエッジを設定します。ただし、受信データは常に内部 CLKR の立ち下がりエッジでサンプリングされるので注意してください。したがって、CLKRP = 1 にセットし、外部クロッキングを選択する (CLKRM = 0 にセットし、CLKR を入力ピンにする) と、外部の立ち上がりエッジでトリガされる CLKR 上の入力クロックは、レシーバに送られる前に立ち下がりエッジでトリガされるクロックに反転します。CLKRP = 1 にセットし、内部クロッキングを選択する (CLKRM = 1) と、内部の立ち下がりエッジでトリガされるクロックは、CLKR ピンに送信される前に立ち上がりエッジでトリガされるクロックに反転します。

ただし、レシーバとトランスミッタをクロックするために同じクロック (内部または外部) を使用するシステムでは、CLKRP = CLKXP になるので注意してください。レシーバは、トランスミッタとは反対のエッジを使用して、このエッジの周囲のデータを確実にセットアップし、保持します。図 8-24 は、立ち上がりエッジを使用して外部のシリアル・デバイスによってクロックされたデータが、同じクロックの立ち下がりエッジで McBSP レシーバによってどのようにサンプリングできるかを示しています。

図 8-24 立ち上がりエッジを使用して外部的にクロックされ、立ち下がりエッジ上で McBSP レシーバによってサンプリングされたデータ



## 8.21 SRG クロック分周値の設定

図 8-25 および表 8-24 で説明する CLKGDV フィールドは、サンプル・レート・ジェネレータのクロック分周値をセットするために使用します。

図 8-25 サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために使用されるレジスタ・ビット

SRGR1	
15	8 7 0
CLKGDV	
R/W-0000 0001	

凡例： R = リード、W = ライト、-n = リセット後の値

表 8-24 サンプル・レート・ジェネレータ (SRG) のクロック分周値をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SRGR1	7-0	CLKGDV	サンプル・レート・ジェネレータのクロック分周値 サンプル・レート・ジェネレータの入カクロックは、必要なサンプル・レート・ジェネレータのクロック周波数を生成するために (CLKGDV + 1) によって除算されます。CLKGDV のデフォルト値は、1 (入カクロックを 2 で除算) です。

### 8.21.1 サンプル・レート・ジェネレータのクロック分周器について

サンプル・レート・ジェネレータのクロック分周器の最初のステージでは、入カクロックからシリアル・データ・ビット・クロックを生成します。このステージでは、CLKGDV によってプリロードされたカウンタを使用します。CLKGDV には分周率値が含まれています。

クロック分周器の最初のステージによって出力されるのは、データ・ビット・クロックです。データ・ビット・クロックは、CLKG として出力され、CLKG はクロック分周器の第 2、第 3 のステージの入力となります。

CLKG の周波数は、サンプル・レート・ジェネレータの入カクロックの周波数の  $1 / (\text{CLKGDV} + 1)$  倍になります。したがって、サンプル・レート・ジェネレータの入カクロック周波数は、1 ~ 256 の値によって分周されます。CLKGDV が奇数または 0 の場合、CLKG デューティ・サイクルは 50% になります。CLKGDV が偶数値、つまり、奇数の分周を表す  $2p$  の場合、High 状態の期間は  $p+1$  サイクルで、Low 状態の期間は  $p$  サイクルになります。



**注：**

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイス上の McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイス上の McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。低速ペリフェラル・クロック周波数のプログラミングの詳細については、『*TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual*』（文書番号 SPRS206）または『*TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual*』（文書番号 SPRS166）を参照してください。また、その他のタイミング制限が適用される場合があります。McBSP タイミング要件の詳細については、デバイス毎のデータ・マニュアルを参照してください。

CLKX ピンまたは CLKR ピンをドライブする場合は、適切な入力クロック周波数を選択してください。CLKX または CLKR、あるいはその両方に対して内部サンプル・レート・ジェネレータを使用する場合は、適切な入力クロック周波数と分周値 (CLKGDV) を選択してください。

## 8.22 SRG クロック同期モードの設定

GSYNC ビット(図 8-26 と表 8-25 を参照)は、SRG クロック同期モードを決定します。

図 8-26 SRG クロック同期モードをセットするために使用されるレジスタ・ビット

**SRGR2**

15	14	0
GSYNC		

R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 8-25 SRG クロック同期モードをセットするために使用されるレジスタ・ビット

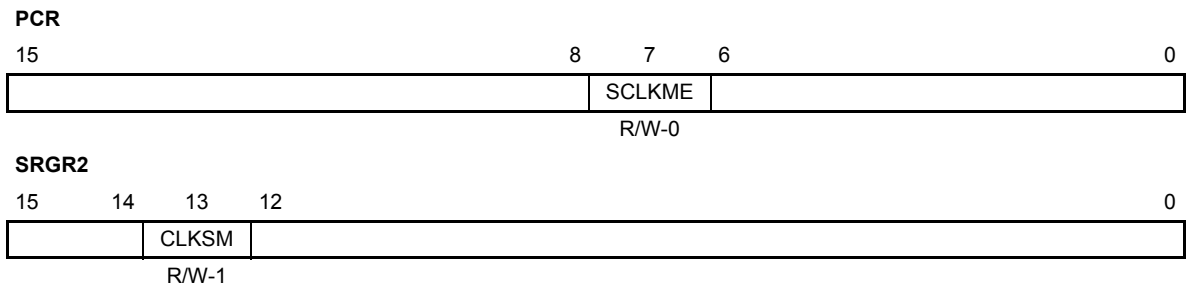
レジスタ	ビット	名前	機能
SRGR2	15	GSYNC <sup>†</sup>	<p>サンプル・レート・ジェネレータ・クロック同期</p> <p>GSYNC は、サンプル・レート・ジェネレータの入カクロック・ソースが CLKS ピンまたは CLKR ピンが外部入力の場合にのみ使用します。</p> <p>GSYNC = 0      サンプル・レート・ジェネレータのクロック (CLKG) はフリー・ランニング・クロックです。CLKG は調整なしで発振し、FSG は (FPER + 1) CLKG サイクルごとにパルスを生成します。</p> <p>GSYNC = 1      クロック同期を実行します。FSR ピンでパルスが検出されると、以下が行われます。</p> <ul style="list-style-type: none"> <li>□ CLKG は、CLKS ピンまたは CLKR ピン上の入カクロックと同期するように、必要に応じて調整されます。</li> <li>□ FSG はパルスを生成します。 FSG は、FSR ピン上のパルスにตอบสนองしてのみパルスを生成します。FPER で定義されたフレーム同期周期は無視されます。</li> </ul>

<sup>†</sup> GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

## 8.23 SRG クロック・モードの設定 (入力クロックの選択)

図 8-27 および表 8-26 で説明するビットは、SRG クロックのソースを選択するために使用します。C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

図 8-27 SRG クロック・モード (入力クロックの選択) をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-26 SRG クロック・モード (入力クロックの選択) をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能	
PCR	7	SCLKME	サンプル・レート・ジェネレータのクロック・モード	
SRGR2	13	CLKSM		
		SCLKME = 0 CLKSM = 0		CLKS ピンから供給されたサンプル・レート・ジェネレータのクロック
		SCLKME = 0 CLKSM = 1		McBSP の内部入力クロックから供給されたサンプル・レート・ジェネレータのクロック (これは、DSP リセットによって強制された状態)
		SCLKME = 1 CLKSM = 0	CLKR ピンから供給されたサンプル・レート・ジェネレータのクロック	
		SCLKME = 1 CLKSM = 1	CLKX ピンから供給されたサンプル・レート・ジェネレータのクロック	

### 8.23.1 SRG クロック・モードについて

サンプル・レート・ジェネレータは、レシーバまたはトランスミッタ、あるいはその両方で使用するクロック信号 (CLKG) を生成できます。ただし CLKG は入力クロックから供給されます。表 8-26 に、設定可能な入力クロックの 4 つのソースを示します。

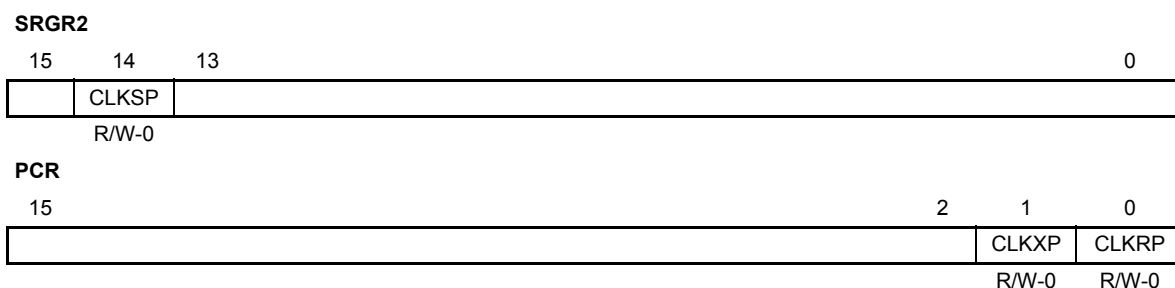
## 8.24 SRG 入カクロック極性の設定

SRG 入カクロックとして CLKS、CLKX、CLKR ピン上の信号のいずれかを選択する場合、それぞれ CLKSP、CLKXP、CLKRP ビットを使用してクロックの極性を選択します。これらのビットを図 8-28 に示し、表 8-27 で説明します。C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。

**注：**

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP にかかわらず、SRG の入カクロックの極性は常に正の値（立ち上がりエッジ）です。

図 8-28 SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット



凡例： R = リード、W = ライト、-n = リセット後の値

表 8-27 SRG 入カクロックの極性をセットするために使用されるレジスタ・ビット

レジスタ	ビット	名前	機能
SRGR2	14	CLKSP	CLKS ピン極性 CLKSP は、CLKS ピンが入カクロック（SCLKME = 0 と CLKSM = 0）を供給する際の入カクロック極性を決定します。 CLKSP = 0      CLKS ピン上の立ち上がりエッジで CLKG と FSG を生成します。 CLKSP = 1      CLKS ピン上の立ち下がりエッジで CLKG と FSG を生成します。
PCR	1	CLKXP	CLKX ピン極性 CLKXP は、CLKX ピンが入カクロック（SCLKME = 1 と CLKSM = 1）を供給する際の入カクロック極性を決定します。 CLKXP = 0      CLKX ピン上の立ち上がりエッジで CLKG と FSG の信号を変化させ生成します。 CLKXP = 1      CLKX ピン上の立ち下がりエッジで CLKG と FSG の信号を変化させ生成します。
PCR	0	CLKRP	CLKR ピン極性 CLKRP は、CLKR ピンが入カクロック（SCLKME = 1 と CLKSM = 0）を供給する際の入カクロック極性を決定します。 CLKRP = 0      CLKR ピン上の立ち上がりエッジで CLKG と FSG の信号を変化させ生成します。 CLKRP = 1      CLKR ピン上の立ち下がりエッジで CLKG と FSG の信号を変化させ生成します。

### 8.24.1 CLKSP/CLKXP/CLKRP を使用した入カクロック極性の選択

サンプル・レート・ジェネレータは、レシーバまたはトランスミッタ、あるいはその両方で使用するためのクロック信号 (CLKG) とフレーム同期信号 (FSG) を生成できます。CLKG と FSG を生成するには、サンプル・レート・ジェネレータを、McBSP の内部入カクロックから供給される入カクロック信号によってドライブするか、CLKX ピン、CLKR ピン、(存在する場合) CLKS ピンのいずれかの外部クロックから供給される入カクロック信号によってドライブする必要があります。ピンを使用する場合は、該当する極性ビット (CLKX ピンの場合 CLKXP、CLKR ピンの場合 CLKRP、CLKS ピンの場合 CLKSP) をプログラミングして、SPG 入カクロックの極性を選択します。入カクロックの極性が、CLKG と FSG 上の信号変化を生成するのが入カクロックの立ち上がりエッジであるか、または入カクロックの立ち下がりエッジであるかを決定します。

**注：**

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP にかかわらず、SRG の入カクロックの極性は常に正の値 (立ち上がりエッジ) です。

---

以下余白

# McBSP ピンの汎用 I/O

この章では、McBSP ピンを汎用 I/O ピンとして使用方法について説明します。

項目	ページ
9.1 GPIO としての McBSP ピンの使用.....	9-2

## 9.1 GPIO としての McBSP ピンの使用

表 9-1 は、McBSP ピンを汎用 I/O (GPIO) ピンとして使用する方法をまとめたものです。この表に示すビットは、XRST と RRST を除きすべて、ピン制御レジスタに含まれるものです。XRST と RRST はシリアル・ポート制御レジスタに含まれるビットです。

**レシーバ・ピン CLKR、FSR、DR** をシリアル・ポート・ピンではなく汎用 I/O として使用するには、以下の 2 つの状態にする必要があります。

- シリアル・ポートのレシーバをリセット状態にする (SPCR1 で RRST = 0 にセット)。
- シリアル・ポートのレシーバに対して汎用 I/O をイネーブルにする (PCR で RIOEN = 1 にセット)。

CLKRM ビットと FSRM ビットを使用して、CLKR ピンと FSR ピンを入力ピンまたは出力ピンとしてそれぞれ個別に設定できます。DR ピンは入力ピンにしか設定できません。表 9-1 は、CLKR ピンと FSR ピンからのリード、またはこれらのピンへのライトに使用する PCR のビットを示しています。

**トランスミッタ・ピン CLKX、FSX、DX** の場合、以下の 2 つの状態にする必要があります。

- シリアル・ポートのトランスミッタをリセット状態にする (SPCR2 で XRST = 0 にセット)。
- シリアル・ポートのトランスミッタに対して汎用 I/O をイネーブルにする (PCR で XIOEN = 1 にセット)。

CLKXM ビットと FSXM ビットを使用して、CLKX ピンと FSX ピンを入力ピンまたは出力ピンとしてそれぞれ個別に設定できます。DX ピンは出力ピンにしか設定できません。表 9-1 は、CLKX ピンと FSX ピンからのリード、またはこれらのピンへのライトに使用する PCR のビットを示しています。

**CLKS ピン** の場合、リセット状態にし、I/O をイネーブルにしておく必要があります。

- シリアル・ポートのレシーバとトランスミッタの両方をリセット状態にする (RRST = 0 と XRST = 0 にセット)。
- レシーバとトランスミッタに対して汎用 I/O をイネーブルにする (RIOEN = 1 と XIOEN = 1 にセット)。

CLKS ピンは入力ピンにしか設定できません。CLKS ピンの信号状態をリードするには、PCR の CLKSSSTAT ビットをリードします。C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。



表 9-1 汎用 I/O として McBSP を使用する方法

ピン	汎用 I/O を イネーブルにするための ビットの組み合わせ	出力として 選択される場合 ...	出力値を ドライブする ビット	入力として 選択される場合 ...	入力値を リードする ビット
CLKX	XRST = 0 XIOEN = 1	CLKXM = 1	CLKXP	CLKXM = 0	CLKXP
FSX	XRST = 0 XIOEN = 1	FSXM = 1	FSXP	FSXM = 0	FSXP
DX	XRST = 0 XIOEN = 1	常時	DXSTAT	なし	適用なし
CLKR	RRST = 0 RIOEN = 1	CLKRM = 1	CLKRP	CLKRM = 0	CLKRP
FSR	RRST = 0 RIOEN = 1	FSRM = 1	FSRP	FSRM = 0	FSRP
DR	RRST = 0 RIOEN = 1	なし	適用なし	常時	DRSTAT
CLKS	RRST = XRST = 0 RIOEN = XIOEN = 1	なし	適用なし	常時	CLKSSTAT

**注：**

McBSP ピンを汎用入力ピンとして設定すると、CLKRP、CLKXP、CLKSP、FSRP、FSXP はライト保護されません。これらのビットをライトすると、関連するピンの状態によって次に自動更新されるまで、ライトされた値は保持されたままになります。これらのビットをポーリングする際にはこの動作を考慮する必要があります。

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、CPU クロックが発生するたびにこれらのビットが更新されます。TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、低速ペリフェラル・クロックが発生するたびにこれらのビットが更新されます。

---

以下余白

## エミュレーション、電源、リセットについての考慮事項

この章では、以下の項目について説明します。

- エミュレーションの一時停止イベント(ブレークポイントなど)に対する McBSP の応答をプログラミングする方法
- McBSP をアイドル・モードにすることによる DSP の消費電力の低減方法
- McBSP の各部のリセットと初期化方法

項目	ページ
10.1 McBSP エミュレーション・モード.....	10-2
10.2 TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP 電源管理 .....	10-3
10.3 TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP 電源管理 ..	10-4
10.4 McBSP のリセットと初期化 .....	10-5

## 10.1 McBSP エミュレーション・モード

FREE および SOFT は、エミュレーション一時停止イベントが高級言語のデバッグで発生したときに McBSP の状態を決定する SPCR2 の特別なエミュレーション・ビットです。エミュレーション一時停止イベントは、ハードウェアまたはソフトウェアのブレークポイントやプローブポイント、printf 命令などの DSP へのあらゆる種類のエミュレータ・アクセスに対応しています。

エミュレーション一時停止イベントの発生時に FREE = 1 にセットしていると、クロックは実行を継続し、データは引き続きシフトアウトされます。FREE = 1 の場合、SOFT ビットは *don't care* ビットになります。

FREE = 0 の場合、SOFT ビットは有効になります。エミュレーション一時停止イベントの発生時に SOFT = 0 にセットしていると、クロックは直ちに停止し、送信は中止されます。SOFT = 1 にセットしていて、送信中にエミュレーション一時停止イベントが発生すると、送信は処理中のワードが完了するまで継続し、その後クロックが停止します。McBSP エミュレーション・モード・オプションを表 10-1 に一覧します。

McBSP レシーバは、同じ方法でエミュレーション一時停止イベントに応答します。レシーバが実行を継続しても DMA コントローラが停止する場合、オーバーラン・エラーが発生する可能性があります。このような場合、(McBSP レシーバを再開するために) データ受信レジスタをリードするか、または McBSP レシーバをリセットするために、割り込みサービス・ルーチンを適切に配置する必要があります。

表 10-1 SPCR2 の FREE ビットと SOFT ビットを使用して選択可能な McBSP エミュレーション・モード

FREE	SOFT	McBSP エミュレーション・モード
0	0	即時停止モード (リセット状態) トランスミッタとレシーバは、エミュレーション一時停止イベントに応答して直ちに停止します。
0	1	ソフト・ストップ・モード エミュレーション一時停止イベントが発生すると、トランスミッタは現在のワードの完了後に停止します。レシーバは影響を受けません。
1	0 or 1	フリー・ラン・モード エミュレーション一時停止イベントが発生しても、トランスミッタとレシーバは実行を継続します。

### 注：

TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、FREE = SOFT = 0 にセットすると McBSP 動作の例外があります。McBSP が SPI モードで実行している場合、トランスミッタは直ちに停止しますがレシーバは停止しません。

## 10.2 TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでの McBSP 電源管理

PERIPH アイドル・ドメインをアイドルにし (ISTR で PERIS = 1 にセット)、McBSP アイドル・イネーブル・ビットをセット (PCR で IDLEEN = 1 にセット) すると、McBSP は消費電力を低減するアイドル・モードになります。

McBSP アイドル・モードでは、以下のようになります。

- 内部的に生成されたクロッキングとフレーム同期を使用して動作するように McBSP を設定すると、McBSP は完全に停止します。
- (直接、またはサンプル・レート・ジェネレータを介して) 外部的に生成されたクロッキングとフレーム同期を使用して動作するように McBSP を設定すると、外部クロック動作の期間、McBSP の外部インターフェイス部分は動作を継続します。McBSP は、処理が必要になったときに PERIPH と DMA の各アイドル・ドメインをアクティベートするリクエストを送信します。これらのドメインが既にアイドル状態であった場合は、McBSP が処理を完了した後、再度アイドル状態になります。

PCR で IDLEEN = 0 にセットすると、PERIPH ドメインがアイドルであるかどうかに関係なく、McBSP は動作を継続します。

### 10.3 TMS320VC5501 デバイスと TMS320VC5502 デバイスでの McBSP 電源管理

PERIPH アイドル・ドメインをアイドル (ISTR で PERIS = 1 にセット) にし、ペリフェラル・アイドル制御レジスタ (PICR) の McBSP アイドル・イネーブル・ビットをセット (SPn = 1 にセット) すると、McBSP は消費電力を低減するアイドル・モードになります。

**注：**

クロッキングまたはフレーム同期のすべてに内部低速ペリフェラル・クロック (SYSCLK2) を使用するように McBSP を設定する場合、McBSP トランスミッタとレシーバがリセット状態 (SPCR1 で RRST = 0 に、SPCR2 で XRST = 0 にセット) にしておかないと、McBSP をアイドルにすることはできません。

McBSP アイドル・モードでは、以下のようになります。

- 内部的に生成されたクロッキングとフレーム同期を使用して動作するように McBSP を設定すると、McBSP は完全に停止します。
- (直接、またはサンプル・レート・ジェネレータを介して) 外部的に生成されたクロッキングとフレーム同期を使用して動作するように McBSP を設定すると、外部クロック動作の期間、McBSP の外部インターフェイス部分は動作を継続します。McBSP は、処理が必要になったときに PERIPH と DMA の各アイドル・ドメインをアクティベートするリクエストを送信します。これらのドメインが既にアイドル状態であった場合は、McBSP が処理を完了した後、再度アイドル状態になります。

PICR で SPn = 0 にセットすると、PERIPH ドメインがアイドルであるかどうかに関係なく、McBSP は動作を継続します。

## 10.4 McBSP のリセットと初期化

### 10.4.1 McBSP のピン状態：DSP リセットとレシーバ/トランスミッタのリセット

表 10-2 に、シリアル・ポートを DSP リセットによりリセットしたときと、レシーバまたはトランスミッタの直接リセットによりリセットしたときの McBSP ピンの状態を示します。

表 10-2 各 McBSP ピンのリセット状態

ピン	設定可能な状態	DSP リセットによって強制的に設定される状態	レシーバまたはトランスミッタ・リセットによって強制的に設定される状態
			レシーバのリセット (RRST = 0 と GRST = 1 にセット)
DR	I	入力	入力
CLKR	I/O/Z	入力	入力の場合は既知の状態、出力の場合は CLKR は動作中です。
FSR	I/O/Z	入力	入力の場合は既知の状態、出力の場合は FSRP はインアクティブな状態です。
CLKS	I/O/Z	入力	入力
			トランスミッタのリセット (XRST = 0 と GRST = 1 にセット)
DX	O/Z	ハイ・インピーダンス	ハイ・インピーダンス
CLKX	I/O/Z	入力	入力の場合は既知の状態、出力の場合は CLKX は動作中です。
FSX	I/O/Z	入力	入力の場合は既知の状態、出力の場合は FSXP はインアクティブな状態です。
CLKS	I	入力	入力

注： 「設定可能な状態」欄の「I」は入力、「O」は出力、「Z」はハイ・インピーダンスを示します。

### 10.4.2 DSP リセット、McBSP リセット、サンプル・レート・ジェネレータリセット

DSP リセットまたは McBSP リセットが発生すると、McBSP は、すべてのカウンタと状態ビットのリセットを含め、初期の状態にリセットされます。受信状態ビットには、RFULL、RRDY、RSYNCERR があります。送信状態ビットには、XEMPTY、XRDY、XSYNCERR があります。

□ **DSP リセット:** DSP 全体をリセットすると (RESET 信号が Low にドライブされる)、トランスミッタ、レシーバ、サンプル・レート・ジェネレータを含めシリアル・ポート全体がリセットされます。すべての入力専用ピンとスリー・ステート・ピンは、既知の状態になります。出力専用ピン DX は、ハイ・インピーダンス状態になります。

DSP リセットを行うと、サンプル・レート・ジェネレータのクロック (CLKG) は、強制的に McBSP 内部入力クロックの周波数の半分に設定されます。サンプル・レート・ジェネレータのフレーム同期信号 (FSG) ではパルスは生成されません。

デバイスのリセットを解除しても、シリアル・ポートはリセット状態のままです。この状態でも DR ピンと DX ピンを汎用 I/O ピンとして使用可能な場合があります。

- **McBSP リセット**：レシーバとトランスミッタのリセット・ビットである RRST と XRST に 0 がロードされると、McBSP の対応する部分がリセットされ、シリアル・ポートの対応する部分の動作が停止します。DR や CLKS などのすべての入力専用ピンと、入力として設定されるその他のすべてのピンは、既知の状態になります。FSR ピンと FSX ピンを出力にしていない場合、FSR ピンと FSX ピンはインアクティブ状態にドライブされます。CLKR ピンと CLKX ピンを出力としてプログラミングしている場合、GRST = 1 にセットすると、これらのピンは CLKG によってドライブされます。最後に、トランスミッタまたはデバイス、あるいはその両方がリセットされると、DX ピンはハイ・インピーダンス状態になります。

通常の動作中に GRST ビットがクリアされると、サンプル・レート・ジェネレータがリセットされます。トランスミッタとレシーバの両方がサンプル・レート・ジェネレータを使用していない場合にのみ、GRST は 0 になります。この場合、内部サンプル・レート・ジェネレータ (CLKG) とそのフレーム同期信号 (FSG) はインアクティブ・ローにドライブされます。

サンプル・レート・ジェネレータがリセット状態でない (GRST = 1) 場合、FSR ピンと FSX ピンが FSG によってドライブされる出力であっても、RRST = 0 と XRST = 0 にセットしておく、FSR ピンと FSX ピンはインアクティブ状態になります。これにより、FRST = 1 にセットされ、フレーム同期が FSG によってドライブされている場合、McBSP の一方をリセットしても、もう一方は動作を継続することが保証されます。

- **サンプル・レート・ジェネレータ・リセット** サンプル・レート・ジェネレータは、DSP リセットを行うか、GRST に 0 がロードされたときにリセットされます。DSP リセットの場合、サンプル・レート・ジェネレータ・クロックの CLKG は、2 分周された McBSP 内部入カクロックによってドライブされ、フレーム同期信号の FSG はインアクティブ・ローにドライブされます。

レシーバとトランスミッタの両方が CLKG と FSG によって信号を供給されていない場合、GRST をクリアすることでサンプル・レート・ジェネレータをリセットできます。この場合、CLKG と FSG はインアクティブ・ローにドライブされます。次に GRST をセットすると、CLKG が開始されプログラミングに従って動作します。FSG は、後で FRST = 1 にセットすると、プログラミングされた CLKG サイクル数が経過した後に、アクティブ・ハイでパルスを生成します。

### 10.4.3 McBSP の初期化手順

以下に、シリアル・ポートの初期化手順を示します。

- 1) SPCR[1,2] で XRST = RRST = FRST = GRST = 0 にセットします。DSP リセット解除後である場合、このステップは必要ありません。
- 2) シリアル・ポートをリセットした状態にして、必要な McBSP コンフィギュレーション・レジスタのみ（データ・レジスタではなく）をプログラミングします。
- 3) 2 クロック・サイクル待ちます。これにより、内部同期が正しく行われます。
- 4) サンプル・レート・ジェネレータをイネーブルにするために GRST = 1 にセットします。
- 5) 2 クロック・サイクル待ちます。これにより、内部同期が正しく行われます。
- 6) DXR[1,2] へのライトなどのデータ取得を必要に応じてセットアップします。



- 7) XRST = RRST = 1 にセットして、シリアル・ポートをイネーブルにします。これらのリセット・ビットをセットする際は、SPCR1 と SPCR2 の他のビットを変更しないようにしてください。そうしないと、ステップ 2 で選択した設定を変更してしまうことになります。
- 8) フレーム同期を内部的に生成する場合は、FRST = 1 にセットします。
- 9) レシーバとトランスミッタがアクティブになるまで 2 クロック・サイクル待ちます。

また、トランスミッタまたはレシーバへの書き込み時に（ステップ 1 またはステップ 5）、必要なビットを変更することでトランスミッタとレシーバを個別にリセット状態にするか、リセットを解除することができます。

通常の動作時にレシーバまたはトランスミッタをリセットする必要があるとき、またレシーバまたはトランスミッタの動作にサンプル・レート・ジェネレータを使用していないときに、上記のリセットまたは初期化手順を実行できます。

**注：**

- 1) XRST または RRST のアクティブ・ロー周期として必要な期間は、最低 2 CLKR/CLKX サイクルです。
- 2) シリアル・ポートのコンフィギュレーション・レジスタの SPCR[1,2]、PCR、RCR[1,2]、XCR[1,2]、SRGR[1,2] 内の該当するビットを変更する際は、影響を受けるシリアル・ポート部分がリセット状態である場合にのみ変更できません。
- 3) 通常、CPU または DMA コントローラによってデータ送信レジスタ (DXR[1,2]) へのロードを行う際は、トランスミッタをイネーブルにしておく (XRST = 1) 必要があります。ただし、内部データの圧伸処理にこれらのレジスタを使用している場合は例外です。
- 4) チャネル制御レジスタの MCR[1,2]、RCER[A-H]、XCER[A-H] のビットは、これらのレジスタ・ビットをマルチチャネル選択モードで現在の受信または送信に使用していないときであればいつでも変更できます。

#### 10.4.4 レシーバの動作中でのトランスミッタのリセット

例 10-1 は、レシーバの動作中にトランスミッタをリセットおよび設定する例を示しています。

##### 例 10-1 McBSP レシーバの動作中での McBSP トランスミッタのリセットおよび設定

```

SPCR1 = 0001h      ; レシーバは動作状態で、
SPCR2 = 0030h      ; 受信割り込み (RINT) は、
                   ; 受信レディ・ビットによって
                   ; トリガされます。トランスミッタは
                   ; リセット状態です。送信割り込み (XINT) は
                   ; 送信フレーム同期エラー・ビット (XSYNCERR)
                   ; によってトリガされます。

PCR = 0900h        ; 送信フレーム同期は、
                   ; SRGR2 の FSGM ビットに従って
                   ; 内部的に生成されます。送信クロックは
                   ; 外部ソースによってドライブされます。受信
                   ; フレーム同期は引き続き外部ソース
                   ; によってドライブされます。受信
                   ; クロックは、サンプル・レート・ジェネレータ
                   ; によって引き続きドライブされます。
                   ; サンプル・レート・ジェネレータの入カクロックは、
                   ; SRGR2 の CLKSM ビット
                   ; の決定に従って、CLKS ピン
                   ; または、McBSP 内部入カクロック
                   ; によって供給されます。

SRGR1 = 0001h      ; McBSP 内部入カクロックは、
SRGR2 = 2000h      ; サンプル・レート・ジェネレータ用の
                   ; 入カクロックです。サンプル・レート・ジェネレータは、
                   ; McBSP 内部入カクロックを 2 分周して
                   ; McBSP 出カクロック (CLKG) を生成します。
                   ; DXR から XSR への データの自動コピー処理
                   ; と送信フレーム同期を結び付けます。

XCR1 = 0740h       ; 送信フレームには 2 つのフェーズが含まれています。
XCR2 = 8321h       ; フェーズ 1 には 8 つの 16 ビット・ワードが、フェーズ 2 には
                   ; 4 つの 12 ビット・ワードが含まれています。
                   ; フレーム同期パルスの先頭と送信される最初のデータ・ビット
                   ; の間には 1 ビットのデータ遅延があります。

SPCR2 = 0031h      ; トランスミッタのリセットが解除されます。

```

**注：**

フレーム同期パルスは、サンプル・レート・ジェネレータによって内部的に生成されるか、別のソースによって外部的に供給されます。マルチチャンネル・モードで外部フレーム同期を生成する場合、TMS320VC5501/02 の McBSP トランスミッタは、リセットが解除された後に最初に発生したフレーム同期パルスを無視します。トランスミッタは、2 つ目のフレーム同期パルスでしかデータを送信しません。レシーバは、内部的または外部的に生成された最初のフレーム同期パルス上でデータをシフトインします。

---

以下余白

# データ・パッキング例

---

---

---

この章では、McBSP でデータ・パッキングを実現する 2 つの方法について説明します。

項目	ページ
11.1 フレーム長とワード長を使用するデータ・パッキング.....	11-2
11.2 ワード長とフレーム同期無視機能を使用するデータ・パッキング.....	11-4

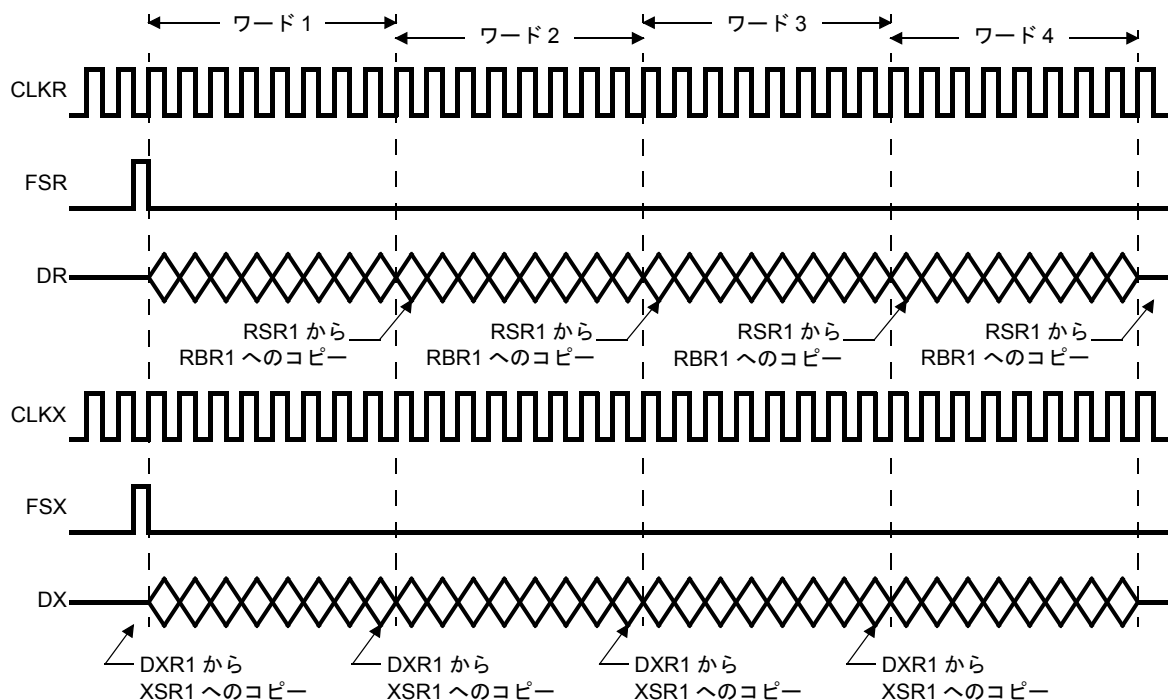
## 11.1 フレーム長とワード長を使用するデータ・パッキング

フレーム長とワード長を操作すると、データのパッキングを効率的に行うことができます。たとえば、シングルフェーズ・フレームで4つの8ビット・ワードを転送する場合を考えます（図 11-1 を参照）。この場合、以下ようになります。

- (R/X)PHASE = 0 : シングル・フェーズ・フレーム
- (R/X)FRLLEN1 = 0000011b : 4-ワード・フレーム
- (R/X)WDLEN1 = 000b : 8-ビット・ワード

McBSP へ、または McBSP から4つの8ビット・データ・ワードがCPUまたはDMAコントローラによって転送されます。つまり、各フレームで4つのDRR1からのリードと4つのDXR1へのライトが必要になります。

図 11-1 McBSP へ、または McBSP から転送される4つの8ビット・データ・ワード



また、このデータを1つの32ビット・データ・ワードから構成されるシングルフェーズ・フレームとして扱うこともできます（図 11-2 を参照）。この場合、以下ようになります。

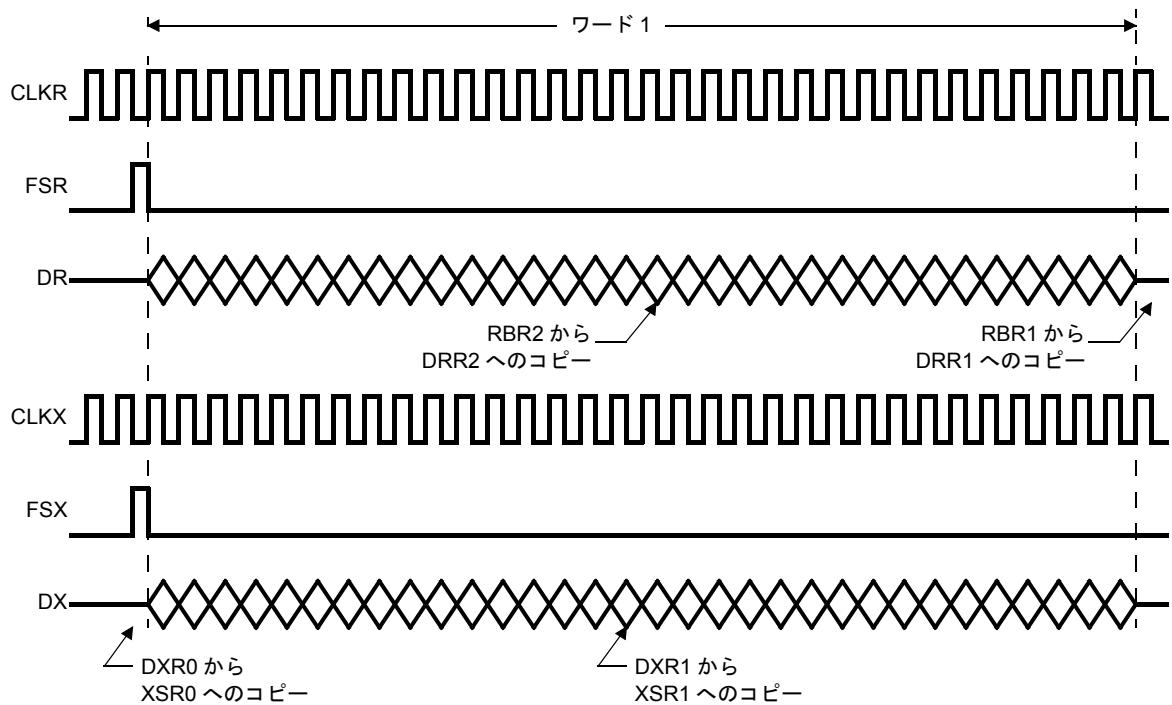
- (R/X)PHASE = 0 : シングル・フェーズ・フレーム
- (R/X)FRLLEN1 = 0000000b : 1-ワード・フレーム
- (R/X)WDLEN1 = 101b : 32-ビット・ワード

McBSP へ、または McBSP から 2 つの 16 ビット・データ・ワードが CPU または DMA コントローラによって転送されます。したがって、各フレームで、DRR2 と DRR1 からの 2 つのリード、および DXR2 と DXR1 への 2 つのライトが必要になります。結果として、転送回数が前のケースに比べて半分になります。このように操作すると、シリアル・ポートのデータ転送に必要なバス専有時間の割合が削減されます。

**注：**

ワード長が 16 ビットを超える場合は、DRR1 または DXR1 にアクセスする前に必ず DRR2 または DXR2 にアクセスするようにしてください。McBSP 動作は、DRR1 または DXR1 へのアクセスに結合されています。24 ビットまたは 32 ビット・ワードの受信時、DRR2 をリードし、次に DRR1 をリードします。そうしないと、DRR2 をリードする前に次の RBR[1,2] から DRR[1,2] へのコピーが発生してしまいます。同様に、24 ビットまたは 32 ビット・ワードの送信時、DXR2 にライトし、次に DXR1 にライトします。そうしないと、DXR2 に新しいデータがロードされる前に次の DXR[1,2] から XSR[1,2] へのコピーが発生してしまいます。

図 11-2 McBSP へ、または McBSP から転送される 1 つの 32 ビット・データ・ワード



## 11.2 ワード長とフレーム同期無視機能を使用するデータ・パッキング

1 フレームに複数のワードが存在するときには、ワード長を増やし（より多くのビットから成る 1 つの連続したワードを定義する）、フレーム同期パルスを無視することで、データ・パッキングを実現できます。最初に、図 11-3 のケースを考えてみます。この図は、最大パケット周波数で動作する McBSP を示しています。この図では、各フレームに 1 つの 8 ビット・ワードのみが含まれています。受信および送信時に各フレーム転送を開始するフレーム同期パルスに注目してください。受信の際、このコンフィギュレーションでは各ワードに 1 つのリード動作が必要になります。送信の際、このコンフィギュレーションでは各ワードに 1 つのライト動作が必要になります。

図 11-3 最大パケット周波数で転送される 8 ビット・データ・ワード

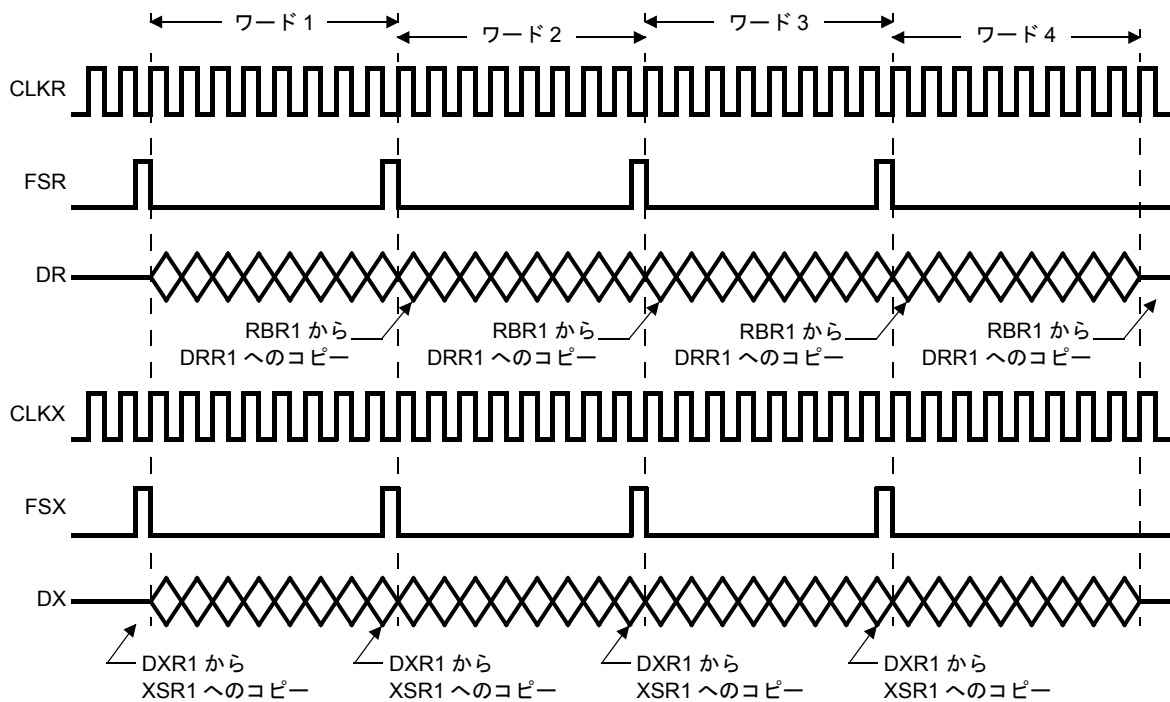
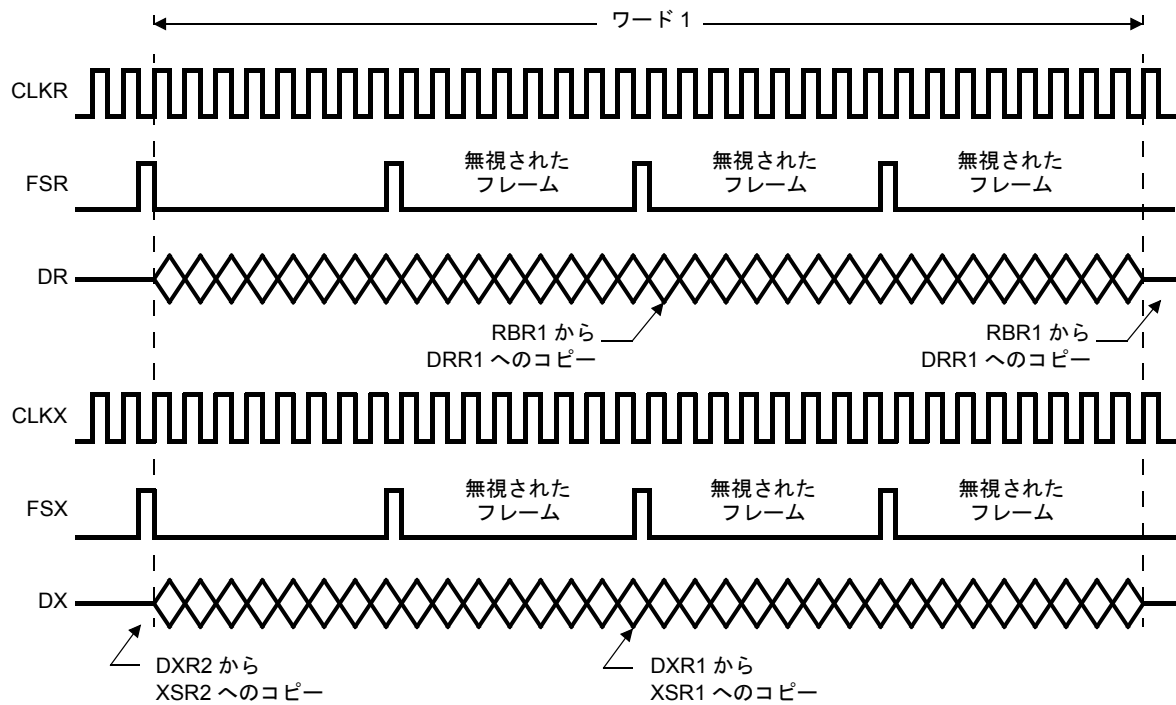


図 11-4 は、このデータを連続する 32 ビット・ワードとして扱うように設定された McBSP を示しています。この例では、McBSP は最初のフレーム同期パルスに反応しますが、(R/X)FIG = 1 にセットされているため、後続するパルスは無視します。すべての 32 ビットで必要になるのは、2 つのリード転送または 2 つのライト転送のみです。このコンフィギュレーションでは、4 つの 8 ビット・ワードを転送するために必要な帯域幅が半分になるように、必要なバス帯域幅が効率よく削減されています。



図 11-4 図 11-3 のデータ・ストリームを連続する 32 ビット・ワードとして設定



**注：**

TMS320VC5501 デバイスと TMS320VC5502 デバイスで、0 ビットの遅延と外部クロックを使用する場合、図 11-3 に示される転送は、フレーム同期無視ビットを 1 にセットしている場合にのみ実現されます。フレーム同期無視ビットが 0 の場合、フレーム間に追加のクロック・サイクルが必要になります。

---

以下余白

# McBSP のレジスタ

この章では McBSP のレジスタについて説明します。特定の C55x デバイスで使用する各レジスタの I/O アドレスについては、デバイス毎のデータ・マニュアルを参照してください。

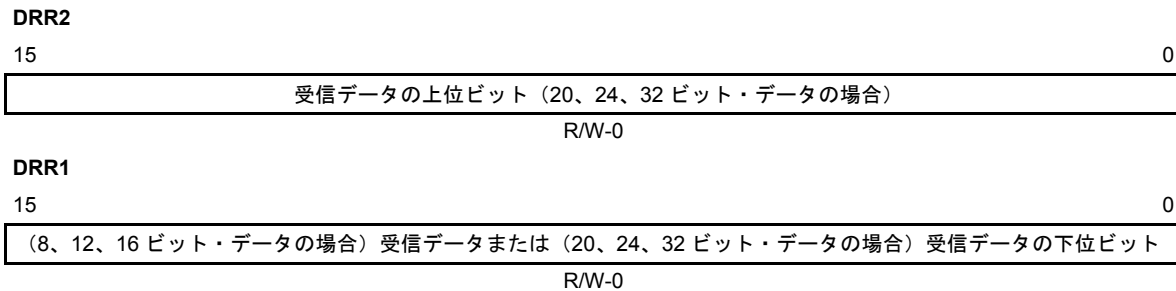
項目	ページ
12.1 データ受信レジスタ (DRR1 と DRR2) .....	12-2
12.2 データ送信レジスタ (DXR1 と DXR2).....	12-3
12.3 シリアル・ポート制御レジスタ (SPCR1 と SPCR2) .....	12-4
12.4 受信制御レジスタ (RCR1 と RCR2) .....	12-11
12.5 送信制御レジスタ (XCR1 と XCR2) .....	12-15
12.6 サンプル・レート・ジェネレータ・レジスタ (SRGR1 と SRGR2) .....	12-19
12.7 マルチチャンネル制御レジスタ (MCR1 と MCR2).....	12-23
12.8 ピン制御レジスタ (PCR).....	12-29
12.9 受信チャンネル・イネーブル・レジスタ (RCERA-RCERH) .....	12-35
12.10 送信チャンネル・イネーブル・レジスタ (XCERA-XCERH) .....	12-38

## 12.1 データ受信レジスタ (DRR1 と DRR2)

CPU または DMA コントローラは、DRR1、または DRR1 と DRR2 の両方のデータ受信レジスタから受信したデータをリードします (図 12-1 を参照。) シリアル・ワード長が 16 ビット以下の場合、DRR1 のみが使用され、シリアル・ワード長が 16 ビットを超える場合、DRR1 と DRR2 の両方が使用されます。DRR2 は最上位ビットを保持します。McBSP の受信データの各フレームには、1 つまたは 2 つのフェーズを含めることが可能です。また、各フレームには独自のシリアル・ワード長が含まれます。

DRR1 と DRR2 は I/O マップド・レジスタなので、I/O 空間のアドレスでアクセスできます。

図 12-1 データ受信レジスタ (DRR1 と DRR2)



凡例： R = リード、W = ライト、-n = リセット後の値

### 12.1.1 データ受信 (DR) ピンから DRR へのデータの転送方法

シリアル・ワード長が 16 ビット以下の場合、DR ピンの受信データは、まず受信シフト・レジスタ 1 (RSR1) にシフトされた後、受信バッファ・レジスタ 1 (RBR1) にコピーされます。次に RBR1 の内容は DRR1 にコピーされ、CPU または DMA コントローラによってリードできるようになります。

シリアル・ワード長が 16 ビットを超える場合、DR ピンの受信データは RSR2 と RSR1 の両方の受信シフト・レジスタにシフトされた後、RBR2 と RBR1 の両方の受信バッファ・レジスタにコピーされます。次に、RBR の内容は 2 個の DRR にコピーされ、CPU または DMA コントローラによってリードできるようになります。

RBR1 から DRR1 へのコピー中に圧伸が使用される場合 (RCOMPAND = 10b または = 11b に設定する)、RBR1 内の 8 ビットの圧縮データは、DRR1 内で左詰めされた 16 ビット値に伸長されます。圧伸をディスエーブルにすると、RBR[1,2] から DRR[1,2] にコピーされたデータは RJUST ビットに従って位置調整され、ビットがフィルされます。

RSR と RBR にはアクセスできません。RSR と RBR は、DRR のように I/O 空間にマップされていません。

## 12.2 データ送信レジスタ (DXR1 と DXR2)

送信では、CPU または DMA コントローラはデータを DXR1、または DXR1 と DXR2 の両方のデータ送信レジスタにライトします (図 12-2 を参照)。シリアル・ワード長が 16 ビット以下の場合、DXR1 のみを使用され、シリアル・ワード長が 16 ビットを超える場合、DXR1 と DXR2 の両方が使用されます。DXR2 は最上位ビットを保持します。McBSP の送信データの各フレームには、1 つまたは 2 つのフェーズを含めることが可能です。また、各フレームには独自のシリアル・ワード長を含めることができます。

DX1 と DXR2 は I/O マップド・レジスタなので、I/O 空間のアドレスでアクセスできます。

図 12-2 データ送信レジスタ (DXR1 と DXR2)



凡例: R = リード、W = ライト、-n = リセット後の値

### 12.2.1 DXR からデータ送信 (DX) ピンへのデータの転送方法

シリアル・ワード長が 16 ビット以下の場合、DXR1 にライトされたデータは送信シフト・レジスタ 1 (XSR1) にコピーされます。XSR1 にコピーされたデータは XSR1 から 1 ビットずつ DX ピンにシフトされます。

シリアル・ワード長が 16 ビットを超える場合、DXR1 と DXR2 にライトされたデータは送信シフト・レジスタ (XSR2、XSR1) にコピーされます。XSR にコピーされたデータは XSR から 1 ビットずつ DX ピンにシフトされます。

DXR1 から XSR1 への転送中に圧伸を使用する場合 (XCOMPAND = 10b または = 11b を設定している場合)、McBSP は、DXR1 内の 16 ビット・データを XSR1 の  $\mu$ -law または A-law 形式の 8 ビット・データに圧縮します。圧伸がディスエーブルの場合、McBSP はデータを変換せずに DXR から XSR に渡します。

XSR にアクセスすることはできません。XSR は、DXR のように I/O 空間にマップされていません。

### 12.3 シリアル・ポート制御レジスタ (SPCR1 と SPCR2)

各 McBSP には図 12-3 に示される形式を持つ 2 個のシリアル・ポート制御レジスタがあります。表 12-1 と表 12-2 に、SPCR1 と SPCR2 内のビットを説明します。これらの I/O マップド・レジスタを使用すると、以下の操作を実行できます。

- デジタル・ループバック・モード (DLB)、受信用の符号拡張と位置調整モード (RJUST)、クロック停止モード (CLKSTP)、割り込みモード (RINTM と XINTM)、エミュレーション・モード (FREE と SOFT) といった各種 McBSP モードを制御します。
- DX ピン遅延イネーブラのオン/オフを切り替えます (DXENA)。
- 受信と送信動作のステータス (RSYNCERR、XSYNCERR、RFULL、XEMPTY、RRDY、XRDY) を確認します。
- McBSP の各部をリセット (RRST、XRST、FRST、GRST) します。

図 12-3 シリアル・ポート制御レジスタ (SPCR1 と SPCR2)

#### SPCR1

15	14	13	12	11	10	8	
DLB		RJUST		CLKSTP		予約	
R/W-0		R/W-00		R/W-00		R-0	
7	6	5	4	3	2	1	0
DXENA	予約†	RINTM		RSYNCERR	RFULL	RRDY	RRST
R/W-0	R/W-0	R/W-00		R/W-0	R-0	R-0	R/W-0

#### SPCR2

15	10	9	8				
予約			FREE	SOFT			
R-0			R/W-0	R/W-0			
7	6	5	4	3	2	1	0
FRST	GRST	XINTM		XSYNCERR	XEMPTY	XRDY	XRST
R/W-0	R/W-0	R/W-00		R/W-0	R-0	R-0	R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値  
 † この予約ビットへは常に 0 をライトします。

表 12-1 SPCR1 ビットの説明

ビット	フィールド	値	説明
15	DLB	0	デジタル・ループバック・モード・ビット。DLB は、McBSP のデジタル・ループバック・モードをディスエーブルまたはイネーブルにします。 ディスエーブルにします。
		1	内部 DR は DR ピンによって供給されます。内部 FSR と内部 CLKR は、モード・ビットの FSRM と CLKRM の設定に従い、それぞれのピンまたはサンプル・レート・ジェネレータから供給されます。 イネーブルにします。 内部受信信号は内部送信信号によって供給されます。 DR は DX と接続されている FSR は FSX と接続されている CLKR は CLKX と接続されている 内部 DX は DX ピンによって供給されます。内部 FSX と内部 CLKX は、モード・ビットの FSXM と CLKXM の設定に従って、それぞれのピンによって供給されるか、または内部的に生成されます。 このモードでは、1 台の DSP を使用してシリアル・ポート・コードをテストできます。McBSP トランスミッタは、データ、フレーム同期、クロッキングを McBSP レシーバに直接供給します。
14-13	RJUST		受信符号拡張と位置調整モード・ビット。受信時、RJUST はデータ受信レジスタ (DRR1、DRR2) に渡す前のデータの位置調整およびビット・フィル方法を決定します。 注：RCOMPAND ビットを使用して圧伸モードをイネーブルにすると、RJUST は無視されます。圧伸モードでは、RBR1 内で 8 ビットに圧縮されたデータは、DRR1 で左詰めされた 16 ビットのデータに伸長されます。
		00b	データを右詰めし、MSB をゼロ・フィルします。
		01b	データを右詰めし、そのデータを MSB に符号拡張します。
		10b	データを左詰めし、LSB をゼロ・フィルします。
		11b	予約 (使用しないでください)
12-11	CLKSTP		クロック停止 (SPI) モード・ビット。CLKSTP では、クロック停止モードを使用して SPI マスタ - スレーブ・プロトコルをサポートできます。SPI プロトコルを使用しない場合は、CLKSTP をクリアして、クロック停止モードをディスエーブルにします。 クロック停止モードでは、クロックは、各データ転送の終了時に停止し、各データ転送の開始時に、直ちに (CLKSTP = 10b) または 2 分の 1 クロック遅延後に (CLKSTP = 11b) 開始します。
		00b または 01b	クロック停止モードをディスエーブルにします。
		10b	クロック遅延なしのクロック停止モード
		11b	2 分の 1 サイクルのクロック遅延ありのクロック停止モード
10-8	予約		これらのリード専用予約ビットは、リードされると 0 を返します。
7	DXENA	0	DX 遅延イネーブラ・モード・ビット。DXENA は DX ピンの遅延イネーブラを制御します。DX ピンの遅延イネーブラは、ターンオン時間のための追加の遅延を作成します (特定の C55x デバイスの遅延の長さについては、デバイス毎のデータ・マニュアルを参照)。 DX 遅延イネーブラをオフにします。
		1	DX 遅延イネーブラをオンにします。
6	予約		この予約ビットには常に 0 をライトします。

表 12-1 SPCR1 ビットの説明 (続き)

ビット	フィールド	値	説明
5-4	RINTM		受信割り込みモード・ビット。RINTM は、McBSP レシーバのどのイベントが受信割り込み (RINT) リクエストを生成するかを決定します。CPU 内部で RINT が正しくイネーブルになると、CPU は割り込みリクエストを処理し、それ以外の場合 CPU はリクエストを無視します。
		00b	RRDY ビットが 0 から 1 になり、受信データのリード準備が整うと (RBR[1,2] の内容は既に DRR[1,2] にコピーされている)、McBSP は受信割り込み (RINT) リクエストを CPU に送信します。 <b>注:</b> RINTM の値に関係なく、RRDY をチェックするとワード転送が完了しているかどうかを確認できます。
		01b	マルチチャンネル選択モードでは、フレーム内で 16 チャンネル・ブロックが受信されるたびに McBSP は RINT リクエストを CPU に送信します。 マルチチャンネル選択モード以外では、割り込みリクエストは送信されません。
		10b	受信フレーム同期パルスを検出するたびに McBSP は RINT リクエストを CPU に送信します。レシーバがリセット状態でも、割り込みリクエストは送信されます。
		11b	受信フレーム同期エラーが発生したことを示す RSYNCERR ビットがセットされると、McBSP は RINT リクエストを CPU に送信します。 <b>注:</b> RINTM の値に関係なく、RSYNCERR をチェックすると受信フレーム同期エラーが発生したかどうかを確認できます。
3	RSYNCERR		受信フレーム同期エラー・ビット。受信フレーム同期エラーが McBSP によって検出されると、RSYNCERR がセットされます。RINTM = 11b にセットすると、McBSP は、RSYNCERR がセットされたときに CPU に受信割り込み (RINT) リクエストを送信します。フラグに 0 をライトするかレシーバをリセットするまで、このフラグはセットされたままになります。 <b>注意:</b> RINTM = 11b の場合、RSYNCERR に 1 がライトされると、受信フレーム同期にエラーが発生したときのように受信割り込みがトリガされます。
		0	エラーは発生していません。
		1	受信フレーム同期エラーが発生しています。
2	RFULL		レシーバのフル・ビット。レシーバが新しいデータでフルされ、前に受信したデータがリードされていない (レシーバはフル状態) と、RFULL がセットされます。
		0	レシーバはフル状態ではありません。
1	RRDY		レシーバ・レディ・ビット。DRR[1,2] からデータをリードする準備が整うと、RRDY がセットされます。たとえば、RBR1 から DRR1 へのコピーにตอบสนองして RRDY がセットされます。 受信割り込みモードが RINTM = 00b の場合、RRDY が 0 から 1 に変わると、McBSP は CPU に受信割り込みリクエストを送信します。 また、RRDY が 0 から 1 に変わると、McBSP は受信同期イベント (REVT) 信号を DMA コントローラに送信します。
		0	レシーバの準備が整えられていません。 DRR1 の内容がリードされると、RRDY は自動的にクリアされます。
		1	レシーバの準備が整えられています。DRR[1,2] から新しいデータをリードできます。 <b>重要:</b> 両方の DRR が必要な場合 (ワード長が 16 ビットを超えている場合)、CPU または DMA コントローラは、DRR2、DRR1 の順でデータをリードする必要があります。DRR1 がリードされると直ちに、次の RBR から DRR へのコピーが開始されます。最初に DRR2 がリードされないと、DRR2 内のデータは失われます。



表 12-1 SPCR1 ビットの説明 (続き)

ビット	フィールド	値	説明
0	RRST		レシーバのリセット・ビット。RRST を使用すると、McBSP レシーバをリセット状態にする、またはリセット状態を解除できます。 <b>注:</b> このビットの極性は負です。RRST = 0 はリセット状態を示します。
		0	0 をリードすると、レシーバはリセット状態です。 0 をライトすると、レシーバがリセットされます。
		1	1 をリードすると、レシーバはイネーブルです。 1 をライトすると、レシーバのリセットが解除され、イネーブルになります。

表 12-2 SPCR2 ビットの説明

ビット	フィールド	値	説明
15-10	予約		これらのリード専用予約ビットは、リードされると 0 を返します。
9	FREE	0	McBSP 送信クロックと受信クロックは、SOFT ビットの決定による影響を受けません。
		1	フリー・ランします。McBSP 送信クロックと受信クロックはランを継続します。
8	SOFT	0	ソフト・ストップ・ビット。FREE = 0 の場合、SOFT は、ブレークポイントなどのエミュレーション一時停止イベントの発生時の McBSP 送信クロックと受信クロックの応答を決定します。送信クロックと受信クロックのいずれかが停止すると、対応するデータ転送（送信または受信）が停止します。
		0	ハード・ストップ。McBSP 送信クロックと受信クロックは直ちに停止します。
		1	ソフト・ストップ。McBSP 送信クロックは、現在のシリアル・ワード転送の完了後に停止します。McBSP 受信クロックは影響を受けません。 TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、SOFT 動作は上記の説明どおりに行われます。 TMS320VC5510 デバイスと TMS320VC5503/5507/5509 デバイスでは、SOFT=1 のサポートは使用できません。FREE = 0 と SOFT = 1 にセットすると、エミュレーション・ブレークポイントの発生時もシリアル・ポートはランを継続します。
7	FRST	0	フレーム同期ロジックのリセット・ビット。McBSP サンプル・レート・ジェネレータには、内部フレーム同期信号を生成するフレーム同期ロジックが含まれています。FRST を使用すると、フレーム同期ロジックをリセット状態にする、またはリセット状態を解除できます。 <b>注：</b> このビットの極性は負です。FRST = 0 はリセット状態を示します。
		0	0 をリードすると、フレーム同期ロジックはリセット状態です。 0 をライトすると、フレーム同期ロジックがリセットされます。 リセット状態では、フレーム同期ロジックはフレーム同期信号 (FSG) を生成しません。
		1	1 をリードすると、フレーム同期ロジックはイネーブルです。 1 をライトすると、フレーム同期ロジックのリセット状態が解除され、イネーブルになります。 フレーム同期ロジックをイネーブル (FRST = 1) にし、サンプル・レート・ジェネレータ全体をイネーブル (GRST = 1) にすると、フレーム同期ロジックはフレーム同期信号 FSG をプログラミングに従って生成します。
		1	1 をリードすると、フレーム同期ロジックはイネーブルです。 1 をライトすると、フレーム同期ロジックのリセット状態が解除され、イネーブルになります。 フレーム同期ロジックをイネーブル (FRST = 1) にし、サンプル・レート・ジェネレータ全体をイネーブル (GRST = 1) にすると、フレーム同期ロジックはフレーム同期信号 FSG をプログラミングに従って生成します。
6	GRST	0	サンプル・レート・ジェネレータのリセット・ビット。GRST を使用すると、McBSP サンプル・レート・ジェネレータをリセット状態にしたり、リセットを解除できます。 <b>注：</b> このビットの極性は負です。GRST = 0 はリセット状態を示します。
		0	0 をリードすると、サンプル・レート・ジェネレータはリセット状態です。 0 をライトすると、サンプル・レート・ジェネレータがリセットされます。 DSP リセットにより GRST = 0 にセットしている場合、CLKG は 2 分周された McBSP 内部入カクロックによってドライブされ、FSG は Low (インアクティブ) でドライブされます。プログラム・コードで GRST = 0 にセットしている場合、CLKG と FSG は Low (インアクティブ) でドライブされます。

表 12-2 SPCR2 ビットの説明 (続き)

ビット	フィールド	値	説明
		1	1 をリードすると、サンプル・レート・ジェネレータはイネーブルです。 1 をライトすると、サンプル・レート・ジェネレータのリセット状態が解除され、イネーブルになります。 イネーブルにすると、サンプル・レート・ジェネレータはクロック信号 CLKG をサンプル・レート・ジェネレータ・レジスタでのプログラミングに従って生成します。FRST = 1 の場合、サンプル・レート・ジェネレータはサンプル・レート・ジェネレータのレジスタでのプログラミングに従ってフレーム同期信号 FSG も生成します。
5-4	XINTM	00b	送信割り込みモード・ビット。XINTM は、McBSP トランスミッタのどのイベントが送信割り込み (XINT) リクエストを生成するかを決定します。XINT が正しくイネーブルになると、CPU は割り込みリクエストを処理し、それ以外の場合 CPU はリクエストを無視します。
		01b	XRDY ビットが 0 から 1 になり、トランスミッタで新しいデータを受け付ける準備が整うと (DXR[1,2] の内容が既に XSR[1,2] にコピーされている)、McBSP は送信割り込み (XINT) リクエストを CPU に送信します。 <b>注:</b> XINTM の値に関係なく、XRDY をチェックするとワード転送が完了しているかどうかを確認できます。
		10b	マルチチャネル選択モードでは、フレーム内で 16 チャネル・ブロックが送信されるたびに McBSP は XINT リクエストを CPU に送信します。
		11b	マルチチャネル選択モード以外では、割り込みリクエストは送信されません。 送信フレーム同期パルスを検出するたびに McBSP は XINT リクエストを CPU に送信します。トランスミッタがリセット状態でも、割り込みリクエストは送信されません。 送信フレーム同期エラーが発生したことを示す XSYNCERR ビットがセットされると、McBSP は XINT リクエストを CPU に送信します。 <b>注:</b> XINTM の値に関係なく、XSYNCERR をチェックすると送信フレーム同期エラーが発生したかどうかを確認できます。
3	XSYNCERR		送信フレーム同期エラー・ビット。送信フレーム同期エラーが McBSP によって検出されると、XSYNCERR がセットされます。XINTM = 11b にセットすると、McBSP は、XSYNCERR がセットされたときに CPU に送信割り込み (XINT) リクエストを送信します。フラグに 0 をライトするかトランシーバをリセットするまで、このフラグはセットされたままになります。 <b>注意:</b> XINTM = 11b の場合、XSYNCERR に 1 がライトされると、送信フレーム同期にエラーが発生したときのように送信割り込みがトリガされます。
		0	エラーは発生していません。
		1	送信フレーム同期エラーが発生しています。
2	XEMPTY		トランスミッタのエンpty・ビット。トランスミッタで新しいデータを送信する準備が整っているのに、新しいデータがない (トランスミッタが空状態) と、XEMPTY はクリアされます。 <b>注:</b> このビットの極性は負です。トランスミッタの空状態は XEMPTY = 0 によって示されます。
		0	トランスミッタは空の状態です。 通常、現在のワードのすべてのビットが送信されたのに、DXR1 内に新しいデータが存在しないことを示します。トランスミッタがリセットされ再開された場合も、XEMPTY はクリアされます。
		1	トランスミッタは空の状態ではありません。

表 12-2 SPCR2 ビットの説明 (続き)

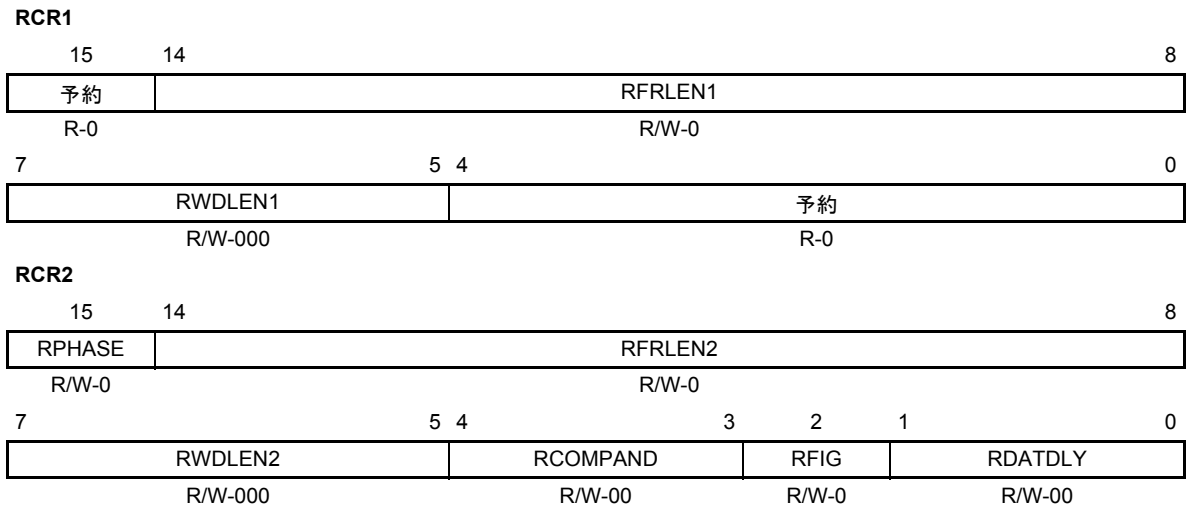
ビット	フィールド	値	説明
1	XRDY		<p>トランスミッタ・レディ・ビット。トランスミッタで DXR[1,2] 内の新しいデータを受け付ける準備が整うと、XRDY がセットされます。たとえば、DXR1 から XSR1 へのコピーに回答して XRDY がセットされます。</p> <p>送信割り込みモードが XINTM = 00b の場合、XRDY が 0 から 1 に変わると、McBSP は CPU に送信割り込みリクエストを送信します。</p> <p>また、XRDY が 0 から 1 に変わると、McBSP は送信同期イベント (XEVT) 信号を DMA コントローラに送信します。</p>
		0	<p>トランスミッタの準備が整っていません。</p> <p>DXR1 がロードされると、XRDY は自動的にクリアされます。</p>
		1	<p>トランスミッタの準備が整っています。DXR[1,2] で新しいデータを受け付ける準備が整っています。</p> <p><b>重要:</b> 両方の DXR が必要な場合 (ワード長が 16 ビットを超えている場合)、CPU または DMA コントローラは、DXR2、DXR1 の順でデータをロードする必要があります。次の手順で説明するように、DXR1 がロードされると直ちに、両方の DXR の内容が送信シフト・レジスタ (XSR) にコピーされます。最初に DXR2 がロードされないと、DXR2 内の前の内容が XSR2 に渡されず。</p>
0	XRST		<p>トランスミッタ・リセット・ビット。XRST を使用すると、McBSP トランスミッタをリセット状態にする、またはリセット状態を解除できます。</p> <p><b>注:</b> このビットの極性は負です。XRST = 0 はリセット状態を示します。</p>
		0	<p>0 をリードすると、トランスミッタはリセット状態です。</p> <p>0 をライトすると、トランスミッタがリセットされます。</p>
		1	<p>1 をリードすると、トランスミッタはイネーブルです。</p> <p>1 をライトすると、トランスミッタのリセットが解除され、イネーブルになります。</p>

## 12.4 受信制御レジスタ (RCR1 と RCR2)

各 McBSP には図 12-4 に示される形式を持つ 2 個の受信制御レジスタがあります。表 12-3 と表 12-4 に、RCR1 と RCR2 内のビットを説明します。これらの I/O マップド・レジスタを使用すると、以下の操作を実行できます。

- 受信データの各フレームに 1 つまたは 2 つのフェーズを指定します (RPHASE)。
- フェーズ 1 と (必要に応じて) フェーズ 2 に、シリアル・ワード長 (RWDLEN1、RWDLEN2) とワード数 (RFRLLEN1、RFRLLEN2) の 2 つのパラメータを定義します。
- 必要に応じて、受信圧伸モードを選択します (RCOMPAND)。
- 受信フレーム同期無視機能をイネーブルまたはディスエーブルにします (RFIG)。
- 受信データ遅延を選択します (RDATDLY)。

図 12-4 受信制御レジスタ (RCR1 と RCR2)



凡例： R = リード、W = ライト、-n = リセット後の値

表 12-3 RCR1 ビットの説明

ビット	フィールド	値	説明												
15	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。												
14-8	RFRLN1	0-127	<p>受信フレーム長 1 ビット (1 ~ 128 ワード)。RPHASE ビットにロードする値によって、受信データの各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、RCR1 の RFRLN1 はフレーム内のシリアル・ワード数を選択します。デュアル・フェーズ・フレームを選択すると、RFRLN1 はフレームのフェーズ 1 内のシリアル・ワード数を決定し、RCR2 の RFRLN2 はフレームのフェーズ 2 のワード数を決定します。7 ビットの RFRLN フィールドでは、フェーズ当たり最大 128 ワードまで設定できます。フレーム長の決定方法については、次の表を参照してください。受信フレーム長は、ワード数または論理タイム・スロット数、またはフレーム同期周期当たりのチャンネル数に対応します。</p> <p>注：RFRLN フィールドをプログラミングするには、<math>[w \text{ minus } 1]</math> を使用します。ここでの <math>w</math> はフェーズ当たりのワード数を表します。たとえば、フェーズ 1 に 128 ワードのフェーズ長を設定する場合、RFRLN1 に 127 をロードします。</p>												
			<table border="1"> <thead> <tr> <th>RPHASE</th> <th>RFRLN1</th> <th>RFRLN2</th> <th>フレーム長</th> </tr> </thead> <tbody> <tr> <td>0</td> <td><math>0 \leq \text{RFRLN1} \leq 127</math></td> <td>未使用</td> <td>(RFRLN1 + 1) ワード</td> </tr> <tr> <td>1</td> <td><math>0 \leq \text{RFRLN1} \leq 127</math></td> <td><math>0 \leq \text{RFRLN2} \leq 127</math></td> <td>(RFRLN1 + 1) + (RFRLN2 + 1) ワード</td> </tr> </tbody> </table>	RPHASE	RFRLN1	RFRLN2	フレーム長	0	$0 \leq \text{RFRLN1} \leq 127$	未使用	(RFRLN1 + 1) ワード	1	$0 \leq \text{RFRLN1} \leq 127$	$0 \leq \text{RFRLN2} \leq 127$	(RFRLN1 + 1) + (RFRLN2 + 1) ワード
RPHASE	RFRLN1	RFRLN2	フレーム長												
0	$0 \leq \text{RFRLN1} \leq 127$	未使用	(RFRLN1 + 1) ワード												
1	$0 \leq \text{RFRLN1} \leq 127$	$0 \leq \text{RFRLN2} \leq 127$	(RFRLN1 + 1) + (RFRLN2 + 1) ワード												
7-5	RWDLEN1		<p>受信ワード長 1 ビット。RPHASE ビットにロードする値によって、受信データの各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、RCR1 の RWDLEN1 はフレームで受信されたすべてのシリアル・ワード長を選択します。デュアル・フェーズ・フレームを選択すると、RWDLEN1 はフレームのフェーズ 1 内のシリアル・ワード長を決定し、RCR2 の RWDLEN2 はフレームのフェーズ 2 のワード長を決定します。</p>												
		000b	8 ビット												
		001b	12 ビット												
		010b	16 ビット												
		011b	20 ビット												
		100b	24 ビット												
		101b	32 ビット												
		その他	予約 (使用しないでください)												
4-0	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。												

表 12-4 RCR2 ビットの説明

ビット	フィールド	値	説明
15	RPHASE	0	受信フェーズ数ビット。RPHASE は、受信フレームに 1 つのフェーズを含めるか、または 2 つのフェーズを含めるかを決定します。各フェーズに対して、シリアル・ワード長とフェーズ内のシリアル・ワード数を定義できます。フェーズ 1 をセットアップするには、RWDLEN1 (ワード長) と RFRLLEN1 (ワード数) をプログラミングします。(2 つのフェーズがある場合) フェーズ 2 をセットアップするには、RWDLEN2 と RFRLLEN2 をプログラミングします。
		1	デュアル・フェーズ・フレーム 受信フレームには 2 つのフェーズ (フェーズ 1 とフェーズ 2) が含まれます。
14-8	RFRLLEN2	0-127	受信フレーム長 2 ビット (1 ~ 128 ワード)。RPHASE ビットにロードする値によって、受信データの各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、RCR1 の RFRLLEN1 はフレーム内のシリアル・ワード数を選択します。デュアル・フェーズ・フレームを選択すると、RFRLLEN1 はフレームのフェーズ 1 内のシリアル・ワード数を決定し、RCR2 の RFRLLEN2 はフレームのフェーズ 2 のワード数を決定します。7 ビットの RFRLLEN フィールドでは、フェーズあたり最大 128 ワードまで設定できます。フレーム長の決定方法については、次の表を参照してください。受信フレーム長は、ワード数または論理タイム・スロット数、またはフレーム同期周期当たりのチャネル数に対応します。  注: RFRLLEN フィールドをプログラミングするには、 $[w \text{ minus } 1]$ を使用します。ここでの $w$ はフェーズ当たりのワード数を表します。たとえば、フェーズ 2 に 128 ワードのフェーズ長を設定する場合、RFRLLEN2 に 127 をロードします。
RPHASE	RFRLLEN1	RFRLLEN2	フレーム長
0	$0 \leq \text{RFRLLEN1} \leq 127$	未使用	$(\text{RFRLLEN1} + 1)$ ワード
1	$0 \leq \text{RFRLLEN1} \leq 127$	$0 \leq \text{RFRLLEN2} \leq 127$	$(\text{RFRLLEN1} + 1) + (\text{RFRLLEN2} + 1)$ ワード

表 12-4 RCR2 ビットの説明 (続き)

ビット	フィールド	値	説明
7-5	RWDLEN2		受信ワード長 2 ビット。RPHASE ビットにロードする値によって、受信データの各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、RCR1 の RWDLEN1 はフレームで受信されたすべてのシリアル・ワード長を選択します。デュアル・フェーズ・フレームを選択すると、RWDLEN1 はフレームのフェーズ 1 内のシリアル・ワード長を決定し、RCR2 の RWDLEN2 はフレームのフェーズ 2 のワード長を決定します。
		000b	8 ビット
		001b	12 ビット
		010b	16 ビット
		011b	20 ビット
		100b	24 ビット
		101b	32 ビット
		その他	予約 (使用しないでください)
4-3	RCOMPAND		受信圧伸モード・ビット。圧伸 (圧縮と伸長) ハードウェアでは、データを $\mu$ -law 形式または A-law 形式で圧縮および伸長できます。  RCOMPAND では、McBSP レシーバに対する以下の圧伸モードのいずれか 1 つを選択します。
		00b	圧伸しません。任意のサイズのデータ。MSB ファースト受信。
		01b	圧伸しません。8 ビット・データ。LSB ファースト受信。
		10b	$\mu$ -law による圧伸を行います。8 ビット・データ。MSB ファースト受信。
		11b	A-law による圧伸を行います。8 ビット・データ。MSB ファースト受信。
2	RFIG		受信フレーム同期無視ビット。現在のフレームが完全に受信される前にフレーム同期パルスが新しいフレームの転送を開始すると、このパルスは予期しないフレーム同期パルスとして処理されます。  RFIG を設定すると、シリアル・ポートは受信中の予期しないフレーム同期信号を無視します。
		0	フレーム同期を検出します。予期しない FSR パルスが発生すると、レシーバは RSR[1,2] の内容を破棄し、新しく受信したデータを受信します。レシーバは、以下の処理を行います。 1) 現在のデータ転送を中止します。 2) SPCR1 内で RSYNCERR をセットします。 3) 新しいデータ・ワードの転送を開始します。
		1	フレーム同期を無視します。予期しない FSR パルスを無視します。受信は、割り込まれることなく継続されます。
1-0	RDATDLY		受信データ遅延ビット。RDATDLY は、フレーム同期からフレームの最初のビットの受信までのデータ遅延を 0、1、2 受信クロック・サイクルのいずれかに指定します。
		00b	0 ビット・データ遅延
		01b	1 ビット・データ遅延
		10b	2 ビット・データ遅延
		11b	予約 (使用しないでください)

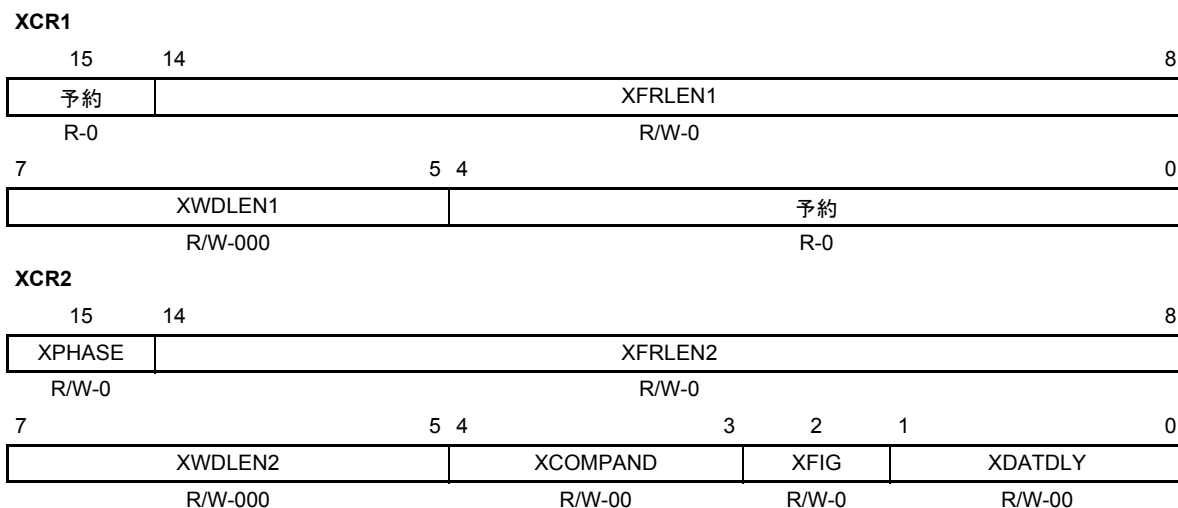


## 12.5 送信制御レジスタ (XCR1 と XCR2)

McBSP には図 12-5 に示される形式を持つ 2 個の送信制御レジスタがあります。表 12-5 と表 12-6 に、XCR1 と XCR2 内のビットを説明します。これらの I/O マップド・レジスタを使用すると、以下の操作を実行できます。

- 送信データの各フレームに 1 つまたは 2 つのフェーズを指定します (XPHASE)。
- フェーズ 1 と (必要に応じて) フェーズ 2 に、シリアル・ワード長 (XWDLEN1、XWDLEN2) とワード数 (XFRLEN1、XFRLEN2) の 2 つのパラメータを定義します。
- 必要に応じて、送信圧伸モードを選択します (XCOMPAND)。
- 送信フレーム同期無視機能をイネーブルまたはディスエーブルにします (XFIG)。
- 送信データ遅延を選択します (XDATDLY)。

図 12-5 送信制御レジスタ (XCR1 と XCR2)



凡例： R = リード、W = ライト、-n = リセット後の値

表 12-5 XCR1 ビットの説明

ビット	フィールド	値	説明												
15	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。												
14-8	XFRLLEN1	0-127	送信フレーム長 1 (1 ~ 128 ワード)。XPHASE ビットにロードする値によって、送信データの各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、XCR1 の XFRLLEN1 はフレーム内のシリアル・ワード数を選択します。デュアル・フェーズ・フレームを選択すると、XFRLLEN1 はフレームのフェーズ 1 内のシリアル・ワード数を決定し、XCR2 の XFRLLEN2 はフレームのフェーズ 2 のワード数を決定します。7 ビットの XFRLLEN フィールドでは、フェーズ当たり最大 128 ワードまで設定できます。フレーム長の決定方法については、次の表を参照してください。送信フレーム長は、ワード数または論理タイム・スロット数、またはフレーム同期周期当たりのチャネル数に対応します。  注: XFRLLEN フィールドをプログラミングするには、 $[w \text{ minus } 1]$ を使用します。ここでの $w$ はフェーズ当たりのワード数を表します。たとえば、フェーズ 1 に 128 ワードのフェーズ長を設定する場合、XFRLLEN1 に 127 をロードします。												
			<table border="1"> <thead> <tr> <th>XPHASE</th> <th>XFRLLEN1</th> <th>XFRLLEN2</th> <th>フレーム長</th> </tr> </thead> <tbody> <tr> <td>0</td> <td><math>0 \leq \text{XFRLLEN1} \leq 127</math></td> <td>未使用</td> <td><math>(\text{XFRLLEN1} + 1)</math> ワード</td> </tr> <tr> <td>1</td> <td><math>0 \leq \text{XFRLLEN1} \leq 127</math></td> <td><math>0 \leq \text{XFRLLEN2} \leq 127</math></td> <td><math>(\text{XFRLLEN1} + 1) + (\text{XFRLLEN2} + 1)</math> ワード</td> </tr> </tbody> </table>	XPHASE	XFRLLEN1	XFRLLEN2	フレーム長	0	$0 \leq \text{XFRLLEN1} \leq 127$	未使用	$(\text{XFRLLEN1} + 1)$ ワード	1	$0 \leq \text{XFRLLEN1} \leq 127$	$0 \leq \text{XFRLLEN2} \leq 127$	$(\text{XFRLLEN1} + 1) + (\text{XFRLLEN2} + 1)$ ワード
XPHASE	XFRLLEN1	XFRLLEN2	フレーム長												
0	$0 \leq \text{XFRLLEN1} \leq 127$	未使用	$(\text{XFRLLEN1} + 1)$ ワード												
1	$0 \leq \text{XFRLLEN1} \leq 127$	$0 \leq \text{XFRLLEN2} \leq 127$	$(\text{XFRLLEN1} + 1) + (\text{XFRLLEN2} + 1)$ ワード												
7-5	XWDLEN1		送信ワード長 1。XPHASE ビットにロードする値によって、送信データの各フレームに 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、XCR1 の XWDLEN1 はフレームで送信されたすべてのシリアル・ワード長を選択します。デュアル・フェーズ・フレームを選択すると、XWDLEN1 はフレームのフェーズ 1 内のシリアル・ワード長を決定し、XCR2 の XWDLEN2 はフレームのフェーズ 2 のワード長を決定します。												
		000b	8 ビット												
		001b	12 ビット												
		010b	16 ビット												
		011b	20 ビット												
		100b	24 ビット												
		101b	32 ビット												
		その他	予約 (使用しないでください)												
4-0	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。												

表 12-6 XCR2 ビットの説明

ビット	フィールド	値	説明
15	XPHASE	0	送信フェーズ数ビット。XPHASE は、送信フレームに 1 つのフェーズを含めるか、または 2 つのフェーズを含めるかを決定します。各フェーズに対して、シリアル・ワード長とフェーズ内のシリアル・ワード数を定義できます。フェーズ 1 をセットアップするには、XWDLEN1 (ワード長) と XFRLEN1 (ワード数) をプログラミングします。(2 つのフェーズがある場合) フェーズ 2 をセットアップするには、XWDLEN2 と XFRLEN2 をプログラミングします。
		1	デュアル・フェーズ・フレーム 送信フレームには 2 つのフェーズ (フェーズ 1 とフェーズ 2) が含まれます。
14-8	XFRLEN2	0-127	送信フレーム長 2 (1 ~ 128 ワード)。XPHASE ビットにロードする値によって、送信データの各フレームに 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、XCR1 の XFRLEN1 はフレーム内のシリアル・ワード数を選択します。デュアル・フェーズ・フレームを選択すると、XFRLEN1 はフレームのフェーズ 1 内のシリアル・ワード数を決定し、XCR2 の XFRLEN2 はフレームのフェーズ 2 のワード数を決定します。7 ビットの XFRLEN フィールドでは、フェーズ当たり最大 128 ワードまで設定できます。フレーム長の決定方法については、次の表を参照してください。送信フレーム長は、ワード数または論理タイム・スロット数、またはフレーム同期周期当たりのチャネル数に対応します。  注: XFRLEN フィールドをプログラミングするには、 $[w \text{ minus } 1]$ を使用します。ここでの $w$ はフェーズ当たりのワード数を表します。たとえば、フェーズ 1 に 128 ワードのフェーズ長を設定する場合、XFRLEN1 に 127 をロードします。
XPHASE	XFRLEN1	XFRLEN2	フレーム長
0	$0 \leq \text{XFRLEN1} \leq 127$	未使用	$(\text{XFRLEN1} + 1)$ ワード
1	$0 \leq \text{XFRLEN1} \leq 127$	$0 \leq \text{XFRLEN2} \leq 127$	$(\text{XFRLEN1} + 1) + (\text{XFRLEN2} + 1)$ ワード

表 12-6 XCR2 ビットの説明 (続き)

ビット	フィールド	値	説明
7-5	XWDLEN2		送信ワード長 2。XPHASE ビットにロードする値によって、送信データの各フレームには 1 つまたは 2 つのフェーズを含めることができます。シングル・フェーズ・フレームを選択すると、XCR1 の XWDLEN1 はフレームで送信されたすべてのシリアル・ワード長を選択します。デュアル・フェーズ・フレームを選択すると、XWDLEN1 はフレームのフェーズ 1 内のシリアル・ワード長を決定し、XCR2 の XWDLEN2 はフレームのフェーズ 2 のワード長を決定します。
		000b	8 ビット
		001b	12 ビット
		010b	16 ビット
		011b	20 ビット
		100b	24 ビット
		101b	32 ビット
		その他	予約 (使用しないでください)
4-3	XCOMPAND		送信圧伸モード・ビット。圧伸 (圧縮と伸長) ハードウェアでは、データを $\mu$ -law 形式または A-law 形式で圧縮および伸長できます。  XCOMPAND では、McBSP トランスミッタに対する以下の圧伸モードのいずれかを 1 つを選択します。
		00b	圧伸しません。任意のサイズのデータ。MSB ファースト送信。
		01b	圧伸しません。8 ビット・データ。LSB ファースト送信。
		10b	$\mu$ -law による圧伸を行います。8 ビット・データ。MSB ファースト送信。
		11b	A-law による圧伸を行います。8 ビット・データ。MSB ファースト送信。
2	XFIG		送信フレーム同期無視ビット。現在のフレームが完全に送信される前にフレーム同期パルスが新しいフレームの転送を開始すると、このパルスは予期しないフレーム同期パルスとして処理されます。  XFIG を設定すると、シリアル・ポートは送信中の予期しないフレーム同期パルスを無視します。
		0	フレーム同期を検出します。予期しない FSX パルスが発生すると、トランスミッタは XSR[1,2] の内容を破棄します。トランスミッタは、以下の処理を行います。 1) 現在の送信を中止します。 2) SPCR2 内で XSYNCERR をセットします。 3) DXR[1,2] からの新しい送信を開始します。最後の DXR[1,2] から XSR[1,2] へのコピーが発生した後に新しいデータが DXR[1,2] にライトされると、XSR[1,2] 内の現在の値は失われます。それ以外の場合、同じデータが送信されます。
		1	フレーム同期を無視します。予期しない FSX パルスを無視します。送信は、割り込まれることなく継続されます。
1-0	XDATDLY		送信データ遅延ビット。XDATDLY は、フレーム同期からフレームの最初のビットの送信までのデータ遅延を 0、1、2 送信クロック・サイクルのいずれかに指定します。
		00b	0 ビット・データ遅延
		01b	1 ビット・データ遅延
		10b	2 ビット・データ遅延
		11b	予約 (使用しないでください)

## 12.6 サンプル・レート・ジェネレータ・レジスタ (SRGR1 と SRGR2)

各 McBSP には図 12-6 に示される形式を持つ 2 個のサンプル・レート・ジェネレータ・レジスタがあります。表 12-7 と表 12-8 に、SRGR1 と SRGR2 内のビットを説明します。サンプル・レート・ジェネレータは、クロック信号 (CLKG) と、フレーム同期信号 (FSG) を生成します。I/O マップド・レジスタの SRGR1 と SRGR2 を使用すると、以下の操作を実行できます。

- サンプル・レート・ジェネレータの入カクロック・ソースを選択します (CLKSM、PCR の SCLKME ビットと共に使用する)。
- CLKG の周波数を分周します (CLKGDV)。
- 内部的に生成された送信フレーム同期パルスを FSG によってドライブするか、トランスミッタの動作によってドライブするかを選択します (FSGM)。
- FSG 上のフレーム同期パルスの幅 (FWID) を指定し、FSG 上のフレーム同期パルス間の周期 (FPER) を指定します。

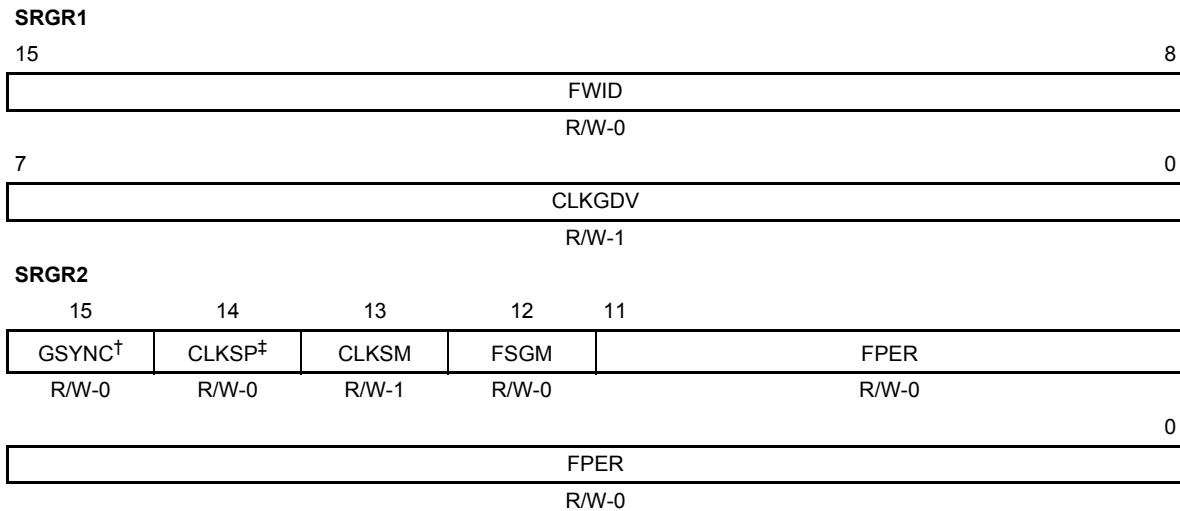
CLKS、CLKR、CLKX ピンのいずれかを経由する外部ソースがサンプル・レート・ジェネレータの入カクロック・ソースを供給する場合、以下のようになります。

- CLKS ピンが入カクロックを供給する場合、SRGR2 の CLKSP ビットを使用して、CLKG と FSG をトリガするのが CLKS の立ち上がりエッジにするか、または CLKS の立ち下がりエッジにするかを選択できます。CLKS ピンではなく CLKX ピンまたは CLKR ピンを使用すると、入カクロックの極性を PCR の CLKXP または CLKRP で選択します。
- SRGR2 の GSYNC ビットを使用すると、CLKG を FSR ピン上の外部フレーム同期信号と同期させることが可能になり、CLKG は入カクロックと同期します。

### 注：

- 1) C55x デバイスによっては CLKS ピンが装備されていないものがあります。デバイス毎のデータ・マニュアルを確認してください。
- 2) TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、CLKRP と CLKXP は共に、SRG の入カクロックの極性は常に正 (立ち上がりエッジ) です。
- 3) GSYNC ビットを介して供給されるクロック同期は、TMS320VC5501 デバイスと TMS320VC5502 デバイスではサポートされていません。

図 12-6 サンプル・レート・ジェネレータ・レジスタ (SRGR1 と SRGR2)



凡例： R = リード、W = ライト、-n = リセット後の値

<sup>†</sup> TMSVC5501 デバイスと TMSVC5502 デバイスでは、ビット 15 は予約されていて、0 としてライトされなければなりません。

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、ビット 14 は表 12-8 で説明される GSYNC 機能を提供します。

<sup>‡</sup> CLKS ピンを装備していない C55x デバイスでは、ビット 14 は don't care ビットです。

表 12-7 SRGR1 ビットの説明

ビット	フィールド	値	説明															
15-8	FWID	0-255	<p>FSG のフレーム同期パルス幅ビット。サンプル・レート・ジェネレータは、クロック信号 CLKG と、フレーム同期信号 FSG を生成します。FSG 上のフレーム同期パルスの場合、(FWID + 1) は CLKG サイクルのパルス幅になります。FWID を 8 ビットに設定すると、パルスの幅は 1 ~ 256 CLKG サイクルにすることができます。</p> <p><math>0 \leq \text{FWID} \leq 255</math>  <math>1 \leq (\text{FWID} + 1) \leq 256</math> CLKG サイクル</p> <p>FSG 上のフレーム同期パルス間の周期は、FPER ビットによって定義されます。</p>															
7-0	CLKGDV	0-255	<p>CLKG の分周値。サンプル・レート・ジェネレータは、入カクロック信号を受け付け、受け付けた信号を CLKGDV に従って分周し、出カクロック信号の CLKG を生成します。CLKG の周波数は、以下の方程式で求められます。</p> <p><math>\text{CLKG 周波数} = (\text{入カクロック周波数}) / (\text{CLKGDV} + 1)</math></p> <p>入カクロックは、SCLKME と CLKSM ビットによって以下のように選択されます。</p> <table border="1" style="width: 100%; margin-top: 10px;"> <thead> <tr> <th style="text-align: left;">SCLKME</th> <th style="text-align: left;">CLKSM</th> <th style="text-align: left;">サンプル・レート・ジェネレータの入カクロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CLKS ピン上の信号</td> </tr> <tr> <td>0</td> <td>1</td> <td>McBSP 内部入カクロック</td> </tr> <tr> <td>1</td> <td>0</td> <td>CLKR ピン上の信号</td> </tr> <tr> <td>1</td> <td>1</td> <td>CLKX ピン上の信号</td> </tr> </tbody> </table> <p>DSP リセットは、CLKG 周波数を強制的に入カクロック周波数の 2 分の 1 にし (CLKGDV = 1)、入カクロックとして McBSP 内部入カクロックを選択します。</p> <p>TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイス上の McBSP の最大周波数は、CPU クロック周波数の 2 分の 1 です。TMS320VC5501 デバイスと TMS320VC5502 デバイス上の McBSP の最大周波数は、低速ペリフェラル・クロック周波数の 2 分の 1 です。McBSP のタイミング要件については、デバイス毎のデータ・マニュアルを参照してください。</p>	SCLKME	CLKSM	サンプル・レート・ジェネレータの入カクロック	0	0	CLKS ピン上の信号	0	1	McBSP 内部入カクロック	1	0	CLKR ピン上の信号	1	1	CLKX ピン上の信号
SCLKME	CLKSM	サンプル・レート・ジェネレータの入カクロック																
0	0	CLKS ピン上の信号																
0	1	McBSP 内部入カクロック																
1	0	CLKR ピン上の信号																
1	1	CLKX ピン上の信号																

表 12-8 SRGR2 ビットの説明

ビット	フィールド	値	説明	説明								
15	GSYNC または 予約	0	クロック同期を行いません。 CLKG は調整なしでオシレートし、FSG は (FPER + 1) CLKG サイクルごとにパルスを生じます。	TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、このビットは、CLKG のクロック同期モード・ビットです。GSYNC は、サンプル・レート・ジェネレータの入カクロック・ソースが CLKS ピンまたは CLKR ピン上の外部入力である場合にのみ使用します。GSYNC = 1 の場合、サンプル・レート・ジェネレータによって生成されるクロック信号 (CLKG) とフレーム同期信号 (FSG) は、FSR ピン上のパルスに対して生成されます。  TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、GSYNC 機能は使用できません。このビットは予約されています。このビットには常に 0 をライトします。								
		1	クロック同期を行います。 <input type="checkbox"/> CLKG は、CLKS ピンまたは CLKR ピン上の入カクロックと同期するように、必要に応じて調整されます。 <input type="checkbox"/> FSG はパルスを生じます。 FSR ピン上のパルスに反応してパルスを生じるのは、FSG のみです。FPER で定義されたフレーム同期周期は無視されます。									
14	CLKSP	0	CLKS ピンの立ち上がりエッジ	CLKS ピン極性ビット。CLKSP は、CLKS ピンがサンプル・レート・ジェネレータの入カクロック・ソースである場合にのみ使用します。CLKS ピン極性ビットは、サンプル・レート・ジェネレータによって生成されるクロック信号 (CLKG) とフレーム同期信号 (FSG) をドライブするのは CLKS のどちらのエッジであるかを決定します。  CLKS ピンを装備していない C55x デバイスでは、このビットは don't care ビットです。								
		1	CLKS ピンの立ち下がりエッジ									
13	CLKSM	0	サンプル・レート・ジェネレータの入カクロックは、PCR の SCLKME ビットの値によって、CLKS ピンまたは CLKR ピンのいずれかから供給されます。	サンプル・レート・ジェネレータの入カクロック								
			<table border="1"> <thead> <tr> <th>SCLKME</th> <th>CLKSM</th> <th>サンプル・レート・ジェネレータの入カクロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>CLKS ピン上の信号</td> </tr> <tr> <td>1</td> <td>0</td> <td>CLKR ピン上の信号</td> </tr> </tbody> </table>	SCLKME	CLKSM	サンプル・レート・ジェネレータの入カクロック	0	0	CLKS ピン上の信号	1	0	CLKR ピン上の信号
		SCLKME	CLKSM	サンプル・レート・ジェネレータの入カクロック								
		0	0	CLKS ピン上の信号								
1	0	CLKR ピン上の信号										
1	サンプル・レート・ジェネレータの入カクロックは、PCR の SCLKME ビットの値によって、McBSP 内部入カクロックまたは CLKX ピンのいずれかから供給されます。	サンプル・レート・ジェネレータの入カクロック										
	<table border="1"> <thead> <tr> <th>SCLKME</th> <th>CLKSM</th> <th>サンプル・レート・ジェネレータの入カクロック</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>McBSP 内部入カクロック</td> </tr> <tr> <td>1</td> <td>1</td> <td>CLKX ピン上の信号</td> </tr> </tbody> </table>	SCLKME	CLKSM	サンプル・レート・ジェネレータの入カクロック	0	1	McBSP 内部入カクロック	1	1	CLKX ピン上の信号		
SCLKME	CLKSM	サンプル・レート・ジェネレータの入カクロック										
0	1	McBSP 内部入カクロック										
1	1	CLKX ピン上の信号										

表 12-8 SRGR2 ビットの説明 (続き)

ビット	フィールド	値	説明
12	FSGM		サンプル・レート・ジェネレータの送信フレーム同期モード・ビット。トランスミッタは、FSX ピン (FSXM = 0) または McBSP 内部 (FSXM = 1) からフレーム同期を供給できます。FSXM = 1 の場合、FSGM ビットは McBSP がフレーム同期パルスをどのように供給するかを決定します。
		0	FSXM = 1 の場合、McBSP は、DXR[1,2] の内容が XSR[1,2] にコピーされたときに送信フレーム同期パルスを生成します。
		1	FSXM = 1 の場合、トランスミッタは、サンプル・レート・ジェネレータによって生成されたフレーム同期パルスを使用します。各パルス幅をセットするには、FWID ビットをプログラミングします。パルス間の周期をセットするには、FPER ビットをプログラミングします。
11-0	FPER	0-4095	FSG のフレーム同期周期ビット。サンプル・レート・ジェネレータは、クロック信号 CLKG と、フレーム同期信号 FSG を生成します。FSG 上のフレーム同期パルス間の周期は、(FPER + 1) CLKG サイクルです。FPER の 12 ビットは、フレーム同期周期を 1 から 4096 CLKG サイクルに設定できるようにします。 $0 \leq \text{FPER} \leq 4095$ $1 \leq (\text{FPER} + 1) \leq 4096 \text{ CLKG サイクル}$ FSG 上の各フレーム同期パルスの幅は、FWID ビットによって定義されます。



## 12.7 マルチチャネル制御レジスタ (MCR1 と MCR2)

各 McBSP には、図 12-7 に示される形式を持つ 2 個のマルチチャネル制御レジスタがあります。MCR1 には、レシーバでのマルチチャネル選択動作を決定する制御ビットと状態ビット (R で始まる) が含まれています。MCR2 には、トランスミッタに対する同じタイプのビット (X で始まる) が含まれています。MCR1 と MCR2 の各ビットを表 12-9 と表 12-10 で説明します。これらの I/O マップド・レジスタを使用すると、以下の操作を実行できます。

- 受信用にすべてのチャネル、または選択したチャネルのみをイネーブルにします (RMCM)。
- 送信用にどのチャネルをイネーブルまたはディスエーブルにするか、また、どのチャネルをマスクまたはマスク解除するかを選択します (XMCM)。
- 2つのパーティション(一度に 32 個のチャネル)を使用可能にするか、8つのパーティション (一度に 128 個のチャネル) を使用可能にするかを指定します (受信用には RMCME、送信用には XMCME)。
- 2パーティション・モードを選択した場合にパーティションAとパーティションBに 16 チャネルのブロックを割り当てます (受信用には RPABLK と RPBBLK、送信用には XPABLK と XPBBLK)。
- データ転送に現在関与している 16 チャネルのブロックを決定します (受信用には PCBLK、送信用には XCBLK)。

図 12-7 マルチチャネル制御レジスタ (MCR1 と MCR2)

MCR1						
15		10		9	8	
予約			RMCME	RPBBLK		
R-0			R/W-0	R/W-00		
7	6	5	4	2	1	0
RPBBLK	RPABLK	RCBLK		予約	RMCM	
R/W-00	R/W-00	R-000		R-0	R/W-0	
MCR2						
15		10		9	8	
予約			XMCME	XPBBLK		
R-0			R/W-0	R/W-00		
7	6	5	4	2	1	0
XPBBLK	XPABLK	XCBLK		XMCM		
R/W-00	R/W-00	R-000		R/W-00		

凡例： R = リード、W = ライト、-n = リセット後の値

表 12-9 MCR1 ビットの説明

ビット	フィールド	値	説明
15-10	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。
9	RMCME	0	受信マルチチャネル・パーティション・モード・ビット。RMCME は、受信用にチャネルを個別にイネーブルまたはディスエーブル可能な場合 (RMCM = 1) にのみ使用できます。 RMCME は、32 個のチャネルのみを個別に選択可能にするか、または 128 個のチャネルすべてを個別に選択可能にするかを決定します。
		1	2 パーティション・モード。 パーティション A とパーティション B のみを使用します。受信マルチチャネル選択モード (RMCM = 1) で最大 32 個のチャネルまでを制御できます。 パーティション A には RPABLK ビットを使用して 16 個のチャネルを割り当てます。パーティション B には RPBBLK ビットを使用して 16 個のチャネルを割り当てます。 適切な受信チャネル・イネーブル・レジスタを使用してチャネルを制御します。 RCERA : パーティション A のチャネル RCERB : パーティション B のチャネル
		0	8 パーティション・モード。 すべてのパーティション (A ~ H) を使用します。受信マルチチャネル選択モードで最大 128 個のチャネルまでを制御できます。 適切な受信チャネル・イネーブル・レジスタを使用してチャネルを制御します。 RCERA : チャネル 0 ~ 15 RCERB : チャネル 16 ~ 31 RCERC : チャネル 32 ~ 47 RCERD : チャネル 48 ~ 63 RCERE : チャネル 64 ~ 79 RCERF : チャネル 80 ~ 95 RCERG : チャネル 96 ~ 111 RCERH : チャネル 112 ~ 127
8-7	RPBBLK		受信パーティション B ブロック・ビット。 RPBBLK は、チャネルを個別にイネーブルまたはディスエーブル可能で (RMCM = 1)、2 パーティション・モードを選択している (RMCME = 0) 場合にのみ使用できます。このような場合、McBSP レシーバは、レシーバのパーティション A とパーティション B に割り当てられる 32 個のチャネルのうちどのチャネル内のデータも受け付けまたは無視が可能です。 McBSP の 128 個の受信チャネルは、8 ブロック (0 ~ 7) に均等に分割されます。RPBBLK が使用可能な場合、奇数番号が割り当てられたブロックの 1 つ (1、3、5、7 のいずれか) をパーティション B に割り当てるには、RPBBLK を使用します。偶数番号が割り当てられたブロックの 1 つ (0、2、4、6 のいずれか) をパーティション A に割り当てるには、RPABLK ビットを使用します。 32 個より多くのチャネルの使用が必要な場合、ブロック割り当てを動的に変更できます。あるパーティションの動作をレシーバが処理している間に、それ以外のパーティションに新しいブロックを割り当てることができます。たとえば、パーティション A のブロックがアクティブであるときに、パーティション B に割り当てられるブロックを変更できます。RCBLK ビットは定期的に更新され、アクティブであるブロックを示します。 注 : (シンメトリックな送受信に) XMCM = 11b にセットすると、トランスミッタは送信ブロック・ビット (XPABLK と XPBBLK) ではなく受信ブロック・ビット (RPABLK と RPBBLK) を使用します。
		00b	ブロック 1 : チャネル 16 ~ 31
		01b	ブロック 3 : チャネル 48 ~ 63
		10b	ブロック 5 : チャネル 80 ~ 95
		11b	ブロック 7 : チャネル 112 ~ 127

表 12-9 MCR1 ビットの説明 (続き)

ビット	フィールド	値	説明
6-5	RPABLK		受信パーティション A ブロック・ビット。 RPABLK は、チャンネルを個別にイネーブルまたはディスエーブル可能で (RMCM = 1)、2 パーティション・モードを選択している (RMCME = 0) 場合にのみ使用できません。このような場合、McBSP レシーバは、レシーバのパーティション A とパーティション B に割り当てられる 32 個のチャンネルのうちどのチャンネル内のデータも受け付けまたは無視が可能です。パーティション A とパーティション B へのブロックの割り当てについては、「RPBBLK (ビット 8-7)」の説明を参照してください。
		00b	ブロック 0 : チャンネル 0 ~ 15
		01b	ブロック 2 : チャンネル 32 ~ 47
		10b	ブロック 4 : チャンネル 64 ~ 79
		11b	ブロック 6 : チャンネル 96 ~ 111
4-2	RCBLK		受信カレント・ブロック・インジケータ。RCBLK は、現在の McBSP 受信に 16 個のチャンネルのどのブロックが関与しているかを示します。
		000b	ブロック 0 : チャンネル 0 ~ 15
		001b	ブロック 1 : チャンネル 16 ~ 31
		010b	ブロック 2 : チャンネル 32 ~ 47
		011b	ブロック 3 : チャンネル 48 ~ 63
		100b	ブロック 4 : チャンネル 64 ~ 79
		101b	ブロック 5 : チャンネル 80 ~ 95
		110b	ブロック 6 : チャンネル 96 ~ 111
		111b	ブロック 7 : チャンネル 112 ~ 127
1	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。
0	RMCM		受信マルチチャネル選択モード・ビット。RMCM は、受信用にすべてのチャンネルをイネーブルにするか、または選択したチャンネルのみをイネーブルにするかを決定します。
		0	128 個のチャンネルすべてをイネーブルにします。
		1	マルチチャネル選択モード。チャンネルは個別にイネーブルまたはディスエーブルにすることができます。 適切な受信チャンネル・イネーブル・レジスタ (RCER) で選択されたチャンネルのみがイネーブルにされます。チャンネルの RCER への割り当て方法は、RMCME ビットで定義された受信チャンネル・パーティション数 (2 または 8) によって異なります。

表 12-10 MCR2 ビットの説明

ビット	フィールド	値	説明
15-10	予約	0	予約済みのビット (使用できません)。これらはリード専用ビットで、リードすると 0 を返します。
9	XMCME	0	送信マルチチャネル・パーティション・モード・ビット。XMCME は、32 個のチャネルのみを個別に選択可能にするか、または 128 個のチャネルすべてを個別に選択可能にするかを決定します。XMCME は、送信用にチャネルを個別にディスエーブル/イネーブル可能な場合、またはマスク/マスク解除可能な場合にのみ使用できます (XMCM を 0 以外にする)。  2 パーティション・モード。パーティション A とパーティション B のみを使用します。XMCM ビットで選択した送信マルチチャネル選択モードで最大 32 個のチャネルまでを制御できます。  <b>XMCM = 01b または 10b</b> にセットする場合、パーティション A には XPABLK ビットを使用して 16 個のチャネルを割り当て、パーティション B には XPBBLK ビットを使用して 16 個のチャネルを割り当てます。  (シンメトリック送信用に) <b>XMCM = 11b</b> にセットする場合、受信パーティション A には RPABLK ビットを使用して 16 個のチャネルを割り当て、受信パーティション B には RPBBLK ビットを使用して 16 個のチャネルを割り当てます。  適切な送信チャネル・イネーブル・レジスタを使用してチャネルを制御します。 XCERA : パーティション A のチャネル XCERB : パーティション B のチャネル
		1	8 パーティション・モード。すべてのパーティション (A ~ H) を使用します。XMCM ビットで選択した送信マルチチャネル選択モードで最大 128 個のチャネルまでを制御できます。  適切な送信チャネル・イネーブル・レジスタを使用してチャネルを制御します。 XCERA : チャネル 0 ~ 15 XCERB : チャネル 16 ~ 31 XCERC : チャネル 32 ~ 47 XCERD : チャネル 48 ~ 63 XCERE : チャネル 64 ~ 79 XCERF : チャネル 80 ~ 95 XCERG : チャネル 96 ~ 111 XCERH : チャネル 112 ~ 127

表 12-10 MCR2 ビットの説明 (続き)

ビット	フィールド	値	説明
8-7	XPBBLK		送信パーティション B ブロック・ビット。 XPBBLK は、チャンネルを個別にイネーブルまたはディスエーブル可能でかつマスクまたはマスク解除可能で (XMCM が 0 以外)、2 パーティション・モードを選択している (XMCME = 0) 場合にのみ使用できます。このような場合、McBSP トランスミッタは、トランスミッタのパーティション A とパーティション B に割り当てられる 32 個のチャンネルのうちどのチャンネル内のデータも受け付けまたは拒否が可能です。 McBSP の 128 個の送信チャンネルは、8 ブロック (0 ~ 7) に均等に分割されます。XPBBLK が使用可能な場合、奇数番号が割り当てられたブロックの 1 つ (1、3、5、7 のいずれか) をパーティション B に割り当ててには、次の表に示すように XPBBLK を使用します。また、偶数番号が割り当てられたブロックの 1 つ (0、2、4、6 のいずれか) をパーティション A に割り当ててには、XPABLK ビットを使用します。 32 個より多くのチャンネルの使用が必要な場合、ブロック割り当てを動的に変更できます。あるパーティションの動作をトランスミッタが処理している間に、もう一方のパーティションに新しいブロックを割り当てることができます。たとえば、パーティション A のブロックがアクティブであるときに、パーティション B に割り当てられるブロックを変更できます。XCBLK ビットは定期的に更新され、アクティブであるブロックを示します。 <b>注:</b> (シンメトリックな送受信に) XMCM = 11b にセットすると、トランスミッタは送信ブロック・ビット (XPABLK と XPBBLK) ではなく受信ブロック・ビット (RPABLK と RPBBLK) を使用します。
		00b	ブロック 1 : チャンネル 16 ~ 31
		01b	ブロック 3 : チャンネル 48 ~ 63
		10b	ブロック 5 : チャンネル 80 ~ 95
		11b	ブロック 7 : チャンネル 112 ~ 127
6-5	XPABLK		送信パーティション A ブロック・ビット。XPABLK は、チャンネルを個別にイネーブル/ディスエーブル可能でかつマスク/マスク解除可能な場合 (XMCM が 0 以外) で、2 パーティション・モードを選択している (XMCME = 0) 場合にのみ使用できます。このような場合、McBSP トランスミッタは、トランスミッタのパーティション A とパーティション B に割り当てられる 32 個のチャンネルのうちどのチャンネル内のデータも受け付けまたは拒否が可能。パーティション A とパーティション B へのブロックの割り当てについては、「XPBBLK (ビット 8-7)」の説明を参照してください。
		00b	ブロック 0 : チャンネル 0 ~ 15
		01b	ブロック 2 : チャンネル 32 ~ 47
		10b	ブロック 4 : チャンネル 64 ~ 79
		11b	ブロック 6 : チャンネル 96 ~ 111
4-2	XCBLK		送信カレント・ブロック・インジケータ。XCBLK は、現在の McBSP 送信に 16 個のチャンネルのどのブロックが関与しているかを示します。
		000b	ブロック 0 : チャンネル 0 ~ 15
		001b	ブロック 1 : チャンネル 16 ~ 31
		010b	ブロック 2 : チャンネル 32 ~ 47
		011b	ブロック 3 : チャンネル 48 ~ 63
		100b	ブロック 4 : チャンネル 64 ~ 79
		101b	ブロック 5 : チャンネル 80 ~ 95
		110b	ブロック 6 : チャンネル 96 ~ 111
		111b	ブロック 7 : チャンネル 112 ~ 127

表 12-10 MCR2 ビットの説明 (続き)

ビット	フィールド	値	説明
1-0	XMCM		送信マルチチャンネル選択モード・ビット。XMCM は、送信用にすべてのチャンネルをイネーブルにしマスク解除するか、または選択したチャンネルのみをイネーブルにしマスク解除するかを決定します。
		00b	送信マルチチャンネル選択をオフにします。すべてのチャンネルをイネーブルにし、マスク解除します。ディスエーブルまたはマスクされたチャンネルはありません。
		01b	適切な送信チャンネル・イネーブル・レジスタ (XCER) ですべてのチャンネルを選択しない場合、すべてのチャンネルはディスエーブルになります。すべてのチャンネルをイネーブルにすると、このモードのチャンネルもまたマスク解除されます。 XMCME ビットは、XCER で 32 個のチャンネルが選択可能なのか、または 128 個のチャンネルが選択可能なのかを決定します。
		10b	すべてのチャンネルはイネーブルになります。ただし、適切な送信チャンネル・イネーブル・レジスタ (XCER) でチャンネルを選択しない場合、チャンネルはマスクされます。 XMCME ビットは、XCER で 32 個のチャンネルを選択可能にするか、128 個のチャンネルを選択可能にするかを決定します。
		11b	このモードは、シンメトリックな送受信に使用します。 適切な受信チャンネル・イネーブル・レジスタ (RCER) で受信用にすべてのチャンネルがイネーブルでない場合、すべてのチャンネルは送信に対してディスエーブルになります。すべてのチャンネルをイネーブルにすると、適切な送信チャンネル・イネーブル・レジスタ (XCER) でもすべてのチャンネルを選択しない場合、マスクされます。 XMCME ビットは、RCER と XCER で 32 個のチャンネルを選択可能にするか、128 個のチャンネルを選択可能にするかを決定します。

## 12.8 ピン制御レジスタ (PCR)

各 McBSP には、図 12-8 に示される形式を持つ 1 個のピン制御レジスタがあります。表 12-11 に、PCR 内のビットを説明します。この I/O マップド・レジスタを使用すると、以下の操作を実行できます。

- アイドル命令を実行する (IDLEEN、ICR の PERI ビットと共に使用する) と、McBSP を低消費電力モードにすることができます。TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、この機能は PCR で提供されます。TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、この機能はペリフェラル・アイドル・制御レジスタ (PICR) で提供されます。TMS320VC5501 の実装の詳細については、『*TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual*』(文書番号 SPRS206) を参照してください。また、TMS320VC5502 の実装の詳細については、『*TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual*』(文書番号 SPRS166) を参照してください。
- トランスミッタまたはレシーバ、あるいはその両方がリセット状態のときに McBSP ピンを汎用 I/O ピンとして使用できるようにするかどうかを指定します (XIOEN と RIOEN)。
- トランスミッタのフレーム同期モード (FSXM) とレシーバのフレーム同期モード (FSRM) を選択します。
- トランスミッタのクロック・モード (CLKXM) とレシーバのクロック・モード (CLKRM) を選択します。
- サンプル・レート・ジェネレータの入カロック・ソースを選択します (SCLKME、SRGR2 の CLKSM ビットと共に使用する)。
- CLKS ピン、DX ピン、DR ピンを汎用 I/O ピンとして設定されている時にデータをリードまたはライトします (CLKSSTAT、DXSTAT、DRSTAT)。
- フレーム同期信号をアクティブ・ローにするか、アクティブ・ハイにするかを選択します (送信用には FSXP、受信用には FSRP)。
- データをクロック信号の立ち下がリエッジでサンプリングするか、立ち上がりエッジでサンプリングするかを指定します (送信用には CLKXP、受信用には CLKRP)。

図 12-8 ピン制御レジスタ (PCR)

15	14	13	12	11	10	9	8
予約	IDLEEN†	XIOEN	RIOEN	FSXM	FSRM	CLKXM	CLKRM
R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
SCLKME	CLKSSTAT	DXSTAT	DRSTAT	FSXP	FSRP	CLKXP	CLKRP
R/W-0	R-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

† TMSVC5501 デバイスと TMSVC5502 デバイスでは、ビット 14 は予約されていて、0 としてライトされなければなりません。

TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、ビット 14 は表 12-11 で説明される IDLEEN 機能を提供します。

表 12-11 PCR ビットの説明

ビット	フィールド	値	説明
15	予約	0	予約済みのビット (使用できません)。これはリード専用のビットで、リードすると 0 を返します。
14	IDLEEN または 予約	0	TMS320VC5503/5507/5509 デバイスと TMS320VC5510 デバイスでは、このビットはアイドル・イネーブル・ビットです。PERIPH アイドル・ドメインをアイドルに設定し、IDLEEN = 1 にセットすると、McBSP は停止し、低消費電力状態になります。
		0	TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このビットは予約されていて、0 をライトします。IDLEEN 機能はペリフェラル・アイドル制御レジスタ (PICR) で実装されます。PICR の詳細については、『TMS320VC5501 Fixed-Point Digital Signal Processor Data Manual』(文書番号 SPRS206)、または『TMS320VC5502 Fixed-Point Digital Signal Processor Data Manual』(文書番号 SPRS166) を参照してください。
		1	McBSP は、PERIPH ドメインがアイドルの場合もアクティブ状態のままです。PERIPH ドメインをアイドルにすると (アイドル・ステータス・レジスタで PERIS = 1 にセットする)、McBSP は低消費電力状態で停止します。
13	XIOEN	0	送信 I/O のイネーブル・ビット。トランスミッタをリセット状態にすると (XRST = 0)、XIOEN は特定の McBSP ピンを汎用 I/O (GPIO) ピンとして設定できます。RIOEN ビットの説明の後の表にその概要を示します。
		0	CLKX、FSX、DX、CLKS の各ピンはシリアル・ポート・ピンです。
		1	XRST = 0 の場合、CLKX、FSX、DX の各ピンは GPIO ピンです。RRST = 0 と RIOEN = 1 の場合、CLKS もまた GPIO ピンです。



表 12-11 PCR ビットの説明 (続き)

ビット	フィールド	値	説明
12	RIOEN		受信 I/O のイネーブル・ビット。レシーバをリセット状態にすると (RRST = 0)、RIOEN は特定の McBSP ピンを汎用 I/O (GPIO) ピンとして設定できます。RIOEN ビットの説明の後の表にその概要を示します。XRST と RRST はシリアル・ポート制御レジスタ内のビットですが、この表で説明する他のすべてのビットはピン制御レジスタにあります。
		0	CLKR、FSR、DR、CLKS の各ピンはシリアル・ポート・ピンです。
		1	RRST = 0 の場合、CLKR、FSR、DR の各ピンは GPIO ピンです。XRST = 0 と XIOEN = 1 の場合、CLKS もまた GPIO ピンです。

ピン	汎用 I/O をイネーブルにするためのビットの組み合わせ	出力として選択される場合 ...	出力値をドライブするビット	入力として選択される場合 ...	入力値をリードするビット
CLKX	XRST = 0 XIOEN = 1	CLKXM = 1	CLKXP	CLKXM = 0	CLKXP
FSX	XRST = 0 XIOEN = 1	FSXM = 1	FSXP	FSXM = 0	FSXP
DX	XRST = 0 XIOEN = 1	常時	DXSTAT	なし	適用なし
CLKR	RRST = 0 RIOEN = 1	CLKRM = 1	CLKRP	CLKRM = 0	CLKRP
FSR	RRST = 0 RIOEN = 1	FSRM = 1	FSRP	FSRM = 0	FSRP
DR	RRST = 0 RIOEN = 1	なし	適用なし	常時	DRSTAT
CLKS	RRST = XRST = 0 RIOEN = XIOEN = 1	なし	適用なし	常時	CLKSSTAT

表 12-11 PCR ビットの説明 (続き)

ビット	フィールド	値	説明
11	FSXM		送信フレーム同期モード・ビット。FSXM は、送信フレーム同期パルスを外から供給するか、または内部から供給するかを決定します。FSX ピン上の信号の極性は、FSXP ビットによって決定されます。
		0	送信フレーム同期は FSX ピンを介して外部ソースから供給されます。
		1	送信フレーム同期は、SRGR2 の FSGM ビットの決定に従って McBSP によって供給されます。
		10	FSRM
		0	受信フレーム同期は FSR ピンを介して外部ソースによって供給されます。
		1	受信フレーム同期がサンプル・レート・ジェネレータによって供給されます。SRGR2 で GSYNC = 1 にセットしている場合以外は、FRS は内部 FSR を反映する出力ピンです。
9	CLKXM		送信クロック・モード・ビット。CLKXM は、送信クロックのソースを外にするか、内部にするかを決定し、CLKX ピンを入力ピンにするか出力ピンにするかを決定します。CLKX ピン上の信号の極性は、CLKXP ビットによって決定されます。
			クロック停止モード (CLKSTP = 10b または CLKSTP = 11b) では、McBSP は SPI プロトコルのマスタまたはスレーブとして動作できます。McBSP がマスタの場合、CLKX は必ず出力にします。McBSP がスレーブの場合、CLKX は必ず入力にします。
			<b>クロック停止モードでない場合 (CLKSTP = 00b または 01b) :</b>
		0	トランスミッタは、そのクロック信号を CLKX ピンを介して外部ソースから取得します。
		1	内部 CLKX は、McBSP のサンプル・レート・ジェネレータによってドライブされます。CLKX ピンは、内部 CLKX を反映する出力ピンです。
			<b>クロック停止モードの場合 (CLKSTP = 10b または 11b) :</b>
0	McBSP は SPI プロトコルにおけるスレーブです。内部送信クロック (CLKX) は、CLKX ピンを介して SPI マスタによってドライブされます。内部受信クロック (CLKR) は、CLKX によって内部的にドライブされ、その結果トランスミッタとレシーバは共に外部マスタ・クロックによって制御されます。		
1	McBSP は SPI プロトコルにおけるマスタです。サンプル・レート・ジェネレータは内部送信クロック (CLKX) をドライブします。内部 CLKX は、システム内の SPI 準拠のスレーブのシフト・クロックをドライブするために CLKX ピンで反映されます。また、内部 CLKX は内部受信クロック (CLKR) をドライブし、その結果トランスミッタとレシーバは共に内部マスタ・クロックによって制御されます。		

表 12-11 PCR ビットの説明 (続き)

ビット	フィールド	値	説明		
8	CLKRM		受信クロック・モード・ビット。CLKRM の役割とそれによる CLKR ピンへの影響は、McBSP がデジタル・ループバック・モード (DLB = 1) で動作しているかどうかによって異なります。 <b>注:</b> CLKR ピン上の信号の極性は、CLKRP ビットによって決定されます。		
			<b>デジタル・ループバック・モードでない場合 (DLB = 0):</b>		
		0	CLKR ピンは、内部受信クロック (CLKR) を供給する入力ピンです。		
		1	内部 CLKR は、McBSP のサンプル・レート・ジェネレータによってドライブされます。CLKR ピンは、内部 CLKR を反映する出力ピンです。		
			<b>デジタル・ループバック・モードの場合 (DLB = 1):</b>		
		0	CLKR ピンは、 <b>ハイ・インピーダンス状態になります</b> 。内部受信クロック (CLKR) は、内部送信クロック (CLKX) によってドライブされます。CLKX は CLKXM ビットに従って供給されます。		
		1	内部 CLKR は内部 CLKX によってドライブされます。CLKR ピンは、内部 CLKR を反映する出力ピンです。CLKX は CLKXM ビットに従って供給されます。		
		7	SCLKME		サンプル・レート・ジェネレータの入カクロック・モード・ビット。サンプル・レート・ジェネレータは、クロック信号の CLKG を生成できます。CLKG の周波数は、以下の方程式で求められます。 $\text{CLKG 周波数} = (\text{入カクロック周波数}) / (\text{CLKGDV} + 1)$ SCLKME は、入カクロックを選択するために CLKSM ビットと共に使用されます。
				0	サンプル・レート・ジェネレータの入カクロックは、SRGR2 の CLKSM ビットの値によって、CLKS ピンまたは McBSP 内部入カクロックのいずれかから供給されます。
					<b>SCLKME                      CLKSM                      サンプル・レート・ジェネレータの入カクロック</b>
0	0                      0                      CLKS ピン上の信号				
0	0                      1                      McBSP 内部入カクロック				
1	サンプル・レート・ジェネレータの入カクロックは、SRGR2 の CLKSM ビットの値によって、CLKR ピンまたは CLKX ピンのいずれかから供給されます。				
	<b>SCLKME                      CLKSM                      サンプル・レート・ジェネレータの入カクロック</b>				
1	1                      0                      CLKR ピン上の信号				
1	1                      1                      CLKX ピン上の信号				
6	CLKSSTAT				CLKS ピン・ステータス・ビット。CLKSSTAT が使用可能な場合、CLKSSTAT は CLKS ピン上のレベルを反映します。  CLKSSTAT は、トランスミッタとレシーバが共にリセットされていて (XRST = RRST = 0)、CLKS が汎用入力ピンとして使用するように設定されている (XIOEN = RIOEN = 1) 場合にのみ使用できます。
		0	CLKS ピン上の信号は Low です。		
		1	CLKS ピン上の信号は High です。		
		5	DXSTAT		DX ピン・ステータス・ビット。DXSTAT が使用可能な場合、DXSTAT にライトすることで DX 上の信号をトグルできます。  DXSTAT は、トランスミッタがリセットされていて (XRST = 0)、DX が汎用出力ピンとして使用する (XIOEN = 1) ように設定されている場合にのみ使用できます。
0	DX ピン上の信号を Low にドライブします。				
1	DX ピン上の信号を High にドライブします。				

表 12-11 PCR ビットの説明 (続き)

ビット	フィールド	値	説明
4	DRSTAT		DR ピン・ステータス・ビット。DRSTAT が使用可能な場合、DRSTAT は DR ピン上のレベルを反映します。
			DRSTAT は、レシーバがリセットされていて (RRST = 0)、DR が汎用入力ピンとして使用する (RIOEN = 1) ように設定されている場合にのみ使用できます。
		0	DR ピン上の信号は Low です。
		1	DR ピン上の信号は High です。
3	FSXP		送信フレーム同期極性ビット。FSXP は、FSX ピンで識別される FSX の極性を決定します。
			送信フレーム同期パルスはアクティブ・ハイになります。
		1	送信フレーム同期パルスはアクティブ・ローになります。
2	FSRP		受信フレーム同期極性ビット。FSRP は、FSR ピンで識別される FSR の極性を決定します。
			受信フレーム同期パルスはアクティブ・ハイになります。
		1	受信フレーム同期パルスはアクティブ・ローになります。
1	CLKXP		送信クロック極性ビット。CLKXP は、CLKX ピンで識別される CLKX の極性を決定します。また、このビットはサンプル・レート・ジェネレータに影響し (3-2 ページの 3.1 節を参照)、クロック停止モードにも影響します (第 6 章を参照)。
			送信データは、CLKX の立ち上がりエッジでドライブされます。
		1	送信データは、CLKX の立ち下がりエッジでドライブされます。
0	CLKRP		受信クロック極性ビット。CLKRP は、CLKR ピンで識別される CLKR の極性を決定します。また、このビットはサンプル・レート・ジェネレータに影響し (3-2 ページの 3.1 節を参照)、クロック停止モードにも影響します (第 6 章を参照)。
			CLKR ピンを入力として設定すると、外部 CLKR は内部的に使用される前に反転せずに、受信データは CLKR の立ち下がりエッジでサンプリングされます。
			CLKR ピンを出力として設定すると、内部 CLKR は CLKR ピン上でドライブする前に反転しません。
		1	CLKR ピンを入力として設定すると、外部 CLKR は内部的に使用される前に反転せずに、受信データは CLKR の立ち上がりエッジでサンプリングされます。
			CLKR ピンを出力として設定すると、内部 CLKR は CLKR ピン上でドライブする前に反転します。

## 12.9 受信チャンネル・イネーブル・レジスタ (RCERA-RCERH)

各 McBSP には図 12-9 に示される形式を持つ 8 個の受信チャンネル・イネーブル・レジスタがあります。受信チャンネル・イネーブル・レジスタは、各受信パーティション A、B、C、D、E、F、G、H に対して 1 個ずつ用意されています。表 12-12 は、受信チャンネル・イネーブル・レジスタの任意のビット  $x$  の概要について説明しています。

これらの I/O マップド・レジスタは、チャンネルを個別にイネーブルまたはディスエーブルできるようにレシーバを設定した (RMCM = 1) ときにのみ使用されます。

図 12-9 受信チャンネル・イネーブル・レジスタのフォーマット (RCERA-RCERH)

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 12-12 受信チャンネル・イネーブル・レジスタのビット  $x$  の説明 ( $x = 0, 1, 2... または 15$ )

ビット	フィールド	値	説明
$x$	RCE $x$		受信チャンネル・イネーブル・ビット
			<b>受信マルチチャンネル選択モード (RMCM = 1) の場合：</b>
		0	RCE $x$ にマップされるチャンネルをディスエーブルにします。
		1	RCE $x$ にマップされるチャンネルをイネーブルにします。

### 12.9.1 受信マルチチャンネル選択モードで使用される RCER

マルチチャンネル選択動作の場合、RCER へのチャンネルの割り当ては、RMCME ビットの決定に従って 32 個のチャンネルを個別に選択可能にするか、または 128 個のチャンネルを個別に選択可能にするかによって異なります。表 12-13 は、これらの 2 つのケースについて、使用される RCER にチャンネルのどのブロックが割り当てられるかを示しています。また、この表では、各ビットにどのチャンネルを割り当てるかを RCER ごとに示しています。

表 12-13 受信チャンネル・イネーブル・レジスタの使用

選択可能な チャンネル数	ブロック割り当て		チャンネル割り当て	
	RCERx	割り当てられたブロック	RCERx 内のビット	割り当てられたチャンネル
32 (RMCME = 0)	RCERA	チャンネル n ~ (n + 15)	RCE0	チャンネル n
		チャンネル・ブロックは、 RPABLK ビットによって選 択されます。	RCE1	チャンネル (n + 1)
	RCE2		チャンネル (n + 2)	
	:		:	
RCERB	チャンネル m ~ (m + 15)	RCE0	チャンネル m	
		RCE1	チャンネル (m + 1)	
	チャンネル・ブロックは、 RPBBLK ビットによって選 択されます。	RCE2	チャンネル (m + 2)	
		:	:	
		RCE15	チャンネル (m + 15)	
		:	:	
128 (RMCME = 1)	RCERA	ブロック 0	RCE0	チャンネル 0
			RCE1	チャンネル 1
			RCE2	チャンネル 2
			:	:
			RCE15	チャンネル 15
	RCERB	ブロック 1	RCE0	チャンネル 16
			RCE1	チャンネル 17
			RCE2	チャンネル 18
			:	:
			RCE15	チャンネル 31
	RCERC	ブロック 2	RCE0	チャンネル 32
			RCE1	チャンネル 33
			RCE2	チャンネル 34
			:	:
			RCE15	チャンネル 47
	RCERD	ブロック 3	RCE0	チャンネル 48
			RCE1	チャンネル 49
			RCE2	チャンネル 50
			:	:
			RCE15	チャンネル 63
	RCERE	ブロック 4	RCE0	チャンネル 64
			RCE1	チャンネル 65
			RCE2	チャンネル 66
			:	:
			RCE15	チャンネル 79
	RCERF	ブロック 5	RCE0	チャンネル 80
			RCE1	チャンネル 81
			RCE2	チャンネル 82
:			:	
RCE15			チャンネル 95	

表 12-13 受信チャンネル・イネーブル・レジスタの使用 (続き)

選択可能な チャンネル数	ブロック割り当て		チャンネル割り当て			
	RCERx	割り当てられたブロック	RCERx 内のビット	割り当てられたチャンネル		
	RCERG	ブロック 6	RCE0	チャンネル 96		
			RCE1	チャンネル 97		
			RCE2	チャンネル 98		
			:	:		
			RCE15	チャンネル 111		
			RCERH	ブロック 7	RCE0	チャンネル 112
					RCE1	チャンネル 113
					RCE2	チャンネル 114
	:	:				
	RCE15	チャンネル 127				

## 12.10 送信チャンネル・イネーブル・レジスタ (XCERA-XCERH)

各 McBSP には図 12-10 に示される形式を持つ 8 個の送信チャンネル・イネーブル・レジスタがあります。送信チャンネル・イネーブル・レジスタは、各送信パーティション A、B、C、D、E、F、G、H に対して 1 個ずつ用意されています。表 12-14 は、送信チャンネル・イネーブル・レジスタの各ビット XCE<sub>x</sub> の概要について説明しています。

I/O マップド XCER は、チャンネルを個別にディスエーブル/イネーブル可能で、かつマスク/マスク解除可能であるようにトランスミッタを設定したとき (XMCM をゼロ以外にする) にものみ使用されます。

図 12-10 送信チャンネル・イネーブル・レジスタのフォーマット (XCERA-XCERH)

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例： R = リード、W = ライト、-n = リセット後の値

表 12-14 送信チャンネル・イネーブル・レジスタのビット x の説明 (x = 0、1、2... または 15)

ビット	フィールド	値	説明
x	XCE <sub>x</sub>		送信チャンネル・イネーブル・ビット。このビットの役割は、XMCM ビットによって選択される送信マルチチャンネル選択モードによって異なります。
			<b>XMCM = 01b にセットしたマルチチャンネル選択 (選択されなければすべてのチャンネルはディスエーブルとなる) の場合：</b>
		0	XCE <sub>x</sub> にマップされるチャンネルをディスエーブルおよびマスクします。
		1	XCE <sub>x</sub> にマップされるチャンネルをイネーブルおよびマスク解除します。
			<b>XMCM = 10b にセットしたマルチチャンネル選択 (選択されなければすべてのチャンネルはイネーブルとなるが、マスクされる) の場合：</b>
		0	XCE <sub>x</sub> にマップされるチャンネルをマスクします。
		1	XCE <sub>x</sub> にマップされるチャンネルをマスク解除します。
			<b>XMCM = 11b にセットしたマルチチャンネル選択 (選択されなければすべてのチャンネルはマスクされる) の場合：</b>
		0	XCE <sub>x</sub> にマップされるチャンネルをマスクします。対応する受信チャンネル・イネーブル・ビットによってチャンネルがイネーブルになっても、このチャンネルのデータは DX ピン上には現れません。
		1	XCE <sub>x</sub> にマップされるチャンネルをマスク解除します。また、チャンネルが対応する受信チャンネル・イネーブル・ビットによってイネーブルになる場合も、フル送信は発生可能です。



## 12.10.1 送信マルチチャンネル選択モードで使用される XCER

マルチチャンネル選択動作の場合、XCER へのチャンネルの割り当ては、XMCME ビットの決定に従って 32 個のチャンネルを個別に選択可能にするか、または 128 個のチャンネルを個別に選択可能にするかによって異なります。この 2 つのケースを表 12-15 に示します。表では、使用される各 XCER にチャンネルのどのブロックを割り当てるかを示しています。また、各ビットにどのチャンネルを割り当てるかを XCER ごとに示しています。

## 注：

XMCM = 11b にセットすると（シンメトリックな送受信）、トランスミッタは受信チャンネル・イネーブル・レジスタ (RCER) を使用してチャンネルをイネーブルにし、XCER を使用して送信に対してチャンネルをマスク解除します。

表 12-15 送信マルチチャンネル選択モードでの送信チャンネル・イネーブル・レジスタの使用

選択可能な チャンネル数	ブロック割り当て		チャンネル割り当て	
	XCERx	割り当てられたブロック	XCERx 内のビット	割り当てられたチャンネル
32 (XMCME = 0)	XCERA	チャンネル n ~ (n + 15) XMCM = 01b または 10b の場合、 チャンネルのブロックは、XPABLK ビットによって選択されます。 XMCM = 11b の場合、チャンネルの ブロックは RPABLK ビットに よって選択されます。	XCE0 XCE1 XCE2 : XCE15	チャンネル n チャンネル (n + 1) チャンネル (n + 2) : チャンネル (n + 15)
	XCERB	チャンネル m ~ (m + 15) XMCM = 01b または 10b の場合、 チャンネルのブロックは、XPBBLK ビットによって選択されます。 XMCM = 11b の場合、チャンネルの ブロックは RPBBLK ビットに よって選択されます。	XCE0 XCE1 XCE2 : XCE15	チャンネル m チャンネル (m + 1) チャンネル (m + 2) : チャンネル (m + 15)
128 (XMCME = 1)	XCERA	ブロック 0	XCE0 XCE1 XCE2 : XCE15	チャンネル 0 チャンネル 1 チャンネル 2 : チャンネル 15
	XCERB	ブロック 1	XCE0 XCE1 XCE2 : XCE15	チャンネル 16 チャンネル 17 チャンネル 18 : チャンネル 31
	XCERC	ブロック 2	XCE0 XCE1 XCE2 : XCE15	チャンネル 32 チャンネル 33 チャンネル 34 : チャンネル 47
	XCERD	ブロック 3	XCE0 XCE1 XCE2 : XCE15	チャンネル 48 チャンネル 49 チャンネル 50 : チャンネル 63

表 12-15 送信マルチチャンネル選択モードでの送信チャンネル・イネーブル・レジスタの使用 (続き)

選択可能な チャンネル数	ブロック割り当て		チャンネル割り当て	
	XCERx	割り当てられたブロック	XCERx 内のビット	割り当てられたチャンネル
XCERE		ブロック 4	XCE0	チャンネル 64
			XCE1	チャンネル 65
			XCE2	チャンネル 66
			:	:
			XCE15	チャンネル 79
XCERF		ブロック 5	XCE0	チャンネル 80
			XCE1	チャンネル 81
			XCE2	チャンネル 82
			:	:
			XCE15	チャンネル 95
XCERG		ブロック 6	XCE0	チャンネル 96
			XCE1	チャンネル 97
			XCE2	チャンネル 98
			:	:
			XCE15	チャンネル 111
XCERH		ブロック 7	XCE0	チャンネル 112
			XCE1	チャンネル 113
			XCE2	チャンネル 114
			:	:
			XCE15	チャンネル 127

## McBSP レジスタ・ワークシート

このレジスタ・ワークシートは、印刷し、McBSP レジスタの設定ガイドとしてご利用いただくために作成されたものです。ワークシートの各図に示されるどのレジスタ・フィールドにも空欄があり、それぞれフィールドにロードするバイナリ値を入力できるようになっています。すべてのフィールドにデータを記入し終わったら、レジスタの図の上に描かれた線上に、初期化中にレジスタにロードする対応する 16 進数値を記録してください。

項目	ページ
13.1 一般制御レジスタ .....	13-2
13.2 マルチチャネル選択制御レジスタ .....	13-5

### 13.1 一般制御レジスタ

SPCR1 - 初期化値 : \_\_\_\_\_

15	14-13	12-11	10-8
DLB	RJUST	CLKSTP	予約

リード専用

7	6	5-4	3	2	1	0
DXENA	予約	RINTM	RSYNCERR	RFULL	RRDY	RRST

リード専用    リード専用

SPCR2 - 初期化値 : \_\_\_\_\_

15-10	9	8
予約	FREE	SOFT

リード専用

7	6	5-4	3	2	1	0
FRST	GRST	XINTM	XSYNCERR	XEMPTY	XRDY	XRST

リード専用    リード専用

PCR - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
予約	IDLEEN <sup>†</sup>	XIOEN	RIOEN	FSXM	FSRM	CLKXM	CLKRM

リード専用

7	6	5	4	3	2	1	0
SCLKME	CLKSSTAT	DXSTAT	DRSTAT	FSXP	FSRP	CLKXP	CLKRP

リード専用

リード専用

† TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このビットは予約されていて、0 がライトされなければなりません。

RCR1 - 初期化値 : \_\_\_\_\_

15	14-8	7-5	4-0
予約	RFRLN1	RWDLEN1	予約

リード専用

リード専用

RCR2 - 初期化値 : \_\_\_\_\_

15	14-8	7-5	4-3	2	1-0
RPHASE	RFRLN2	RWDLEN2	RCOMPAND	RFIG	RDATDLY

**XCR1 - 初期化値 :** \_\_\_\_\_

15	14-8	7-5	4-0
予約	XFRLEN1	XWDLEN1	予約

リード専用

リード専用

**XCR2 - 初期化値 :** \_\_\_\_\_

15	14-8	7-5	4-3	2	1-0
XPHASE	XFRLEN2	XWDLEN2	XCOMPAND	XFIG	XDATDLY

**SRGR1 - 初期化値 :** \_\_\_\_\_

15-8	7-0
FWID	CLKGDV

**SRGR2 - 初期化値 :** \_\_\_\_\_

15	14	13	12	11-0
GSYNC <sup>†</sup>	CLKSP	CLKSM	FSGM	FPER

<sup>†</sup> TMS320VC5501 デバイスと TMS320VC5502 デバイスでは、このビットは予約されていて、0 がライトされなければなりません。

## 13.2 マルチチャンネル選択制御レジスタ

MCR1 - 初期化値 : \_\_\_\_\_

15-10	9	8-7	6-5	4-2	1	0
予約	RMCME	RPBBLK	RPABLK	RCBLK	予約	RMCM
リード専用			リード専用		リード専用	

MCR2 - 初期化値 : \_\_\_\_\_

15-10	9	8-7	6-5	4-2	1-0
予約	XMCME	XPBBLK	XPABLK	XCBLK	XMCM
リード専用			リード専用		

RCERA - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

RCERB - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

RCERC - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル 47	チャンネル 46	チャンネル 45	チャンネル 44	チャンネル 43	チャンネル 42	チャンネル 41	チャンネル 40

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル 39	チャンネル 38	チャンネル 37	チャンネル 36	チャンネル 35	チャンネル 34	チャンネル 33	チャンネル 32

RCERD - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル 63	チャンネル 62	チャンネル 61	チャンネル 60	チャンネル 59	チャンネル 58	チャンネル 57	チャンネル 56

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル 55	チャンネル 54	チャンネル 53	チャンネル 52	チャンネル 51	チャンネル 50	チャンネル 49	チャンネル 48



RCERE - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル 79	チャンネル 78	チャンネル 77	チャンネル 76	チャンネル 75	チャンネル 74	チャンネル 73	チャンネル 72

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル 71	チャンネル 70	チャンネル 69	チャンネル 68	チャンネル 67	チャンネル 66	チャンネル 65	チャンネル 64

RCERF - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル 95	チャンネル 94	チャンネル 93	チャンネル 92	チャンネル 91	チャンネル 90	チャンネル 89	チャンネル 88

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル 87	チャンネル 86	チャンネル 85	チャンネル 84	チャンネル 83	チャンネル 82	チャンネル 81	チャンネル 80

RCERG - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル 111	チャンネル 110	チャンネル 109	チャンネル 108	チャンネル 107	チャンネル 106	チャンネル 105	チャンネル 104

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル 103	チャンネル 102	チャンネル 101	チャンネル 100	チャンネル 99	チャンネル 98	チャンネル 97	チャンネル 96

RCERH - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
RCE15	RCE14	RCE13	RCE12	RCE11	RCE10	RCE9	RCE8
チャンネル 127	チャンネル 126	チャンネル 125	チャンネル 124	チャンネル 123	チャンネル 122	チャンネル 121	チャンネル 120

7	6	5	4	3	2	1	0
RCE7	RCE6	RCE5	RCE4	RCE3	RCE2	RCE1	RCE0
チャンネル 119	チャンネル 118	チャンネル 117	チャンネル 116	チャンネル 115	チャンネル 114	チャンネル 113	チャンネル 112

XCERA - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

XCERB - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル	チャンネル

XCERC - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル 47	チャンネル 46	チャンネル 45	チャンネル 44	チャンネル 43	チャンネル 42	チャンネル 41	チャンネル 40

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル 39	チャンネル 38	チャンネル 37	チャンネル 36	チャンネル 35	チャンネル 34	チャンネル 33	チャンネル 32

XCERD - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル 63	チャンネル 62	チャンネル 61	チャンネル 60	チャンネル 59	チャンネル 58	チャンネル 57	チャンネル 56

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル 55	チャンネル 54	チャンネル 53	チャンネル 52	チャンネル 51	チャンネル 50	チャンネル 49	チャンネル 48

XCERE - 初期化値 : \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル 79	チャンネル 78	チャンネル 77	チャンネル 76	チャンネル 75	チャンネル 74	チャンネル 73	チャンネル 72

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル 71	チャンネル 70	チャンネル 69	チャンネル 68	チャンネル 67	チャンネル 66	チャンネル 65	チャンネル 64

**XCERF - 初期化値 :** \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル 95	チャンネル 94	チャンネル 93	チャンネル 92	チャンネル 91	チャンネル 90	チャンネル 89	チャンネル 88

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル 87	チャンネル 86	チャンネル 85	チャンネル 84	チャンネル 83	チャンネル 82	チャンネル 81	チャンネル 80

**XCERG - 初期化値 :** \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル 111	チャンネル 110	チャンネル 109	チャンネル 108	チャンネル 107	チャンネル 106	チャンネル 105	チャンネル 104

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル 103	チャンネル 102	チャンネル 101	チャンネル 100	チャンネル 99	チャンネル 98	チャンネル 97	チャンネル 96

**XCERH - 初期化値 :** \_\_\_\_\_

15	14	13	12	11	10	9	8
XCE15	XCE14	XCE13	XCE12	XCE11	XCE10	XCE9	XCE8
チャンネル 127	チャンネル 126	チャンネル 125	チャンネル 124	チャンネル 123	チャンネル 122	チャンネル 121	チャンネル 120

7	6	5	4	3	2	1	0
XCE7	XCE6	XCE5	XCE4	XCE3	XCE2	XCE1	XCE0
チャンネル 119	チャンネル 118	チャンネル 117	チャンネル 116	チャンネル 115	チャンネル 114	チャンネル 113	チャンネル 112

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上