

TMS320C6000 DSP

マルチチャネル・オーディオ・シリアルポート (McASP)

リファレンス・ガイド

TMS320C6000 DSP

マルチチャネル・オーディオ・シリアルポート (McASP)

リファレンス・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本 TI）が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上

目次

最初にお読みください.....	9
1 概要.....	11
1.1 機能.....	12
1.2 サポートされるプロトコル.....	12
1.3 システム・レベルの接続.....	13
1.4 McASP 使用時の検討事項.....	15
1.4.1 クロック.....	15
1.4.2 データ・ピン.....	15
1.4.3 データ・フォーマット.....	15
1.4.4 データ転送.....	16
1.5 用語の定義.....	16
1.6 TDM フォーマット.....	18
1.6.1 TDM フォーマット.....	19
1.6.2 Inter-Integrated Sound (I2S) フォーマット.....	20
1.7 S/PDIF コーディング・フォーマット.....	20
1.7.1 バイフェーズマーク・コード (BMC).....	20
1.7.2 サブフレーム・フォーマット.....	21
1.7.3 フレーム・フォーマット.....	22
2 アーキテクチャ.....	23
2.1 概要.....	24
2.2 クロックおよびフレーム同期ジェネレータ.....	24
2.2.1 送信クロック.....	26
2.2.2 受信クロック.....	27
2.2.3 フレーム同期ジェネレータ.....	28
2.2.4 クロックの例.....	29
2.3 シリアライザ.....	29
2.4 フォーマット・ユニット.....	29
2.5 ステート・マシン.....	31
2.6 TDM シーケンサ.....	31
2.7 クロック・チェック回路.....	31
2.8 ピン機能制御.....	32
2.8.1 McASP ピン制御 - 送信および受信.....	32
2.8.2 GPIO ピン制御.....	32
3 動作.....	35
3.1 セットアップおよび初期化.....	36
3.1.1 送信 / 受信セクションの初期化.....	36
3.1.2 送信および受信を別々に初期化.....	37
3.1.3 GBLCTL のリードバックの重要性.....	38
3.1.4 送信と受信の同期動作 (ASYNC = 0).....	38
3.1.5 送信と受信の非同期動作 (ASYNC = 1).....	38
3.2 転送モード.....	38
3.2.1 バースト転送モード.....	38
3.2.2 時分割多重 (TDM) 転送モード.....	40

3.2.3	デジタル・オーディオ・インターフェイス送信 (DIT) 転送モード	42
3.3	データ送信および受信	46
3.3.1	データ・レディ状態およびイベント/割り込み生成	46
3.3.2	データ・ポート (DAT) を介した転送	49
3.3.3	コンフィグレーション・バス (CFG) を介した転送	49
3.3.4	CPU を使用した McASP 処理	50
3.3.5	DMA を使用した McASP 処理	50
3.4	フォーマット	52
3.4.1	送信ビット・ストリームのデータ・アライメント	52
3.4.2	受信ビット・ストリームのデータ・アライメント	55
3.5	割り込み	57
3.5.1	送信データ・レディ割り込み	57
3.5.2	受信データ・レディ割り込み	57
3.5.3	エラー割り込み	57
3.5.4	オーディオ・ミュート (AMUTE) 機能	57
3.5.5	複数の割り込み	59
3.6	エラー処理および管理	59
3.6.1	予期せぬフレーム同期エラー	59
3.6.2	バッファ・アンダーラン・エラー・トランスミッタ	60
3.6.3	バッファ・オーバーラン・エラー・レシーバ	60
3.6.4	DMA エラー・トランスミッタ	60
3.6.5	DMA エラー・レシーバ	60
3.6.6	クロック障害検出	61
3.7	ループバック・モード	64
3.7.1	ループバック・モード構成	65
4	レジスタ	67
4.1	レジスタ	67
4.2	ペリフェラル・アイデンティフィケーション・レジスタ (PID)	70
4.3	パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU)	71
4.4	ピン・ファンクション・レジスタ (PFUNC)	72
4.5	ピン・ディレクション・レジスタ (PDIR)	74
4.6	ピン・データ・アウトプット・レジスタ (PDOUT)	76
4.7	ピン・データ・インプット・レジスタ (PDIN)	78
4.8	ピン・データ・セット・レジスタ (PDSET)	80
4.9	ピン・データ・クリア・レジスタ (PDCLR)	82
4.10	グローバル・コントロール・レジスタ (GBLCTL)	84
4.11	オーディオ・ミュート・コントロール・レジスタ (AMUTE)	86
4.12	デジタル・ループバック・コントロール・レジスタ (DLBCTL)	88
4.13	デジタル・モード・コントロール・レジスタ (DITCTL)	89
4.14	レシーバ・グローバル・コントロール・レジスタ (RGBLCTL)	90
4.15	レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK)	92
4.16	レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT)	93
4.17	レシーブ・フレーム・シンク・コントロール・レジスタ (AFSRCTL)	95
4.18	レシーブ・クロック・コントロール・レジスタ (ACLKRCTL)	96
4.19	レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL)	97
4.20	レシーブ TDM タイム・スロット・レジスタ (RTDM)	98
4.21	レシーバ・インタラプト・コントロール・レジスタ (RINTCTL)	99
4.22	レシーバ・ステータス・レジスタ (RSTAT)	100
4.23	カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT)	102

4.24	レシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK)	103
4.25	レシーバ DMA イベント・コントロール・レジスタ (REVTCTL)	104
4.26	トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL)	105
4.27	トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK)	107
4.28	トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT)	108
4.29	トランスミット・フレーム・シンク・コントロール・レジスタ (AFSXCTL)	110
4.30	トランスミット・クロック・コントロール・レジスタ (ACLKXCTL)	111
4.31	トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL)	112
4.32	トランスミット TDM タイム・スロット・レジスタ (XTDM)	113
4.33	トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL)	114
4.34	トランスミッタ・ステータス・レジスタ (XSTAT)	116
4.35	カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT)	118
4.36	トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK)	119
4.37	トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL)	120
4.38	シリアライザ・コントロール・レジスタ (SRCTLn)	121
4.39	DIT レフト・チャンネル・ステータス・レジスタ (DITCSRA0 ~ DITCSRA5)	122
4.40	DIT ライト・チャンネル・ステータス・レジスタ (DITCSRB0 ~ DITCSRB5)	122
4.41	DIT レフト・チャンネル・ユーザー・データ・レジスタ (DITUDRA0 ~ DITUDRA5)	123
4.42	DIT ライト・チャンネル・ユーザー・データ・レジスタ (DITUDRB0 ~ DITUDRB5)	123
4.43	トランスミット・バッファ・レジスタ (XBUFn)	124
4.44	レシーブ・バッファ・レジスタ (RBUFn)	124
A 改訂履歴		125
B EDMA 実装例		127
B.1	EDMA 実装ガイドライン	128
B.2	EDMA 実装シナリオ 1	128
B.3	EDMA 実装シナリオ 2	129
C レジスタ・ビットの制限		131

図一覧

図 1-1	McASP から パラレル 2 チャンネル DAC	13
図 1-2	McASP から 6 チャンネル DAC および 2 チャンネル DAC	14
図 1-3	McASP から デジタル・アンプ	14
図 1-4	デジタル・オーディオ・エンコーダとしての McASP	14
図 1-5	16 チャンネル・デジタル・プロセッサとしての McASP	15
図 1-6	ビット、ワード、およびスロットの定義	17
図 1-7	スロットのビット順およびワード・アライメントの例	17
図 1-8	フレームとフレーム同期幅の定義	18
図 1-9	TDM フォーマット 6 チャンネル TDM の例	19
図 1-10	フレーム同期からの TDM フォーマット・ビットの遅延	19
図 1-11	Inter-Integrated Sound (I2S) フォーマット	20
図 1-12	バイフェーズマーク・コード (BMC)	21
図 1-13	S/PDIF サブフレーム・フォーマット	22
図 1-14	S/PDIF フレーム・フォーマット	22
図 2-1	McASP ブロック図	25
図 2-2	送信クロック・ジェネレータのブロック図	26
図 2-3	受信クロック・ジェネレータのブロック図	27
図 2-4	フレーム同期ジェネレータのブロック図	28
図 2-5	McASP 内の個別シリアライザと接続	29
図 2-6	受信フォーマット・ユニット	30
図 2-7	送信フォーマット・ユニット	30
図 2-8	McASP I/O ピン制御ブロック図	33
図 2-9	レジスタ・マッピングを制御する McASP I/O ピン	33
図 3-1	バースト・フレーム同期モード	39
図 3-2	TDM タイム・スロットにおける送信 DMA イベント (AXEVT) の生成	41
図 3-3	送信 DMA イベント (AXEVT) 時の DSP サービス時間	47
図 3-4	受信 DMA イベント (AREVT) 時の DSP サービス時間	48
図 3-5	オーディオの DMA イベントの例 — 2 イベント (シナリオ 1)	50
図 3-6	オーディオの DMA イベントの例 — 4 イベント (シナリオ 2)	51
図 3-7	オーディオの DMA イベントの例	52
図 3-8	送信フォーマット・ユニットを介したデータ・フロー (図)	54
図 3-9	受信フォーマット・ユニットを介したデータ・フロー (図)	56
図 3-10	オーディオ・ミュート (AMUTE) ブロック図	58
図 3-11	送信クロック障害検出回路のブロック図	62
図 3-12	受信クロック障害検出回路のブロック図	63
図 3-13	ループバック・モードのシリアライザ	64
図 4-1	ペリフェラル・アイデンティフィケーション・レジスタ (PID) [オフセット 0h]	70
図 4-2	パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU) [オフセット 4h]	71
図 4-3	ピン・ファンクション・レジスタ (PFUNC) [オフセット 10h]	72
図 4-4	ピン・ディレクション・レジスタ (PDIR) [オフセット 14h]	74
図 4-5	ピン・データ・アウトプット・レジスタ (PDOUT) [オフセット 18h]	76
図 4-6	ピン・データ・インプット・レジスタ (PDIN) [オフセット 1Ch]	78
図 4-7	ピン・データ・セット・レジスタ (PDSET) [オフセット 1Ch]	80
図 4-8	ピン・データ・クリア・レジスタ (PDCLR) [オフセット 20h]	82
図 4-9	グローバル・コントロール・レジスタ (GBLCTL) [オフセット 44h]	84
図 4-10	オーディオ・ミュート・コントロール・レジスタ (AMUTE) [オフセット 48h]	86
図 4-11	デジタル・ループバック・コントロール・レジスタ (DLBCTL) [オフセット 4Ch]	88
図 4-12	デジタル・モード・コントロール・レジスタ (DITCTL) [オフセット 50h]	89
図 4-13	レシーバ・グローバル・コントロール・レジスタ (RGLBCTL) [オフセット 60h]	90
図 4-14	レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK) [オフセット 64h]	92
図 4-15	レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT) [オフセット 68h]	93
図 4-16	レシーブ・フレーム・シンク・コントロール・レジスタ (AFSRCTL) [オフセット 6Ch]	95

図 4-17	レシーブ・クロック・コントロール・レジスタ (ACLKRCTL) [オフセット 70h].....	96
図 4-18	レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL) [オフセット 74h].....	97
図 4-19	レシーブ TDM タイム・スロット・レジスタ (RTDM) [オフセット 78h].....	98
図 4-20	レシーバ・インタラプト・コントロール・レジスタ (RINTCTL) [オフセット 7Ch].....	99
図 4-21	レシーバ・ステータス・レジスタ (RSTAT) [オフセット 80h].....	100
図 4-22	カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT) [オフセット 84h].....	102
図 4-23	レシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK) [オフセット 88h].....	103
図 4-24	レシーバ DMA イベント・コントロール・レジスタ (REVTCTL) [オフセット 8Ch].....	104
図 4-25	トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL) [オフセット A0h].....	105
図 4-26	トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK) [オフセット A4h].....	107
図 4-27	トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT) [オフセット A4h].....	108
図 4-28	トランスミット・フレーム・シンク・コントロール・レジスタ (AFSXCTL) [オフセット ACh].....	110
図 4-29	トランスミット・クロック・コントロール・レジスタ (ACLKXCTL) [オフセット B0h].....	111
図 4-30	トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL) [オフセット B4h].....	112
図 4-31	トランスミット TDM タイム・スロット・レジスタ (XTDM) [オフセット B8h].....	113
図 4-32	トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL) [オフセット BCh].....	114
図 4-33	トランスミッタ・ステータス・レジスタ (XSTAT) [オフセット C0h].....	116
図 4-34	カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT) [オフセット C4h].....	118
図 4-35	トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) [オフセット C8h].....	119
図 4-36	トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL) [オフセット CCh].....	120
図 4-37	シリアライザ・コントロール・レジスタ (SRCTLn) [オフセット 180h-1BCh].....	121
図 4-38	DIT レフト・チャンネル・ステータス・レジスタ (DITCSRA0 ~ DITCSRA5) [オフセット 100h-114h].....	122
図 4-39	DIT ライト・チャンネル・ステータス・レジスタ (DITCSRB0 ~ DITCSRB5) [オフセット 118h-12Ch].....	122
図 4-40	DIT レフト・チャンネル・ユーザー・データ・レジスタ (DITUDRA0 ~ DITUDRA5) [オフセット 130h-144h].....	123
図 4-41	DIT ライト・チャンネル・ユーザー・データ・レジスタ (DITUDRB0 ~ DITUDRB5) [オフセット 148h-15Ch].....	123
図 4-42	トランスミット・バッファ・レジスタ (XBUFn) [オフセット 200h-21Ch].....	124
図 4-43	レシーブ・バッファ・レジスタ (RBUFn) [オフセット 280h-2BCh].....	124
図 B-1	各タイム・スロットでトリガされる EDMA イベント (AXEVT/AREVT).....	128
図 B-2	各タイム・スロットに対してトリガされる 2 つの交互 EDMA イベント.....	129

表一覧

表 1-1	バイフェーズマーク・エンコーダ	21
表 1-2	プリアンブル・コード	22
表 3-1	各 DIT ブロックのチャンネル・ステータスおよびユーザー・データ	45
表 3-2	送信ビット・ストリームのデータ・アライメント	53
表 3-3	受信ビット・ストリームのデータ・アライメント	55
表 4-1	コンフィグレーション・バスを介してアクセスされる McASP レジスタ	67
表 4-2	データ・ポートを介してアクセスされる McASP レジスタ	70
表 4-3	ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明	70
表 4-4	パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU) フィールドの説明	71
表 4-5	ピン・ファンクション・レジスタ (PFUNC) フィールドの説明	73
表 4-6	ピン・ディレクション・レジスタ (PDIR) フィールドの説明	75
表 4-7	ピン・データ・アウトプット・レジスタ (PDOUT) フィールドの説明	77
表 4-8	ピン・データ・インプット・レジスタ (PDIN) フィールドの説明	79
表 4-9	ピン・データ・セット・レジスタ (PDSET) フィールドの説明	81
表 4-10	ピン・データ・クリア・レジスタ (PDCLR) フィールドの説明	83
表 4-11	グローバル・コントロール・レジスタ (GBLCTL) フィールドの説明	84
表 4-12	オーディオ・ミュート・コントロール・レジスタ (AMUTE) フィールドの説明	86
表 4-13	デジタル・ループバック・コントロール・レジスタ (DLBCTL) フィールドの説明	88
表 4-14	デジタル・モード・コントロール・レジスタ (DITCTL) フィールドの説明	89
表 4-15	レシーバ・グローバル・コントロール・レジスタ (RGBLCTL) フィールドの説明	90
表 4-16	レシーバ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK) フィールドの説明	92
表 4-17	レシーバ・ビット・ストリーム・フォーマット・レジスタ (RFMT) フィールドの説明	93
表 4-18	レシーバ・フレーム・シンク・コントロール・レジスタ (AFSRCTL) フィールドの説明	95
表 4-19	レシーバ・クロック・コントロール・レジスタ (ACLKRCTL) フィールドの説明	96
表 4-20	レシーバ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL) フィールドの説明	97
表 4-21	レシーバ TDM タイム・スロット・レジスタ (RTDM) フィールドの説明	98
表 4-22	レシーバ・インタラプト・コントロール・レジスタ (RINTCTL) フィールドの説明	99
表 4-23	レシーバ・ステータス・レジスタ (RSTAT) フィールドの説明	100
表 4-24	カレント・レシーバ TDM タイム・スロット・レジスタ (RSLLOT) フィールドの説明	102
表 4-25	レシーバ・クロック・チェック・コントロール・レジスタ (RCLKCHK) フィールドの説明	103
表 4-26	レシーバ DMA イベント・コントロール・レジスタ (REVTCTL) フィールドの説明	104
表 4-27	トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL) フィールドの説明	105
表 4-28	トランスミッタ・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK) フィールドの説明	107
表 4-29	トランスミッタ・ビット・ストリーム・フォーマット・レジスタ (XFMT) フィールドの説明	108
表 4-30	トランスミッタ・フレーム・シンク・コントロール・レジスタ (AFSXCTL) フィールドの説明	110
表 4-31	トランスミッタ・クロック・コントロール・レジスタ (ACLKXCTL) フィールドの説明	111
表 4-32	トランスミッタ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL) フィールドの 説明	112
表 4-33	トランスミッタ TDM タイム・スロット・レジスタ (XTDM) フィールドの説明	113
表 4-34	トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL) フィールドの説明	114
表 4-35	トランスミッタ・ステータス・レジスタ (XSTAT) フィールドの説明	116
表 4-36	カレント・トランスミッタ TDM タイム・スロット・レジスタ (XSLOT) フィールドの説明	118
表 4-37	トランスミッタ・クロック・チェック・コントロール・レジスタ (XCLKCHK) フィールドの説明	119
表 4-38	トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL) フィールドの説明	120
表 4-39	シリアライザ・コントロール・レジスタ (SRCTLn) フィールドの説明	121
表 C-1	変更時に制限があるビット	131

最初にお読みください

本書について

本書では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) に搭載されたマルチチャネル・オーディオ・シリアルポート (McASP) について説明します。McASP は、マルチチャネル・オーディオ・アプリケーションのニーズに応じて最適化した汎用オーディオ・シリアルポートとして機能します。McASP は、時分割多重 (TDM) ストリーム、Inter-Integrated Sound (I2S) プロトコル、およびコンポーネント間デジタル・オーディオ・インターフェイス・トランスミッション (DIT) に役立ちます。

『TMS320C6000 DSP Multichannel Audio Serial Port (McASP) Reference Guide』(文献番号 SPRU041G) を翻訳しています。

表記規則

本書では、次の表記規則を使用しています。

- 16 進数は末尾に **h** を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書では、レジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、またリード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。この予約ビットを読み出すと、常にデフォルト値が戻されます。この予約ビットに書き込むと無視されます。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

31

Reserved	Bit
R-0	R/W-0

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

Texas Instruments 社からの関連文献

C6000™ デバイスおよびそのサポート・ツールを解説した関連文献は次のとおりです。関連文献は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに文献番号を入力してください。

C6000 デバイス、関連ペリフェラル、および他の技術資料は、C6000 DSP 製品フォルダ www.ti.com/c6000 から入手できます。

TMS320C6000 CPU and Instruction Set Reference Guide (文献番号 [SPRU189](#)) では、TMS320C6000™ デジタル・シグナル・プロセッサの CPU アーキテクチャ、命令セット、パイプライン、および割り込みについて説明しています。

TMS320C6000 Peripherals Reference Guide (文献番号 [SPRU190](#)) では、TMS320C6000™ DSP 上で使用可能なペリフェラルについて説明しています。

TMS320C6000 Technical Brief (文献番号 [SPRU197](#)) では、TMS320C62x™ および TMS320C67x™ DSP の概要、開発ツール、およびサードパーティのサポートについて説明します。

TMS320C64x Technical Overview (文献番号 [SPRU395](#)) では、TMS320C64x™ DSP の概要について説明しています。また、TMS320C64x VelociTI™ によって強化されるアプリケーション分野についても説明しています。

TMS320C6000 Programmer's Guide (文献番号 [SPRU198](#)) では、TMS320C6000™ DSP 用に C およびアセンブラ・コードを最適化する方法について説明しています。また、アプリケーション・プログラム例を記述しています。

TMS320C6000 Code Composer Studio Tutorial (文献番号 [SPRU301](#)) では、Code Composer Studio™ の統合開発環境とソフトウェア・ツールの概要について説明しています。

Code Composer Studio Application Programming Interface Reference Guide (文献番号 [SPRU321](#)) では、Code Composer Studio™ アプリケーション・プログラミング・インターフェイス (API) について説明しています。この API を使用して、Code Composer Studio 用のカスタム・プラグインを開発することができます。

TMS320C6x Peripheral Support Library Programmer's Reference (文献番号 [SPRU273](#)) では、TMS320C6000™ のペリフェラル・サポート・ライブラリの関数とマクロの内容について説明しています。ヘッダ・ファイル毎に、またアルファベット順に、関数とマクロを示しています。それぞれを詳しく説明するとともに、その使用方法を示すコード例を記述しています。

TMS320C6000 Chip Support Library API Reference Guide (文献番号 [SPRU401](#)) では、オンチップ・ペリフェラルの設定と制御を行うために使用するアプリケーション・プログラミング・インターフェイス (API) のセットについて説明しています。

商標

TMS320C6000、C6000、TMS320C62x、TMS320C67x、TMS320C64x、VelociTI、Code Composer Studio は、Texas Instruments 社の商標です。

本章では、TMS320C6000™ DSP ファミリーのデジタル・シグナル・プロセッサ (DSP) に搭載されたマルチチャネル・オーディオ・シリアルポート (McASP) の概要を示します。ここでは、McASP の機能、McASP がサポートするプロトコル、および本書で使用する用語の定義について説明します。

マルチチャネル・オーディオ・シリアルポート (McASP) は、マルチチャネル・オーディオ・アプリケーションのニーズに合わせて最適化された汎用オーディオ・シリアルポートとして機能します。McASP は、時分割多重 (TDM) ストリーム、Inter-Integrated Sound (I2S) プロトコル、およびコンポーネント間デジタル・オーディオ・インターフェイス送信 (DIT) に役立ちます。

McASP は、送信と受信のセクションから構成されており、個別のマスター・クロック、ビット・クロック、およびフレーム同期と同期するか、または完全に独立して動作します。また、さまざまなビット・ストリーム・フォーマットの各種送信モードを使用します。McASP モジュールには最大 16 個のシリアライザも組み込まれており、それぞれ独立に送信または受信に設定することが可能です。さらに、すべての McASP ピンを汎用 I/O (GPIO) ピンとして設定することができます。

項目	ページ
1.1 機能	12
1.2 サポートされるプロトコル	12
1.3 システム・レベルの接続	13
1.4 McASP 使用時の検討事項	15
1.5 用語の定義	16
1.6 TDM フォーマット	18
1.7 S/PDIF コーディング・フォーマット	20

1.1 機能

McASP の機能は、次のとおりです。

- 2つの独立した送信および受信用クロック・ジェネレータ・モジュール
 - クロックの柔軟性により、McASP はさまざまなレートで受信と送信を行うことができます。たとえば、McASP はデータを 48 kHz で受信できる一方、アップサンプリング処理データを 96 kHz または 192 kHz で出力できます。
- 独立した送受信モジュール。それぞれの内容は、次のとおりです。
 - プログラム可能なクロックおよびフレーム同期ジェネレータ
 - 2～32 および 384 タイム・スロットの TDM ストリーム
 - 8、12、16、20、24、28、32 ビットのタイム・スロットサイズをサポート
 - ビット操作に対応したデータ・フォーマット
- 個別に割り当て可能なシリアル・データ・ピン (最大 16 ピン)
- オーディオ A/D コンバータ (ADC)、D/A コンバータ (DAC)、コーデック、デジタル・オーディオ・インターフェイス・レシーバ (DIR)、および S/PDIF 送信物理層コンポーネントとのグルーレス接続
- さまざまな I2S および同種のビット・ストリーム・フォーマット
- 統合デジタル・オーディオ・インターフェイス・トランスミッタ (DIT) がサポートしている内容は、次のとおりです。
 - S/PDIF、IEC60958-1、AES-3 フォーマット
 - 最大 16 本の送信ピン
 - 高機能チャンネル・ステータス/ユーザー・データ RAM
- 外部デジタル・オーディオ・インターフェイス・レシーバ (DIR) デバイスを搭載した 384 スロットの TDM
 - DIR 受信では、外部 DIR レシーバ集積回路は I2S 出力フォーマットとともに使用され、McASP 受信セクションに接続します。
- 広範囲なエラー・チェックと復元
 - リアルタイム要件を満たさないシステムによる送信アンダーランと受信オーバーラン
 - TDM モードの早期フレーム同期または遅延フレーム同期
 - 送受信用の範囲外高周波マスター・クロック
 - AMUTEIN 入力に入ってくる外部エラー信号
 - 不正確なプログラムによる DMA エラー

1.2 サポートされるプロトコル

McASP は、さまざまなプロトコルをサポートします。

- 送信セクションでサポートしているプロトコル
 - さまざまな I2S および同種のビット・ストリーム・フォーマット
 - 2～32 タイム・スロットの TDM ストリーム
 - S/PDIF、IEC60958-1、AES-3 フォーマット
- 受信セクションでサポートしているプロトコル
 - さまざまな I2S および同種のビット・ストリーム・フォーマット
 - 2～32 タイム・スロットの TDM ストリーム
 - I2S プロトコルを使用して DIR フレームを McASP に送信する外部デジタル・オーディオ・インターフェイス・レシーバ (DIR) デバイスへのインターフェイスを容易にするために特別に設計された 384 タイム・スロットの TDM ストリーム。(DIR サブフレームごとに 1 タイム・スロット)

送信と受信のセクションは、基本的なシリアル・プロトコル上で次のオプション機能をサポートするためにそれぞれ個別にプログラムできます。

- プログラム可能なクロックおよびフレーム同期極性 (立ち上がりエッジまたは立ち下がりエッジ) : ACLKR/X、AHCLKR/X、および AFSR/X
- スロット長 (タイム・スロットごとのビット数) : 8、12、16、20、24、28、32 ビットのサポート
- ワード長 (ワードごとのビット) : 8、12、16、20、24、28、32 ビット (常にタイム・スロット長より少ないか等しい)

- 先頭ビット・データの遅延: 0、1、2 ビット・クロック
- スロット内のワードの左/右揃え
- ビット順: MSB ファーストまたは LSB ファースト
- ビット・マスク/埋め込み/ローテート機能
 - Q フォーマットまたは整数フォーマットで DSP のデータを内部で自動的にアライメントする
 - 無効ビットを自動的にマスクする (0、1 にセットするか、別のビット値を拡張する)

DIT モードでは、次のトランスミッタ機能が追加されます。

- 送信専用モード: フレームごとに 384 タイム・スロット (サブフレーム)
- パイフェーズ・エンコード 3.3 V 出力
- コンシューマ向けアプリケーションとプロフェッショナル向けアプリケーションのサポート
- チャンネル・ステータス RAM (384 ビット)
- ユーザー・データ RAM (384 ビット)
- サブフレーム A、B の個別の有効ビット (V)

I2S モードの C6000 DSP の送信と受信のセクションは、192 kHz ステレオ・チャンネルとして動作する、すべてのシリアル・データ・ピン上で同時転送をサポートすることができます。

DIT モードの C6000 DSP のトランスミッタは、すべてのシリアル・データ・ピン上で同時に 192 kHz フレーム・レート (ステレオ) をサポートすることができます (DIT の内部ビット・クロックは、パイフェーズ・マーク・エンコード・データを生成する必要があるため、同等の I2S モードのビット・クロックより 2 倍速く動作することに注意してください)。

1.3 システム・レベルの接続

図 1-1 ~ 図 1-5 に、デジタル・オーディオ・エンコーダ/デコーダ・システムでの McASP の使用例を示します。

図 1-1. McASP から パラレル 2 チャンネル DAC

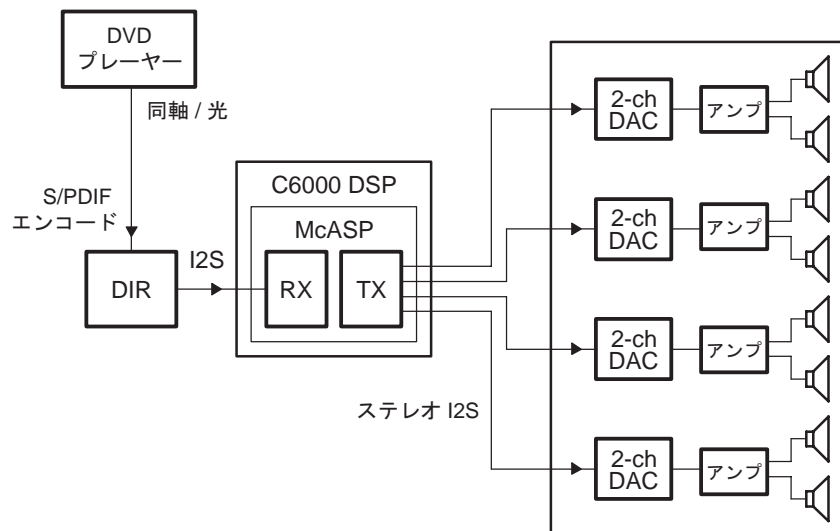


図 1-2. McASP から 6 チャンネル DAC および 2 チャンネル DAC

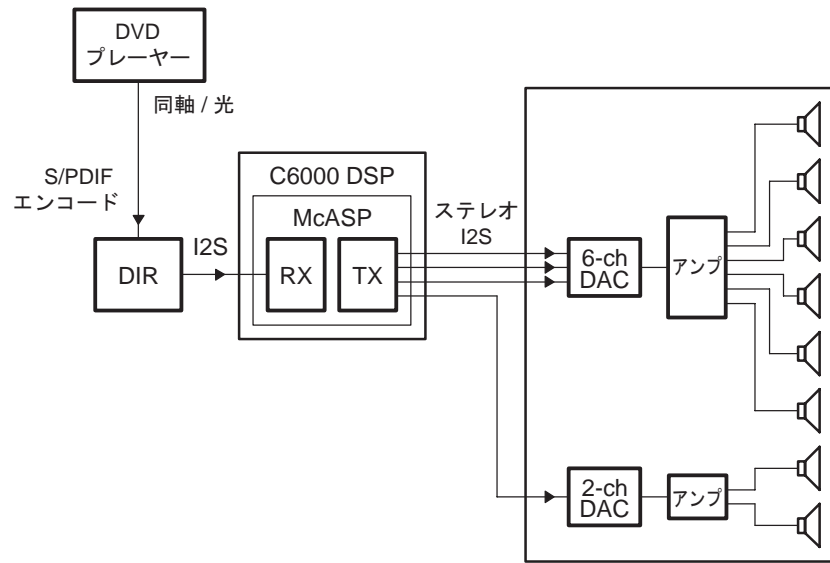


図 1-3. McASP からデジタル・アンプ

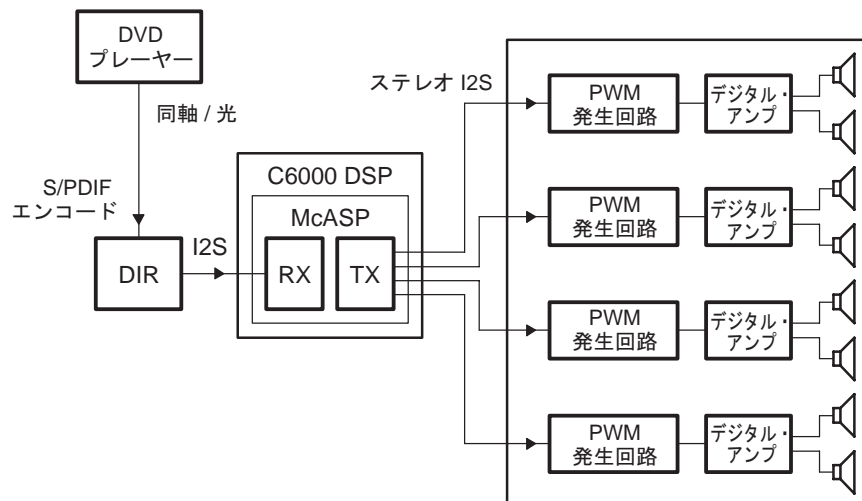


図 1-4. デジタル・オーディオ・エンコーダとしての McASP

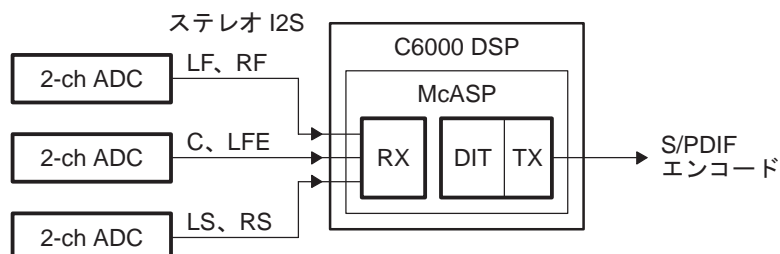
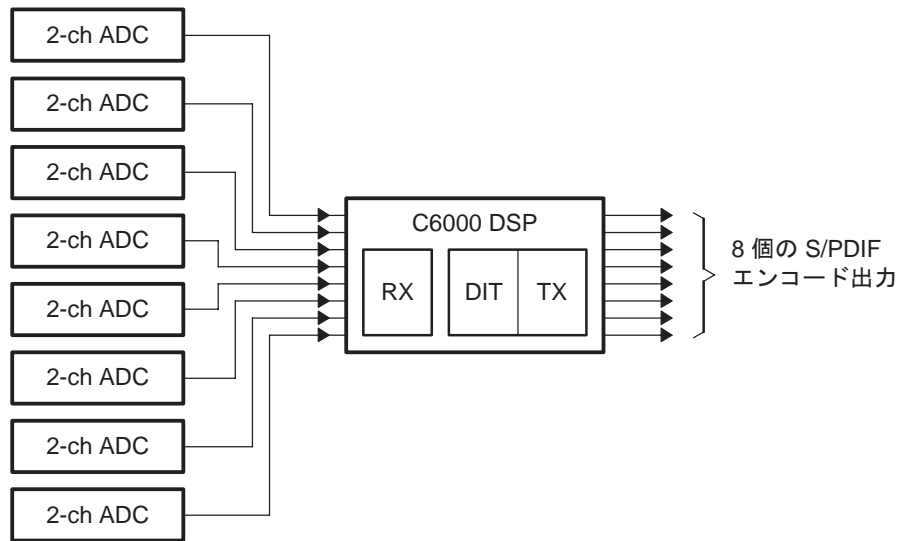


図 1-5. 16 チャンネル・デジタル・プロセッサとしての McASP



1.4 McASP 使用時の検討事項

McASP を使用するシステムで検討すべき内容は、次のとおりです。

1.4.1 クロック

各受信および送信のセクションに対して、次の点を検討します。

- ビット・クロックと高周波クロックは外部生成か内部生成か
- 内部で生成される場合のビット・クロック速度と高周波クロック速度
- クロック極性
- フレーム同期は外部生成か内部生成か
- 内部で生成される場合のフレーム同期の速度
- フレーム同期極性
- フレーム同期幅
- 送信と受信は同期か非同期か

1.4.2 データ・ピン

各 McASP のピンに対して、次の点を検討します。

- McASP か GPIO か
- 入力か出力か

1.4.3 データ・フォーマット

各送信および受信データに対して、次の点を考慮します。

- 内部の数値表現（整数または Q フォーマット）
- I2S または DIT（送信のみ）
- タイム・スロットの遅延（0、1、2 ビットのいずれか）
- アライメント（左または右）
- ビットの順序（MSB ファーストまたは LSB ファースト）
- パッド（パッドがある場合、パッドの値）
- スロット・サイズ
- ローテート
- マスク

1.4.4 データ転送

- 内部: DMA または CPU
- 外部: TDM または バースト
- バス: コンフィグレーション・バス (CFG) または データ・ポート (DAT)

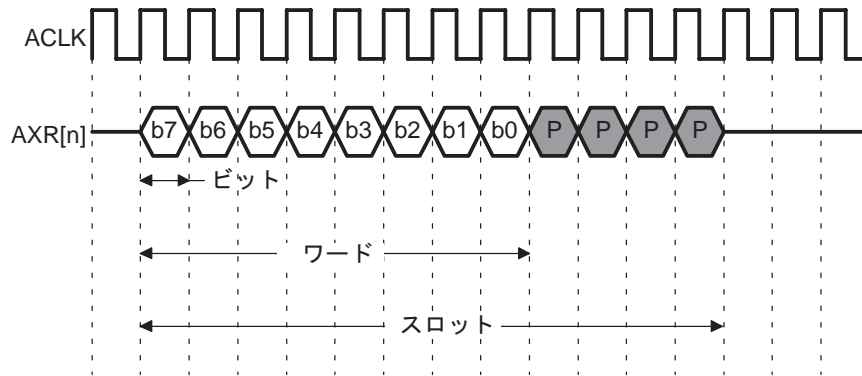
1.5 用語の定義

McASP で送信または受信されるシリアル・ビット・ストリームは、1 や 0 が並んだ長いシーケンスで、1 つのオーディオ送信 / 受信ピン (AXR[n]) にある出力または入力のいずれかです。しかし、このシーケンスには、データ、スロット、ワード、およびビットのフレームから表現できる階層組織があります。

基本的な同期式シリアル・インターフェイスは、3 つの重要なコンポーネント、クロック、フレーム同期、およびデータから構成されます。図 1-6 に、これらのうち、クロック (ACLK) とデータ (AXR[n]) の 2 つの基本コンポーネントを示します。図 1-6 では、受信と送信インターフェイスの両方に用語の定義が当てはまるため、クロックが送信用 (ACLKX) か受信用 (ACLKR) かは示しません。動作時に、トランスミッタは ACLKX を、レシーバは ACLKR をシリアル・クロックとして使用します。McASP のトランスミッタとレシーバが同期して動作するように設定されている場合、レシーバは ACLKX のシリアル・クロックを使用することができます。

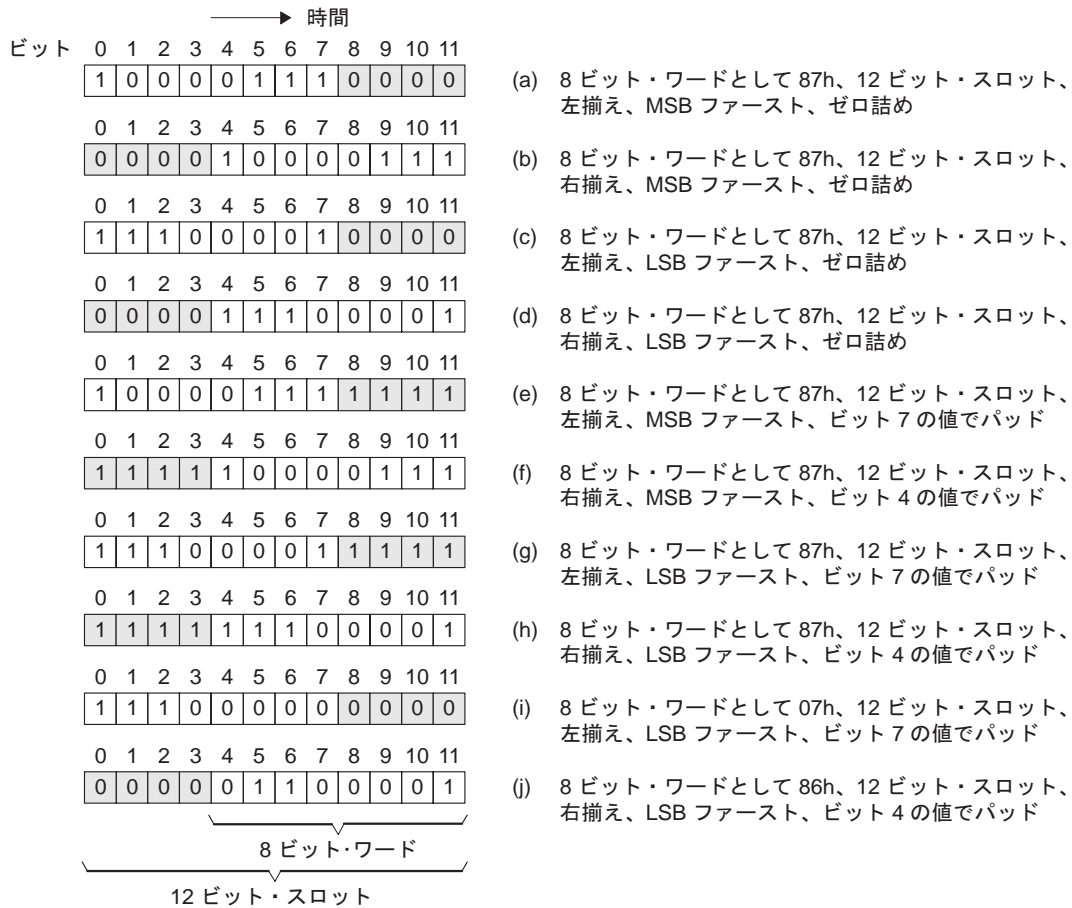
ビット	ビットはシリアル・データ・ストリーム内で最小の構成要素です。ビットの継続時間は、1 シリアル・クロック周期です。1 は、ビットの継続時間全体で、AXR[n] ピン上で論理 High を表します。0 は、ビットの継続時間全体で、AXR[n] ピン上で論理 Low を表します。
ワード	ワードは、DSP と外部デバイス間で転送されるデータを構成する複数のビットの集まりです。図 1-6 に、8 ビットのワードを示します。
スロット	スロットは、DSP と外部デバイス間のインターフェイスのために、ワードを構成するビット列やワードを含む適切なビット数が挿入された追加ビットから構成されます。図 1-6 では、オーディオ・データは 8 ビットのみ有効なデータ (8 ビット・ワード) から構成されていますが、外部デバイスとのインターフェイスに要求されるプロトコルを満たすために 4 つのゼロ (12 ビット・スロット) が挿入されています。スロット内において、AXR[n] ピン上の McASP のビットは MSB ファーストまたは LSB ファーストのいずれかでシフトイン / シフトアウトされます。ワード・サイズがスロット・サイズより小さい場合、ワードはスロットの左 (先頭) にアライメントされるか、スロットの右 (末尾) にアライメントされます。ワードに属さないスロット内の追加ビットは、0、1、またはデータ・ワードのビット (通常 MSB または LSB) の値が挿入されます。図 1-7 に、これらのオプションを示します。

図 1-6. ビット、ワード、およびスロットの定義



- (1) b7:b0 – ビット。ビット b7 ~ b0 が 1 つのワードを構成します。
- (2) P – パッド・ビット。ビット b7 ~ b0 と 4 つのパッド・ビットが 1 つのスロットを構成します。
- (3) この例では、データは MSB ファーストで送信され、左揃えになります。

図 1-7. スロットのビット順およびワード・アライメントの例



1 網掛けなし：ビットはワードに属す

1 網掛け：ビットはパッド・ビット

同期式シリアル・インターフェイスの3つ目の基本要素は、フレーム同期信号です（本書では、フレーム同期とも呼ばれています）。

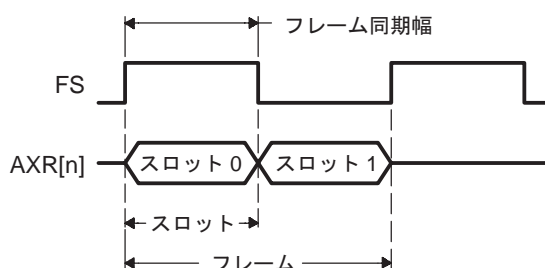
フレーム

フレームは、要求するプロトコルで決められた、1つ以上のスロットから構成されます。

図 1-8 に、データのフレーム例とそのフレームの定義を示します。図 1-8 では、受信と送信インターフェイスの両方に用語の定義が当てはまるため、フレーム同期 (FS) が送信用 (AFSX) か受信用 (AFSR) かは示しません。動作時に、トランスミッタは AFSX を使用し、レシーバは AFSR を使用します。McASP のトランスミッタとレシーバが同期して動作するように設定されている場合、レシーバは AFSX のフレーム同期を使用することができます。

ここでは、フレーム同期の一般的な定義のみを示します。さまざまな転送モードとプロトコル（バースト・モード、TDM モードと I2S フォーマット、DIT モードと S/PDIF フォーマット）に必要なフレーム同期フォーマットの詳細については、1.6 節、1.7 節、および 3.2.1 項を参照してください。

図 1-8. フレームとフレーム同期幅の定義



(1) この例では、1つのフレームに2つのスロットがあり、スロット長の FS 継続時間が示されています。

本書で使用しているその他の用語は、次のとおりです。

TDM	時分割多重方式。TDM プロトコルの詳細については、1.6 節を参照してください。
DIR	デジタル・オーディオ・インターフェイス受信。McASP は、S/PDIF フォーマットでの受信をネイティブにサポートしません。McASP は、外部 DIR デバイスによる I2S フォーマット出力をサポートします。
DIT	デジタル・オーディオ・インターフェイス送信。McASP は、出力として設定されるすべてのデータ・ピンにおいて S/PDIF フォーマットでの送信をサポートします。
I2S	Inter-Integrated Sound プロトコル。通常、オーディオ・インターフェイス上で使用されます。McASP は、TDM モードの一部として I2S プロトコルをサポートします (2 スロット・フレームとして構成されている場合)。
スロットまたは タイム・スロット	TDM フォーマットでは、タイム・スロットという用語は、ここで定義しているスロットという用語と置き換えることができます。DIT フォーマットでは、McASP タイム・スロットは DIT サブフレームに相当します。

1.6 TDM フォーマット

McASP トランスミッタとレシーバは、TDM 転送モードによるマルチチャネルの同期式時分割多重 (TDM) フォーマットをサポートします。この転送モードでは、さまざまなシリアル・データ・フォーマットがサポートされており、Inter-Integrated Sound (I2S) プロトコルを使用するデバイスと互換性のあるフォーマットもサポートされています。ここでは、TDM フォーマットと I2S プロトコルについて簡単に説明します。

1.6.1 TDM フォーマット

TDM フォーマットは、同一のプリント基板または同一の装置内にある別のプリント基板上の集積回路デバイス間で通信する際に通常使用されます。たとえば、TDM フォーマットを使用して、DSP と 1 つ以上の A/D コンバータ (ADC)、D/A コンバータ (DAC)、または S/PDIF レシーバ (DIR) デバイス間のデータの転送を行います。

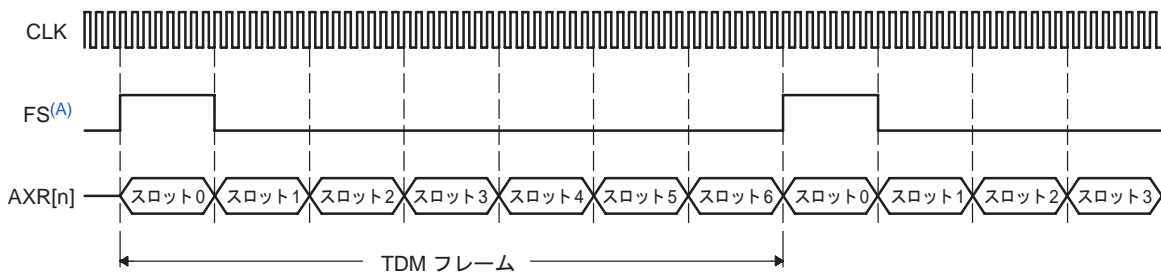
TDM フォーマットは、基本的な同期式シリアル転送の 3 つのコンポーネント、クロック、データ、およびフレーム同期から構成されます。TDM 転送では、すべてのデータ・ビット (AXR[n]) がシリアル・クロック (ACLKX または ACLKR) に同期します。データ・ビットは、ワードとスロットにグループ化されます (1.5 節の定義を参照)。「スロット」は、TDM 用語で「タイム・スロット」または「チャンネル」とも呼ばれています。フレームは、複数のスロット (またはチャンネル) から構成されます。それぞれの TDM フレームは、フレーム同期信号 (AFSX または AFSR) により定義されます。データ転送は連続的かつ周期的です。これは、TDM フォーマットが固定サンプル・レートで動作するデータ・コンバータとの通信に最も一般的に使用されているためです。

スロット間には遅延はありません。スロット N の最終ビット直後の次のシリアル・クロック・サイクルでスロット N+1 の先頭ビットが続き、最終スロットの最終ビット直後の次のシリアル・クロックで先頭スロットの先頭ビットが続きます。ただし、フレーム同期は、0、1、または 2 サイクルの遅延で先頭スロットの先頭ビットからオフセットされることがあります。

システム内のトランスミッタとレシーバは、スロットごとのビット数が一致している必要があります。これは、スロット境界の決定がフレーム同期信号によって行われなければならないためです (ただし、フレーム同期はスロット 0 の先頭と新規フレームの先頭をマークします)。

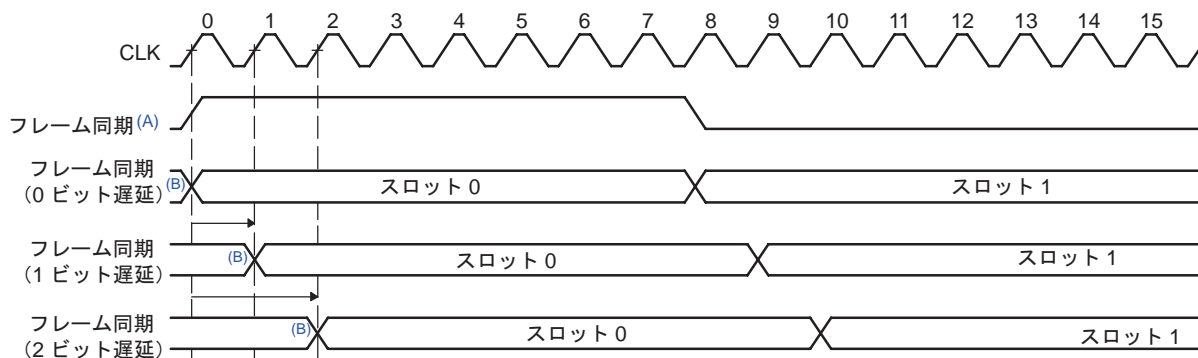
図 1-9 に、TDM フォーマットを示します。図 1-10 に、フレーム同期からの異なるビットの遅延を示します。

図 1-9. TDM フォーマット 6 チャンネル TDM の例



A スロットの FS 継続時間が示されています。単一ビットの FS 継続時間もサポートされています。

図 1-10. フレーム同期からの TDM フォーマット・ビットの遅延



A スロットの FS 継続時間が示されています。単一ビットの FS 継続時間もサポートされています。

B 前フレームの最終スロットの最終ビット。このビットとスロット 0 の先頭ビットの間にギャップは許されません。

一般的なオーディオ・システムでは、各データ・コンバータのサンプル周期 f_s 中にデータの 1 フレームが転送されます。複数のチャンネルをサポートするには、1 フレームにより多くのタイム・スロットを組み込むか (これにより速いビット・クロック・レートで動作します)、または追加データ・ピンを使用して同数のチャンネルを転送します (これにより遅いビット・クロック・レートで動作します)。

たとえば、[図 1-9](#) に示すように、ある特定の 6 チャンネル DAC を 1 本のシリアル・データ・ピン AXR[n] 上で転送するように設計できます。この場合、シリアル・クロックは、フレーム周期ごとに合計 6 チャンネルを転送できる速度で動作させる必要があります。あるいは、同様の 6 チャンネル DAC を 3 本のシリアル・データ・ピン AXR[0,1,2] を使用するように設計して、各サンプル周期中にそれぞれのピンで 2 チャンネルのデータを転送することができます ([図 1-11](#))。後者の場合、サンプル周期が同じである場合、シリアル・クロックは前者の場合より 3 倍遅い速度で動作させることができます。McASP は両方のタイプの DAC をサポートする高い柔軟性を持ちます。

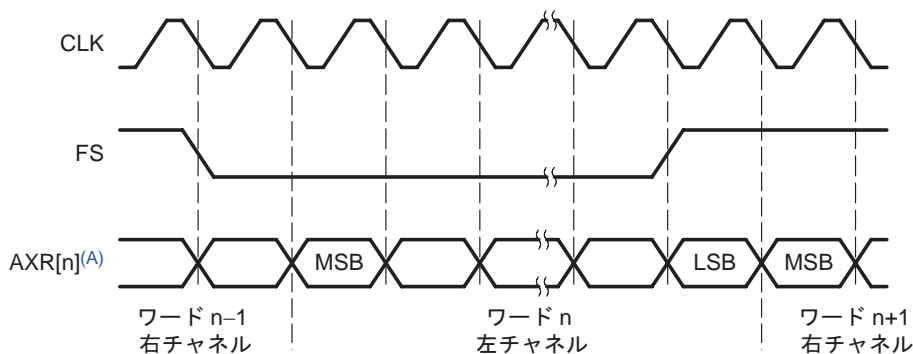
1.6.2 Inter-Integrated Sound (I2S) フォーマット

Inter-Integrated Sound (I2S) フォーマットは、オーディオ・インターフェイスで幅広く使用されています。McASP の TDM 転送モードは、I2S フォーマットをサポートします (1 フレームにつき 2 スロットと設定されている場合)。

I2S フォーマットは、ステレオ・チャンネル (左と右) を単一のデータ・ピン AXR[n] 上で転送するために特別に設計されています。「スロット」は、「チャンネル」とも呼ばれます。I2S フォーマットのフレーム幅の継続時間は、スロット・サイズと同一です。フレーム信号は、I2S フォーマットで「ワード選択」とも呼ばれます。[図 1-11](#) に、I2S プロトコルを示します。

McASP は、複数の AXR[n] ピン上で複数のステレオ・チャンネルの転送をサポートします。

図 1-11. Inter-Integrated Sound (I2S) フォーマット



A 1 ~ 16 のデータ・ピンがサポートされています。

1.7 S/PDIF コーディング・フォーマット

McASP トランスミッタは、3.3V バイフェーズマーク・エンコード出力を使用した S/PDIF フォーマットをサポートします。この S/PDIF フォーマットは、McASP のデジタル・オーディオ・インターフェイス送信 (DIT) 転送モードによりサポートされています。ここでは、S/PDIF コーディング・フォーマットについて簡単に説明します。

1.7.1 バイフェーズマーク・コード (BMC)

S/PDIF フォーマットでは、デジタル信号はバイフェーズマーク・コード (BMC) を使用して符号化されます。クロック、フレーム、およびデータは、1 つの信号 — データ・ピン AXR[n] にのみ組み込まれます。BMC システムでは、各データ・ビットはそのピンで 2 つの論理状態 (00、01、10、11 のいずれか) にエンコードされます。これらの 2 つの論理状態がセルを形成します。セルの継続時間はデータ・ビットの継続時間と等しく、時間間隔と呼ばれます。論理 1 は、単一時間間隔内での信号の 2 つの遷移によって表され、論理状態 01 または 10 のセルと一致します。論理 0 は、単一時間間隔内での 1 つの遷移によって表され、論理状態 00 または 11 のセルと一致します。さらに、セルの始まりの論理レベルは、前のセルの終わりのレベルから反転されます。[図 1-12](#) および [表 1-1](#) に、データを BMC フォーマットにエンコードする方法を示します。

[図 1-12](#) に示すように、クロックの周波数はエンコードされていないデータのビット・レートの 2 倍です。また、クロックは常に $128 \times f_s$ にプログラムされています。この f_s はサンプル・レートです (S/PDIF フォーマットを基にこのクロック・レートを生成する方法の詳細については、[1.7.3 項](#)を参照してください)。S/PDIF フォーマットで受信するデバイスは、BMC 信号からクロックとフレーム情報を復元することができます。

図 1-12. バイフェーズマーク・コード (BMC)

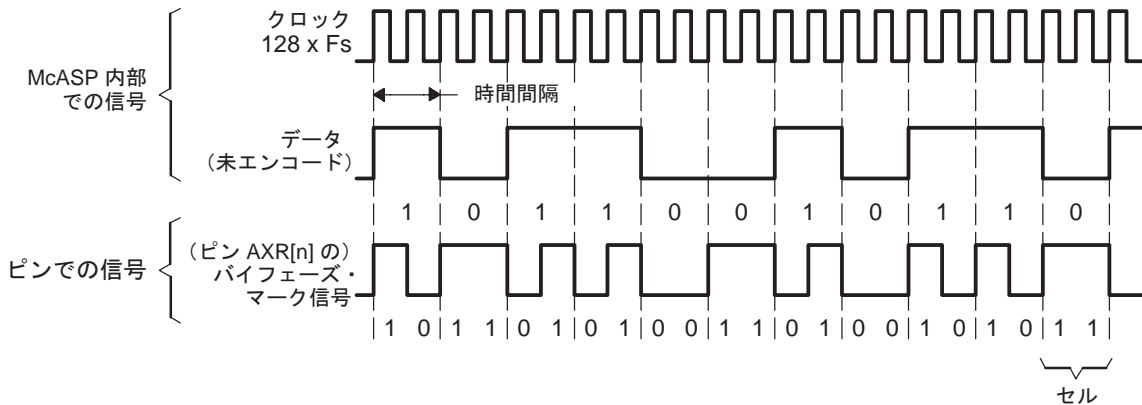


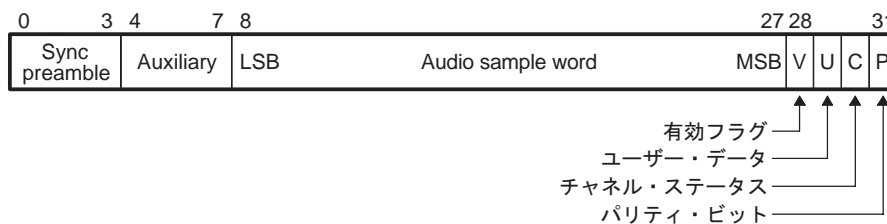
表 1-1. バイフェーズマーク・エンコーダ

データ (未エンコード)	ピン AXR[n] の以前の状態	AXR[n] の BMC エンコード・セル出力
0	0	11
0	1	00
1	0	10
1	1	01

1.7.2 サブフレーム・フォーマット

サブフレーム内で送信されるすべてのオーディオ・サンプルは、32 の S/PDIF 時間間隔 (またはセル) から構成され、0 ~ 31 の番号が付きます。図 1-13 に、サブフレームを示します。

- **時間間隔 0-3** は、現行のサブフレームのオーディオ・サンプルの種類を表すために、許可された 3 つのプリアンプルのうち 1 つを伝送します。プリアンプルは、BMC フォーマットでエンコードされません。このため、プリアンプル・コードは、2 つ以上の連続した 0 または 1 の論理状態を続けて含めることができます。表 1-2 を参照してください。
- **時間間隔 4-27** は、線形の 2 の補数表現のオーディオ・サンプル・ワードを伝送します。最上位ビット (MSB) の伝送は、時間間隔 27 により行われます。24 ビットのコーディング範囲を使用する場合、最下位ビット (LSB) は時間間隔 4 にあります。20 ビットのコーディング範囲を使用する場合、時間間隔 8-27 が時間間隔 8 の LSB とともにオーディオ・サンプル・ワードを伝送します。時間間隔 4-7 は、他のアプリケーションで使用することができ、補助サンプル・ビットが指定されます。
- ソースがインターフェイスで許可している (20 または 24) よりも少ないビットを提供する場合、未使用の LSB は論理 0 にセットされます。リニア PCM オーディオ以外のアプリケーションまたはデータ・アプリケーションでは、メイン・データ・フィールドはその他の情報を伝送することがあります。
- **時間間隔 28** は、サブフレーム内のメイン・データ・フィールドに関連付けられた有効ビット (V) を伝送します。
- **時間間隔 29** は、サブフレーム内のメイン・データ・フィールドに関連付けられたユーザー・データ・チャンネル (U) を伝送します。
- **時間間隔 30** は、サブフレーム内のメイン・データ・フィールドに関連付けられたチャンネル・ステータス情報 (C) を伝送します。チャンネル・ステータスは、サブフレーム内のデータがデジタル・オーディオであるか、またはその他のタイプのデータであるかを示します。
- **時間間隔 31** は、時間間隔 4-31 が偶数個の 1 と偶数個の 0 (偶数パリティ) を伝送するようにパリティ・ビット (P) を伝送します。表 1-2 に示すように、プリアンプル (時間間隔 0-3) も偶数パリティで定義されます。

図 1-13. S/PDIF サブフレーム・フォーマット

表 1-2. プリアンブル・コード

プリアンブル・コード ⁽¹⁾	前の論理状態	ピン AXR[n] の論理状態 ⁽²⁾	説明
B (または Z)	0	1110 1000	ブロックの始まりとサブフレーム 1
M (または X)	0	1110 0010	サブフレーム 1
W (または Y)	0	1110 0100	サブフレーム 2

(1) プリアンブル・コードは歴史的に B、M、W と呼ばれます。プロフェッショナル・アプリケーションで使用する場合は、プリアンブルはそれぞれ Z、X、Y と呼ばれます。

(2) プリアンブルは BMC エンコードされません。各論理状態はシリアル・クロックに同期します。これら 8 つの論理状態は、S/PDIF ストリームでタイム・スロット (セル) 0 ~ 3 を構成します。

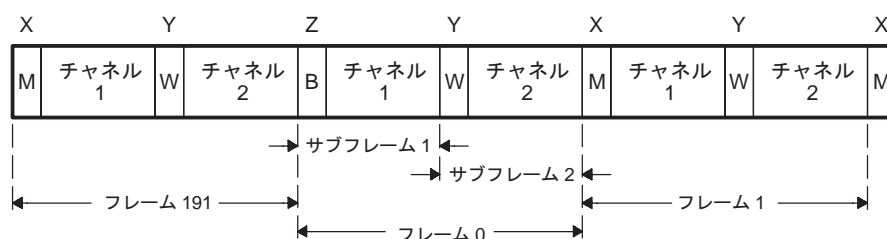
表 1-2 に示すように、McASP DIT はプリアンブルの 1 極性を生成するだけで、前の論理状態が 0 と想定します。これは、DIT モードで送信する場合に、McASP が偶数極性のエンコード方式であることを保証するためです。アンダーラン状態が発生すると、DIT は次の送信を続行する前に AXR[n] ピン上で正しい論理レベルに再同期します。

1.7.3 フレーム・フォーマット

S/PDIF フレームは、2 つのサブフレームから構成されます (図 1-14)。リニア・コード化オーディオ・アプリケーションでは、フレーム送信のレートは、通常、ソース・サンプリング周波数 f_s と完全に一致します。このため、S/PDIF フォーマット・クロック・レートは $128 \times f_s$ ($128 = 32 \text{ セル/サブフレーム} \times 2 \text{ クロック/セル} \times 2 \text{ サブフレーム/サンプル}$) になります。たとえば、192 kHz サンプリング周波数の S/PDIF ストリームの場合、シリアル・クロックは $128 \times 192 \text{ kHz} = 24.58 \text{ MHz}$ になります。

2 チャンネル動作モードでは、両方のチャンネルから取られたサンプルが連続サブフレームで時分割多重方式により送信されます。両方のサブフレームには有効なデータが含まれます。1 つ目のサブフレーム (ステレオ動作の左または A チャンネルおよびモノラル動作の 1 次チャンネル) は、通常プリアンブル M から開始します。ただし、1 つ目のサブフレームのプリアンブルは、チャンネル・ステータス情報の構成に使用されるブロック構造の先頭を特定するために、192 フレームごとに 1 回プリアンブル B に変わります。2 つ目のサブフレーム (ステレオ動作の右または B チャンネルおよびモノラル動作の 2 次チャンネル) は、常にプリアンブル W から開始します。

プロフェッショナル向けアプリケーションの単一チャンネル動作モードでは、フレーム・フォーマットは 2 チャンネル・モードと同一です。データは 1 つ目のサブフレームで伝送され、2 つ目のサブフレームで重複することがあります。2 つ目のサブフレームが重複データを伝送しない場合、セル 28 (有効ビット) が論理 1 にセットされます。

図 1-14. S/PDIF フレーム・フォーマット


アーキテクチャ

本章では、McASP の機能ユニットのアーキテクチャについて説明します。

項目	ページ
2.1 概要	24
2.2 クロックおよびフレーム同期ジェネレータ	24
2.3 シリアライザ	29
2.4 フォーマット・ユニット	29
2.5 ステート・マシン	31
2.6 TDM シーケンサ	31
2.7 クロック・チェック回路	31
2.8 ピン機能制御	32

2.1 概要

図 2-1 に、McASP の主なブロックを示します。McASP は、独立した受信 / 送信クロック・ジェネレータとフレーム同期ジェネレータ、エラー・チェック・ロジック、および最大 16 本のシリアル・データ・ピンを備えています。ご使用のデバイスで使用可能なデータ・ピン数については、各デバイスのデータシートを参照してください。

デバイス上のすべての McASP ピンは、シリアルポート機能で使用されていない場合、汎用 I/O (GPIO) として個別にプログラムすることができます。

McASP は以下のピンを含んでいます。

- シリアライザ
 - データ・ピン AXR[n]: McASP ごとに最大 16 本
- 送信クロック・ジェネレータ:
 - AHCLKX: McASP 送信高周波マスター・クロック
 - ACLKX: McASP 送信ビット・クロック
- 送信フレーム同期ジェネレータ
 - AFSX: McASP 送信フレーム同期または左 / 右クロック (LRCLK)
- 受信クロック・ジェネレータ:
 - AHCLKR: McASP 受信高周波マスター・クロック
 - ACLKR: McASP 受信ビット・クロック
- 受信フレーム同期ジェネレータ
 - AFSR: McASP 受信フレーム同期または左 / 右クロック (LRCLK)
- ミュート IN/OUT:
 - AMUTEIN: McASP ミュート入力 (外部デバイスから)
 - AMUTE: McASP ミュート出力
 - データ・ピン AXR[n]

2.2 クロックおよびフレーム同期ジェネレータ

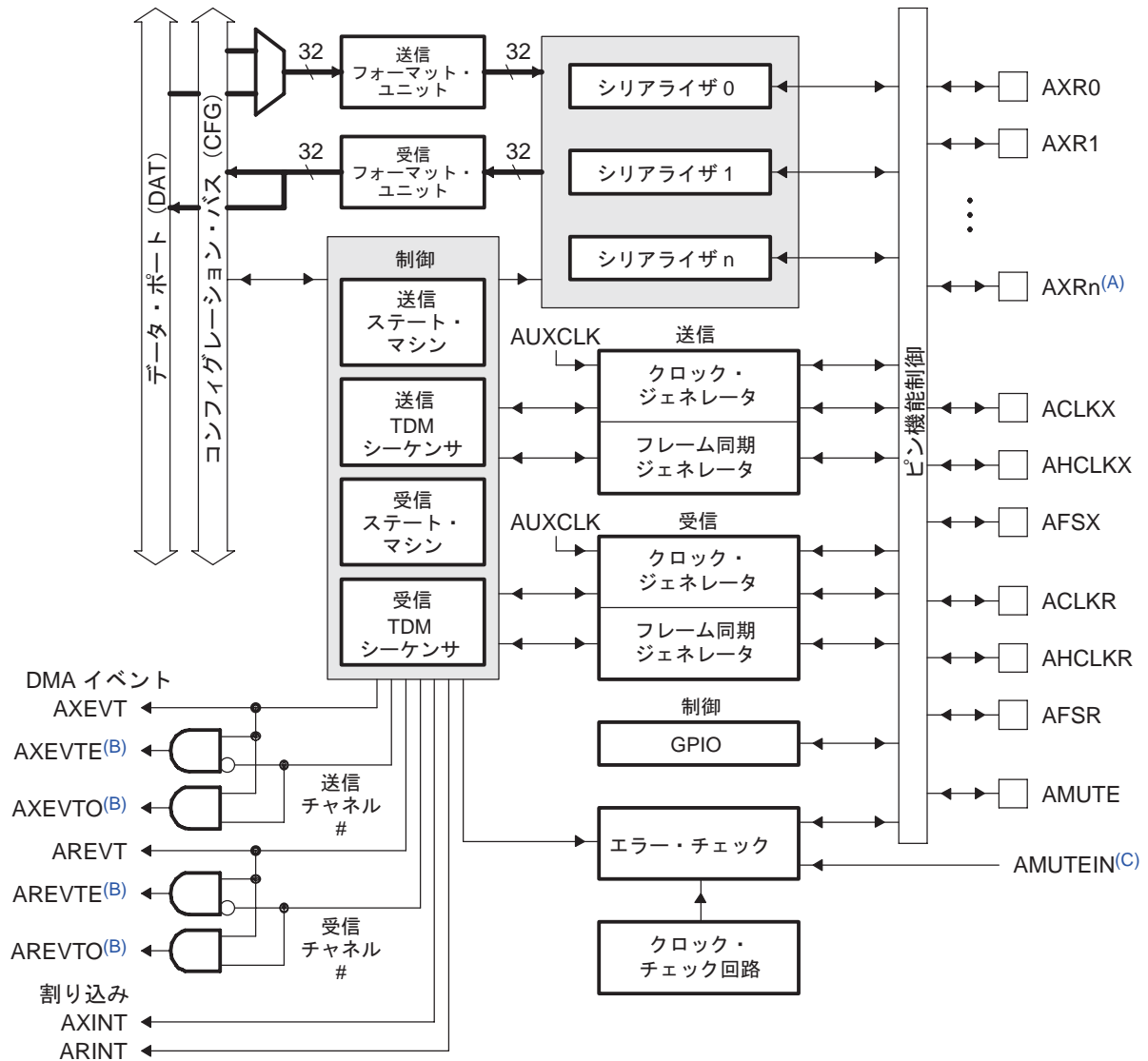
McASP クロック・ジェネレータは、2 つの独立したクロック・ゾーン、送信クロック・ゾーンと受信クロック・ゾーンを生成できます。シリアル・クロック・ジェネレータは、送信と受信のセクションに対して個別にプログラムすることができ、お互いに対して完全に非同期で動作することができます。シリアル・クロック (ビット・レート・クロック) は以下の方法で供給することができます。

- 内部供給: 内部クロック・ソース (AUXCLK) を分周して供給します。
- 外部供給: ACLKR/X ピンに直接供給します。
- 混合供給: AHCLKX ピンまたは AHCLKR ピンに入力された外部高周波クロックを分周してビット・レート・クロックを生成します。

内部供給または混合供給の場合、ビット・レート・クロックは内部で生成され、ACLKX (送信用) または ACLKR (受信用) ピンからドライブされます。内部供給の場合、内部生成の高周波クロックはシステム内の他のコンポーネント用の基準クロックとして供給するために、AHCLKX ピンまたは AHCLKR ピンからドライブすることができます。

McASP の動作には少なくとも 1 つのビット・クロックと 1 つのフレーム同期が必要で、これらのクロックを外部高周波マスター・クロックから参照することができます。DIT モードでは、内部生成クロックとフレーム同期のみを使用できます。

図 2-1. McASP ブロック図



- A DA6x DSP では、McASP は 16 本のシリアル・データ・ピン $n=15$ を備えています。C6000 DSP では、McASP は 8 本のシリアル・データ・ピン $n=7$ を備えています。
- B AXEVT0/AREVT0 と AXEVTE/AREVTE がサポートされているかどうかについては、デバイスのデータシートを確認してください。これらの信号はオプションです。
- C AMUTEIN は専用の McASP ピンではありませんが、通常 DSP の外部割り込みピンの 1 本です。

2.2.1 送信クロック

送信ビット・クロック ACLKX (図 2-2) は、ACLKX ピンから外部供給するか、または内部で生成されます (CLKXM ビットにより選択)。内部生成の場合 (CLKXM = 1)、クロックは送信高周波マスター・クロック (AHCLKX) からプログラム可能なビット・クロック分周器 (CLKXDIV) により分周されます。

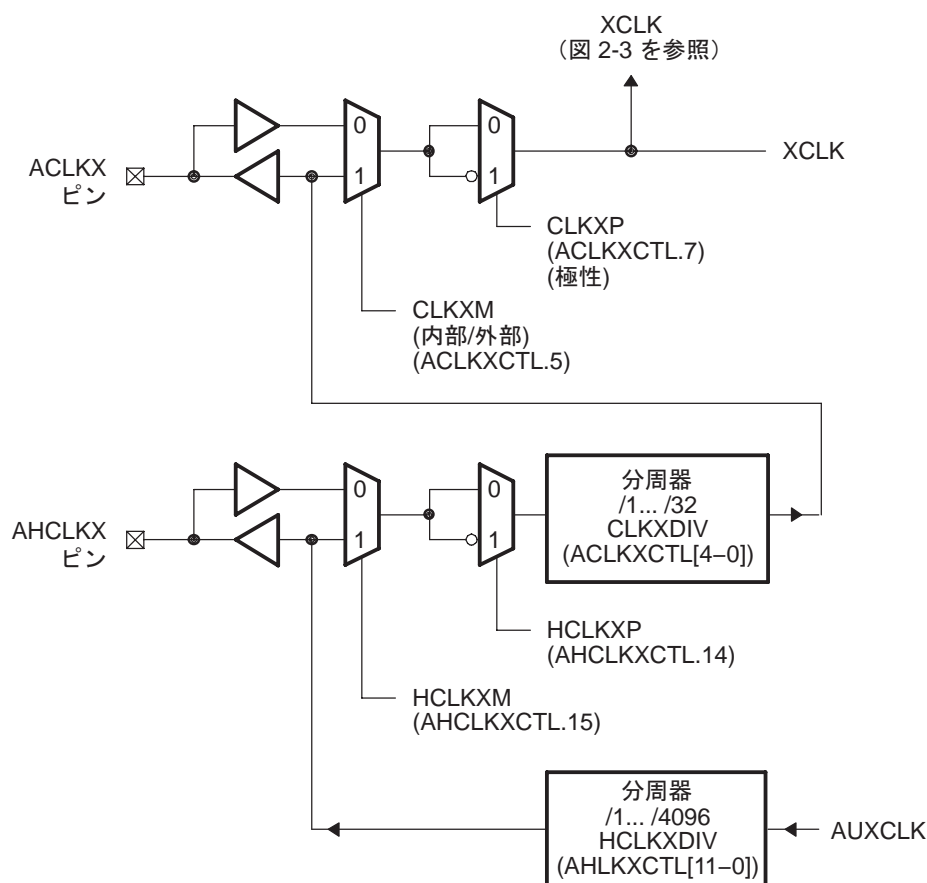
内部では、McASP は常に内部送信クロック XCLK の立ち上がりエッジで送信データをシフトします (図 2-2)。CLKXP マルチプレクサは、ACLKX を XCLK にするために反転する必要があるかどうか決定します。CLKXP = 0 の場合、CLKXP マルチプレクサは直接 ACLKX を XCLK に渡します。その結果、McASP は ACLKX の立ち上がりエッジで送信データをシフトします。CLKXP = 1 の場合、CLKXP マルチプレクサは反転した ACLKX を XCLK に渡します。その結果、McASP は ACLKX の立ち下がりエッジで送信データをシフトします。

送信高周波マスター・クロック AHCLKX は、AHCLKX ピンから外部供給するか、または内部で生成されます (HCLKXM ビットにより選択)。内部で生成される場合 (HCLKXM = 1)、クロックは McASP 内部クロック・ソース AUXCLK からプログラム可能な高クロック分周器 (HCLKXDIV) により分周されます。送信高周波マスター・クロックは、システム内の他のデバイスで使用できるように AHCLKX ピンから出力されることがあります (必ずしも必要ではありません)。

送信クロック設定は、次のレジスタにより制御されます。

- ACLKXCTL
- AHCLKXCTL

図 2-2. 送信クロック・ジェネレータのブロック図



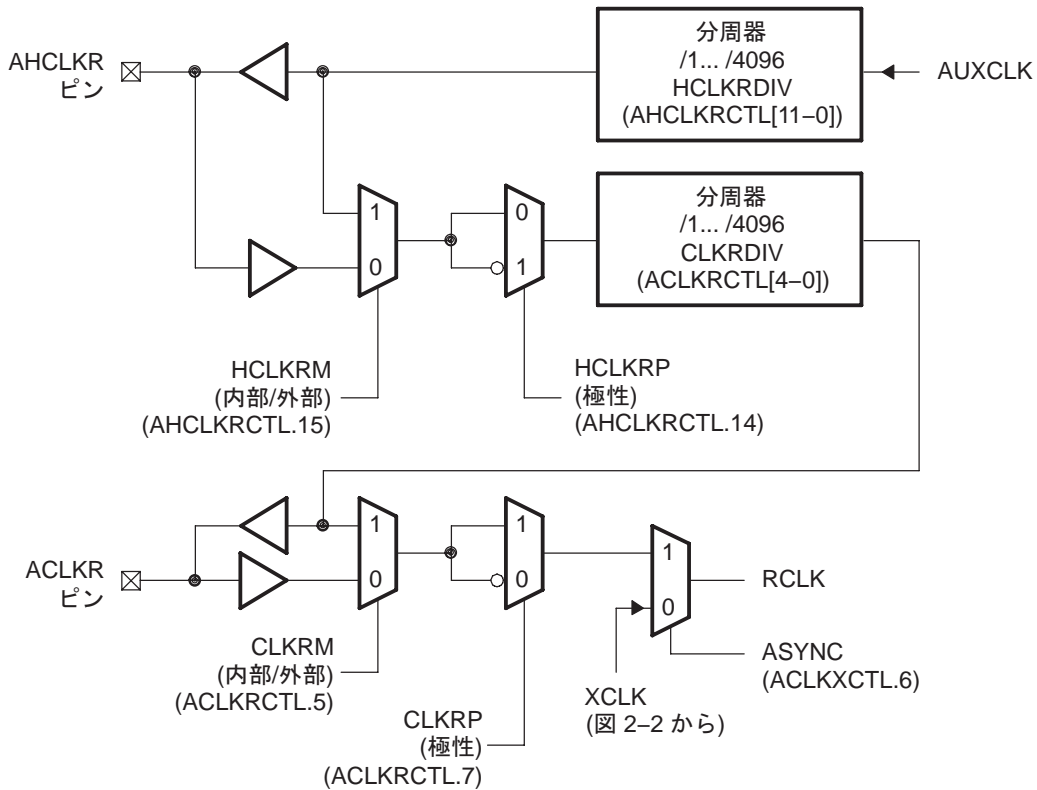
2.2.2 受信クロック

レシーバには、ACLKX 信号と AFSX 信号に同期して動作するオプションがあります。このオプションは、送信クロック・コントロール・レジスタ (ACLKXCTL) の ASYNC ビットを 0 にクリアすると実現されます (図 2-3 を参照)。レシーバは、トランスミッタとは異なった極性 (CLKRP) および異なったフレーム同期データ遅延を設定することができます。

受信クロック設定は、次のレジスタにより制御されます。

- ACLKRCTL
- AHCLKRCTL

図 2-3. 受信クロック・ジェネレータのブロック図



2.2.3 フレーム同期ジェネレータ

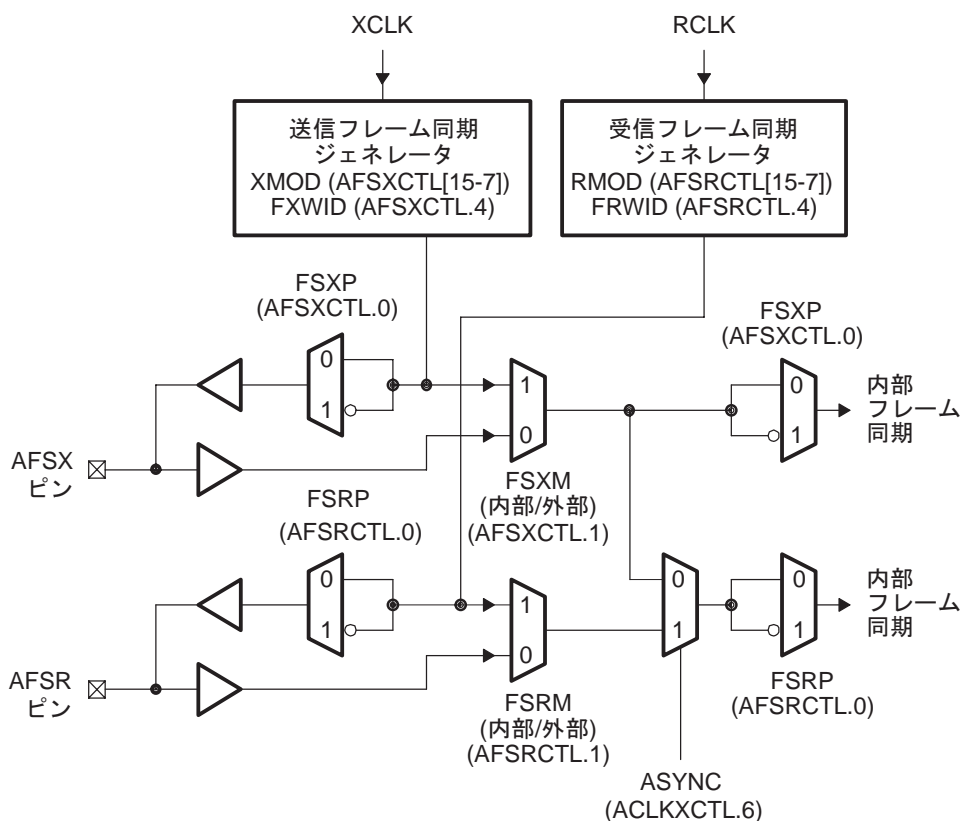
フレーム同期にはバースト・モードと TDM モードという 2 つの異なるモードがあります。図 2-4 に、フレーム同期ジェネレータのブロック図を示します。フレーム同期オプションは、受信と送信フレーム同期制御レジスタ (AFSRCTL および AFSXCTL) によりプログラムされます。オプションは次のとおりです。

- 内部生成または外部生成
- フレーム同期極性: 立ち上がりエッジまたは立ち下がりエッジ
- フレーム同期幅: 単一ビットまたは単一ワード
- ビット遅延: 先頭のデータ・ビット前に 0、1、または 2 サイクル

送信フレーム同期ピンは AFSX、受信フレーム同期ピンは AFSR です。これらのピンは、ステレオ・データの送信時および受信時に、左/右クロック (LRCLK) 信号を伝送するために通常使用されます。

AFSX/AFSR が内部生成か外部供給にかかわらず、AFSX/AFSR の極性が立ち上がりエッジになるか立ち下がりエッジになるかはそれぞれ FSXP/FSRP によって決定されます。FSXP/FSRP = 0 の場合、フレーム同期極性は立ち上がりエッジとなります。FSXP/FSRP = 1 の場合、フレーム同期極性は立ち下がりエッジとなります。

図 2-4. フレーム同期ジェネレータのブロック図



2.2.4 クロックの例

McASP クロックとフレームの柔軟性を使用した処理の例を以下に示します。

- DVD からデータを 48 kHz で受信する一方、アップサンプリング・オーディオまたはデコード・オーディオを 96 kHz または 192 kHz で出力します。この処理を実行するには、高周波マスター・クロック (512×受信 FS など) を入力し、8 分周の内部生成ビット・クロックで受信し、4 分周または 2 分周の内部生成ビット・クロックで送信します。
- あるサンプル・レート (44.1 kHz など) に基づいてデータを送信または受信し、異なるサンプル・レート (48 kHz など) でデータを送信または受信します。

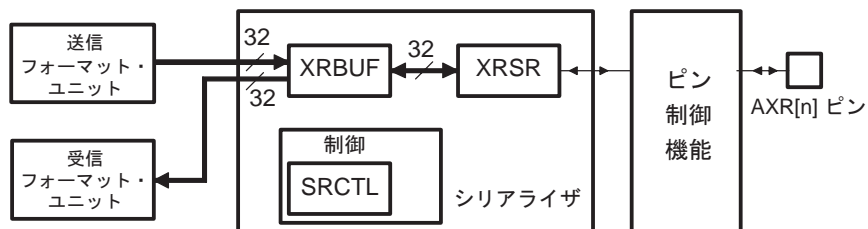
2.3 シリアルライザ

シリアルライザは、McASP のシリアル・データのシフトインとシフトアウトを処理します。各シリアルライザは、シフト・レジスタ (XRSR)、データ・バッファ (XRBUF)、コントロール・レジスタ (SRCTL)、および McASP のデータ・アライメント・オプションをサポートするためのロジックから構成されます。シリアルライザごとに専用のシリアル・データ・ピン (AXR[n]) と専用のコントロール・レジスタ (SRCTL[n]) があります。コントロール・レジスタにより、シリアルライザはトランスミッタ、レシーバ、またはインアクティブとして設定されます。トランスミッタとして設定されている場合、シリアルライザはデータをシリアル・データ・ピン AXR[n] にシフトアウトします。レシーバとして設定されている場合、シリアルライザはデータを AXR[n] ピンからシフトインします。シリアルライザは、それぞれ送信/受信に設定されている場合、送信/受信セクションのクロック (ACLKX/ACLKR) からクロックが供給されます。

送信に設定されているシリアルライザはすべて横並びに動作します。同様に、受信に設定されているシリアルライザもすべて横並びに動作します。すなわち、McASP ごとに多くて 2 ゾーンしかなく、1 つは送信用、もう 1 つは受信用となります。

図 2-5 に、シリアルライザのブロック図と McASP 内の他のユニットへのインターフェイスを示します。

図 2-5. McASP 内の個別シリアルライザと接続



受信の場合、データは AXR[n] ピンを介してシフト・レジスタ XRSR にシフトインされます。データのシフト全体が XRSR に収集されると、このデータはデータ・バッファ XRBUF にコピーされます。これでデータは、XRBUF (受信用 XRBUF のエイリアス) レジスタを介して DSP が読み出せる状態になります。DSP が XRBUF からデータを読み出すと、McASP は XRBUF から受信フォーマット・ユニットを介してデータを渡し、そのフォーマットされたデータを DSP に返します。

送信の場合、DSP は XRBUF (送信用 XRBUF のエイリアス) レジスタにデータを書き込んで McASP を処理します。データはシリアルライザの XRBUF レジスタに実際に到達する前に、送信フォーマット・ユニットを自動的に通過します。次に、このデータは XRBUF から XRSR にコピーされ、シリアル・クロックに同期して AXR[n] からシフトアウトされます。

DIT モードでは、シリアルライザはデータの他にも DIT 固有の情報を適宜シフトアウトします (プリアンブル、ユーザー・データなど)。

シリアルライザの設定は SRCTL[n] により制御されます。

2.4 フォーマット・ユニット

McASP には 2 つのデータ・フォーマット・ユニットがあり、1 つは送信用、もう 1 つは受信用です。これらのユニットは、DSP の通常フォーマット (Q フォーマットなど) と外部シリアル・デバイスの必須フォーマット (「I2S フォーマット」など) 間で、送信されるワードと受信されるワード内のデータ・ビットを自動的に再配置します。再配置処理中、フォーマット・ユニットは特定のビットをマスクオフしたり、符号拡張を実行したりすることもできます。

フォーマット・ユニット

すべてのトランスミッタが同じデータ・フォーマット・ユニットを共有するため、McASP は一度に 1 つの送信フォーマットしかサポートできません。たとえば、McASP はシリアライザ 1 で「左詰め」で送信している間、シリアライザ 0 で「I2S フォーマット」は送信されません。同様に、McASP のレシーバ・セクションは一度に 1 つのデータ・フォーマットしかサポートされず、このフォーマットはすべての受信シリアライザに適用されます。ただし、McASP は 1 つのフォーマットで送信する一方で、まったく別のフォーマットで受信することができます。

このフォーマット・ユニットは、次の 3 ステージで構成されます。

- ビット・マスクとパッド (ビットのマスクオフ、符号拡張処理)
- 右ローテート (ワード内のデータのアライメント)
- ビット反転 (MSB ファーストまたは LSB ファーストの選択)

図 2-6 に受信フォーマット・ユニットのブロック図を、図 2-7 に送信フォーマット・ユニットのブロック図を示します。データが流れるこれらの 3 つのステージの順序は、送信フォーマット・ユニットと受信フォーマット・ユニット間で異なることに注意してください。

図 2-6. 受信フォーマット・ユニット

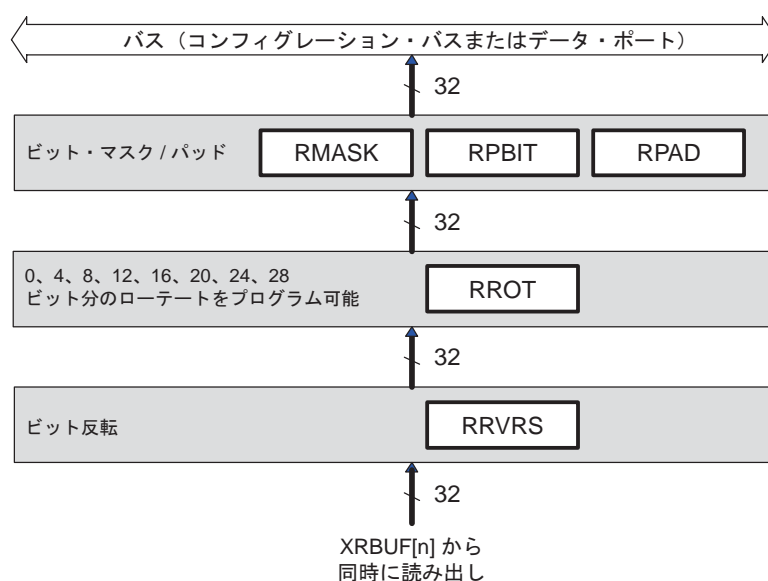
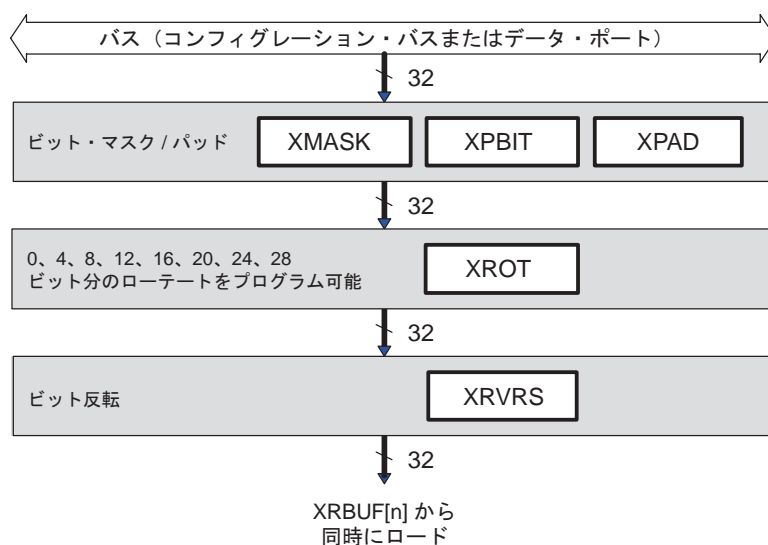


図 2-7. 送信フォーマット・ユニット



ビット・マスクとパッドのステージにはフル 32 ビット・マスク・レジスタがあり、選択された個別ビットを未変更のままステージを通過させるか、マスクオフすることができます。その後、ビット・マスクとパッドは、0、1、または元の 32 ビットのパッド値として挿入することによりマスクオフされたビットの値に詰め込みます。パッド値として符号ビットが選択されている場合、符号拡張が可能になります。

右ローテートのステージは、4 ビットの倍数 (0 ~ 28 ビット) でビット単位のローテートを実行します。これは (R/X)FMT レジスタでプログラム可能です。これはシフト処理ではなくローテート処理のため、ローテート時にビット 0 はビット 31 にシフトバックされることに注意してください。

ビット反転のステージは、32 ビットをすべて直接通過させるか、またはそれらをスワップします。これにより、MSB ファーストまたは LSB ファーストのデータ・フォーマットが可能です。ビット反転がイネーブルでない場合、McASP は LSB ファーストの順序で送信と受信を行います。

最後に、(R/X)FMT の (R/X)DATDLY ビットもデータ・フォーマットを決定することに注意してください。たとえば、I2S フォーマットと左詰めの違いは、フレーム同期エッジとタイム・スロットの先頭データ・ビット間の遅延により決定されます。(R/X)DATDLY は、I2S フォーマットでは 1 ビット遅延にセットされ、左詰めフォーマットでは 0 ビット遅延にセットされます。

(R/X)FMT にはあらゆるオプションの組み合わせがあり、McASP はシリアル・データ・ライン上や内部 DSP 表現におけるさまざまなデータ・フォーマットをサポートします。

3.4 節では、さらに詳しい具体的な例を示します。これらの例では、整数と Q フォーマットの内部表現を使用していますが、その他の分数表記も可能です。

2.5 ステート・マシン

受信と送信のセクションには、独立したステート・マシンがあります。各ステート・マシンは、それぞれのセクションでユニット間の相互作用を制御します。また、ステート・マシンはエラー状態とシリアルポート・ステータスを把握しています。

シリアル転送は、それぞれのステート・マシンがリセットから解除されるまで発生しません。詳細については、初期化シーケンスを参照してください (3.1 節を参照)。

受信ステート・マシンは RFMT レジスタにより制御され、RSTAT レジスタに McASP ステータスとエラー状態をレポートします。同様に、送信ステート・マシンは XFMT レジスタにより制御され、XSTAT レジスタに McASP ステータスとエラー状態をレポートします。

2.6 TDM シーケンサ

送信と受信のセクションには、別々の TDM シーケンサがあります。各 TDM シーケンサはスロット・カウントを把握しています。また、TDM シーケンサは (R/X)TDM のビットをチェックし、McASP がそのタイム・スロットで受信または送信すべきかどうか決定します。

McASP がタイム・スロットに加わる (送信 / 受信ビットがアクティブである) 場合、McASP は正常に機能します。McASP がタイム・スロットに加わらない (送信 / 受信ビットがインアクティブである) 場合、そのタイム・スロットの間、シリアライザの中で XRBUF レジスタと XRSR レジスタ間の転送は行われません。また、トランスミッタとしてプログラムされたシリアライザは、そのデータ出力ピンを各シリアライザ・コントロール・レジスタ (SRCTL) でプログラムされた既定の状態 (論理 Low、論理 High、またはハイ・インピーダンス) にセットします。TDM モードのインアクティブなタイム・スロット中に DMA イベントまたは割り込み生成を処理する方法の詳細については、3.2.2 項も参照してください。

受信 TDM シーケンサはレジスタ RTDM により制御され、現行の受信スロットを RSLLOT にレポートします。送信 TDM シーケンサはレジスタ XTDM により制御され、現行の送信スロットを XSLOT にレポートします。

2.7 クロック・チェック回路

オーディオ・システムでよくあるエラーの原因は、オフチップ DIR 回路の不安定性によるシリアル・クロックの障害です。クロック・エラーを迅速に検出するために、McASP には送信クロックと受信クロックの両方のクロック・チェック回路が組み込まれています。これは両方ともオフチップからソースが供給されることがあるためです。

クロック・チェック回路は、送信クロックと受信クロックの障害を検出して、復元することができます。実装と設定の詳細については、3.6.6 項を参照してください。

2.8 ピン機能制御

AMUTEIN 以外の McASP ピンは、双方向の入出力ピンです。また、これらの双方向ピンは、McASP または汎用入出力 (GPIO) ピンとして機能します。ピン機能を制御するレジスタは、次のとおりです。

- ピン・ファンクション・レジスタ (PFUNC) : ピンが McASP として機能するか GPIO として機能するか選択します。
- ピン・ディレクション・レジスタ (PDIR) : ピンが入力となるか出力となるか選択します。
- ピン・データ・インプット・レジスタ (PDIN) : ピンのデータ入力を表示します。
- ピン・データ・アウトプット・レジスタ (PDOOUT) : ピンが GPIO 出力として設定されている場合 (PFUNC[n] = 1 および PDIR[n] = 1) にピンの出力となるデータ。ピンが McASP ピンとして設定されている場合 (PFUNC[n] = 0) は適用されません。
- ピン・データ・セット・レジスタ (PDSET) : PDOOUT のエイリアス。1 を PDSET[n] に書き込むと、それぞれの PDOOUT[n] が 1 にセットされます。0 を書き込んでも影響ありません。ピンが GPIO 出力として設定されている場合 (PFUNC[n] = 1 および PDIR[n] = 1) のみ適用されます。
- ピン・データ・クリア・レジスタ (PDCLR) : PDOOUT のエイリアス。1 を PDCLR[n] に書き込むと、それぞれの PDOOUT[n] が 0 にクリアされます。0 を書き込んでも影響ありません。ピンが GPIO 出力として設定されている場合 (PFUNC[n] = 1 および PDIR[n] = 1) のみ適用されます。

各 McASP ピンのレジスタ・ビットへのマッピングの詳細については、4.1 節のレジスタの説明を参照してください。図 2-8 に、ピン制御のブロック図を示します。

2.8.1 McASP ピン制御 - 送信および受信

McASP ピンをシリアルポート (非 GPIO) 機能に使用していても、McASP GPIO レジスタの PFUNC と PDIR を正確にセットしなければなりません。

シリアルポートの機能は、以下を含みます。

- クロック入出力として使用されるクロック・ピン (ACLKX、ACLKR、AHCLKX、AHCLKR、AFSX、AFSR)
- 送受信に使用されるシリアライザ・データ・ピン (AXR[n])
- ミュート出力信号として使用される AMUTE

シリアルポートの機能でこれらのピンを使用する場合、ピンごとに PFUNC[n] を 0 にクリアする必要があります。それとは反対に、PFUNC[n] = 1 にすると、ピンは GPIO になります。

また、ある特定の出力では PDIR[n] = 1 でなければなりません。たとえば、クロック出力として使用されるクロック・ピン、送信に使用されるシリアライザ・データ・ピン、ミュート出力として使用される AMUTE などです。

クロック入力と受信に設定されたシリアライザでは、PDIR[n] = 0 でなければなりません。

PFUNC と PDIR は AMUTEIN 信号を制御せずに、通常デバイス・レベルの割り込みピンに結合しています (デバイスのデータシートを参照)。ミュート入力として使用する場合、このピンは適切なパシフェラル (GPIO) の入力として設定する必要があります。

最後に、(PDIR による) ピン方向の別々の制御および (CLKRM/CLKXM による) 内部クロックと外部クロックの選択には利点があります。特定のデバイスと使用方法に応じて、内部クロック分周器をイネーブルにすると同時に外部クロックを選択 (CLKRM = 0) し、PDIR レジスタの出力のクロック・ピンを選択 (PDIR[ACLKR] = 1) することができます。この場合、ビット・クロックは出力 (PDIR[ACLKR] = 1) となるため、ACLKR ピンに送られます。また一方、CLKRM = 0 であるため、このビット・クロックは McASP モジュールに「外部」クロック・ソースとして戻されます。これにより、McASP 内のクロックと外部デバイス内のクロック間のひずみが少なくなり、特定のシステムに対してよりバランスのとれたセットアップとホールド時間を生成できます。その結果、より高いシリアル・クロック・レートのインターフェイスが可能になります。

2.8.2 GPIO ピン制御

GPIO 動作では、GPIO 機能を示すために目的の PFUNC[n] を 1 にセットする必要があります。PDIR[n] を目的の方向に設定する必要があります。PDOOUT、PDSET、PDCLR は、ピン上の出力値を制御します。PDIN は PDIR と PFUNC の設定に関係なく、常にピンの状態を反映します。

図 2-8 と図 2-9 に、ピンの説明を示します。その後の例 (例 2-1 ~ 例 2-4) では、ピンを汎用入力または出力ピンとして使用する方法を示します。

図 2-8. McASP I/O ピン制御ブロック図

次の場合に McASP シリアライザの
ディスエーブル・パスを 1 にセットします。
a. トランスミッタとして設定する場合
b. TDM スロットがインアクティブである場合
c. DISMODE が 3 ステートの場合

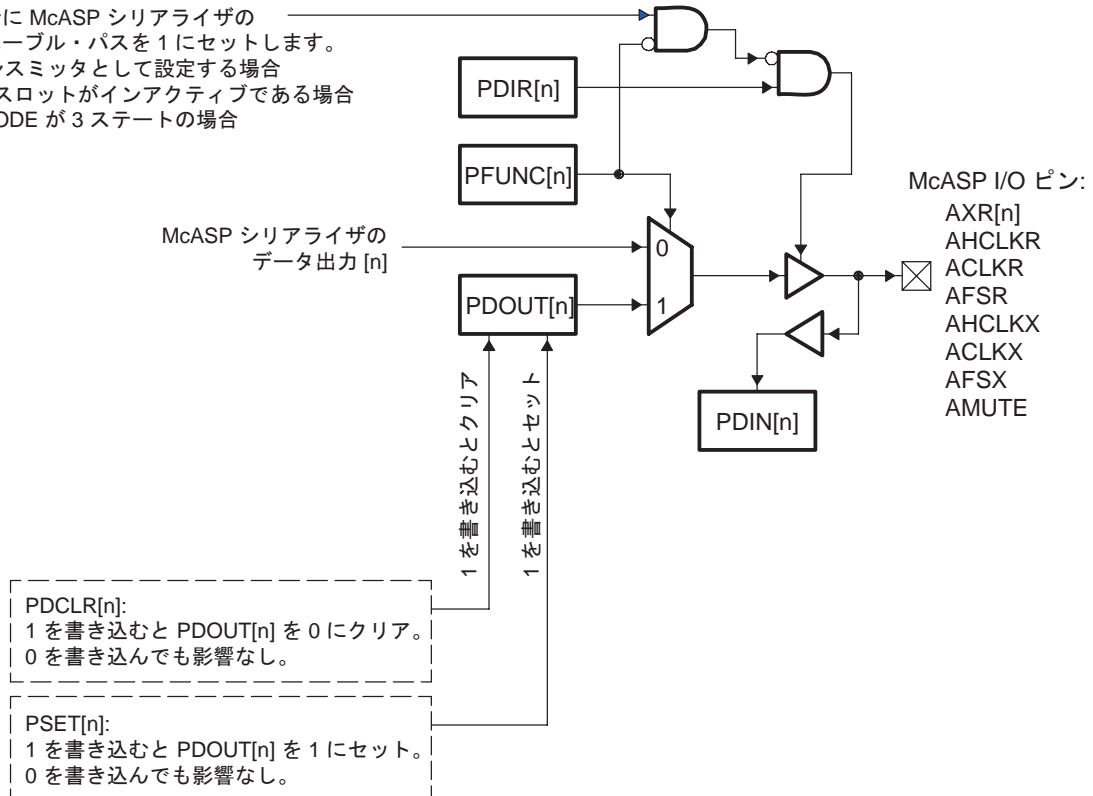


図 2-9. レジスタ・マッピングを制御する McASP I/O ピン

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(A)	AXR14 ^(A)	AXR13 ^(A)	AXR12 ^(A)	AXR11 ^(A)	AXR10 ^(A)	AXR9 ^(A)	AXR8 ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A DA6x DSP のみ。C6713 DSP では予約済み。

例 2-1. 汎用入力ピン

PDIN レジスタが常にピンの状態を反映するため、ユーザーは PDIN レジスタを読み出してピンの入力状態を取得できます。汎用入力ピンとしてピンを明示的にセットするには、次のようにレジスタをセットします。

- PDIR[n] = 0 (入力)
- PFUNC[n] = 1 (GPIO 機能)

例 2-2. 汎用出力ピン — PDOUT を使用した初期化

デフォルトでは、ピンはすべて入力です。出力としてピンを初期化する手順は、次のとおりです。

1. PDIR[n] = 0 (デフォルトで入力)
2. PFUNC[n] = 1 (GPIO 機能)
3. PDOUT[n] = 目的の出力値
4. PDIR[n] = 1 (目的の値が PDOUT[n] で設定された後に出力に変更)

例 2-3. 汎用出力ピン — PDSET を使用してデータを 0 から 1 へ変更

ピンが 0 をドライブする汎用出力ピンとしてすでに設定されていて、その出力を 0 から 1 に変更したい場合は、PDOUT レジスタではなく PDSET レジスタを使用することを推奨します。これは PDSET レジスタへの書き込みが該当のピン (1 本以上) にのみ影響を与えるためです。ピンを 0 から 1 に変更するには、次のようにします。

- PDSET[n] をセットします。これはそれぞれの PDOUT[n] をセットします。

例 2-4. 汎用出力ピン — PDCLR を使用してデータを 1 から 0 へ変更

ピンが 1 をドライブする汎用出力ピンとしてすでに設定されていて、その出力を 1 から 0 に変更したい場合は、PDOUT レジスタではなく PDCLR レジスタを使用することを推奨します。これは PDCLR レジスタへの書き込みが該当のピン (1 本以上) にのみ影響を与えるためです。ピンを 1 から 0 に変更するには、次のようにします。

- PDCLR[n] をセットします。これはそれぞれの PDOUT[n] をクリアします。

本章では、McASP の動作について説明します。

項目	ページ
3.1 セットアップおよび初期化	36
3.2 転送モード	38
3.3 データ送信および受信	46
3.4 フォーマッタ	52
3.5 割り込み	57
3.6 エラー処理および管理	59
3.7 ループバック・モード	64

3.1 セットアップおよび初期化

ここでは、McASP モジュールを使用するために必要な手順について説明します。

3.1.1 送信 / 受信セクションの初期化

McASP を正しく設定するためには、以下の手順に従う必要があります。外部クロックを使用する場合、以下の初期化手順の前にクロックを入力しておく必要があります。

1. GBLCTL = 0 をセットして、McASP をデフォルト値にリセットします。
2. GBLCTL 以外のすべての McASP レジスタを次の順序で設定します。
 - a. パワー・ダウンおよびエミュレーション管理 : PWRDEMU。
 - b. 受信レジスタ : RMASK、RFMT、AFSCTL、ACLKCTL、AHCLKCTL、RTDM、RINTCTL、RCLKCHK。外部クロック AHCLKR と ACLKR の両方またはいずれか一方を使用する場合、GBLCTL レジスタを正確に同期させるために、これらを事前に入力しておく必要があります。
 - c. 送信レジスタ : XMASK、XFMT、AFSXCTL、ACLKXCTL、AHCLKXCTL、XTDM、XINTCTL、XCLKCHK。外部クロック AHCLKX と ACLKX の両方またはいずれか一方を使用する場合、GBLCTL レジスタを正確に同期させるために、これらを事前に入力しておく必要があります。
 - d. シリアルライザ・レジスタ : SRCTL[n]。
 - e. グローバル・レジスタ : レジスタ PFunc、PDIR、DITCTL、DLBCTL、AMUTE。PDIR をプログラムできるのは、クロックとフレームを上記の手順でセットアップした後だけです。これはクロック・ピンを PDIR で出力として設定するとすぐに、クロック・ピンが対応するクロック・コントロール・レジスタで定義されたレートでトグルを開始するためです。このため、ピンを出力にセットする前に、必ずクロック・コントロール・レジスタを適切に設定しておく必要があります。同様の議論がフレーム同期ピンにも適用されます。送信高周波クロック分周レジスタ (HCLKXDIV) のリセット状態は 1 分周で、この 1 分周クロックは送信高周波クロック分周リセット・イネーブル (XHCLKRST) ではゲートされないことにも注意してください。
 - f. DIT レジスタ : DIT モード動作では、DITCSRA[n]、DITCSR[n]、DITUDRA[n]、および DITUDRB[n] をセットアップします。
3. それぞれの高周波シリアル・クロック AHCLKX と AHCLKR (またはいずれか一方) を開始します。外部の高周波シリアル・クロックを使用している場合でも、この手順は必要です。
 - a. GBLCTL のレシーバ用 RHCLKRST ビットとトランスミッタ用 XHCLKRST ビット (またはいずれか一方) をセットして、それぞれの内部高周波シリアル・クロック分周器をリセットから解除します。GBLCTL 内の他のビットはすべて 0 に保つ必要があります。
 - b. 続行する前に、書き込み先のビットが GBLCTL に正常にラッチされているか確認するために GBLCTL をリードバックします。
4. それぞれのシリアル・クロック ACLKX と ACLKR (またはいずれか一方) を開始します。外部のシリアル・クロックを使用していて入力されている場合、この手順は省略できます。
 - a. GBLCTL のレシーバ用 RCLKRST ビットとトランスミッタ用 XCLKRST ビット (またはいずれか一方) をセットして、それぞれの内部シリアル・クロック分周器をリセットから解除します。GBLCTL 内の他のビットはすべて以前の状態のままにする必要があります。
 - b. 続行する前に、書き込み先のビットが GBLCTL に正常にラッチされているか確認するために GBLCTL をリードバックします。
5. データ収集を必要に応じてセットアップします。
 - a. McASP の処理に DMA を使用する場合は、McASP をリセットから解除する前に、必要に応じたデータ収集をセットアップしてからこの段階で DMA を開始します。
 - b. McASP の処理に CPU 割り込みを使用する場合は、送信割り込みと受信割り込み (またはいずれか一方) を必要に応じてイネーブルします。
 - c. McASP の処理に CPU ポーリングを使用する場合は、ここでのアクションは必要ありません。
6. シリアルライザを起動します。
 - a. 開始する前に、XSTAT = FFFFh と RSTAT = FFFFh を書き込んで、それぞれのトランスミッタとレシーバのステータス・レジスタをクリアします。

- b. GBLCTL のレシーバ用 RSRCLR ビットとトランスミッタ用 XSRCLR ビット（またはいずれか一方）をセットして、それぞれのシリアライザをリセットから解除します。GBLCTL 内の他のビットはすべて以前の状態のままにする必要があります。
 - c. 続行する前に、書き込み先のビットが GBLCTL に正常にラッチされているか確認するために GBLCTL をリードバックします。
7. すべての送信バッファが処理されていることを確認します。トランスミッタを使用しない場合は、この手順を省略します。また、タイム・スロット 0 がインアクティブに選択されている場合も、この手順を省略します（特殊な例、[図 3-2](#) の 2 つ目の波形を参照）。トランスミッタ・シリアライザがリセットから解除されるとすぐに、XSTAT レジスタの XDATA がセットされ、XBUF は空で、処理可能な状態であることを示します。XDATA ステータスにより DMA イベント AXEVT が生成され、割り込み AXINT が生成されます（XINTCTL レジスタでイネーブルの場合）。
- a. McASP の処理に DMA を使用する場合、DMA は AXEVT を受信すると McASP を自動的に処理します。この手順に進む前に、XSTAT の XDATA ビットが 0 にクリアされているか確認する必要があります。これは、すべての送信バッファが DMA によりすでに処理されていることを示します。
 - b. McASP の処理に CPU 割り込みを使用する場合は、AXINT 割り込み時に割り込みサービス・ルーチンを実行します。この割り込みサービス・ルーチンは、XBUF レジスタを処理する必要があります。この手順に進む前に、XSTAT の XDATA ビットが 0 にクリアされているか確認する必要があります。これは、すべての送信バッファが CPU によりすでに処理されていることを示します。
 - c. McASP の処理に CPU ポーリングを使用する場合は、この段階で XBUF レジスタに書き込む必要があります。
8. ステート・マシンをリセットから解除します。
- a. GBLCTL のレシーバ用 RSMRST ビットとトランスミッタ用 XSMRST ビット（またはいずれか一方）をセットして、それぞれのステート・マシンをリセットから解除します。GBLCTL 内の他のビットはすべて以前の状態のまま保持する必要があります。
 - b. 続行する前に、書き込み先のビットが GBLCTL に正常にラッチされているか確認するために GBLCTL をリードバックします。
9. フレーム同期ジェネレータをリセットから解除します。外部のフレーム同期を使用している場合でも、内部のフレーム同期ジェネレータをリセットから解除する必要があることに注意してください。これはフレーム同期のエラー検出ロジックがフレーム同期ジェネレータに組み込まれているためです。
- a. GBLCTL のレシーバ用 RFRST ビットとトランスミッタ用 XFRST ビット（またはいずれか一方）をセットして、それぞれのフレーム同期ジェネレータをリセットから解除します。GBLCTL 内の他のビットはすべて以前の状態のまま保持する必要があります。
 - b. 続行する前に、書き込み先のビットが GBLCTL に正常にラッチされているか確認するために GBLCTL をリードバックします。
10. 最初のフレーム同期信号で McASP 転送が開始します。McASP はフレーム同期ピンのレベルではなく、フレーム同期ピンのエッジに同期します。これにより、ステート・マシンとフレーム同期ジェネレータのリセットからの解除が簡単になります。
- a. たとえば、立ち上がりエッジの送信フレーム同期の McASP を設定する場合は、McASP トランスミッタのステート・マシンとフレーム同期ジェネレータをリセットから解除する前に、フレーム同期ピンが Low レベルになるまで待機する必要はありません。

3.1.2 送信および受信を別々に初期化

多くの場合、McASP のトランスミッタとレシーバを別々に初期化することが望ましいでしょう。たとえば、レシーバに入力するデータの種類が認識されるまで、トランスミッタの初期化を遅らせる場合があります。あるいは、レシーバの入力データ・ストリームの変更により、トランスミッタの再初期化が必要になる場合があります。

この場合、[3.1.1 項](#) に記述した手順に従うことができますが、セクション（送信、受信）ごとにその手順を個別に使用してください。GBLCTL レジスタには RGBLCTL と XGBLCTL のエイリアスが割り当てられていて、送信セクションと受信セクションを別々に初期化するのに役立ちます。

また、初期化または再初期化の手順が [表 C-1](#) のガイドラインに従っていることを確認してください。

3.1.3 GBLCTL のリードバックの重要性

3.1.1 項の手順 3b、4b、6c、8b、および 9b では、書き込んだビットが正常にラッチされるまで GBLCTL をリードバックする必要があることを示しています。トランスミッタとレシーバのステート・マシンは、通常 DSP の内部バス・クロックより約 10 ~ 100 倍遅いビット・クロックで動作するため、このリードバックが重要となります。このため、DSP が GBLCTL (または RGBLCTL と XGBLCTL) に書き込むタイミングと、McASP がその書き込み動作を実際に認識するタイミングとの間に多くのサイクルを要します。この手順を省略すると、McASP はグローバル・コントロール・レジスタのリセット・ビットのアサートとアサート停止を確認しない可能性があり、その結果 McASP が初期化されません。

このため、DSP が GBLCTL、RGBLCTL、XGBLCTL のいずれかに書き込んでも、McASP が変更を認識するまで GBLCTL をリードバックしても書き込んだ値が反映されないように McASP のロジックは実装されています。リードバックするためには、通常 2 ビット・クロックと 2 DSP バス・クロックの時間が必要となります。

また、ビット・クロックが完全に停止する場合、GBLCTL をポーリングするソフトウェアはタイム・アウトを実装する必要があります。GBLCTL にはタイム・アウトがなく、ビット・クロックが停止すると、GBLCTL に書き込まれた変更はビット・クロックが再開するまで反映されないこととなります。

最後に、RGBLCTL と XGBLCTL を使用すると GBLCTL の受信と送信を別々に変更することが可能になる一方、更新された値がただちに反映されることに注意してください (デバッグに有効)。リードバックの手順では GBLCTL のみを使用できます。

3.1.4 送信と受信の同期動作 (ASYNC = 0)

ACLKXCTL の ASYNC = 0 の場合、送信セクションと受信セクションは送信セクション・クロック信号と送信フレーム同期信号に同期して動作します (図 2-2)。受信セクションには、異なる (スロット・サイズは互換性のある) データ・フォーマットを使用することができます。

ASYNC = 0 の場合、受信フレーム同期ジェネレータは内部ではディスエーブルです。AFSX ピンが出力として設定されている場合、送信と受信の両方に対してフレーム同期信号として機能します。ASYNC = 0 の場合にトランスミッタとレシーバの両方で使用される送信フレーム同期ジェネレータの出力が AFSR ピンに伝搬されないため、AFSR ピンは使用できません (図 2-4)。

ASYNC = 0 の場合、送信セクションと受信セクションは、同一のクロックとフレーム同期信号を使用するため、共通した設定を一部共有する必要があります。

- DITCTL では DITEN = 0 (TDM モードがイネーブル)
- フレームごとのビットの合計数が同一でなければならない (すなわち、RSSZ × RMOD と XSSZ × XMOD は一致する必要があります)
- 送信と受信ともにバーストまたは TDM モードとして指定されなければならない (混合は不可)
- ACLKRCTL の設定は無関係
- FSXM は FSRM と一致しなければならない
- FXWID は FRWID と一致しなければならない

その他の設定は、送信セクションと受信セクションを別々にプログラムすることができます。

3.1.5 送信と受信の非同期動作 (ASYNC = 1)

ACLKXCTL で ASYNC = 1 の場合、送信セクションと受信セクションは完全に独立して動作し、別々のクロックとフレーム同期信号を備えています (図 2-2、図 2-3、図 2-4)。各セクションで生成されたイベントは非同期となります。

3.2 転送モード

3.2.1 バースト転送モード

McASP は DSP 間の受け渡し制御情報というような、オーディオ以外のデータに有効なバースト転送モードをサポートします。バースト転送モードは、TDM モードとよく似た同期シリアル・フォーマットを使用します。フレーム同期生成は TDM モードのように周期的または時間駆動型ではなくデータ駆動型であり、フレーム同期は転送されるデータ・ワードごとに生成されます。

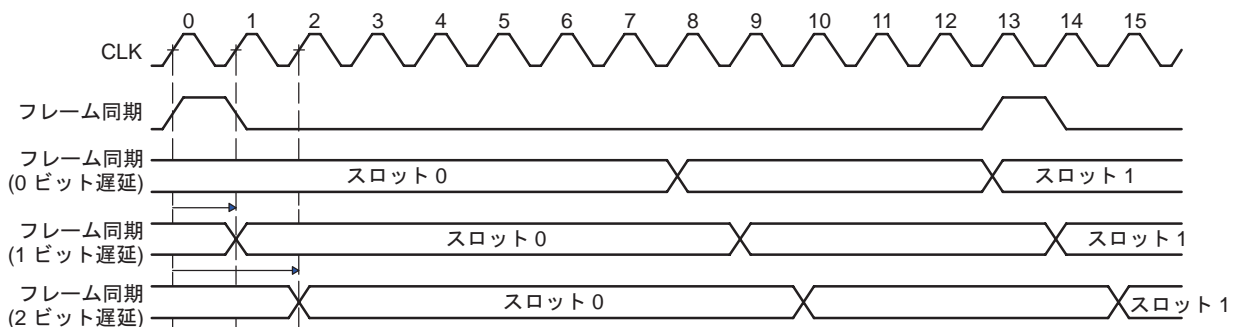
送信 (AFSXCTL で XMOD = 0) や受信 (AFSRCTL で RMOD = 0) に指定しているように、バースト・フレーム同期モードで動作する場合 (図 3-1)、認識されるフレーム同期信号のアクティブ・エッジごとに 1 スロットがシフトされます。このスロットの後の追加クロックと次のフレーム同期エッジの前の追加クロックは無視されます。

バースト・フレーム同期モードでは、フレーム同期遅延は 0、1、2 のいずれかのシリアル・クロック・サイクルに指定されます。これはフレーム同期アクティブ・エッジとスロットの開始との間の遅延です。フレーム同期信号は、1 ビット・クロック継続期間 (AFSRCTL では FRWID = 0、AFSXCTL では FXWID = 0) 持続します。

送信では、送信フレーム同期を内部で生成する場合、前の送信が完了したとき、かつすべての XBUF[n] (トランスミッタとして動作するようにセットされたすべてのシリアライザ) が新規データで更新されたときにフレーム同期を開始します。

受信では、受信フレーム同期を内部で生成する場合、前の送信が完了したとき、かつすべての RBUF[n] (レシーバとして動作するようにセットされたすべてのシリアライザ) が読み出されたときにフレーム同期を開始します。

図 3-1. バースト・フレーム同期モード



バースト転送モードでは、制御レジスタを次のように設定する必要があります。バースト・モード固有のビット・フィールドは、太字で表しています。

- **PFUNC**: クロック、フレーム、データ・ピンを McASP 機能に合わせて設定する必要があります。
- **PDIR**: クロック、フレーム、データ・ピンを目的の方向に設定する必要があります。
- **PDOOUT**, **PDIN**, **PDSET**, **PDCLR**: 適用されません。デフォルトのままにしておきます。
- **GBLCTL**: 3.1.1 項の初期化手順に従い、このレジスタを設定します。
- **AMUTE**: 適用されません。デフォルトのままにしておきます。
- **DLBCTL**: ループバック・モードを必要とする場合は 3.7 節に従ってこのレジスタを設定し、それ以外の場合はこのレジスタをデフォルトのままにしておきます。
- **DITCTL**: DIT 以外のモードを選択するために、**DITEN** をデフォルトの 0 のままにしておきます。レジスタをデフォルトのままにしておきます。
- **RMASK/XMASK**: 目的のビットを 2.4 節および 3.4 節に従ってマスクします。
- **RFMT/XFMT**: すべてのフィールドを目的のデータ・フォーマットに従ってプログラムします。3.4 節を参照してください。
- **AFSRCTL/AFSXCTL**: **RMOD/XMOD** ビットを 0 にクリアしてバースト・モードを指定します。1 ビット・フレーム同期継続期間に **FRWID/FXWID** ビットを 0 にクリアします。他のフィールドを必要に応じて設定します。
- **ACLKCTL/ACLKXCTL**: すべてのフィールドを目的のビット・クロックに従ってプログラムします。2.2 節を参照してください。
- **AHCLKCTL/AHCLKXCTL**: すべてのフィールドを目的の高周波クロックに従ってプログラムします。2.2 節を参照してください。
- **RTDM/XTDM**: 1 つのアクティブ・スロットのみ指定するために **RTDMS0/XTDMS0** を 1 にプログラムします。他のフィールドはデフォルトのままにしておきます。
- **RINTCTL/XINTCTL**: すべてのフィールドを目的の割り込みに従ってプログラムします。
- **RCLKCHK/XCLKCHK**: 適用されません。デフォルトのままにしておきます。
- **SRCTLn**: **SRMOD** を必要に応じてインアクティブ/トランスミッタ/レシーバにプログラムします。**DISMOD** は適用されないため、デフォルトのままにしておきます。
- **DITCSRA[n]**, **DITCSRB[n]**, **DITUDRA[n]**, **DITUDRB[n]**: 適用されません。デフォルトのままにしておきます。

3.2.2 時分割多重 (TDM) 転送モード

McASP 時分割多重 (TDM) 転送モードは、[1.6 節](#)で説明している TDM フォーマットをサポートします。

TDM 転送モードでデータを送信するには、最小限のピンのセットが必要です。

- ACLKX - 送信ビット・クロック
- AFSX - 送信フレーム同期 (一般的には左 / 右クロックと呼ばれます)
- シリアルライザが送信に設定されている 1 本以上のシリアル・データ・ピン AXR[n]

トランスミッタには入力として ACLKX ビット・クロックを受信するオプション、または AHCLKX 高周波マスター・クロックを分周して ACLKX ビット・クロックを生成するオプションがあります。トランスミッタは内部で AHCLKX を生成するか、AHCLKX を入力として受信することができます。[2.2.1 項](#)を参照してください。

同様に、TDM 転送モードでデータを受信するには、最小限のピンのセットが必要です。

- ACLKR - 受信ビット・クロック
- AFSR - 受信フレーム同期 (一般的には左 / 右クロックと呼ばれます)
- シリアルライザが受信に設定されている 1 本以上のシリアル・データ・ピン AXR[n]

レシーバには入力として ACLKR ビット・クロックを受信するオプション、または AHCLKR 高周波マスター・クロックを分周して ACLKR ビット・クロックを生成するオプションがあります。レシーバは内部で AHCLKR を生成するか、AHCLKR を入力として受信することができます。[2.2.2 項](#)および [2.2.3 項](#)を参照してください。

TDM モードでは、制御レジスタを次のように設定する必要があります。TDM モード固有のビット・フィールドは、太字で表しています。

- PFUNC: クロック、フレーム、データ・ピンを McASP 機能に合わせて設定する必要があります。
- PDIR: クロック、フレーム、データ・ピンを目的の方向に設定する必要があります。
- PDOUT、PDIN、PDSET、PDCLR: 適用されません。デフォルトのままにしておきます。
- GBLCTL: [3.1.1 項](#)の初期化手順に従い、このレジスタを設定します。
- AMUTE: すべてのフィールドを目的のミュート制御に従ってプログラムします。
- DLBCTL: ループバック・モードを必要とする場合は [3.7 節](#)に従ってこのレジスタを設定し、それ以外の場合はこのレジスタをデフォルトのままにしておきます。
- DITCTL: TDM モードを選択するために、DITEN をデフォルトの 0 のままにしておきます。レジスタをデフォルトのままにしておきます。
- RMASK/XMASK: 目的のビットを [2.4 節](#)および [3.4 節](#)に従ってマスクします。
- RFMT/XFMT: すべてのフィールドを目的のデータ・フォーマットに従ってプログラムします。[3.4 節](#)を参照してください。
- AFSRCTL/AFSXCTL: TDM モードに対して **RMOD/XMOD** ビットを 2 ~ 32 にセットします。他のフィールドを目的に応じて設定します。
- ACLKRCTL/ACLKXCTL: すべてのフィールドを目的のビット・クロックに従ってプログラムします。[2.2 節](#)を参照してください。
- AHCLKRCTL/AHCLKXCTL: すべてのフィールドを目的の高周波クロックに従ってプログラムします。[2.2 節](#)を参照してください。
- RTDM/XTDM: すべてのフィールドを目的のタイム・スロット特性に従ってプログラムします。
- RINTCTL/XINTCTL: すべてのフィールドを目的の割り込みに従ってプログラムします。
- RCLKCHK/XCLKCHK: すべてのフィールドを目的のクロック・チェックに従ってプログラムします。
- SRCTLn: すべてのフィールドを目的のシリアルライザ動作に従ってプログラムします。
- DITCSRA[n]、DITCSRB[n]、DITUDRA[n]、DITUDRB[n]: 適用されません。デフォルトのままにしておきます。

3.2.2.1 TDM タイム・スロット

McASP の TDM モードは、1 フレームごとに最大 32 タイム・スロットのマルチプロセッサ・アプリケーションまでサポートできます。それぞれのタイム・スロットに対して、McASP を XTDM と RTDM（またはいずれか一方）を設定することによりアクティブにするか、またはインアクティブにするか設定できます（複数の DSP が同一の TDM シリアル・バスで通信できます）。

TDM シーケンサ（送信と受信ごとに別々のシーケンサ）は、このモードで機能します。TDM シーケンサは、フレーム同期から始まるスロットをカウントします。スロットごとに、TDM シーケンサは XTDM または RTDM のビットをチェックして、McASP がそのタイム・スロットで送信または受信すべきかどうか決定します。

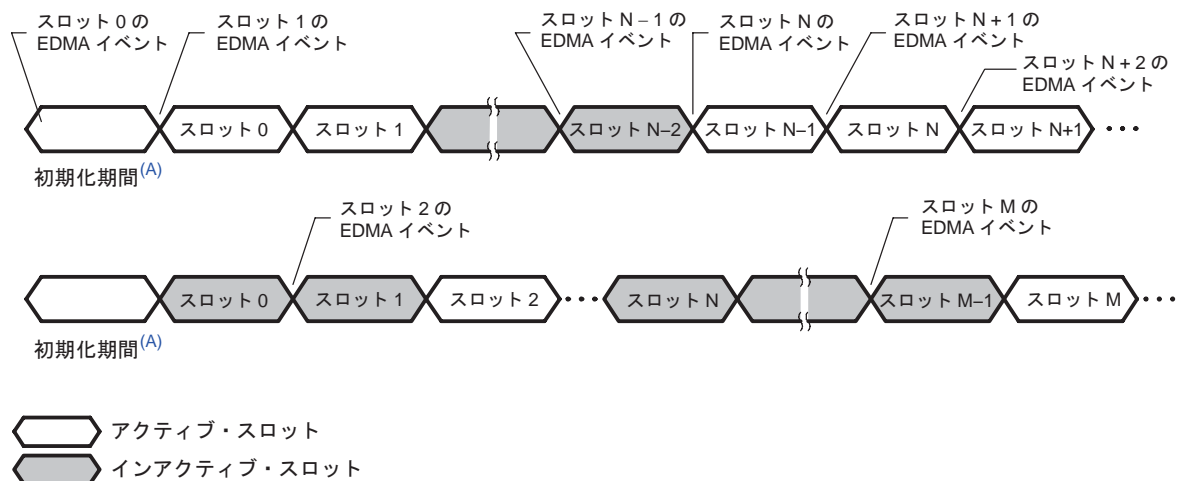
送信/受信ビットがアクティブの場合、そのタイム・スロットの間 McASP は正常に機能します。それ以外の場合は、そのタイム・スロットの間 McASP はインアクティブとなり、バッファの更新は行われず、イベントは生成されません。そのスロットの間、送信ピンはハイ・インピーダンス状態、0、1 のいずれかに自動的にセットされます。これは SRCTL[n] のビット DISMOD により決定されます。

図 3-2 に、送信 DMA イベント AXEVT が生成されるタイミングを示します。データ・レディ状態と初期化期間の指示の詳細については、3.1.1 項を参照してください。アクティブなタイム・スロット（スロット N）の送信 DMA イベントは、前のタイム・スロット（スロット N-1）がアクティブかインアクティブかに関わらず、前のタイム・スロット間に生成されます。

アクティブな送信タイム・スロット（スロット N）の間、次のタイム・スロット（スロット N+1）がアクティブに設定されている場合は、XRBUF[n] から XRSR[n] へのコピーによりタイム・スロット N+1 の DMA イベントが生成されます。次のタイム・スロット（スロット N+1）がインアクティブに設定されている場合は、DMA イベントはタイム・スロット M-1 に持ち越されます。この場合、スロット M は次のアクティブ・タイム・スロットです。スロット M-1 の先頭ビット時間中、タイム・スロット M の DMA イベントが生成されます。

受信 DMA イベントはデータがバッファに受信された後に生成されるため、この機能は受信 DMA 要求の生成では必要ありません。タイム・スロットがディスエーブルの場合、そのタイム・スロットの間はデータがバッファにコピーされず、DMA イベントが生成されません。

図 3-2. TDM タイム・スロットにおける送信 DMA イベント（AXEVT）の生成



A 3.1.1 項の手順 7a を参照してください。

3.2.2.2 外部 DIR へ接続する場合の特殊な 384 スロットの TDM モード

McASP レシーバは 384 タイム・スロットの TDM モード (DIR モード) もサポートしており、通常ブロック (ブロックは McASP フレームに相当) サイズが 384 サンプルの S/PDIF、AES-3、IEC-60958 レシーバ IC をサポートします。384 タイム・スロットの TDM モードを使用する利点は、割り込みが S/PDIF、AES-3、IEC-60958 に同期して生成されることです (最終スロット割り込みなど)。

レシーブ TDM タイム・スロット・レジスタ (RTDM) は、DIR ブロック受信時、すべて 1 にプログラムされなければなりません。その他の TDM 機能 (インアクティブ・スロットなど) は、サポートされていません (唯一、スロット・カウンタが 1 ブロック内で 384 サブフレームをカウントします)。

DIR モードでデータを受信するには、一般的に次のピンが必要です。

- ACLKR - 受信ビット・クロック。
- AFSR - 受信フレーム同期 (一般的には左 / 右クロックと呼ばれます)。このモードでは、AFSR は LRCLK ではなくブロック信号の開始を出力する DIR に接続します。
- シリアライザが受信に設定されている 1 本以上のシリアル・データ・ピン AXR[n]。

この特殊な DIR モードでは、制御レジスタは TDM モードと同様に設定できます。ただし、AFSRCTL の RMOD を 384 にセットして 384 タイム・スロットを受信する必要があります。

3.2.3 デジタル・オーディオ・インターフェイス送信 (DIT) 転送モード

同一システム内の IC 間でのオーディオ・データの送信に適した TDM とバースト転送モードに加えて、McASP のデジタル・オーディオ・インターフェイス送信 (DIT) 転送モードもまた S/PDIF、AES-3、または IEC-60958 フォーマットのオーディオ・データの送信をサポートします。これらのフォーマットは、異なるシステム間で光ケーブルまたは同軸ケーブルを介してオーディオ・データを伝送するように設計されています。DIT モードは、レシーバではなく、トランスミッタとして設定されたシリアライザにのみ適用されます。S/PDIF フォーマットについては、1.7 節を参照してください。

3.2.3.1 送信 DIT エンコード

DIT モードの McASP 動作は 2 タイム・スロットの TDM モードと基本的に同一ですが、送信されるデータは、McASP によりビット・ストリームに自動的に埋め込まれるプリアンプル、チャンネル・ステータス、ユーザー・データ、有効性、およびパリティをもつパイフェーズマーク・エンコードのビット・ストリームの出力です。McASP はチャンネル・ステータスとユーザー・データ・ビットを保持するために、偶数または奇数のサブフレームごとに別々の有効ビットと 2 つの 384 ビット RAM モジュールを備えています。

トランスミット TDM タイム・スロット・レジスタ (XTDM) は、DIT モード時、すべて 1 にプログラムされなければなりません。TDM 機能は DIT モードではサポートされていませんが、TDM スロット・カウンタは DIT サブフレームをカウントします。

DIT モードでデータを送信するためには、一般的に次のピンが必要です。

- AHCLKX - 送信高周波マスター・クロック
- シリアライザが送信に設定されている 1 本以上のシリアル・データ・ピン AXR[n]

AHCLKX はオプションですが (内部クロック・ソースを代わりに使用できます)、参照として使用される場合、DSP は安定性のために AHCLKX 入力を継続的に監視するクロック・チェック回路を提供します。

DIT モードで複数のシリアル・データ・ピン上で送信するように McASP を設定すると、すべてのピンのビット・ストリームが同期されます。また、これらは固有のオーディオ・データを伝送しますが、同一のチャンネル・ステータス、ユーザー・データ、および有効性情報も伝送します。

実際の 24 ビット・オーディオ・データは、送信フォーマット・ユニットの最初の 3 ステージを通過した後、常にビット 23-0 に存在していなければなりません。

左揃えの Q フォーマット・データの場合、次の送信フォーマット・ユニット設定により、送信可能な右揃えの 24 ビット・オーディオ・データにデータ処理されます。

- XROT = 010 (8 ビット右にローテート)
- XRVR = 0 (ビット反転なし、LSB ファースト)

- XMASK = FFFF FF00h-FFFF 0000h (24、23、22、21、20、19、18、17、16 のいずれかの有効なオーディオ・データ・ビットが存在するか依存)
- XPAD = 00 (他のビットを 0 詰め)

右揃えのデータの場合、次の送信フォーマット・ユニット設定により、送信可能な右揃えの 24 ビット・オーディオ・データにデータ処理されます。

- XROT = 000 (0 ビット右にローテート)
- XRVRs = 0 (ビット反転なし、LSB ファースト)
- XMASK = 00FF FFFFh ~ 0000 FFFFh (24、23、22、21、20、19、18、17、16 のいずれかの有効なオーディオ・データ・ビットが存在するか依存)
- XPAD = 00 (他のビットを 0 詰め)

3.2.3.2 送信 DIT クロックおよびフレーム同期生成

DIT トランスミッタは、次の設定でのみ機能します。

- 送信フレーム制御レジスタ (AFSXCTL) では、次の設定が必要です。
 - 内部生成送信フレーム同期、FSXM = 1
 - 立ち上がりエッジのフレーム同期、FSXP = 0
 - ビット幅フレーム同期、FXWID = 0
 - 384 スロットの TDM、XMOD = 1 1000 0000b
- 送信クロック制御レジスタ (ACLKXCTL) では、ASYNC = 1。
- 送信ビット・ストリーム・フォーマット・レジスタ (XFMT) では、XSSZ = 1111 (32 ビット・スロット・サイズ)。

AHCLKX と ACLKX のすべての組み合わせがサポートされます。

DIT モードに必要なレジスタ設定の要約を次に示します。DIT モード固有のビット・フィールドは、太字で表しています。

- **PFUNC**: データ・ピンを McASP 機能に設定する必要があります。AHCLKX を使用する場合は、これも McASP 機能に設定する必要があります。その他のピンは、必要に応じて GPIO として機能するように設定できます。
- **PDIR**: データ・ピンを出力として設定する必要があります。AHCLKX を入力参照として使用する場合は、これを入力として設定する必要があります。内部クロック・ソース AUXCLK を基準クロックとして使用する場合は、AHCLKX を出力として設定することにより AHCLKX ピンから出力することができます。
- **PDOU**、**PDIN**、**PDSET**、**PDCLR**: DIT 動作には適用されません。デフォルトのままにしておきます。
- **GBLCTL**: 3.1.1 項の初期化手順に従い、このレジスタを設定します。
- **AMUTE**: すべてのフィールドを目的のミュート制御に従ってプログラムします。
- **DLBCTL**: 適用されません。DIT モードでは、ループバックはサポートされていません。デフォルトのままにしておきます。
- **DITCTL**: DIT モードをイネーブルにするために、**DITEN** ビットを 1 にセットする必要があります。他のビットを必要に応じて設定します。
- **RMASK**: 適用されません。デフォルトのままにしておきます。
- **RFMT**: 適用されません。デフォルトのままにしておきます。
- **AFSRCTL**: 適用されません。デフォルトのままにしておきます。
- **ACLKRCTL**: 適用されません。デフォルトのままにしておきます。
- **AHCLKRCTL**: 適用されません。デフォルトのままにしておきます。
- **RTDM**: 適用されません。デフォルトのままにしておきます。
- **RINTCTL**: 適用されません。デフォルトのままにしておきます。
- **RCLKCHK**: 適用されません。デフォルトのままにしておきます。
- **XMASK**: 本項の説明に従って目的のビットをマスクします。左揃えまたは右揃えされた内部データに依存します。
- **XFMT**: **XDATDLY** = 0。 **XRVRs** = 0。 **XPAD** = 0。 **XPBIT** = デフォルト (適用されません)。 **XSSZ** = Fh (32 ビット・スロット)。 **XBUSEL** = 必要に応じて設定。 **XROT** ビットは、本項の説明に従って 0 または 8 ビットのローテートに設定されます。
- **AFSXCTL**: 本項の説明に従ってビットを設定します。

- **ACLKXCTL: ASYNC = 1.** 目的のビット・クロック・レートを取得するために CLKXDIV ビットをプログラムします。CLKX は DIT プロトコルでは実際に使用されないため、必要に応じて CLKXP ビットと CLKXM ビットを設定します。
- **AHCLKXCTL:** すべてのフィールドを目的の高周波クロックに従ってプログラムします。
- **XTDM:** DIT 転送のすべてのアクティブ・スロットに対して FFFF FFFFh にセットします。
- **XINTCTL:** すべてのフィールドを目的の割り込みに従ってプログラムします。
- **XCLKCHK:** すべてのフィールドを目的のクロック・チェックに従ってプログラムします。
- **SRCTLn:** DIT ピンに対して **SRMOD = 1** (トランスミッタ) をセットします。DIT モードでは、DISMOD フィールドは無関係です。
- **DITCSRA[n], DITCSRB[n]:** チャンネル・ステータス・ビットを必要に応じてプログラムします。
- **DITUDRA[n], DITUDRB[n]:** ユーザー・データ・ビットを必要に応じてプログラムします。

3.2.3.3 DIT チャンネル・ステータスおよびユーザー・データ・レジスタ・ファイル

チャンネル・ステータス・レジスタ (DITCSRA n と DITCSRB n) およびユーザー・データ・レジスタ (DITUDRA n と DITUDRB n) は、ダブルバッファではありません。通常、プログラマはレジスタを更新するための安全なときにイベントを作成するために、最終スロットなどのような同期割り込みのいずれかを使用します。また、CPU は送信 TDM スロット・カウンタを読み取って、使用するレジスタのワードを判別します。

ソフトウェアは現行タイム・スロットをエンコードするために使用されているユーザー・データとチャンネル・ステータスのワードへの書き込みを回避しなければなりません。そうしなければ、ビット・ストリームをエンコードするために古いデータまたは新規データが使用されるかどうかは不定となってしまいます。

DIT サブフレーム・フォーマットは、[1.7.2 項](#)で定義しています。チャンネル・ステータス情報 (C) とユーザー・データ (U) は、次の DIT 制御レジスタで定義しています。

- **DITCSRA0 ~ DITCSRA5:** これらの 6 つのレジスタにある 192 ビットには、各フレーム内の左チャンネルのチャンネル・ステータス情報が含まれています。
- **DITCSRB0 ~ DITCSRB5:** これらの 6 つのレジスタにある 192 ビットには、各フレーム内の右チャンネルのチャンネル・ステータス情報が含まれています。
- **DITUDRA0 ~ DITUDRA5:** これらの 6 つのレジスタにある 192 ビットには、各フレーム内の左チャンネルのユーザー・データ情報が含まれています。
- **DITUDRB0 ~ DITUDRB5:** これらの 6 つのレジスタにある 192 ビットには、各フレーム内の右チャンネルのユーザー・データ情報が含まれています。

S/PDIF ブロック・フォーマットを[図 1-14](#)に示します。1 ブロックにはフレームが 192 あります (フレーム 0 ~ フレーム 191)。各フレームにはサブフレームが 2 つあります (左チャンネルと右チャンネルに対してそれぞれサブフレーム 1 と 2)。各サブフレームで送信されるチャンネル・ステータスとユーザー・データ情報については、[表 3-1](#)に要約しています。

表 3-1. 各 DIT ブロックのチャンネル・ステータスおよびユーザー・データ

フレーム	サブフレーム	プリアンプ	チャンネル・ステータスを 定義しているレジスタ	ユーザー・データを 定義しているレジスタ
DITCSRA0、DITCSRB0、DITUDRA0、DITUDRB0 により定義				
0	1 (L)	B	DITCSRA0[0]	DITUDRA0[0]
0	2 (R)	W	DITCSRB0[0]	DITUDRB0[0]
1	1 (L)	M	DITCSRA0[1]	DITUDRA0[1]
1	2 (R)	W	DITCSRB0[1]	DITUDRB0[1]
2	1 (L)	M	DITCSRA0[2]	DITUDRA0[2]
2	2 (R)	W	DITCSRB0[2]	DITUDRB0[2]
...
31	1 (L)	M	DITCSRA0[31]	DITUDRA0[31]
31	2 (R)	W	DITCSRB0[31]	DITUDRB0[31]
DITCSRA1、DITCSRB1、DITUDRA1、DITUDRB1 により定義				
32	1 (L)	M	DITCSRA1[0]	DITUDRA1[0]
32	2 (R)	W	DITCSRB1[0]	DITUDRB1[0]
...
63	1 (L)	M	DITCSRA1[31]	DITUDRA1[31]
63	2 (R)	W	DITCSRB1[31]	DITUDRB1[31]
DITCSRA2、DITCSRB2、DITUDRA2、DITUDRB2 により定義				
64	1 (L)	M	DITCSRA2[0]	DITUDRA2[0]
64	2 (R)	W	DITCSRB2[0]	DITUDRB2[0]
...
95	1 (L)	M	DITCSRA2[31]	DITUDRA2[31]
95	2 (R)	W	DITCSRB2[31]	DITUDRB2[31]
DITCSRA3、DITCSRB3、DITUDRA3、DITUDRB3 により定義				
96	1 (L)	M	DITCSRA3[0]	DITUDRA3[0]
96	2 (R)	W	DITCSRB3[0]	DITUDRB3[0]
...
127	1 (L)	M	DITCSRA3[31]	DITUDRA3[31]
127	2 (R)	W	DITCSRB3[31]	DITUDRB3[31]
DITCSRA4、DITCSRB4、DITUDRA4、DITUDRB4 により定義				
128	1 (L)	M	DITCSRA4[0]	DITUDRA4[0]
128	2 (R)	W	DITCSRB4[0]	DITUDRB4[0]
...
159	1 (L)	M	DITCSRA4[31]	DITUDRA4[31]
159	2 (R)	W	DITCSRB4[31]	DITUDRB4[31]
DITCSRA5、DITCSRB5、DITUDRA5、DITUDRB5 により定義				
160	1 (L)	M	DITCSRA5[0]	DITUDRA5[0]
160	2 (R)	W	DITCSRB5[0]	DITUDRB5[0]
...
191	1 (L)	M	DITCSRA5[31]	DITUDRA5[31]
191	2 (R)	W	DITCSRB5[31]	DITUDRB5[31]

3.3 データ送信および受信

送信動作の場合は XBUF レジスタにデータを書き込み、受信動作の場合は RBUF レジスタからデータを読み取って、DSP は McASP を処理します。McASP はステータス・フラグをセットし、データがいつでも処理可能であることを DSP に知らせます。3.3.1 項では、データ・レディ状態を詳しく説明します。

XBUF レジスタと RBUF レジスタは、デバイスの 2 つのペリフェラル・ポートの 1 つを介してアクセスできます。

- データ・ポート (DAT) : このポートは、デバイス上のデータ転送専用です。
- コンフィグレーション・バス (CFG) : このポートは、デバイス上のデータ転送とペリフェラル設定の制御の両方に使用されます。

3.3.2 項および 3.3.3 項では、データ・ポートとコンフィグレーション・バスを介してデータ転送を実行する方法について説明します。

これらの 2 つのペリフェラル・ポートのいずれかを介して McASP を処理するために、CPU または DMA が使用できます。CPU と DMA の使用方法については、3.3.4 項および 3.3.5 項で説明します。

3.3.1 データ・レディ状態およびイベント / 割り込み生成

3.3.1.1 送信データ・レディ

XSTAT レジスタにある送信データ・レディ・フラグ XDATA ビットは、XBUF レジスタのステータスを示します。データが XRBUFF[n] バッファから XRSR[n] シフト・レジスタに転送されるときに XDATA フラグがセットされ、XBUF が空で、DSP から新規データを受け入れ可能であることを示します。このフラグは、XDATA ビットに 1 が書き込まれるか、トランスミッタとして設定されているすべてのシリアルライザが DSP により書き込まれるとクリアされます。

XDATA がセットされると、DMA イベント AXEVT が自動的に生成されて XBUF が空の状態であることを DMA に通知します。XDATA 割り込みが XINTCTL レジスタでイネーブルされている場合は、割り込み AXINT も生成されます (詳細は 3.5.1 項を参照)。

DMA 要求の場合、McASP では DMA イベント間で XSTAT を読み出す必要がありません。すなわち、XSTAT が前の要求によって XDATA フラグが 1 にすでにセットされていても、次の転送が別の DMA 要求をトリガします。

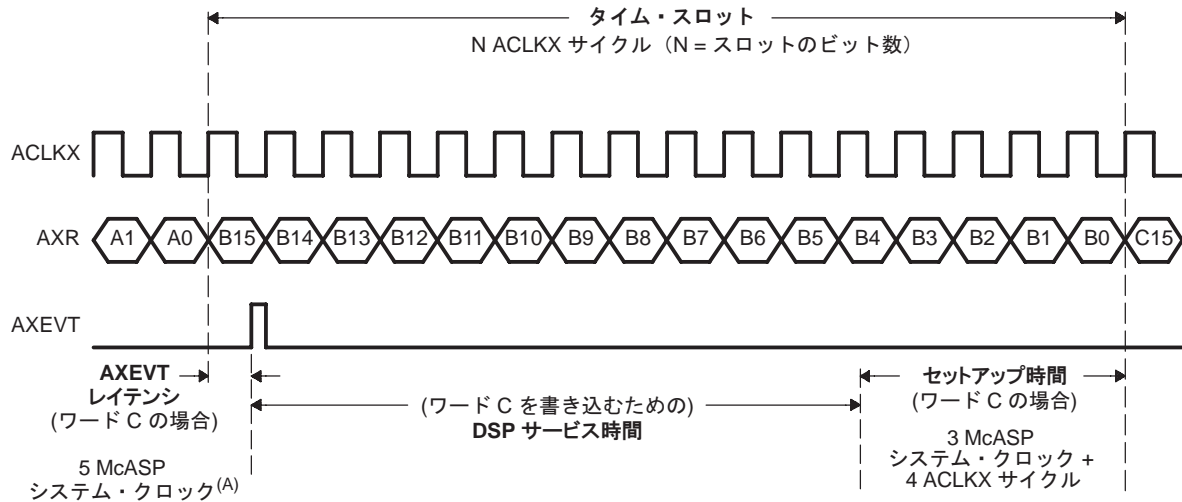
すべてのシリアルライザが横並びで動作するので、すべてのアクティブな送信シリアルライザに新規データが書き込める状態であることを示すために、1 つの DMA イベントのみが生成されます。

図 3-3 に、AXEVT が McASP 境界で生成されるタイミングを詳しく示します。この例では、ワード A の最終ビット (ビット A0) が転送されるとすぐに、McASP は XDATA フラグをセットして AXEVT イベントを生成します。ただし、AXEVT が McASP 境界でアクティブになるまでに最大 5 McASP システム・クロック (AXEVT レイテンシ) を要します。AXEVT の後に DSP はワード C を XBUF に書き込んで (DSP サービス時間)、McASP の処理を開始できます。DSP は McASP で必要なセットアップ時間 (セットアップ時間) までに、ワード C を XBUF に書き込む必要があります。

最大 DSP サービス時間 (図 3-3) は、次のように計算できます。

DSP サービス時間 = タイム・スロット - AXEVT レイテンシ - セットアップ時間

図 3-3. 送信 DMA イベント (AXEVT) 時の DSP サービス時間



A McASP システムのクロック・ソースについては、各デバイスのデータシートを参照してください。これは AUXCLK とは異なります。たとえば、C6713 DSP は McASP システムのクロック・ソースとして SYSCLK2 を使用します。

例 3-1. 送信 DMA イベント (AXEVT) の DSP サービス時間の計算

DSP サービス時間を計算する方法の例を次に示します。次のセットアップを仮定します。

- デバイス : 300 MHz で動作する C6713 DSP
- McASP は I2S フォーマットにより 192 kHz フレーム・レートで送信します。スロット・サイズは 32 ビットと仮定します

上記のセットアップで、図 3-3 に対応する次のパラメータを取得します。

- McASP システム・クロック・サイクルの計算
 - C6713 DSP は McASP システム・クロックとして SYSCLK2 を使用します。150 MHz で動作します (デバイスの周波数の半分)
 - この結果、McASP システム・クロック・サイクル = $1/150 \text{ MHz} = 6.7 \text{ ns}$ となります
- ACLKX クロック・サイクルの計算
 - この例にはフレームごとに 2 つの 32 ビット・スロット、合計でフレームごとに 64 ビットあります
 - ACLKX クロック・サイクルは $(1/192 \text{ kHz})/64 = 81.4 \text{ ns}$ です
- AXEVT イベント間のタイム・スロット
 - I2S フォーマットの場合、McASP は 192 kHz フレームごとに 2 つの AXEVT イベントを生成します
 - この結果、AXEVT イベント間のタイム・スロットは $(1/192 \text{ kHz})/2 = 2604 \text{ ns}$ です
- AXEVT レイテンシ
 - = 5 McASP システム・クロック
 - = $6.7 \text{ ns} \times 5 = 33.5 \text{ ns}$
- セットアップ時間
 - = 3 McASP システム・クロック + 4 ACLKX サイクル
 - = $(6.7 \text{ ns} \times 3) + (81.4 \text{ ns} \times 4)$
 - = 345.7 ns
- DSP サービス時間
 - = タイム・スロット - AXEVT レイテンシ - セットアップ時間
 - = $2604 \text{ ns} - 33.5 \text{ ns} - 345.7 \text{ ns}$
 - = 2225 ns

3.3.1.2 受信データ・レディ

同様に、RSTATにある受信データ・レディ・フラグ RDATA ビットは、RBUF レジスタのステータスを示します。データが XRSR[n] シフト・レジスタから XRBUF[n] バッファに転送されるときに RDATA フラグがセットされ、RBUF に受信データがあり、DSP がそのデータを読み取り可能であることを示します。このフラグは、RDATA ビットに 1 が書き込まれるか、レシーバとして設定されているすべてのシリアルライザが読み取られるとクリアされます。

RDATA がセットされると、DMA イベント AREVT が自動的に生成されて RBUF がレディ状態であることを DMA に通知します。RDATA 割り込みが RINTCTL レジスタでイネーブルされている場合は、割り込み ARINT も生成されます（詳細は 3.5.2 項を参照）。

DMA 要求の場合、McASP では DMA イベント間で RSTAT を読み出す必要がありません。すなわち、RSTAT が前の要求によって RDATA フラグが 1 にすでにセットされていても、次の転送が別の DMA 要求をトリガします。

すべてのシリアルライザが横並びで動作するので、すべてのアクティブ受信シリアルライザが新規データを受信可能であることを示すために、1 つの DMA イベントのみが生成されます。

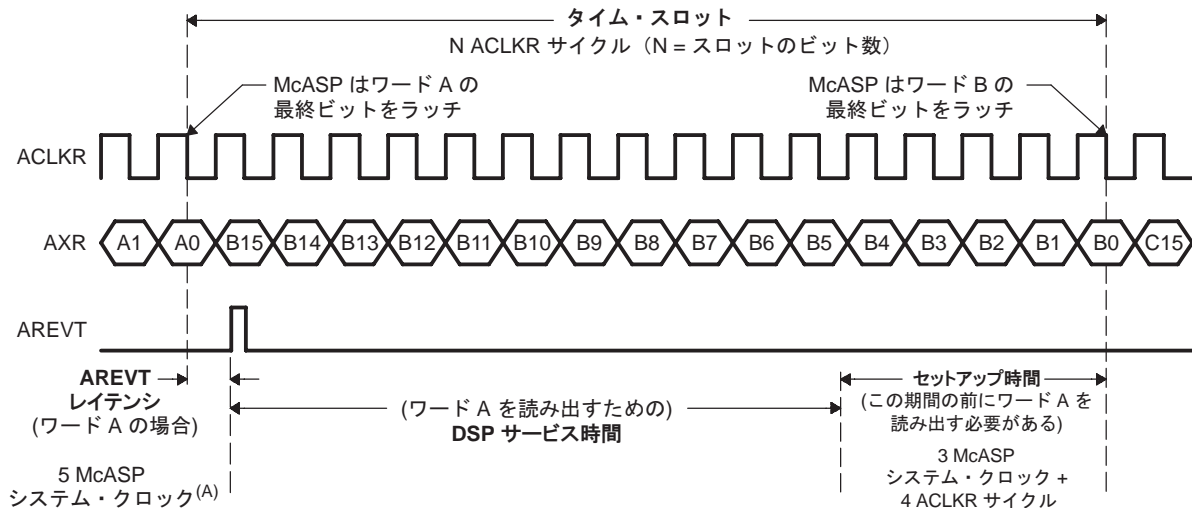
図 3-4 に、AREVT が McASP 境界で生成されるタイミングを詳しく示します。この例では、ワード A の最終ビット（ビット A0）が受信されるとすぐに、McASP は RDATA フラグをセットして AREVT イベントを生成します。ただし、AREVT が McASP 境界でアクティブになるまでに最大 5 McASP システム・クロック（AREVT レイテンシ）を要します。AREVT の後に DSP はワード A を RBUF から読み取って（DSP サービス時間）、McASP の処理を開始できます。DSP は McASP で必要なセットアップ時間（セットアップ時間）までに、ワード A を RBUF から読み取る必要があります。

最大 DSP サービス時間（図 3-4）は、次のように計算できます。

DSP サービス時間 = タイム・スロット - AREVT レイテンシ - セットアップ時間

受信用の DSP サービス時間の計算は、送信の場合と同様です。送信を使用した DSP サービス時間の計算例については、例 3-1 を参照してください。

図 3-4. 受信 DMA イベント（AREVT）時の DSP サービス時間



A McASP システムのクロック・ソースについては、各デバイスのデータシートを参照してください。これは AUXCLK とは異なります。たとえば、C6713 DSP は McASP システムのクロック・ソースとして SYSCLK2 を使用します。

3.3.2 データ・ポート (DAT) を介した転送

通常、McASP XRBUF レジスタにはデータ・ポートを介してアクセスします。データ・ポートを介してアクセスするには、CPU または DMA からそのデータ・ポート・ロケーションを使用して XRBUF にアクセスするだけです。正確なメモリー・アドレスについては、各デバイスのデータシートを参照してください。データ・ポートを介して、DMA/CPU は単一アドレスですべてのシリアルライザを処理できます。McASP は適切なシリアルライザを自動的に循環します。

データ・ポートを介した送信動作の場合、DMA/CPU はすべてのアクティブな送信シリアルライザを処理するために同一の XBUF データ・ポート・アドレスに書き込まなければなりません。また、DMA/CPU はすべてのアクティブな送信シリアルライザの XBUF に対して 1 つずつ順番に書き込みます (必ずしも連続とは限りません)。たとえば、シリアルライザ 0、4、5、および 7 がアクティブ・トランスミッタとしてセットアップされている場合、DMA/CPU は送信データ・レディ・イベントごとにシリアルライザ 0、4、5、および 7 のデータを 4 回 XBUF データ・ポート・アドレスに書き込みます。データを適切なシリアルライザに表示するために、正確にこの処理順序を守らなければなりません。

同様に、データ・ポートを介した受信動作の場合、DMA/CPU はすべてのアクティブな受信シリアルライザを処理するために同一の RBUF データ・ポート・アドレスからデータを読み出さなければなりません。また、データ・ポートを介したアクティブな受信シリアルライザから読み出すと、データが 1 つずつ順番に (連続とは限りません) 返ります。たとえば、シリアルライザ 1、2、3、および 6 がアクティブ・レシーバとしてセットアップされている場合、DMA/CPU は受信データ・レディ・イベントごとにシリアルライザ 1、2、3、および 6 のデータをこの正確な順序で取得するために、4 回 RBUF データ・ポート・アドレスから読み出します。

送信時、DMA/CPU はタイム・スロットごとに「アクティブ」および「送信」として設定されている各シリアルライザにデータを書き込みます。この書き込みが失敗すると、バッファ・アンダーラン状況が発生します (3.6.2 項)。同様に、受信時、データはタイム・スロットごとに「アクティブ」および「受信」と設定されている各シリアルライザから読み出されます。この読み出しが失敗すると、バッファ・オーバーラン状況が発生します (3.6.3 項)。

データ・ポートを介して内部転送を実行するには、それぞれの XFMT/RFMT レジスタ内の XBUSEL/RBUSEL ビットを 0 にクリアします。

注意

データ・ポートを介して内部転送を実行するには、それぞれの XFMT/RFMT レジスタ内の XBUSEL/RBUSEL ビットを 0 にクリアします。これに失敗すると、ソフトウェアが誤動作します。

3.3.3 コンフィグレーション・バス (CFG) を介した転送

この方式では、DMA/CPU はコンフィグレーション・バス・アドレスを介して XRBUF レジスタにアクセスします。特定のシリアルライザに対する正確な XRBUF レジスタ・アドレスは、その特定のシリアルライザのオフセットを特定の McASP に対するベース・アドレスに加算することにより決定されます (各デバイスのデータシートに記載)。トランスミッタとして設定されるシリアルライザの XRBUF には、XBUF n という名前が付きます。たとえば、送信シリアルライザ 2 に関連する XRBUF の名前は XBUF2 です。同様に、レシーバとして設定されるシリアルライザの XRBUF には、RBUF n という名前が付きます。

CPU/DMA における単一アドレスだけでのデータ・ポートを介した XRBUF レジスタへのアクセスとは異なります。コンフィグレーション・バスを介してアクセスする場合、CPU/DMA はアクセスごとに正確な XBUF n または RBUF n アドレスを供給しなければなりません。

送信時、DMA/CPU はタイム・スロットごとに「アクティブ」および「送信」と設定されている各シリアルライザにデータを書き込みます。この書き込みが失敗すると、バッファ・アンダーラン状況が発生します (3.6.2 項)。同様に、受信時、データはタイム・スロットごとに「アクティブ」および「受信」と設定されている各シリアルライザから読み出されます。この読み出しが失敗すると、バッファ・オーバーラン状況が発生します (3.6.3 項)。

コンフィグレーション・バスを介して内部転送を実行するには、それぞれの XFMT/RFMT レジスタ内の XBUSEL/RBUSEL ビットを 1 にセットします。

注意

コンフィグレーション・バスを介して内部転送を実行するには、それぞれの XFMT/RFMT レジスタ内の XBUSEL/RBUSEL ビットを 1 にセットします。これに失敗すると、ソフトウェアが誤動作します。

3.3.4 CPU を使用した McASP 処理

CPU を使用して、割り込み (AXINT/ARINT 割り込みによる) または XSTAT レジスタの XDATA ビットのポーリングを介して McASP を処理することができます。3.3.2 項および 3.3.3 項で説明しているように、CPU はデータ・ポートまたはコンフィグレーション・バスを介してアクセスすることができます。

割り込みを介して McASP を処理するために CPU を使用するには、データ・レディ状態時に CPU に対する割り込み AXINT/ARINT を生成するために、それぞれの XINTCTL/RINTCTL レジスタ内の XSTAT/RSTAT ビットをイネーブルにする必要があります。

3.3.5 DMA を使用した McASP 処理

DMA はコンフィグレーション・バスを介して McASP を処理することもできますが、最も一般的なシナリオは、DMA を使用して、データ・ポートを介して McASP を処理することです。DMA イベントを使用した McASP の処理には 2 つの可能性があり、

1. **AXEVT/AREVT** を使用します。XDATA/RDATA が 0 から 1 へ遷移するときにトリガされます。
2. **AXEVTO/AREVTO** および **AXEVTE/AREVTE** を使用します。奇数 / 偶数スロットに対して AXEVT/AREVT イベントが交互に入れ替わります。AXEVT/AREVT 時、奇数チャンネルに対するイベントの場合は AXEVTO/AREVTO がトリガされ、偶数チャンネルに対するイベントの場合は AXEVTE/AREVTE がトリガされます。

注： AXEVTO/AREVTO と AXEVTE/AREVTE がサポートされているかどうかについては、各デバイスのデータシートを確認してください。これらはオプションです。

図 3-5 および図 3-6 に、McASP で 3 本の AXR[n] ピンから送信される 6 つのオーディオ・チャンネル (LF、RF、LS、RS、C、および LFE) を備えるオーディオ・システム例を示します。図 3-5 および図 3-6 に、イベント AXEVT、AXEVTO、および AXEVTE がトリガされるタイミングを示します。また、図 3-5 および図 3-6 に、受信オーディオ・チャンネルにも適用され、イベント AREVT、AREVTO、および AREVTE がトリガされるタイミングを示します。

図 3-5. オーディオの DMA イベントの例 — 2 イベント (シナリオ 1)

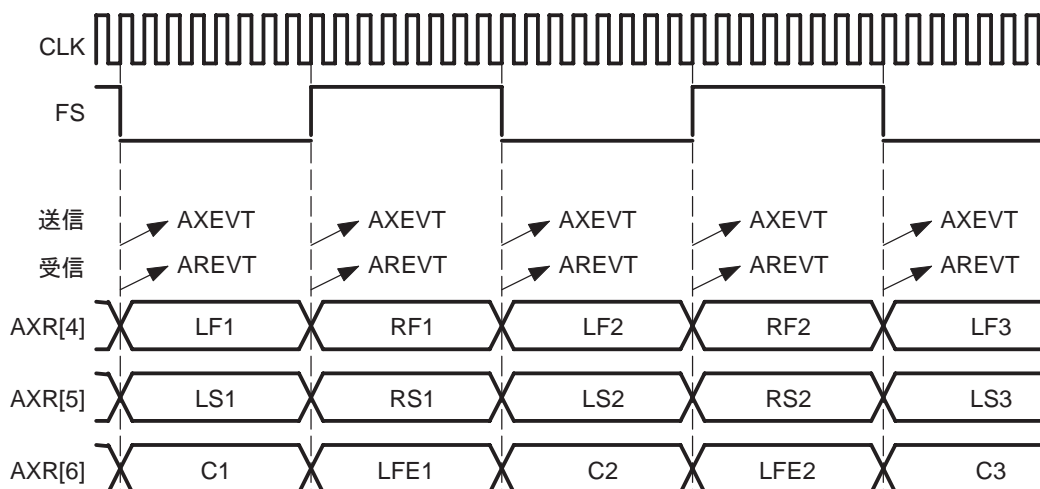
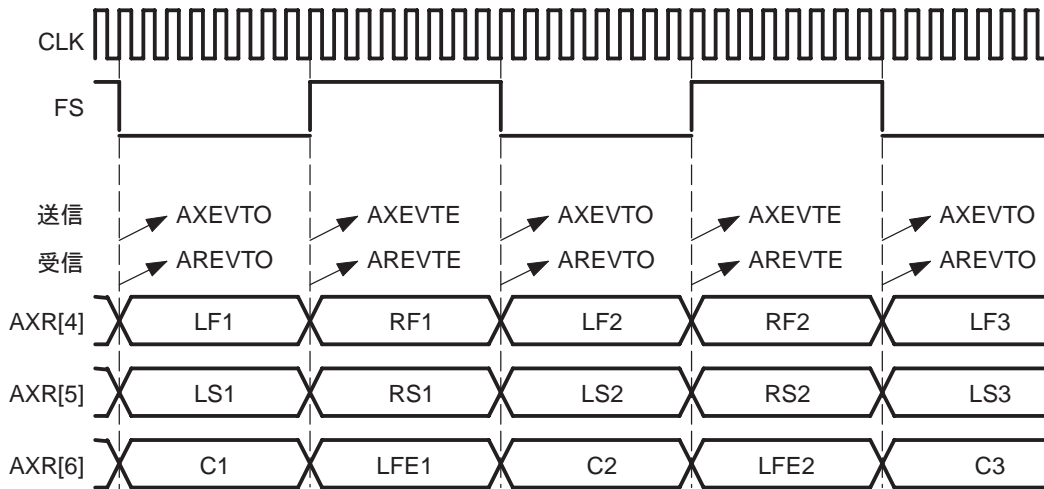


図 3-6. オーディオの DMA イベントの例 — 4 イベント (シナリオ 2)



イベント AXEVT と AREVT (図 3-5)、またはイベント AXEVTO、AREVTO、AXEVTE、および AREVTE (図 3-6) による DMA を使用した McASP の処理が可能です。

シナリオ 1 (図 3-5) では、DMA イベント AXEVT/AREVT がタイム・スロットごとにトリガされます。この例では、AXEVT は送信オーディオ・チャンネルのタイム・スロット (チャンネル LF、LS、C のタイム・スロットおよびチャンネル RF、RS、LFE のタイム・スロット) ごとにトリガされます。同様に、AREVT は受信オーディオ・チャンネルのタイム・スロットごとにトリガされます。シナリオ 1 では、1 つの DMA を使用してすべてのオーディオ・チャンネルを送信し、また 1 つの DMA を使用してすべてのオーディオ・チャンネルを受信できます。

シナリオ 2 (図 3-6) では、2 つの交互に発生する DMA イベントがタイム・スロットごとにトリガされます。この例では、AXEVTE (偶数) は偶数オーディオ・チャンネル (LF、LS、C) のタイム・スロットに対してトリガされ、AXEVTO (奇数) は奇数オーディオ・チャンネル (RF、RS、LFE) のタイム・スロットに対してトリガされます。AXEVTO と AXEVTE は、適切なタイミングで入れ替わります。受信方向での AREVTO と AREVTE の使用に関しても同様です。このシナリオでは、2 つの DMA チャンネル (奇数と偶数) を使用してすべてのオーディオ・チャンネルを送信し、また 2 つの DMA チャンネルを使用してすべてのオーディオ・チャンネルを受信できます。

付録 B に、シナリオ 1 とシナリオ 2 の EDMA 実装例を示します。

異なる DMA イベントを使用する際のガイドラインは、次のとおりです。

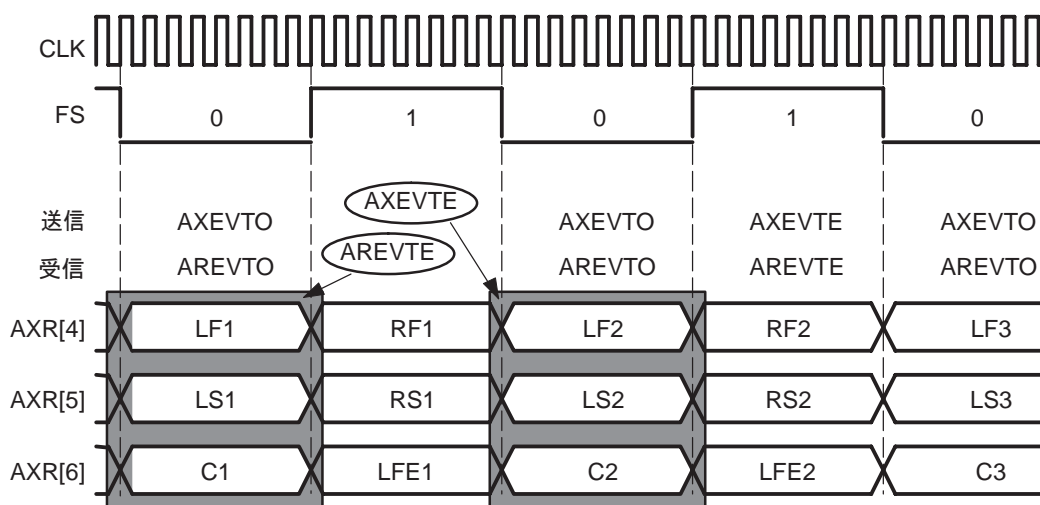
- AXEVT、または AXEVTO と AXEVTE の組み合わせのどちらかを使用して McASP を処理します。これら 3 つをすべて同時に使用しないでください。受信の場合も同様に、AREVT、または AREVTO と AREVTE の組み合わせのどちらかを使用します。
- McASP は受信 DMA イベントから独立して送信 DMA イベントを生成するため、送信と受信の DMA に対して別々の方法を使用できます。たとえば、シナリオ 1 を送信データ (AXEVT) に使用して、シナリオ 2 を受信データ (AREVTO、AREVTE) に使用できます (またその逆も可能です)。

DMA イベントの生成と CPU 割り込みの生成の間の違いについて注意してください。DMA イベントはデータ・レディ状態時に自動的に生成されますが、CPU 割り込みの生成は XINTCTL/RINTCTL レジスタでイネーブルにする必要があります。

図 3-6 のシナリオ 2 では、各送信 DMA 要求は次のタイム・スロットのデータに対するものであり、各受信 DMA 要求は前のタイム・スロットのデータに対するものです。たとえば、図 3-7 に、偶数タイム・スロットの送信 DMA 要求の AXEVTE イベント (丸で囲まれている) を示します。トランスミッタは、常に次のタイム・スロットで送信する必要があるデータに対して DMA 転送を要求します。この例では、丸で囲まれたイベント AXEVTE はサンプル LF2、LS2、および C2 のデータに対する要求です。

その一方で、丸で囲まれたイベント AREVTE は偶数タイム・スロットの受信 DMA 要求です。レシーバは、常に前のタイム・スロットで受信したデータに対して DMA 転送を要求します。この例では、丸で囲まれたイベント AREVTE はサンプル LF1、LS1、および C1 に対する要求です。

図 3-7. オーディオの DMA イベントの例



3.4 フォーマッタ

3.4.1 送信ビット・ストリームのデータ・アライメント

McASP トランスミッタは、次の項目のシリアル・フォーマットをサポートします。

- スロット (タイム・スロット) サイズ = 8、12、16、20、24、28、32 ビット
- ワード・サイズ ≤ スロット・サイズ
- ビット/ワードよりもビット/スロットが多い場合のアライメント
 - 左揃え = ワードが最初にシフトされ、残りのビットはパッドです。
 - 右揃え = パッド・ビットが最初にシフトされ、ワードはスロット内の最終ビットに配置されます。
- シフトアウトされるビットの順序
 - MSB: ワードの最上位ビットが最初にシフトアウトされ、最終ビットは LSB です。
 - LSB: ワードの最下位ビットが最初にシフトアウトされ、最終ビットは MSB です。

次のシリアル・フォーマットに対するハードウェア・サポートは、送信ビット・ストリーム・フォーマット・レジスタ (XFMT) でプログラム可能なオプションになります。

- XRVR: ビット反転 (1) またはビット反転なし (0)
- XROT: 0、4、8、12、16、20、24、または 28 ビット右にローテート
- XSSZ: 8、12、16、20、24、28、または 32 ビットの送信スロット・サイズ

XSSZ は必ずシリアル・ストリームのスロット・サイズと一致するようにプログラムする必要があります。ワード・サイズは McASP に直接プログラムされませんが、XROT フィールドで必要なローテートを決定するために使用されます。

表 3-2 および図 3-8 に、各シリアル・フォーマットと、整数と Q フォーマットの内部表現の両方に対する XRVR フィールドと XROT フィールドを示します。

送信の右ローテート・ユニットは 4 の倍数によるローテートしかサポートしていないため、この説明では、すべてのスロット・サイズ (表 3-2 のスロット) とワード・サイズ (表 3-2 のワード) のオプションは 4 の倍数であると仮定します。一方、ビット・マスク/パッド・ユニットは任意の有効桁数をサポートします。たとえば、ある Q フォーマットの数値が 19 の有効桁 (ワード) を持ち、24 ビット・スロットで送信される場合があります。これは 20 ビットのワード・サイズと 24 ビットのスロット・サイズとしてフォーマットされます。一方、上位 19 桁だけを受け渡すためにビット・マスク・ユニットをセットすることができます (マスク値を FFFF E000h にプログラム)。有効でない桁は、選択されたパッド値にセットできます。パッド値は有効桁のいずれか、固定値 0、または固定値 1 のどれかを設定することができます。

送信ビット・マスク/パッド・ユニットは、送信フォーマット・ユニットの第1段階でデータに作用し（図 2-7 を参照）、このデータは DSP によりトランスミッタに書き込まれたデータと同じ表現で配置されます（通常 Q フォーマットまたは整数）。

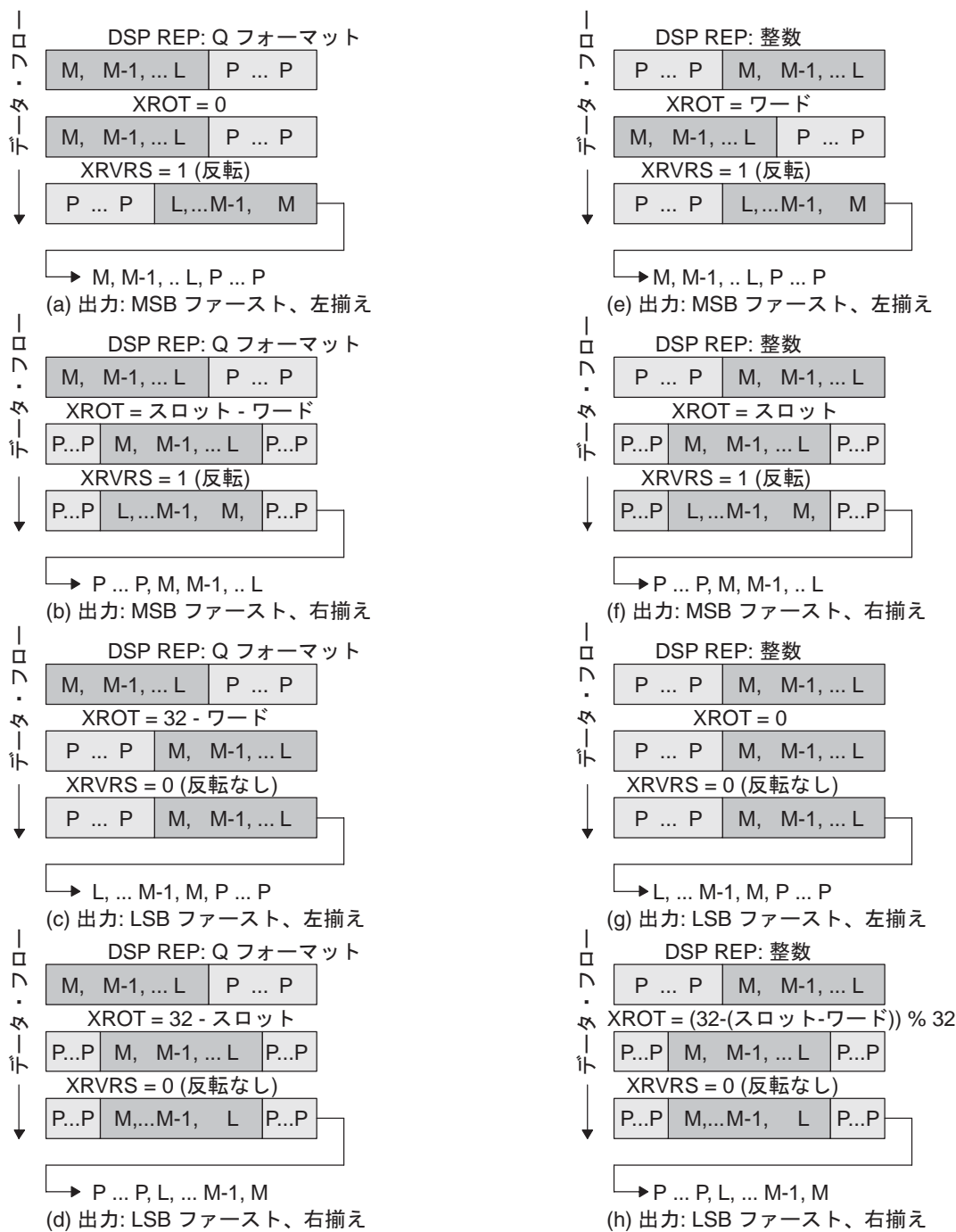
表 3-2. 送信ビット・ストリームのデータ・アライメント

図 3-8	ビット・ストリームの順序	ビット・ストリームのアライメント	内部数値表現	XFMT ビット	
				XROT ⁽¹⁾	XRVRS
(a) ⁽²⁾	MSB ファースト	左揃え	Q フォーマット	0	1
(b)	MSB ファースト	右揃え	Q フォーマット	スロット - ワード	1
(c)	LSB ファースト	左揃え	Q フォーマット	32 - ワード	0
(d)	LSB ファースト	右揃え	Q フォーマット	32 - スロット	0
(e) ⁽²⁾	MSB ファースト	左揃え	整数	ワード	1
(f)	MSB ファースト	右揃え	整数	スロット	1
(g)	LSB ファースト	左揃え	整数	0	0
(h)	LSB ファースト	右揃え	整数	$(32 - (\text{スロット} - \text{ワード})) \% 32$	0

(1) ワード = 4 の倍数に切り上げられたワード・サイズ。スロット = スロット・サイズ。% = モジュロ演算子。

(2) I2S フォーマットで送信するには、MSB ファースト、左揃えを使用して、XDATDLY = 01 (1 ビット遅延) も選択します。

図 3-8. 送信フォーマット・ユニットを介したデータ・フロー (図)



3.4.2 受信ビット・ストリームのデータ・アライメント

McASP レシーバは、次のシリアル・フォーマットをサポートします。

- スロット (タイム・スロット) サイズ = 8、12、16、20、24、28、32 ビット
- ワード・サイズ ≤ スロット・サイズ
- ビット/ワードよりもビット/スロットが多い場合のアライメント
 - 左揃え = ワードが最初にシフトされ、残りのビットはパッドです。
 - 右揃え = パッド・ビットが最初にシフトされ、ワードはスロット内の下位ビットに配置されます。
- シフトアウトされるビットの順序
 - MSB: ワードの最上位ビットが最初にシフトアウトされ、最終ビットは LSB です。
 - LSB: ワードの最下位ビットが最初にシフトアウトされ、最終ビットは MSB です。

次のシリアル・フォーマットに対するハードウェア・サポートは、受信ビット・ストリーム・フォーマット・レジスタ (RFMT) でプログラム可能なオプションになります。

- RRVRS: ビット反転 (1) またはビット反転なし (0)
- RROT: 0、4、8、12、16、20、24、または 28 ビット右にローテート
- RSSZ: 8、12、16、20、24、28、または 32 ビットの受信スロット・サイズ

RSSZ は必ずシリアル・ストリームのスロット・サイズと一致するようにプログラムする必要があります。ワード・サイズは McASP に直接プログラムされませんが、RROT フィールドで必要なローテートを決定するために使用されます。

表 3-3 および図 3-9 に、各シリアル・フォーマットと、整数と Q フォーマットの内部表現の両方に対する RRVRS フィールドと RROT フィールドを示します。

受信の右ローテート・ユニットは 4 の倍数によるローテートしかサポートしていないため、この説明では、すべてのスロット・サイズとワード・サイズのオプションは 4 の倍数であると仮定します。一方、ビット・マスク/パッド・ユニットは任意の有効桁数をサポートします。たとえば、ある Q フォーマットの数値が 19 の有効桁 (ワード) を持ち、24 ビット・スロットで送信される場合があります。これは 20 ビットのワード・サイズと 24 ビットのスロット・サイズとしてフォーマットされます。一方、上位 19 桁だけを受け渡すためにビット・マスク・ユニットをセットすることができます (マスク値を FFFF E000h にプログラム)。有効でない桁は、選択されたパッド値にセットできます。パッド値は有効桁のいずれか、固定値 0、または固定値 1 のどれかを設定することができます。

受信ビット・マスク/パッド・ユニットは、受信フォーマット・ユニットの最終段階でデータに作用し (図 2-6 を参照)、このデータは DSP によりレシーバから読み出されたデータと同じ表現で配置されます (通常 Q フォーマットまたは整数)。

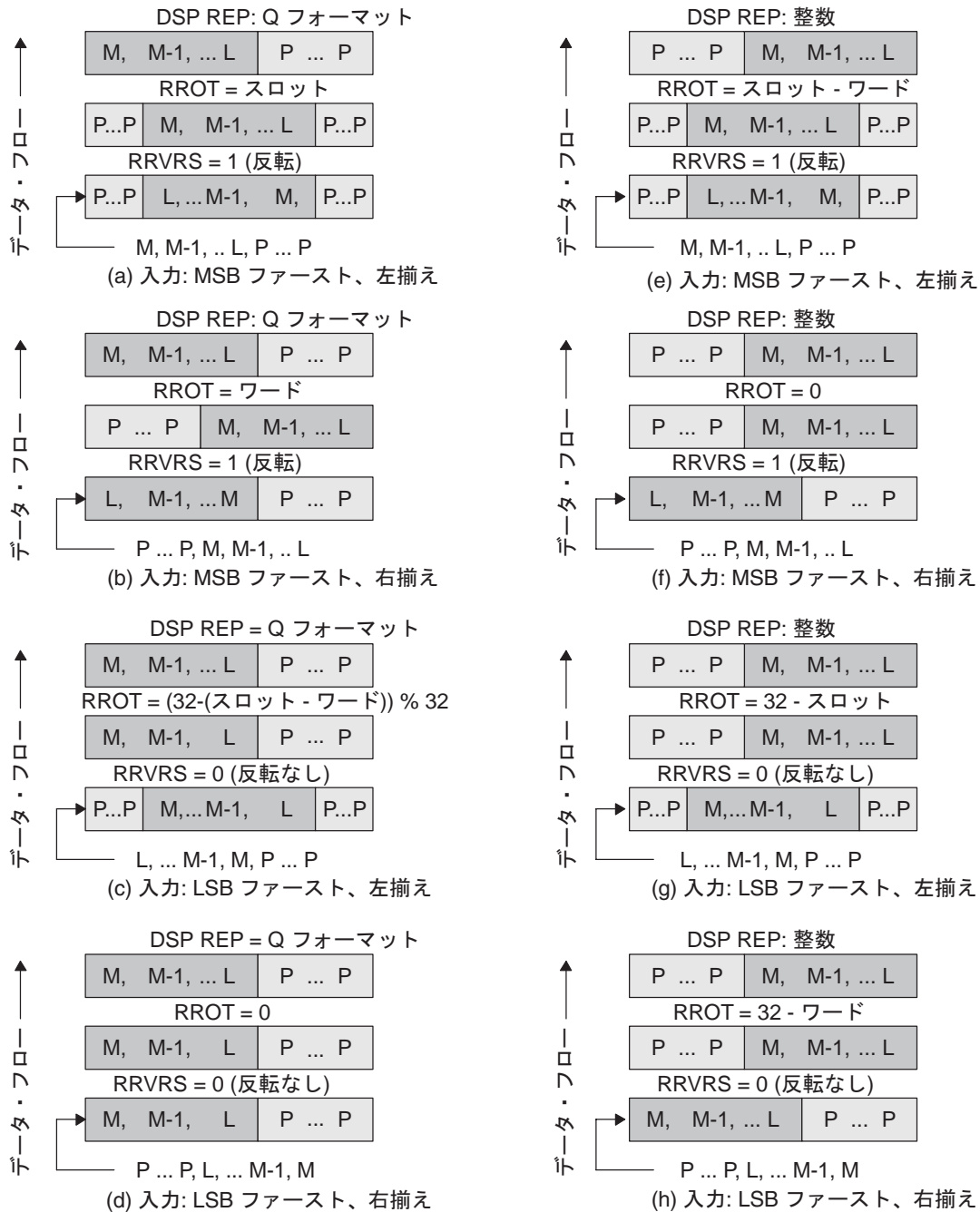
表 3-3. 受信ビット・ストリームのデータ・アライメント

図 3-9	ビット・ストリーム順序	ビット・ストリームのアライメント	内部数値表現	RFMT ビット	
				RROT ⁽¹⁾	RRVRS
(a) ⁽²⁾	MSB ファースト	左揃え	Q フォーマット	スロット	1
(b)	MSB ファースト	右揃え	Q フォーマット	ワード	1
(c)	LSB ファースト	左揃え	Q フォーマット	$(32 - (\text{スロット} - \text{ワード})) \% 32$	0
(d)	LSB ファースト	右揃え	Q フォーマット	0	0
(e) ⁽²⁾	MSB ファースト	左揃え	整数	スロット - ワード	1
(f)	MSB ファースト	右揃え	整数	0	1
(g)	LSB ファースト	左揃え	整数	32 - スロット	0
(h)	LSB ファースト	右揃え	整数	32 - ワード	0

(1) ワード = 4 の倍数に切り上げられたワード・サイズ。スロット = スロット・サイズ。% = モジュロ演算子。

(2) I2S フォーマットで送信するには、MSB ファースト、左揃えを選択して、RDATDLY = 01 (1 ビット遅延) も選択します。

図 3-9. 受信フォーマット・ユニットを介したデータ・フロー (図)



3.5 割り込み

3.5.1 送信データ・レディ割り込み

送信データ・レディ割り込み (XDATA) は、XSTAT レジスタの XDATA が 1、かつ XINTCTL の XDATA がイネーブルの場合に生成されます。3.3.1 項では、XSTAT レジスタの XDATA がセットされるタイミングについて詳しく説明しています。

フレーム割り込みの送信開始 (XSTAFRM) は、送信フレーム同期を検出するとトリガされます。送信最終スロット割り込み (XLAST) は、送信データ・レディ割り込み (XDATA) の限定版です。これは送信データ・レディ割り込みと同じ動作ですが、最終スロットの送信時に限定されています (終了したばかりのスロットは最後から 2 番目の TDM スロットであり、現行のスロットは最終スロットになります)。

3.5.2 受信データ・レディ割り込み

受信データ・レディ割り込み (RDATA) は、RSTAT レジスタの RDATA が 1、かつ RINTCTL の RDATA がイネーブルの場合に生成されます。3.3.2 項では、RSTAT レジスタの RDATA がセットされるタイミングについて詳しく説明しています。

フレーム割り込みの受信開始 (RSTAFRM) は、受信フレーム同期を検出するとトリガされます。受信最終スロット割り込み (RLAST) は、受信データ・レディ割り込み (RDATA) の限定版です。これは受信データ・レディ割り込みと同じ動作ですが、最終 TDM タイム・スロットの受信時に限定されます (終了したばかりのスロットは最終 TDM スロットになります)。

3.5.3 エラー割り込み

エラーを検出すると、次のエラー状況により割り込みフラグが生成されます。

- 受信ステータス・レジスタ (RSTAT) の場合
 - 受信オーバーラン (ROVRN)
 - 予期せぬ受信フレーム同期 (RSYNCERR)
 - 受信クロック障害 (RCKFAIL)
 - 受信 DMA エラー (RDMAERR)
- 送信ステータス・レジスタ (XSTAT) の場合
 - 送信アンダーラン (XUNDRN)
 - 予期せぬ送信フレーム同期 (XSYNCERR)
 - 送信クロック障害 (XCKFAIL)
 - 送信 DMA エラー (XDMAERR)

各割り込みソースには、受信割り込み制御レジスタ (RINTCTL) と送信割り込み制御レジスタ (XINTCTL) 内に対応するイネーブル・ビットもあります。イネーブル・ビットが RINTCTL または XINTCTL でセットされている場合、割り込みフラグが RSTAT または XSTAT にセットされると割り込みが要求されます。イネーブル・ビットがセットされていない場合、割り込み要求は生成されません。しかし、割り込みフラグをポーリングすることができます。

3.5.4 オーディオ・ミュート (AMUTE) 機能

McASP は自動オーディオ・ミュート機能を備えています (図 3-10)。この機能は、ハードウェアで AMUTE ピンを事前にプログラムされた出力状態 (オーディオ・ミュート・コントロール・レジスタ (AMUTE) の MUTEN ビットで選択) にアサートします。AMUTE ピンは、割り込みフラグのいずれかがセットされるか、外部デバイスが AMUTEIN 入力にエラー信号を発行するとアサートされます。通常、AMUTEIN 入力はデバイスの割り込みピン (EXT_INT4 など) と共有されます。

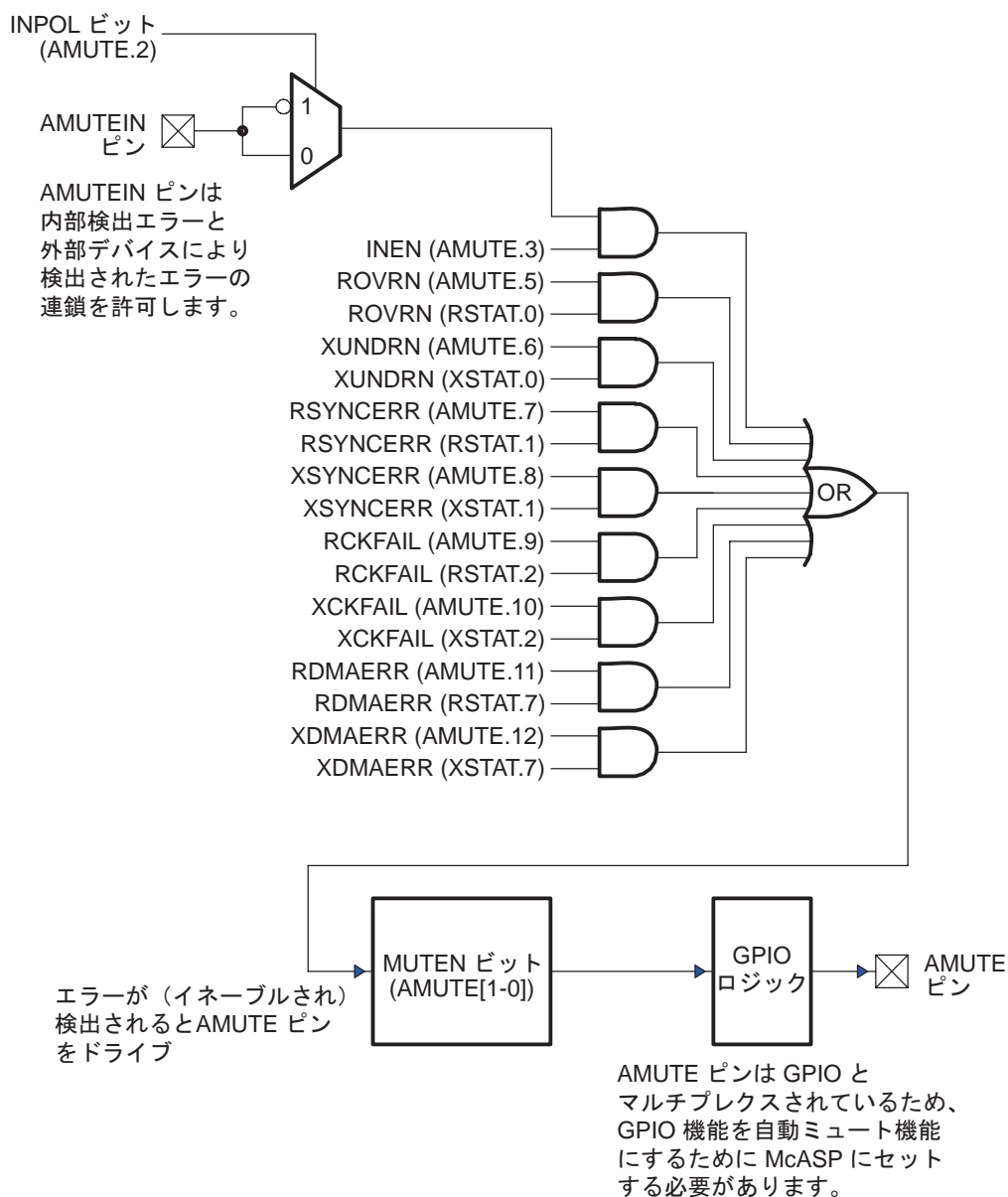
AMUTEIN 入力を使用すると、オンチップ・ロジックはシステムにある他のデバイスからのミュート入力を考慮することができ、すべてのエラーを考慮することができます。さまざまなデバイスに適応するために、AMUTEIN 入力の極性をプログラム (AMUTE の INPOL ビットで選択) することができます。これは明示的にイネーブルになっていなければなりません。

外部 AMUTEIN 入力に加えて、エラー割り込みフラグのいずれかがセットされ、かつそのミュート機能が AMUTE でイネーブルになっていると、AMUTE ピン出力はアサートされます。

割り込み

1つ以上のエラーが検出、イネーブルされている場合、AMUTE ピンは AMUTE の MUTEN で選択されたアクティブ状態にドライブされます。AMUTE ピンのアクティブ極性は、MUTEN でプログラムできます（インアクティブ極性はアクティブ極性の反対です）。AMUTE ピンは、ソフトウェアによりミュート可能なエラー割り込みフラグがすべてクリアされるまで、また AMUTEIN がインアクティブになるまでアクティブにドライブされた状態を保ちます。

図 3-10. オーディオ・ミュート (AMUTE) ブロック図



3.5.5 複数の割り込み

これは複数の割り込みにのみ適用され、DMA 要求には適用されません。次の用語が定義されています。

- **アクティブな割り込み要求** : RSTAT または XSTAT のフラグがセットされて、割り込みが RINTCTL または XINTCTL でイネーブルされています。
- **未処理の割り込み要求** : McASP 送信 / 受信割り込みポートのいずれかの割り込み要求が発行されているが、その要求はまだ処理されていません。
- **処理済み** : CPU が RSTAT または XSTAT に書き込んで、1 つ以上のアクティブ割り込み要求フラグをクリアします。

XSTAT でセットされ、かつ割り込みが XINTCTL でイネーブルされた割り込みフラグでトランスミッタがアクティブになる最初の割り込みは McASP 送信割り込みポート AXINT 上に要求を生成します。

複数の割り込み要求が同じサイクルでアクティブになった場合は、1 つの割り込み要求が McASP 送信割り込みポート上で生成されます。最初の割り込み要求が未処理の間にアクティブになる割り込み要求は、McASP 送信割り込みポート上で新規の要求パルスをすぐには生成しません。

送信割り込みは、XSTAT に書き込む CPU で処理されます。この書き込み後に割り込み要求がアクティブになると、新規の要求が McASP 送信割り込みポート上で生成されます。

レシーバも同様に動作しますが、RSTAT、RINTCTL、および McASP 受信割り込みポート ARINT を使用します。

各ポート上で許可されている未処理割り込み要求は 1 つなので、送信と受信の割り込み要求が両方とも同時に未処理になることがあります。

3.6 エラー処理および管理

ロバスト・オーディオ・システム設計をサポートするために、McASP はシリアル・プロトコル、データ・アンダーラン、およびデータ・オーバーランに対するエラー・チェック機能を備えています。また、McASP は高周波マスター・クロックを 32 AHCLKX/AHCLKR クロック・サイクルごとに連続して測定するタイマを内蔵しています。このタイマの値はクロック周波数を測定するために読み出すことができます。また、マスター・クロックが指定の範囲を超えた場合にエラー・フラグをセットすることができます。

1 つ以上のエラーが検出されるか（ソフトウェアにより選択可能）、AMUTEIN 入力ピンがアサートされると、オーディオ出力をただちにミュートするために、AMUTE 出力ピンを High または Low レベルにアサートすることができます。また、割り込みは 1 つ以上のエラー要因に基づき必要に応じて生成されます。

3.6.1 予期せぬフレーム同期エラー

予期せぬフレーム同期は、次の場合に発生します。

- バースト・モードで、フレーム同期の次のアクティブ・エッジが早期に発生して、現行のスロットが次のスロットの開始予定時間までに完了しない場合。
- TDM モードでは、フレーム同期は（サイクルが早くもなく遅くもなく）正確にビット・クロックの間、かつスロット 0 の前でのみ発生しなければならないという制約があります。この条件を満たさない場合、予期しないフレーム同期が発生します。

予期せぬフレーム同期が発生する場合、その予期せぬフレーム同期が発生するタイミングに応じて実行可能な 2 つのアクションがあります。

1. 早期発生する場合 : 早期発生する予期せぬフレーム同期は、McASP が現行フレームの処理中で、かつ新規フレーム同期が検出された場合に発生します（1 または 2 ビット・フレーム同期遅延によるオーバーラップは含まれません）。予期せぬフレーム同期が発生する場合、次のようになります。
 - エラー割り込みフラグがセットされます（予期せぬ送信フレーム同期が発生する場合は XSYNCERR、予期せぬ受信フレーム同期が発生する場合は RSYNCERR）。
 - 現行フレームは再同期しません。現行フレームの転送は完了します。現行フレームの完了後に発生する次のフレーム同期は再同期されます。
2. 遅延発生する場合 : 遅延発生する予期せぬフレーム同期は、前フレームの最終ビットと次フレームの先頭ビットの間にギャップまたは遅延がある場合に発生します。予期せぬフレーム同期が発生する場合（ギャップが検出された直後）、次のようになります。

エラー処理および管理

- － エラー割り込みフラグがセットされます（予期せぬ送信フレーム同期が発生する場合は XSYNCERR、予期せぬ受信フレーム同期が発生する場合は RSYNCERR）。
- － 次のフレーム同期において再同期が行われます。

遅延フレーム同期はバースト・モードと TDM モードの両方で同様に検出されますが、バースト・モードでは遅いフレーム同期は意味がなく、その割り込みイネーブルはセットされません。

3.6.2 バッファ・アンダーラン・エラー – トランスミッタ

バッファ・アンダーランは、トランスミッタとしてプログラムされているシリアルライザに対してのみ発生します。バッファ・アンダーランは、シリアルライザが XRBUF[n] から XRSR[n] にデータを転送するように送信ステート・マシンから指示されているが、最後に転送が行われてから XRBUF[n] に新規データが書き込まれていない場合に発生します。これが発生すると、送信ステート・マシンは XUNDRN フラグをセットします。

アンダーランは 1 タイム・スロットごとに一度だけチェックされます。アンダーラン状況が発生すると、XUNDRN フラグがセットされます。XUNDRN フラグは一度セットされると、DSP が XUNDRN ビットをクリアするために明示的に XUNDRN ビットに 1 を書き込むまでセットされた状態を保ちます。

DIT モードでは、アンダーランが発生すると、2 つの BMC ゼロがシフトアウトされます（ $128 \times fs$ で 4 ビット）。2 つのゼロをシフトアウトすることで、レシーバでクロックが復元する可能性があります。復帰するには、McASP をリセットして、適切に初期化を行って再開します。

TDM モードでは、アンダーランの場合、DAC をミュートさせるために長い連続したゼロがシフトアウトされます。復元するには、McASP をリセットして、適切に初期化を行って再開します。

3.6.3 バッファ・オーバーラン・エラー – レシーバ

バッファ・オーバーランは、レシーバとしてプログラムされているシリアルライザに対してのみ発生します。バッファ・オーバーランは、シリアルライザが XRSR[n] から XRBUF[n] にデータを転送するように指示されているが、XRBUF[n] が DMA または DSP のどちらからも読み出されていない場合に発生します。これが発生すると、受信ステート・マシンが ROVRN フラグをセットします。しかし、個々のシリアルライザは XRBUF[n] レジスタのデータを上書きして（前のサンプルを破棄）、シフトを続行します。

オーバーランは 1 タイム・スロットごとに一度だけチェックされます。オーバーラン状況が発生すると、ROVRN フラグがセットされます。あるタイム・スロットでオーバーランが発生している一方で、DSP が遅れを取り戻して次のタイム・スロットでオーバーランを発生させないようにできます。しかし、ROVRN フラグは一度セットされると、DSP が ROVRN ビットをクリアするために明示的に ROVRN ビットに 1 を書き込むまでセットされた状態を保ちます。

3.6.4 DMA エラー – トランスミッタ

送信 DMA エラーは、DMA（または CPU）が McASP の DAT ポートに転送数より多いワードを書いた場合に発生します。送信 DMA エラーは、XSTAT レジスタの XDMAERR フラグで示されます。DMA イベントごとに、DMA はトランスミッタとしてイネーブルになっているシリアルライザと同じ数のワードを書き込まなければなりません。

XDMAERR は、指定の送信 DMA イベントに対して DMA（または CPU）が McASP に書き込んだワードが多すぎたことを示します。書き込むワードが少なすぎると、送信アンダーラン・エラーにより XSTAT の XUNDRN がセットされます。

XDMAERR がごくまれに発生する場合は、McASP と DMA または CPU の間の同期が著しく失われていることを示しています。McASP トランスミッタと DMA の両方を再初期化して、これらを再同期する必要があります。

3.6.5 DMA エラー – レシーバ

受信 DMA エラーは、DMA（または CPU）が McASP の DAT ポートから転送数より多いワードを読み込んだ場合に発生します。受信 DMA エラーは、RSTAT レジスタの RDMAERR フラグで示されます。DMA イベントごとに、DMA はレシーバとしてイネーブルになっているシリアルライザと同じ数のワードを読み出さなければなりません。

RDMAERR は、指定の受信 DMA イベントに対して DMA（または CPU）が McASP から読み取ったワードが多すぎたことを示します。読み出すワードが少なすぎると、受信オーバーラン・エラーにより RSTAT の ROVRN がセットされます。

RDMAERR がごくまれに発生する場合は、McASP と DMA または CPU の間の同期が著しく失われていることを示しています。McASP レシーバと DMA の両方を再初期化して、これらを再同期する必要があります。

3.6.6 クロック障害検出

3.6.6.1 クロック障害チェックの起動

少なくとも 1 回の測定が行われるまで、クロック障害回路によりエラーが生成されることが予想されます。このため、クロック障害割り込み、クロック切り替え、およびミュート機能は即座にイネーブルにするのではなく、特定の起動手順を実行した後でのみイネーブルにします。起動手順は次のとおりです。

1. 送信クロック障害チェックの場合
 - a. トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) で送信クロック障害検出ロジック (XMIN, XMAX, XPS) を設定します。
 - b. トランスミット・ステータス・レジスタ (XSTAT) の送信クロック障害フラグ (XCKFAIL) をクリアします。
 - c. 最初の測定が行われるまで待機します (32 AHCLKX クロック周期より長時間)。
 - d. クロック障害が検出されないことを確認します。
 - e. クロックが動作してクロック障害エラーが出なくなるまで、手順 b ~ d を繰り返します。
 - f. 送信クロックが測定されて許容範囲内になったら、次の設定をイネーブルにすることができます。
 - i. トランスミット・インタラプト・コントロール・レジスタ (XINTCTL) の送信クロック障害割り込みイネーブル・ビット (XCKFAIL)
 - ii. トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) の送信クロック障害検出自動切り替えイネーブル・ビット (XCKFAILSW)
 - iii. ミュート・コントロール・レジスタ (AMUTE) のミュート・オプション (XCKFAIL)
2. 受信クロック障害チェックの場合
 - a. レシーバ・クロック・チェック・コントロール・レジスタ (RCLKCHK) で受信クロック障害検出ロジック (RMIN, RMAX, RPS) を設定します。
 - b. レシーバ・ステータス・レジスタ (RSTAT) で受信クロック障害フラグ (RCKFAIL) をクリアします。
 - c. 最初の測定が行われるまで待機します (32 AHCLKR クロック周期より長時間)。
 - d. クロック障害が検出されないことを確認します。
 - e. クロックが動作してクロック障害エラーが出なくなるまで、手順 b ~ d を繰り返します。
 - f. 受信クロックが測定されて許容範囲内になったら、次の設定をイネーブルにすることができます。
 - i. レシーバ・インタラプト・コントロール・レジスタ (RINTCTL) の受信クロック障害割り込みイネーブル・ビット (RCKFAIL)
 - ii. ミュート・コントロール・レジスタ (AMUTE) のミュート・オプション (RCKFAIL)

3.6.6.2 送信クロック障害チェックおよびリカバリー

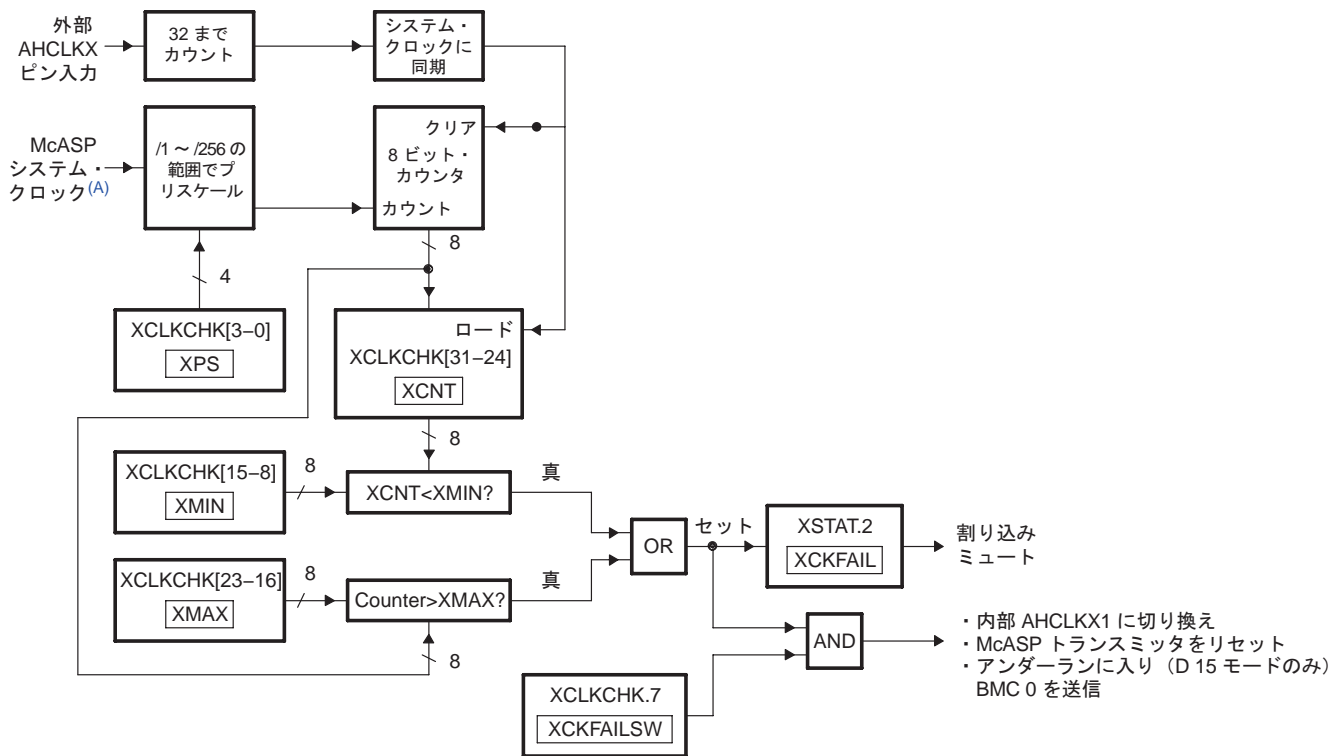
送信クロック障害チェック回路 (図 3-11) は、内部 McASP システム・クロックと外部高周波シリアル・クロック (AHCLKX) の両方に対して機能します。システム・クロック数を 32 高速シリアル・クロック (AHCLKX) 周期ごとに継続的にカウントし、そのカウントをトランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) の XCNT に 32 高速シリアル・クロック・サイクルごとに格納します。

ロジックはそのカウントをユーザー定義の最小許容境界 (XMIN) と比較して、範囲外の状況が発生したときに自動的に割り込みフラグを立てます (XSTAT の XCKFAIL)。カウントが XMIN より小さい場合は、範囲外の最小状況が発生します。ロジックは現行カウント (実行中のシステム・クロック・カウンタから) を最大許容境界 (XMAX) と継続的に比較します。これは外部クロックが完全に停止して、カウンタの値が XCNT にコピーされない場合のためです。カウントが XMAX より大きい場合は、範囲外の最大状況が発生します。XMIN フィールドと XMAX フィールドは 8 ビットの符号なし値で、この比較は符号なし演算を使用して実行されます。

範囲外のカウントは、不安定なクロックが検出されたこと、またはオーディオ・ソースが変更されて新しいサンプル・レートが使用されていることを示します。

送信クロック障害チェック回路が正常に動作するためには、AHCLKX が内部生成か外部ソースであるかに関わらず、高周波シリアル・クロック分周器がリセットから解除されなければなりません。

図 3-11. 送信クロック障害検出回路のブロック図



A McASP システムのクロック・ソースについては、デバイスのデータシートを参照してください。これは AUXCLK とは異なります。

クロック障害を検出すると、次のアクションが実行されます。

1. XSTAT の送信クロック障害フラグ (XCKFAIL) がセットされます。XINTCTL の送信クロック障害割り込みイネーブル・ビット (XCKFAIL) がセットされている場合は、これにより割り込みが発生します。

さらに、XCLKCHK の送信クロック障害検出自動切り替えイネーブル・ビット (XCKFAILSW) がセットされていると、次の追加手順が実行されてクロック・ソースが外部から内部に変更されます (これは、DIT モードでのみサポートされています)。

1. AHCLKXCTL の高周波送信クロック・ソース・ビット (HCLKXM) が 1 にセットされ、内部シリアル・クロック分周器が選択されます。しかし、XCKFAIL がセットされる一方、AHCLKX ピンの方向は出力に変更されません。
2. 内部クロック分周器がリセットされます。しかし、AHCLKXCTL の送信分周比ビット (HCLKXDIV) は影響を受けないため、内部クロック分周器は設定されたレートでクロックを生成します。
3. 送信セクションが 1 シリアル・クロック周期の間リセットされます。
4. 送信セクションがリセットから解除され、送信開始を試行します。データが使用可能な場合はただちに送信を開始し、それ以外の場合はアンダーラン状態に入ります。初期のアンダーランは必ず発生し、最初にパターン 1100 (BMC ゼロ) がシフトアウトされます。

外部クロックに戻すには、次のアクションを実行します。

1. 外部クロックが再度安定するまで待機します。これは XCLKCHK の送信クロック・カウンタ (XCNT) をポーリングすることでチェックできます。
2. 3.6.6.1 項の起動手順に従って、送信セクションをリセットします。

3.6.6.3 受信クロック障害チェックおよびリカバリー

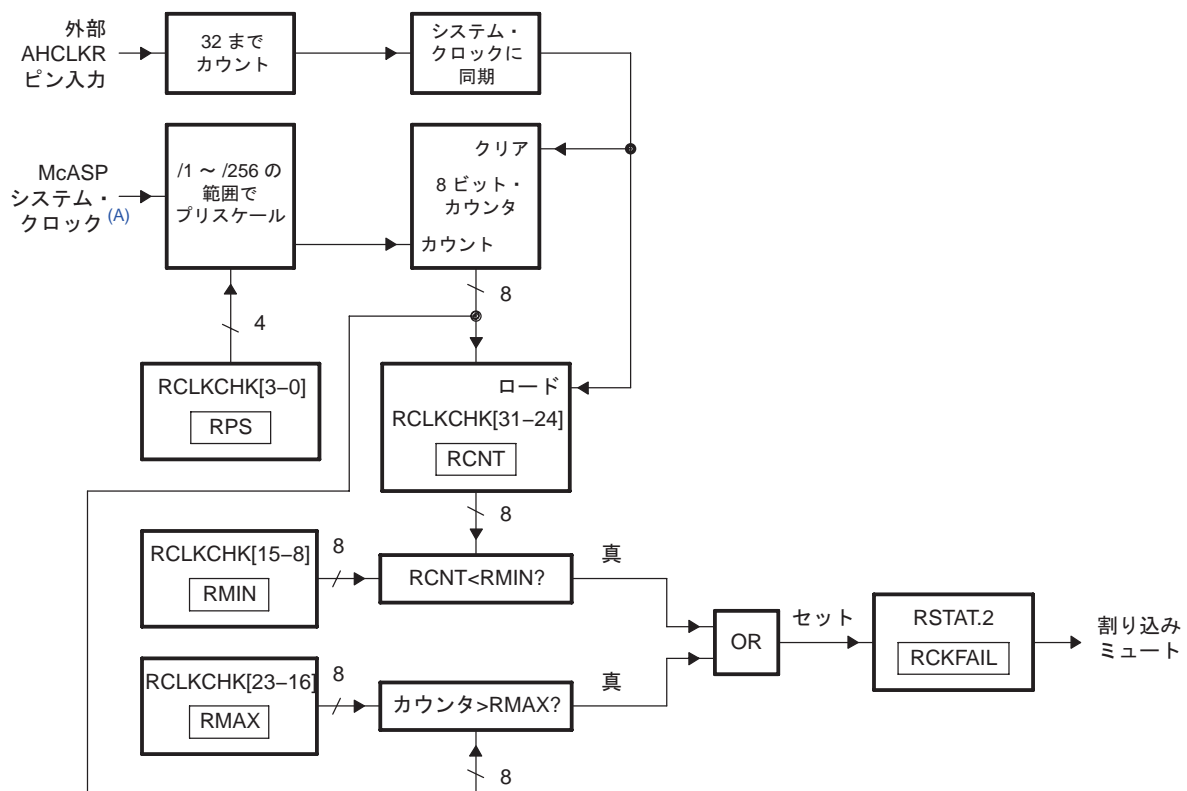
受信クロック障害チェック回路 (図 3-12) は、内部 McASP システム・クロックと外部高周波シリアル・クロック (AHCLKR) の両方に対して機能します。システム・クロック数を 32 高速シリアル・クロック (AHCLKR) 期間ごとに継続的にカウントし、そのカウントをレシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK) の RCNT に 32 高速シリアル・クロック・サイクルごとに格納します。

ロジックはそのカウントをユーザー定義の最小許容境界 (RMIN) と比較して、範囲外の状況が発生したときに自動的に割り込みフラグを立てます (RSTAT の RCKFAIL)。カウントが RMIN より小さい場合は、範囲外の最小状況が発生します。ロジックは現行カウント (実行中のシステム・クロック・カウンタから) を最大許容境界 (RMAX) と継続的に比較します。これは外部クロックが完全に停止してカウンタの値が RCNT にコピーされない場合のためです。カウントが RMAX より大きい場合は、範囲外の最大状況が発生します。RMIN フィールドと RMAX フィールドは 8 ビットの符号なし値で、この比較は符号なし演算を使用して実行されます。

範囲外のカウントは、不安定なクロックが検出されたこと、またはオーディオ・ソースが変更されて新しいサンプル・レートが使用されていることを示します。

受信クロック障害チェック回路が正常に動作するためには、AHCLKR が内部生成か外部ソースであるかに関わらず、高周波シリアル・クロック分周器がリセットから解除されなければなりません。

図 3-12. 受信クロック障害検出回路のブロック図



A McASP システムのクロック・ソースについては、デバイスのデータシートを参照してください。これは AUXCLK とは異なります。

3.7 ループバック・モード

McASP には、1 つの DSP デバイスで TDM モードの McASP コードをテストできるデジタル・ループバック・モード (DLB) があります。ループバック・モードでは、送信シリアライザの出力が受信シリアライザの入力に内部で接続されます。このため、受信データを送信データと照合して、McASP の設定が正しいことを確認できます。デジタル・ループバック・モードは、TDM モードにのみ適用されます (1 フレームに 2 ~ 32 スロット)。これは DIT モード (XMOD = 180h) またはバースト・モード (XMOD = 0) には適用されません。

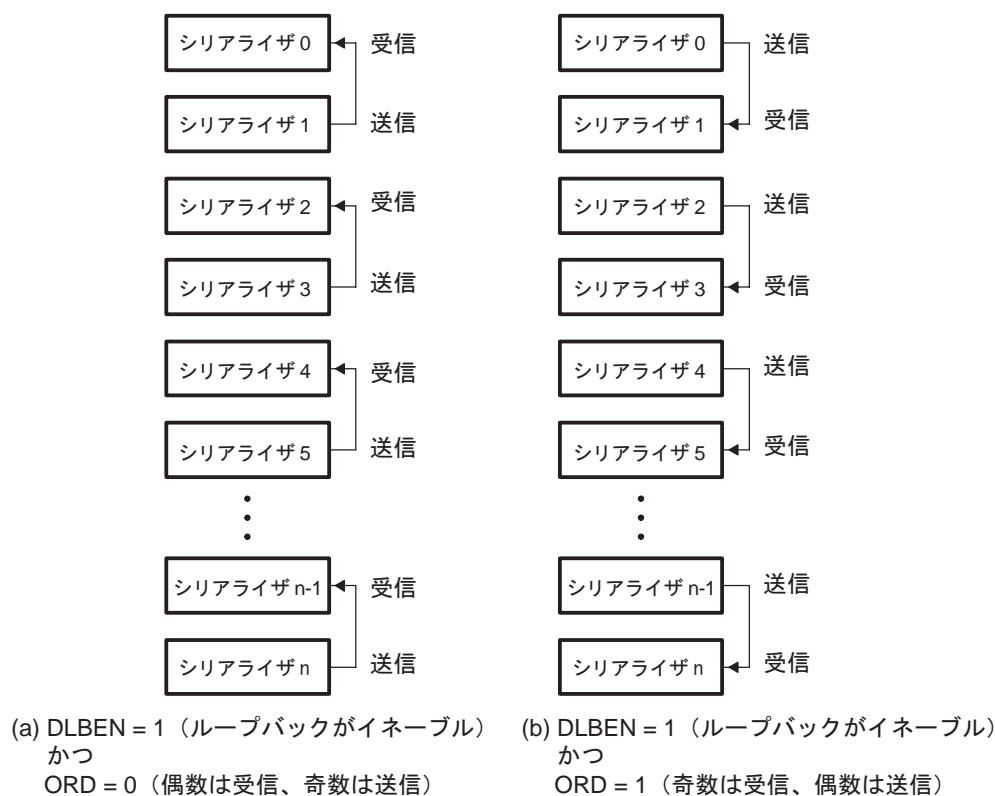
図 3-13 に、ループバック・モードでのシリアライザの基本的なロジックの接続を示します。2 つのタイプのループバック接続が可能です。これはデジタル・ループバック・コントロール・レジスタ (DLBCTL) の ORD ビットで次のように選択されます。

- **ORD = 0:** 奇数シリアライザの出力が偶数シリアライザの入力に接続されます。このモードが選択されている場合は、奇数シリアライザをトランスミッタに、偶数シリアライザをレシーバに設定する必要があります。
- **ORD = 1:** 偶数シリアライザの出力が奇数シリアライザの入力に接続されます。このモードが選択されている場合は、偶数シリアライザをトランスミッタに、奇数シリアライザをレシーバに設定する必要があります。

ピンが McASP 出力ピンとして設定されている場合 (対応する PFUNC ビットを 0、PDIR ビットを 1 にセット)、データが送信シリアライザの I/O ピンで外部から見えるようになります。

ループバック・モードでは、送信クロックとフレーム同期が McASP の送信と受信の両セクションで使用されます。送信セクションと受信セクションは、同期して動作します。これは、DLBCTL レジスタの MODE ビットを 01b、ACLKXCTL レジスタの ASYNC ビットを 0 にセットすることにより実現されます。

図 3-13. ループバック・モードのシリアライザ



3.7.1 ループバック・モード構成

以下は、TDM フォーマットのデジタル・ループバック・モードに必要な設定のまとめになります。

- ループバック・モードをイネーブルにするために、DLBCTL の DLBEN ビットを 1 にセットしなければなりません。
- 送信クロックとフレーム同期ジェネレータを使用するために、送信セクションと受信セクションの両方に対して DLBCTL の MODE ビットを 01b にセットしなければなりません。
- 奇数または偶数のシリアライザをトランスミッタまたはレシーバとして選択するために、DLBCTL の ORD ビットを適切にプログラムしなければなりません。対応するシリアライザを適宜設定する必要があります。
- 送信と受信の同期動作を確保するために、ACLKXCTL の ASYNC ビットを 0 にクリアしなければなりません。
- TDM モードを指定するために、AFSRCTL の RMOD フィールドと AFSXCTL の XMOD フィールドを 2h ~ 20h にセットしなければなりません。ループバック・モードは、DIT またはバースト・モードには適用されません。

レジスタ

本章では、McASP のレジスタについて説明します。

4.1 レジスタ

表 4-1 に、McASP の制御レジスタの要約を示します。制御レジスタには、デバイスのコンフィグレーション・バスを介してアクセスします。レシーブ・バッファ・レジスタ (RBUF) とトランスミット・バッファ・レジスタ (XBUF) はデバイスのデータ・ポートを介してアクセスすることも可能です (表 4-2 を参照)。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 4-1. コンフィグレーション・バスを介してアクセスされる McASP レジスタ

オフセット	略称	レジスタの説明	参照先
0h	PID	ペリフェラル・アイデンティフィケーション・レジスタ	4.2 節
4h	PWRDEMU	パワー・ダウン・エミュレーション・マネージメント・レジスタ	4.3 節
10h	PFUNC	ピン・ファンクション・レジスタ	4.4 節
14h	PDIR	ピン・ディレクション・レジスタ	4.5 節
18h	PDOUT	ピン・データ・アウトプット・レジスタ	4.6 節
1Ch	PDIN	ピン・データ・インプット・レジスタ	4.7 節
1Ch	PDSET	ピン・データ・セット・レジスタ (代替書き込みアドレス: PDOUT)	4.8 節
20h	PDCLR	ピン・データ・クリア・レジスタ (代替書き込みアドレス: PDOUT)	4.9 節
44h	GBLCTL	グローバル・コントロール・レジスタ	4.10 節
48h	AMUTE	オーディオ・ミュート・コントロール・レジスタ	4.11 節
4Ch	DLBCTL	デジタル・ループバック・コントロール・レジスタ	4.12 節
50h	DITCTL	DIT モード・コントロール・レジスタ	4.13 節
60h	RGBLCTL	レシーバ・グローバル・コントロール・レジスタ。GBLCTL のエイリアス。受信ビットのみが影響を受けます。これによりレシーバはトランスミッタとは独立してリセットされます	4.14 節
64h	RMASK	レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ	4.15 節
68h	RFMT	レシーブ・ビット・ストリーム・フォーマット・レジスタ	4.16 節
6Ch	AFSRCTL	レシーブ・フレーム・シンク・コントロール・レジスタ	4.17 節
70h	ACLKRCTL	レシーブ・クロック・コントロール・レジスタ	4.18 節
74h	AHCLKRCTL	レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ	4.19 節
78h	RTDM	レシーブ TDM タイム・スロット 0-31 レジスタ	4.20 節
7Ch	RINTCTL	レシーバ・インタラプト・コントロール・レジスタ	4.21 節
80h	RSTAT	レシーバ・ステータス・レジスタ	4.22 節
84h	RSLOT	カレント・レシーブ TDM タイム・スロット・レジスタ	4.23 節
88h	RCLKCHK	レシーブ・クロック・チェック・コントロール・レジスタ	4.24 節
8Ch	REVTCTL	レシーバ DMA イベント・コントロール・レジスタ	4.25 節
ACh	XGBLCTL	トランスミッタ・グローバル・コントロール・レジスタ: GBLCTL のエイリアス。送信ビットのみが影響を受けます。これによりトランスミッタはレシーバとは独立してリセットされます。	4.26 節

表 4-1. コンフィグレーション・バスを介してアクセスされる McASP レジスタ (続き)

オフセット	略称	レジスタの説明	参照先
A4h	XMASK	トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ	4.27 節
A8h	XFMT	トランスミット・ビット・ストリーム・フォーマット・レジスタ	4.28 節
ACh	AFSXCTL	トランスミット・フレーム・シンク・コントロール・レジスタ	4.29 節
B0h	ACLKXCTL	トランスミット・クロック・コントロール・レジスタ	4.30 節
B4h	AHCLKXCTL	トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ	4.31 節
B8h	XTDM	トランスミット TDM タイム・スロット 0-31 レジスタ	4.32 節
BCh	XINTCTL	トランスミッタ・インタラプト・コントロール・レジスタ	4.33 節
C0h	XSTAT	トランスミッタ・ステータス・レジスタ	4.34 節
C4h	XSLOT	カレント・トランスミット TDM タイム・スロット・レジスタ	4.35 節
C8h	XCLKCHK	トランスミット・クロック・チェック・コントロール・レジスタ	4.36 節
CCh	XEVCTL	トランスミッタ DMA イベント・コントロール・レジスタ	4.37 節
100h	DITCSRA0	レフト (偶数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 0	4.39 節
104h	DITCSRA1	レフト (偶数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 1	4.39 節
108h	DITCSRA2	レフト (偶数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 2	4.39 節
10Ch	DITCSRA3	レフト (偶数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 3	4.39 節
110h	DITCSRA4	レフト (偶数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 4	4.39 節
114h	DITCSRA5	レフト (偶数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 5	4.39 節
118h	DITCSRB0	ライト (奇数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 0	4.40 節
11Ch	DITCSRB1	ライト (奇数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 1	4.40 節
120h	DITCSRB2	ライト (奇数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 2	4.40 節
124h	DITCSRB3	ライト (奇数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 3	4.40 節
128h	DITCSRB4	ライト (奇数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 4	4.40 節
12Ch	DITCSRB5	ライト (奇数の TDM タイム・スロット) チャネル・ステータス・レジスタ (DIT モード) 5	4.40 節
130h	DITUDRA0	レフト (偶数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 0	4.41 節
134h	DITUDRA1	レフト (偶数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 1	4.41 節
138h	DITUDRA2	レフト (偶数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 2	4.41 節
13Ch	DITUDRA3	レフト (偶数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 3	4.41 節
140h	DITUDRA4	レフト (偶数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 4	4.41 節
144h	DITUDRA5	レフト (偶数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 5	4.41 節
148h	DITUDRB0	ライト (奇数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 0	4.42 節
14Ch	DITUDRB1	ライト (奇数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 1	4.42 節
150h	DITUDRB2	ライト (奇数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 2	4.42 節
154h	DITUDRB3	ライト (奇数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 3	4.42 節
158h	DITUDRB4	ライト (奇数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 4	4.42 節
15Ch	DITUDRB5	ライト (奇数の TDM タイム・スロット) チャネル・ユーザー・データ・レジスタ (DIT モード) 5	4.42 節
180h	SRCTL0	シリアライザ・コントロール・レジスタ 0	4.38 節
184h	SRCTL1	シリアライザ・コントロール・レジスタ 1	4.38 節
188h	SRCTL2	シリアライザ・コントロール・レジスタ 2	4.38 節
18Ch	SRCTL3	シリアライザ・コントロール・レジスタ 3	4.38 節
190h	SRCTL4	シリアライザ・コントロール・レジスタ 4	4.38 節
194h	SRCTL5	シリアライザ・コントロール・レジスタ 5	4.38 節
198h	SRCTL6	シリアライザ・コントロール・レジスタ 6	4.38 節
19Ch	SRCTL7	シリアライザ・コントロール・レジスタ 7	4.38 節
1A0h	SRCTL8	シリアライザ・コントロール・レジスタ 8	4.38 節

表 4-1. コンフィグレーション・バスを介してアクセスされる McASP レジスタ (続き)

オフセット	略称	レジスタの説明	参照先
1A4h	SRCTL9	シリアライザ・コントロール・レジスタ 9	4.38 節
1A8h	SRCTL10	シリアライザ・コントロール・レジスタ 10	4.38 節
1ACh	SRCTL11	シリアライザ・コントロール・レジスタ 11	4.38 節
1B0h	SRCTL12	シリアライザ・コントロール・レジスタ 12	4.38 節
1B4h	SRCTL13	シリアライザ・コントロール・レジスタ 13	4.38 節
1B8h	SRCTL14	シリアライザ・コントロール・レジスタ 14	4.38 節
1BCh	SRCTL15	シリアライザ・コントロール・レジスタ 15	4.38 節
200h	XBUF0	シリアライザ 0 トランスミット・バッファ・レジスタ	4.43 節
204h	XBUF1	シリアライザ 1 トランスミット・バッファ・レジスタ	4.43 節
208h	XBUF2	シリアライザ 2 トランスミット・バッファ・レジスタ	4.43 節
20Ch	XBUF3	シリアライザ 3 トランスミット・バッファ・レジスタ	4.43 節
210h	XBUF4	シリアライザ 4 トランスミット・バッファ・レジスタ	4.43 節
214h	XBUF5	シリアライザ 5 トランスミット・バッファ・レジスタ	4.43 節
218h	XBUF6	シリアライザ 6 トランスミット・バッファ・レジスタ	4.43 節
21Ch	XBUF7	シリアライザ 7 トランスミット・バッファ・レジスタ	4.43 節
220h	XBUF8	シリアライザ 8 トランスミット・バッファ・レジスタ	4.43 節
224h	XBUF9	シリアライザ 9 トランスミット・バッファ・レジスタ	4.43 節
228h	XBUF10	シリアライザ 10 トランスミット・バッファ・レジスタ	4.43 節
22Ch	XBUF11	シリアライザ 11 トランスミット・バッファ・レジスタ	4.43 節
230h	XBUF12	シリアライザ 12 トランスミット・バッファ・レジスタ	4.43 節
234h	XBUF13	シリアライザ 13 トランスミット・バッファ・レジスタ	4.43 節
238h	XBUF14	シリアライザ 14 トランスミット・バッファ・レジスタ	4.43 節
23Ch	XBUF15	シリアライザ 15 トランスミット・バッファ・レジスタ	4.43 節
280h	RBUF0	シリアライザ 0 レシーブ・バッファ・レジスタ	4.44 節
284h	RBUF1	シリアライザ 1 レシーブ・バッファ・レジスタ	4.44 節
288h	RBUF2	シリアライザ 2 レシーブ・バッファ・レジスタ	4.44 節
28Ch	RBUF3	シリアライザ 3 レシーブ・バッファ・レジスタ	4.44 節
290h	RBUF4	シリアライザ 4 レシーブ・バッファ・レジスタ	4.44 節
294h	RBUF5	シリアライザ 5 レシーブ・バッファ・レジスタ	4.44 節
298h	RBUF6	シリアライザ 6 レシーブ・バッファ・レジスタ	4.44 節
29Ch	RBUF7	シリアライザ 7 レシーブ・バッファ・レジスタ	4.44 節
2A0h	RBUF8	シリアライザ 8 レシーブ・バッファ・レジスタ	4.44 節
2A4h	RBUF9	シリアライザ 9 レシーブ・バッファ・レジスタ	4.44 節
2A8h	RBUF10	シリアライザ 10 レシーブ・バッファ・レジスタ	4.44 節
2ACh	RBUF11	シリアライザ 11 レシーブ・バッファ・レジスタ	4.44 節
2B0h	RBUF12	シリアライザ 12 レシーブ・バッファ・レジスタ	4.44 節
2B4h	RBUF13	シリアライザ 13 レシーブ・バッファ・レジスタ	4.44 節
2B8h	RBUF14	シリアライザ 14 レシーブ・バッファ・レジスタ	4.44 節
2BCh	RBUF15	シリアライザ 15 レシーブ・バッファ・レジスタ	4.44 節

表 4-2. データ・ポートを介してアクセスされる McASP レジスタ

16 進アドレス	レジスタ名	レジスタの説明
リード・アクセス	RBUF	受信バッファ・データ・ポート・アドレス。受信シリアライザを循環して、送信シリアライザとインアクティブ・シリアライザをスキップします。各タイム・スロットの始めに最下位のシリアライザから開始します。XBUSEL=0 の場合のみデータ・ポートからリードします。
ライト・アクセス	XBUF	送信バッファ・データ・ポート・アドレス。送信シリアライザを循環して、受信シリアライザとインアクティブ・シリアライザをスキップします。各タイム・スロットの始めに最下位のシリアライザから開始します。RBUSEL=0 の場合のみデータ・ポートにライトします。

4.2 ペリフェラル・アイデンティフィケーション・レジスタ (PID)

ペリフェラル・アイデンティフィケーション・レジスタ (PID) には、ペリフェラルの識別データ (クラス、リビジョン、およびタイプ) が含まれます。図 4-1 および表 4-3 に、PID を示します。

図 4-1. ペリフェラル・アイデンティフィケーション・レジスタ (PID) [オフセット 0h]

31	24	23	16
Reserved ^(A)		TYPE	
R-0		R-10h	
15	8	7	0
CLASS		REV	
R-01h		R-x ^(B)	

凡例: R = 読み取りのみ。-n = リセット後の値。

- A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
 B このフィールドのデフォルト値については、各デバイスのデータシートを参照してください。

表 4-3. ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明

ビット	フィールド	値	説明
31-24	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
23-16	TYPE	10h	ペリフェラルのタイプを識別します。 McASP
15-8	CLASS	1	ペリフェラルのクラスを識別します。 シリアルポート
7-0	REV	x	ペリフェラルのリビジョンを識別します。 この値については、各デバイスのデータシートを参照してください。

4.3 パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU)

図 4-2 および表 4-4 に、パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU) を示します。

図 4-2. パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU) [オフセット 4h]

31	Reserved ^(A)	16
R-0		
15	Reserved ^(A)	1 0
R-0		R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-4. パワー・ダウン・エミュレーション・マネージメント・レジスタ (PWRDEMU) フィールドの説明

ビット	フィールド	値	説明
31-1	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
0	FREE	0	フリーランニング・モード・イネーブル・ビット。このビットにより、エミュレーション停止時のシリアルポート・クロックの状態が決まります。
		1	フリーランニング・モードはイネーブル。ペリフェラルはエミュレーション中断信号を無視して、引き続き通常どおり機能します。エミュレーションを中断している間、DMA 要求は引き続き生成されて DMA により処理されます。エラー状況は通常どおり通知されます。

4.4 ピン・ファンクション・レジスタ (PFUNC)

ピン・ファンクション・レジスタ (PFUNC) は、AXR[n]、ACLKX、AHCLKX、AFSX、ACLKR、AHCLKR、および AFSR のピンの機能を McASP ピンまたは汎用入出力 (GPIO) ピンとして指定します。図 4-3 および表 4-5 に、PFUNC を示します。

注意

予約ビットへの書き込み

このレジスタの予約ビットに 0 以外の値を書き込むと、デバイスが正常に動作しない場合があります。これには特定の DSP に実装されていないビットも含まれます。

図 4-3. ピン・ファンクション・レジスタ (PFUNC) [オフセット 10h]

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved ^(A)						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(B)	AXR14 ^(B)	AXR13 ^(B)	AXR12 ^(B)	AXR11 ^(B)	AXR10 ^(B)	AXR9 ^(B)	AXR8 ^(B)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

B DA6x DSP のみ。C6713 DSP では予約。

表 4-5. ピン・ファンクション・レジスタ (PFUNC) フィールドの説明

ビット	フィールド	値	説明
31	AFSR	0	AFSR ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
30	AHCLKR	0	AHCLKR ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
29	ACLKR	0	ACLKR ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
28	AFSX	0	AFSX ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
27	AHCLKX	0	AHCLKX ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
26	ACLKX	0	ACLKX ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
25	AMUTE	0	AMUTE ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
24-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドに 0 以外の値を書き込まないでください。
15-8	AXR[15-8] ⁽¹⁾	0	AXR[n] ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。
7-0	AXR[7-0]	0	AXR[n] ピンが McASP または GPIO のいずれかで機能するか決定します。 ピンは McASP ピンとして機能します。
		1	ピンは GPIO ピンとして機能します。

(1) DA6x DSP のみ。C6713 DSP では予約。

4.5 ピン・ディレクション・レジスタ (PDIR)

ピン・ディレクション・レジスタ (PDIR) は、AXR[n]、ACLKX、AHCLKX、AFSX、ACLKR、AHCLKR、および AFSR のピンの方向を入力ピンまたは出力ピンとして指定します。図 4-4 および表 4-6 に、PDIR を示します。

ピン・ファンクション・レジスタ (PFUNC) の設定に関係なく、指定のピンを出力にするためには、各 PDIR ビットに 1 をセットする必要があり、また指定のピンを入力にするためには、各 PDIR ビットを 0 にクリアする必要があります。

たとえば、McASP が内部生成したビット・クロックを使用するように設定されていて、クロックがシステムへドライブされる場合、PFUNC ビットを 0 (McASP 機能) にクリアして、PDIR ビットを 1 (出力) にセットする必要があります。

AXR[n] が送信に設定されている場合は、PFUNC ビットを 0 (McASP 機能) にクリアして、PDIR ビットを 1 (出力) にセットする必要があります。同様に、AXR[n] が受信に設定されている場合は、PFUNC ビットを 0 (McASP 機能) にクリアして、PDIR ビットを 0 (入力) にクリアする必要があります。

注意

予約ビットへの書き込み

このレジスタの予約ビットに 0 以外の値を書き込むと、デバイスが正常に動作しない場合があります。これには特定の DSP に実装されていないビットも含まれます。

図 4-4. ピン・ディレクション・レジスタ (PDIR) [オフセット 14h]

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved ^(A)						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(B)	AXR14 ^(B)	AXR13 ^(B)	AXR12 ^(B)	AXR11 ^(B)	AXR10 ^(B)	AXR9 ^(B)	AXR8 ^(B)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

B DA6x DSP のみ。C6713 DSP では予約。

表 4-6. ピン・ディレクション・レジスタ (PDIR) フィールドの説明

ビット	フィールド	値	説明
31	AFSR	0	AFSR ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
30	AHCLKR	0	AHCLKR ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
29	ACLKR	0	ACLKR ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
28	AFSX	0	AFSX ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
27	AHCLKX	0	AHCLKX ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
26	ACLKX	0	ACLKX ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
25	AMUTE	0	AMUTE ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
24-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドに 0 以外の値を書き込まないでください。
15-8	AXR[15-8] ⁽¹⁾	0	AXR[n] ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。
7-0	AXR[7-0]	0	AXR[n] ピンが入力または出力のいずれかで機能するか決定します。 ピンは入力として機能します。
		1	ピンは出力として機能します。

⁽¹⁾ DA6x DSP のみ。C6713 DSP では予約。

4.6 ピン・データ・アウトプット・レジスタ (PDOUT)

ピン・データ・アウトプット・レジスタ (PDOUT) は、常に出力データの値を保持し、常にリードバックされます。PDOUT が保持している値は、PDIR と PFUNC への書き込みによる影響を受けることはありません。ただし、PDOUT のデータ値が McASP ピンへドライブされるのは、PFUNC の対応するビットが 1 (GPIO 機能) にセットされ、PDIR の対応するビットが 1 (出力) にセットされている場合のみです。データをリードする場合、I/O ピンからの入力ではなく、PDOUT[n] の対応するビット値を返します。データをライトする場合、対応する PDOUT[n] ビットに書き込みます。図 4-5 および表 4-7 に、PDOUT を示します。

PDOUT には次のエイリアスまたは代替アドレスがあります。

- **PDSET:** このアドレスに書き込む場合、PDSET のビットに 1 を書き込むと PDOUT の対応するビットが 1 にセットされます。0 を書き込んでも影響がなく、PDOUT のビットは変更されません。
- **PDCLR:** このアドレスに書き込む場合、PDCLR のビットに 1 を書き込むと PDOUT の対応するビットが 0 にクリアされます。0 を書き込んでも影響がなく、PDOUT のビットは変更されません。

出力データ・ビットのセットは、PDOUT[31-0] のみです。その他のレジスタ PDSET と PDCLR は、同じ制御ビットに対してアドレスが異なるだけで、書き込み時の動作が異なります。

注意

予約ビットへの書き込み

このレジスタの予約ビットに 0 以外の値を書き込むと、デバイスが正常に動作しない場合があります。これには特定の DSP に実装されていないビットも含まれます。

図 4-5. ピン・データ・アウトプット・レジスタ (PDOUT) [オフセット 18h]

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved ^(A)						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(B)	AXR14 ^(B)	AXR13 ^(B)	AXR12 ^(B)	AXR11 ^(B)	AXR10 ^(B)	AXR9 ^(B)	AXR8 ^(B)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

B DA6x DSP のみ。C6713 DSP では予約。

表 4-7. ピン・データ・アウトプット・レジスタ (PDOUT) フィールドの説明

ビット	フィールド	値	説明
31	AFSR	0 1	PFUNC[31] ビットと PDIR[31] ビットが 1 にセットされたときの AFSR 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
30	AHCLKR	0 1	PFUNC[30] ビットと PDIR[30] ビットが 1 にセットされたときの AHCLKR 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
29	ACLKR	0 1	PFUNC[29] ビットと PDIR[29] ビットが 1 にセットされたときの ACLKR 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
28	AFSX	0 1	PFUNC[28] ビットと PDIR[28] ビットが 1 にセットされたときの AFSX 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
27	AHCLKX	0 1	PFUNC[27] ビットと PDIR[27] ビットが 1 にセットされたときの AHCLKX 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
26	ACLKX	0 1	PFUNC[26] ビットと PDIR[26] ビットが 1 にセットされたときの ACLKX 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
25	AMUTE	0 1	PFUNC[25] ビットと PDIR[25] ビットが 1 にセットされたときの AMUTE 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
24-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドに 0 以外の値を書き込まないでください。
15-8	AXR[15-8] ⁽¹⁾	0 1	PFUNC[n] ビットと PDIR[n] ビットが 1 にセットされたときの AXR[n] 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。
7-0	AXR[7-0]	0 1	PFUNC[n] ビットと PDIR[n] ビットが 1 にセットされたときの AXR[n] 出力ピンのドライブを決定します。 ピンは Low をドライブします。 ピンは High をドライブします。

⁽¹⁾ DA6x DSP のみ。C6713 DSP では予約。

4.7 ピン・データ・インプット・レジスタ (PDIN)

ピン・データ・インプット・レジスタ (PDIN) は、各 McASP ピンの I/O ピンの状態を保持します。PDIN を使用すると PFUNC と PDIR の状態に関係なく、ピンの実際の値を読み取ることができます。レジスタ 1 ~ 15 と 24 ~ 31 のリセット後の値は、ピンのドライブ状態によって異なります。図 4-6 および表 4-8 に、PDIN を示します。

注意

予約ビットへの書き込み

このレジスタの予約ビットに 0 以外の値を書き込むと、デバイスが正常に動作しない場合があります。これには特定の DSP に実装されていないビットも含まれます。

図 4-6. ピン・データ・インプット・レジスタ (PDIN) [オフセット 1Ch]

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved ^(A)						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(B)	AXR14 ^(B)	AXR13 ^(B)	AXR12 ^(B)	AXR11 ^(B)	AXR10 ^(B)	AXR9 ^(B)	AXR8 ^(B)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

B DA6x DSP のみ。C6713 DSP では予約。

表 4-8. ピン・データ・インプット・レジスタ (PDIN) フィールドの説明

ビット	フィールド	値	説明
31	AFSR	0	AFSR ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
30	AHCLKR	0	AHCLKR ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
29	ACLKR	0	ACLKR ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
28	AFSX	0	AFSX ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
27	AHCLKX	0	AHCLKX ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
26	ACLKX	0	ACLKX ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
25	AMUTE	0	AMUTE ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
24-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドに 0 以外の値を書き込まないでください。
15-8	AXR[15-8] ⁽¹⁾	0	AXR[n] ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。
7-0	AXR[7-0]	0	AXR[n] ピンの論理レベル。 ピンは論理 Low。
		1	ピンは論理 High。

(1) DA6x DSP のみ。C6713 DSP では予約。

4.8 ピン・データ・セット・レジスタ (PDSET)

ピン・データ・セット・レジスタ (PDSET) は、書き込み専用のピン・データ・アウトプット・レジスタ (PDOUT) のエイリアスです。PDSET ビットに 1 を書き込むと PDOUT の対応するビットがセットされ、PFUNC = 1 (GPIO 機能) および PDIR = 1 (出力) の場合に論理 High をドライブします。PDSET は同一の McASP で制御される他の I/O ピンに影響を与えずに、システム内の目的のピンのみを論理 High にセットできるため、マルチタスク・システムに有効です。図 4-7 および表 4-9 に、PDSET を示します。

注意

予約ビットへの書き込み

このレジスタの予約ビットに 0 以外の値を書き込むと、デバイスが正常に動作しない場合があります。これには特定の DSP に実装されていないビットも含まれます。

図 4-7. ピン・データ・セット・レジスタ (PDSET) [オフセット 1Ch]

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved ^(A)						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(B)	AXR14 ^(B)	AXR13 ^(B)	AXR12 ^(B)	AXR11 ^(B)	AXR10 ^(B)	AXR9 ^(B)	AXR8 ^(B)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

B DA6x DSP のみ。C6713 DSP では予約。

表 4-9. ピン・データ・セット・レジスタ (PDSET) フィールドの説明

ビット	フィールド	値	説明
31	AFSR	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AFSR ビットを論理 High にセットします。 影響なし。 PDOUT[31] ビットは 1 にセットされます。
30	AHCLKR	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AHCLKR ビットを論理 High にセットします。 影響なし。 PDOUT[30] ビットは 1 にセットされます。
29	ACLKR	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する ACLKR ビットを論理 High にセットします。 影響なし。 PDOUT[29] ビットは 1 にセットされます。
28	AFSX	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AFSX ビットを論理 High にセットします。 影響なし。 PDOUT[28] ビットは 1 にセットされます。
27	AHCLKX	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AHCLKX ビットを論理 High にセットします。 影響なし。 PDOUT[27] ビットは 1 にセットされます。
26	ACLKX	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する ACLKX ビットを論理 High にセットします。 影響なし。 PDOUT[26] ビットは 1 にセットされます。
25	AMUTE	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AMUTE ビットを論理 High にセットします。 影響なし。 PDOUT[25] ビットは 1 にセットされます。
24-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドに 0 以外の値を書き込まないでください。
15-8	AXR[15-8] ⁽¹⁾	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AXR[n] ビットを論理 High にセットします。 影響なし。 PDOUT[n] ビットは 1 にセットされます。
7-0	AXR[7-0]	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AXR[n] ビットを論理 High にセットします。 影響なし。 PDOUT[n] ビットは 1 にセットされます。

⁽¹⁾ DA6x DSP のみ。C6713 DSP では予約。

4.9 ピン・データ・クリア・レジスタ (PDCLR)

ピン・データ・クリア・レジスタ (PDCLR) は、書き込み専用のピン・データ・アウトプット・レジスタ (PDOUT) のエイリアスです。PDCLR ビットに 1 を書き込むと PDOUT の対応するビットがクリアされ、PFUNC = 1 (GPIO 機能) および PDIR = 1 (出力) の場合に論理 Low をドライブします。PDCLR は同一の McASP で制御される他の I/O ピンに影響を与えずに、システム内の目的のピンのみを論理 Low にクリアできるため、マルチタスク・システムに有効です。図 4-8 および表 4-10 に、PDCLR を示します。

注意

予約ビットへの書き込み

このレジスタの予約ビットに 0 以外の値を書き込むと、デバイスが正常に動作しない場合があります。これには特定の DSP に実装されていないビットも含まれます。

図 4-8. ピン・データ・クリア・レジスタ (PDCLR) [オフセット 20h]

31	30	29	28	27	26	25	24
AFSR	AHCLKR	ACLKR	AFSX	AHCLKX	ACLKX	AMUTE	Reserved ^(A)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
23	Reserved ^(A)						16
R-0							
15	14	13	12	11	10	9	8
AXR15 ^(B)	AXR14 ^(B)	AXR13 ^(B)	AXR12 ^(B)	AXR11 ^(B)	AXR10 ^(B)	AXR9 ^(B)	AXR8 ^(B)
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
AXR7	AXR6	AXR5	AXR4	AXR3	AXR2	AXR1	AXR0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

B DA6x DSP のみ。C6713 DSP では予約。

表 4-10. ピン・データ・クリア・レジスタ (PDCLR) フィールドの説明

ビット	フィールド	値	説明
31	AFSR	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AFSR ビットを論理 Low にクリアします。 影響なし。 PDOUT[31] ビットは 0 にクリアされます。
30	AHCLKR	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AHCLKR ビットを論理 Low にクリアします。 影響なし。 PDOUT[30] ビットは 0 にクリアされます。
29	ACLKR	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する ACLKR ビットを論理 Low にクリアします。 影響なし。 PDOUT[29] ビットは 0 にクリアされます。
28	AFSX	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AFSX ビットを論理 Low にクリアします。 影響なし。 PDOUT[28] ビットは 0 にクリアされます。
27	AHCLKX	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AHCLKX ビットを論理 Low にクリアします。 影響なし。 PDOUT[27] ビットは 0 にクリアされます。
26	ACLKX	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する ACLKX ビットを論理 Low にクリアします。 影響なし。 PDOUT[26] ビットは 0 にクリアされます。
25	AMUTE	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AMUTE ビットを論理 Low にクリアします。 影響なし。 PDOUT[25] ビットは 0 にクリアされます。
24-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドに 0 以外の値を書き込まないでください。
15-8	AXR[15-8] ⁽¹⁾	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AXR[n] ビットを論理 Low にクリアします。 影響なし。 PDOUT[n] ビットは 0 にクリアされます。
7-0	AXR[7-0]	0 1	同一のポートで制御される他の I/O ピンに影響を与えずに、PDOUT の対応する AXR[n] ビットを論理 Low にクリアします。 影響なし。 PDOUT[n] ビットは 0 にクリアされます。

⁽¹⁾ DA6x DSP のみ。C6713 DSP では予約。

4.10 グローバル・コントロール・レジスタ (GBLCTL)

グローバル・コントロール・レジスタ (GBLCTL) は、送信セクションと受信セクションの初期化を行います。図 4-9 および表 4-11 に、GBLCTL を示します。

GBLCTL のビット・フィールドは、対応するクロック (ビット 12 ~ 8 の場合は ACLKX、ビット 4 ~ 0 の場合は ACLKR) により同期が行われ、ラッチされます。GBLCTL をプログラムする前に、シリアル・クロックが供給されていることを確認する必要があります。対応する外部シリアル・クロックである ACLKX と ACLKR が供給されていない場合は、GBLCTL をプログラムする前に AHCLKXCTL、AHCLKRCTL、ACLKXCTL、および ACLKRCTL の内部シリアル・クロック・ソースを選択します。また、GBLCTL のビットをプログラムしたら、GBLCTL からリードバックして、そのビットが GBLCTL でラッチされていることを確認するまで次の手順に進んではいけません。

図 4-9. グローバル・コントロール・レジスタ (GBLCTL) [オフセット 44h]

31	Reserved ^(A)						16
R-0							
15	13	12	11	10	9	8	
Reserved ^(A)		XFRST	XSMRST	XSRCLR	XHCLKRST	XCLKRST	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
7	5	4	3	2	1	0	
Reserved ^(A)		RFRST	RSMRST	RSRCLR	RHCLKRST	RCLKRST	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-11. グローバル・コントロール・レジスタ (GBLCTL) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
12	XFRST	0	送信フレーム同期ジェネレータ・リセット・イネーブル・ビット。 送信フレーム同期ジェネレータがリセットされます。
		1	送信フレーム同期ジェネレータがアクティブになります。リセットから解除されると、送信フレーム同期ジェネレータはプログラムされたシリアル・クロックのカウントとフレーム同期の生成を開始します。
11	XSMRST	0	送信ステート・マシン・リセット・イネーブル・ビット。 送信ステート・マシンがリセット状態に保持されます。PFUNC[n] = 0 かつ PDIR[n] = 1 の場合、シリアルライザはインアクティブ・タイム・スロットの間 AXR[n] ピンを指定された状態にドライブします (SRCTL の DISMOD ビットで決定)。
		1	送信ステート・マシンがリセットから解除されます。リセットから解除されると、送信ステート・マシンは即座に XRBUF[n] から XRSR[n] にデータを転送します。リセットが解除される前に XRBUF[n] にデータがプリロードされていない場合、送信ステート・マシンは XSTAT のアンダーラン・フラグ (XUNDRN) をセットします。送信ステート・マシンは即座にフレーム同期の検出を開始し、送信可能状態になります。リセットが解除されると、送信 TDM タイム・スロットはスロット 0 から開始します。
10	XSRCLR		送信シリアルライザ・クリア・イネーブル・ビット。このビットをクリアしてからセットすることで、送信バッファが空の状態にフラッシュされます (XDATA = 1)。XSMRST = 1、XSRCLR = 1、XDATA = 1、でかつ次のアクティブ・タイム・スロットの開始前に XBUF に新規データがロードされない場合、アンダーランが発生します。
		0	送信シリアルライザがクリアされます。
		1	送信シリアルライザがアクティブになります。送信シリアルライザが最初にリセットから解除されると (XSRCLR が 0 から 1 に変更)、XSTAT の送信データ・レディ・ビット (XDATA) がセットされて XBUF が書き込み可能であることを示します。

表 4-11. グローバル・コントロール・レジスタ (GBLCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
9	XHCLKRST	0 1	送信高周波クロック分周器リセット・イネーブル・ビット。 0 送信高周波クロック分周器がリセット状態に保持され、その入力は1分周で通過します。 1 送信高周波クロック分周器が起動します。
8	XCLKRST	0 1	送信クロック分周器リセット・イネーブル・ビット。 0 送信クロック分周器がリセット状態に保持されます。クロック分周がリセット状態の場合、その入力は1分周を通過します。 1 送信クロック分周器が起動します。
7-5	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
4	RFRST	0 1	受信フレーム同期ジェネレータ・リセット・イネーブル・ビット。 0 受信フレーム同期ジェネレータがリセットされます。 1 受信フレーム同期ジェネレータがアクティブになります。リセットから解除されると、受信フレーム同期ジェネレータはプログラムされたシリアル・クロックのカウントとフレーム同期の生成を開始します。
3	RSMRST	0 1	受信ステート・マシン・リセット・イネーブル・ビット。 0 受信ステート・マシンがリセット状態に保持されます。 1 受信ステート・マシンがリセットから解除されます。リセットから解除されると、受信ステート・マシンは即座にフレーム同期の検出を開始し、受信可能状態になります。リセットが解除されると、受信 TDM タイム・スロットはスロット 0 から開始します。
2	RSRCLR	0 1	受信シリアライザ・クリア・イネーブル・ビット。このビットをクリアしてからセットすることで、受信バッファがフラッシュされます。 0 受信シリアライザがクリアされます。 1 受信シリアライザがアクティブになります。
1	RHCLKRST	0 1	受信高周波クロック分周器リセット・イネーブル・ビット。 0 受信高周波クロック分周器がリセット状態に保持され、その入力は1分周で通過します。 1 受信高周波クロック分周器が起動します。
0	RCLKRST	0 1	受信クロック分周器リセット・イネーブル・ビット。 0 受信クロック分周器がリセット状態に保持されます。クロック分周がリセット状態の場合、その入力1分周を通過します。 1 受信クロック分周器が起動します。

オーディオ・ミュート・コントロール・レジスタ (AMUTE)
4.11 オーディオ・ミュート・コントロール・レジスタ (AMUTE)

オーディオ・ミュート・コントロール・レジスタ (AMUTE) は、McASP オーディオ・ミュート (AMUTE) 出力ピンを制御します。レジスタのリセット後の値は、ピンのドライブ状態によって異なります。図 4-10 および表 4-12 に、AMUTE を示します。

図 4-10. オーディオ・ミュート・コントロール・レジスタ (AMUTE) [オフセット 48h]

	Reserved ^(A)						
	R-0						
15	13	12					
Reserved ^(A)		XDMAERR	RDMAERR	XCKFAIL	RCKFAIL	XSYNCERR	
	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
7	6	5	4	3	2	1	0
RSYNCERR	XUNDRN	ROVRN	INSTAT	INEN	INPOL	MUTEN	
R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-12. オーディオ・ミュート・コントロール・レジスタ (AMUTE) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
12	XDMAERR	0 1	送信 DMA エラー (XDMAERR) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。送信 DMA エラーの検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。送信 DMA エラーの検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
11	RDMAERR	0 1	受信 DMA エラー (RDMAERR) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。受信 DMA エラーの検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。受信 DMA エラーの検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
10	XCKFAIL	0 1	送信クロック障害 (XCKFAIL) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。送信クロック障害の検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。送信クロック障害の検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
9	RCKFAIL	0 1	受信クロック障害 (RCKFAIL) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。受信クロック障害の検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。受信クロック障害の検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
8	XSYNCERR	0 1	予期せぬ送信フレーム同期エラー (XSYNCERR) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。予期せぬ送信フレーム同期エラーの検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。予期せぬ送信フレーム同期エラーの検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
7	RSYNCERR	0 1	予期せぬ受信フレーム同期エラー (RSYNCERR) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。予期せぬ受信フレーム同期エラーの検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。予期せぬ受信フレーム同期エラーの検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。

表 4-12. オーディオ・ミュート・コントロール・レジスタ (AMUTE) フィールドの説明 (続き)

ビット	フィールド	値	説明
6	XUNDRN	0 1	送信アンダーラン・エラー (XUNDRN) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。送信アンダーラン・エラーの検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。送信アンダーラン・エラーの検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
5	ROVRN	0 1	レシーバー・オーバーラン・エラー (ROVRN) の場合、AMUTE アクティブ・イネーブル・ビットをドライブします。 0 ドライブはディスエーブル。レシーバー・オーバーラン・エラーの検出が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。レシーバー・オーバーラン・エラーの検出により、AMUTE がアクティブになり、MUTEN ビットに応じてドライブされます。
4	INSTAT	0 1	PFUNC[n] ビットと PDIR[n] ビットが 1 にセットされたときにドライブオン AXR[n] ピンを決定します。 0 AMUTEIN ピンがインアクティブになります。 1 AMUTEIN ピンがアクティブになります。エラー状態のオーディオ・ミュートが検出されます。
3	INEN	0 1	AMUTEIN エラーがアクティブの場合 (INSTAT = 1)、AMUTE をアクティブにドライブします。 0 ドライブはディスエーブル。AMUTEIN が AMUTE により無視されます。 1 ドライブはイネーブル (アクティブ)。INSTAT = 1 の場合に AMUTE をアクティブにドライブします。
2	INPOL	0 1	オーディオ・ミュート入力 (AMUTEIN) 極性選択ビット。 0 極性がアクティブ High になります。AMUTEIN の High により INSTAT が 1 にセットされます。 1 極性がアクティブ Low になります。AMUTEIN の Low により INSTAT が 1 にセットされます。
1-0	MUTEN	0-3h 0 1h 2h 3h	AMUTE ピン・イネーブル・ビット (GPIO レジスタにより無効になっている場合を除く)。 0 AMUTE ピンがディスエーブルになり、ピンは 3 ステート状態になります。 1h エラーが検出された場合に AMUTE ピンが High にドライブされます。 2h エラーが検出された場合に AMUTE ピンが Low にドライブされます。 3h 予約。

4.12 デジタル・ループバック・コントロール・レジスタ (DLBCTL)

デジタル・ループバック・コントロール・レジスタ (DLBCTL) は、TDM モードの McASP の内部ループバック設定を制御します。図 4-11 および表 4-13 に、DLBCTL を示します。

図 4-11. デジタル・ループバック・コントロール・レジスタ (DLBCTL) [オフセット 4Ch]

31	Reserved ^(A)				16			
R-0								
15	Reserved ^(A)			4	3	2	1	0
R-0				MODE	ORD	DLBEN		
				R/W-0	R/W-0	R/W-0		

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

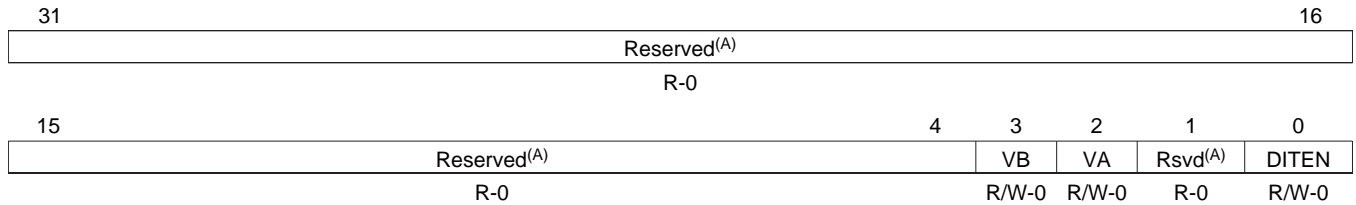
表 4-13. デジタル・ループバック・コントロール・レジスタ (DLBCTL) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
3-2	MODE	0-3h	ループバック・ジェネレータ・モード・ビット。ループバック・モードがイネーブルの場合 (DLBEN = 1) にのみ適用されます。
		0	デフォルトかつループバック・モード (DLBEN = 1) で予約。ループバックでないモードの場合 (DLBEN = 0)、MODE はデフォルト (00) のままにしておきます。ループバック・モードの場合 (DLBEN = 1)、MODE = 00 は予約されていて、適用されません。
		1h	送信クロックとフレーム同期ジェネレータが送信セクションと受信セクションの両方で使用されます。ループバック・モードの場合 (DLBEN = 1)、MODE は 01 でなければなりません。
		2h-3h	予約。
1	ORD		ループバック・モードがイネーブルの場合 (DLBEN = 1) のループバック順序ビット。
		0	奇数シリアライザ N+1 は受信する偶数シリアライザ N に対して送信します。対応するシリアライザを適切にプログラムする必要があります。
		1	偶数シリアライザ N は受信する奇数シリアライザ N+1 に対して送信します。対応するシリアライザを適切にプログラムする必要があります。
0	DLBEN		ループバック・モード・イネーブル・ビット。
		0	ループバック・モードはディスエーブル。
		1	ループバック・モードはイネーブル。

4.13 デジタル・モード・コントロール・レジスタ (DITCTL)

DIT モード・コントロール・レジスタ (DITCTL) は、McASP の DIT 動作を制御します。図 4-12 および表 4-14 に、DITCTL を示します。

図 4-12. デジタル・モード・コントロール・レジスタ (DITCTL) [オフセット 50h]



凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-14. デジタル・モード・コントロール・レジスタ (DITCTL) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
3	VB	0	奇数タイム・スロットの有効ビット (DIT 右サブフレーム)
		1	奇数 DIT サブフレーム時、V ビットは 1 です。
2	VA	0	偶数タイム・スロットの有効ビット (DIT 左サブフレーム)。
		1	偶数 DIT サブフレーム時、V ビットは 1 です。
1	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
0	DITEN	0	DIT モード・イネーブル・ビット。DITEN を変更できるのは、GBLCTL の XSMRST がリセット状態の場合のみです (起動の場合は XSRCLR もリセット状態)。ただし、DITEN を変更するために GBLCTL の XCLKRST ビットまたは XHCLKRST ビットをリセットする必要はありません。
		1	DIT モードはイネーブル。トランスミッタは DIT エンコード・モードで動作します。

4.14 レシーバ・グローバル・コントロール・レジスタ (RGLCTL)

グローバル・コントロール・レジスタ (GBLCTL) のエイリアス。レシーバ・グローバル・コントロール・レジスタ (RGLCTL) に書き込むと、GBLCTL の受信ビット (ビット 4 ~ 0) のみが影響を受けます。RGLCTL を読み出すと、GBLCTL の値が返ります。RGLCTL では、レシーバはトランスミッタから独立してリセットされます。図 4-13 および表 4-15 に、RGLCTL を示します。GBLCTL の詳細については、4.10 節を参照してください。

図 4-13. レシーバ・グローバル・コントロール・レジスタ (RGLCTL) [オフセット 60h]

31	Reserved ^(A)						16
R-0							
15	13	12	11	10	9	8	
Reserved ^(A)		XFRST	XSMRST	XSRCLR	XHCLKRST	XCLKRST	
R-0		R-0	R-0	R-0	R-0	R-0	
7	5	4	3	2	1	0	
Reserved ^(A)		RFRST	RSMRST	RSRCLR	RHCLKRST	RCLKRST	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-15. レシーバ・グローバル・コントロール・レジスタ (RGLCTL) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
12	XFRST	×	送信フレーム同期ジェネレータ・リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の XFRST ビット値が返ります。書き込みによる影響はありません。
11	XSMRST	×	送信ステート・マシン・リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の XSMRST ビット値が返ります。書き込みによる影響はありません。
10	XSRCLR	×	送信シリアライザ・クリア・イネーブル・ビット。このビットを読み出すと、GBLCTL の XSRCLR ビット値が返ります。書き込みによる影響はありません。
9	XHCLKRST	×	送信高周波クロック分周器リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の XHCLKRST ビット値が返ります。書き込みによる影響はありません。
8	XCLKRST	×	送信クロック分周器リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の XCLKRST ビット値が返ります。書き込みによる影響はありません。
7-5	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
4	RFRST		受信フレーム同期ジェネレータ・リセット・イネーブル・ビット。このビットへ書き込むと、GBLCTL の RFRST ビットが影響を受けます。
		0	受信フレーム同期ジェネレータがリセットされます。
		1	受信フレーム同期ジェネレータがアクティブになります。
3	RSMRST		受信ステート・マシン・リセット・イネーブル・ビット。このビットへ書き込むと、GBLCTL の RSMRST ビットが影響を受けます。
		0	受信ステート・マシンがリセット状態に保持されます。
		1	受信ステート・マシンがリセットから解除されます。
2	RSRCLR		受信シリアライザ・クリア・イネーブル・ビット。このビットへ書き込むと、GBLCTL の RSRCLR ビットが影響を受けます。
		0	受信シリアライザがクリアされます。
		1	受信シリアライザがアクティブになります。

表 4-15. レシーバ・グローバル・コントロール・レジスタ (RGLCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
1	RHCLKRST	0 1	<p>受信高周波クロック分周器リセット・イネーブル・ビット。このビットへ書き込むと、GRLCTL の RHCLKRST ビットが影響を受けます。</p> <p>0 受信高周波クロック分周器がリセット状態に保持され、その入力は 1 分周で通過します。</p> <p>1 受信高周波クロック分周器が起動します。</p>
0	RCLKRST	0 1	<p>受信クロック分周器リセット・イネーブル・ビット。このビットへ書き込むと、GRLCTL の RCLKRST ビットが影響を受けます。</p> <p>0 受信クロック分周器がリセット状態に保持されます。</p> <p>1 受信クロック分周器が起動します。</p>

4.15 レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK)

レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK) は、CPU または DMA に読み出される前に、受信したデータのうち、マスクオフしてパッド値を詰めるビットを決定します。図 4-14 および表 4-16 に、RMASK を示します。

図 4-14. レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK) [オフセット 64h]

31	30	29	28	27	26	25	24
RMASK31	RMASK30	RMASK29	RMASK28	RMASK27	RMASK26	RMASK25	RMASK24
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
23	22	21	20	19	18	17	16
RMASK23	RMASK22	RMASK21	RMASK20	RMASK19	RMASK18	RMASK17	RMASK16
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
15	14	13	12	11	10	9	8
RMASK15	RMASK14	RMASK13	RMASK12	RMASK11	RMASK10	RMASK9	RMASK8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
RMASK7	RMASK6	RMASK5	RMASK4	RMASK3	RMASK2	RMASK1	RMASK0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-16. レシーブ・フォーマット・ユニット・ビット・マスク・レジスタ (RMASK) フィールドの説明

ビット	フィールド	値	説明
31-0	RMASK[31-0]	0	受信データ・マスク・イネーブル・ビット。 受信データ（反転とローテート・ユニットを通過した後）の対応するビットをマスクアウトして、パッド値を詰めます（RFMT の RPAD ビットと RPBIT ビット）。
		1	受信データ（反転とローテート・ユニットを通過した後）の対応するビットを CPU または DMA に返します。

4.16 レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT)

レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT) は、受信データ・フォーマットを設定します。図 4-15 および表 4-17 に、RFMT を示します。

図 4-15. レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT) [オフセット 68h]

31										18		17	16
Reserved ^(A)											RDATDLY		
R-0										R/W-0			
15	14	13	12	8		7	4		3	2	0		
RRVRS	RPAD	RPBIT		RSSZ		RBUSEL	RROT						
R/W-0	R/W-0	R/W-0		R/W-0		R/W-0	R/W-0		R/W-0				

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-17. レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT) フィールドの説明

ビット	フィールド	値	説明
31-18	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
17-16	RDATDLY	0-3h	受信ビット遅延。
		0	0 ビット遅延。先頭の受信データ・ビット AXR[n] は、受信フレーム同期 (AFSR) と同じ ACLKR サイクルで発生します。
		1h	1 ビット遅延。先頭の受信データ・ビット AXR[n] は、受信フレーム同期 (AFSR) の 1 ACLKR サイクル後に発生します。
		2h	2 ビット遅延。先頭の受信データ・ビット AXR[n] は、受信フレーム同期 (AFSR) の 2 ACLKR サイクル後に発生します。
		3h	予約。
15	RRVRS	0	受信シリアル・ビット・ストリームの順序。
		1	ビット・ストリームは LSB ファーストです。受信フォーマット・ビット反転ユニットでビット反転が実行されません。
		1	ビット・ストリームは MSB ファーストです。受信フォーマット・ビット反転ユニットでビット反転が実行されます。
14-13	RPAD	0-3h	ワードに属さないスロット内の余分ビットに対するパッド値。このフィールドは RMASK[n] = 0 の場合にのみビットに適用されます。
		0	余分ビットに 0 を詰めます。
		1h	余分ビットに 1 を詰めます。
		2h	余分ビットにワードのいずれかのビット (RPBIT ビットで指定) を詰めます。
		3h	予約。
12-8	RPBIT	0-1Fh	RPBIT 値は余分ビットを詰めるために使用するビットを決定します。このフィールドは RPAD = 2h の場合のみ適用されます。
		0	ビット 0 の値で詰めます。
		1h-1Fh	ビット 1 ~ 31 の値で詰めます。

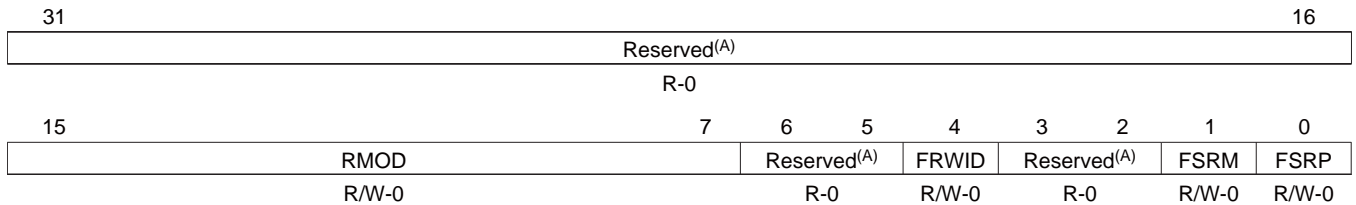
表 4-17. レシーブ・ビット・ストリーム・フォーマット・レジスタ (RFMT) フィールドの説明 (続き)

ビット	フィールド	値	説明
7-4	RSSZ	0-Fh 0-2h 3h 4h 5h 6h 7h 8h 9h Ah Bh Ch Dh Eh Fh	受信スロット・サイズ。 予約。 スロット・サイズは 8 ビット。 予約。 スロット・サイズは 12 ビット。 予約。 スロット・サイズは 16 ビット。 予約。 スロット・サイズは 20 ビット。 予約。 スロット・サイズは 24 ビット。 予約。 スロット・サイズは 28 ビット。 予約。 スロット・サイズは 32 ビット。
3	RBUSEL	0 1	シリアライザ・バッファ XRBUF[n] の読み出しがコンフィグレーション・バス (CFG) からのものかデータ・ポート (DAT) からのものかを選択します。 0 XRBUF[n] からの読み出しはデータ・ポートで行われます。コンフィグレーション・バスでの XRBUF[n] からの読み取りは無視されます。 1 XRBUF[n] からの読み出しはコンフィグレーション・バスで行われます。データ・ポートでの XRBUF[n] からの読み取りは無視されます。
2-0	RRROT	0-7h 0 1h 2h 3h 4h 5h 6h 7h	受信右ローテート・フォーマット・ユニットの右ローテート値。 0 だけ右にローテート (ローテートなし)。 1h 4 ビットだけ右にローテート。 2h 8 ビットだけ右にローテート。 3h 12 ビットだけ右にローテート。 4h 16 ビットだけ右にローテート。 5h 20 ビットだけ右にローテート。 6h 24 ビットだけ右にローテート。 7h 28 ビットだけ右にローテート。

4.17 レシーブ・フレーム・シンク・コントロール・レジスタ (AFSRCTL)

レシーブ・フレーム・シンク・コントロール・レジスタ (AFSRCTL) は、受信フレーム同期 (AFSR) を設定します。図 4-16 および表 4-18 に、AFSRCTL を示します。

図 4-16. レシーブ・フレーム・シンク・コントロール・レジスタ (AFSRCTL) [オフセット 6Ch]



凡例： R/W = 読み取り / 書き込み。 R = 読み取りのみ。 -n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-18. レシーブ・フレーム・シンク・コントロール・レジスタ (AFSRCTL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
15-7	RMOD	0-1FFh 0 1h 2h-20h 21h-17h 180h 181h-1FFh	受信フレーム同期モード選択ビット。 バースト・モード。 予約。 2 スロット TDM (I2S モード) ~ 32 スロット TDM。 予約。 384 スロット TDM (外部 DIR IC が 384 スロット DIR フレームを I2S インターフェイスで McASP に入力)。 予約。
6-5	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
4	FRWID	0 1	受信フレーム同期幅選択ビットは、アクティブ期間中の受信フレーム同期 (AFSR) の幅を指定します。 シングル・ビット。 シングル・ワード。
3-2	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
1	FSRM	0 1	受信フレーム同期生成選択ビット。 外部生成の受信フレーム同期。 内部生成の受信フレーム同期。
0	FSRP	0 1	受信フレーム同期極性選択ビット。 受信フレーム同期 (AFSR) の立ち上がりエッジがフレームの開始を示します。 受信フレーム同期 (AFSR) の立ち下がりエッジがフレームの開始を示します。

4.18 レシーブ・クロック・コントロール・レジスタ (ACLKRCCTL)

レシーブ・クロック・コントロール・レジスタ (ACLKRCCTL) は、受信ビット・クロック (ACLKR) と受信クロック・ジェネレータを設定します。図 4-17 および表 4-19 に、ACLKRCCTL を示します。

図 4-17. レシーブ・クロック・コントロール・レジスタ (ACLKRCCTL) [オフセット 70h]

31	Reserved ^(A)					16
R-0						
15	8	7	6	5	4	0
Reserved ^(A)		CLKRP	Rsvd ^(A)	CLKRM	CLKRDIV	
R-0		R/W-0	R-0	R/W-1	R/W-0	

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-19. レシーブ・クロック・コントロール・レジスタ (ACLKRCCTL) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
7	CLKRP	0 1	受信ビット・ストリーム・クロック極性選択ビット。 0 立ち下がりエッジ。レシーバがシリアル・クロックの立ち下がりエッジでデータをサンプリングするため、このレシーバをドライブする外部トランスミッタはシリアル・クロックの立ち上がりエッジでデータをシフトアウトする必要があります。 1 立ち上がりエッジ。レシーバがシリアル・クロックの立ち上がりエッジでデータをサンプリングするため、このレシーバをドライブする外部トランスミッタはシリアル・クロックの立ち下がりエッジでデータをシフトアウトする必要があります。
6	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
5	CLKRM	0 1	受信ビット・クロック・ソース・ビット。 0 ACLKR ピンからの外部受信クロック・ソース。 1 プログラム可能なビット・クロック分周器の出力からの内部受信クロック・ソース。
4-0	CLKRDIV	0-1Fh 0 1h 2h-1Fh	AHCLKR から ACLKR への分周比を決定する受信ビット・クロック分周比ビット。 0 1分周。 1h 2分周。 2h-1Fh 3分周 ~ 32分周。

4.19 レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL)

レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL) は、受信高周波マスター・クロック (AHCLKR) と受信クロック・ジェネレータを設定します。図 4-18 および表 4-20 に、AHCLKRCTL を示します。

図 4-18. レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL) [オフセット 74h]

31											16																
Reserved ^(A)																											
R-0																											
15					14				13			12		11			0										
HCLKRM			HCLKRP			Reserved ^(A)			HCLKRDIV																		
R/W-1			R/W-0			R/W-0			R/W-0																		

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-20. レシーブ・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKRCTL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
15	HCLKRM	0 1	受信高周波クロック・ソース・ビット。 0 AHCLKR ピンからの外部受信高周波クロック・ソース。 1 プログラム可能な高クロック分周器の出力からの内部受信高周波クロック・ソース。
14	HCLKRP	0 1	受信ビット・ストリーム高周波クロック極性選択ビット。 0 立ち上がりエッジ。AHCLKR がプログラム可能なビット・クロック分周前に反転されません。受信ビット・クロック (ACLKR) が内部生成で、プログラム可能なビット・クロック分周器が 1 分周にセットされている (ACLKCTL の CLKRDIV = 0) 特殊な場合は、AHCLKR は直接 ACLKR ピンを通過します。 1 立ち下がりエッジ。AHCLKR がプログラム可能なビット・クロック分周前に反転されます。受信ビット・クロック (ACLKR) が内部生成で、プログラム可能なビット・クロック分周器が 1 分周にセットされている (ACLKCTL の CLKRDIV = 0) 特殊な場合は、AHCLKR は直接 ACLKR ピンを通過します。
13-12	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
11-0	HCLKRDIV	0-FFFh 0 1h 2h-FFFh	AUXCLK から AHCLKR への分周比を決定する受信高周波クロック分周比ビット。 0 1 分周。 1h 2 分周。 2h-FFFh 3 分周 ~ 4096 分周。

4.20 レシーブ TDM タイム・スロット・レジスタ (RTDM)

レシーブ TDM タイム・スロット・レジスタ (RTDM) は、レシーバがアクティブになる TDM タイム・スロットを指定します。図 4-19 および表 4-21 に、RTDM を示します。

図 4-19. レシーブ TDM タイム・スロット・レジスタ (RTDM) [オフセット 78h]

31	30	29	28	27	26	25	24
RTDMS31	RTDMS30	RTDMS29	RTDMS28	RTDMS27	RTDMS26	RTDMS25	RTDMS24
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
23	22	21	20	19	18	17	16
RTDMS23	RTDMS22	RTDMS21	RTDMS20	RTDMS19	RTDMS18	RTDMS17	RTDMS16
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
15	14	13	12	11	10	9	8
RTDMS15	RTDMS14	RTDMS13	RTDMS12	RTDMS11	RTDMS10	RTDMS9	RTDMS8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
RTDMS7	RTDMS6	RTDMS5	RTDMS4	RTDMS3	RTDMS2	RTDMS1	RTDMS0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-21. レシーブ TDM タイム・スロット・レジスタ (RTDM) フィールドの説明

ビット	フィールド	値	説明
31-0	RTDMS[31-0]	0	TDM タイム・スロット n のときのレシーバ・モード。 受信 TDM タイム・スロット n はインアクティブです。受信シリアライザはこのスロット時にデータをシフトインしません。
		1	受信 TDM タイム・スロット n はアクティブです。受信シリアライザはこのスロット時にデータをシフトインします。

4.21 レシーバ・インタラプト・コントロール・レジスタ (RINTCTL)

レシーバ・インタラプト・コントロール・レジスタ (RINTCTL) は、McASP 受信割り込み (RINT) の生成を制御します。レジスタ・ビットが 1 にセットされている場合、イネーブルされた McASP 状態が発生すると RINT が生成されます。図 4-20 および表 4-22 に、RINTCTL を示します。割り込み状態については、4.22 節を参照してください。

図 4-20. レシーバ・インタラプト・コントロール・レジスタ (RINTCTL) [オフセット 7Ch]

Reserved ^(A)							
R-0							
7	6	5	4	3	2	1	0
RSTAFRM	Reserved ^(A)	RDATA	RLAST	RDMAERR	RCKFAIL	RSYNCERR	ROVRN
R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-22. レシーバ・インタラプト・コントロール・レジスタ (RINTCTL) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
7	RSTAFRM	0	フレーム割り込みの受信開始イネーブル・ビット。
		0	割り込みはディスエーブル。フレーム割り込みの受信を開始しても、McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。フレーム割り込みの受信を開始すると、McASP 受信割り込み (RINT) が生成されます。
6	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
5	RDATA	0	受信データ・レディ割り込みイネーブル・ビット。
		0	割り込みはディスエーブル。受信データ・レディ割り込みによる McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。受信データ・レディ割り込みによる McASP 受信割り込み (RINT) が生成されます。
4	RLAST	0	受信最終スロット割り込みイネーブル・ビット。
		0	割り込みはディスエーブル。受信最終スロット割り込みによる McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。受信最終スロット割り込みによる McASP 受信割り込み (RINT) が生成されます。
3	RDMAERR	0	受信 DMA エラー割り込みイネーブル・ビット。
		0	割り込みはディスエーブル。受信 DMA エラー割り込みによる McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。受信 DMA エラー割り込みによる McASP 受信割り込み (RINT) が生成されます。
2	RCKFAIL	0	受信クロック障害割り込みイネーブル・ビット。
		0	割り込みはディスエーブル。受信クロック障害割り込みによる McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。受信クロック障害割り込みによる McASP 受信割り込み (RINT) が生成されます。
1	RSYNCERR	0	予期せぬ受信フレーム同期割り込みイネーブル・ビット。
		0	割り込みはディスエーブル。予期せぬ受信フレーム同期割り込みによる McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。予期せぬ受信フレーム同期割り込みによる McASP 受信割り込み (RINT) が生成されます。
0	ROVRN	0	レシーバ・オーバーラン割り込みイネーブル・ビット。
		0	割り込みはディスエーブル。レシーバ・オーバーラン割り込みによる McASP 受信割り込み (RINT) は生成されません。
		1	割り込みはイネーブル。レシーバ・オーバーラン割り込みによる McASP 受信割り込み (RINT) が生成されます。

4.22 レシーバ・ステータス・レジスタ (RSTAT)

レシーバ・ステータス・レジスタ (RSTAT) は、レシーバ・ステータスと受信 TDM タイム・スロット番号を提供します。CPU が割り込みフラグをクリアするためにフラグに書き込む同じサイクルで、McASP ロジックが割り込みフラグをセットしようとする、McASP ロジックが優先され、フラグはセットされたままになります。これにより、新規割り込み要求も生成されます。図 4-21 および表 4-23 に、RSTAT を示します。

図 4-21. レシーバ・ステータス・レジスタ (RSTAT) [オフセット 80h]

31							9	8
Reserved ^(A)							RERR	
R-0							R/W-0	
7	6	5	4	3	2	1	0	
RDMAERR	RSTAFRM	RDATA	RLAST	RTDMSLOT	RCKFAIL	RSYNCERR	ROVRN	
R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-23. レシーバ・ステータス・レジスタ (RSTAT) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
8	RERR	0 1	RERR ビットは常に ROVRN RSYNCERR RCKFAIL RDMAERR の論理 OR を返します。このビットをチェックすればレシーバ・エラー割り込みが発生したかどうか判別できます。 0 エラーは発生していません。 1 エラーが発生しています。
7	RDMAERR	0 1	受信 DMA エラー・フラグ。RDMAERR は、CPU または DMA が指定のタイム・スロットでデータ・ポートを介して、レシーバとしてプログラムされたシリアライザの数より多くリードを行う場合にセットされます。このビットがセットされて、RINTCTL の RDMAERR がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 受信 DMA エラーは発生しませんでした。 1 受信 DMA エラーが発生しました。
6	RSTAFRM	0 1	フレーム・フラグの受信開始。このビットがセットされて、RINTCTL の RSTAFRM がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 新規受信フレーム同期 (AFSR) は検出されません。 1 新規受信フレーム同期 (AFSR) が検出されます。
5	RDATA	0 1	受信データ・レディ・フラグ。このビットがセットされて、RINTCTL の RDATA がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 RBUF には新規データはありません。 1 データが XRSR から RBUF に転送されて、CPU または DMA で処理可能となります。RDATA がセットされる場合、常に DMA イベント (AREVT) が発生します。
4	RLAST	0 1	受信最終スロット・フラグ。現行スロットがフレームの最終スロットである場合、RLAST が RDATA とともにセットされます。このビットがセットされて、RINTCTL の RLAST がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 現行スロットはフレームの最終スロットではありません。 1 現行スロットがフレームの最終スロットです。RDATA もセットされます。

表 4-23. レシーバ・ステータス・レジスタ (RSTAT) フィールドの説明 (続き)

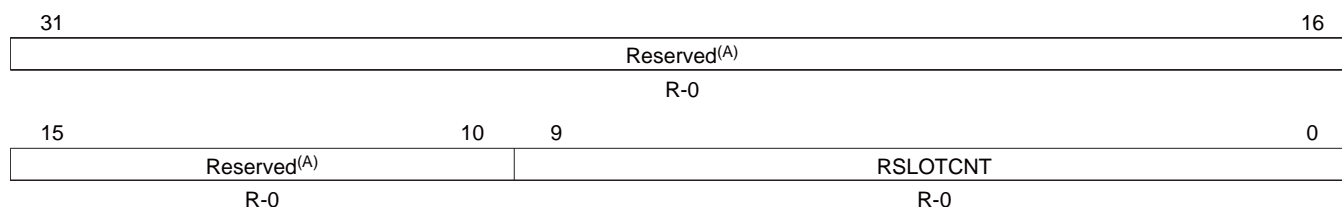
ビット	フィールド	値	説明
3	RTDMSLOT	0 1	RSLOT の LSB を返します。RSTAT の 1 回の読み取りで、現行 TDM タイム・スロットが偶数または奇数であるか判別することが可能です。 0 現行 TDM タイム・スロットは奇数です。 1 現行 TDM タイム・スロットは偶数です。
2	RCKFAIL	0 1	受信クロック障害フラグ。RCKFAIL は、受信クロック障害検出回路がエラーを報告する場合にセットされます (3.6.6 項を参照)。このビットがセットされて、RINTCTL の RCKFAIL がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 受信クロック障害は発生しませんでした。 1 受信クロック障害が発生しました。
1	RSYNCERR	0 1	予期せぬ受信フレーム同期フラグ。RSYNCERR は、新規受信フレーム同期 (AFSR) が予想よりも早く発生する場合にセットされます。このビットがセットされて、RINTCTL の RSYNCERR がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 予期せぬ受信フレーム同期は発生しませんでした。 1 予期せぬ受信フレーム同期が発生しました。
0	ROVRN	0 1	レシーバ・オーバーラン・フラグ。ROVRN は、受信シリアライザがデータを XRSR から RBUF に転送するように指示されているのに、RBUF の前データが CPU または DMA から読み取られていない場合にセットされます。このビットがセットされて、RINTCTL の ROVRN がセットされる場合に、受信割り込み (RINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 レシーバ・オーバーランは発生しませんでした。 1 レシーバ・オーバーランが発生しました。

カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT)

4.23 カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT)

カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT) は、受信データ・フレームの現行タイム・スロットを示します。図 4-22 および表 4-24 に、RSLOT を示します。

図 4-22. カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT) [オフセット 84h]



凡例：R/W = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-24. カレント・レシーブ TDM タイム・スロット・レジスタ (RSLOT) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
9-0	RSLOT CNT	0-17Fh	現行受信タイム・スロット・カウント。有効な値は 0 ~ 383。 TDM 機能はタイム・スロットが 32 より多い場合にはサポートされません。ただし、TDM タイム・スロット・カウンタは、DIR ブロックを受信するために使用する場合 (TDM フォーマットで転送)、383 までカウントできます。

4.24 レシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK)

レシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK) は、受信クロック障害検出回路を設定します。
図 4-23 および表 4-25 に、RCLKCHK を示します。

図 4-23. レシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK) [オフセット 88h]

31	24	23	16
RCNT		RMAX	
R-0		R/W-0	
15	8	7	0
RMIN		Reserved ^(A)	RPS
R/W-0		R-0	R/W-0

凡例： R/W = 読み取り / 書き込み。 R = 読み取りのみ。 -n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-25. レシーブ・クロック・チェック・コントロール・レジスタ (RCLKCHK) フィールドの説明

ビット	フィールド	値	説明
31-24	RCNT	0-FFh	受信クロック・カウント値 (前の測定からの値)。クロック回路は DSP システム・クロック数を 32 個の受信高周波マスター・クロック (AHCLKR) 信号のすべてに対して継続的にカウントし、次の測定が行われるまでそのカウントを RCNT に格納します。
23-16	RMAX	0-FFh	受信クロック最大境界。この 8 ビット符号なし値は、32 個の受信高周波マスター・クロック (AHCLKR) 信号を受信した後のクロック・チェック・カウンタに対する最大許容境界をセットします。32 個の AHCLKR 信号をカウント後、現行カウンタ値が RMAX より大きい場合、RSTAT の RCKFAIL がセットされます。符号なし演算を使用した比較が実行されます。
15-8	RMIN	0-FFh	受信クロック最小境界。この 8 ビット符号なし値は、32 個の受信高周波マスター・クロック (AHCLKR) 信号を受信した後のクロック・チェック・カウンタに対する最小許容境界をセットします。32 個の AHCLKR 信号をカウント後、RCNT が RMIN より小さい場合、RSTAT の RCKFAIL がセットされます。符号なし演算を使用した比較が実行されます。
7-4	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
3-0	RPS	0-Fh	受信クロック・チェック・プリスケール値。
		0	1 で分周される McASP システム・クロック。
		1h	2 で分周される McASP システム・クロック。
		2h	4 で分周される McASP システム・クロック。
		3h	8 で分周される McASP システム・クロック。
		4h	16 で分周される McASP システム・クロック。
		5h	32 で分周される McASP システム・クロック。
		6h	64 で分周される McASP システム・クロック。
		7h	128 で分周される McASP システム・クロック。
		8h	256 で分周される McASP システム・クロック。
		9h-Fh	予約。

4.25 レシーバ DMA イベント・コントロール・レジスタ (REVTCTL)

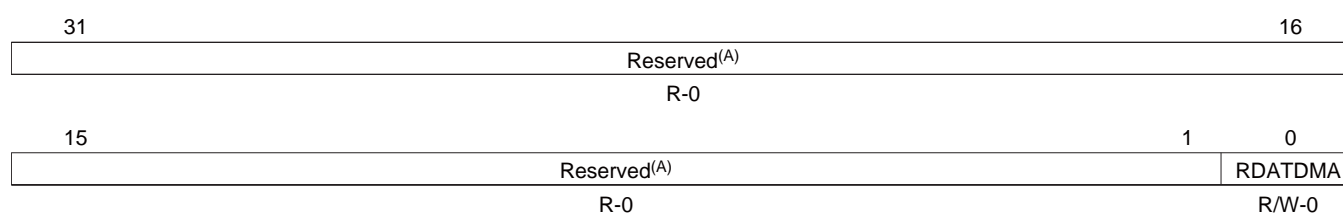
レシーバ DMA イベント・コントロール・レジスタ (REVTCTL) には、レシーバ DMA イベントのディスエーブル・ビットが含まれます。図 4-24 および表 4-26 に、REVTCTL を示します。

注意

DSP 固有レジスタ

特定の DSP で実装されていない REVTCTL にアクセスすると、デバイスが正常に動作しない場合があります。

図 4-24. レシーバ DMA イベント・コントロール・レジスタ (REVTCTL) [オフセット 8Ch]



凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-26. レシーバ DMA イベント・コントロール・レジスタ (REVTCTL) フィールドの説明

ビット	フィールド	値	説明
31-1	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
0	RDATDMA	0	受信データ DMA 要求イネーブル・ビット。 受信データ DMA 要求はイネーブル。
		1	受信データ DMA 要求はディスエーブル。

4.26 トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL)

グローバル・コントロール・レジスタ (GBLCTL) のエイリアス。トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL) に書き込むと、GBLCTL の送信ビット (ビット 12 ~ 8) のみが影響を受けます。XGBLCTL を読み出すと、GBLCTL の値が返ります。XGBLCTL では、トランスミッタはレシーバから独立してリセットされます。図 4-25 および表 4-27 に、XGBLCTL を示します。GBLCTL の詳細については、4.10 節を参照してください。

図 4-25. トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL) [オフセット A0h]

31	Reserved ^(A)						16
R-0							
15	13	12	11	10	9	8	
Reserved ^(A)		XFRST	XSMRST	XSRCLR	XHCLKRST	XCLKRST	
R-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
7	5	4	3	2	1	0	
Reserved ^(A)		RFRST	RSMRST	RSRCLR	RHCLKRST	RCLKRST	
R-0		R-0	R-0	R-0	R-0	R-0	

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-27. トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0-FFh	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
12	XFRST	0 1	送信フレーム同期ジェネレータ・リセット・イネーブル・ビット。このビットへ書き込むと、GBLCTL の XFRST ビットが影響を受けます。 0 送信フレーム同期ジェネレータがリセットされます。 1 送信フレーム同期ジェネレータがアクティブになります。
11	XSMRST	0 1	送信ステート・マシン・リセット・イネーブル・ビット。このビットへ書き込むと、GBLCTL の XSMRST ビットが影響を受けます。 0 送信ステート・マシンがリセット状態に保持されます。 1 送信ステート・マシンがリセットから解除されます。
10	XSRCLR	0 1	送信シリアライザ・クリア・イネーブル・ビット。このビットへ書き込むと、GBLCTL の XSRCLR ビットが影響を受けます。 0 送信シリアライザがクリアされます。 1 送信シリアライザがアクティブになります。
9	XHCLKRST	0 1	送信高周波クロック分周器リセット・イネーブル・ビット。このビットへ書き込むと、GBLCTL の XHCLKRST ビットが影響を受けます。 0 送信高周波クロック分周器がリセット状態に保持されます。 1 送信高周波クロック分周器が起動します。
8	XCLKRST	0 1	送信クロック分周器リセット・イネーブル・ビット。このビットへ書き込むと、GBLCTL の XCLKRST ビットが影響を受けます。 0 送信クロック分周器がリセット状態に保持されます。 1 送信クロック分周器が起動します。
7-5	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-27. トランスミッタ・グローバル・コントロール・レジスタ (XGBLCTL) フィールドの説明 (続き)

ビット	フィールド	値	説明
4	RFRST	×	受信フレーム同期ジェネレータ・リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の RFRST ビット値が返ります。書き込みによる影響はありません。
3	RSMRST	×	受信ステート・マシン・リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の RSMRST ビット値が返ります。書き込みによる影響はありません。
2	RSRCLR	×	受信シリアライザ・クリア・イネーブル・ビット。このビットを読み出すと、GBLCTL の RSRCLR ビット値が返ります。書き込みによる影響はありません。
1	RHCLKRST	×	受信高周波クロック分周器リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の RHCLKRST ビット値が返ります。書き込みによる影響はありません。
0	RCLKRST	×	受信クロック分周器リセット・イネーブル・ビット。このビットを読み出すと、GBLCTL の RCLKRST ビット値が返ります。書き込みによる影響はありません。

4.27 トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK)

トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK) は、McASP をシフトアウトする前に、送信したデータのうち、マスクオフしてパッド値を詰めるビットを決定します。図 4-26 および表 4-28 に、XMASK を示します。

図 4-26. トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK) [オフセット A4h]

31	30	29	28	27	26	25	24
XMASK31	XMASK30	XMASK29	XMASK28	XMASK27	XMASK26	XMASK25	XMASK24
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
23	22	21	20	19	18	17	16
XMASK23	XMASK22	XMASK21	XMASK20	XMASK19	XMASK18	XMASK17	XMASK16
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
15	14	13	12	11	10	9	8
XMASK15	XMASK14	XMASK13	XMASK12	XMASK11	XMASK10	XMASK9	XMASK8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
XMASK7	XMASK6	XMASK5	XMASK4	XMASK3	XMASK2	XMASK1	XMASK0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-28. トランスミット・フォーマット・ユニット・ビット・マスク・レジスタ (XMASK) フィールドの説明

ビット	フィールド	値	説明
31-0	XMASK[31-0]	0	送信データ・マスク・イネーブル・ビット。 送信データ (反転とローテート・ユニットを通過する前) の対応するビットをマスクアウトして、パッド値を詰めます (XFMT の XPAD ビットと XPBIT ビット)。これは元のビットの代わりに McASP で送信されます。
		1	送信データ (反転とローテート・ユニットを通過する前) の対応するビットが McASP で送信されます。

4.28 トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT)

トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT) は、送信データ・フォーマットを設定します。
 図 4-27 および表 4-29 に、XFMT を示します。

図 4-27. トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT) [オフセット A4h]

31											18		17	16
Reserved ^(A)											XDATDLY			
R-0											R/W-0			
15	14	13	12	8	7	4	3	2	0					
XRVRS	XPAD	XPBIT	XSSZ	XBUSEL	XROT									
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0				

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-29. トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT) フィールドの説明

ビット	フィールド	値	説明
31-18	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
17-16	XDATDLY	0-3h	送信同期ビット遅延。
		0	0 ビット遅延。先頭の送信データ・ビット AXR[n] は、送信フレーム同期 (AFSX) と同じ ACLKX サイクルで発生します。
		1h	1 ビット遅延。先頭の送信データ・ビット AXR[n] は、送信フレーム同期 (AFSX) の 1 ACLKX サイクル後に発生します。
		2h	2 ビット遅延。先頭の送信データ・ビット AXR[n] は、送信フレーム同期 (AFSX) の 2 ACLKX サイクル後に発生します。
		3h	予約。
15	XRVRS	0	送信シリアル・ビット・ストリームの順序。
		1	ビット・ストリームは LSB ファーストです。送信フォーマット・ビット反転ユニットでビット反転が実行されません。
		1	ビット・ストリームは MSB ファーストです。送信フォーマット・ビット反転ユニットでビット反転は実行されます。
14-13	XPAD	0-3h	XMASK により定義されるワードに属さないスロット内の余分ビットに対するパッド値。このフィールドは XMASK[n] = 0 の場合にのみビットに適用されます。
		0	余分ビットに 0 を詰めます。
		1h	余分ビットに 1 を詰めます。
		2h	余分ビットにワードのいずれかのビット (XPBIT ビットで指定) を詰めます。
		3h	予約。
12-8	XPBIT	0-1Fh	XPBIT 値はシフト前に余分ビットを詰めるために使用するビットを決定します。このフィールドは XPAD = 2h の場合のみ適用されます。
		0	ビット 0 の値で詰めます。
		1-1Fh	ビット 1 ~ 31 の値で詰めます。

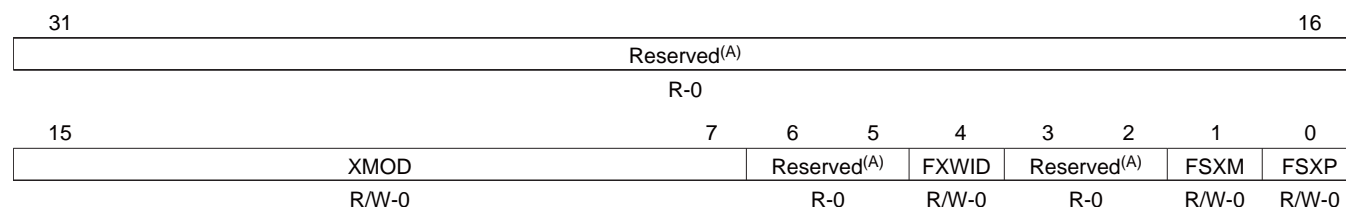
表 4-29. トランスミット・ビット・ストリーム・フォーマット・レジスタ (XFMT) フィールドの説明

ビット	フィールド	値	説明
7-4	XSSZ	0-Fh 0-2h 3h 4h 5h 6h 7h 8h 9h Ah Bh Ch Dh Eh Fh	送信スロット・サイズ。 予約。 スロット・サイズは 8 ビット。 予約。 スロット・サイズは 12 ビット。 予約。 スロット・サイズは 16 ビット。 予約。 スロット・サイズは 20 ビット。 予約。 スロット・サイズは 24 ビット。 予約。 スロット・サイズは 28 ビット。 予約。 スロット・サイズは 32 ビット。
3	XBUSEL	0 1	シリアライザ・バッファ XRBUF[n] への書き込みがコンフィグレーション・バス (CFG) からのものかデータ・ポート (DAT) からのものかを選択します。 0 XRBUF[n] への書き込みはデータ・ポートから行われます。コンフィグレーション・バスから XRBUF[n] への書き込みは無視され、McASP への影響はありません。 1 XRBUF[n] への書き込みはコンフィグレーション・バスから行われます。データ・ポートから XRBUF[n] への書き込みは無視され、McASP への影響はありません。
2-0	XROT	0-7h 0 1h 2h 3h 4h 5h 6h 7h	送信右ローテート・フォーマット・ユニットの右ローテート値。 0 だけ右にローテート (ローテートなし)。 1h 4 ビットだけ右にローテート。 2h 8 ビットだけ右にローテート。 3h 12 ビットだけ右にローテート。 4h 16 ビットだけ右にローテート。 5h 20 ビットだけ右にローテート。 6h 24 ビットだけ右にローテート。 7h 28 ビットだけ右にローテート。

4.29 トランスミット・フレーム・シンク・コントロール・レジスタ (AFSXCTL)

トランスミット・フレーム・シンク・コントロール・レジスタ (AFSXCTL) は、送信フレーム同期 (AFSX) を設定します。図 4-28 および表 4-30 に、AFSXCTL を示します。

図 4-28. トランスミット・フレーム・シンク・コントロール・レジスタ (AFSXCTL) [オフセット ACh]



凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-30. トランスミット・フレーム・シンク・コントロール・レジスタ (AFSXCTL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
15-7	XMOD	0-1FFh 0 1h 2h-20h 21h-17Fh 180h 181h-1FFh	送信フレーム同期モード選択ビット。 バースト・モード。 予約。 2 スロット TDM (I2S モード) ~ 32 スロット TDM。 予約。 384 スロット DIT モード。 予約。
6-5	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
4	FXWID	0 1	送信フレーム同期幅選択ビットは、アクティブ期間中の送信フレーム同期 (AFSX) の幅を指定します。 0 シングル・ビット。 1 シングル・ワード。
3-2	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
1	FSXM	0 1	送信フレーム同期生成選択ビット。 0 外部生成の送信フレーム同期。 1 内部生成の送信フレーム同期。
0	FSXP	0 1	送信フレーム同期極性選択ビット。 0 送信フレーム同期 (AFSX) の立ち上がりエッジがフレームの開始を示します。 1 送信フレーム同期 (AFSX) の立ち下がりエッジがフレームの開始を示します。

4.30 トランスミット・クロック・コントロール・レジスタ (ACLKXCTL)

トランスミット・クロック・コントロール・レジスタ (ACLKXCTL) は、送信ビット・クロック (ACLKX) と送信クロック・ジェネレータを設定します。図 4-29 および表 4-31 に、ACLKXCTL を示します。

図 4-29. トランスミット・クロック・コントロール・レジスタ (ACLKXCTL) [オフセット B0h]

31	Reserved ^(A)					16
R-0						
15	8	7	6	5	4	0
Reserved ^(A)		CLKXP	ASYNC	CLKXM	CLKXDIV	
R-0		R/W-0	R/W-1	R/W-1	R/W-0	

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-31. トランスミット・クロック・コントロール・レジスタ (ACLKXCTL) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
7	CLKXP	0	送信ビット・ストリーム・クロック極性選択ビット。 立ち上がりエッジ。外部レシーバがシリアル・クロックの立ち下がりエッジでデータをサンプリングするため、トランスミッタはシリアル・クロックの立ち上がりエッジでデータをシフトアウトする必要があります。
		1	立ち下がりエッジ。外部レシーバがシリアル・クロックの立ち上がりエッジでデータをサンプリングするため、トランスミッタはシリアル・クロックの立ち下がりエッジでデータをシフトアウトする必要があります。
6	ASYNC	0	送信 / 受信動作非同期イネーブル・ビット。 同期。送信クロックとフレーム同期は送信セクションと受信セクションの両方に対するソースを提供します。
		1	非同期。別々のクロックとフレーム同期が送信セクションと受信セクションで使用されます。
5	CLKXM	0	送信ビット・クロック・ソース・ビット。 ACLKX ピンからの外部送信クロック・ソース。
		1	プログラム可能なビット・クロック分周器の出力からの内部送信クロック・ソース。
4-0	CLKXDIV	0-1Fh	AHCLKX から ACLKX への分周比を決定する送信ビット分周比ビット。
		0	1 分周。
		1h	2 分周。
		2h-1Fh	3 分周 ~ 32 分周。

4.31 トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL)

トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL) は、送信高周波マスター・クロック (AHCLKX) と送信クロック・ジェネレータを設定します。図 4-30 および表 4-32 に、AHCLKXCTL を示します。

図 4-30. トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL) [オフセット B4h]

Reserved ^(A)														
R-0														
31														16
15	14	13	12	11						0				
HCLKXM	HCLKXP	Reserved ^(A)			HCLKXDIV									
R/W-1	R/W-0	R/W-0			R/W-0									

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-32. トランスミット・ハイフレクエンシー・クロック・コントロール・レジスタ (AHCLKXCTL) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
15	HCLKXM	0 1	送信高周波クロック・ソース・ビット。 0 AHCLKX ピンからの外部送信高周波クロック・ソース。 1 プログラム可能な高クロック分周器の出力からの内部送信高周波クロック・ソース。
14	HCLKXP	0 1	送信ビット・ストリーム高周波クロック極性選択ビット。 0 立ち上がりエッジ。AHCLKX がプログラム可能なビット・クロック分周前に反転されません。送信ビット・クロック (ACLKX) が内部生成で、プログラム可能なビット・クロック分周器が 1 分周にセットされている (ACLKXCTL の CLKXDIV = 0) 特殊な場合は、AHCLKX は直接 ACLKX ピンを通過します。 1 立ち下がりエッジ。AHCLKX がプログラム可能なビット・クロック分周前に反転されます。送信ビット・クロック (ACLKX) が内部生成で、プログラム可能なビット・クロック分周器が 1 分周にセットされている (ACLKXCTL の CLKXDIV = 0) 特殊な場合は、AHCLKX は直接 ACLKX ピンを通過します。
13-12	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
11-0	HCLKXDIV	0-FFFh 0 1h 2h-FFFh	AUXCLK から AHCLKX への分周比を決定する送信高周波クロック分周比ビット。 0 1 分周。 1h 2 分周。 2h-FFFh 3 分周 ~ 4096 分周。

4.32 トランスミット TDM タイム・スロット・レジスタ (XTDM)

トランスミット TDM タイム・スロット・レジスタ (XTDM) は、トランスミッタがアクティブになる TDM タイム・スロットを指定します。TDM タイム・スロット範囲は 384 スロットまで拡張されます (384 サブフレームの SPDIF ブロックをサポートするため)。XTDM は剰余 32 を操作します。すなわち、XTDMS はタイム・スロット 0、32、64、96、128 などの TDM アクティビティを指定します。図 4-31 および表 4-33 に、XTDM を示します。

図 4-31. トランスミット TDM タイム・スロット・レジスタ (XTDM) [オフセット B8h]

31	30	29	28	27	26	25	24
XTDMS31	XTDMS30	XTDMS29	XTDMS28	XTDMS27	XTDMS26	XTDMS25	XTDMS24
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
23	22	21	20	19	18	17	16
XTDMS23	XTDMS22	XTDMS21	XTDMS20	XTDMS19	XTDMS18	XTDMS17	XTDMS16
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
15	14	13	12	11	10	9	8
XTDMS15	XTDMS14	XTDMS13	XTDMS12	XTDMS11	XTDMS10	XTDMS9	XTDMS8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4	3	2	1	0
XTDMS7	XTDMS6	XTDMS5	XTDMS4	XTDMS3	XTDMS2	XTDMS1	XTDMS0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

表 4-33. トランスミット TDM タイム・スロット・レジスタ (XTDM) フィールドの説明

ビット	フィールド	値	説明
31-0	XTDMS[31-0]	0	TDM タイム・スロット n のときのトランスミッタ・モード。 送信 TDM タイム・スロット n はインアクティブです。送信シリアライザはこのスロット時にデータをシフトアウトしません。
		1	送信 TDM タイム・スロット n はアクティブです。送信シリアライザはシリアライザ・コントロール・レジスタ (SRCTL) に応じてこのスロット時にデータをシフトアウトします。

4.33 トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL)

トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL) は、McASP 送信割り込み (XINT) の生成を制御します。レジスタ・ビットが 1 にセットされている場合、イネーブルされた McASP 状態が発生すると XINT が生成されます。図 4-32 および表 4-34 に、XINTCTL を示します。割り込み状態については、4.34 節を参照してください。

図 4-32. トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL) [オフセット BCH]

31							8
Reserved ^(A)							
R-0							
7	6	5	4	3	2	1	0
XSTAFRM	Reserved ^(A)	XDATA	XLAST	XDMAERR	XCKFAIL	XSYNCERR	XUNDRN
R/W-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-34. トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
7	XSTAFRM	0 1	フレーム割り込みの送信開始イネーブル・ビット。 0 割り込みはディスエーブル。フレーム割り込みの送信を開始しても McASP 送信割り込み (XINT) は生成されません。 1 割り込みはイネーブル。フレーム割り込みの送信を開始すると McASP 送信割り込み (XINT) が生成されます。
6	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
5	XDATA	0 1	送信データ・レディ割り込みイネーブル・ビット。 0 割り込みはディスエーブル。送信データ・レディ割り込みによる McASP 送信割り込み (XINT) は生成されません。 1 割り込みはイネーブル。送信データ・レディ割り込みによる McASP 送信割り込み (XINT) が生成されます。
4	XLAST	0 1	送信最終スロット割り込みイネーブル・ビット。 0 割り込みはディスエーブル。送信最終スロット割り込みによる McASP 送信割り込み (XINT) は生成されません。 1 割り込みはイネーブル。送信最終スロット割り込みによる McASP 送信割り込み (XINT) が生成されます。
3	XDMAERR	0 1	送信 DMA エラー割り込みイネーブル・ビット。 0 割り込みはディスエーブル。送信 DMA エラー割り込みによる McASP 送信割り込み (XINT) は生成されません。 1 割り込みはイネーブル。送信 DMA エラー割り込みによる McASP 送信割り込み (XINT) が生成されます。
2	XCKFAIL	0 1	送信クロック障害割り込みイネーブル・ビット。 0 割り込みはディスエーブル。送信クロック障害割り込みによる McASP 送信割り込み (XINT) は生成されません。 1 割り込みはイネーブル。送信クロック障害割り込みによる McASP 送信割り込み (XINT) が生成されます。

表 4-34. トランスミッタ・インタラプト・コントロール・レジスタ (XINTCTL) フィールドの説明

ビット	フィールド	値	説明
1	XSYNCERR	0 1	<p>予期せぬ送信フレーム同期割り込みイネーブル・ビット。</p> <p>0 割り込みはディスエーブル。予期せぬ送信フレーム同期割り込みにより McASP 送信割り込み (XINT) は生成されません。</p> <p>1 割り込みはイネーブル。予期せぬ送信フレーム同期割り込みにより McASP 送信割り込み (XINT) は生成されます。</p>
0	XUNDRN	0 1	<p>トランスミッタ・アンダーラン割り込みイネーブル・ビット。</p> <p>0 割り込みはディスエーブル。トランスミッタ・アンダーラン割り込みにより McASP 送信割り込み (XINT) は生成されません。</p> <p>1 割り込みはイネーブル。トランスミッタ・アンダーラン割り込みにより McASP 送信割り込み (XINT) が生成されます。</p>

4.34 トランスミッタ・ステータス・レジスタ (XSTAT)

トランスミッタ・ステータス・レジスタ (XSTAT) は、トランスミッタ・ステータスと送信 TDM タイム・スロット番号を提供します。CPU が割り込みをクリアするためにフラグに書き込む同じサイクルで McASP ロジックが割り込みをセットしようとする、McASP ロジックが優先され、フラグはセットされたままになります。これにより、新規割り込み要求も生成されます。図 4-33 および表 4-35 に、XSTAT を示します。

図 4-33. トランスミッタ・ステータス・レジスタ (XSTAT) [オフセット C0h]

31							9	8
Reserved ^(A)							XERR	
R-0							R/W-0	
7	6	5	4	3	2	1	0	
XDMAERR	XSTAFRM	XDATA	XLAST	XTDMSLOT	XCKFAIL	XSYNCERR	XUNDRN	
R/W-0	R/W-0	R/W-0	R/W-0	R-0	R/W-0	R/W-0	R/W-0	

凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-35. トランスミッタ・ステータス・レジスタ (XSTAT) フィールドの説明

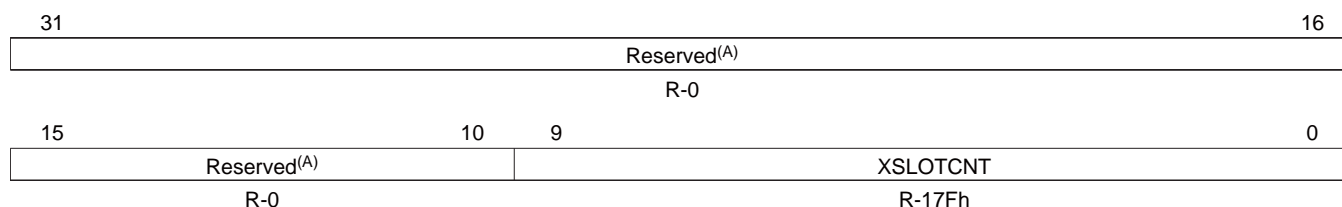
ビット	フィールド	値	説明
31-9	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
8	XERR	0 1	XERR ビットは常に XUNDRN XSYNCERR XCKFAIL XDMAERR の論理 OR を返します。シングル・ビットをチェックすればトランスミッタ・エラー割り込みが発生したかどうか判別できます。 0 エラーは発生していません。 1 エラーが発生しています。
7	XDMAERR	0 1	送信 DMA エラー・フラグ。XDMAERR は、CPU または DMA が指定のタイム・スロットでデータ・ポートを介して、トランスミッタとしてプログラムされたシリアライザの数より多くライトを行う場合にセットされます。このビットがセットされて、XINTCTL の XDMAERR がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 送信 DMA エラーは発生しませんでした。 1 送信 DMA エラーが発生しました。
6	XSTAFRM	0 1	フレーム・フラグの送信開始。このビットがセットされて、XINTCTL の XSTAFRM がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 新規送信フレーム同期 (AFSX) は検出されません。 1 新規送信フレーム同期 (AFSX) が検出されます。
5	XDATA	0 1	送信データ・レディ・フラグ。このビットがセットされて、XINTCTL の XDATA がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。 0 XBUF が書き込まれて一杯です。 1 データが XBUF から XRSR にコピーされます。XBUF が空で書き込み可能です。送信シリアライザがリセットから解除される場合も XDATA がセットされます。XDATA がセットされている場合、常に DMA イベント (AXEVT) が発生します。

表 4-35. トランスミッタ・ステータス・レジスタ (XSTAT) フィールドの説明 (続き)

ビット	フィールド	値	説明
4	XLAST	0 1	<p>送信最終スロット・フラグ。現行スロットがフレームの最終スロットである場合、XLAST が XDATA とともにセットされます。このビットがセットされて、XINTCTL の XLAST がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。</p> <p>0 現行スロットはフレームの最終スロットではありません。</p> <p>1 現行スロットがフレームの最終スロットです。XDATA もセットされます。</p>
3	XTDMSLOT	0 1	<p>X SLOT の LSB を返します。XSTAT の 1 回の読み取りで、現行 TDM タイム・スロットが偶数または奇数であるか判別することが可能です。</p> <p>0 現行 TDM タイム・スロットは奇数です。</p> <p>1 現行 TDM タイム・スロットは偶数です。</p>
2	XCKFAIL	0 1	<p>送信クロック障害フラグ。XCKFAIL は、送信クロック障害検出回路がエラーを報告する場合にセットされます (3.6.6 項を参照)。このビットがセットされて、XINTCTL の XCKFAIL がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。</p> <p>0 送信クロック障害は発生しませんでした。</p> <p>1 送信クロック障害が発生しました。</p>
1	XSYNCERR	0 1	<p>予期せぬ送信フレーム同期フラグ。XSYNCERR は、新規送信フレーム同期 (AFSX) が予想よりも早く発生する場合にセットされます。このビットがセットされて、XINTCTL の XSYNCERR がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。</p> <p>0 予期せぬ送信フレーム同期は発生しませんでした。</p> <p>1 予期せぬ送信フレーム同期が発生しました。</p>
0	XUNDRN	0 1	<p>トランスミッタ・アンダーラン・フラグ。XUNDRN は、送信シリアライザがデータを XBUF から XRSR に転送するように指示されているのに、前回の転送以降 XBUF が新規データで処理されていない場合にセットされます。このビットがセットされて、XINTCTL の XUNDRN がセットされる場合に、送信割り込み (XINT) が発生します。このビットに 1 を書き込むと、このビットはクリアされます。このビットに 0 を書き込んでも影響ありません。</p> <p>0 トランスミッタ・アンダーランは発生しませんでした。</p> <p>1 トランスミッタ・アンダーランが発生しました。アンダーラン状況での McASP アクションの詳細については、3.6.2 項を参照してください。</p>

カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT)
4.35 カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT)

カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT) は、送信データ・フレームの現行タイム・スロットを示します。図 4-34 および表 4-36 に、XSLOT を示します。

図 4-34. カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT) [オフセット C4h]


凡例：R/W = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-36. カレント・トランスミット TDM タイム・スロット・レジスタ (XSLOT) フィールドの説明

ビット	フィールド	値	説明
31-0	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
9-0	XSLOT CNT	0-17Fh	現行送信タイム・スロット・カウント。有効な値は 0 ~ 383。 リセット時、このカウンタ値は 383 であるため、最初の DIT データ・グループをエンコードするために使用される次のカウンタ値は 0 になり B プリアンプルをエンコードします。 TDM 機能はタイム・スロットが 32 より多い場合にはサポートされていません。ただし、TDM タイム・スロット・カウンタは、DIT ブロックを送信するために使用する場合、383 までカウントできます。

4.36 トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK)

トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) は、送信クロック障害検出回路を設定します。図 4-35 および表 4-37 に、XCLKCHK を示します。

図 4-35. トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) [オフセット C8h]

31	24	23	16			
XCNT	XMAX					
R-0	R/W-0					
15	8	7	6	4	3	0
XMIN	XCKFAILSW	Reserved ^(A)		XPS		
R/W-0	R/W-0	R-0		R/W-0		

凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-37. トランスミット・クロック・チェック・コントロール・レジスタ (XCLKCHK) フィールドの説明

ビット	フィールド	値	説明
31-24	XCNT	0	送信クロック・カウント値 (前の測定からの値)。クロック回路は DSP システム・クロック数を 32 個の送信高周波マスター・クロック (AHCLKX) 信号のすべてに対して継続的にカウントし、次の測定が行われるまでそのカウントを XCNT に格納します。
23-16	XMAX	0-FFh	送信クロック最大境界。この 8 ビット符号なし値は、32 個の送信高周波マスター・クロック (AHCLKX) 信号を受信した後のクロック・チェック・カウンタに対する最大許容境界をセットします。32 個の AHCLKX 信号のカウント後、現行カウンタ値が XMAX より大きい場合、XSTAT の XCKFAIL がセットされます。符号なし演算を使用した比較が実行されます。
15-8	XMIN	0-FFh	送信クロック最小境界。この 8 ビット符号なし値は、32 個の送信高周波マスター・クロック (AHCLKX) 信号を受信した後のクロック・チェック・カウンタに対する最小許容境界をセットします。32 個の AHCLKX 信号のカウント後、XCNT が XMIN より小さい場合、XSTAT の XCKFAIL がセットされます。符号なし演算を使用した比較が実行されます。
7	XCKFAILSW	0 1	送信クロック障害検出自動切り替えイネーブル・ビット。 0 送信クロック障害検出自動切り替えはディスエーブル。 1 送信クロック障害検出自動切り替えはイネーブル。
6-4	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
3-0	XPS	0-Fh 0 1h 2h 3h 4h 5h 6h 7h 8h 9h-Fh	送信クロック・チェック・プリスケアラ値。 0 1 で分周される McASP システム・クロック。 1h 2 で分周される McASP システム・クロック。 2h 4 で分周される McASP システム・クロック。 3h 8 で分周される McASP システム・クロック。 4h 16 で分周される McASP システム・クロック。 5h 32 で分周される McASP システム・クロック。 6h 64 で分周される McASP システム・クロック。 7h 128 で分周される McASP システム・クロック。 8h 256 で分周される McASP システム・クロック。 9h-Fh 予約済み。

4.37 トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL)

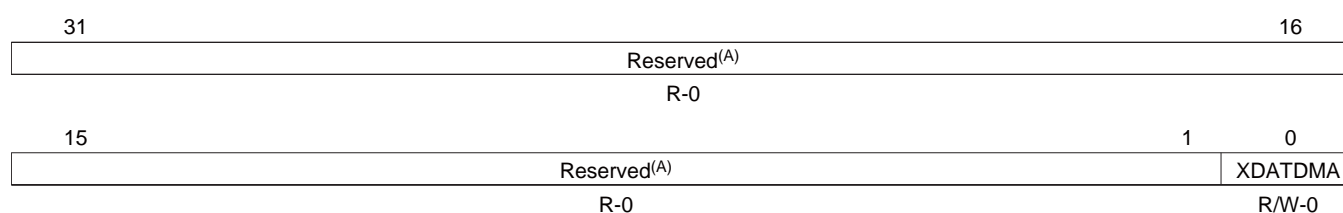
トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL) には、トランスミッタ DMA イベントのディスエーブル・ビットが含まれます。図 4-36 および表 4-38 に、XEVTCTL を示します。

注意

DSP 固有レジスタ

特定の DSP で実装されていない XEVTCTL にアクセスすると、デバイスが正常に動作しない場合があります。

図 4-36. トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL) [オフセット CCh]



凡例：R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

表 4-38. トランスミッタ DMA イベント・コントロール・レジスタ (XEVTCTL) フィールドの説明

ビット	フィールド	値	説明
31-1	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
0	XDATDMA	0	送信データ DMA 要求はイネーブル。
		1	送信データ DMA 要求はディスエーブル。

4.38 シリアルライザ・コントロール・レジスタ (SRCTLn)

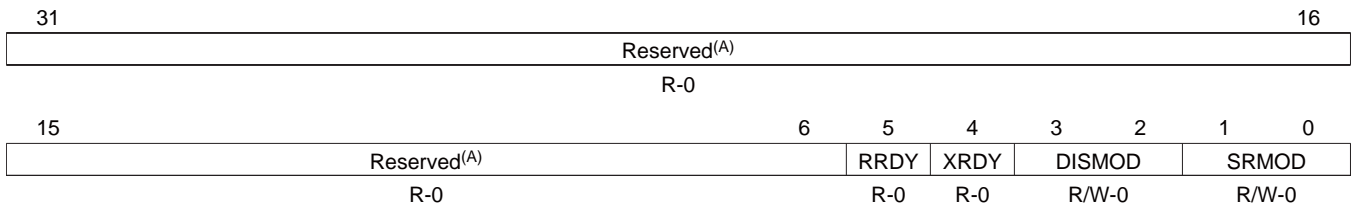
McASP の各シリアルライザにシリアルライザ・コントロール・レジスタ (SRCTL) があります。McASP ごとに最大 16 個のシリアルライザがあります。図 4-37 および表 4-39 に、SRCTL を示します。

注意

DSP 固有レジスタ

特定の DSP で実装されていない SRCTLn にアクセスすると、デバイスが正常に動作しない場合があります。

図 4-37. シリアルライザ・コントロール・レジスタ (SRCTLn) [オフセット 180h-1BCh]



凡例: R/W = 読み取り / 書き込み。R = 読み取りのみ。-n = リセット後の値。

A このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。

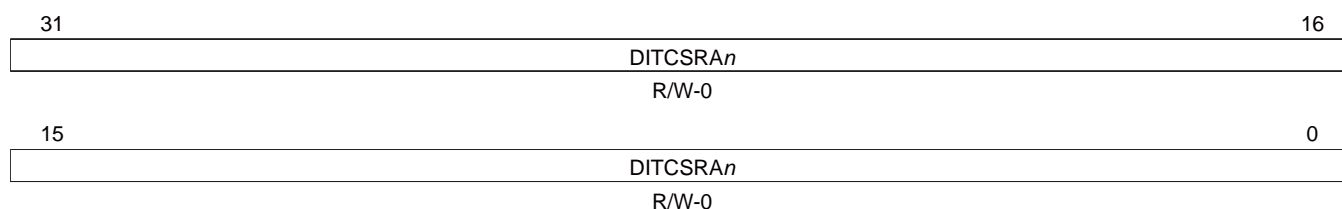
表 4-39. シリアルライザ・コントロール・レジスタ (SRCTLn) フィールドの説明

ビット	フィールド	値	説明
31-6	Reserved	0	予約。予約ビット・ロケーションは常にデフォルト値を返します。このフィールドにどの値を書き込んでも影響ありません。このフィールドに値を書き込むと、常にデフォルト値が書き込まれます。これは、将来的なデバイスの互換性を確保するためです。
5	RRDY	0 1	受信バッファ・レディ・ビット。RRDY は現在の受信バッファ状態を示します。トランスミッタまたはインアクティブにプログラムされている場合は、常に 0 を読み出します。SRMOD ビットが受信 (2h) にセットされている場合、データが XRSR から RBUF に転送されると RRDY は 0 から 1 に切り替わります。 0 受信バッファ (RBUF) は空です。 1 受信バッファ (RBUF) にはデータがあり、次のタイム・スロットの開始前またはレシーバ・オーバーラン発生前に読み出す必要があります。
4	XRDY	0 1	送信バッファ・レディ・ビット。XRDY は現在の送信バッファ状態を示します。レシーバまたはインアクティブにプログラムされている場合は、常に 0 を読み出します。SRMOD ビットが送信 (1h) にセットされている場合、空のトランスミッタを示すために GBLCTL の XSRCLR が 0 から 1 に切り替わると、XRDY は 0 から 1 に切り替わります。XRDY は XSRCLR が強制的に 0 にされるか、データが対応する送信バッファに書き込まれるか、SRMOD ビットが受信 (2h) またはインアクティブ (0) に変更されるまでセットされたままです。 0 送信バッファ (XBUF) にデータがあります。 1 送信バッファ (XBUF) は空で、次のタイム・スロットの開始前またはトランスミッタ・アンダーラン発生前に書き込む必要があります。
3-2	DISMOD	0-3h 0 1h 2h 3h	シリアルライザ・ピン・ドライブ・モード・ビット。送信モードのインアクティブ TDM スロットの場合、またはシリアルライザがインアクティブの場合にピンをドライブします。このフィールドはピンが McASP ピンとして設定されている場合 (PFUNC = 0) のみ適用されます。 0 ピンのドライブは 3 ステートです。 1h 予約。 2h ピンのドライブは論理 Low です。 3h ピンのドライブは論理 High です。
1-0	SRMOD	0-3h 0 1h 2h 3h	シリアルライザ・モード・ビット。 0 シリアルライザはインアクティブです。 1h シリアルライザはトランスミッタです。 2h シリアルライザはレシーバです。 3h 予約。

4.39 DIT レフト・チャンネル・ステータス・レジスタ (DITCSRA0 ~ DITCSRA5)

DIT レフト・チャンネル・ステータス・レジスタ (DITCSRA) は、それぞれの左チャンネルのステータスを提供します (偶数 TDM タイム・スロット)。6 個の 32 ビット・レジスタのそれぞれ (図 4-38) は 1 つの送信ブロック全体のためにチャンネル・ステータス・データの 192 ビットを格納できます。DIT は次のブロックに対して同じデータを再利用します。異なるデータ・セットを送信する必要がある場合は、ユーザーがレジスタ・ファイルを適切なタイミングで更新してください。

図 4-38. DIT レフト・チャンネル・ステータス・レジスタ (DITCSRA0 ~ DITCSRA5) [オフセット 100h-114h]

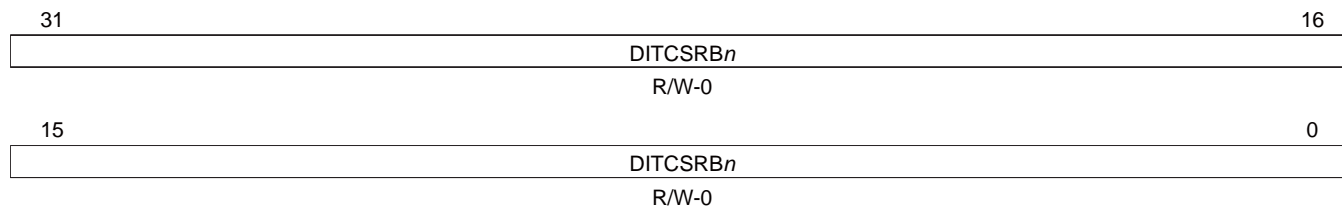


凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

4.40 DIT ライト・チャンネル・ステータス・レジスタ (DITCSRB0 ~ DITCSRB5)

DIT ライト・チャンネル・ステータス・レジスタ (DITCSRB) は、それぞれの右チャンネルのステータスを提供します (奇数 TDM タイム・スロット)。6 個の 32 ビット・レジスタのそれぞれ (図 4-39) が 1 つの送信ブロック全体のためにチャンネル・ステータス・データの 192 ビットを格納できます。DIT は次のブロックに対して同じデータを再利用します。異なるデータ・セットを送信する必要がある場合は、ユーザーがレジスタ・ファイルを適切なタイミングで更新してください。

図 4-39. DIT ライト・チャンネル・ステータス・レジスタ (DITCSRB0 ~ DITCSRB5) [オフセット 118h-12Ch]

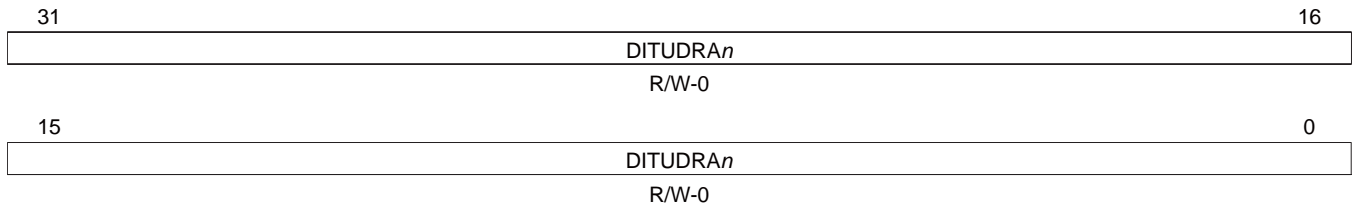


凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

4.41 DIT レフト・チャンネル・ユーザー・データ・レジスタ (DITUDRA0 ~ DITUDRA5)

DIT レフト・チャンネル・ユーザー・データ・レジスタ (DITUDRA) は、それぞれの左チャンネルのユーザー・データを提供します (偶数 TDM タイム・スロット)。6 個の 32 ビット・レジスタのそれぞれ (図 4-40) が 1 つの送信ブロック全体のためにユーザー・データの 192 ビットを格納できます。DIT は次のブロックに対して同じデータを再利用します。異なるデータ・セットを送信する必要がある場合は、ユーザーがレジスタを適切なタイミングで更新してください。

図 4-40. DIT レフト・チャンネル・ユーザー・データ・レジスタ (DITUDRA0 ~ DITUDRA5) [オフセット 130h-144h]

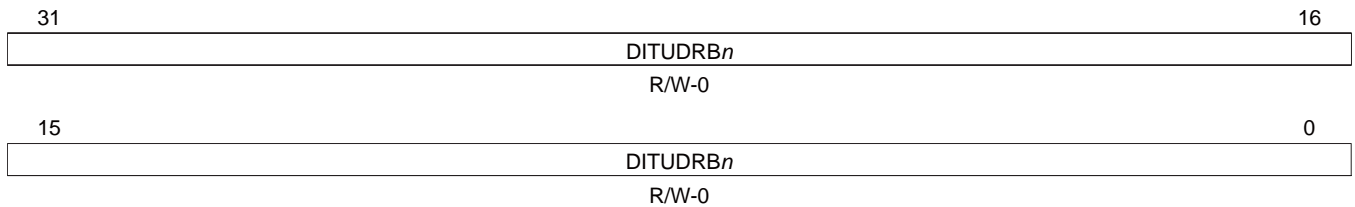


凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

4.42 DIT ライト・チャンネル・ユーザー・データ・レジスタ (DITUDRB0 ~ DITUDRB5)

DIT ライト・チャンネル・ユーザー・データ・レジスタ (DITUDRB) は、それぞれの右チャンネルのユーザー・データを提供します (奇数 TDM タイム・スロット)。6 個の 32 ビット・レジスタのそれぞれ (図 4-41) が 1 送信ブロック全体のためにユーザー・データの 192 ビットを格納できます。DIT は次のブロックに対して同じデータを再利用します。異なるデータ・セットを送信する必要がある場合は、ユーザーがレジスタを適切なタイミングで更新してください。

図 4-41. DIT ライト・チャンネル・ユーザー・データ・レジスタ (DITUDRB0 ~ DITUDRB5) [オフセット 148h-15Ch]



凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

4.43 トランスミット・バッファ・レジスタ (XBUF_n)

シリアライザの送信バッファ (XBUF) は、送信フォーマット・ユニットからのデータを保持します。送信動作では、XBUF (図 4-42) はシリアライザの XRBUF のエイリアスです。

注意

DSP 固有レジスタ

特定の DSP で実装されていない XBUF レジスタにアクセスすると、デバイスが正常に動作しない場合があります。

図 4-42. トランスミット・バッファ・レジスタ (XBUF_n) [オフセット 200h-21Ch]

31	XBUF _n	16
	R/W-0	
15	XBUF _n	0
	R/W-0	

凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

4.44 レシーブ・バッファ・レジスタ (RBUF_n)

シリアライザの受信バッファ (RBUF) は、データを受信フォーマット・ユニットに転送する前にシリアライザからのデータを保持します。受信動作では、RBUF (図 4-43) はシリアライザの XRBUF のエイリアスです。

注意

DSP 固有レジスタ

特定の DSP で実装されていない RBUF レジスタにアクセスすると、デバイスが正常に動作しない場合があります。

図 4-43. レシーブ・バッファ・レジスタ (RBUF_n) [オフセット 280h-2BCh]

31	RBUF _n	16
	R/W-0	
15	RBUF _n	0
	R/W-0	

凡例: R/W = 読み取り / 書き込み。-n = リセット後の値。

改訂履歴

英語版リファレンス・ガイド（文献番号 SPRU041G）をご参照ください。

EDMA 実装例

本付録では、McASP を処理するための EDMA 実装例を示します。McASP 処理の概要については、[3.3.5 項](#)を参照してください。

項目	ページ
B.1 EDMA 実装ガイドライン	128
B.2 EDMA 実装シナリオ 1	128
B.3 EDMA 実装シナリオ 2	129

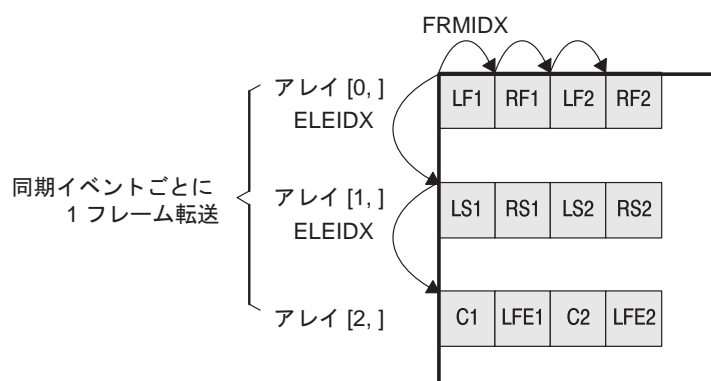
B.1 EDMA 実装ガイドライン

6つのイベント AXEVT、AXEVTO、AXEVTE、AREVT、AREVTO、および AREVTE はそれぞれ、EDMA セクタ・コントロール・レジスタを使用することで任意の EDMA チャンネルに設定できます（詳細については、各デバイスのデータシートを参照してください）。

B.2 EDMA 実装シナリオ 1

3.3.5 項および図 3-5 で説明したように、EDMA はイベント AXEVT と AREVT（図 3-5 のシナリオ 1）、またはイベント AXEVTO、AREVTO、AXEVTE、および AREVTE（図 3-5 のシナリオ 2）で McASP を処理できます。図 B-1 に、EDMA を使用したシナリオ 1 の実装例を示します。

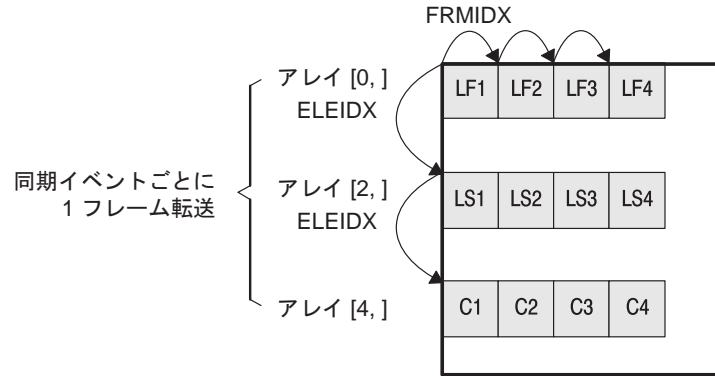
図 B-1. 各タイム・スロットでトリガされる EDMA イベント (AXEVT/AREVT)



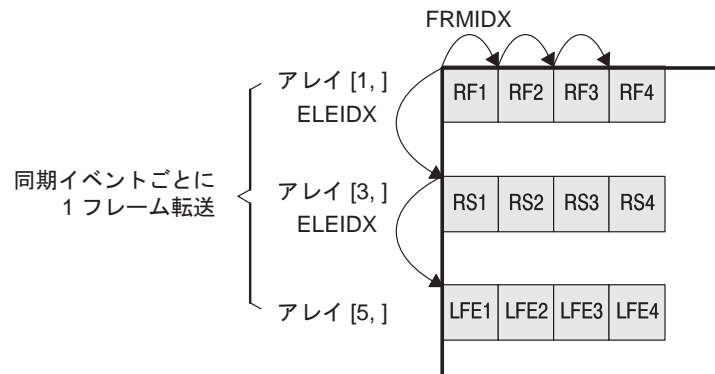
B.3 EDMA 実装シナリオ 2

3.3.5 項および図 3-5 で説明したように、EDMA はイベント AXEVT と AREVT (図 3-5 のシナリオ 1)、またはイベント AXEVTO、AREVTO、AXEVTE、および AREVTE (図 3-5 のシナリオ 2) で McASP を処理できます。図 B-2 に、EDMA を使用したシナリオ 2 の実装例を示します。

図 B-2. 各タイム・スロットに対してトリガされる 2 つの交互 EDMA イベント



(a) AXEVTE0 でトリガされるチャンネル



(b) AXEVTO0 でトリガされるチャンネル

レジスタ・ビットの制限

一部のビット・フィールド（表 C-1 を参照）には、変更時に制限があります。これらの制限は、GBLCTL 内でアサートが必要な特定のレジスタとなって現れます。これらのレジスタがアサートされた後のみ、ユーザーは目的のビット・フィールドを変更できます。

表 C-1. 変更時に制限があるビット

変更する レジスタ	変更する ビット・ フィールド	GBLCTL 内でアサートが必要なレジスタ									
		HCLKRRST	RGRST	RSRCLR	RSMRST	RFRST	HCLKXRST	XGRST	XSRCLR	XSMRST	XFRST
DITCTL	DITEN									×	×
XFMT	XSSZ									×	
XFMT	XDATDLY				×					×	
RFMT	RSSZ				×						
RFMT	RDATDLY				×						
AFSXCTL	FSXP									×	×
AFSXCTL	FSXM									×	×
AFSXCTL	FXWID									×	×
AFSXCTL	XMOD									×	×
AFSRCTL	FSRP				×	×					
AFSRCTL	FSRM				×	×					
AFSRCTL	FRWID				×	×					
AFSRCTL	RMOD				×	×					
ACLKXCTL	CLKXDIV							×	×	×	×
ACLKXCTL	CLKXM								×	×	×
ACLKXCTL	ASYN				×	×					
ACLKXCTL	CLKXP								×	×	×
ACLKRCTL	CLKRDIV		×	×	×	×					
ACLKRCTL	CLKRM			×	×	×					
ACLKRCTL	CLKRP			×	×	×					
AHCLKXCTL	HCLKXDIV						×	×	×	×	×
AHCLKXCTL	HCLKXP						×	×	×	×	×
AHCLKXCTL	HCLKXM						×	×	×	×	×
AHCLKRCTL	HCLKRDIV	×	×	×	×	×					
AHCLKRCTL	HCLKRP	×	×	×	×	×					
AHCLKRCTL	HCLKRM	×	×	×	×	×					
DLBCTL	DLBEN			×	×	×			×	×	×
DLBCTL	ORD			×	×	×			×	×	×
DLBCTL	MODE			×	×	×			×	×	×

日本テキサス・インスツルメンツ株式会社

本 社 〒160-8366 東京都新宿区西新宿6丁目24番1号 西新宿三井ビルディング3階 ☎03(4331)2000(番号案内)

西日本ビジネスセンター 〒530-6026 大阪市北区天満橋1丁目8番30号 OAPオフィスタワー26階 ☎06(6356)4500(代 表)

■お問い合わせ先

プロダクト・インフォメーション・センター (PIC) _____ URL: <http://www.tij.co.jp/pic/>

TMS320C6000 DSP
**マルチチャネル・オーディオ・
シリアルポート (McASP)**

第1版 2006年9月

発行所 **日本テキサス・インスツルメンツ株式会社**
〒160-8366
東京都新宿区西新宿 6-24-1 (西新宿三井ビルディング)



ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上