

Technical Article

DCM フライバック コンバータの設計



John Betten

フライバック コンバータは、連続導通モード (CCM) または不連続導通モード (DCM) で動作可能です。ただし、多くの低消費電力および低電流アプリケーションでは、DCM フライバック コンバータを使用して、よりコンパクトで低コストのオプションを実現できます。このような設計を実施するためのステップバイステップの方法論を以下に示します。

DCM 動作は、次のスイッチング サイクルが始まる前に、コンバータの整流器電流が 0 まで減少することが特徴です。スイッチングの前に電流をゼロに減らすと、電界効果トランジスタ (FET) の散逸電力や整流器の損失が減少するほか、多くの場合、トランスの必要サイズも小さくなります。

これに対し、CCM 動作では、スイッチング期間の終わりまで整流器に電流が流れ続けます。CCM フライバックのフライバック設計のトレードオフと電力段の式については、[Power Tips #76:『フライバック コンバータの設計上の考慮事項』](#)と [Power Tips #77:『CCM フライバック コンバータの設計』](#)で扱っています。CCM 動作は中電力から大電力のアプリケーションに最適ですが、DCM フライバックを使用できる低消費電力アプリケーションがある場合は、この記事をご覧ください。

DCM または CCM モードのいずれかで動作可能な、フライバックの概略回路図を [図 1](#) に示します。さらに、この回路はタイミングに応じてモードを切り替えることができます。この記事で評価する DCM モードでの動作を維持するには、主要コンポーネントのスイッチング波形が [図 2](#) に示す特性を持っている必要があります。

デューティ サイクル D の間に FET Q1 がオンになると動作が開始します。T1 の 1 次巻線の電流は常に 0 から始まり、1 次巻線のインダクタンス、入力電圧、オン時間 t_1 で決まる最大値に達します。この FET がオンになっている間は、T1 の 2 次巻線極性のためダイオード D1 が逆バイアスされ、 t_1 および t_3 の間、すべての出力電流が出力コンデンサ COUT から強制的に供給されます。

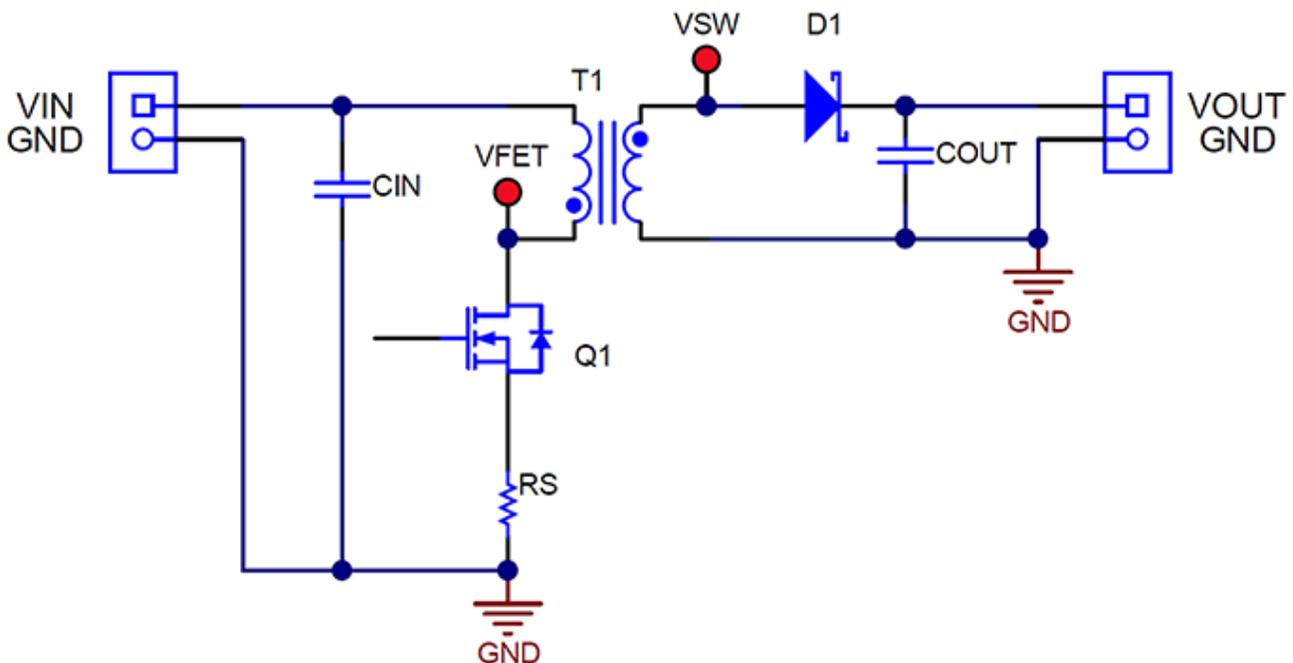


図 1. この簡略化されたフライバック コンバータは、DCM と CCM のどちらでも動作できます

1-D の間に Q1 がオフになると、T1 の 2 次側電圧極性が反転し、D1 から負荷に電流が流れ COUT を再充電できるようになります。時間 t2 の間に、D1 の電流はピークからゼロまで直線的に減少します。T1 に蓄積されたエネルギーが枯渇すると、t3 の残りの期間では残留リングングのみが発生します。このリングングは主に T1 の磁化インダクタンスと、Q1、D1、T1 の寄生容量に起因します。これは、t3 の間の Q1 のドレイン電圧で容易に確認できます。このドレイン電圧は、VIN と反射出力電圧の合計値から VIN に戻ります。これは電流が停止した時点で、T1 が電圧をサポートできないからです(注:t3 に十分なデッドタイムがないと、CCM 動作が発生する可能性があります)。CIN および COUT の電流は Q1 および D1 の電流と同じですが、DC オフセットはありません。

図 2 の色を付けた A および B の面積は、t1 および t2 の間のトランスの電圧 (ボルト) と時間 (マイクロ秒) の積を示しており、飽和を防止するためバランスがとれている必要があります。「A」の面積は $(V_{in}/N_p) \times t_1$ を表し、「B」は $(V_{out} + V_d) \times t_2$ を表し、どちらも 2 次側を基準としています。Np/Ns はトランスの 1 次側と 2 次側の巻線比です。

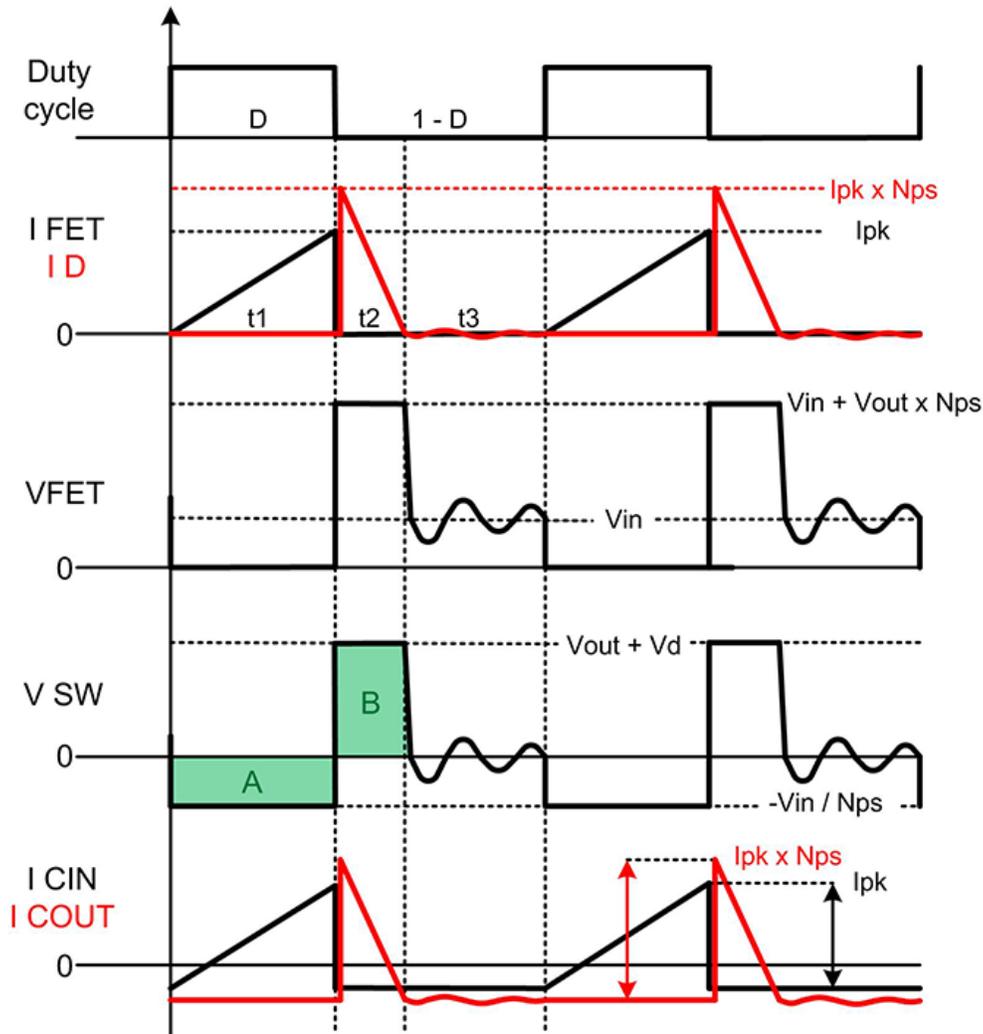


図 2. DCM フライバックの主要な電圧および電流スイッチング波形には、設計者が指定する必要のあるいくつかの重要なパラメータが含まれています

表 1 に、CCM と比較した DCM 動作のメリットとデメリットを示します。DCM の重要な特性の 1 つは、トランスの巻線比に関係なく、1 次側インダクタンスが小さくなるとデューティ サイクルが減少することです。この特性により、設計の最大デューティ サイクルが制限されます。これは、特定のコントローラを使用する場合や、特定のオン / オフ時間の範囲に制限する場合に重要です。インダクタンスが低いと、(FET のピーク電流が大きいにもかかわらず) 必要となる平均エネルギー ストレージが小さくなり、多くの場合、CCM 設計で通常、必要となるサイズよりもトランスを小型化できます。

DCM のもう 1 つのメリットは、標準的な整流器で D1 の逆回復損失が除去されることです。これは、t2 の終わりに電流がゼロになるためです。逆回復損失は多くの場合、Q1 での散逸電力の増加として現れるため、損失を排除するとスイッチングトランジスタのストレスを低減できます。より電圧の定格が高いダイオードでは整流器の逆回復時間が長くなるため、出力電圧が高くなると、この利点はますます重要になります。

表 1. DCM フライバック設計は CCM 設計に対してメリットとデメリットの両方があります

DCM のメリット	DCM のデメリット
CCM より低い 1 次側インダクタンス	より大きいピーク 1 次側電流
最大デューティサイクルがインダクタンスで決まる	より大きいピーク整流電流
トランスの小型化が可能	入力容量の増加
整流器の逆回復損失なし	出力容量の増加
FET ターンオン損失がない (または最小限)	電磁干渉の増加の可能性
制御ループ内に右半面ゼロが存在しない	CCM よりも広いデューティ サイクル動作
低出力電力に最適	帯域幅変動の増加

開発者は、設計を開始する際に、いくつかの重要なパラメータと、基本的な電気的仕様を理解する必要があります。最初に、スイッチング周波数 (f_{sw})、目標とする最大動作デューティサイクル (D_{max})、および目標効率の推定値を選択します。式 1 で、オン時間 t_1 を次のように計算します。

$$t_1 = \frac{D_{max}}{f_{sw}} \quad (1)$$

次に、式 2 を使用して、トランスのピーク 1 次側電流 I_{pk} を推定します。式 2 の FET のオン電圧 (V_{ds_on}) と電流センス抵抗電圧 (V_{RS}) については、0.5V など、実際の設計に適した小さな電圧降下を想定します。これらの電圧降下は後で更新できます。

$$I_{pk} = \frac{P_{out_{max}} \times \left(\frac{2}{D_{max}}\right)}{(V_{in_{min}} - V_{ds_on} - V_{RS}) \times (n)} \quad (2)$$

図 2 の A と B の面積が等しいことをもとに、式 3 で必要なトランスの巻線比 N_p/N_s を計算します。

$$\frac{N_p}{N_s} = \frac{(V_{in_{min}} - V_{ds_on} - V_{RS}) \times t_1}{\left(\frac{1}{f_{sw}} \times (1 - x) - t_1\right) \times (V_{out} + V_d)} \quad (3)$$

ここで、 x は t_3 の望ましい最小アイドル時間です ($x = 0.2$ から開始)。

N_p/N_s を変更する場合は、 D_{max} を調整して、もう一度繰り返します。

次に、式 4 と式 5 を使用して、Q1 (V_{ds_max}) と D1 (V_{PIV_max}) の最大「フラットトップ」電圧を計算します。

$$V_{ds_{max}} = V_{in_{max}} + (V_{out} + V_d) \times \frac{N_p}{N_s} \quad (4)$$

$$V_{PIV_{max}} = V_{out} + \frac{V_{in_{max}}}{\frac{N_p}{N_s}} \quad (5)$$

これらの成分には一般にトランスの漏れインダクタンスに起因するリングングが発生するので、目安として、実際の値は式 4 および式 5 で見積もった値より 10~30% 高くなることを想定します。 V_{ds_max} が予測より大きい場合には、 D_{max} を小さくすると減少しますが、 V_{PIV_max} は増加します。どの電圧成分がより重要かを判断し、必要に応じて計算を繰り返します。

式 6 を使用して t_{1_max} を計算します。これは、式 1 の値に近い必要があります。

$$t1_max = \frac{(Vout + Vd) \times \frac{Np}{Ns} \times \left(\frac{1}{fsw} \times (1 - x)\right)}{Vin_min + (Vout + Vd) \times \frac{Np}{Ns}} \quad (6)$$

式 7 で必要な最大 1 次側インダクタンスを計算します。

$$Lpri_max = \frac{Vin_min^2 \times t1_max^2 \times n \times fsw}{2 \times Vout \times Iout_max} \quad (7)$$

式 7 が示すよりも低いインダクタンスを選択した場合、 x を増やして D_{max} を下げ、 Np/Ns と $Lpri_max$ が目的の値に等しくなるまで必要に応じて計算を繰り返します。

これで式 7 を使った D_{max} の計算が可能になります。

$$Dmax = \sqrt{\frac{2 \times fsw \times Vout \times Iout_max \times Lpri}{Vin_min^2 \times n}} \quad (8)$$

さらに、式 9 および式 10 を使用して、それぞれ最大 Ipk およびその最大二乗平均平方根 (RMS) の値を計算します。

$$Ipkmax = \sqrt{\frac{2 \times Vout \times Iout_max}{Lpri \times fsw \times n}} \quad (9)$$

$$Ipkrms = Ipkmax \sqrt{\frac{Dmax}{3}} \quad (10)$$

選択したコントローラの電流センス入力の最小電流制限スレッショルド Vcs (式 11) に基づいて、許容される最大電流センス抵抗の値を計算します。

$$Rsmax = \frac{Vcs}{Ipkmax} \quad (11)$$

式 11 の $Ipkmax$ の計算値と RS を使用して、式 2 の FET Vds とセンス抵抗 VRS の想定される電圧降下が近いことを確認します。大きく異なる場合は計算を繰り返します。

式 12 と式 13 を使用して、 RS で散逸される最大電力を計算し、Q1 の導通損失を式 10 から計算します。

$$P Rsns = Ipkrms^2 \times RS \quad (12)$$

$$P FETcond = Ipkrms^2 \times Rdson \quad (13)$$

FET のスイッチング損失は一般に $Vinmax$ で最大になるため、式 14 を使用して VIN の範囲全体にわたって Q1 のスイッチング損失を計算するのが最適です。

$$P FETsw = 0.25 \times \left(\frac{Qdrv}{Idrv}\right) \times fsw \times Ipk \times Vds \quad (14)$$

ここで、 $Qdrv$ は FET の総ゲート電荷量、 $Idrv$ は予測されるピークゲート駆動電流です。

式 15 と式 16 で、FET の非線形 $Coss$ 容量の充電と放電に起因する合計電力損失を計算します。式 15 の積分は、0V と実際の動作電圧 Vds の間で、実際の FET の $Coss$ データシートの曲線によく一致している必要があります。 $Coss$ 損失は一般に、高電圧アプリケーション、または非常に小さい $RDS(on)$ FET ($Coss$ 値がより大きい) を使用する場合に最大になります。

$$Qtot = \int_{-Vds}^0 \left[\frac{Coss(0V)}{(1 - v)^{0.5}} \right] dv \quad (15)$$

$$P FETcoss = \frac{fsw \times Qtot \times Vds}{2} \quad (16)$$

FET の合計損失は、式 13、式 14、式 16 の結果を合計することで概ね見積もることができます。

式 17 は、この設計でダイオード損失の計算が大幅に簡素化されることを示しています。必ず 2 次側ピーク電流の定格を持つダイオードを選択してください。このピーク電流は一般に、**IOUT** よりはるかに大きくなります。

$$P_{Diode} = \frac{I_{pk} \times \frac{N_p}{N_s} \times t_2 \times f_{sw}}{2} \times V_{diode} = I_{out} \times V_{diode} \quad (17)$$

一般に、出力容量は式 18 と式 19 の大きい方を選択します。この場合、リップル電圧と等価直列抵抗 (式 18) または負荷過渡応答 (式 19) に基づいて容量を計算します。

$$C_{out1\ ripple} = \frac{I_{out_max} \times (1 - D)}{\left(V_{out\ rip} - I_{pk} \times \frac{N_p}{N_s} \times R_{esr}\right) \times f_{sw}} \quad (18)$$

$$C_{out2\ ltran} = \frac{\Delta I_{out}}{2\pi \times \Delta V_{out} \times f_{BW}} \quad (19)$$

ここで、 ΔI_{OUT} は出力負荷電流の変化、 ΔV_{OUT} は許容される出力電圧変位、**fBW** はコンバータの推定帯域幅です。出力コンデンサの **RMS** 電流は、式 20 で計算します。

$$I_{Cout\ rms} = \sqrt{\frac{I_{pk} \times \left(\frac{N_p}{N_s}\right)^2 \times t_2 \times f_{sw}}{3} - I_{out_max}^2} \quad (20)$$

入力コンデンサのパラメータは、式 21 と式 22 で推定します。

$$C_{inmin} = \frac{I_{pk} \times D}{2 \times f_{sw} \times V_{in\ rip}} \quad (21)$$

$$I_{Cin\ rms} = \sqrt{\frac{I_{pk}^2 \times D}{3} - \left(\frac{P_{out_max}}{V_{in} \times n}\right)^2} \quad (22)$$

式 23、式 24、式 25 に、3 つの主要な波形時間間隔とそれらの関係をまとめます。

$$t_1 = \sqrt{\frac{2 \times V_{out} \times I_{out} \times L_{pri}}{V_{in}^2 \times f_{sw} \times n}} \quad (23)$$

$$t_2 = \frac{t_1 \times V_{in}}{(V_{out} + V_d) \times \frac{N_p}{N_s}} \quad (24)$$

$$t_3 = \frac{1}{f_{sw}} - t_1 - t_2 \quad (25)$$

2 次側巻線を追加する必要がある場合は、式 26 で追加巻線 **Ns2** を簡単に計算できます。

$$\frac{N_{s2}}{N_{s1}} = \frac{V_{out2} + V_{d2}}{V_{out1} + V_{d1}} \quad (26)$$

ここで、**VOUT1** と **Ns1** はレギュレートされた出力電圧です。

トランスの 1 次側 **RMS** 電流は、式 10 に示す **FET RMS** 電流と同じです。トランスの 2 次側 **RMS** 電流を式 27 に示します。トランスのコアは、飽和せずに **Ipk** を処理できる必要があります。コア損失も考慮する必要がありますが、これはこの記事の範囲を超えています。

$$I_{sec} = I_{pk} \times \frac{N_p}{N_s} \sqrt{\frac{t_2 \times f_{sw}}{3}} \quad (27)$$

ここに示すステップからわかるように、**DCM** フライバックの設計は繰り返しのプロセスです。スイッチング周波数、インダクタンス、ターン比などの初期想定の一部は、散逸電力など、後の計算に基づいて変更される可能性があります。しかし、必要な設計パラメータを得るためには、入念に必要な設計段階を踏んでください。手間を惜しまずに行えば、最適化された

DCM フライバック設計は、低消費電力、コンパクト、低コストのソリューションを実現し、パワー コンバータのニーズに対応できます。

関連記事

- [Power Tips #76:『フライバック コンバータ設計上の検討事項』](#)
- [Power Tips #77:『CCM フライバック コンバータの設計』](#)
- [Power Tips #87:『高電圧 DCM 反転チャージ ポンプ コンバータの設計方法』](#)
- [『フライバック コンバータを 2 段 LED ドライバのフロント エンドとして設計する方法』](#)
- [『周波数クランプの臨界導通モードを使用して力率補正を実装』](#)
- [『不連続導通が電流モード コンバータに問題をもたらす』](#)

過去に [EDN.com](#) で公開された記事です。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated