

## Application Note

# F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド



Peter Luong

## 概要

C2000™ デバイスの第 3 世代ファミリーは、リアルタイム制御が不可欠な複雑なシステム向けに設計された強力なマイクロコントローラであり、多くの車載および産業用アプリケーションで特に重要です。これらのデバイスには、高速で低レイテンシの統合型アナログ・ペリフェラルおよび制御ペリフェラルが搭載されており、制御と通信の設計を統合できます。このアプリケーション・レポートでは、これらのエントリ・レベル性能およびミドル・レベル性能デバイスを使用してハードウェアを開発する際のガイダンスを示します。特に、システム・レベルのハードウェア設計、部品選択、回路設計に関する情報、レイアウトに関する推奨事項が記載されています。C2000 デバイスを使用するハードウェア開発者にとって重要なガイドであり、設計プロセスの効率化を図り、障害が発生する可能性を低減するのに役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。セクション 6 には、回路図とレイアウトの設計をレビューする際に使用できる便利なチェックリストがあります。

このドキュメントは、第 3 世代の C2000 デバイスのうち F280013x、F28002x、F28003x、F28004x ファミリーにのみ適用されます。F2807x、F2837xS、F2837xD、F2838xS、F2838xD には適用されません。

## 目次

1 はじめに.....	2
2 代表的な F2800x システム・ブロック図.....	3
3 回路図設計.....	4
3.1 パッケージとデバイスの選択.....	4
3.2 デジタル IO.....	8
3.3 アナログ IO.....	11
3.4 電源.....	14
3.5 XRSn とシステム・リセット.....	18
3.6 クロック供給.....	20
3.7 デバッグとエミュレーション.....	22
3.8 未使用のピン.....	24
4 PCB レイアウト設計.....	25
4.1 レイアウト設計の概要.....	25
4.2 推奨されるボード・レイアウト.....	26
4.3 部品の配置.....	26
4.4 グランド・プレーン.....	28
4.5 アナログとデジタルの分離.....	30
4.6 トレースとビアを使用した信号配線.....	31
4.7 熱に関する注意事項.....	31
5 EOS、EMI/EMC、ESD に関する考慮事項.....	32
5.1 電氣的オーバーストレス.....	32
5.2 電磁干渉と電磁両立性.....	32
5.3 静電気放電.....	33
6 重要項目の最終的なチェックリスト.....	34
7 関連資料.....	34
8 改訂履歴.....	35

## 図の一覧

図 2-1. 代表的な TMS320F2800x システム.....	3
図 3-1. フラッシュ・メモリと性能別のエントリ・レベル性能 / ミドル・レベル性能 C2000 MCU.....	4
図 3-2. テキサス・インスツルメンツ C2000 製品選択ページ.....	5
図 3-3. SysConfig 内の PinMux ツール.....	7
図 3-4. GPIO 出力のタイミング.....	8
図 3-5. LAUNCHXL-F280049C の CAN トランシーバ.....	10
図 3-6. 代表的な RS-232 トランシーバ.....	10
図 3-7. 外部アナログ基準電圧用の基準電圧回路.....	13
図 3-8. ADC 入力モデル.....	13
図 3-9. VDD ピンのデカップリング・コンデンサ.....	15
図 3-10. DC/DC レギュレータの回路図.....	17
図 3-11. デバイスのブート・リセット・スレッシュホールド.....	19
図 3-12. 外部リセット回路.....	19
図 3-13. 外部水晶発振器.....	21
図 3-14. 外部共振器回路.....	21
図 3-15. 外部発振器回路.....	22
図 3-16. 標準的な JTAG プローブ接続.....	23
図 4-1. 4 層基板スタックアップ構成.....	25
図 4-2. 6 層基板スタックアップ構成.....	26
図 4-3. 最適な C2000 ボードの分割.....	26
図 4-4. 推奨される発振器のレイアウト.....	27
図 4-5. 基板レイアウトのデカップリング・コンデンサ.....	27
図 4-6. パワー・エレクトロニクス用のオンボード・レイアウト.....	28
図 4-7. LaunchPad のグラウンド・プレーン.....	29
図 4-8. グラウンド・プレーン切断の例.....	29
図 4-9. アナログとデジタルの絶縁.....	30
図 4-10. トレース信号の適切な配線.....	31

## 商標

C2000™ and Code Composer Studio™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

C2000 リアルタイム・マイクロコントローラ・ファミリには、さまざまなピン・パッケージ、フラッシュ・サイズ、性能、機能セットを備えた幅広い性能パッケージがあります。この幅広い製品ラインアップは、処理、センシング、駆動のさまざまなアプリケーションに対応しています。TMS320F2800x デバイス (F280013x, F28002x, F28003x, F28004x) はすべて、業界をリードする TMS320C28x 32 ビット・デジタル信号プロセッサ (DSP) コアを搭載しており、100MHz 以上の周波数で動作します。これに加えて、算術演算用に調整された命令セットにより、C2000 MCU は、超低レイテンシの制御システムで浮動小数点または固定小数点のコードを実行できます。性能面では、エントリ・レベル性能およびミッド・レンジ性能の F2800x デバイスはフラッシュ・サイズが最大 384KB で、RAM サイズは最大 100KB です。

処理能力の向上と消費電力の低減により、非常に能力の高いデバイスを実現できましたが、C2000 MCU を使用した設計の複雑さも大幅に増大しました。C2000 マイクロコントローラ・ファミリはスケーラビリティの高いデバイスですが、これらの進歩にはアナログに関する追加の課題が伴います。システムに最適なデバイスはどれか。安定性を高めるために、どのような追加部品が必要か。最高のデバイス性能を達成するために、どのようなレイアウト上の考慮事項があるか。これらすべての情報とその他の重要な基準について、このアプリケーション・レポートで説明します。

### 注

デバイス用のデータ・マニュアルの最新の改訂が、このレポートの情報 / データよりも優先されます。このドキュメントでは、F2800x マイクロコントローラを使用してシステムを設計する際のベスト・プラクティスに関するガイドランスを提供します。デバイスの詳細については、デバイス用のデータシートと技術リファレンス・マニュアルを参照してください。

## 2 代表的な F2800x システム・ブロック図

図 2-1 に、C2000 ベースの代表的な制御システム図を示します。このマイクロコントローラには、3.3V アナログ電圧 (VDDA)、3.3V デジタル電圧 (VDDIO)、1.2V コア電源レール (VDD) を含む 1 次側電圧レールに対応する電源システムから電源を供給します。C2000 デバイスは豊富なペリフェラルをサポートしています。C2000 ベースのシステムでは通常、パワー・マネージメント、アナログ入力のシグナル・コンディショニング、水晶振動子または外部発振器、リセット回路、通信トランシーバ、デジタル IO ピンへの外部インターフェイス、デジタル・センシング、パルス幅変調 (PWM) インターフェイス/ドライバ、その他必要なサポート回路が MCU に接続されています。

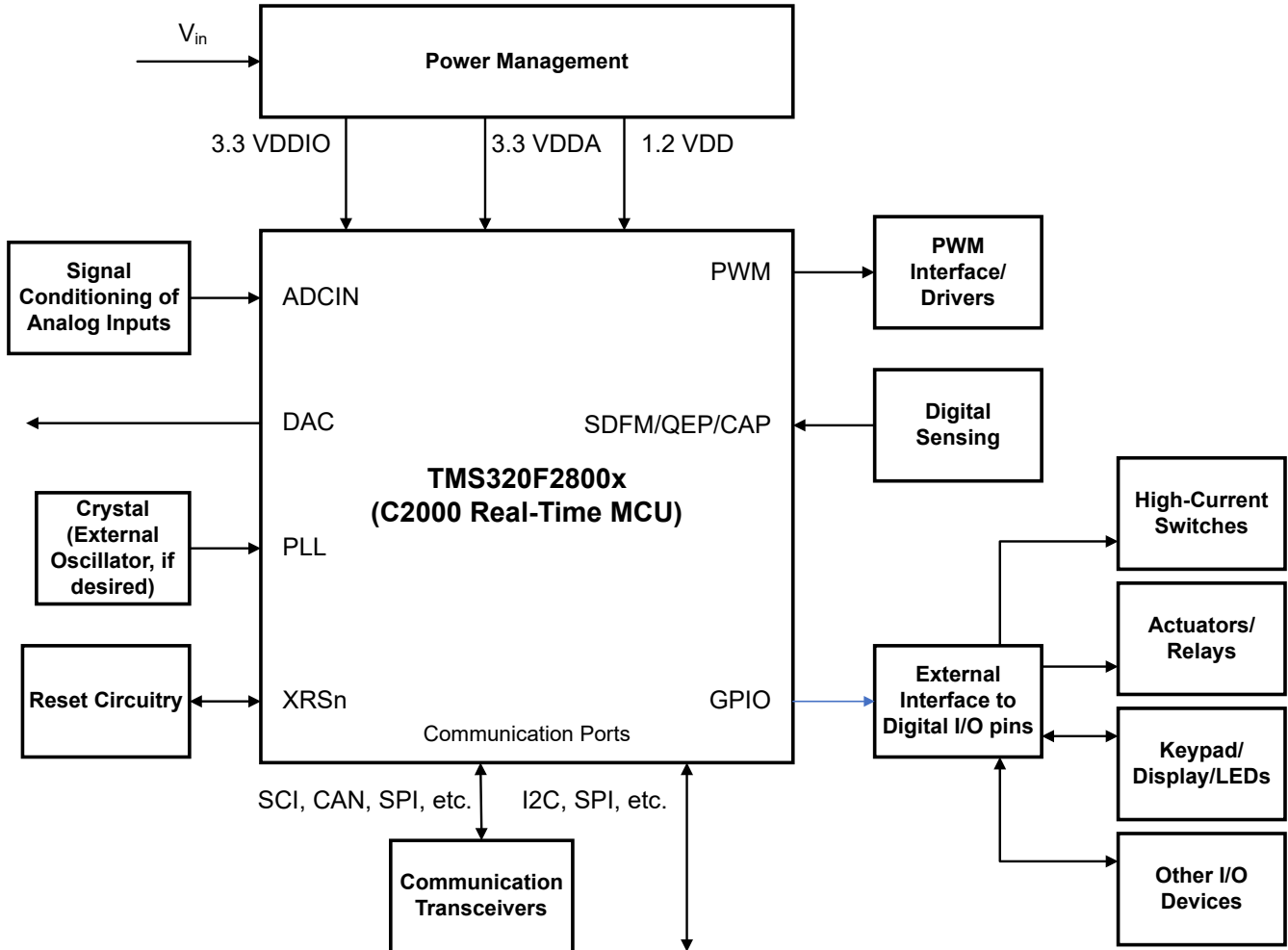


図 2-1. 代表的な TMS320F2800x システム

これらの TMS320F2800x MCU は複雑なデバイスであり、多くの内蔵ペリフェラルを活用して適切に設計されたカスタム・ボードを作成するのは困難な作業です。すべての内蔵ペリフェラルがすべての状況で必要なわけではありませんが、設計を開始する前に C2000 デバイスを理解しておくことが不可欠です。最高かつ最適化されたデバイス性能を実現するため、プロセス全体にわたって細心の注意を払う必要があります。特に課題となるのは、異なる周波数で動作するさまざまな内部ブロックすべてに注意を払うこと、オンボードのアナログ信号すべての中でシグナル・インテグリティを維持すること、EMI/EMC に関する考慮事項です。

### 3 回路図設計

以下のセクションでは、C2000 デバイスを使用して初期回路図を設計するために必要な手順を示します。パッケージの選択、デバイス内の機能と内蔵ペリフェラルの理解、システムとデバイスの性能を向上させるために必要なすべての検討事項に関する詳細情報が記載されています。

#### 3.1 パッケージとデバイスの選択

適切な C2000 デバイスを選択することは、テキサス・インスツルメンツの C2000 プラットフォームを設計し、システムに統合するための最初の手順です。コストと供給状況に加えて、ペリフェラルのサポートは、システムに実装する TMS320F2800x デバイスを検討する際に最も重要な決定要素の 1 つです。C2000 デバイスの性能は多くの場合、デバイスの番号付けに対応します (F28002x はエントリー・レベル性能チップ、F28004x はミドル・レベル性能チップ)。さらに、新しいデバイスには多くの場合、新しいオンボード・ペリフェラルや、既存のペリフェラルの更新バージョンが含まれています。各デバイスには、さまざまなパッケージとフォーム・ファクタが用意されています。各チップ・パッケージのサイズ選択の詳細については、デバイスのデータシートの「メカニカル・データ」セクションを参照してください。

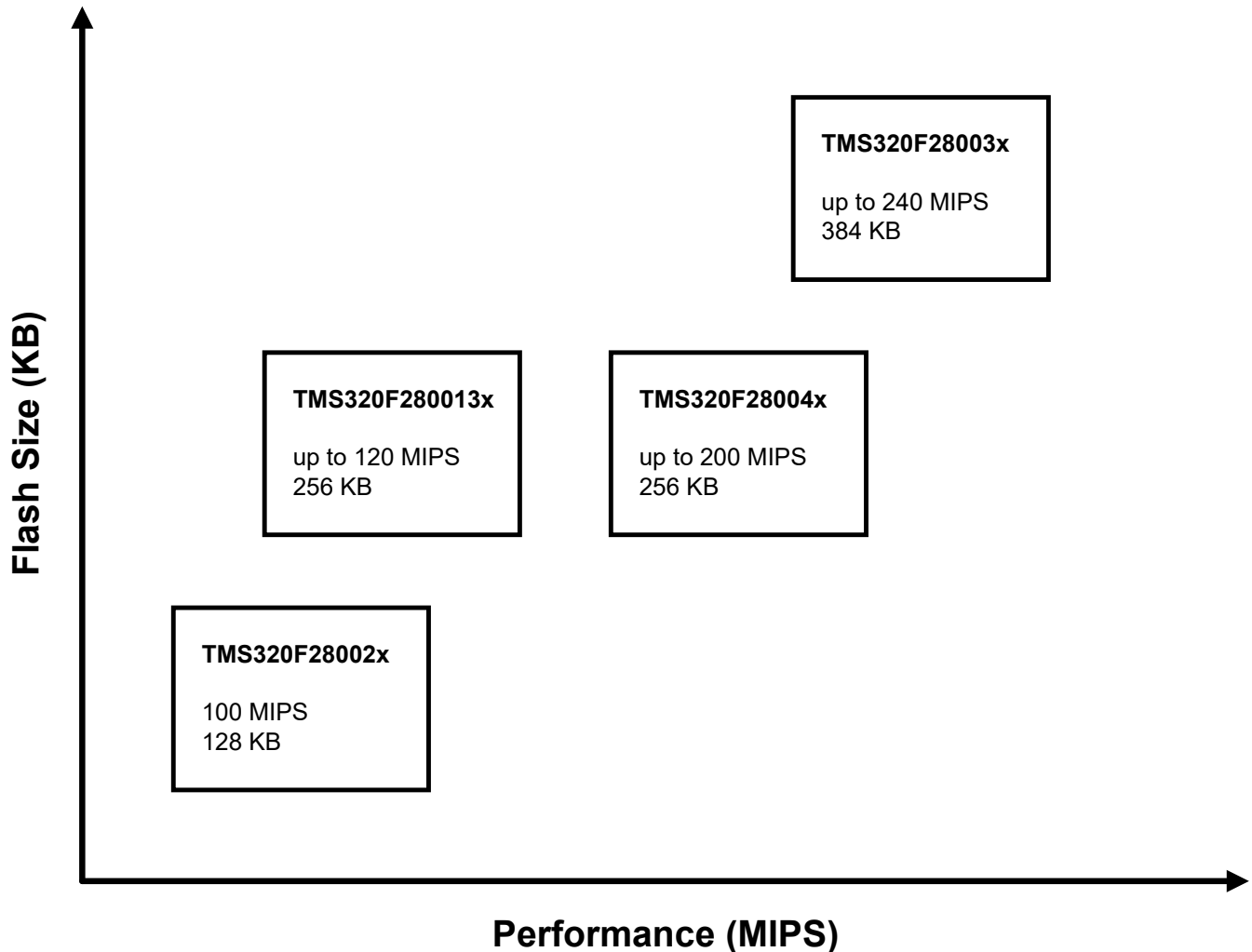


図 3-1. フラッシュ・メモリと性能別のエントリー・レベル性能 / ミドル・レベル性能 C2000 MCU

### 3.1.1 F2800x デバイス

エントリ・レベル性能およびミドル・レベル性能の C2000 デバイスには、幅広いアプリケーションやシステムに最適なさまざまなパッケージ・オプションが用意されています。C2000 デバイスは、シンプルな制御システム向けのエントリ・レベル性能パッケージと、豊富な機能を持つシステム向けの高性能パッケージで提供されています。主要なデバイス F280013x、F28002x、F28003x、F28004x は、異なるデバイス仕様と機能を持つ個別のファミリです。これらの各デバイスにはさらに、さまざまなパッケージとピン配置のものがあります。つまり、システム設計用に最適なデバイスとピン・パッケージを選択できる大規模なライブラリがあるということです。これにより、最適化されたコストで最適なペリフェラルをサポートするシステムを実装できます。

すべての F2800x デバイスは、CAN、I2C、SCI、SPI、LIN、PMBus、FSI などの通信ペリフェラルをサポートしています。アナログ・ペリフェラルに関しては、これらのデバイスに搭載されている 12 ビット ADC、外部 ADC チャンネル、および基準 DAC 付きウィンドウ・コンパレータ (CMPSS) の数は異なります。制御ペリフェラルには、eCAP、ePWM、eQEP などがあります。

利用可能なテキサス・インスツルメンツの各 C2000 デバイスにおけるペリフェラル・サポートの包括的な概要については、『C2000 リアルタイム制御 MCU ペリフェラル・リファレンス・ガイド』を参照してください。

C2000 real-time microcontrollers – Products

Quick search

Total processing (MIPS)  $\geq 40$   $\leq 925$  Frequency (MHz)  $\geq 40$   $\leq 300$

Flash memory (KB)  $\geq 0$   $\leq 1536$  Features *Select*

RAM (KB)  $\geq 2$   $\leq 516$  CPU *Select*

Search

Hide quick search

Hide filters Reset 182 total parts Email Download to Excel

Compare	Part Number	TI.com Inventory	CPU	Frequency (MHz)	Flash memory (KB)	RAM (KB)	ADC resolution	Total processing (MIPS)	Features	UART	CAN (#)	Sigma-delta filter	PWM (Ch)	Approx. price (USD)	TI functional safety category	Package Group
<input type="checkbox"/>	TMS320F280037C - NEW - C2000™ 32-bit MCU 120-MHz 256-KB flash, FPU, TMU with CLA, CLB, AES and CAN-FD	2,425	C28x, CLA	120	256	69	12-bit	240	CAN FD, Configurable logic block, Dual security	4	1	8	16	\$2,900   1ku	-	LQFP   48

図 3-2. テキサス・インスツルメンツ C2000 製品選択ページ

C2000 製品選択ページでは、周波数、フラッシュのサイズ、RAM、ADC 分解能、MIPS、ペリフェラル数などの仕様でデバイスを絞り込んで検索できます。システム要件が確定したら、どのパッケージが構築中のシステムに適しているかを判断するためのガイドとしてこのツールを使用できます。

#### 3.1.1.1 TMS320F28004x

このエントリ・レベルおよびミドル・レベル性能のデバイス・ファミリで最初のマイクロコントローラは TMS320F28004x です。単精度浮動小数点ユニット (FPU)、三角関数演算ユニット (TMU)、ビタビ / 複素数演算ユニット (VCU-I) を搭載しています。このデバイスは 100MHz で動作し、100KB の RAM (ランダム・アクセス・メモリ) と、パッケージに応じて 128KB または 256KB のフラッシュ・メモリを搭載しています。このデバイスは、24~40 の GPIO 入力と 12~21 の AIO 入力を選択可能な 56 ピン、64 ピン、100 ピンのパッケージ・オプションで提供されています。また、4 つの構成可能なロジック・ブロック (CLB) タイルと、100MHz クロックで動作するプログラマブル制御補償器アクセラレータ (CLA) も搭載しています。

F28004x MCU には、標準ペリフェラルに加えて、4~7 個のプログラマブル・ゲイン・アンプ (PGA) が搭載されています。また、指定されたピンで高分解能コンデンサと高分解能 PWM をサポートしており、3~4 個のシグマ・デルタ・フィルタ・モジュール (SDFM) を搭載しています。



TMS320F28004x デバイスの詳細については、『[TMS320F28004x リアルタイム・マイクロコントローラ](#)』データシートを参照してください。

### 3.1.1.2 TMS320F28002x

TMS320F28002x デバイスは、シンプルリアルタイム制御システムに適した、低コストのエントリ・レベル性能デバイスです。最新の TMS320C28x 32 ビット CPU が搭載されており、高速整数除算 (FINTDIV) をサポートする改良された浮動小数点ユニット (FPU) と、非線形比例積分微分 (NLPID) 制御をサポートする改良された三角関数演算ユニット (TMU) が含まれています。このコントローラには、巡回冗長性検査 (VCRC) 拡張命令セットも搭載されています。

F28002x デバイスは 100MHz のクロックで動作し、合計 24KB の RAM を搭載しており、32KB、64KB、128KB のフラッシュ・メモリのピン構成で提供されています。このデバイスは、2 つの CLB タイル、16~39 本の GPIO ピン、14~16 本の AIO ピンを備えています。F28002x デバイスには、標準的なアナログ、制御、および通信ペリフェラルがすべて搭載されています。C2000 プラットフォームの新機能であるホスト・インターフェイス・コントローラを使用すると、外部ホストから内部メモリにアクセスできます。ただし、このデバイスにはオンボード D/A コンバータ (DAC) またはシグマ・デルタ・フィルタ・モジュール (SDFM) が搭載されていないことに注意してください。これらのペリフェラルを必要とするシステムでは、TMS320F28004x または TMS320F28003x MCU を使用する必要があります。

TMS320F28002x デバイスの詳細については、『[TMS320F28002x リアルタイム・マイクロコントローラ](#)』データシートを参照してください。

### 3.1.1.3 TMS320F28003x

TMS320F28003x には、更新された FPU および TMU ユニットと、VCRC 拡張命令セットが搭載されています。このデバイスの周波数は 120MHz で、最大 384KB のフラッシュ・メモリと、69KB の揮発性メモリ (RAM) を備えています。4 つの CLB タイルと 1 つの CLA があります。入力には、最大 51 本の GPIO ピンと最大 23 本の AIO ピンが含まれます。

このデバイスには、C2000 デバイスに共通の標準ペリフェラルと、特定のペリフェラルのいくつかの改良バージョンが搭載されており、データ・レートが柔軟な CAN (MCAN/CAN FD) もサポートされます。F28003x チップにはさらに、F28004x デバイスに搭載されているシグマ・デルタ・フィルタ・モジュールも含まれています。このデバイスには、F28002x に導入されたホスト・インターフェイス・コントローラも搭載されています。新しい F28003x ペリフェラルには、AES (Advanced Encryption Standard) アクセラレータ、EPG (Embedded Pattern Generator)、セキュア・ブートおよび JTAG ロック、ライブ・ファームウェア・アップデート (LFU) などがあります。

TMS320F28003x デバイスの詳細については、『[TMS320F28003x リアルタイム・マイクロコントローラ](#)』データシートを参照してください。

### 3.1.1.4 TMS320F280013x

TMS320F280013x デバイスは、パワー・エレクトロニクスの効率を高めるために設計されたスケーラブルな超低レイテンシ・デバイスである C2000™ リアルタイム・マイクロコントローラ・ファミリのコスト最適化製品です。このデバイスは低コストであり、通常のリアルタイム制御システムだけでなく、幅広いアプリケーションで機能します。120MHz で動作し、最大 256KB のフラッシュと 36KB の RAM を搭載しています。

TMS320F280013x デバイスの詳細については、『[TMS320F280013x リアルタイム・マイクロコントローラ](#)』データシートを参照してください。

## 3.1.2 移行ガイド

C2000 マイクロコントローラを使用して開発を行う場合、ペリフェラルの追加サポート、拡張機能セット、システム最適化の改善のために、新しいデバイスに移行すると有益な場合がよくあります。テキサス・インスツルメンツでは、古い C2000 デバイスから新しい C2000 デバイスへの移行、および新しい世代の C2000 MCU 間での移行を支援するさまざまな資料を提供しています。各デバイスのデータシートを確認し、サポートされているペリフェラルとオンボードの機能ブロックを確認するのに加え、これらのガイドで主な違いを確認すると、特に C2000 マイクロコントローラ・ファミリの 1 つのデバイスに精通している場合に役立ちます。

以下に、古い C2000 デバイスから新しいデバイスへの移行、および新しい MCU 間での移行に関するリソースのリストを示します。

- 『[TMS320F2802x/TMS320F2803x から TMS320F28002x への移行の概要](#)』
- 『[TMS320F28004x マイクロコントローラ: TMS320F2806x と TMS320F2803x マイクロコントローラの比較](#)』

- 『TMS320F28004x と TMS320F28002x 間の移行』
- 『TMS320F28002x と TMS320F28003x 間の移行』
- 『TMS320F28004x と TMS320F28003x 間の移行』

### 3.1.3 PinMux ツール

ピン配置プロセスをより効率的に実行できるようにするため、テキサス・インスツルメンツでは PinMux ユーティリティと呼ばれるソフトウェア・ツールを開発しました。このユーティリティは、C2000 デバイスのピン多重化設定を構成し、ピンの競合を解決するためのグラフィカル・ユーザー・インターフェイスを提供します。このソフトウェアには、非推奨のスタンドアロン・バージョンがありますが、最新バージョンはテキサス・インスツルメンツの SysConfig アプリケーションにあります。このツールは、ピン構成プロセスを自動化することに加えて、テキサス・インスツルメンツのデバイス内のペリフェラル、サブシステム、その他のコンポーネントを構成するのにも役立つ GUI です。SysConfig ツールを使用すると、デバイスの競合をリアルタイムで管理、検出、解決して、デバイスを正しく構成することができます。SysConfig ツールは、[スタンドアロン・アプリケーション](#)、[Code Composer Studio™](#) の統合 GUI、[オンライン・クラウド・バージョン](#) の 3 つの形式で提供されています。

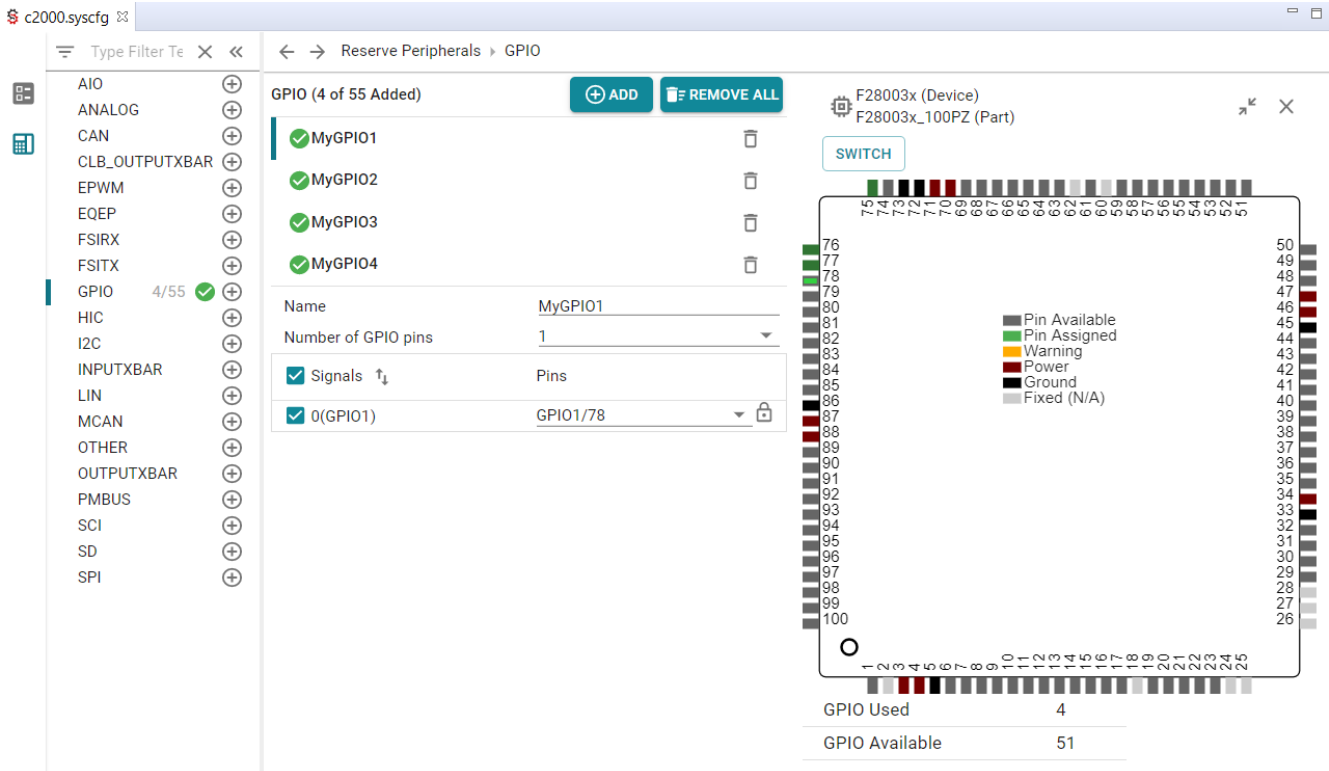


図 3-3. SysConfig 内の PinMux ツール

### 3.1.4 構成可能なロジック・ブロック

構成可能なロジック・ブロック (CLB) は、F28002x、F28003x、F28004x デバイスで利用できるデバイス上のペリフェラルです。CLB ペリフェラルには、一連のロジック・ブロックが含まれており、これらを組み合わせてカスタム・デジタル・ロジックを作成することができます。カウンタ、LUT、FSM、出力 LUT、および高レベル・コントローラが搭載されています。CLB には、C2000 デバイスで利用可能な他のペリフェラルとのさまざまな相互接続があり、CLB の機能を強化および拡張できます。この堅牢なペリフェラルにより、通常必要とされる外部ロジック・デバイスの機能を MCU 内で実現できます。これにより、多くの場合は FPGA や CPLD のような外部デバイスを組み込む必要性が低下し、ボード・コストとシステム・コストを削減できる、という有利な状況が実現できます。

CLB の詳細と外部ロジック・デバイスと CLB の比較については、『[カスタム・ロジックを FPGA/CPLD から C2000™ マイクロコントローラに移行する方法](#)』を参照してください。

## 3.2 デジタル IO

このセクションでは、GPIO から統合型の通信および制御ペリフェラルのサポートまで、デバイス内のデジタル信号について説明します。

### 3.2.1 汎用入出力

TMS320F2800x マイクロコントローラには、さまざまな数の汎用 I/O (GPIO) ピンが搭載されています。デバイスのデジタル入出力として機能し、これらの GPIO 対応ピンは標準的な GPIO として、またはペリフェラル I/O 信号として使用するように構成できます。この設計により、さまざまなアプリケーションで C2000 デバイスを使用するときに優れた柔軟性が得られます。最大 12 の独立したペリフェラル信号が 1 つの GPIO 対応ピンに多重化され、同じペリフェラルに複数の GPIO ピンの 1 つからアクセスできます。

各 GPIO ピンの最大駆動強度 (シンク/ソース電流) は 4mA です。F28002x/F28004x の最大トグル周波数は 25MHz で、立ち上がり/立ち下がり時間は 8ns です。F28004x では、これは GPIO23\_VSW を除くすべての GPIO に当てはまります。F280013x/F28003x では、最大トグル周波数は 50MHz で、立ち上がり/立ち下がり時間は同じ 8ns です。

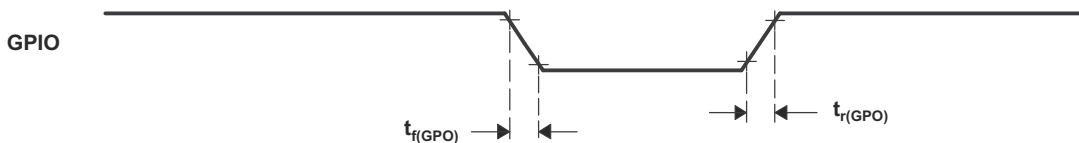


図 3-4. GPIO 出力のタイミング

リセット時、GPIO ピンは入力として定義されます。これらのピンには、デバイスのブート時およびリセット時にすべてディセーブルされる内部プルアップがあります。これらのプルアップは、ソフトウェアを使用して選択的にイネーブルまたはディセーブルできます。未接続入力フローティングになるのを回避するため、ブート ROM は、特定のパッケージで未接続の GPIO ピンについて、内部プルアップを自動的にイネーブルにします。また、すべての GPIO ピンは、デバイスの起動中およびファームウェアで構成されるまでは、ハイインピーダンスになります。これは、PWM 信号、リレードライバ、チップ・セレクトなどに、電源投入時に状態を強制するために外部プル抵抗が必要であるということです。

追加機能として、GPIO 入力を使用して、入力認定を介して不要なノイズ・グリッチを除去できます。入力認定には、同期なし (非同期入力)、SYSCLKOUT との同期、サンプリング・ウィンドウを使用した認定の 3 つのオプションがあります。ペリフェラル入力として構成されたピンは、3 つのオプションのいずれかで構成できます。GPIO として構成されたピンでは、SYSCLKOUT 同期およびサンプリング・ウィンドウを使用した認定のみを使用できます。この機能の詳細とその機能を使用した設計方法については、デバイスのテクニカル・リファレンス・マニュアルの「入力認定」セクションを参照してください。

デバイスのピン選択の構成に加えて、デバイスで汎用 I/O (GPIO) リソースを使用する場合のベスト・プラクティスにも注意することが重要です。C2000 デバイスには、ADC、DAC、PGA、CMPSS など、より多くのオンボード・アナログ・ペリフェラルが継続的に統合されており、システム・レベルのコスト削減を達成するのに役立ちます。ただし、これらの追加ペリフェラルにより、類似のピン・パッケージを維持しようとするときに使用可能な GPIO の数が少なくなります。そのため、カスタム・システムを設計するときは、GPIO の使用を最大限にすることが重要です。テキサス・インスツルメンツが提供するガイド『C2000 デバイスで GPIO を最大限に使用する方法』に、GPIO の使用方法と、IO エクスパンダの必要性を低減するための一般的な推奨事項が示されています。

### 3.2.2 内蔵ペリフェラルとクロスバー

すでに説明したように、各ペリフェラル信号は多くの GPIO ピンに接続されているため、設計とレイアウトのプロセスが容易になり、最大の柔軟性を実現できます。使用可能な GPIO ペリフェラル・ピン構成の詳細な表は、各デバイスのデータシートにある「ピン属性」の表を参照してください。

信号を GPIO から ADC、eCAP、ePWM、外部割り込みなどの IP ブロックのいずれかに配線するため、デバイスでは入力クロスバー (X-BAR) が使用されます。入力クロスバーにはすべての GPIO へのアクセスがあり、各信号を前述の IP ブロックのいずれか (または複数)、および AIO のデジタル入力側に配線できます。つまり、入力クロスバーにより、1 つのペリフェラルの出力を別のペリフェラルに配線できます。これらの C2000 MCU デバイスには GPIO 出力クロスバーも搭載されています。GPIO 出力クロスバーは、信号をデバイス内部から GPIO に出力します。



これら 2 つのクロスバーのほかに、各デバイスには ePWM クロスバーと CLB クロスバーもあります。名前が示すように、ePWM クロスバーは信号を ePWM モジュールに配線し、CLB クロスバーは信号を CLB に配線します。CLB 自体も CLB 入力クロスバーと CLB 出力クロスバーにアクセスできるため、GPIO ピンからの信号を入力または出力として CLB に配線できます。ePWM クロスバーは、各 ePWM モジュールのデジタル比較 (DC) サブモジュールに接続されており、トリップ・ゾーンや同期などを実行できます。

### 3.2.3 制御ペリフェラル

F2800x デバイスには、さまざまな数の以下の制御ペリフェラルが搭載されています。

- 拡張キャプチャ (eCAP) および高分解能キャプチャ・サブモジュール (HRCAP)
- 拡張パルス幅変調 (ePWM) および高分解能パルス幅変調 (HRPWM)
- 拡張直交エンコーダ・パルス (eQEP)
- シグマ-デルタ・フィルタ・モジュール (SDFM)

特定の制御ペリフェラルの性能は、ボードの設計の影響が大きい可能性があります。不要なノイズを低減して性能を最大限にするため、[セクション 4](#) に示すレイアウト・ガイドラインに従ってください。

シグマ・デルタ・フィルタ・モジュール (SDFM) は、TMS320F28003x および TMS320F28004x デバイスで利用でき、外部シグマ・デルタ・モジュレータと組み合わせて、モーター制御アプリケーションで電流測定とレゾルバ位置のデコードに使用されます。SDFM は、SDFM クロック入力ピンからの外部クロックを使用しているため、クロックにノイズが多い場合はその動作に障害が発生しやすくなります。デバイスのデータシートに記載されている SDFM タイミング要件を満たすクリーンでグリッチのない信号を得るため、これらの信号には特別な措置を取る必要があります。クロック・ドライバのインピーダンスの不整合によるリングングに対処するため直列終端抵抗を使用し、これらのトレースを他のノイズの多い信号から離して配置することを推奨します。これにより、適切な SDFM 機能を確保できます。SDFM 同期 GPIO (SYNC) オプションを使用してクロック・ピンを PLLRAWCLK に同期させると保護を提供でき、クロックのグリッチが発生した場合でも SDFM 動作を維持できます。この保護には制限があるので、SDFM を適切に機能させるためには、安定したクロック供給が最優先事項であることに注意してください。特定の SDFM タイミング要件については、デバイスのデータシートを参照してください。

### 3.2.4 通信ペリフェラル

F2800x デバイスには、さまざまな数の以下の通信ペリフェラルが搭載されています。

- CAN (Controller Area Network) / DCAN
- モジュラー・コントローラ・エリア・ネットワーク (MCAN/CAN FD)
- I2C (Inter-Integrated Circuit)
- PMBus (Power Management Bus) インターフェイス
- シリアル通信インターフェイス (SCI)
- シリアル・ペリフェラル・インターフェイス (SPI)
- LIN (Local Interconnect Network)
- 高速シリアル・インターフェイス (FSI)
- ホスト・インターフェイス・コントローラ (HIC)

これら全てのペリフェラルはそれぞれ異なるプロトコルで通信を行うので、意図した通信ペリフェラルのサポートを考慮して各システムを設計する必要があります。I2C、PMBus、SPI を含むボード・レベルのインターフェイスは、ボード上またはシステム経由で他のデバイスに接続されています。通常これらのドライバは直接駆動されるため、駆動能力とトレース長に十分注意してください。これらの要因は、これらの信号の選択した周波数によって異なります。

CAN を使用する場合、内部発振器を使用するのではなく、外部発振器を基板に実装することを推奨します。ビットのタイミング設定、ビット・レート、バス長、伝搬遅延などの必要な CAN パラメータによって、オンチップ・ゼロ・ピン発振器の精度が CAN プロトコルの要件を満たさない場合があります。詳細については、[セクション 3.6.1](#) および『[DCAN モジュールのプログラミング例とデバッグ戦略](#)』を参照してください。

特に I2C の場合は、外部プルアップ抵抗を使用して SDAA ピンと SCLA ピンを High にプルアップすることを推奨します。プルアップが強すぎる (抵抗値が小さい) と、実質的に I2C ピンが Low に駆動されなくなり、プルアップが弱すぎる (抵抗値が大きい) と、通信速度に影響を及ぼす可能性があります。この値は、消費電力と速度の間のトレードオフを考慮して選択する必要があります。プルアップ抵抗の理想的な範囲を計算するには、アプリケーション・レポート『[I2C バスのプルアップ抵抗値の計算](#)』を参照してください。

異なるプロセッサで動作する 2 つ以上のボードを接続できるインターフェイスには、SCI、CAN、LIN、FSI があります。これらのポートは多くの場合、ノイズに対処するために電気信号を変換し、他のデバイスのポートとの通信を可能にする専用のトランシーバ部品を必要とします。通信トランシーバを使用する場合、一部のトランシーバでは MCU の通信ピンにプルアップ抵抗が必要な場合があります。トランシーバのデータシートで、この要件を確認してください。

## CAN Connector

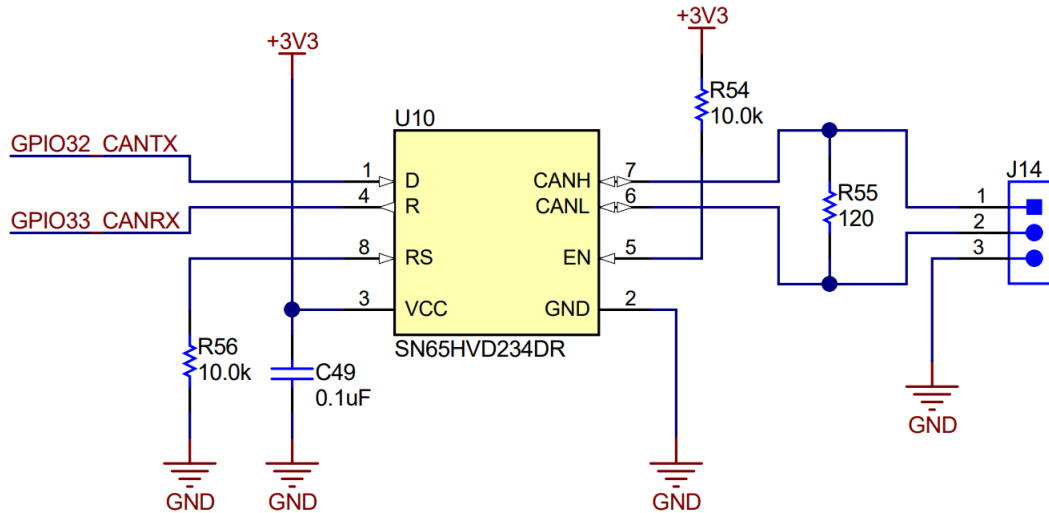


図 3-5. LAUNCHXL-F280049C の CAN トランシーバ

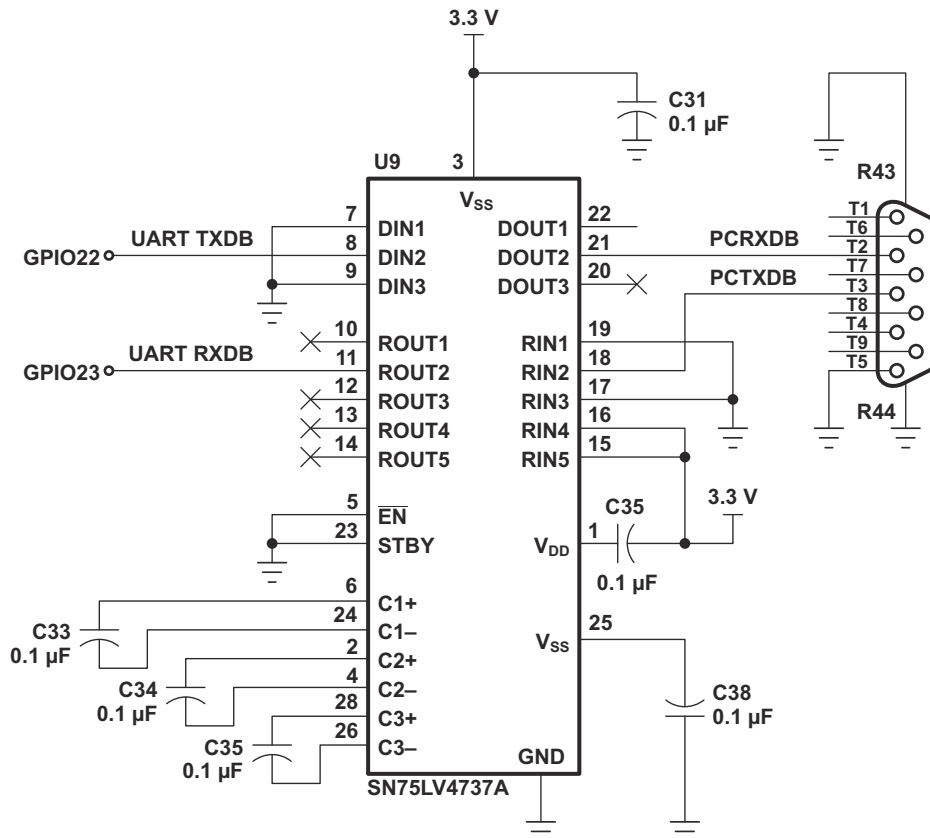


図 3-6. 代表的な RS-232 トランシーバ

SCI 通信ペリフェラルは 2 線式非同期シリアル・ポートで、SCITXD (SCI 送信出力) と SCIRXD (SCI 受信入力) の 2 つの外部ピンがあります。このプロトコルは一般に UART と呼ばれ、C2000 デバイスのプロトコルは標準の NRZ フォーマットを使用します。一部のトランシーバ実装では、SCI-RX ピンにプルアップ抵抗を配置し、信号を駆動しなくても High ロジック・レベルに戻れるようにすることを推奨します。これにより、GPIO ピンが値の間でフローティングになり、エラーが発生して消費電流が増加するのを防ぐことができます。このプルアップ抵抗の要件については、使用するトランシーバのデータシートを参照してください。使用するトランシーバの種類によっては、SCI モジュールが確定的に動作するようにするためにプルアップ抵抗が必要です。この抵抗の理想的な値はアプリケーションによって大きく異なるため、システム内でテストして選択する必要があります。プルアップ値が弱すぎる (抵抗が大きい) と、他のデバイスからのトライステート出力またはフローティング出力を抵抗でプルアップできない可能性があります。同様に、プルアップ値が強すぎる (抵抗値が小さい) と、他のデバイスから出力信号をトグルできなくなります。この値を検討する際は、10kΩ から検討するのが適切です。SCI 転送のデバッグとトラブルシューティングの詳細については、E2E の SCI FAQ スレッドを参照してください。

各種通信ペリフェラル・プロトコルの追加の参考資料については、以下のドキュメントを参照してください。

- 『TMSDFSADIADPEVM FSI アダプタ・ボード・ユーザー・ガイド』
- 『高速シリアル・インターフェイス (FSI) スキュー補償』

### 3.2.5 ブート・ピンとブート・ペリフェラル

デバイスのブート ROM には、ブートロード用ソフトウェアが含まれています。C2000 デバイスの電源投入時 (またはリセット時)、初期化が完了すると、ブートローダは実行するブート・モードを決定します。各デバイスには 2 つの GPIO ブート・ピンがあり、その状態はデバイスをブートするブート・モードを示します。デフォルトでは、これら 2 つのブート・ピンは GPIO24 と GPIO32 です。4 つのデフォルト・ブート・モードは、パラレル IO、SCI / ウェイト・ブート、CAN、フラッシュです。

ブート時に確実に定義された状態になるようにするため、GPIO ブート・ピンにプル抵抗を配置します。ユーザーがこれらのピンでペリフェラルも使用する場合、ブート・モード・ピンに抵抗値の高いプルアップ抵抗を選択してもかまいません。これは、プルアップをオーバードライブできるようにするためです。ブート・ピンとして使用する以外は、これらのピンはアプリケーションでブート時の状態が無関係な出力、信号が適切な方法でのみ駆動されることを保証できる入力としてのみ使用可能です。

表 3-1. デバイスのデフォルト・ブート・モード

ブート・モード	GPIO24 (デフォルトのブート・モード選択ピン 1)	GPIO32 (デフォルトのブート・モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト・ブート	0	1
CAN	1	0
フラッシュ	1	1

すべての F2800x デバイスでは、0~3 ピンのカスタム・ブート・モード選択ピン (BMSP) を割り当てることができます。これらから、1~8 個の構成済みブート・モードをサポートするカスタム・ブート・テーブルを作成できます。出荷時のデフォルトのブート・モード・ピンを変更するには、ユーザーが構成可能なデュアル・モード・セキュリティ・モジュール (DCSM) のワンタイム・プログラマブル・メモリ (OTP) の位置をプログラムします。一部の通信ペリフェラル (例: SCI、MCAN、DCAN、I2C、SPI) では、デバイスがブートすると想定されるデフォルトの GPIO と代替 GPIO があります。詳細については、デバイスのデータシートの「GPIO の割り当て」セクションを参照してください。

### 3.3 アナログ IO

このセクションでは、デバイスのアナログ信号に関する主な注意事項について説明します。ADC ピンの選択やアナログ基準電圧などの重要な情報について説明します。

### 3.3.1 アナログ・ペリフェラル

F2800x デバイスには、以下のアナログ・ペリフェラルがさまざまな数で含まれています。

- A/D コンバータ (ADC)
- プログラマブル・ゲイン・アンプ (PGA) (F28004x のみ)
- 温度センサ
- バッファ付き D/A コンバータ (DAC)
- コンパレータ・サブシステム (CMPSS)

### 3.3.2 アナログ・ピンの選択

GPIO ピンと同様に、アナログ・ペリフェラルではピンを柔軟に使用できます。バッファ付き DAC 出力、CMPSS 入力、PGA 機能、およびデジタル入力は、ADC 入力と多重化されています。さらに、すべての ADC は VREFLO に内部接続されているため、オフセットの自己較正が可能です。

アナログ・ピン接続を選択する際には、各ピンで使用可能なペリフェラルを考慮してください。コンパレータ付きのアナログ入力を使用すると、これらのアナログ信号が PWM を (フォルト信号として) 迅速にトリップでき、またゼロクロスを検出できます。これらのデバイスには複数の ADC が搭載されているため、特定のアナログ信号を同時にサンプリングすることが有益であるかどうかも考慮してください。このような状況では、3 つの同時アナログ信号を ADC-A、ADC-B、ADC-C に接続できます。

F2800x デバイスでは、アナログ・ピンと多重化されるデジタル GPIO の数はさまざまです。これらは、AIO および AGPIO と呼ばれます。すべての F2800x デバイスには、入力モードでのみ機能する多重化アナログ・ピンである AIO が搭載されています。デフォルトでは、これらはアナログ・ピンとして機能し、GPIO はハイ・インピーダンス状態になります。新しいタイプのアナログ・ピンは AGPIO です。これらは、AIO と AGPIO の両方を搭載した F28003x と F280013x で使用できます。これらの AGPIO は、入力と出力のすべての機能を備えていること以外は、AIO と同様に機能します。デフォルトでは、AGPIO は接続されていないため、構成する必要があります。鋭いエッジを持つデジタル信号を AIO または AGPIO に接続すると、直接隣接するアナログ信号にクロストークが発生する可能性があることに注意してください。

### 3.3.3 内部および外部アナログ基準電圧

オンボードの ADC は、基準電圧として VREFHIx と VREFLOx を使用します。ほとんどのアプリケーションでは、内部基準電圧の性能で十分です。VREFHIx ピンの電圧は内部バンドギャップ基準電圧によって駆動され、1.65V の出力 (0V ~ 3.3V) または 2.5V の出力 (0V ~ 2.5V) を選択できます。実装するシステムの設計要件で高い精度が必要な場合は、代わりに外部基準電圧を使用できます。

内部基準電圧モードを使用する場合、VREFHI ピンにはデバイス自体から電圧が駆動されるため、追加の電圧源を配置しないでください。外部基準電圧モードでは、REF3030 や高速オペアンプなどの外部回路を使用して、高基準電圧ピンを外部から駆動します。この電圧は 2.4V ~ VDDA である必要があります。すべての場合に、ピンに 2.2μF のコンデンサを配置してください。

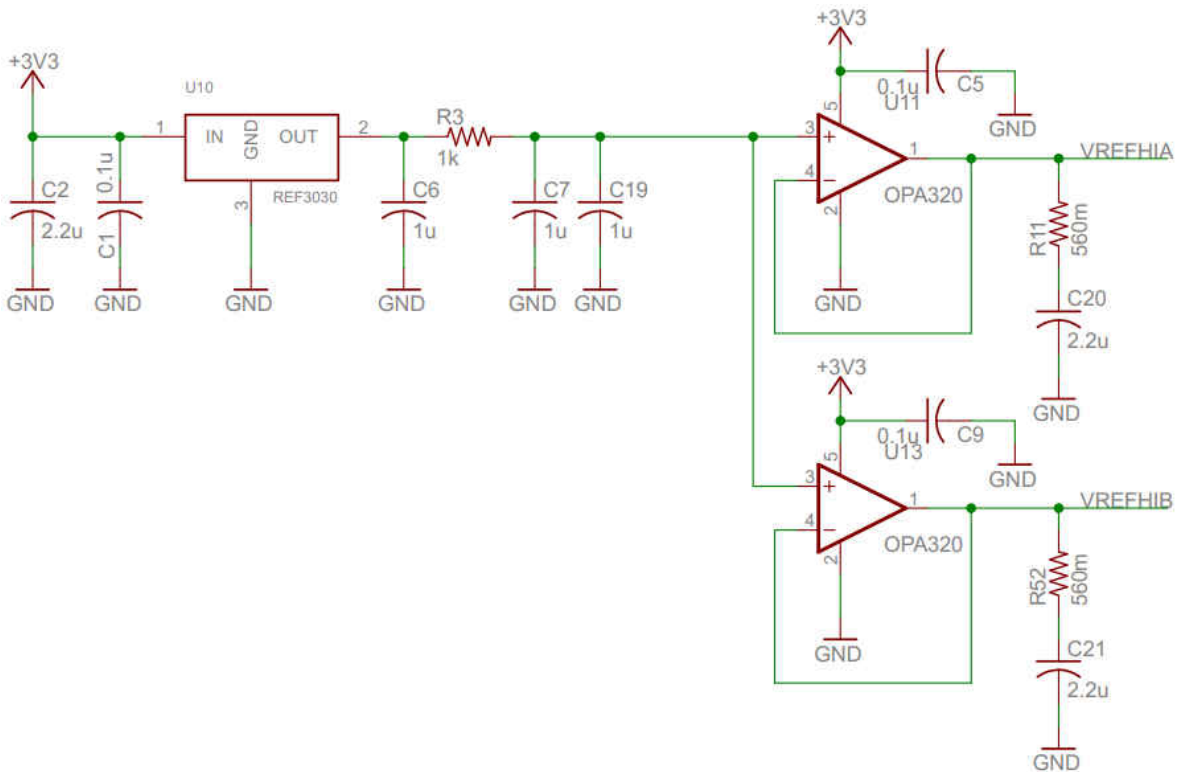


図 3-7. 外部アナログ基準電圧用の基準電圧回路

### 3.3.4 ADC 入力

適切な性能を得るため、ADC を適切に設計および評価する必要があります。A/D コンバータには入力インピーダンスと帯域幅の要件があり、メモリのクロストークや、サンプル/ホールド (S+H) 回路のセリング・エラーが発生する可能性があります。

以下の図に ADC 入力モデルを示します。ここで、 $C_p$  は寄生入力容量、 $R_{on}$  はサンプリング・スイッチ抵抗、 $C_h$  はサンプリング・コンデンサ、 $R_s$  は公称ソース・インピーダンスです。データシートに ADC のチャンネルごとの寄生容量が記載されており、使用する ADC を決定するのに役立ちます。アキュイジション・ウィンドウの期間は、ACQPS を調整するか、サンプリング周波数を下げるか、またはこれらを組み合わせることにより、各 SOC で調整できます。駆動回路を評価するには、TINA-TI でシミュレーションを実行し、性能とセリングが適切であることを確認します。

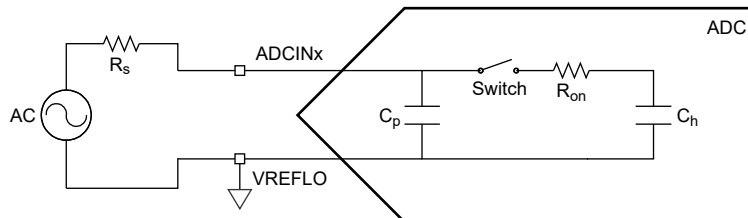


図 3-8. ADC 入力モデル

このトピックの詳細については、『C2000 MCU 用の ADC 入力回路の評価』を参照してください。また、ADC の性能を向上させ、メモリ・クロストークを低減するには、『ADC メモリのクロストークを低減する方法』を参照してください。



### 3.3.5 駆動オプション

最適な性能を得るには、高速オペアンプ・バッファ段を使用して ADC を駆動する必要があります。このデザインでは、高速サンプリング、短い S+H 時間、高インピーダンス・ソースを実現できます。ADC をオペアンプなしで駆動できる場合もありますが、そのようにすると通常は S+H 時間が長くなり、制御レイテンシが大きくなります。

ADC を駆動する別の実装方法として、非常に大きなコンデンサとの電荷共有があります。この方法は、ソース・インピーダンスによってサンプル・レートが制限されるので、サンプリングと信号帯域幅の両方の要件が低速なシステムで使用するのが最適です。電荷共有を超低コストのオペアンプと組み合わせると、高速サンプリングと高入力インピーダンスをサポートできます。詳細については、『[C2000 ADC 用の電荷共有駆動回路](#)』を参照してください。

### 3.3.6 ローパス / アンチエイリアシング・フィルタ

ローパス・フィルタリングを実現するために ADC を駆動する RC 回路を選択することは、設計上の主な考慮事項ではありませんが、満足のいくセッティングが達成されたら、2 次的な制約として考慮できます。よくある一般的なエラーとして、ADC のアンチエイリアシング・フィルタとして RC が選択されることがありますが、これはほとんどの状況では不適切な方法です。これは、高速サンプリングの場合にセッティング性能の低下につながる可能性があります。システムでアンチエイリアシング・フィルタが必要な場合は、高速サンプリング用の ADC 駆動段の前に、別のオペアンプ段を組み込むのが理想的です。電荷共有入力モデルを使用する場合やサンプリングが低速の場合は、ADC 駆動段にアンチエイリアシングを実装することもできます。

## 3.4 電源

この C2000 デバイス・ファミリには複数の電源ピンがありますが、すべてをすべてのデバイスで利用できるわけではありません。以下のピンがあります。

- コア電源ピン (VDD)
- アナログ電源ピン (VDDA)
- デジタル I/O 電源ピン (VDDIO)
- 内部 DC/DC レギュレータ電源ピン (VDDIO\_SW) (F28004x 専用)

デバイスを正常に機能させるには、利用可能なすべての電源ピンを適切な電源電圧に正しく接続する必要があります。これらの電源には、3.3V と 1.2V が含まれます。コア電源ピン (VDD) には 1.2V が必要で、さまざまな方法で電源を供給できます。F28003x/4x では、1.2V はオンチップ LDO を使用して生成するか、外部から供給できます。F28002x デバイスでは、1.2V を供給できるのはオンチップ LDO のみです。アナログ (VDDA)、デジタル I/O (VDDIO)、および内部 DC/DC レギュレータ・ピン (VDDIO\_SW) には、外部 3.3V が必要です。

### 3.4.1 電源要件

デバイスに対して堅牢でノイズ耐性の高い電源を確実に供給するために重要なのは、すべての電源ピンにグラウンドへのデカップリング / バイパス・コンデンサを配置することです。これにより、システムの他の領域、特に低レベルのアナログ信号にノイズが拡散するのを制限できます。デカップリング・コンデンサは、フィルタおよび一時的なエネルギー・ストレージとして機能することで電源の電圧降下 / スパイクを最小限に抑え、デバイスの電源ソリューションの安定性を高めます。

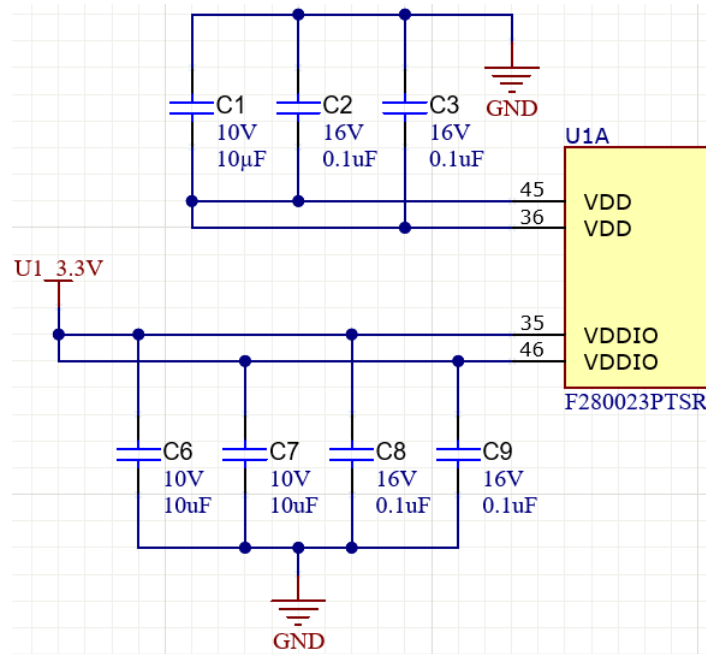


図 3-9. VDD ピンのデカップリング・コンデンサ

(サポートされているデバイスで) 外部電圧レギュレータを使用して VDD に電源を供給する場合は、すべての VDD ピンと同じ 1.2V 電源レールに配線する必要があります。電圧供給を安定させるため、これらのピンにデカップリング・コンデンサが必要です。このデカップリング・コンデンサの値はデバイスによって異なります。C<sub>VDD</sub> に必要な値については、デバイスのデータシートを参照してください。VDDA および VDDIO 電源ピンにも、安定した電源電圧を維持するためにデカップリング・コンデンサが必要です。すべてのデバイスで、すべてのアナログ電源ピン (VDDA) に、アナログ・グラウンド (VSSA) に接続された 2.2µF 以上のデカップリング・コンデンサを配置する必要があります。デジタル I/O 電源 (VDDIO) には、上の図に示すように、各電源ピンの近くに 0.1µF 以上のデカップリング・コンデンサが必要です。一部のデバイスでは、すべてのピンで共有される追加のバルク・コンデンサ C<sub>VDDIO</sub> を配置することも推奨します。このバルク容量値は、使用するレギュレータによって異なります。該当するデバイスのデータシートを参照してください。

F28004x デバイスには、内部 DC/DC レギュレータ電源ピン (VDDIO\_SW) が含まれていることに注意してください。このピンには、20µF のバルク入力容量が必要です。これには、2 個の 10µF コンデンサを並列接続することを推奨します。さらに、このピンは VDDIO ピンに接続し、両方のピンに同じ 3.3V ソースから電源を供給する必要があります。必要に応じて、絶縁用にフェライト・ビーズを使用することもできます。

### 3.4.2 電源シーケンス

F2800x デバイスが要求する、適切な電源シーケンスのための要件はわずかです。デバイスに電源を供給する前に、デジタル・ピンに VDDIO よりも 0.3V 以上高い電圧が印加されていないことを確認してください。同様に、いずれのアナログ・ピンにも VDDA よりも 0.3V 以上高い電圧が印加されていないことを確認してください。これらの各ピンには、VSS および VSSA よりも 0.3V 低い電圧を印加しないようにしてください。すべての 3.3V 電源ピン (VDDIO、VDDIO\_SW (F28004x)、VDDA) には同時に電源を投入し、機能動作中は互いの差を 0.3V 以内に維持する必要があります。

上記の電圧要件を維持しないと、ADC 入力が損傷する可能性があります。ADC ピンに VDDA よりも高い電圧を駆動する可能性がある場合は、注意を払って信号を絶縁する必要があります。これは、VDDA から電源が供給されるオペアンプを使用して信号をバッファリングするか、C28x コアによって制御されるイネーブルを使用することで実現できます。オペアンプ・バッファの代わりに、アナログ・マルチプレクサまたはスイッチを使用できます。これらの設計の代わりに、デバイスのデータシートに記載されている最大クランプ電流を考慮して、ピンの電流を制限するよう設計することもできます。

内部 VREG を使用する場合、VDD シーケンシング要件はデバイスによって処理されます。VREGENZ を持つデバイスの場合、内部 VREG モードは VREGENZ が VSS に接続されているときに対応します。ただし、VDD を外部から (VREGENZ は VDDIO に接続) パワー・マネージメント・モジュール (PMM) のないデバイス (例: F28004x) に供給する場合は、VDD に 3.3V 電源と同時に電源を投入してください。つまり、VDD がオフのときは VDDIO に電源を投入しないでください。ランプ中、VDD が VDDIO よりも 0.3V 以上高くないようにします。

PMM を搭載したこれらのデバイス (例: F28003x) では、VDD には VDDIO の後に電源を投入できます。つまり、VDD と VDDIO に同時に電源を投入する必要はありません。電源シーケンス要件の詳細については、デバイスのデータシートの「電源シーケンス」セクションを参照してください。

### 3.4.3 VDD 電圧レギュレータ

電圧レギュレーションは、デバイスの信頼性の高い電源システムを維持する上で重要な要素です。すべての F2800x デバイスには、内部電圧レギュレータ (VREG) が搭載されています。VREGENZ ピンを含まないデバイス (F280013x、F28002x、および F28003x と F28004x の一部のパッケージ) では、内部 VREG は常にイネーブルになるため、これらのデバイスには VDD を外部から供給することはできません。内部 VREG を使用する場合、VDD レールに推奨される 2 つのコンデンサ構成は次のとおりです。

- 各ピンの VSS に、小型のデカップリング・コンデンサをデバイスにできる限り近づけて配置します。また、VDD ノードと VSS の間にバルク容量を配置する必要があります。推奨部品の値は、使用するデバイスによって異なります。F280013x、F28002x、F28003x では、

推奨部品は 1 つの 10 $\mu$ F コンデンサまたは 2 つの並列 4.7 $\mu$ F コンデンサです。F28004x では、バイパス・コンデンサ構成として 1 つの 20 $\mu$ F コンデンサまたは 2 つの並列 10 $\mu$ F コンデンサを使用する必要があります。

- VSS への合計容量をすべての VDD ピンに均等に分配します (合計容量を使用可能な VDD ピン数で割った値)。

#### 3.4.3.1 内部レギュレータと外部レギュレータ

VREGENZ を備えたデバイスでは、内部電圧レギュレータと外部電圧レギュレータのどちらかを選択することで、多くの課題を解決できます。内部電圧レギュレータを使用するのが最もコスト効率の高いソリューションであり、設計コストが重要なシステムで使用する必要があります。また、基板面積が限られている設計でも、内部電圧レギュレータが良好なソリューションです。

電力効率が最重要である場合は、外部電源を使用する必要があります。降圧コンバータやその他の DC/DC コンバータを使用する電源設計では、ADC や HRCAP のノイズが増加する可能性があります。

内部電圧レギュレータのイネーブル・ピン (VREGENZ) を持つデバイスでは、これを VSS (Low) に接続してデバイスの内部レギュレータを使用します。外部電圧レギュレータを使用する場合は、VREGENZ を VDDIO (High) に直接接続します。

#### 3.4.3.2 内部 LDO と内部 DC/DC レギュレータ

F28004x には、内部 1.2V LDO 電圧レギュレータ (VREG) と内部 1.2V スイッチング・レギュレータ (DC/DC) が含まれています。このデバイスをシステムに実装する際、1.2V 電源レール用に内部 LDO と内部 DC/DC ソリューションのどちらを選択するかは、外部電源が望ましくない場合に設計上の重要な決定事項となります。DC/DC レギュレータは LDO よりも大幅に効率が高く、LDO レギュレータの効率が 30% であるのに対して DC/DC レギュレータの効率は 80% です。ただし、DC/DC ソリューションにはいくつかのトレードオフがあります。基板のレイアウトによっては、アナログ性能が低下する可能性があり、これは主に ADC に影響します。さらに、DC/DC には外部インダクタとコンデンサが必要であるため、部品コストが増加します。最後に、GPIO22 は VFBSW、GPIO23 は VSW により占有されるため、ボードの I/O 数が減少します。全体として、DC/DC 電圧レギュレータは効率的な電圧レギュレーションと低ノイズを必要とするシステム (スイッチングが MCU の外部にあるため) と、追加の部品コストが問題にならないシステムで便利です。

図 3-10 (『TMS320F28004x リアルタイム・マイクロコントローラ』データシートにも掲載) に、DC/DC レギュレータを使用するときに推奨される設計と必要な追加部品を示します。内部 DC/DC レギュレータの出力から VDD レールへの外部接続が必要であることに特に注意してください。

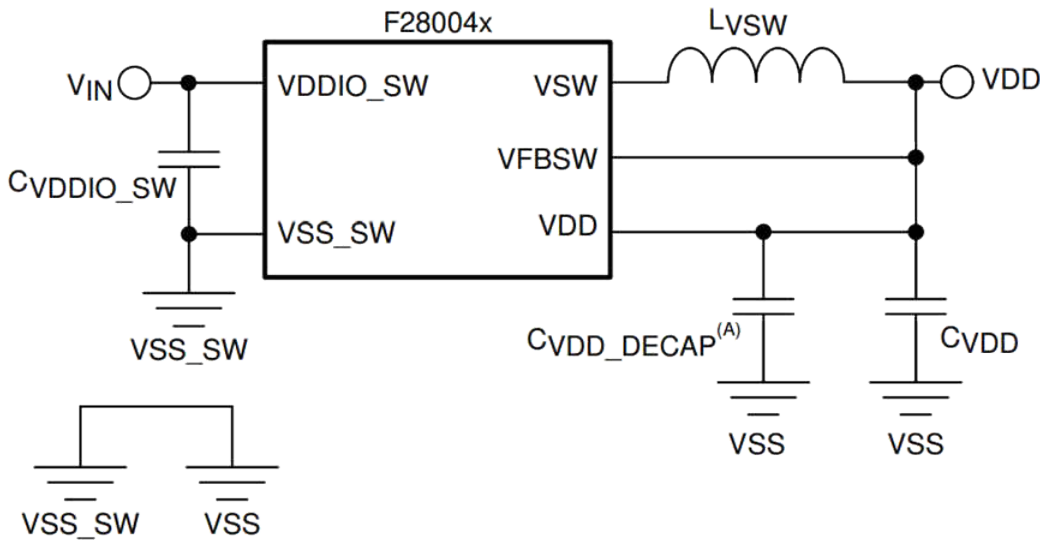


図 3-10. DC/DC レギュレータの回路図

### 3.4.4 消費電力

C2000 チップの消費電力は、デバイスと具体的な使用事例によって大きく異なる可能性があるため、推定消費電力の詳細については、デバイスのデータシートを参照する必要があります。アプリケーションでインサーキット・フラッシュ・プログラミングが必要な場合、消去 / 書き込みサイクル中に追加の電流が引き込まれることに注意してください。データシート内の表には、代表値とワーストケースの最大値が記載されています。消費電力は、未使用のペリフェラル、クロック周波数、温度条件などによりさらに低減できます。これらの初期消費電力に加えて、I/O のトグルと負荷に起因する消費電力を考慮する必要があります。

### 3.4.5 電源サイズの計算

必要な電源サイズを計算するには、電源に予定されている負荷、システムで許容されるノイズ、および全体的な電流要件を考慮する必要があります。

まず、各電圧レールの電流要件を計算します。各チップ / モジュールのピーク電流値を必ず追加してください。これは通常、各電源ピンのピーク電流値です。さらに、LED や他の負荷などの部品を含む、その他すべての受動負荷と能動負荷も考慮するようにしてください。

さらに安全な設計にするため、これらの電流を 1.3~2 倍にして、電圧レギュレータの推奨電流仕様を満たします。これにより、電源システムに接続されているブロックの電流不足を防止できます。リニア・レギュレータと DC/DC コンバータのいずれかを選択します。この決定は主に、システム全体で許容される電源ノイズの量に依存します。超低ノイズを必要とするシステムでは、リニア・レギュレータ / LDO を推奨します。DC/DC コンバータを使用すると、電力効率が向上します。

以下のシナリオは、推奨される電源仕様を計算するためのガイダンスの例を示しています。

- このアプリケーションでは、F28002x とそのすべてのペリフェラルを使用します。デバイスのフラッシュは現場ではアップグレードされず、10 本の GPIO ピンは 1.5mA の静的負荷を駆動し、2 本の追加 GPIO は 10pF の負荷で 200kHz の波形をトグルします。

$$P_{est} = \{Operating Mode\} + (n_{GPIO, static} \times I_{load}) + n_{GPIO, active} \times (n_{transitions/period} \times f \times C \times V^2) \quad (1)$$

$$P_{est} = (0.072A + 0.005A) + (10 \times 0.0015A) + 2 \times (2 \times 200k \times 10p \times 3.3^2) \quad (2)$$

$$P_{est} = 92mA \quad (3)$$

このシナリオでは、フラッシュ・プログラミングは現場では行われませんが、初期プログラミングは行われます。そのため、次のようになります。

$$92mA < (106mA + 2.5mA) = 108.5mA \quad (4)$$

マージン値 1.5 を乗算して、最終的な電源電流要件を決定します。

$$108.5mA \times 1.5 = 162mA @ 3.3V (535mW) \quad (5)$$

- このアプリケーションでは、F28002x と、2 つの ADC、1 つの CAN、4 つの HRPWM モジュールを使用します。現場でアップグレードする必要があります。

$$P_{est} = \{Flash Program Mode\} + (2 \times I_{ADC}) + (1 \times I_{CAN}) + (4 \times I_{HRPWM}) \quad (6)$$

$$P_{est} = (0.106A + 0.0025A) + 2 \times 0.67A + 1 \times 1.18A + 4 \times 0.87A \quad (7)$$

$$P_{est} = 114mA \quad (8)$$

マージン値 1.5 を乗算して、最終的な電源電流要件を決定します。

$$114mA \times 1.5 = 171mA @ 3.3V (564mW) \quad (9)$$

### 3.5 XRSn とシステム・リセット

各 F2800x デバイスには、デバイス・リセット (XRSn) ピンが含まれており、このピンを Low に駆動するとデバイスがリセットされます。このピンは、パワーオン・リセット (POR)、ブラウンアウト・リセット (BOR)、またはウォッチドッグ・リセット時にも Low に駆動されます。内部 POR 回路は XRSn を駆動し、デバイスの電源投入時にすべての I/O をハイ・インピーダンス状態に維持します。VDDIO が POR スレッシュホールドを下回ると、デバイスの制御が BOR に移行します。VDDIO が BOR スレッシュホールドを超えてデバイスの動作範囲内に戻るまで、BOR はデバイスをリセット状態に保持します。デバイスの動作範囲内に戻ると、デバイスはリセット状態ではなくなり、機能するようになります。BOR 回路は、VDDIO を監視し、電源レールが動作範囲内にあることを確認します。デバイス動作中の任意の時点で、VDDIO 電圧が BOR スレッシュホールドを下回ると、XRSn が Low になり、電圧が動作範囲に戻るまでデバイスはリセット状態に保持されます。ウォッチドッグ・リセット時には、512 発振器クロック (OSCCLK) サイクルのウォッチドッグ・リセット期間中、XRSn ピンは Low に駆動されます。



図 3-11 に、デバイスのブート・スレッシュホールドを示します。

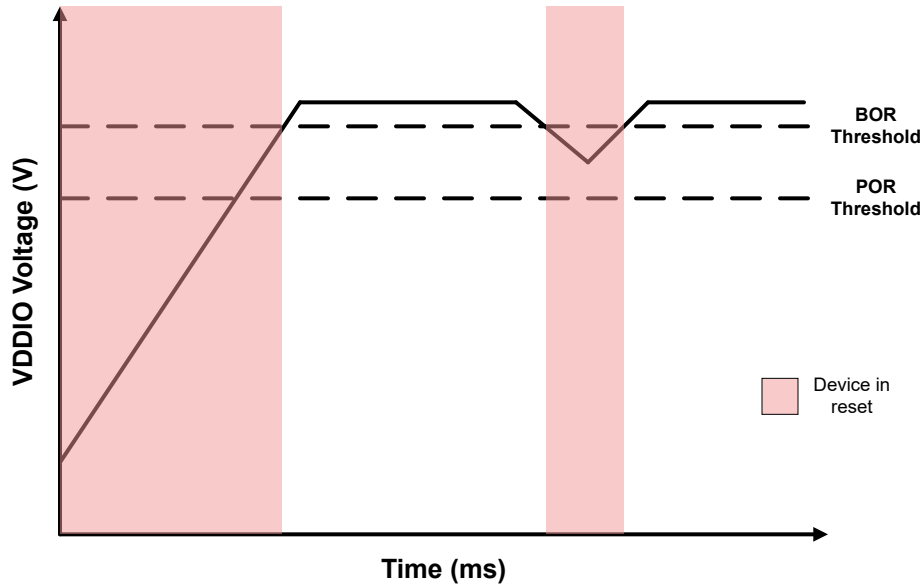


図 3-11. デバイスのブート・リセット・スレッシュホールド

これらの内部リセット回路以外に、XRSn ピンを駆動してデバイス・リセットをアサートする外部回路を実装することもできます。この外部回路には、オープン・ドレイン・デバイスを使用する必要があることに注意してください。これらの外部回路の例として、外部ウォッチドッグ、パワー・マネージメント IC、電圧スーパーバイザ (ASIL アプリケーションで使用) があります。

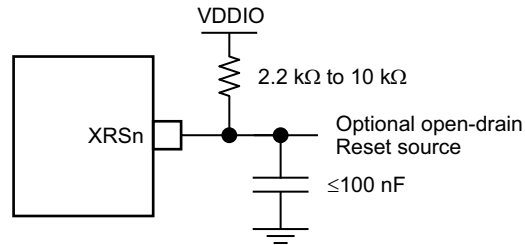


図 3-12. 外部リセット回路

XRSn 回路図を設計する場合、XRSn ピンと VDDIO の間に抵抗値の小さいプルアップ抵抗が必要です。この抵抗値は、 $2.2\text{k}\Omega \sim 10\text{k}\Omega$  にする必要があります。さらに、ノイズ・フィルタリングを改善するため、XRSn と VSS の間に小さなコンデンサを使用することを推奨します。このコンデンサは  $100\text{nF}$  以下である必要があります。コンデンサが大きいと、ウォッチドッグ・リセットで XRSn ピンを正しく駆動できなくなります。このピンは重要なので、ESD 保護ダイオードを追加することもできます。

注

発振器のスタートアップや他の遅延の影響を受けないようにするため、リセット・パルス幅を  $1.5\text{ms}$  より長くする必要があります。

### 3.6 クロック供給

システム (特にリアルタイム制御システム) を適切に動作させるには、適切なクロック生成が不可欠です。F2800x デバイスには柔軟なクロック生成オプションがあり、特定のシステム要件に合わせてデバイスを調整できます。すべてのデバイスには 2 つの内部ゼロ・ピン 10MHz 発振器が搭載されており、オンチップの水晶発振器と外部クロック入力、およびオンチップのフェーズ・ロック・ループ (PLL) がサポートされています。これらの内部ソースは適度に高性能ですが、より正確なクロック要件を満たすため、外部クロック・ソースを使用することもできます。これらの C2000 デバイスは、シングルエンドの 3.3V 外部発振器、外部水晶振動子、外部共振器の 3 種類の外部クロック供給方法をサポートしています。

#### 3.6.1 内部発振器と外部発振器

オンボードのクロック供給オプションを使用するか、外部発振器をシステムに組み込むかを選択することは、設計プロセスにおける重要な決定事項です。意思決定プロセスにおいて、以下の設計上の事項を考慮すると役に立ちますが、最終的な選択はコストとシステム・クロック要件に依存します。

2 つの内部ゼロ・ピン・オンチップ発振器 (INTOSC1 および INTOSC2) は 10MHz で動作し、メイン PLL および CPU タイマ 2 にクロックを供給するために使用できます。INTOSC1 は、ウォッチドッグ・ブロックにクロックを供給することもできます。これらの発振器は、電源投入時にデフォルトでイネーブルになります。このとき、INTOSC2 はシステムの基準クロックのソースとして設定され、INTOSC1 はバックアップ・クロックのソースとして使用されます。このクロック供給オプションは、コスト削減と設計スケジュールの短縮を優先する場合に便利です。ただし、外部クロック・ソースと比較して精度が低いことがトレードオフとなります。環境条件によっては、クロックの周波数安定性が標準的な 10MHz から約 1.5%~3% になることがあります。安定性はデバイスごとに異なるため、具体的な値とテスト条件については、デバイスのデータシートを参照してください。また、F28004x では、GPIO18 およびその多重化オプションは、システムに INTOSC からクロックを供給しており、X1 に外部プルダウン抵抗がある場合にのみ利用可能であることに注意してください。その他のデバイスでは、INTOSC を使用するとき、GPIO18 と GPIO19 を追加のデジタル信号として使用できます。

もう 1 つのクロック供給オプションは、内部発振器を外部水晶振動子と組み合わせることで使用することです。1% より高いクロック精度が必要な場合は、この方法を使用する必要があります。この方法を選択する際は、水晶振動子回路に他の接続を追加することは推奨されません。また、水晶発振器が適切に機能するように、注意深く設計する必要があります。これらの水晶振動子には複数のパラメータがあるため、C2000 デバイスと適切に動作する水晶振動子を組み合わせるために、水晶振動子のベンダに相談することをお勧めします。選択した水晶振動子がシステムの負荷容量と正確に一致するように、特別な注意を払う必要があります。水晶振動子の負荷容量  $C_{load}$  が理想値の範囲外である場合、水晶振動子を駆動する発振器が起動できず、動作の信頼性も低下します。実効負荷容量は、C1 と C2 (それぞれ X1 と X2 に接続されたコンデンサ) の直列結合として表されます。 $C_{load}$  の値を計算するには、C1 と C2、および PCB の配線の浮遊容量を考慮します。

$$C_{load, XTAL} = \frac{C1 \times C2}{C1 + C2} + C_{stray} \quad (10)$$

C1 と C2 は等価であると想定しています。これは必須ではありませんが、次の式での計算が簡素になります。

$$C_{load, XTAL} = \frac{C}{2} + C_{stray} \quad (11)$$

たとえば、システムの負荷容量が 12pF、浮遊容量が 2pF であるとしします。適切な計算を行うと、推奨されるコンデンサの値は 20pF となります。

$$12pF = \frac{C}{2} + 2pF \quad (12)$$

$$C = 20pF \quad (13)$$

現在の F2800x デバイスでは、推奨される水晶振動子の負荷容量は約 12pF～24pF です。将来のデバイスでは、この値が変わる可能性があります。追加の要件については、デバイスのデータシートを参照してください。図 3-13 に示すように、X1 と X2 の間に水晶振動子を接続して、さらに負荷コンデンサを VSS に接続する必要があります。

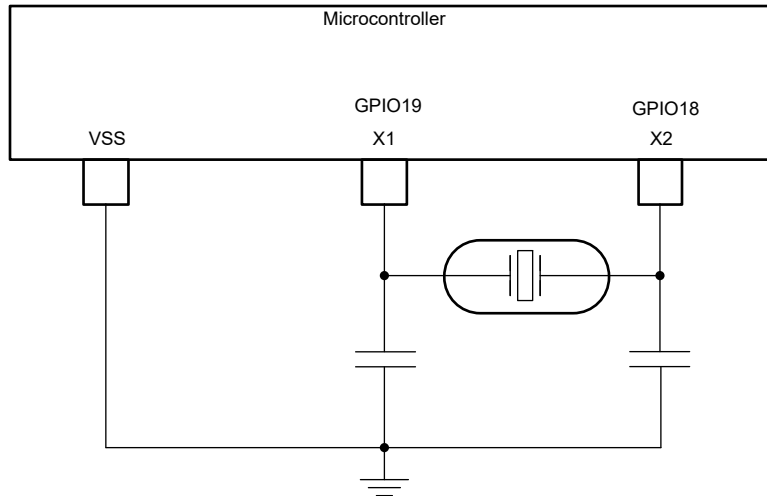


図 3-13. 外部水晶発振器

共振器も水晶振動子と同様の方法で使用でき、同様のトレードオフと検討事項があります。共振子を接続する際は、図 3-14 に示すように、X1 と X2 の間に配置し、そのグラウンドを VSS に接続する必要があります。

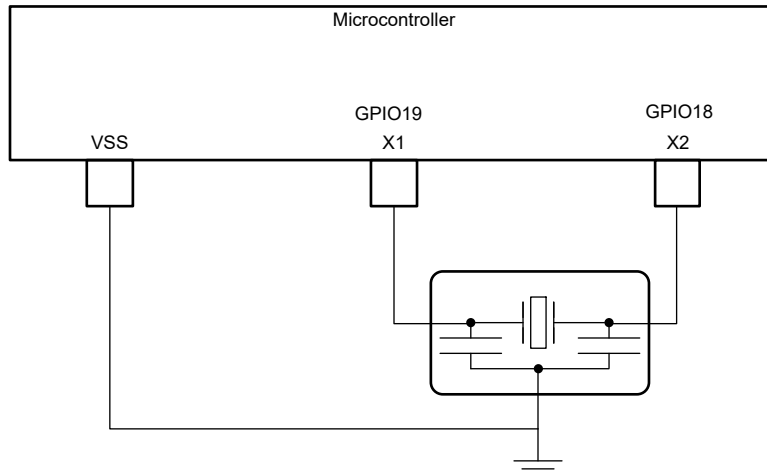


図 3-14. 外部共振器回路

3 番目で最後のクロック供給源オプションは、外部発振器を使用することです。これは、外部水晶振動子を使用するよりもシンプルな方法であり、リアルタイム・システムで最も高い精度を実現できます。さらに、システム内の他のデバイスも、外部発振器から出力されるクロック信号を共有できます。クロック信号を MCU に接続するには、図 3-15 に示すように、外部発振器の出力を X1 に接続し、XTALCR.SE ビットを 1 に設定する必要があります。

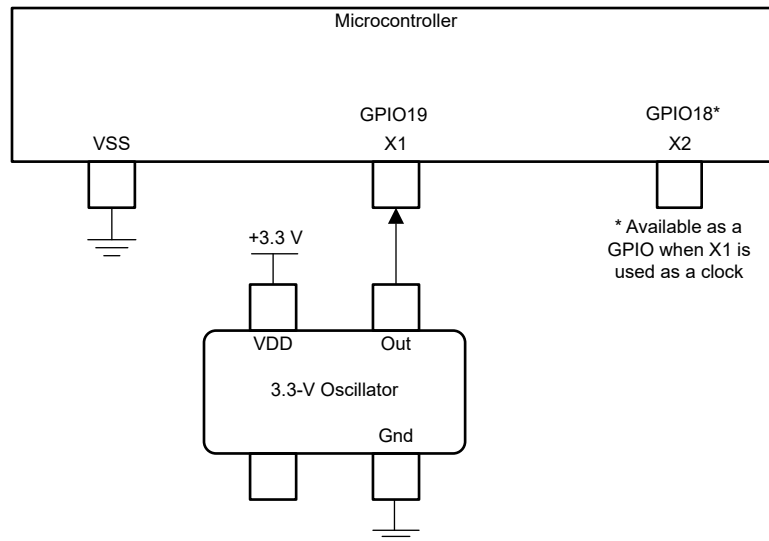


図 3-15. 外部発振器回路

### 3.7 デバッグとエミュレーション

マイクロコントローラ・システムのデバッグを支援するデバイスを組み込むことは、設計プロセスのプロトタイプ製作と開発フェーズで非常に役立つ重要な検討事項です。

#### 3.7.1 JTAG/cJTAG

F2800x デバイスには、以下の 4 つの専用ピンを持つ JTAG ポート (TMS、TCK、TDI、TDO) があります。これらは、テスト・モード選択、テスト・クロック、テスト・データ入力、テスト・データ出力に対応しています。通常動作時に JTAG をリセット状態に維持するため、ボード上の外部 2.2kΩ プルアップ抵抗で TMS ピンを VDDIO に接続する必要があります。TMS と TCK のみを搭載したコンパクトな 2 ピン JTAG インターフェイスである cJTAG (IEEE 標準 1149.7) 用のポートもあります。cJTAG を使用する場合、他のデバイス機能を従来の GPIO35 (TDI) および GPIO37 (TDO) ピンに多重化して、完全なエミュレーションおよびデバッグ機能を実現できます。

JTAG と cJTAG のどちらを選択するかを決定する際は、インターフェイス速度、デバッグ機能、ピンの制約などのシステム要件を考慮してください。JTAG は cJTAG に比べておよそ 2~3 倍高速なため、インターフェイス速度が非常に重要な場合は JTAG を使用する必要があります。また、JTAG を使用すると、1 つの JTAG ヘッダーで複数のデバイスをデジチェーン接続することもできます。ピンの使用に制限がある場合は、cJTAG を使用する必要があります。cJTAG を使用すると、デバイス上の 2 つの GPIO ピンが解放されます。cJTAG では、性能が下がることに加え、TMS ピンが双方向になるため、絶縁手法に影響することがあります。全体として、ピンの使用に制約がない場合は、性能上の利点があるため、通常の JTAG を使用することを推奨します。

すべての C2000 評価基板に JTAG デバッグ・プローブが含まれていますが、ボードに JTAG デバッグ・プローブを直接実装することは推奨しません。すべての EVM には、効率的なデバッグとエミュレーションを可能にするこれらのヘッダーと、EVM をスタンドアロンのデバッグ・プローブとして使用できる機能が含まれています。実際の C2000 アプリケーションでは、オンボードのデバッグ・プローブは必要なく、追加のコストが発生します。代わりに、JTAG 機能が必要な場合は、外部プローブに接続するために JTAG ヘッダーを含めることを推奨します。MCU ターゲットと JTAG ヘッダーが 6 インチ (15.24cm) よりも離れている場合や、JTAG チェーン上に他のデバイスが存在する場合は、各 JTAG 信号にバッファを配置する必要があります。

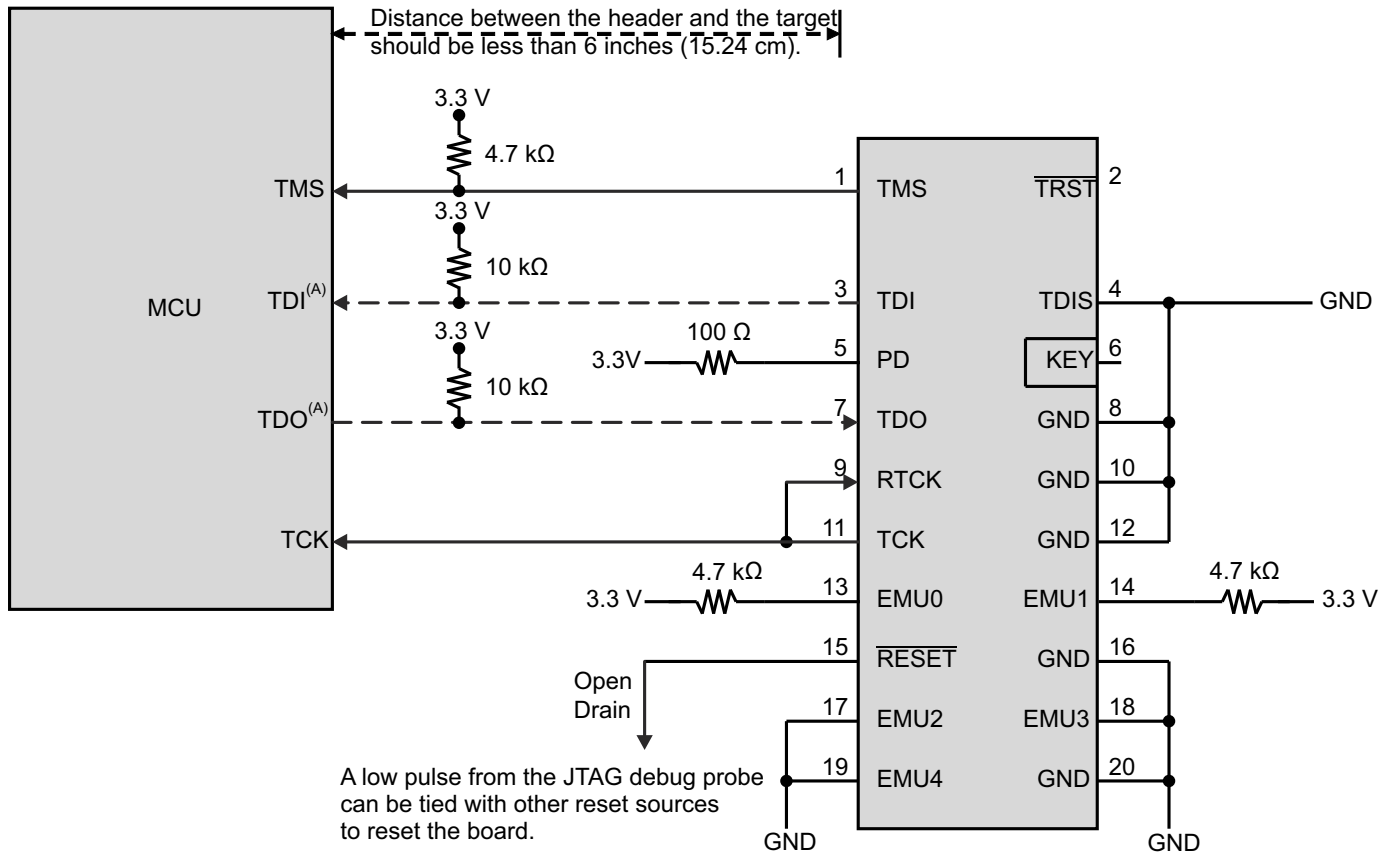


図 3-16. 標準的な JTAG プロブ接続

注

TDI と TDO は、それぞれ対応するピンにデフォルトで選択されています。内部プルアップは、デフォルトで無効になっています。JTAG を使用する場合、フローティング・ピンを回避するため、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG を使用する場合、これらのピンは GPIO として使用できます。

C2000 デバイスで JTAG を使用する方法の詳細については、『C2000 MCU JTAG コネクティビティのデバッグ』を参照してください。

3.7.2 デバッグ・プローブ

C2000 で使用できるデバッグ・プローブ・オプションは多数あります。以下に推奨されるプローブの一部を示しますが、最新の Code Composer Studio (CCS) バージョンでサポートされているものであれば、他のデバッグ・プローブも使用できます。

表 3-2. 推奨されるデバッグ・プローブ

型番	説明
XDS110	推奨される低コストのデバッグ・プローブです。パフォーマンスは XDS100V2 とほぼ同等です。CCS v7 およびそれ以降でのみサポートされています。
XDS200	C2000 ユーザー向けに推奨されるミッドクラス外部デバッグ・プローブです。新しい 2 ピン cJTAG モードをサポートします。
XDS560	XDS200 よりもパフォーマンスが向上した推奨アドバンスト・デバッグ・プローブです。
絶縁アダプタ	すべてのデバッグ・プローブに電氣的絶縁を提供します。



### 3.8 未使用のピン

デバイスのすべての機能を必要としないアプリケーションやシステムでは、一部の未使用ピンについて、一般に使用されているプラクティスに従う必要があります。これらのプラクティスはデバイスおよびピンに特定ですが、プル抵抗を配置、他のピンに接続、接続なしのままにするなどがあります。詳細およびこれが関係するすべてのピンについては、デバイスのデータシートの「未使用ピンの接続」セクションを参照してください。

## 4 PCB レイアウト設計

システム回路図を作成し、すべてのエンジニアリング仕様を満たしていることを検証したら、次は PCB 設計ソフトウェアで PCB レイアウトを作成します。適切な設計と優れたデバイス性能を実現するには、コンポーネントの配置が重要です。

### 4.1 レイアウト設計の概要

すべての接続を回路図のように配線するだけでは十分ではありません。また、適切な機能と基板の信頼性を確保するため、適切なレイアウト・プラクティスに従う必要があります。基板の物理的な寸法、基板の制約、主要部品など、基板のすべての要素を総合的に考慮する必要があります。

#### 4.1.1 推奨されるレイアウト・プラクティス

C2000 システムには通常、低レベル・アナログ、高速デジタル、および高電力 (スイッチング) 回路が含まれます。これら 3 種類の信号は、PCB 上で分離する必要があります。大電流パスと高周波信号は特に、ボード上のすべてのアナログ信号に影響を及ぼします。

#### 4.1.2 基板寸法

基板のサイズは、構築するシステムと C2000 を実装するアプリケーションによって大きく異なります。PCB ボードは、少数のデバイスで構成される小型のボードから、包括的な部品数を備えた大型のボードまで、多岐にわたります。可能であれば、レイアウト設計プロセスを可能な限り簡単にし、トレースの配線および異なる信号の分離のため、十分な大きさの PCB を使用します。

#### 4.1.3 層のスタックアップ

基板の層数と層のスタックアップ方式は、PCB 上に必要な接続の数と PCB の製造コストに応じて選択する必要があります。多くの場合、C2000 デバイスには 4 層以上のボードを選択するのが最適です。これにより、クリーンなグランド・プレーンと分離電源プレーンを含めることができます。次の図に、一般的な 4 層と 6 層の基板スタックアップ構成を示します。4 層基板スタックアップは、信号 / コンポーネント層、グランド・プレーン、分離電源プレーン (3.3V、1.2V など)、信号 / コンポーネント層で構成されています。6 層基板スタックアップは、信号 / コンポーネント層、グランド・プレーン、分離電源プレーン (3.3V、1.2V など)、信号層、別のグランド・プレーン、信号 / コンポーネント層で構成されています。

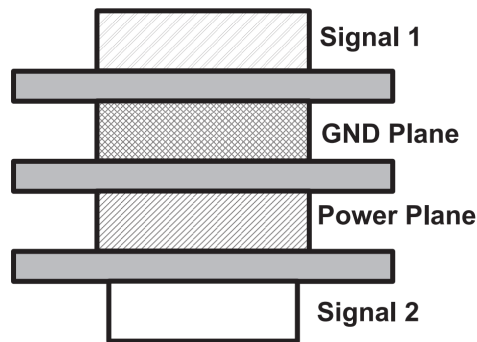


図 4-1. 4 層基板スタックアップ構成

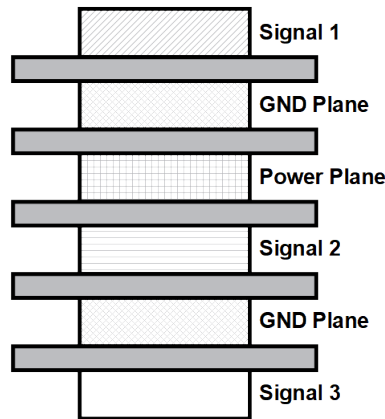


図 4-2. 6 層基板スタックアップ構成

## 4.2 推奨されるボード・レイアウト

基板上に配線された信号にクロストークが発生したり性能が低下したりしないようにするため、[図 4-3](#) に示すように基板を分割することをお勧めします。すでに説明したように、3 種類の信号 (デジタル、アナログ、大電流) はすべて、PCB 上で分離する必要があります。

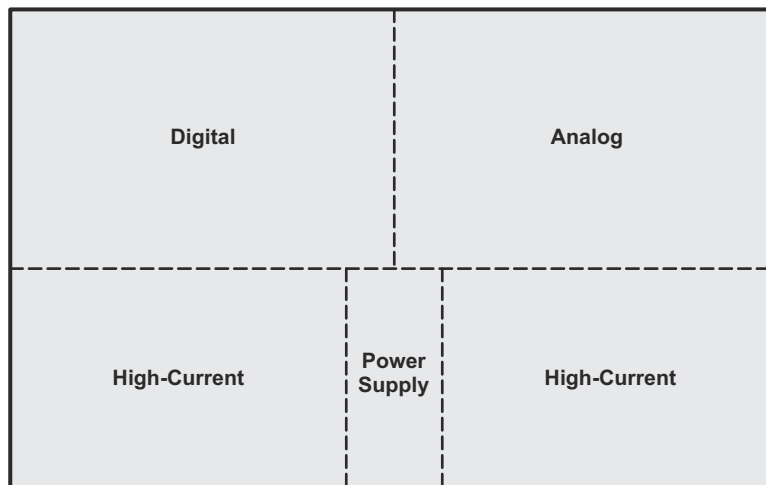


図 4-3. 最適な C2000 ボードの分割

## 4.3 部品の配置

ボード上の C2000 チップの位置を決定したら、次に水晶振動子 / 発振器を配置します。これは、クロックを最も効率的に供給できるように、できる限りデバイスの近くに配置する必要があります。具体的には、X1/X2 へのトレースはできるだけ短くします。使用する水晶振動子に必要な追加部品によって、水晶振動子 / 共振器を基板上に配線する方法は異なります。[図 4-4](#) に、2 層基板と、追加の直列抵抗  $R_s$  を必要とする水晶振動子を配置した例を示します。クロック・トレースを 1 つのデバイスから別のデバイスに配線するときは、3W 間隔ルールを使用してみてください。クロック・トレースの中心から隣接する信号トレースの中心までの距離は、クロック・トレースの幅の 3 倍以上にする必要があります。多くのクロックは、低速周波数クロックも含め、立ち上がり時間と立ち下がり時間が高速である場合があります。3W ルールを使用すると、トレース間のクロストークを削減できます。一般に、デバイス間で並列に動作する各トレースの間に間隔を確保してください。配線距離とインピーダンスの不連続性を最小限に抑えるため、トレースを配線するときには直角に曲げることは避けてください。クロストークからさらに保護するため、可能な場合はクロック信号の横にガード・トレース (GND ピンから GND ピン) を配置します。これにより、クロック信号の結合が減少します。

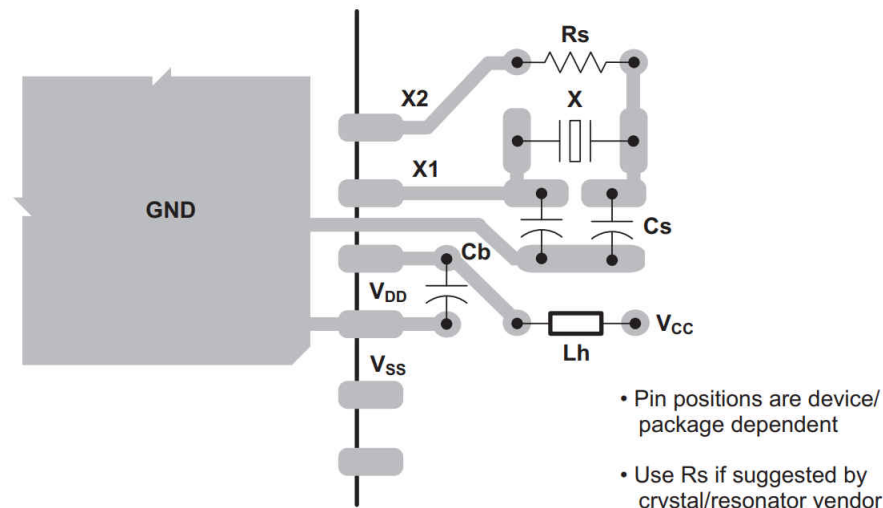


図 4-4. 推奨される発振器のレイアウト

次に配置する重要な部品は、デカップリング / バイパス・コンデンサです。これらのコンデンサは、それぞれのピンのできるだけ近くに配置する必要があります。これらのコンデンサは、ノイズをさらに低減し、デバイスの電源を安定させるのに役立ちます。ピンから 1 インチ以上離れた場所にデカップリング・コンデンサを配置すると、性能が低下します。バルク・コンデンサは、チップから比較的離れた場所に配置しても、性能に大きな影響を及ぼすことはありません。図 4-5 に、デカップリング・コンデンサの適切な配置を示します。

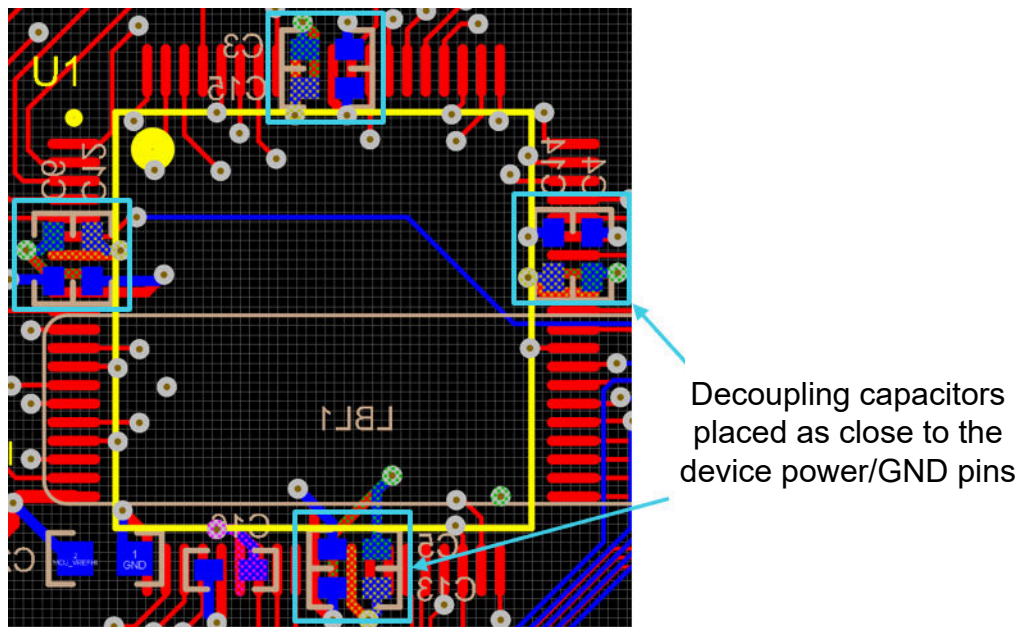


図 4-5. 基板レイアウトのデカップリング・コンデンサ

この後に、JTAG ヘッダー / 回路と XRSn 回路を配置します。

TMS320F28004x デバイスの内部 1.2V DC/DC レギュレータを使用するシステムでは、DC/DC 回路を適切に設計するため、以下のガイドラインに従ってください。

- VDDIO\_SW および VDDIO は、同じ 3.3V 電源にスター接続することを推奨します。
- すべての外付け部品は、できるだけピンに近付けて配置してください。
- VDDIO\_SW、入力コンデンサ (C<sub>VDDIO\_SW</sub>)、および VSS\_SW によって形成されるループは、できるだけ短くする必要があります。
- 帰還パターンはできるだけ短くし、スイッチング出力 (VSW) などのノイズ源から離して配置する必要があります。

- 入力コンデンサ (C<sub>VDDIO\_SW</sub>) および VSS\_SW のグランド・プレーンには、独立したアイランドまたは切り込みが必要です。
- 寄生抵抗とインダクタンスを最小限に抑えるために、VDD ノードの L<sub>VSW</sub>-C<sub>VDD</sub> ポイントへの接続には、VDD プレーンを推奨します。

### 4.3.1 パワー・エレクトロニクスに関する考慮事項

パワー・エレクトロニクスは非常にノイズの多い部品であり、デバイスの性能を大幅に低下させる可能性があります。これらの部品とその信号の他の信号に対する配置は、重要な検討事項です。大電流パスは、ループ面積が小さくなるように設計する必要があります。高 di/dt 電流は、他の di/dt パス、敏感なアナログ信号、制御回路、またはテスト・ポイントと交差しないようにする必要があります。電流センス・オペアンプは、2 つの方法で配置できます。これらのフィルタはシャントの横に配置できます。ローパス・フィルタリングは C2000 チップの近くに配置し、アナログ・グランド (VSSA) に接地します。別の方法として、C2000 チップの横に配置し、ケルビン・センシングを使用して差動でオペアンプに配線することもできます。

もう 1 つの注意点は、ヒートシンクの dV/dt が高くなる可能性があるため、外部からグランドに配線する必要があることです。ゲート・ドライバはすべて FET の近くに配置する必要があります。

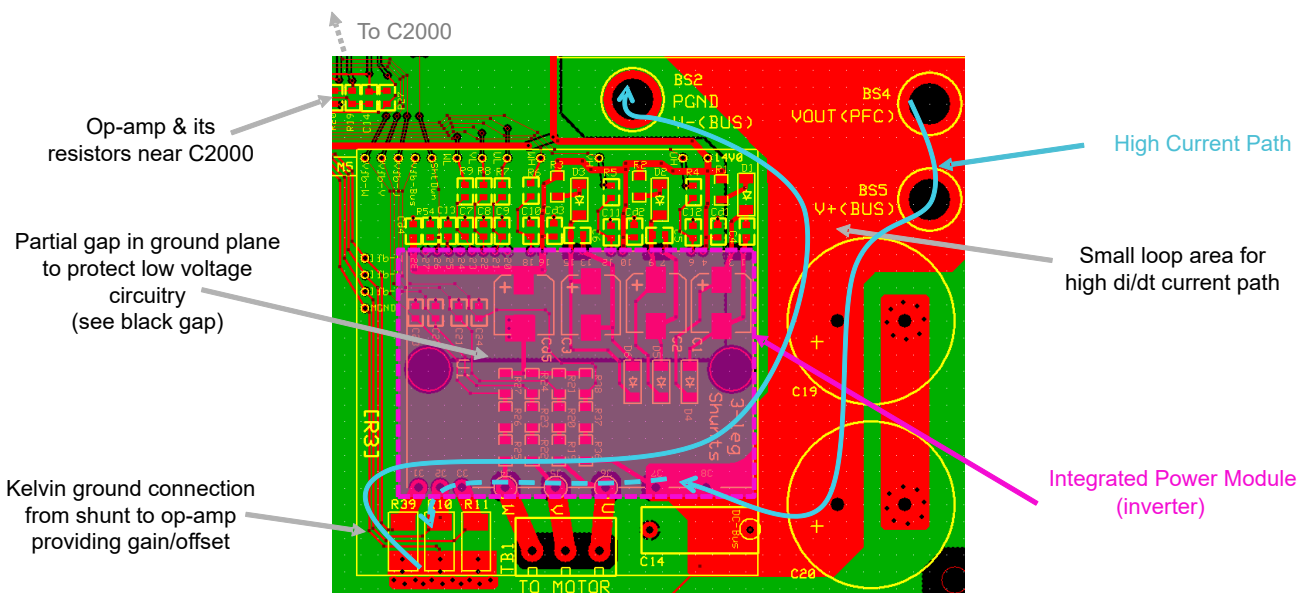


図 4-6. パワー・エレクトロニクスのオンボード・レイアウト

## 4.4 グランド・プレーン

PCB 上の銅プレーンは優れた高周波コンデンサであり、推奨されるコンデンサとともに、高周波バイパスに使用できます。固体プレーンのもう 1 つの利点は、良好なヒートシンクとして機能し、過剰な熱レベルを下げるができることです。

基板の層が大きい場合は、PCB 上にグランドを配置することをお勧めします。グランド・プレーンは、基板上のグランド信号を配線しやすくするだけでなく、グランド・ノイズの低減にも役立ちます。基板上の各信号にはリターン電流 (GND 経由) があり、これにより、リターン・パスが最小インピーダンスのパスを通過するようになります。異なる層に複数のグランド・プレーンを持つ基板の場合、ビア・スティッチングを使用してこれらのグランド・プレーンを接続すると、インピーダンスをさらに低減できます。リターン・パスの詳細については、『高速レイアウト・ガイドライン』の「リターン電流およびループ領域」セクションを参照してください。



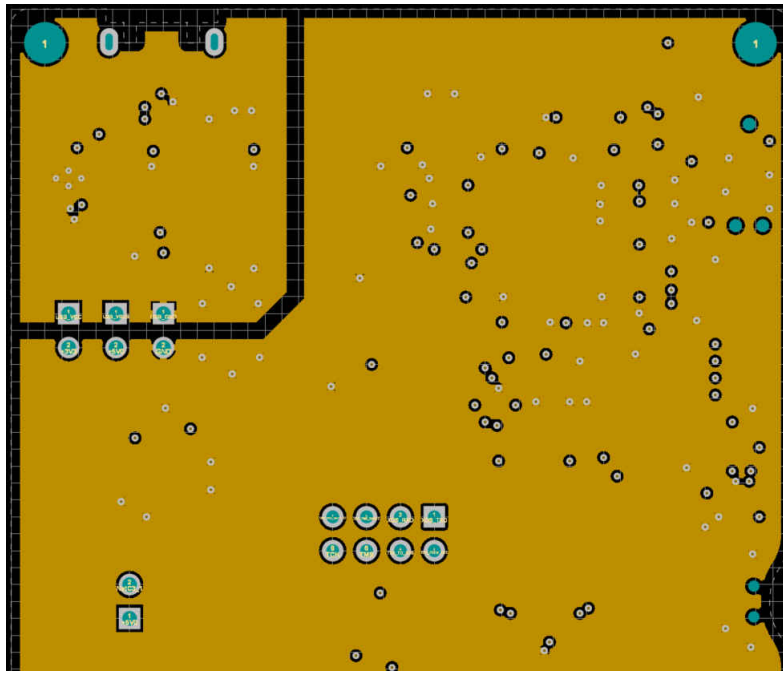


図 4-7. LaunchPad のグランド・プレーン

効果的なグランド・プレーンのために重要となるのは、プレーンがそのまま維持され、基板の層全体にわたって良好な接続があるようにすることです。ビアやトレースなどのオンボード接続により、グランド層が切断され、効果が低減されることがあります。ビアは基板の複数の層を貫通する穴を作成し、トレースはグランド・プレーンの複数の部分の間の接続を遮断する可能性があります。下の左の図では、PGND ビアはグランド・プレーンに 1 つの接続のみを持ち、周囲のグランド・ポア接続は非常に幅が狭くなっています。また、図 4-8 では、ポアの左上が幅の狭い銅を介してポアの左下に接続されています。これらの図はどちらも、望ましくないグランド・プレーンの例を示しています。ビアとトレースを再配置して、幅の狭いグランド・プレーン接続がなく、グランド・ポアが切断されないことを確認すると有益です。

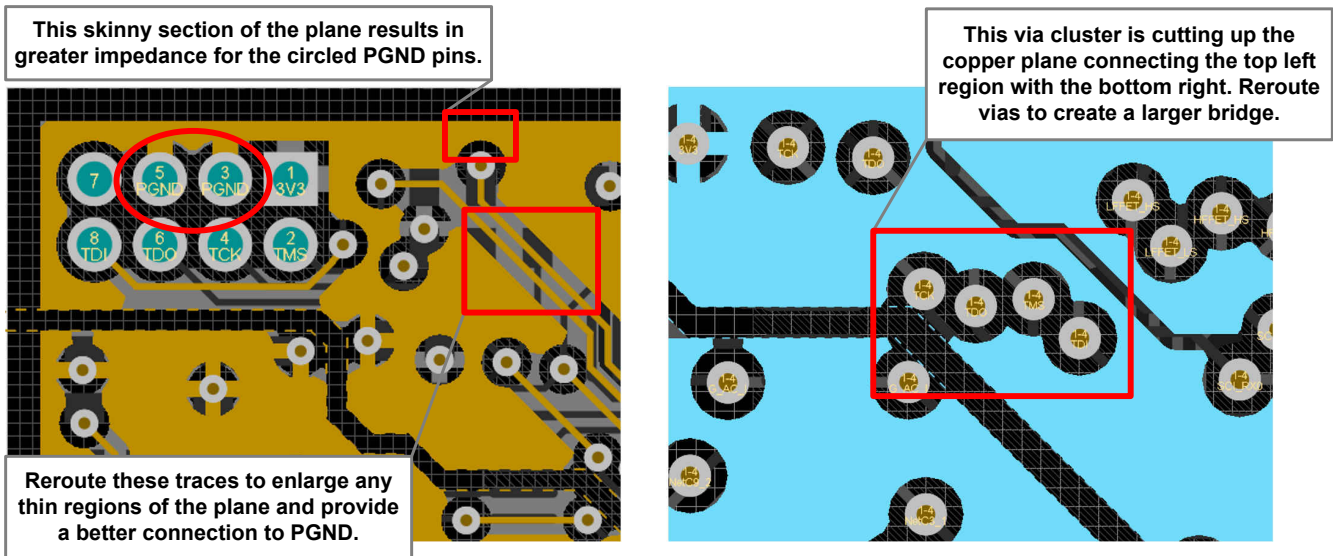


図 4-8. グランド・プレーン切断の例

グランド・プレーンを層に適用する場合は、プレーン全体で良好な接続が得られることを確認します。プレーンが不足している領域や接続の幅が狭い領域を再設計し、グランド・プレーン領域を最大化する必要があります。通常これは、ビアの数を減らし、トレースのグループを近づけて配線することで達成できます。場合によっては、PinMux での選択と回路図を変更して、配線を改善すると役立つことがあります。これらの利点がレイアウトの配線プロセスを開始するまで明らかにならない場合もありますが、PinMux を最適化すると、トレース長が短くなり、ビアの使用量が削減されるため、グランド・プレーンが向上する可能性があります。

#### 4.5 アナログとデジタルの分離

繰り返しになりますが、アナログ・グランドとデジタル・グランド (およびその電源) を分離するのが推奨される手法です。ただし、これを適切に行わないと、性能が低下する可能性があります。アナログとデジタルを分離する利点は、信号交差が静的である場合を除き、信号が絶縁境界をまたぐことがなくなることです。分離信号は、1 つのポイントのみ (理想的には信号のソース) に接続する必要があります。この接続には、フェライト・ビーズ、シンプルな抵抗、またはプレーンの断絶部分などを使用できます。フェライト・ビーズは、DC 抵抗が低く、静電容量は無視できる程度です。フェライト・ビーズを使用する場合は、適切なシミュレーションを実行して、フェライト・ビーズがノイズを適切にフィルタリングし、デバイスへの電流が制限されないことを確認します。アナログとデジタルを適切に分離できない場合は、1 つのグランド・プレーンのみを使用することを検討してください。

C2000 デバイスは、デバイスのすべてのアナログ・ピンを配置する「アナログ・コーナー」を持つように設計されています。これらの ADC 入力の多くのソースは通常、設計のパワー・エレクトロニクス部分から供給されます。この領域は一般的に基板のノイズが最大になる部分で、アナログ性能に重大な影響を及ぼす可能性があります。アナログ・グランド領域を小さくし、C2000 チップの近くに配置して、ノイズがデバイスの ADC に影響を与えないようにするのが最善です。アナログ・グランド・プレーンのサイズを削減すると、拾うノイズの量が少なくなります。

図 4-9 に、アナログとデジタルの分離例を示します。グランド・プレーンにアナログ・グランドとデジタル・グランドを分離するの明確な絶縁境界があることに注目してください。

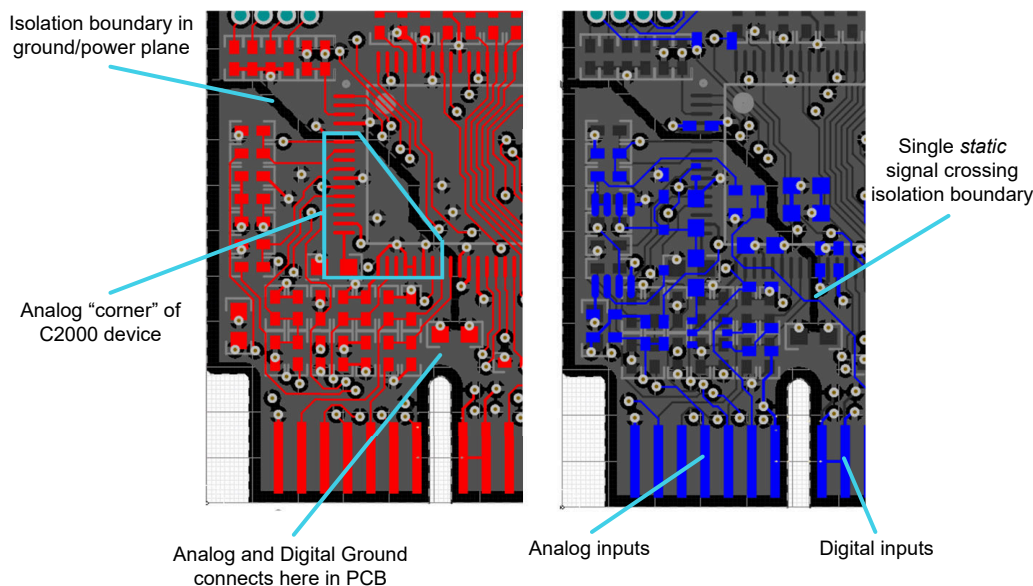


図 4-9. アナログとデジタルの絶縁

この例では、デジタル・グランドとアナログ・グランド (VSS/VSSA) の両方に 1 つのグランド・プレーンしかありません。グランドは、ソース付近にある絶縁境界の下部の灰色領域 1 点のみで短絡されています。また、絶縁境界をまたぐ信号は 1 つだけです。強調表示されている信号は静的信号であり、システムの動作中に状態が変化することはほとんどありません。つまり、大きなノイズは発生せず、システムにとって問題とはなりません。

## 4.6 トレースとビアを使用した信号配線

信号を適切に配線するため、トレースが 90 度の角度で曲がっていないことを確認してください。これはほとんどの PCB 設計ソフトウェアでは自動で行われますが、すべてのトレースでこのプロパティを確認することをお勧めします。トレースは曲げを 45°未満にするか、または可能な場合は曲線に沿って配線する必要があります。これにより、トレースに沿った反射や特性インピーダンスの変化が低減され、放射が減少します。直角にすると、コーナー領域の静電容量が増加し、インピーダンスが変化するだけでなく、反射も発生します。また、隣接する層の信号が垂直に (90 度の角度で) 交差するようにすることをお勧めします。これにより、信号間のクロストークが低減され、信号間の外乱を最小限に抑えることができます。トレース間に十分な間隔を確保すると、特に立ち上がり / 立ち下がり時間が短い信号で、クロストークを低減させることもできます。

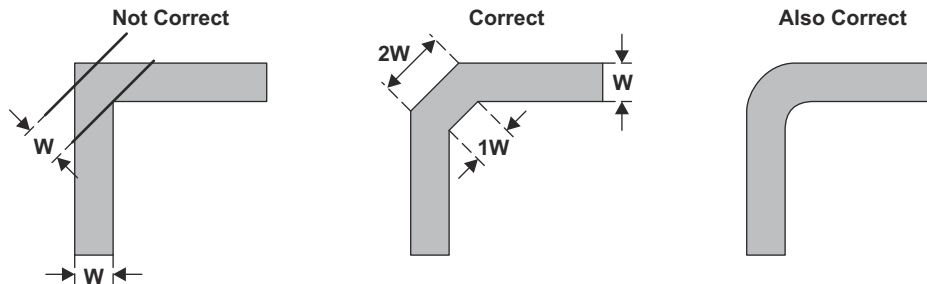


図 4-10. トレース信号の適切な配線

ボード上の特定の信号は、トレース幅を広くする必要があります。特に、電源の配線や大電流パスには、広いトレースを使用する必要があります。トレースを広くすると、これらの配線でパスのインダクタンスを低く維持できます。これにより、これらのパスでの電圧降下と電力損失を低減し、不要な放熱を削減できます。

多層基板上でトレースを配線する場合、通常は信号を異なる層に配線する必要があります。ビアは異なる層間で信号を交差させるために使用されますが、ビアは数を少なくし、必要な場合のみ使用するようにしてください。これらのビアは、基板全体のプレーン全体に穴を設けることに加えて、基板で発生する EMI、特に頻繁にスイッチングする信号に悪影響を及ぼす可能性もあります。システムの PinMux 選択と回路図を変更することで、信号配線を改善できます。ピンを割り当て直すと、トレースの配線を最適化し、トレース長を短くし、ビアの必要性を低減するのに役立ちます。

ビアを使用する場合、ビアをテンティングするかどうかは重要な考慮事項です。この手法には多くの利点がありますが、基板の製造コストが増加します。半田マスク付きのテンティング・ビアは、ビアを腐食から保護し、ビアの劣化を低減できます。高集積度基板では、テンティング・ビアによりシルクスクリーンが通常のテンティングされていないビアにくっつくことがなくなるので、シルクスクリーンの配置と再利用が容易になります。テンティングは偶発的な短絡を防止するのにも役立ちます。たとえば、コネクタをテンティングなしのビア上に配置すると、電氣的短絡が発生する可能性があります。ビアをテンティングできるかどうかは、ビアのサイズによって異なります。小さなビアはより大きいビアよりも簡単に埋めることができます。大きなビアをテンティングできるかどうかは、基板のメーカーによって異なります。

## 4.7 熱に関する注意事項

C2000 デバイスごとに、熱特性と温度仕様の制限について詳細に文書化されています。データシートの推奨最大消費電力を超えるシステムおよび最終製品では、設計に追加の放熱が必要になる場合があります。熱に関する主な考慮事項は接合部温度 ( $T_J$ ) です。この仕様は、絶対値および推奨値の範囲内に維持されるように、慎重にテストする必要があります。これにより、デバイスの寿命全体にわたって、信頼性と機能動作が保証されます。熱に関するもう 1 つの考慮事項は周囲温度 ( $T_A$ ) ですが、これは最終アプリケーション環境と製品設計によって異なります。

PCB 基板設計で  $T_J$  を最小限に抑えるため、基板と周囲間の熱抵抗 ( $\Theta_{BA}$ ) が小さくなるようにシステムを設計します。GND ピンと電源ピンは、デバイスから熱が放散する主な方法です。したがって、デバイスにサーマル・パッド・ピンがある場合は、PCB 上の大きな銅領域に接続するようにしてください。ほとんどのパッケージでは、サーマル・パッドはデバイス内部の GND に接続するか、外部から GND に接続します。同様に、すべての GND およびパワー・パッドが固体プレーンに良好に接続されており、ビアが C2000 デバイスの近くにあることを確認します。

熱評価基準と定義の詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。



## 5 EOS、EMI/EMC、ESD に関する考慮事項

どのエレクトロニクス・システムでも、外部の電氣的要因が影響する可能性を考慮し、それらの影響を制限して低減するための手順を実行することが重要です。十分な注意を払わないと、性能および信頼性が低下し、部品の損傷を招く可能性があります。

### 5.1 電氣的オーバーストレス

各デバイスのデータシートには、デバイスを適切かつ長期間機能させるための推奨条件と最大条件が詳細に記載されています。F2800x デバイスを使用するときに注意する必要がある最も重要な考慮事項を以下に示します。

- GPIO 入力電圧は、VDDIO + 0.3V 以下、VSS - 0.3V 以上にする必要があります。
- 同様に、ADC 入力電圧は VDDA + 0.3V 以下、VSSA - 0.3V 以上にする必要があります。この範囲外の電圧を使用すると、ADC が本来の機能を果たせず、性能が低下する可能性があります。
- GPIO および ADC のすべての入力ピンについて、入力クランプ電流は 20mA 以下、-20mA 以上にする必要があります。ピンごとの連続クランプ電流は  $\pm 2\text{mA}$  ですが、この状態を継続すると VDDIO と VDDA の電圧が内部的に上昇し、他の電氣的仕様に影響を及ぼす可能性があるため、推奨しません。
- C2000 デバイスに電源を投入する前に有効になっている信号は、データシートに記載されている仕様を信号が超えないように電流を制限し、保護する必要があります。
- デバイスが損傷するリスクを排除するために、3.3V のパワー・オペアンプ、ステアリング・ダイオード、直列抵抗、またはこれら 3 つを組み合わせる必要があります。

### 5.2 電磁干渉と電磁両立性

電磁両立性 (EMC) とは、他のシステムからの干渉や外乱が発生した場合でも、電子部品が適切に機能する能力を意味します。最も注意すべきなのが電磁干渉 (EMI) です。EMI とは、デバイスや付近にある他のデバイスから放射される無線周波数エネルギーです。このような外乱は、伝導と放射により伝搬し、デバイスに影響を及ぼす可能性があります。

そのため、システムを設計する際には、基板から放射と伝導の両方により伝搬する EMI が、規制規格で許容される最大値を超えないようにすることが重要です。ハードウェア設計者は、放射 EMI と伝導 EMI を最小限に抑え、認定の制限をかなり下回るレベルにする必要があります。同様に、周囲にある他のシステムから電磁エネルギーが放射および伝導された場合でも適切に機能するように、ボードには十分なシールドを設計する必要があります。

PCB、コネクタ、ケーブルなど、システム内のほとんどのコンポーネントは、EMI の発生源となります。特に、高周波と高速スイッチングの電流および電圧を使用するボードを設計する場合は、すべてのトレースが電磁エネルギーを放射するアンテナとして機能します。放射の 5 つの主要な原因は、トレースで伝搬されるデジタル信号、電流リターン・ループ領域、不適切な電源フィルタリングまたはデカップリング、伝送ライン効果、電源プレーンとグランド・プレーンの欠如です。高速スイッチング・クロック、外部バス、PWM 信号は、制御出力およびスイッチング電源として使用されます。この電源は EMI のもう 1 つの主要な要因です。RF 信号は基板の 1 つのセクションから別のセクションに伝搬し、EMI を形成することがあります。スイッチング電源はエネルギーを放射するため、EMI テストに不合格となる可能性があります。

基板とその部品から発生する不要な EMI を低減するため、回路図とレイアウトの設計プロセス全体で以下のガイドラインに従ってください。

- 値が異なる複数のデカップリング・コンデンサと、適切な電源デカップリング手法を使用します。すべてのコンデンサに自己共振周波数があることに注意してください。
- 電源に適切なフィルタ・コンデンサを配置します。これらのコンデンサとデカップリング・コンデンサの等価直列インダクタンス (ESL) は低くする必要があります。
- 配線層にスペースがある場合は、グランド・プレーンを作成します。これらのグランド領域をビアを介してグランド・プレーンに接続します。1/4 インチのビア・グリッドを作成するのが理想的です。

- 高周波信号 (下位アドレス・ライン、クロック信号、シリアル・ポートなど) は通常、**CMOS** 入力で終端されます。これは、**100K $\Omega$**  を超える抵抗と通常 **10pF** のコンデンサを並列接続した負荷に相当します。このような負荷を充電 / 放電すると、ピーク電流が大きくなります。可能な解決策は、直列終端抵抗 (約 **50 $\Omega$** ) を追加し、最適なシグナル・インテグリティを実現するために抵抗を微調整することです。伝送ラインの理論によれば、合計出力抵抗 (内部 + 外部) がライン・インピーダンス (通常 **70 $\Omega$ ~120 $\Omega$** ) より小さい場合、速度に悪影響を及ぼすことはありません。一般に、タイミングがそれほど重要でない場合は、直列終端抵抗を追加して信号の立ち上がり時間を短縮します。この方法では、低コストで大きな利点が得られます。
- 通常、**3 相 H ブリッジ・スイッチ** のオン / オフを駆動する **PWM** 信号は、電流スパイクを引き起こします。対称型 **PWM** は、非対称 **PWM** に比べて、**dU/dt** と **di/dt** に関連する **EMI** を約 **66%** 削減します。空間ベクトル **PWM** も、**PWM** 周期に対して対称です。ただし、**PWM** の 1 周期中にスイッチングされるトランジスタは **2 つ** だけなので、対称型 **PWM** と比較してスイッチング損失と **EMI** 放射が **30%** 減少します。
- 電流ループは可能な限り小さくします。必要なデカップリング・コンデンサをできるだけ多く追加します。ループ領域を減らすため、常に電流リターン・ルールを適用します。
- 高速信号は他の信号から距離を置き、特に入出力ポートやコネクタから離して配置します。
- 電流リターン・ルールを適用してグラウンドを互いに接続すると同時に、アナログ部分のグラウンド・プレーンを絶縁します。プロジェクトで **ADC** を使用せず、アナログ回路が存在しない場合は、グラウンドを絶縁しないでください。
- グラウンド分離をフェライト・ビーズに接続しないでください。高周波では、フェライト・ビーズのインピーダンスが高くなり、プレーン間または **PC** 基板のスタックアップ間に大きなグラウンド電位差が生じるので、できるだけ多くの電源プレーンとグラウンド・プレーンを追加します。電源プレーンとグラウンド・プレーンを隣接させ、低インピーダンスのスタックアップまたは大きな自然容量のスタックアップを実現します。
- ボックスから出力されるすべての信号、またはボックスに入力されるすべての信号に **EMI Pi** フィルタを追加します。
- システムが **EMI** テストに不合格になった場合は、不合格となった周波数をトレースしてソースを特定します。たとえば、設計が **300MHz** で不合格となったが、基板上にはその周波数で動作しているものはないとします。この場合、ソースは **100MHz** 信号の **3 次高調波** である可能性が高いと考えられます。
- 不合格となった周波数が同相モードと差動モードのどちらであるかを判定します。ボックスに接続されているすべてのケーブルを取り外します。放射が変化した場合は同相モードです。変化しなかった場合は差動モードです。次に、ソースに移動し、終端またはデカップリングを使用して放射を低減します。同相モードの場合は、入力と出力に **Pi** フィルタを追加します。ケーブルに共通チョークを追加するのは効果的なソリューションですが、**EMI** を低減するにはコスト高です。

PCB 設計プロセス全体を通して **EMI/EMC** の問題を低減する方法の詳細については、『[EMI を低減するための PCB 設計ガイドライン](#)』および『[電磁両立性向上のためのプリント基板レイアウト](#)』を参照してください。

### 5.3 静電気放電

電荷が蓄積されると、動作中にデバイスに静電気放電 (**ESD**) が発生する可能性があります。これらのマイクロコントローラを取り扱う際、保管する際には注意が必要です。すべての **F2800x** デバイスは、ペリフェラルやポート・ピンを含め、テキサス・インスツルメンツの標準 **ESD** 仕様に準拠していることをテスト済みです。これらの製品は、人体モデル (**HBM**) で **2kV**、荷電デバイス・モデル (**CDM**) で **500V** の **ESD** 試験に合格しています。

電源電圧のグリッチまたは **ESD** により、デバイスは不明な状態になります。そのため、ノイズと **ESD** の性能を最適化するために、適切な **PCB** レイアウトを採用することが重要です。同様の **ESD** 保護ダイオードを **JTAG** ピンにも使用できます。重要なトレースのループ領域 (この場合は **JTAG**, **XRS**, **X1**, **X2**) はできるだけ小さくしてください。GPIO などのピンを (外部接続用の) コネクタに接続する必要がある場合は、**ESD** 保護部品を追加して、特別な **ESD** 対策を適用してください。一部のシステムでは、**ESD** 保護を維持するために、金属シールド、ケーブルの再配線などの機械的な修正が必要になる場合があります。これらの外部 **ESD** 保護デバイスを使用する場合は、デバイスのデータシートに記載されているレイアウトのガイドラインに従って、その効果が最大になるようにしてください。



## 6 重要項目の最終的なチェックリスト

C2000 デバイス・ファミリは、機能の豊富なデバイスであり、幅広いシステムで利用できます。最適な性能を実現するため、これらのシステムは慎重に設計およびテストする必要があります。このプロセスを支援するため、テキサス・インスツルメンツではこれらのデバイスを使用するときに実施する必要のある最も重要な注意事項をまとめたクイック・スプレッドシートを提供しています。重要な考慮事項を見逃さないようにするため、設計プロセスの各段階の最後に、『[F2800x ハードウェア設計ガイド・チェックリスト](#)』を参照してください。

## 7 関連資料

- テキサス・インスツルメンツ:『[TMS320F28004x リアルタイム・マイクロコントローラ](#)』データシート
- テキサス・インスツルメンツ:『[TMS320F28002x リアルタイム・マイクロコントローラ](#)』データシート
- テキサス・インスツルメンツ:『[TMS320F28003x リアルタイム・マイクロコントローラ](#)』データシート
- テキサス・インスツルメンツ:『[TMS320F280013x リアルタイム・マイクロコントローラ](#)』データシート
- テキサス・インスツルメンツ:『[TMS320F28004x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』
- テキサス・インスツルメンツ:『[TMS320F28002x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』
- テキサス・インスツルメンツ:『[TMS320F28003x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』
- テキサス・インスツルメンツ:『[TMS320F280013x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』
- テキサス・インスツルメンツ:『[TMS320F2802x/TMS320F2803x から TMS320F28002x への移行の概要](#)』
- テキサス・インスツルメンツ:『[TMS320F28004x マイクロコントローラ: TMS320F2806x と TMS320F2803x マイクロコントローラの比較](#)』
- テキサス・インスツルメンツ:『[TMS320F28004x と TMS320F28002x 間の移行](#)』
- テキサス・インスツルメンツ:『[TMS320F28002x と TMS320F28003x 間の移行](#)』
- テキサス・インスツルメンツ:『[TMS320F28004x と TMS320F28003x 間の移行](#)』
- テキサス・インスツルメンツ:『[C2000 リアルタイム制御 MCU パリフェラル・リファレンス・ガイド](#)』
- テキサス・インスツルメンツ:『[カスタム・ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法](#)』
- テキサス・インスツルメンツ:『[C2000 デバイスで GPIO を最大限に使用する方法](#)』
- テキサス・インスツルメンツ:『[I2C バスのプルアップ抵抗値の計算](#)』
- テキサス・インスツルメンツ:『[DCAN モジュールのプログラミング例とデバッグ戦略](#)』
- テキサス・インスツルメンツ:『[TMS320F28004x FSI アダプタ・ボード・ユーザー・ガイド](#)』
- テキサス・インスツルメンツ:『[高速シリアル・インターフェイス \(FSI\) スキュー補償](#)』
- テキサス・インスツルメンツ:『[C2000 MCU 用の ADC 入力回路の評価](#)』
- テキサス・インスツルメンツ:『[ADC メモリのクロストークを低減する方法](#)』
- テキサス・インスツルメンツ:『[C2000 ADC 用の電荷共有駆動回路](#)』
- テキサス・インスツルメンツ:『[C2000 MCU JTAG コネクティビティのデバッグ](#)』
- テキサス・インスツルメンツ:『[半導体および IC パッケージの熱評価基準](#)』
- テキサス・インスツルメンツ:『[EMI を低減するための PCB 設計ガイドライン](#)』
- テキサス・インスツルメンツ:『[電磁両立性向上のためのプリント基板レイアウト](#)』
- テキサス・インスツルメンツ:『[C2000 リアルタイム・マイクロコントローラを使った開発のための基本ガイド](#)』
- テキサス・インスツルメンツ:『[C2000 F28004x シリーズ LaunchPad™ 開発キット・ユーザー・ガイド](#)』
- テキサス・インスツルメンツ:『[C2000™ F28002x シリーズ LaunchPad™ 開発キット](#)』
- テキサス・インスツルメンツ:『[C2000 リアルタイム制御マイクロコントローラ \(MCU\) 活用の基礎](#)』
- テキサス・インスツルメンツ:『[DSP 設計でデカップリング・コンデンサを使用するためのガイドライン](#)』
- テキサス・インスツルメンツ:『[高速 DSP システムの設計に関するリファレンス・ガイド](#)』
- テキサス・インスツルメンツ:『[低速またはフローティング CMOS 入力の影響](#)』
- テキサス・インスツルメンツ:『[高速 PCB レイアウト手法](#)』
- テキサス・インスツルメンツ:『[高分解能のための PCB レイアウトのヒント](#)』
- テキサス・インスツルメンツ:『[ラッチアップ、ESD、その他の現象](#)』
- テキサス・インスツルメンツ:『[高速レイアウト・ガイドライン](#)』

## 8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision * (December 2021) to Revision A (December 2022)</b>	<b>Page</b>
• 文書全体にわたって表、図、相互参照の採番方法を更新。.....	2
• C2000 デバイスの TMS320F280013x ファミリに関する情報を追加してドキュメントを更新.....	6

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2023, Texas Instruments Incorporated