

Application Brief

DRV3255-Q1 を使用したパラレル MOSFET の駆動



世界中で低燃費の電気自動車や温室効果ガス削減への取り組みが進む中、現在の車載用設計では、電源の 48V 化への道が開かれようとしています。ベルト・スタータ・ジェネレータ (BSG) やモータ・ジェネレータなどの 48V ドライブ・トレイン・コンポーネントは、大電力供給を必要とします。30kW 以上もの電力を必要とするものもあります。

DRV3255-Q1 は、このようなニーズに特化して設計されているため、これらのアプリケーションに最適です。これらのハイパワー・ハーフブリッジ設計の最大の課題の 1 つが、外部 MOSFET での熱損失による不要な PCB 発熱を回避するための最適化です。このような最適化の手法として、MOSFET がオンのときのドレイン・ソース間抵抗 (一般に $R_{DS(on)}$ と呼ばれる) を低減する方法があります。本書では、DRV3255-Q1 を使用したハイパワー・ブリッジ設計に関する回路図およびレイアウト最適化のベストプラクティスをいくつか紹介します。同じコンセプトを、高いソース電流およびシンク電流能力を備えた他のドライブに適用することも可能です。

動作原理

ハーフブリッジ回路の電流導通能力の向上により、 $R_{DS(on)}$ が小さくなり、その結果、熱への電力損失が抑えられる利点があります。設計者は複数の FET を並列接続で使用することがよくあります。これは、FET の並列配置により、1 つのゲート出力で駆動できる $R_{DS(on)}$ が実質的に小さくなるためです。理論的観点では、図 1 に示すとおり、複数の FET を単一のコンポーネントとして扱うことができます。

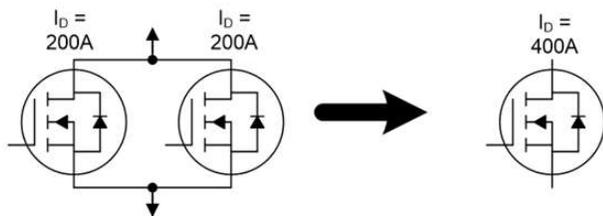


図 1.

パラレル MOSFET を単一の FET としてモデル化

実際には、まったく同じ MOSFET は 2 つとして存在しません。つまり、 $R_{DS(on)}$ の差により、最終的には一方の MOSFET がもう一方よりもオンになるタイミングが早くなり、電流容量が多くなることがあります。この差を最小限に抑えることは、システムの動作に不可欠です。複数の MOSFET がオンの状態で普通に導通している場合、電

流容量が多い方の MOSFET では発熱が大きくなり、もう一方の MOSFET と比較して $R_{DS(on)}$ が増大します。その結果、負のフィードバックループが形成されるため、最終的に MOSFET 間の消費電力のバランスをとる必要があります。ただし、MOSFET が (ジェネレータ・モードで外側で回転するモータ、または非同期 PWM パターンが原因で) ボディ・ダイオードを通じて逆方向に導通しているときは、その逆となります。ボディ・ダイオードの順方向電圧は温度とともに低下するため、その MOSFET の電流フローがさらに増える可能性があります。この正のフィードバックループは、熱暴走を発生させ、PCB や MOSFET に損傷を与える可能性があります。この理由から、MOSFET を選択するときは、ボディ・ダイオードの特性と、予期される逆電流フローを考慮する必要があります。

回路図に関する考慮事項

一方の MOSFET がオンになると、ソース・ノードでの導通開始により、急速な電圧スイングが発生します。この電圧は、もう一方の MOSFET の寄生ゲートドレイン容量を通して結合され、共有ゲート接続で電圧スパイクが発生する可能性があります。MOSFET が高速にオン/オフしてゲート・ノードに発振が起こり、最終的にゲート・ドライバまたは MOSFET が損傷するおそれがあります。この結合を抑制するために、各 MOSFET は、ゲートとゲート・ドライバ間の共有接続との間に個別の抵抗を配置する必要があります。これにより、電圧パルスが入力に再結合することが防止されます。

図 2 に、不要な結合の可能性があるパスを示します。図 3 に、改善された個別抵抗の回路図を示します。

ただし、各 MOSFET に対して制限抵抗が並列に配置されているため、同値抵抗を維持するために個別抵抗を増大する必要があります。たとえば、 10Ω の個別抵抗を1つのゲートで使用した場合、デュアル MOSFET 構成の各ゲートには 20Ω の抵抗が必要となり、等価抵抗は依然として $20 \parallel 20 = 10$ です。

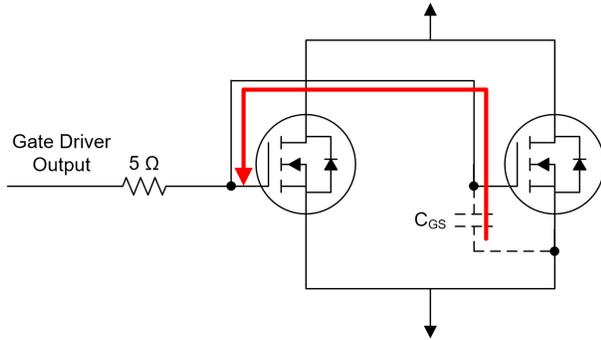


図 2. シングルゲート抵抗

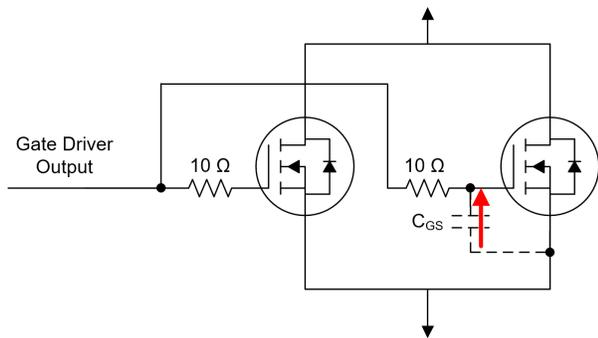


図 3. ゲートごとの個別抵抗

ゲートのレイアウトに関する考慮事項

MOSFET のゲートの性能を最大限に高めるには、以下のガイドラインが役立ちます。

- MOSFET をできるだけ同時にスイッチングして電力損失を最小限に抑えるために、**MOSFET を相互に近づけて配置**します。
- MOSFET に近い位置まで、ゲートのトレースが均一化された状態に維持します。これにより、外部信号の結合が MOSFET に異なる影響を及ぼす可能性を最小限に抑えることができます。
- **個々のゲートのトレースの長さを適度に揃えます**。ただし、通常は厳密に一致させる必要はありません。
- 個別のゲート抵抗の配置は必須ではありませんが、可能な場合は MOSFET の近くに個別のゲート抵抗を配置して、MOSFET のゲートとの間で信号が結合する可能性を抑えることを推奨します。

図 4 に、ゲートの悪いレイアウトの例を示します。図 5 に、ゲートの推奨レイアウトの例を示します。

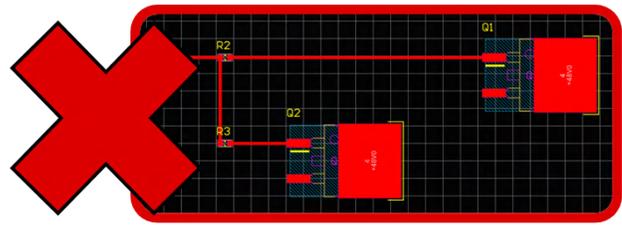


図 4. ゲートの悪いレイアウトの例

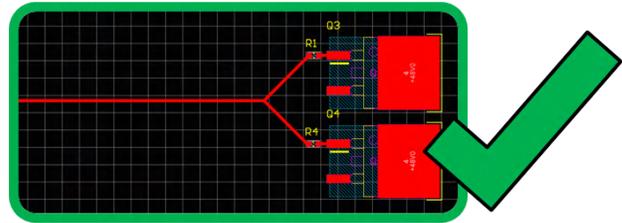


図 5. ゲートの推奨レイアウトの例

ドレインとソースのレイアウトに関する考慮事項

MOSFET のドレイン・ソース間接続の性能を最大限に高めるには、以下のガイドラインが役立ちます。

- MOSFET をできるだけ同時にスイッチングさせて電力損失を最小限に抑えるために、**MOSFET のドレイン・ソース間接続をできるだけ均一化**するようにします。
- 両方の MOSFET のソース・ドレイン間接続が強力な接続になるようにします (トレースの代わりにポリゴン銅箔が強く推奨されます)。それにより、電流フローが比較的均一になります。一方の MOSFET の電流フローがソースまたはドレイン接続によって制限される場合、もう一方の MOSFET の電流量は不均衡となり、熱の問題が発生する可能性があります。
- パッドのサーマル・リリーフは推奨されません。電流容量が低下し、熱抵抗が増大して、PCB への MOSFET の放熱が減少するからです。

図 6 に、ドレインとソースの悪いレイアウトの例を示します。図 7 に、ドレインとソースの推奨レイアウトの例を示します。

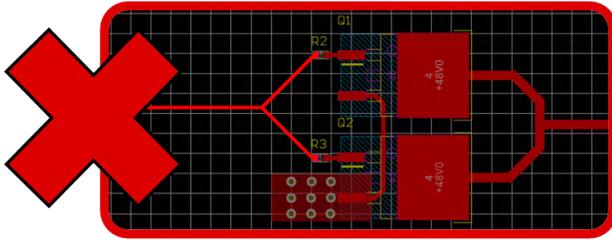


図 6. ドレインとソースの悪いレイアウトの例

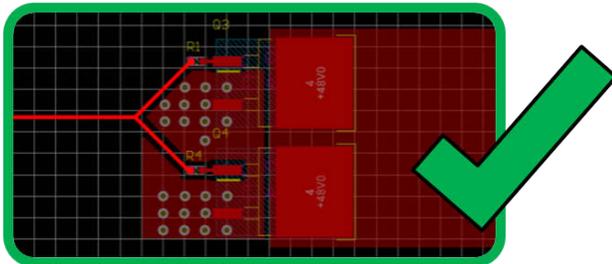


図 7. ドレインとソースの推奨レイアウトの例

結論

このアプリケーション・ブリーフでは、ハイパワー・アプリケーションでの 2 つの平行 MOSFET の使用について紹介しました。本書に記載した手法を活用すれば、同じコンセプトを、3 個、4 個、またはそれ以上の平行 MOSFET を使用するボードに応用することができます。

熱効率の高い PCB により、MOSFET の $R_{DS(on)}$ の非効率による発熱でエネルギーを浪費することなく、より多くのシステム電力をモータに供給できます。本書に記載した手法を、『*Best Practices for Board Layout of Motor Drivers Application Report*』(英語) で紹介されている手法と併用することで、今後の設計で効率を維持しながら、堅牢性を高め、システム電力損失を減少させることができます。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated