

ADC12DL065,LMH6550



Literature Number: JAJA421

SIGNAL PATH *designer*

Expert tips, tricks, and techniques for signal-path designs

No.101

特集記事 1-7

高性能 試験・計測機器
ソリューション 2

通信向けシグナルパス・
ソリューション 4-5

設計支援ツール 8

シグナルパスに沿った設計

— Kurt Rentel, Juergen Kuehnel

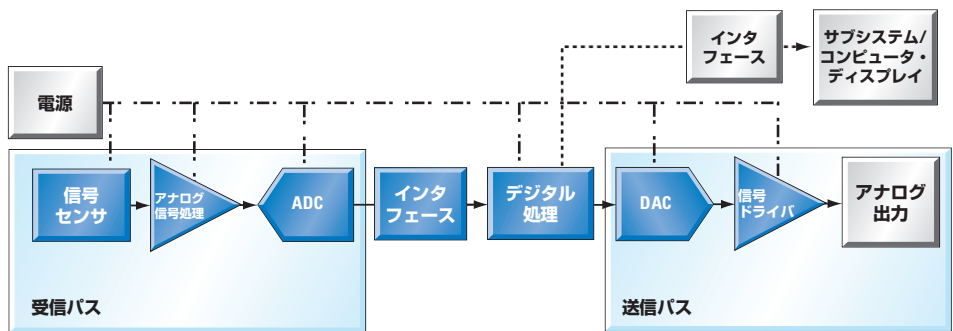


Figure 1. 一般的なシグナルパス

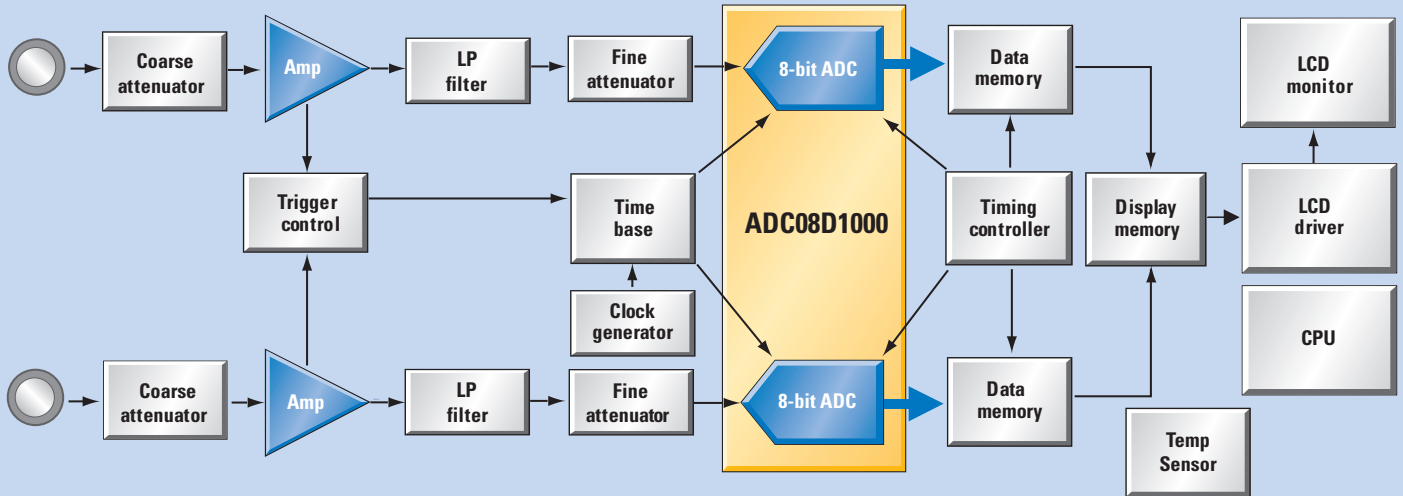
高速のミクストシグナル (アナデジ混在) システムの設計では、段階を踏みながら、信号チェーン全体にわたって、機能ブロック単位で信号の忠実度を判断していくことが優れた設計手法といえます。今回の「Signal Path Designer」では、入力パス、すなわち受信パスの設計に焦点をあてて説明します。送信パス、すなわち出力パスについては次号以降で説明します。一般的なレシーバ・システムや測定システムは、信号センサ、アナログ信号処理ブロック、データ・コンバータ、インタフェース、そしてデジタル処理ブロックから構成されています (Figure 1)。ここではアナログ信号部分とミクスト信号部分を取り上げます。必要な性能を満足するためには、各シグナルパス・ブロックの選択に十分な注意が必要です。

システムにおける要求性能

システムの設計では、性能、消費電力、サイズ、使いやすさの点で最適なトレードオフを求めるために、システム全体の要求性能をシグナルパスを構成する主要部品の仕様へと翻訳しなければなりません。本稿では、2系統のシグナルパスを持つレシーバ・システムを例に挙げて、設計手順をステップごとに概観していきます (Figure 2 参照)。それぞれのシグナルパスは、DC から 27MHz を動作周波数とし出力インピーダンス 200Ω のシングルエンド出力を備えたセンサ部から始まります。センサ出力の振幅範囲は 2mVpp から 1Vpp ですが、どちらのチャンネルともに出力信号には高周波の不要な干渉成分が含まれています。ここでシステム要件を、適切な信号処理を行うためにシステム・ノイズは信号の最低レベルの 6dB 以下でなければならないこと、また信号が最高レベルの場合にはいかなる部分においてもクリッピングされないこと、と定めることにします。さらに一般的な要件と同様に、回路の消費電力をできるだけ小さく抑えることとします。

高性能 試験・計測機器ソリューション

デジタル・オシロスコープ



NEW! ADC08D1000 の性能 (代表値)

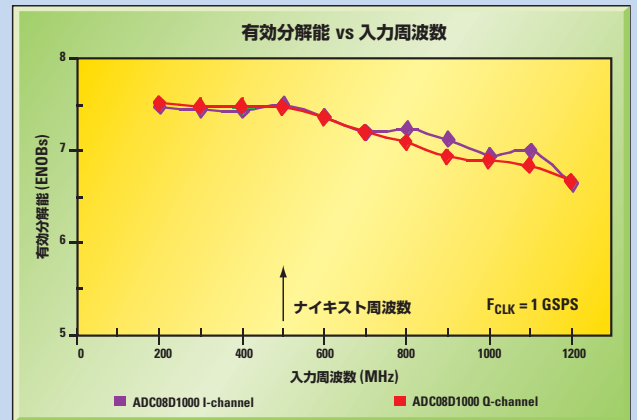
- 有効分解能：7.5 ビット
- 超低ビット・エラー・レート： 10^{-18}
- DNL： $\pm 0.25\text{LSB}$
- チャンネル間クロストーク：-71dB
- 動作時消費電力：1.6W

ADC08D1000 の特長

- デュアルエッジ・サンプリング (インタリーブ動作)：2GSPS で入力アナログ信号サンプリング可能
- シングル/デュアル出力データレート選択可能
- 複数の ADC と同期可能
- データ・キャプチャを容易にする DEMUX された LVDS インタフェース

ナショナルの超高速 8 ビット・ファミリには以下のピン互換製品があります。

- ADC081000 (シングル、8 ビット、1GSPS)
- ADC08D500 (デュアル、8 ビット、500MSPS)



試験・計測機器向け高速アンプおよびコンパレータ

製品名	機能	SSBW (MHz, $A_V=1$)	スルーレート (V/ μs , $A_V=1$)	I_{CC} (mA/ch)	2次/3次高調波歪み (dBc)	電圧ノイズ (nV/ $\sqrt{\text{Hz}}$)	パッケージ
NEW! LMH6550	ディスエーブル機能付き完全差動 ADC ドライバ	400	3000	20.0	-92 / -103 @ 5 MHz, $R_L=800\Omega$	6.0	SOIC-8, MSOP-8
NEW! LMH6551	完全差動 ADC ドライバ	370	2400	12.5	-94 / -96 @ 5 MHz, $R_L=800\Omega$	6.0	SOIC-8, MSOP-8
NEW! LMH6702	超低歪み電流帰還型オペアンプ	1.7 GHz ¹	31001	12.5	-63 / -70 @ 60 MHz, $R_L=100\Omega$	1.8	SOIC-8, SOT23-5
NEW! LMH6574	4:1 マルチプレクサ、-70dB クロストーク	500 ¹	2200	13.0	-65 / -86 @ 5 MHz, $R_L=100\Omega$	5.0	SOIC-14
製品名	機能	応答時間 (ns)	立ち上がり/下り時間	I_{CC} (mA/ch)	CMVR	出力構成	パッケージ
LMV7219	7ns、2.7V ~ 5V フルシング出力コンパレータ	7	1.3 ns	1.1	-0.2V ~ 3.8V	プッシュプル	SC70-5, SOT23-5

¹ $A_V=+2$

シグナルパスに沿った設計

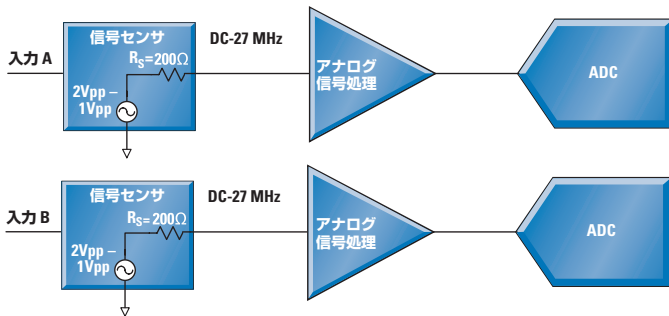


Figure 2.2 系統のシグナルパスを持つレーザ・システム

ADC の選択

システム仕様が決まったら入力信号パスの心臓部とも言うべきアナログ・デジタル・コンバータ (ADC) の設計作業を開始します。高速 ADC で重要となる仕様項目は分解能 (ビット数) とサンプリング・レートです。入力信号は 2mVpp から 1Vpp 、すなわち 54dB のダイナミック・レンジを有し、また ADC のノイズ・レベルは最小信号レベルよりも 6dB 以上低くなければならぬため、ADC は 60dB ($54\text{dB} + 6\text{dB}$) 以上の信号対ノイズ比 (SNR) を備えるものでなければなりません。理論的には 10 ビットの ADC の SNR は 62dB ですからこの要件に適合します。しかし実際の 10 ビット ADC がこのような理論的境界を達成することはありません。また、信号チェーン内に存在する他の部品がシステムにノイズを付加します。さらに、ADC の入力に過度に駆動されるリスクを軽減するために、入力信号はフルスケールよりも低めに維持したほうが望ましいと考えられます。以上のすべてのポイントを考慮すると、 68dB から 70dB の SNR を備えた 12 ビット・コンバータが適切な選択肢になります。

ADC 分解能を 12 ビットに設定したら、次にサンプリング・レートを選択します。入力信号の周波数範囲は DC から 27MHz となっているため、サンプリング・レートは最低でも 54MSPS が必要です。サンプリング・レートをこの値に設定すれば、入力信号のすべての周波数にわたって、誤って解釈される好ましくないエイリアシングの発生や信号周波数の折り返しを生じることなく、ADC でデジタル化を実現できます。なお、周波数折り返しやエイリアシングについては、ADC や標準化定理に関する専門書やアプリケーション・ノートを参照してください。

システム要件から、ADC にはさらに 2 つの検討課題がありました。システムが 2 つのチャンネルを必要とする課題に対してはデュアル ADC の採用が適当であり、しかもデュアル ADC を使えば電力を抑えられるため、もう 1 つの課題も満たすことができます。すなわち ADC に求められる仕様は、分解能が 12 ビットでサンプリング・レートは 54MSPS よりも高く、消費電力が少ないデュアル・パッケージ品となります。このような要件に見合う ADC の 1 つが、 69dB の SNR 性能と低消費電力 (360mW) の特長を備えた、12 ビット、 65MSPS 、デュアル回路の ADC12DL065 です。

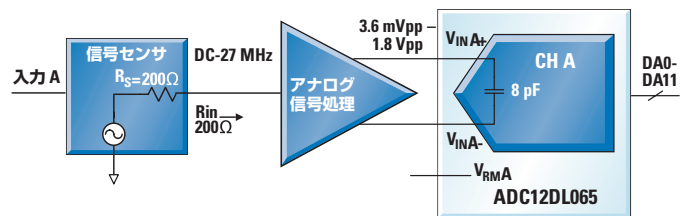


Figure 3. レーザ・システムの入力"A"の信号パス

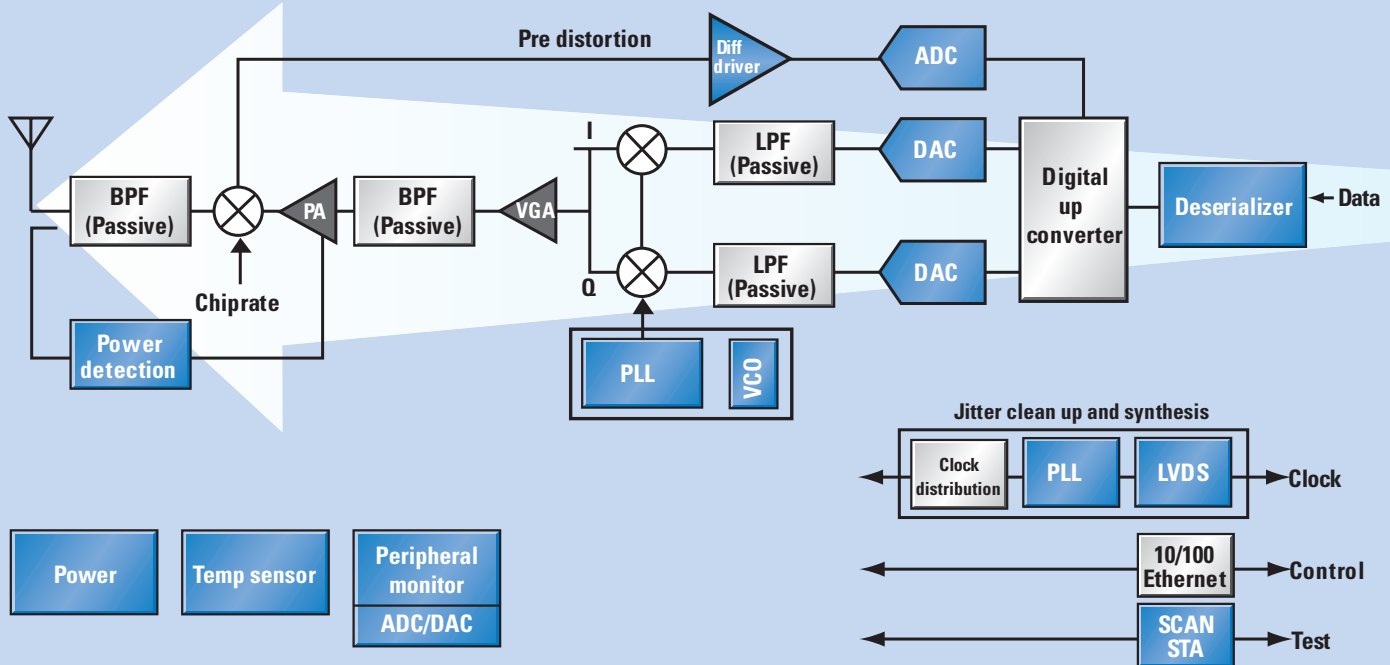
残りのシグナルパスの設計で必要となる ADC12DL065 の重要な 2 つの仕様項目は次のとおりです。まず ADC の入力特性です。フルスケール差動入力レンジは 2Vpp 、コモンモード入力電圧は 1.5V 、入力容量は 8pF です (Figure 3 参照)。ADC12DL065 の AC 特性をみると、優れた SNR と 30MHz で 85dB というスプリアスのないダイナミック・レンジ (SFDR) を備えていることがわかるので、ADC が発生するスプリアス成分は本来の信号に比べてはるかに小さいのは確実です。もう 1 つの仕様項目はデュアル ADC でのチャンネル間相互作用です。ADC12DL065 は、一方の ADC 入力から他方の ADC に対して 90dB の信号除去性能を持っているため、他のチャンネルに対して干渉を与えません。

アナログ信号調整ブロック

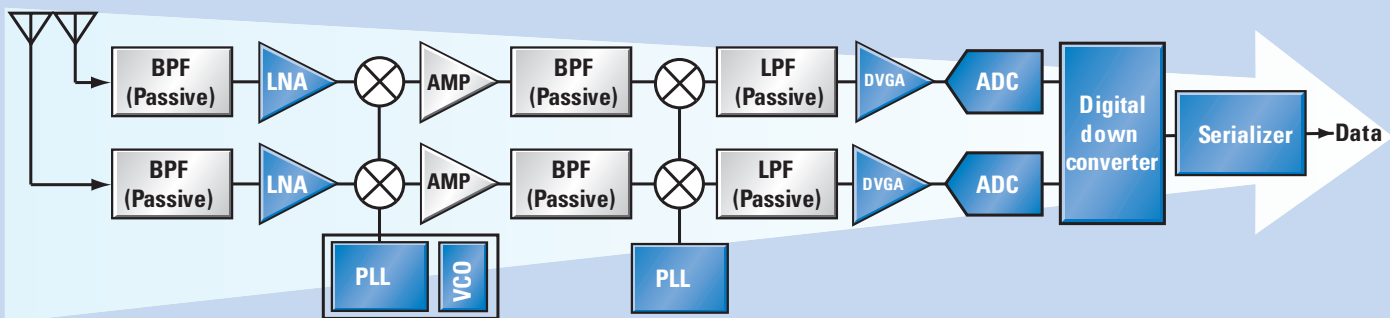
次に、ADC の性能を補完するようにアナログ信号調整ブロックを設計します。アナログ信号調整ブロックは、不要な高周波信号を除去するフィルタ、センサ出力とのインピーダンス整合、センサのシングルエンド信号から ADC 差動信号への変換、ADC の入力レンジに適合させる信号レベルの増幅、ADC のコモンモード入力レベルに適合させるレベルシフトの各機能で構成されます。

通信向けシグナルパス・ソリューション

ワイヤレス基地局トランスミッタ



ワイヤレス基地局レシーバ



通信向け高速アンプ

製品名	機能	SSBW (MHz, $A_V=1$)	スルーレート (V/ μ s, $A_V=1$)	I_{OC} (mA/ch)	2次/3次高調波歪み (dBc)	電圧ノイズ (nV/ \sqrt Hz)	パッケージ
NEW! LMH6550	ディスエーブル機能付き完全差動 ADC ドライバ	400	3000	20.0	-92 / -103 @ 5 MHz, $R_L=800\Omega$	6.0	SOIC-8, MSOP-8
NEW! LMH6551	完全差動 ADC ドライバ	370	2400	12.5	-94 / -96 @ 5 MHz, $R_L=800\Omega$	6.0	SOIC-8, MSOP-8
NEW! LMH6703	1.2GHz 低歪み、シャットダウン機能付きオペアンプ	1.2 GHz ²	4200 ²	11.0	-69 / -90 @ 20 MHz, $R_L=100\Omega$	2.3	SOIC-8, SOT23-6
NEW! LMH6704	650MHz シャットダウン機能付きプログラマブル・ゲイン・バッファ	6502	3000	11.5	-62 / -78 @ 10 MHz, $R_L=100\Omega$	9.3	SOIC-8, SOT23-6
LMH6502	Liner-in dB、可変利得アンプ (VGA)	130 ¹	1800 ¹	27.0	-55 / -57 @ 20 MHz, $R_L=100\Omega$	7.7	SOIC-14, TSSOP-14
LMH6503	Liner-in V/V、可変利得アンプ (VGA)	135 ¹	1800 ¹	37.0	-60 / -61 @ 20 MHz, $R_L=100\Omega$	6.6	SOIC-14, TSSOP-14
LMH6504	Liner-in dB、可変利得アンプ (VGA)	150 ¹	1500 ¹	11.0	-47 / -55 @ 20 MHz, $R_L=100\Omega$	4.4	SOIC-8, MSOP-8
CLC5526	デジタル制御可変利得アンプ (VGA)	350	—	48.0	-67 / -71 @ 150 MHz, $R_L=100\Omega$	2.2	SSOP-20

¹ $A_V=+10$ ² $A_V=+2$

通信向け RF 検出アンプ

製品名	アプリケーション	ディテクタ	チャンネル数	検出範囲	パッケージ
LMV227	CDMA 2000, WCDMA, UMTS	Log amp	1	40 dB, 2.1 GHz	Micro SMD, LLP®
LMV225/226/228	World phone, IMT 2000, UMTS	Log amp	1	40 dB, 2.1 GHz	Micro SMD, LLP
NEW! LMV232	3GPP2, World phone	Mean square	2	20 dB, 2.2 GHz	Micro SMD
LMV242/243	GSM/GPRS, TD_SCDMA_MC	Log amp	1	55 dB, 2.1 GHz	Micro SMD, LLP

クロスポイント・スイッチ

製品名	説明	入力互換性	出力	速度/Ch (Mbps)	パッケージ	備考
NEW! SCAN90CP02	2 × 2 クロスポイント	LVDS/LVPECL/CML	LVDS	1500	LLP-28, LQFP-32	プログラマブル・プリエンファシス, 6.5 kV ESD, JTAG

シリアルライザ / デシリアルライザ

製品名	説明	Max ratio	機能	#Ser	#Des	バス・スピード (MHz)	スループット/チャンネル (Mbps)	最大スループット (Mbps)
SCAN921025	10:1 組み込みクロック内蔵シリアルライザ	10:1	シリアルライザ	1	—	20-80	800	800
SCAN921226	10:1 組み込みクロック内蔵デシリアルライザ	1:10	デシリアルライザ	—	1	20-80	800	800
SCAN926260	6 チャンネル 10:1 組み込みクロック内蔵デシリアルライザ	1:10	デシリアルライザ	—	6	25-66	660	3960
SCAN928028	8 チャンネル 10:1 組み込みクロック内蔵シリアルライザ	10:1	シリアルライザ	8	—	25-66	660	5280
DS92LV16	16:1/1:16 組み込みクロック内蔵シリアルライザ/デシリアルライザ	16:1	SerDes	1	1	25-80	1280	1280 × 2
DS92LV18	18:1/1:18 組み込みクロック内蔵シリアルライザ/デシリアルライザ	18:1	SerDes	1	1	15-66	1188	1188 × 2

通信向け高速 ADC および DDC

製品名	分解能	速度 (MSPS)	電源電圧	消費電流 (mW)	ダイナミック性能				パッケージ
					SFDR (dB)	THD (dB)	ENOB (bit)	SNR (dB)	
8 ビット ADC									
NEW! ADC081000	8 ビット	1000	1.9	1450	58	-57	7.5	48	LQFP-128 Exp. Pad
NEW! ADC08D1000	8 ビット デュアル	1000	1.9	1600	55	-55	7.4	47	LQFP-128 Exp. Pad
10 ビット ADC									
ADC10040	10 ビット	40	3	55	80	-77	9.6	59	TSSOP-28
ADC10065	10 ビット	65	3	68	80	-72	9.5	59	TSSOP-28
ADC10080	10 ビット	80	3	78	78	-74	9.5	59	TSSOP-28
ADC10D040	10 ビット デュアル	40	3.3	257	72	-69	9.5	60	TQFP-48
NEW! ADC10DL065	10 ビット デュアル	65	3	320	80	-78	9.8	60	TQFP-64
12 ビット ADC									
ADC12040	12 ビット	40	5	340	84	-8	11.2	69	LQFP-32
ADC12L066	12 ビット	66	3.3	357	80	-77	10.7	66	LQFP-32
NEW! ADC12L080	12 ビット	80	3.3	425	80	-77	10.7	66	LQFP-32
ADC12D040	12 ビット デュアル	40	5	600	80	-78	10.9	68	TQFP-64
NEW! ADC12DL040	12 ビット デュアル	40	3.3	360	86	-83	11.1	69	TQFP-64
NEW! ADC12DL065	12 ビット デュアル	65	3.3	360	86	-83	11.1	69	TQFP-64
ADC12DL066	12 ビット デュアル	66	3.3	686	81	-78	10.7	66	TQFP-64
CLC5957	12 ビット	70	5	640	72	—	—	65	TSSOP-48

デジタル・ダウン・コンバータ	機能
CLC5903	14 ビット入力分解能、78MSPS、AGC 制御機能付き DDC および 1.8V コア電源電圧わずか 290mW の消費電流 SFDR:100dB、SNR:127dB および調整分解能 0.02Hz

シグナルパスに沿った設計

入力信号には除去すべき高周波信号が混在していること、また、ADC へのノイズ帯域を制限する必要があるため、今回の設計では受動素子で構成した単純な単一ポール・ローパス・フィルタをアンプと ADC の間に配置します。3dB 帯域は以下の 2 点から 32MHz に設定します。

- 入力周波数範囲の高い側における信号減衰を最小限に抑える
- ADC サンプルング・レート周波数の半分以上の周波数に存在するノイズや不要な信号が、エイリアシングまたは折り返しによって、サンプルング対象の周波数帯域に混入することをできるだけ抑える

ここで規定しているフィルタは、エイリアシングの影響を排除または軽減するため、アンチ・エイリアシング・フィルタと呼ばれる場合があります (Figure 4 参照)。不要 AC 信号の周波数や振幅によっては急峻な特性を持つ多ポール・フィルタが必要となりますが、今回のアプリケーションでは単一ポール・フィルタで十分です。このフィルタは抵抗とコンデンサを組み合わせた単純な RC フィルタで、後段の増幅ブロックの設計が終わったあとに定数を選択します。

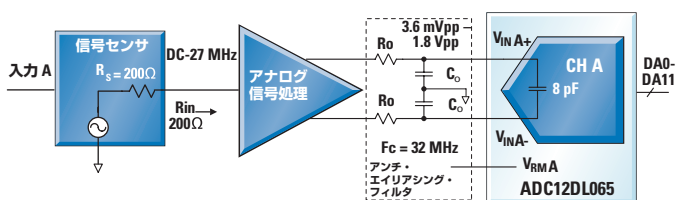


Figure 4. アンチ・エイリアシング・フィルタ

アンプの選択

次のステップでは、アナログ信号処理ブロックの中でも要件が厳しい、シングルエンドから差動への信号変換機能について取り上げます (Figure 5 参照)。信号変換はトランスで実装される場合もありますが、信号周波数範囲に DC が含まれているためトランスを使用できないので、その代わりにシングルエンドから差動信号に変換するアンプ回路を用います。このアンプは信号変換のほかに、増幅、レベルシフト、イン

ピーダンス整合の機能も担います。

システム仕様をアンプ仕様へと翻訳する手順は ADC の選択手順と同じです。高速アンプで重要となる仕様項目は、帯域、ゲイン、ノイズ、歪みです。ADC に入力される前に信号を劣化させないように、アンプは入力信号帯域 27MHz の数倍の帯域を備えていなければなりません。アナログ信号処理段の入力の最大信号振幅は 1Vpp で、ADC のフルスケール入力は 2Vpp ですから、アンプのゲインを 2 に設定すれば、最大 1Vpp の信号から ADC のフルスケールに一致する信号振幅が得られます。ただし、増幅された信号によって ADC 入力が過度に駆動されたり、信号のクリッピングが生じないように、ゲインを少し低めの 1.8 に設定します。

ADC12DL065 の SNR は 69dB です。すなわち、ADC の総ノイズ・レベルはフルスケール入力 2Vpp よりも 69dB 下にあることを意味し、およそ 250μVrms に相当します。アンプが出力するノイズは、この半分、すなわち 125μVrms 以下でなければなりません。ノイズ・レベルをアンプのノイズ電圧とノイズ電流の仕様として読み替えるには、アンプの出力信号帯域とゲインを考慮する必要があります。前のステップで選択したアンチ・エイリアシング・フィルタの帯域 32MHz によって ADC の入力に印加されるアンプ・ノイズの帯域が決まり、またアンプのゲインは 1.8 に設定しました。アンプ入力電圧ノイズに起因する ADC 入力ノイズは次の式から求められます。

$$V_{nadc} = V_{namp} * \sqrt{BW} * (1+Gain) = V_{namp} * \sqrt{32 \text{ MHz}} * 2.8 \leq 125 \mu\text{Vrms}$$

これから、アンプの入力ノイズ V_{namp} は $8 \text{ nV}/\sqrt{\text{Hz}}$ 未満でなければなりません。このほか、差動アンプの入力電流に起因するノイズが影響する可能性もありますが、その度合いについてはアンプ周辺の抵抗値を設定する段階で確認することになります。歪みはこのシステムでは重要な要件ではありませんが、アンプの歪みは ADC の歪みと同程度の範囲になければなりません。

以上から、シングルエンド信号を差動信号に変換するアンプに求められる仕様要件は、ゲイン 1.8 で 80MHz を超える帯域、入力ノイズ $8 \text{ nV}/\sqrt{\text{Hz}}$ 未満、歪み項は 70dB 以上となり

ます。ナショナルの新製品 LMH6550 差動高速オペアンプはこの要件を十分満足します。LMH6550 のゲイン帯域積は 400MHz ですから、ゲインを 1.8 にすると 140MHz (400MHz / (1+1.8)) の帯域が得られます。LMH6550 の入力電圧ノイズは $6 \text{ nV}/\sqrt{\text{Hz}}$ で要件の $8 \text{ nV}/\sqrt{\text{Hz}}$ よりも良好であり、また、20MHz で 2Vpp 信号に対する歪みは代表値で 70dB となっていて、ADC の歪みと同程度です。

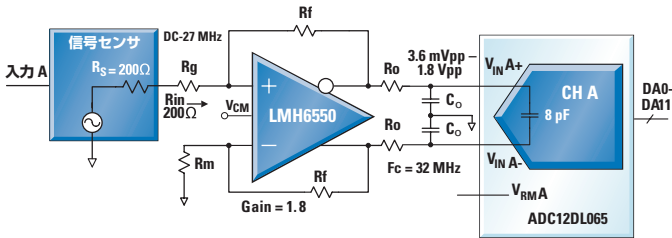


Figure 5. シングルエンドを差動に変換するアンプの構成

いくつかの簡単な式を用いて外付けのゲイン抵抗と帰還抵抗を適切に選択し、LMH6550 のような差動動作アンプのゲインと入力インピーダンスを設定します。アンプの所望のゲインは 1.8、所望の入力インピーダンスは 200Ω です。

次の式を使用して抵抗値を選択します。

$$\begin{aligned} R_{in} &= R_s = 200\Omega \\ R_g &= R_{in} / (1 + \text{Gain}) = 200\Omega / (1 + 1.8) = 71.4\Omega \\ R_f &= \text{Gain} \times (R_g + R_s) = 1.8 \times (71.4\Omega + 200\Omega) = 488.5\Omega \\ R_m &= R_g + R_s = (71.4\Omega + 200\Omega) = 271.4\Omega \end{aligned}$$

これら抵抗値に基づいてアンプ入力ノイズ電流を簡単に確認すると、アンプのノイズとしては前に求めた電圧ノイズ項が支配的で、入力ノイズ電流の影響は無視できるレベルであることが分かりました。

アンプの特性が既知となったこの時点で、アンチ・エイリアシング・フィルタの抵抗とコンデンサの定数を選択します。フィルタに求められるカットオフ周波数は 32MHz です。カットオフ周波数の式を以下に示します。

$$F_c = 1 / (2\pi * R_o * (C_o + C_{adc} * 2))$$

LMH6550 データシートにはカットオフ周波数を 50MHz に

設定したアンチ・エイリアシング・フィルタのサンプル回路が掲載されていますが、その推奨抵抗値は 56Ω です。今回の回路の Ro にはこの定数を使用し、カットオフ周波数 32MHz は Co を調整して設定します。

$$\begin{aligned} C_o &= 1 / (2\pi * R_o * F_c) - C_{adc} * 2 = \\ &= 1 / (2\pi * 56\Omega * 32 \text{ MHz}) - 8 \text{ pF} * 2 = 72.8 \text{ pF} \end{aligned}$$

抵抗とコンデンサには一般的な系列の定数を使用してください。

アンプにはもう 1 つの機能が求められます。すなわち、ADC のコモンモード入力に見合うように信号のレベルシフトを行わなければなりません。コモンモード電圧の設定は、ADC12DL065 のリファレンス・ピンから出力されるコモンモード電圧 1.5V を、LMH6550 の Vcm 入力に与えるだけです。これでアンプの出力コモンモード電圧は 1.5V になり、ADC 入力コモンモード電圧に適合します。

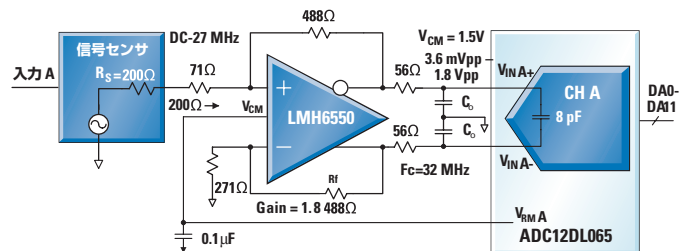


Figure 6. レシーバ・システムの入力"A"の最終構成

まとめ

以上のように、シグナルパス (信号経路) に沿って系統的に設計を進めたことで、選択した部品によって当初の目標仕様を満たす高性能で低消費電力のコンパクトな回路を実現できました (Figure 6 参照)。今回のようなシグナルパス・アプリケーションで LMH6550 と ADC12DL065 は補完的な役割を担い、結果として単純で素直な回路が得られました。実際に、設計の素性の良さを理解するには、回路を試作してテストを行うのがいちばんです。実験環境でテストを実行したところ、この回路はすべての項目で、所望のシステム性能を満足するか場合によっては上回る結果を達成しました。■

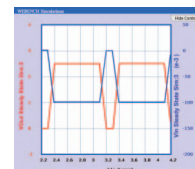
設計支援ツール



WEBENCH® Active Filter Designer

設計、組み立て、およびアンプ回路のテストまで可能な
ナショナル セミコンダクターの無料オンライン設計・プロトタイプ製作ツール

- **選ぶ** 必要な設計条件を入力し、自動生成されるリストから最適な部品を選択
- **設計する** すべてのフィルタ標準タイプについて、高度にカスタム化した先進的なフィルタを設計
- **比較検討する** 部品を調整し、電力損失/電流/オフセット電圧/ドリフト/周波数応答などの動作特性値を検討、さらに異なる部品を選び、性能/サイズ/コストなどを比較
- **評価する** 推奨された各フィルタについて性能曲線の計算を行ない、その結果を表示
- **サンプルを短期間で入手**



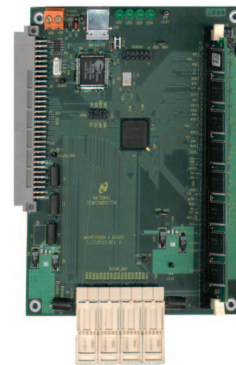
webench.national.com/jpn

WaveVision 4.0 評価ボード

A/D コンバータのテストと評価には、使いやすいナショナルの WaveVision 4.0 評価ボードを。各評価ボードは USB インタフェースを備え、ソフトウェアが同梱されています。

特長と利点

- ADC 評価ボードとプラグ・アンド・プレイ
- パソコンと接続する USB インタフェース
- パソコン上で動作するデータ・キャプチャ機能
- データ・キャプチャと評価が容易
- 高調波と SFDR 周波数を表示
- 波形確認が容易
- FFT グラフの生成と表示
- FFT と合わせてダイナミック性能パラメータを表示
- ヒストグラムの生成と表示



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上