

# LM1085,LM317,LM340,LP2985

*Application Note 1148 Linear Regulators: Theory of Operation and Compensation*



Literature Number: JAJA247

# リニア・レギュレータ：動作原理と補償

National Semiconductor  
Application Note 1148  
Chester Simpson  
2000年5月



## はじめに

過去 10 年間におけるバッテリー動作機器の爆発的とも言える増殖によって、電圧レギュレータには、これまでの LM340 や LM317 のような業界標準のデバイスでは満たすことのできない要件が課されるようになってきました。従来のレギュレータは NPN ダーリントン・パス・トランジスタを使用したもので、このドキュメントでは **NPN** レギュレータと表記します (Figure 1)。より高い性能要件が必要な場合は、新しい低ドロップアウト (LDO) レギュレータや準 LDO (quasi-LDO) レギュレータが用いられます。

## NPN レギュレータ

NPN レギュレータは PNP ドライバとともに NPN ダーリントン・パス・トランジスタを使用することから、デバイスがレギュレーションを維持するために、レギュレータの入力と出力との間には少なくとも 1.5V から 2.5V の電圧差を保つ必要があります。最低限必要なこの「ヘッドルーム」電圧 (ドロップアウト電圧と呼ぶ) は次式のとおりです。

$$V_{\text{DROP}} = 2V_{\text{BE}} + V_{\text{SAT}} \text{ (NPN レギュレータ)}$$

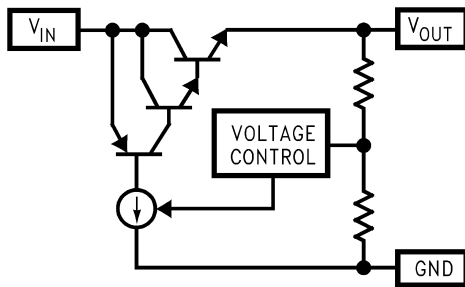


FIGURE 1. NPN REGULATOR

## LDO レギュレータ

低ドロップアウト・レギュレータ (LDO) ではパス・トランジスタは単一の PNP トランジスタで構成されます (Figure 2)。LDO の大きな利点は、出力レギュレーションの維持に必要な PNP パス・トランジスタの両端の電圧降下を、きわめて小さくできることです。

$$V_{\text{DROP}} = V_{\text{SAT}} \text{ (LDO レギュレータ)}$$

全負荷時のドロップアウト電圧は 500mV 未満が一般的です。軽負荷時のドロップアウト電圧は 10mV から 20mV 程度まで低くなります。

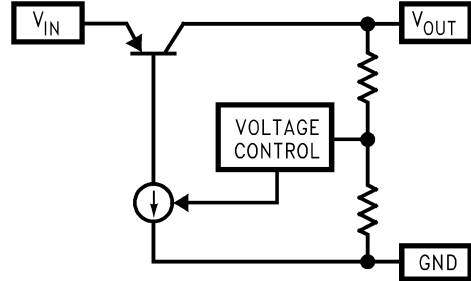


FIGURE 2. PNP LDO REGULATOR

## 準 LDO レギュレータ

一部のアプリケーション (5V-3.3V 変換など) で主流になりつつあるもうひとつのレギュレータが準 LDO レギュレータです (Figure 3)。準 LDO は NPN ダーリントンと本物の LDO との「中間」にあるため、このような名前が付けられました。パス・トランジスタは PNP で駆動される単一の NPNT トランジスタで構成されます。その結果、ドロップアウト電圧は LDO よりは高くなりますが、NPN ダーリントン・レギュレータより先低くなります。

$$V_{\text{DROP}} = V_{\text{BE}} + V_{\text{SAT}}$$

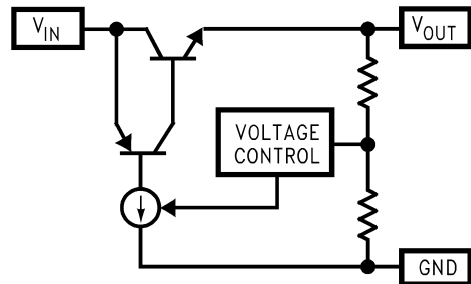


FIGURE 3. QUASI-LDO REGULATOR

## レギュレータの動作

これら 3 タイプのレギュレータはすべて同じ動作原理で出力電圧を固定値 (一定値) に平滑化します (Figure 4)。

出力電圧はエラー・アンプの反転入力に接続される抵抗分圧回路を介してサンプリング (計測) されます。エラー・アンプの非反転入力には内部バンドギャップ・リファレンスで生成されるリファレンス電圧が接続されています。エラー・アンプは、その入力が等しくなるように、電圧をつねに変化させようとします。すなわち、以下の式で与えられるレギュレート出力の維持に十分な負荷電流が得られるように、必要に応じて電流を駆動します。

$$V_{\text{OUT}} = V_{\text{REF}} (1 + R1/R2)$$

## レギュレータの動作 (つづき)

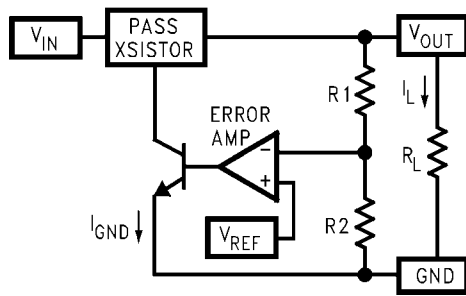


FIGURE 4. VOLTAGE REGULATOR

## 性能比較

NPN、LDO、準 LDO を性能面で比べると、ドロップアウト電圧 (前述) とグラウンド・ピン電流のふたつのパラメータに大きな違いが見られます。解析では、同じくグラウンドに流れる微小な IC バイアス電流は無視して、グラウンド・ピン電流 ( $I_{GND}$ ) を Figure 4 のとおり定義します。この図から  $I_{GND}$  の値は、負荷電流  $I_L$  をパス・トランジスタのゲインで除した値になることがわかります。

NPN レギュレータのダーリントン接続はゲインが高いため、きわめて小さなグラウンド電流  $I_L$  で駆動できることを意味します (一般に数 mA)。準 LDO もきわめて良好な性能を示し、たとえばナショナル セミコンダクターの LM1085 は 10mA 以下のグラウンド・ピン電流で 3A 以上を供給することができます。

LDO は一般にもっと大きなグラウンド電流が必要です。全負荷電流時に PNP の値は 15 から 20 程度にしかならないことは珍しくありませんので、LDO のグラウンド・ピン電流は負荷電流の 7% 程度に大きくなることがわかります。

NPN レギュレータの大きな利点は、無条件に安定しているという点です (ほとんどが外付けコンデンサを必要としません)。LDO では、ループ帯域を狭くするためと正の位相シフトをわずかに与える目的で、少なくとも 1 個の外付け出力コンデンサが必要です。準 LDO も一般に出力コンデンサを必要としますが、LDO ほどの容量は不要で、性能特性を拘束する制限もわずかです。

## 帰還とループ安定性

あらゆる電圧レギュレータは帰還ループを用いて出力電圧を一定に保ちます。帰還信号はループを通る過程でゲインと位相変化が与えられ、ユニティ・ゲイン (0dB) 周波数での位相シフト量によって安定性が決まります。

## ボード線図

安定性を理解するにはループ・ゲイン (単位 dB) を周波数の関数としてプロットしたボード線図を使います (Figure 5)。なお、ループ・ゲインと関連用語については次以降のセクションで定義します。

ループ・ゲインは、ネットワーク・アナライザを使って、信号周波数を DC からゲインが 0dB 以下に下がる周波数まで掃引しながら、低レベル正弦波を帰還パスに注入したときのゲイン応答を測定して求めます。

ボード線図は閉ループ・システムの安定性の判断に必要なすべての情報を含んでいる有効なツールです。ただし、ボード線図に描かれている情報を解釈するには、ループ・ゲイン、位相マージ

ン、ポール、ゼロといった主要要素を理解していなければなりません。

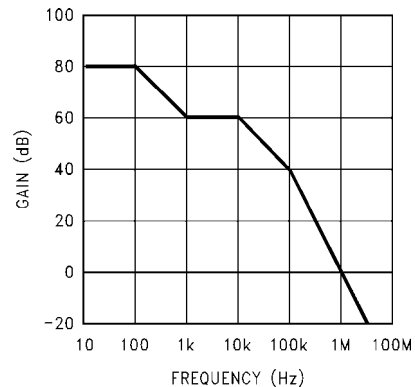


FIGURE 5. TYPICAL BODE PLOT

## ループ・ゲイン

いずれの閉ループ系もループ・ゲインと呼ばれる特性を持っています。電圧レギュレータの今回の解析では、ループ・ゲインは帰還信号がループを通過する際に信号が受ける電圧ゲインの大きさとして定義することにします。この考え方を説明するために、Figure 2 の LDO のブロック図を書き直してみます (Figure 6)。

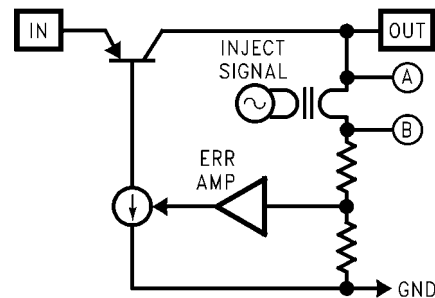


FIGURE 6. LOOP GAIN EXAMPLE

トランスを使用して AC 信号をポイント A とポイント B の間の帰還パスに注入します。トランスを使って小信号正弦波で帰還信号を「変調」していることとなります。ポイント A とポイント B で測定した AC 電圧をループ・ゲインの計算に用います。

ループ・ゲインは 2 つの電圧の比として定義されます。

$$\text{ループ・ゲイン} = V_A / V_B$$

ポイント B から始まる信号には、ループを通過するにつれて位相シフトが付加されることを忘れてはなりません (位相シフトはやがてはポイント A に到達します)。安定性の判定では位相シフト量が重要です。

## 帰還

帰還はあらゆる電圧レギュレータで出力電圧を一定に保持する目的で使われます。出力電圧は抵抗分圧回路を介してエラー・アンプの一方の入力に与えられサンプリングされます (Figure 6)。エラー・アンプのもう一方の入力にはリファレンス電圧が接続されていて、適正な DC 電圧のレギュレート出力を維持するためにパス・トランジスタが必要とする駆動電流は、エラー・アンプから供給されます。

## 帰還とループ安定性 (つづき)

安定したループを得るには負帰還の使用が不可欠です。負帰還とはソース信号に対して反対の極性で構成されます (Figure 7)。

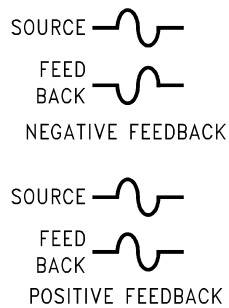


FIGURE 7. FEEDBACK SIGNALS

負帰還ではソースと極性が逆のため、そのループ応答は出力に現れる変化とは反対です。すなわち、出力電圧が上昇 (または下降) しようとする、公称値に戻すようにループが作用します。

正帰還では帰還信号の極性はソース信号と同じです。この場合、ループ応答は出力に現れる変化と同じ方向に働きます。正帰還は、出力電圧の変化を打ち消すどころか増幅してしまうため、明らかに不安定です。

リニア・レギュレータの設計でループを正帰還でわざわざ構成する設計者は誰もいませんが、負帰還であっても位相シフトが  $180^\circ$  になれば正帰還に変わってしまいます。

### 位相シフト

位相シフトは、帰還信号がループを通過する過程で与えられる位相変化の量として定義されます (ループ開始点を基準)。位相量 (単位は「 $^\circ$ 」) は多くの場合にネットワーク・アナライザを使って測定します。

理想的な負帰還とはソースに対して  $180^\circ$  位相が異なっている状態 (Figure 8) であり、したがって負帰還では  $180^\circ$  が開始点になります。波形が  $180^\circ$  オフセットしている様子は、半分のサイクルが正確にシフトした負帰還波形として、Figure 7 にも示されています。

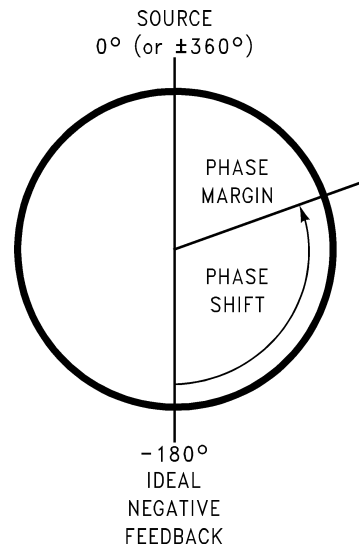


FIGURE 8. PHASE SHIFT MAP

$-180^\circ$  の開始点に対して、さらに  $180^\circ$  の位相シフト (正または負) が生じると、信号はソース信号と同位相に相当する位相シフト・ゼロの状態に戻り、おそらくループは不安定になるはずですが。

### 位相マージン

位相マージンは、ループ・ゲインが  $0\text{dB}$  (ユニティ・ゲイン) に等しくなる周波数での帰還信号の総位相シフト量と  $-180^\circ$  との差として定義されます (単位は「 $^\circ$ 」)。安定なループには通常  $20^\circ$  以上の位相マージンが必要です。

位相シフトと位相マージンはボード線図のポールとゼロから計算することができます。

## 帰還とループ安定性 (つづき)

### ポール

ポールは、ポールの前のゲイン・カーブの傾きに対して、さらに  $-20\text{dB/dec}$  ( $\text{dec}$  はデケードで 10 倍の周波数) の傾きを与えるポイントとして定義されます (Figure 9)。影響は加算的である点に注意してください。すなわちポールが複数個存在すると " $n$ "  $\times$   $(-20\text{dB/dec})$  によって負の傾きが大きくなります。ここで " $n$ " はポールの個数です。

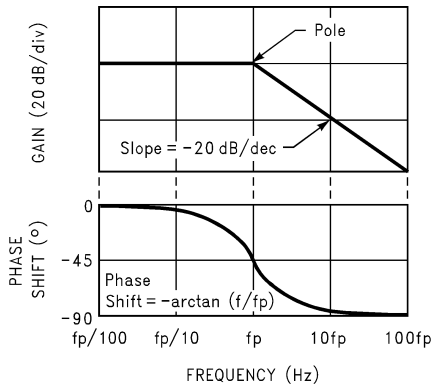


FIGURE 9. POLE GAIN/PHASE PLOT

ひとつのポールが与える位相シフト量は周波数によって変わりますが 0 から  $-90$  の範囲です。ポール (またはゼロ) によって生み出される位相シフトのほとんどは、ポール (またはゼロ) 周波数の 1 デケード上または下の範囲で発生するといふ点は重要です。

NOTE: ひとつのポールは  $-90$  までしか総位相シフトを与えません。したがって動作が不安定になる  $-180$  に達するには 2 個以上のポールが必要です。

### ゼロ

ゼロ (Figure 10) は、ゼロの前のゲイン・カーブの傾きに対して、さらに  $+20\text{dB/dec}$  の傾きを与えるポイントとして定義されます。ポールと同じように 2 個以上のゼロが存在する場合は傾きの変化量は加算的です。

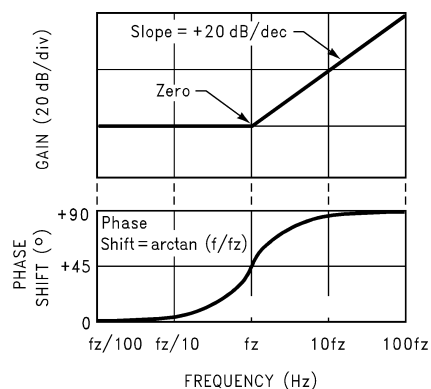


FIGURE 10. ZERO GAIN/PHASE PLOT

ゼロによって生じる位相シフト量は、ゼロの周波数を  $+45$  として、0 から  $+90$  の範囲です。

ゼロを理解するうえで最も重要な点は、ゲインと位相に対する作用がポールとは正確に反対になる「アンチ・ポール」としての働きです。

アンチ・ポールの働きこそがゼロを意図的に LDO レギュレータの帰還ループに追加する理由です。ゼロには、補償されずに残り不安定性を招くであろうポールのひとつを打ち消す効果があります。

### ボード線図の解析

3 つのポールとひとつのゼロを持つボード線図 (Figure 11) を、ゲインと位相マージンの観点から解析してみましょう。

DC ゲインは  $80\text{dB}$  と仮定し、1 つ目のポールは  $100\text{Hz}$  にあります。ゲイン・カーブの傾きはこの周波数で  $-20\text{dB/dec}$  だけ変化します。

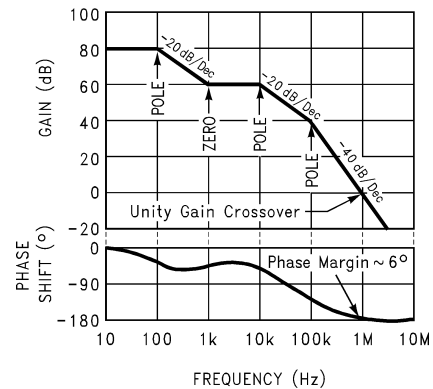


FIGURE 11. BODE PLOT WITH PHASE INFO

$1\text{kHz}$  でのゼロによって、傾きが  $-20\text{dB/dec}$  に再び変わる  $10\text{kHz}$  の次のポールまで、傾きは  $0\text{dB/dec}$  に戻ります。

$100\text{kHz}$  にある 3 番目の最後のポールが、ゲイン傾きを最終値の  $-40\text{dB/dec}$  に変化させています。

グラフからユニティ・ゲイン ( $0\text{dB}$ ) クロスオーバー周波数が  $1\text{MHz}$  であることもわかります。 $0\text{dB}$  周波数はループ帯域とも呼ばれます。

位相シフトのグラフは、複数のポールとゼロが帰還信号にどのような影響を与えているかを示します。このグラフの作成にあたっては、各周波数点の位相シフト量を、その周波数におけるそれぞれのポールとゼロの寄与の和から算出します。周波数 " $f_p$ " に存在するポールによって、ある周波数 " $f$ " に生じる位相シフトの大きさは、次の式で求めます。

$$\text{ポールの位相シフト} = -\arctan(f/f_p)$$

周波数 " $f_z$ " に存在するゼロによって、ある周波数 " $f$ " に生じる位相シフトの大きさは、次の式で求めます。

$$\text{ゼロの位相シフト} = \arctan(f/f_z)$$

このループの安定性を判断するには、 $0\text{dB}$  (この例では  $1\text{MHz}$ ) 点の位相シフト量のみがわかれば十分です。とくに複雑な計算は必要ありません。

前のセクションで述べたように、ポールまたはゼロは、ポールまたはゼロの中心周波数の 1 デケード上または下の周波数範囲で、全量に近い位相シフトを与えます。すなわち、クロスオーバー周波数から離れた低い側にある 2 つのポールとゼロは、それぞれ  $-180$  と  $+90$  の位相シフトを与え、結果として正味の位相シフトは  $-90$  になります。

3 番目のポールは  $0\text{dB}$  周波数から正確に 1 デケード下に存在します。ポールの位相シフトの式を用いると、このポールは  $1\text{MHz}$  に  $-84$  の位相シフトを与えます。前の 2 個のポールと 1 個のゼロが生む位相シフト量  $-90$  に加算すると、総位相シフト量として  $-174$  が得られます。すなわち、6 の位相マージンに相当します。このループは発振が大きなリングングを生じるでしょう。

## NPN レギュレータの補償

NPN レギュレータのパス・トランジスタはコモン・コレクタとして知られる回路構成に接続されています (Figure 1)。あらゆるコモン・コレクタ回路は出力インピーダンスが低いという重要な特性を備えており、そのため、ループ・ゲイン内に存在するパワー段によるポールは、きわめて高い周波数に発生します。

NPNレギュレータは回路の性質として低い周波数にポールを持たないため、ドミナント・ポール補償と呼ばれるテクニックを使います。この手法では、低い周波数のポールがループ・ゲイン内に発生するように、コンデンサを IC に内蔵します (Figure 12)。

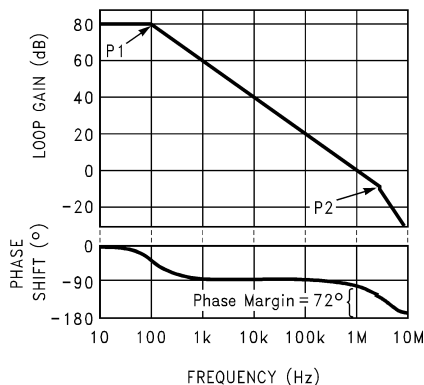


FIGURE 12. BODE PLOT FOR NPN REGULATOR

一般的な NPN レギュレータのこのドミナント・ポール (P1 として図示) はおよそ 100Hz に設定されています。100Hz のポールによって、3MHz にある第 2 のポール (P2) に達するまで、ゲインは周波数に伴って - 20dB/dec で低下します。ポイント P2 でゲイン・グラフはさらに - 20dB/dec で変化しています。

P2 の周波数は NPN パワー・トランジスタと関連ドライブ回路によって決まるため重要で、ときにはパワー・ポールとも呼ばれます。P2 はループ・ゲインが - 10dB になる周波数に発生しているため、0dB 周波数 (1MHz) での位相シフトに与える影響は軽微と考えられます。

安定性の判定には 0dB における位相マージンのみを計算します。

第 1 のポール (P1) は - 90 の位相シフトを与えますが、第 2 のポール (P2) は 1MHz (0dB) にてわずか - 18 の負の位相シフトしか与えません。そのため 0dB での総位相シフト量は - 108 になり、きわめて安定した状態に相当する 72 の位相マージンが得られます。

また、位相シフト量がループを不安定にする - 180 にも達するには 2 つのポールの両方が全位相シフト - 90 を与える必要がありますが、P2 の周波数は 0dB 周波数 (1MHz) に大きな位相シフトを与えるには高すぎることから、このループが安定であることは単純に考えても明らかです。

## LDO レギュレータの補償

LDO レギュレータの PNP トランジスタ (Figure 2) は、NPN レギュレータでのコモン・コレクタ構成より先インピーダンスの高い、コモン・エミッタと呼ばれる構成に接続されています。そのため、負荷抵抗と出力容量の両方に依存する低い周波数にポールが発生します。このポールの周波数 (負荷ポールの  $P_L$  と表記) は次の式で与えられます。

$$f(P_L) = 1/(2 \times R_{LOAD} \times C_{OUT})$$

周波数が変動する負荷ポール  $P_L$  が存在するため、NPN レギュレータで使われる単純なドミナント・ポール補償テクニックは、追加補償を行わないかぎり LDO ではうまく機能しないことがわかります。その理由を、上記の仮定を使って、5V/50mA のループ・ゲインを持つ LDO レギュレータで説明してみましょう。

最大負荷電流において負荷ポール ( $P_L$ ) は次の周波数で発生します。

$$P_L = 1/(2 \times R_{LOAD} \times C_{OUT}) = 1/(2 \times 100 \times 10^{-5}) = 160\text{Hz}$$

ドミナント・ポールによる内部補償を 1kHz の固定ポール (P1) に設定します。

PNP パワー・トランジスタとドライバによるパワー・ポール ( $P_{PWR}$  と表記) が 500kHz に存在します。

DC ゲインを 80dB と仮定します。

$R_L = 100$  (最大負荷電流を生む値)

$C_{OUT} = 10 \mu\text{F}$

上述の条件を使ってボード線図 (Figure 13) を描きます。ループが安定でないことは一目でわかります。2 つのポール  $P_L$  と P1 がそれぞれ - 90° の位相シフトを与え、0dB 周波数 (この例では 40kHz) の総位相シフト量は - 180° に到達しています。

負の位相シフトを低減 (かつ発振を防止) するには、ループにゼロを追加しなければなりません。ゼロは最大で + 90 の正の位相シフトを与え、2 つの低周波ポールのうちのひとつの影響を打ち消します。

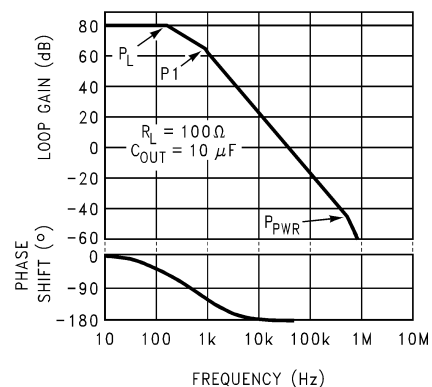


FIGURE 13. LDO GAIN PLOT WITHOUT COMPENSATION

ほとんどすべてのモノリシック LDO レギュレータでは、このようなゼロをループに追加する必要があります。ゼロは出力コンデンサに固有の特性である等価直列抵抗 (通常 ESR と呼ぶ) によってもたらされます。

## ESR を用いた LDO の補償

等価直列抵抗 (ESR) はすべてのコンデンサに存在する特性です。コンデンサと直列に配置された抵抗として電氣的にモデル化が可能です (Figure 14)。



FIGURE 14. CAPACITOR SHOWING ESR

出力コンデンサの ESR によって、多すぎる負の位相シフト量を低減するゼロが、ループ・ゲイン内に導入されます。

ゼロの周波数は ESR の値と出力コンデンサの容量に直接関係します。

$$F_{ZERO} = 1/(2 \times C_{OUT} \times ESR)$$

前のセクションの例を使って (Figure 13 のボード線図)、ゼロが 16kHz に現れるように、 $C_{OUT} = 10\mu\text{F}$ 、出力コンデンサの ESR = 1 と仮定します。

このようにして追加したゼロが不安定グラフを安定グラフに変える様子を Figure 15 に示します。

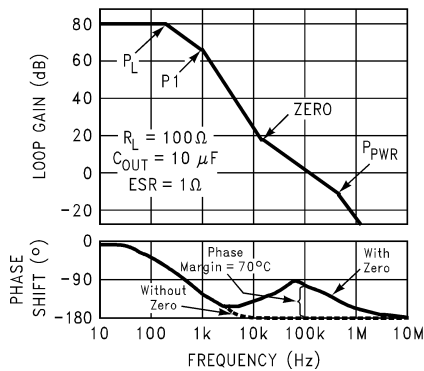


FIGURE 15. ESR ZERO STABILIZES LDO

ループの帯域が広くなり、0dB クロスオーバー周波数は 30kHz から 100kHz に移動しています。

ゼロは 100kHz (0dB 周波数) に + 81 の位相シフトを与えています。この正の位相シフトによって、ポール  $P_L$  とポール  $P_1$  で生じる負の位相シフトが抑えられています。

ポール  $P_{PWR}$  は 500kHz にあるため、100kHz には - 11 の位相シフトしか影響を与えません。

すべてのポールとゼロを合計すると、0dB での総位相シフトは - 110 になります。この値はきわめて安定な動作を生む + 70 の位相マージンに相当します。

以上、適切な値の ESR を持つ出力コンデンサが、LDO を安定させるゼロをどのように生成するかを示しました。

## ESR と安定性

ほぼすべての LDO レギュレータで、安定した動作を確保するためには、出力コンデンサの ESR はある特定の範囲に収まっていなければならない。

LDO メーカーは、負荷電流の関数としてプロットした、安定領域の境界を定義するグラフを提供しています (Figure 16)。

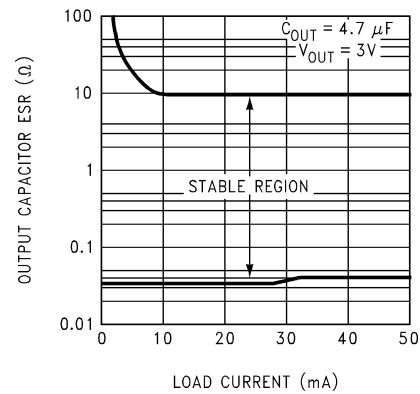


FIGURE 16. ESR RANGE FOR Typical LDO

このような境界が存在する理由を説明するために、位相マージンに対する低 ESR と高 ESR の影響を、前に取り上げた例を使って説明します。

### 高 ESR

前のセクションで取り上げた例をもとに、条件を変えて  $10\mu\text{F}$  出力コンデンサの ESR を 20 に増やしてみます。これでゼロの周波数は 800Hz に下がります (Figure 17)。ゼロの周波数が下がるとループ帯域が広くなり、0dB クロスオーバー周波数は 100kHz から 2MHz へと移動しています。

帯域が広くなることでポール  $P_{PWR}$  はゲイン値 + 20dB で起こるようになります (Figure 15 での - 10dB と比較してください)。

位相マージンのグラフ (Figure 17) の解析から、ゼロは  $P_1$  か  $P_L$  のいずれかを打ち消していると考えられます。つまり、ループ全体では 2 つのポール応答が存在し、低周波ポールは - 90 の位相シフトを与え、高周波ポール  $P_{PWR}$  はおよそ - 76 の位相シフトを与えます。

## ESR と安定性 (つづき)

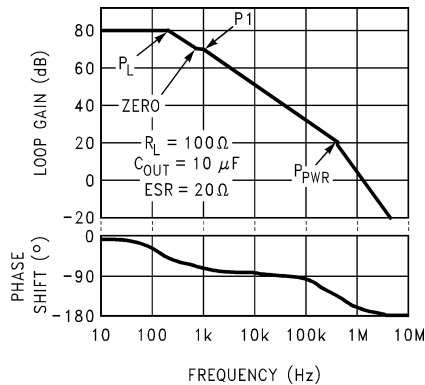


FIGURE 17. HIGH ESR CAUSES UNSTABLE LOOP

以上から 14 の位相マージン (おそらくは安定) が得られますが、実験データから ESR 値が 10 を超えた場合には、このような単純化したモデルには示されていない他の高周波ポールの影響に伴う位相シフトによって、通常は不安定になることがわかっています。

### 低 ESR

ESR がきわめて低い出力コンデンサは、別の理由から発振を引き起こします。

再び前のセクションで取り上げた例をもとに、10  $\mu\text{F}$  の出力コンデンサの ESR を 50m  $\Omega$  まで低くすると、ゼロの周波数は 320kHz に上昇します (Figure 18)。

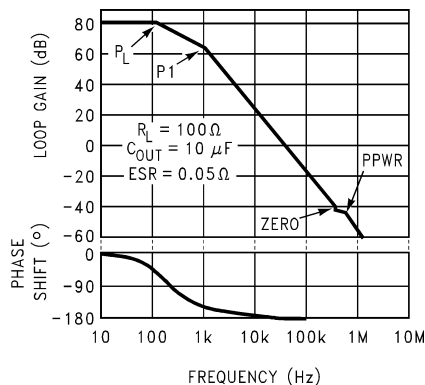


FIGURE 18. LOW ESR CAUSES UNSTABLE LOOP

位相マージンのグラフから不安定であることが計算するまでもなくわかります。

ふたつのポール P1 とポール PL それぞれによる -90 の位相シフトは、0dB 周波数で総位相シフト -180 を与えます。

このシステムを安定にするには、0dB ポイントの前で正の位相シフトを与えるようなゼロが必要です。しかし、ゼロは 320kHz にあるので、何らかの効果を与えるには遠すぎます (しかも P<sub>PWR</sub> で打ち消されています)。

## 出力コンデンサの選択

出力コンデンサは、モリシク LDO レギュレータを補償する手段のひとつであり、十分な注意を払って選択しなければなりません。LDO アプリケーションで起こる発振のほとんどは、出力コンデンサの ESR が高すぎるか低すぎるのが原因です。

LDO に適した出力コンデンサを選択する場合は、固形タンタル・コンデンサが通常は適当です (LP2985 のようにセラミック・コンデンサに適した設計がなされているデバイスを除きます)。AVX 社の 4.7  $\mu\text{F}$  タンタルで試験を実施したところ、ESR は 25  $\text{m}\Omega$  で 1.3 となり、安定領域のほぼ理想的な中心に相当する値です (Figure 16)。

また、AVX コンデンサは、-40 から +125 の温度範囲に対して、ESR の変動幅は 2 倍に達しない点もきわめて重要です。アルミ電界コンデンサは、低温で ESR が指数的に増大するという有名な欠点を持っているため、LDO 出力コンデンサには不適当です。

大容量 (1  $\mu\text{F}$  以上) のセラミック・コンデンサの ESR 値は一般にきわめて低い (20m  $\Omega$  未満) ため、出力に直接接続した場合は大半の LDO レギュレータは発振を起こします (LP2985 を除く)。セラミック・コンデンサを使用する場合は、外付け抵抗を直列にして実効 ESR を高めます。大容量セラミックは温度係数の面でも劣り (一般 Z5U)、温度範囲の上限または下限で容量が半分まで低下することがあります。

### 準 LDO の補償

次に、準 LDO レギュレータを安定性と補償に関して評価してみます (Figure 3)。準 LDO は電気的特性で LDO レギュレータと NPN レギュレータの両方の面を備えています。準 LDO は NPN パス・デバイスを使用している点でコモン・コレクタ構成の仲間であり、出力デバイス・ノード (エミッタ) は相対的に低インピーダンスに見えます。

しかし、NPN のベースは高インピーダンスの PNP 電流源によって駆動されるため、準 LDO レギュレータの出力インピーダンスは、NPN ダーリントン・パス・デバイスを使った NPN レギュレータと同じような低い値にはなりません (ただし、PNP のコレクタがレギュレータ出力になっている本物の LDO に比べればはるかに低インピーダンスです)。

すなわち、準 LDO で問題となるパワー・ポールの発生は NPN レギュレータより低い周波数に発生するため、準 LDO を安定にするにはある程度の補償 (出力容量) が必要です。もちろんこのポールは LDO のポールよりはるかに高い周波数にあるため、準 LDO に必要な容量は小さく ESR はそれほどクリティカルではありません。

例えば、準 LDO の例として負荷電流定格 3A の LM1085 は、わずか 10  $\mu\text{F}$  のタンタル出力コンデンサを接続するだけで、あらゆるライン条件および負荷条件に対して完璧な安定性が保証されます。LDO とは違って ESR がクリティカルではないため、ESR グラフは提供されません。



## 低 ESR に対応した LDO

ナショナル セミコンダクターでは、面実装セラミック・コンデンサなどの超低 ESR コンデンサに対応した、LP2985 や LP2989 などの LDO レギュレータを提供しています。このタイプのコンデンサの ESR 値は 5 ~ 10m と小さく、一般的な LDO レギュレータのほとんどでは Figure 18 で説明したように発振を引き起こします。

LP2985 はそのような低 ESR 値でも安定して動作するよう、本来はタンタル出力コンデンサで与えるべき ESR ゼロの代わりに、デバイス内にゼロを内蔵しています。この工夫によって安定動作が可能な ESR 範囲は低い側に移動しています。ゼロを内蔵しない一般的な LDO は 100m から 5 の ESR で安定するはずですが (タンタルは適合しますがセラミックは不適)。LP2985 の ESR の安定範囲は下限は 3m まで拡張され、上限はおよそ 500m までが可能ですから、セラミックを使用しても問題はあきません。

上限の値も低くなる理由は Figure 15 から理解されます。前述のように LP2985 は LDO にゼロを内蔵しているため、高周波ポールが発振に必要な位相シフトを追加するあたりの、帯域の拡張につながらない十分に高い周波数に、出力コンデンサによって生じる ESR ゼロを維持しておかなければならないからです。

## FET 採用のメリット

LDO レギュレータでは P-FET をパス・トランジスタとして構成することが可能です (Figure 19 参照)。

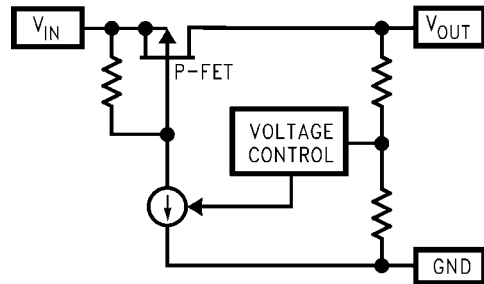


FIGURE 19. P-FET LDO REGULATOR

P-FET LDO を採用する利点を理解するためには、PNP LDO のパワー・トランジスタが必要とする全ベース電流 (Figure 2) は、グラウンド・ピンを流れ入力電源に還流する点に着目しなければなりません。すなわちベース駆動電流は、電源入力から引き込まれますが負荷は駆動しないため、LDO レギュレータ内で消費しなければならない無駄な電力を生み出します。

$$PWR (\text{ベース駆動}) = V_{IN} \times I_{BASE}$$

PNP トランジスタの駆動に必要なベース電流は、負荷電流を PNP トランジスタの (ゲイン) で除した値になります。一部の PNP LDO レギュレータでは 15 から 20 の範囲です (定格負荷電流にて)。このようなベース駆動電流で発生する無駄な電力は好ましくないものではありません (とくにバッテリー駆動のアプリケーションで)。P-FET を使えばゲート駆動電流はきわめて小さく抑えられるため、この問題が解決されます。

P-FET LDO のもうひとつの利点は、FET のオン抵抗を調節することでドロップアウト電圧をきわめて小さくできることです。モノリシック・レギュレータの場合、FET パワー・トランジスタは一般にバイポーラ PNP デバイスに比べて単位面積あたりのオン抵抗を小さくすることができます。すなわち、小さなパッケージで大電流レギュレータを実現できるのです。

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

## 生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2006 National Semiconductor Corporation

製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

[www.national.com/jpn/](http://www.national.com/jpn/)

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上