

アナログ-デジタルの仕様とパフォーマンス特性の用語集

Bonnie Baker

Data Acquisition Products

概要

この用語集は、Texas Instrumentsのデルタ-シグマ型($\Delta\Sigma$)、逐次変換型(SAR)、パイプライン型の各アナログ-デジタル(A/D)コンバータ仕様書とパフォーマンス特性の定義を集めたものです。本書には相当な量の詳細な記述が記載されていますが、最良かつ決定的な参考文献となるのはやはり、

製品仕様を個別に記載したデータシートです。個々のデータ・コンバータ製品のデータシートをダウンロードして閲覧するには、Texas Instrumentsのウェブ・サイト(www.ti.com/)をご覧ください。

目次

用語集

1. アクイジション時間 (Acquisition time)	6
1-1. アクイジション時間 (デルタ-シグマ型A/Dコンバータ)	6
1-2. アクイジション時間 (パイプライン型A/Dコンバータ)	6
1-3. アクイジション時間 (SAR型A/Dコンバータ)	7
2. アナログ入力、アナログ帯域幅 (Analog Input, Analog Bandwidth)	7
3. アナログ入力、キャパシタンス、同相 (Analog Input, Capacitance, Common-mode)	7
4. アナログ入力、キャパシタンス、差動 (Analog Input, Capacitance, Differential)	7
5. アナログ入力、差動入力 (Analog Input, Differential Input)	7
6. アナログ入力、インピーダンス、同相 (Analog Input, Impedance, Common-mode)	8
7. アナログ入力、インピーダンス、差動 (Analog Input, Impedance, Differential)	8
8. アナログ入力、電圧範囲、絶対 (Analog Input, Voltage Range, Absolute)	8
9. アナログ入力、電圧範囲、バイポーラ入力モード (差動入力) (Analog Input, Voltage Range, Bipolar Input Mode) (Differential Inputs)	8
10. アナログ入力、電圧範囲、フルスケール(FSまたはFSR) (Analog Input, Voltage Range, Full-Scale (FS or FSR))	8
11. アナログ入力、電圧範囲、疑似差動 (Analog Input, Voltage Range, Pseudo-differential)	8
12. アナログ入力、電圧範囲、シングル・エンド (ユニポーラおよびバイポーラ) (Analog Input, Voltage Range, Single-ended (unipolar and bipolar))	8
13. アナログ入力、電圧範囲、差動入力 (Analog Input, Voltage Range, Differential Inputs)	9
14. アナログ-デジタル・コンバータ (ADC, A-D コンバータ, A/D コンバータ) (Analog Digital Converter)	9
15. アパーチャ (Aperture)	9
15-1. アパーチャ遅延 (~Delay)	9
15-2. アパーチャジッタ (~Jitter)	9
15-3. アパーチャ不確実性 (~Uncertainty)	9
16. 非同期サンプリング (Asynchronous Sampling)	10
17. 平均ノイズ・フロア (Average Noise Floor)	10
18. バイナリ2の補数コード (BTC: Binary Twos Complement Code)	10
19. バイポーラ・オフセット・バイナリ・コード (BOB: Bipolar Offset Binary Code)	11

®Cは、Koninklijke Philips Electronics N.V.の登録商標です。SPIは、Motorola, Inc.の登録商標です。

その他の会社名、製品名は、それぞれ各社の商標または登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

SBAA147A 翻訳版

最新の英語版資料
<http://www-s.ti.com/sc/techlit/sbaa147.pdf>

20. 校正 (Calibration)	11
20-1. バックグラウンド校正 (Background Calibration)	11
20-2. 自己校正 (Self-Calibration)	11
20-3. システム校正 (System Calibration)	11
21. クロック (Clock)	12
21-1. デューティ・サイクル (Duty Cycle)	12
21-2. ジッタ (Jitter)	12
21-3. スルー・レート (Slew Rate)	12
22. コード幅 (Code Width)	12
23. コード遷移点 (不確実性) (Code Transition Point (Uncertainty))	13
24. コヒーレント・サンプリング (Coherent sampling)	13
25. 相補的なオフセット・バイナリ・コード (COB : Complementary Offset Binary)	13
26. 相補的なストレート・バイナリ・コード (CSB : Complementary Straight Binary Code)	14
27. 同相、DC (Common Mode)	14
27-1. 同相誤差 (~Error)	14
27-2. 同相範囲 (~Range)	14
27-3. 同相信号 (~Signal)	14
27-4. 同相電圧 (~Voltage)	14
28. 同相除去比 (CMRR : Common-mode Rejection Ratio)	14
29. 相補的な2の補数コード (CTC : Complementary Two's Complement)	15
30. 変換サイクル (Conversion Cycle)	15
31. 変換最大レート (Conversion Maximum Rate)	15
32. 変換最小レート (Conversion Minimum Rate)	15
33. 変換レート (Conversion Rate)	15
34. 変換速度 (Conversion Speed)	15
35. 変換時間 (Conversion Time)	15
36. クロストーク (Crosstalk)	15
37. カットオフ周波数 (Cut-off Frequency)	16
38. データ・レート/データ出力レート (Data Rate or Data Output Rate)	16
39. データ有効時間 (Data Valid Time)	16
40. デシベル (Decibels) (dB)	16
41. dBFS	16
42. dBc	16
43. dBm	16
44. 間引き率 (Decimation ratio)	16
45. デルタ-シグマ型コンバータ ($\Delta\Sigma$) (Delta-Sigma Converter)	17
46. 差動ゲイン (Differential Gain)	18
47. 差動ゲイン誤差 (Differential Gain Error)	18
48. 差動位相誤差 (Differential Phase Error)	18
49. 微分非直線性誤差 (DNL : Differential Nonlinearity)	18
50. デジタル・フィルタ (Digital Filter)	18
51. デジタル・フィルタ、有限インパルス応答 (FIR) フィルタ (Finite Impulse Response (FIR) filter)	18
52. デジタル・フィルタ、無限インパルス応答 (IIR) フィルタ (Infinite Impulse Response (IIR) Filter)	19
53. デジタル・インターフェイス (Digital Interface, SPI TM)	19
54. デジタル・インターフェイス、I ² C TM (Digital Interface, I ² C TM)	19
55. ダイナミック・レンジ (Dynamic Range)	19
56. 動的仕様 (Dynamic Specifications)	19
57. 有効ビット数 (ENOB : Effective Number of Bit)	20
57-1. 有効ビット数とSINAD (Effective Number of Bits vs SINAD)	20
57-2. 有効ビット数とデルタ-シグマ型コンバータのSNR (Effective Number of Bits vs SNR of Delta-Sigma Converters)	20

58. 有効分解能 (Effective Resolution)	20
59. 有効分解能帯域幅 (Effective Resolution Bandwidth)	20
60. 立下り時間 (Fall Time)	20
61. 4次高調波 (Fourth Harmonic) (HD4):	21
62. フルパワー大域幅 (FPBW: Full-power Bandwidth)	21
63. フルスケール (Full-scale) (FS or FSR):	21
64. ゲイン (Gain)	21
65. ゲイン 誤差 (フルスケール誤差) (Gain Error (Full-scale Error))	21
66. ゲイン温度ドリフト (Gain Temperature Drift)	21
67. グループ遅延 (Group Delay)	21
68. 高調波歪み (Harmonic Distortion)	21
69. I ² Cインターフェイス (I ² C Interface)	22
70. 理想コード幅 (q) (Ideal Code Width)	22
71. 理想的なA/Dコンバータの伝達関数 (Ideal A/D Converter Transfer Function)	22
72. アイドル・トーン (Idle Tones)	22
73. 入力範囲 (FSまたはFSR) (Input Range)	22
74. 積分非直線性誤差 (相対精度誤差) (INL: Integral Nonlinearity, Relative Accuracy Error)	22
75. 相互変調歪み (IMD):	23
76. 内部バッファ (Internal Buffer)	23
77. アパーチャ: ジッタ (Jitter)	23
78. 大信号 (Large Signal)	23
79. 待ち時間 (レイテンシ) (Latency)	23
80. 待ち時間 (レイテンシ)、デルタ-シグマ型コンバータ (Latency, Delta-Sigma Converter)	23
81. 待ち時間 (レイテンシ)、SAR型コンバータ (Latency, SAR Converter)	23
82. 待ち時間 (レイテンシ)、パイプライン型コンバータ (Latency, Pipeline Converter)	23
83. 最下位ビット (LSB: Least Significant Bit)	23
84. メジャー・キャリー遷移 (Major Carry Transition)	24
85. ミッシング・コード (Missing Code)	24
86. 変調器 (モジュレータ) (Modulator)	24
87. 単調性 (モノトニック) (Monotonicity (Monotonic))	25
88. 最上位ビット (MSB: Most Significant Bit)	25
89. マルチプレクサ (MUX: Multiplexer)	25
90. ノーミッシング・コード (No Missing Codes)	25
91. ノイズ、A-D コンバータ (Noise, A-D Converter)	26
91-1. ランダム・ノイズ (Random Noise)	26
91-2. 不確実性ノイズ (Uncertainty Noise)	26
92. ノイズ電力比 (NPR: Noise Power ratio)	26
93. 同相: ノーマルモード除去比 (NMR: Normal-mode Rejection)	26
94. コンバータのビット数 (n) (Number of Converter Bits)	26
95. ナイキスト定理 (Nyquist Theorem)	26
96. オフセット誤差 (Offset Error)	27
97. オフセット 誤差、ユニポーラ (Offset Error, Unipolar)	27
98. オフセット 誤差、バイポーラ (Offset Error, Bipolar)	27
99. オフセット 誤差、温度ドリフト (Offset Error, Temperature Drift)	27
100. 出力データ形式 (Output Data Format:)	27
101. 出力ホールド時間 (Output Hold-time)	27
102. オーバーレンジ・リカバリー (アウトオブレンジ・リカバリー、オーバーボルテージ・リカバリー) (Overrange Recovery、out-of-range recovery、over voltage recovery)	27
103. オーバーサンプリング (Oversampling)	28
104. 通過帯域 (Passband)	28

105. パラレル・インターフェイス (Parallel Interface)	28
106. 位相ノイズ (Phase Noise)	28
107. 位相ノンリニアリティ (Phase Nonlinearity)	28
108. パイプライン型コンバータ (Pipeline Converter)	29
109. パイプライン遅延 (レイテンシ) (Pipeline Delay, Latency)	29
110. 電力消費量 (Power Dissipation)	29
111. パワーダウン、ハードウェア (Power Down, hardware)	29
112. パワーダウン、ソフトウェア (Power Down, software)	29
113. 電源除去比 (PSRR : Power Supply Rejection ratio)	30
113-1. DC電源除去比 (DC PSRR or PSRR : DC Power-Supply Rejection ratio)	30
113-2. AC電源除去比 (AC PSRR : AC Power-Supply Rejection Ratio)	30
114. プログラマブル・ゲイン・アンプ (PGA : Programmable Gain Amplifier)	30
115. 量子化 (Quantization)	30
116. 量子化ノイズ (Quantization Noise)	30
117. レシオメトリック動作 (Ratiometric Operation)	30
118. データ・レコード (Record of Data) :	30
119. 分解能 (Resolution)	30
120. 立ち上がり時間 (Rise Time)	30
121. 実効値、二乗平均平方根 (rms : Root-mean-square)	30
122. 二乗和平方根 (rss : Root-sum-square)	30
123. サンプリング (抽出) (Sampling)	30
124. サンプル・ホールド回路 (Sample-and-Hold, S&H)	30
125. サンプリング時間 (Sampling Time)	30
126. サンプリング・レート (Sample Rate)	31
127. SARコンバータ (SAR (Successive Approximation Register) A/D Converter)	31
128. 2次高調波 (Second Harmonic) (HD2)	32
129. セトリング時間 ($\Delta\Sigma$ 型A/Dコンバータの場合) (Settling Time)	32
130. 信号対ノイズ比 (SNR : Signal-to-Noise Ratio)	32
131. 信号対(ノイズ比+歪み) (SINAD, SNR+D) (総合高調波歪み+ノイズ (Total Harmonic distortion plus Noise) とも)	32
132. 小信号 (Small Signal)	32
133. スプリアス・フリー・ダイナミック・レンジ (Spurious Free Dynamic Range) (SFDR)	33
134. 静的仕様 (Static Specifications)	33
135. ステップ応答 (Step Response)	33
136. シリアル・ペリフェラル・インターフェイス (SPI : Serial Peripheral Interface)	33
137. 逐次比較型コンバータ (SAR) (Successive Approximation Register Converter)	33
138. 同期サンプリング (Synchronous Sampling)	33
139. 温度、指定 (Temperature, Specified)	33
140. 温度、保管 (Temperature, Storage)	33
141. 温度、接点 (Temperature, Junction)	33
142. 温度、動作 (Temperature, Operating)	33
143. サーマル・ノイズ (Thermal Noise)	33
144. 熱抵抗 (Thermal Impedance)	33
145. 3次高調波 (Third Harmonic) (HD3)	33
146. スループット・レート (Throughput rate)	33
147. スループット時間 (Throughput Time)	33
148. タイミング・ジッタ (Timing Jitter)	33
149. タイミング・フェーズ・ノイズ (Timing Phase Noise)	33
150. 全高調波歪み (THD : Total Harmonics Distortion)	34
151. 全高調波歪み+ノイズ (Total Harmonic distortion plus Noise)	34
152. 総合未調整誤差 (TUE : Total Unadjusted Error)	34

153. 伝達関数 (伝達曲線) (Transfer Function (transfer curve))	34
154. 遷移点 (Transition Point)	34
155. 遷移ノイズ (Transition Noise)	34
156. 2トーン相互変調歪み (Two-Tone Intermodulation Distortion)	34
157. アンダーサンプリング (Undersampling)	35
158. 不確実性 (Uncertainty)	35
159. ユニポーラ・オフセット (Unipolar Offset)	35
159-1. ユニポーラ・オフセット誤差 (~Error)	35
159-2. ユニポーラ・オフセット・ドリフト (~Drift)	35
160. ユニポーラ・ゲイン (Unipolar Gain)	35
160-1. ユニポーラ・ゲイン誤差 (~Error)	35
160-2. ユニポーラ・ゲイン・ドリフト (~Drift)	35
161. ユニポーラ：ユニポーラ・ストレート・バイナリ・コード (USB：Unipolar Straight Binary Code)	35
162. 基準電圧 (アナログ電圧基準) (Voltage Reference (Analog Voltage Reference))	35
163. 基準誤差 (Reference Error)	35
164. ゼロスケール誤差 (ゼロコード誤差) (Zero-Scale Error (zero-code error))	35
参照文献	36

図目次

図1 各種A/Dコンバータ (SAR型 vs パイプライン型 vs デルタ-シグマ型) のサンプリング・アルゴリズムの比較	6
図2 アクイジション時間 (サンプリング時間) とアパーチャ時間	7
図3 SAR A/D コンバータのクロック初期化サンプリング	7
図4 A/Dコンバータの疑似差動モード	8
図5 A/Dコンバータへのシングル・エンド入力と差動入力	9
図6 ユニポーラ理想伝達関数	12
図7 アナログ・フィルタとデジタル・フィルタの主な設計パラメータ	16
図8 デルタ-シグマ型A/Dコンバータのブロック図	17
図9 差動ノンリニアリティ誤差	18
図10 動的仕様 (FFTプロット)	19
図11 ゲイン誤差	21
図12 積分非直線性誤差	22
図13 1次変調回路 (モジュレータ) の部分図 (デルタ-シグマA/Dコンバータ)	24
図14 単調性のない伝達関数	25
図15 理想的でない伝達関数 (3ビットA/Dコンバータ)	26
図16 ユニポーラのオフセット誤差	27
図17 アナログ・フィルタの主な設計パラメータ	28
図18 パイプライン型A/Dコンバータのトポロジー	29
図19 逐次比較 (SAR) 型A/Dコンバータのブロック図	31
図20 総合高調波歪みのFFTプロット	34

表目次

表1 BTCのコーディング・スキーム ⁽¹⁾⁽²⁾	10
表2 BOBのコーディング・スキーム ⁽¹⁾⁽²⁾	11
表3 COBのコーディング・スキーム ⁽¹⁾⁽²⁾	13
表4 CSBのコーディング・スキーム ⁽¹⁾⁽²⁾	14
表5 CTCのコーディング・スキーム ⁽¹⁾⁽²⁾	15
表6 波高率、デジタル波高率、発生確率の関係	20
表7 ユニポーラ・ストレート・バイナリ・コード ⁽¹⁾⁽²⁾	35

用語集

1. アクイジション時間 (Acquisition time)

SAR型、パイプライン型、デルタ-シグマ型の各コンバータのアクイジション時間を比較するには、図1を見てください。

1-1. アクイジション時間(デルタ-シグマ型A/Dコンバータ)

デルタ-シグマ($\Delta\Sigma$)型コンバータでは、各変換結果のサンプリング周波数よりも高いデータ・レートでの複数のサンプルを平均化します。コンバータで実行される平均化は通常、有限インパルス応答(FIR: Finite Impulse Response)または無限インパルス応答(IIR: Infinite Impulse Response)デジタル・フィルタ方式で行われます。結果として、アクイジション時間がSAR型やパイプライン型コンバータの場合よりも長くなります。SAR型やパイプライン型では、各変換ごとに1回しか信号をサンプリングしないためです。図1は、SAR型、パイプライン型、 $\Delta\Sigma$ コンバータ型のサンプリング

機構の違いのひとつを示しています。ユーザーがデルタ-シグマ型コンバータの入力にステップ入力を与えたり、マルチプレクサ出力チャンネルを切り替えたりすると、コンバータではデジタル・フィルタが新しい信号でリフレッシュする時間が必要になります。信号のスナッフ・ショット、つまり時間上に定義された取得点(acquisition point)が必要な場合は、SAR型A/Dコンバータを使用するほうが適切です。

1-2. アクイジション時間(パイプライン型A/Dコンバータ)

パイプライン型A/Dコンバータの場合は、外部入力クロックの立ち上がりエッジ(または立ち下がりエッジ。どちらになるかは製品データシートに記載の仕様を参照)で変換プロセスが開始されます。入力内部スイッチのオープン後、差動入力信号のキャプチャが行われます。図2を参照してください。

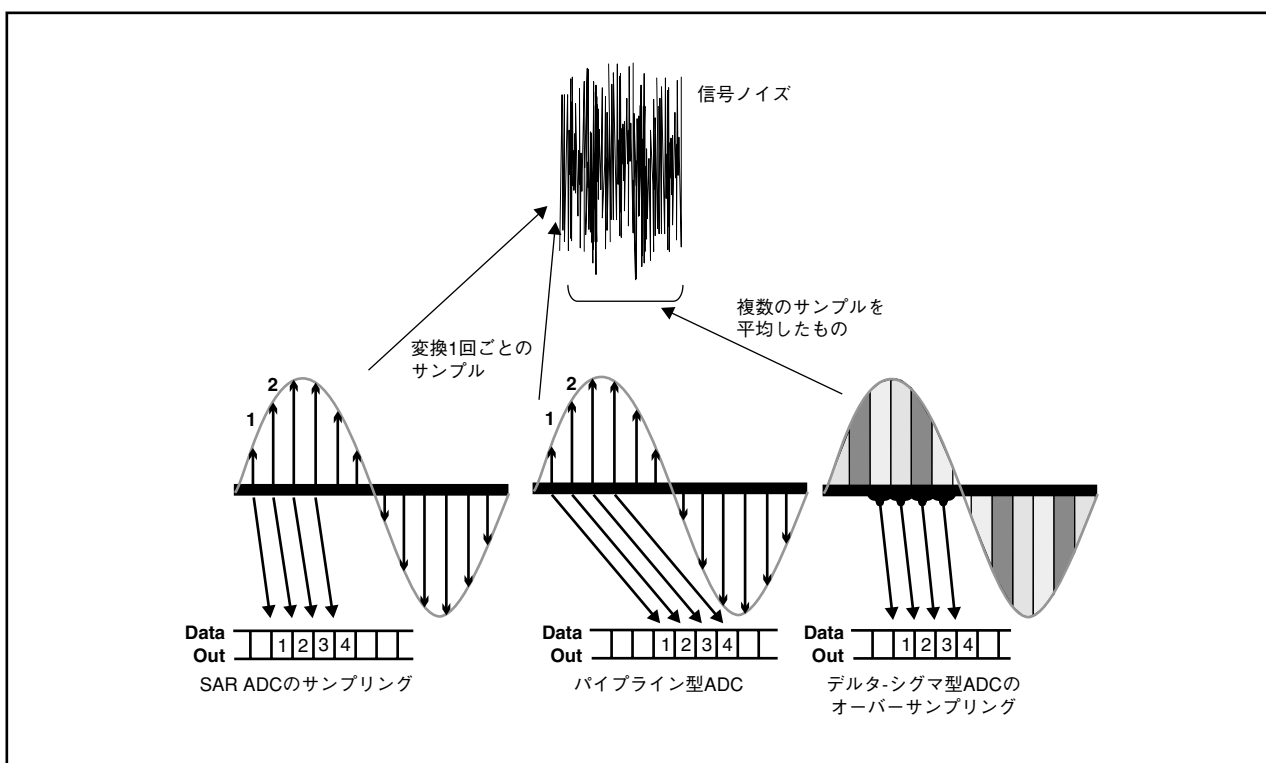


図1. 各種A/Dコンバータ (SAR型 vs パイプライン型 vs デルタ-シグマ型) のサンプリング・アルゴリズムの比較

1-3. アクイジション時間 (SAR型A/Dコンバータ)

SAR型コンバータのアクイジション時間は、サンプリング機構が入力電圧をキャプチャするのに必要な時間です。この時間は、ホールド・キャパシタの充電場所にサンプリング・コマンドが与えられた後に開始します。コンバータ上のサンプリング・ピンに対応して入力信号をサンプリングする機能を持つコンバータもあります。それ以外のSAR型CMOSコンバータでは \overline{CS} (chip select) が下がった後のクロックに従って、(シリアル・パリティフェラル・インターフェイス (SPI™) を使用して) サンプリングを行います。図3に、クロックによって開始される、ADS7816を使用したサンプリング例を示します。また、図2も参照してください。

2. アナログ入力、アナログ帯域幅 (Analog Input, Analog Bandwidth)

再構築されたA/Dコンバータの出力が、入力信号の値よりも3dB低くなるような入力周波数です。

3. アナログ入力、キャパシタンス、同相 (Analog Input, Capacitance, Common-mode)

A/Dコンバータの同相キャパシタンスは、各アナログ信号入力～グラウンド間のキャパシタンスです。

4. アナログ入力、キャパシタンス、差動 (Analog Input, Capacitance, Differential)

差動入力のあるA/Dコンバータの正入力 (AIN₊) ~ 負入力 (AIN₋) 間のキャパシタンスです。

5. アナログ入力、差動入力 (Analog Input, Differential Input)

アナログ差動入力では、A/Dコンバータの入力ピンが両方とも範囲の限界までスイングすることが可能です。また通常、変化のしかたはバランスが取れています—つまり片方の入力が上がると、それに対応してもう一方が下がります。差動入力では、2つの入力を減算することが長所となり、同相除去が得られます。このタイプの入力は、デルタ-シグマ型やパイプライン型コンバータ等の単電源コンバータでよく見られます。差動入力を使用すると同相除去という利点を得られ、各ピンで必要な入力電圧のスイングが小さくても高いダイナミック・レンジを維持できます。

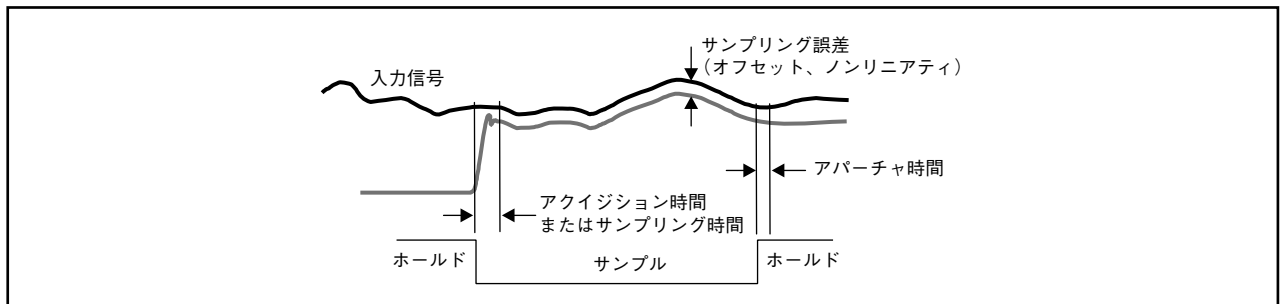


図2. アクイジション時間 (サンプリング時間) とアパーチャ時間

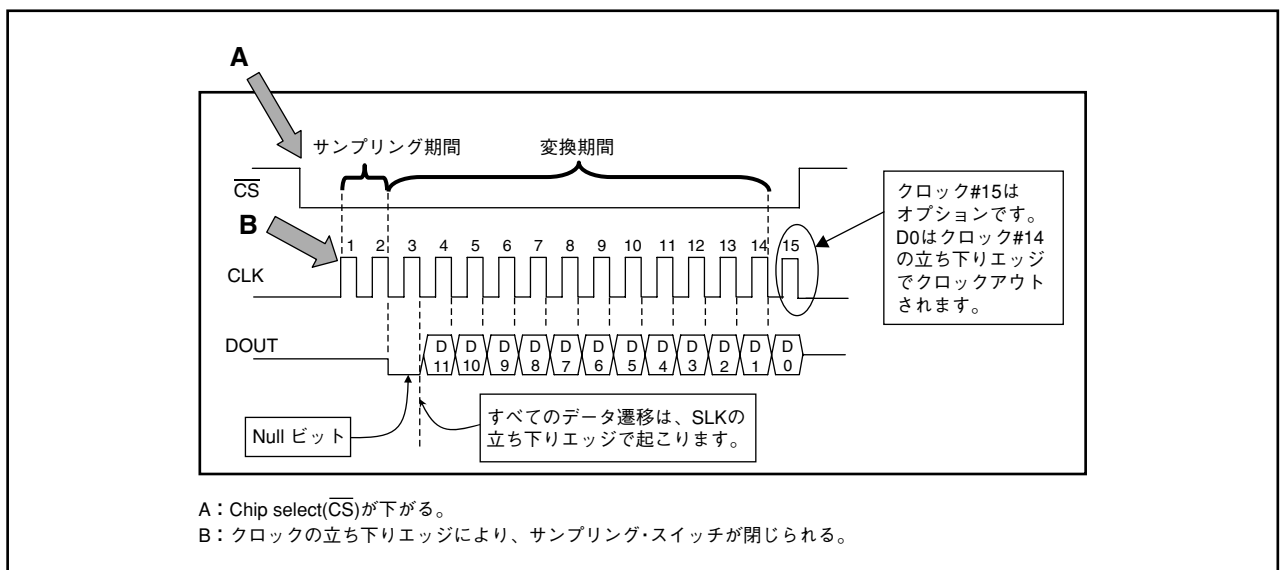


図3. SAR A/D コンバータのクロック初期化サンプリング

6. アナログ入力、インピーダンス、同相 (Analog Input, Impedance, Common-mode)

A/Dコンバータの各アナログ信号入力～グラウンド間のインピーダンスです。

7. アナログ入力、インピーダンス、差動 (Analog Input, Impedance, Differential)

差動入力のあるA/Dコンバータの正入力(AIN+)～負入力(AIN-)間のインピーダンスです。

8. アナログ入力、電圧範囲、絶対 (Analog Input, Voltage Range, Absolute)

A/Dコンバータの絶対アナログ電圧範囲は、(グラウンドおよび/またはアナログ電源電圧と比較した)入力段の最大及び最小電圧限界です。この項が記述するのは、入力段の絶対入力電圧範囲限界です。通常、入力上に抵抗ネットワークがなければ、正及び負の電源がデバイスに上記の限界を設定します。抵抗入力ネットワークがある場合は、絶対入力が正及び負の電源を超過することもあります。

9. アナログ入力、電圧範囲、バイポーラ 入力モード(差動入力) (Analog Input, Voltage Range, Bipolar Input Mode) (Differential Inputs)

バイポーラ入力モードには2つの入力ピンを使用する入力範囲があり、両方のピンで負と正のアナログ入力を互いに許容します。この構成では、どちらの入力ピンも絶対入力電圧範囲より上がりも下がりもしません。(入力電圧範囲の差動入力を参照してください)

10. アナログ入力、電圧範囲、フルスケール (FSまたはFSR) (Analog Input, Voltage Range, Full-Scale (FS or FSR))

コンバータでは、フルスケール入力電圧までの入力信号をデジタル化します。内部または外部印加電圧の基準値により、フルスケール入力電圧範囲が決まります。実際のFS入力電圧範囲は、デバイスによって様々です。詳細については、個別のA/Dコンバータのデータ・シートを参照してください。

• nビットのコンバータでは、FSは次に等しくなります。

$$FS = (2^n) \times (\text{理想のコード幅})$$

• デルタ-シグマ型コンバータでは、パーセンテージの元になる単位としてFSRがよく使用されます。たとえば、INLはFSRの $\pm 0.001\%$ と定義されることもあります。この例のA/Dコンバータ入力範囲は、FSR = 5Vの場合に $\pm 2.5V$ になります。「アナログ入力」と、「差動入力」も参照してください。詳細については、個別のA/Dコンバータのデータ・シートを参照してください。

11. アナログ入力、電圧範囲、疑似差動 (Analog Input, Voltage Range, Pseudo-differential)

図4に示すように、疑似差動入力には、2つの入力ピンAIN+とAIN-があります。疑似差動入力では、2番目の入力ピンを信号の基準とします。この二番目の入力ピン(負入力)では、小さい範囲の電圧(数百ミリボルト(mV)程度)しか受け入れられません。このような構成は、信号の同相オフセットや小信号誤差がわずかしかない場合に非常に役に立ちます。疑似差動入力を使用すると、このオフセットまたは小信号誤差が減少します。コンバータが見るのは、正入力ピンと負入力ピンの差だけだからです。

12. アナログ入力、電圧範囲、シングル・エンド (ユニポーラおよびバイポーラ) (Analog Input, Voltage Range, Single-ended (unipolar and bipolar))

シングル・エンド入力のA/Dコンバータは、グラウンドを基準とする1つの入力電圧用に構成されています。単電源デバイスの中には、入力範囲がシングル・エンドであるために正のアナログ入力信号しか許容されないものもあります。それ以外の単電源(およびデュアル電源)の部品では、グラウンドより高い電圧とグラウンドより低い電圧の両方に動く信号を処理し、バイポーラ入力をひとつ持ちます。「アナログ入力」、「電圧範囲」、「疑似差動」も参照してください。

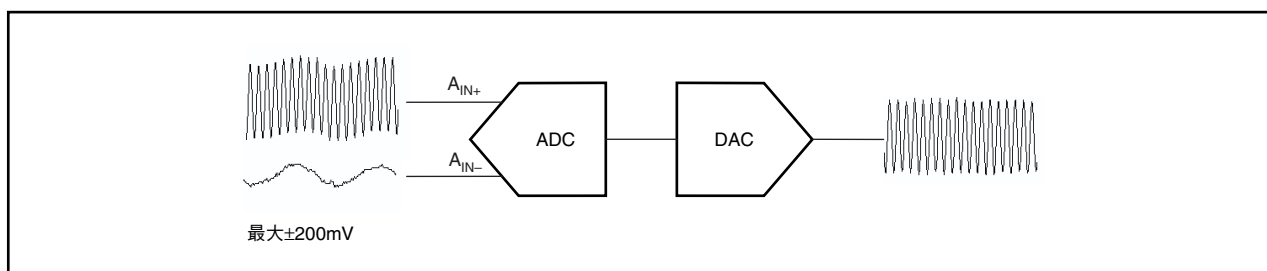


図4. A/Dコンバータの疑似差動モード

13. アナログ入力、電圧範囲、差動入力 (Analog Input, Voltage Range, Differential Inputs)

差動入力電圧範囲は、「非反転アナログ入力 (AIN+) から反転アナログ入力 (AIN-) を引いた値」になります。これら2つの入力ピンでの入力電圧範囲は次の通りになります。

$$\text{フルスケール} = ((A_{IN+}(MAX) - A_{IN-}(MIN)) - (A_{IN+}(MIN) - A_{IN-}(MAX)))$$

アナログ入差動電圧 (AIN₊ - AIN₋) が正の場合には、正のデジタル出力が生成されます。負のアナログ入力差動電圧は、負のデジタル出力を生成します。ほとんどのSAR型およびデルタ・シグマ型A/Dコンバータの動作はアナログ計測アンプと似ており、同相電圧を必ずしも必要としません。ほとんどのCMOSパイプライン型A/Dコンバータでは、入力に対する同相電圧バイアス (V_{CM}) を必要とします。V_{CM} は、通常はミッドサプライ (電源中央値) (+V_S/2) に設定されます。外部電源は、シングル・エンドと差動のどちらかの方法で、差動コンバータ入力を駆動できます。図5を参照してください。

14. アナログ-デジタル・コンバータ (ADC, A-D コンバータ, A/D コンバータ) (Analog Digital Converter)

A/Dコンバータは、連続的な信号を、離散時間、離散振幅のデジタル化信号に変換するデバイスです。

15. アパーチャ (Aperture)

15-1. アパーチャ遅延 (~Delay)

外部サンプリング・コマンドの立ち上がりまたは立ち下がりエッジ (通常は50%ポイント) と、実際に信号がキャプチャされる時間の差として表れる遅延です。

15-2. アパーチャ・ジッタ (~Jitter)

アパーチャ・ジッタは、サンプリング毎のアパーチャ遅延の標準偏差であり、入力ノイズと間違われることもあります。アパーチャ・ジッタはサンプリング・システムのクロック・ジッタとともに、変換の信号対雑音比 (SNR) 全体に影響を与えます。SNRへのジッタの寄与は、次の式で求められます。

$$\text{SNR} = 20\log_{10} \left(\frac{1}{2\pi f t_j} \right)$$

ここで、

- t_j は、クロック・ジッタとアパーチャ・ジッタです。
- f は、コンバータのクロック周波数です。

アパーチャ・ジッタとクロック・ジッタは、次の式で求められます。

$$t_j \sqrt{(t_a^2 + t_c^2)}$$

ここで、

- t_a は、アパーチャ・ジッタの実効値 (rms : root-mean-square) です。
- t_c は、クロック・ジッタの実効値です。

クロック・ジッタ項とアパーチャ・ジッタ項の間に相関はありません。したがって、これらの項は二乗和平方根 (rss : root-sum-square basis) ベースで結合させることができます。

5-3. アパーチャ不確実性 (~Uncertainty)

「アパーチャ・ジッタ」の別の呼び方です。

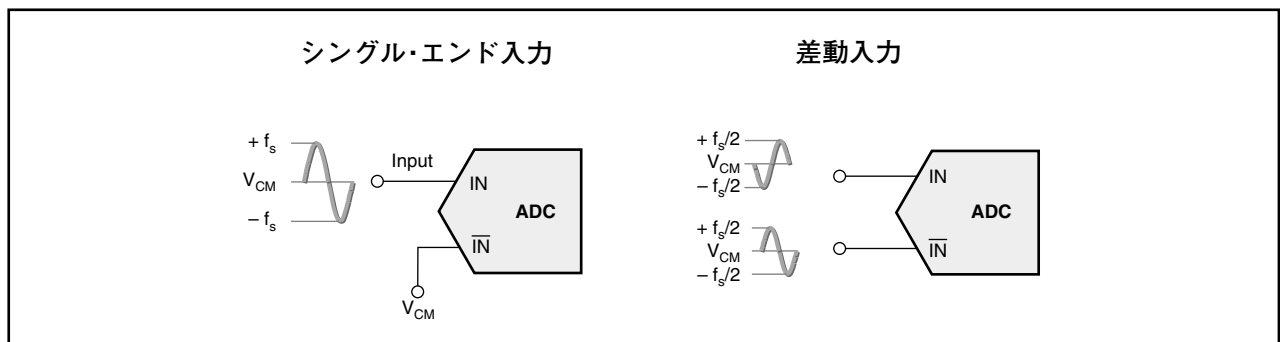


図5. A/Dコンバータへのシングル・エンド入力と差動入力

16. 非同期サンプリング (Asynchronous Sampling)

アプリケーション回路内の他の周波数やサンプルの周波数や時間と同期されない(ロックされない)、A/Dコンバータのサンプリング方式です。

17. 平均ノイズ・フロア (Average Noise Floor)

高速フーリエ変換(FFT: Fast Fourier Transform)のコンバータ・データ表現では、平均的なノイズ・フロアは、入力信号と信号高調波を除いて、FFTプロット内のすべてのbinを計算して得た実行値(rms)の組み合わせです。

18. バイナリ2の補数コード (BTC: Binary Twos Complement Code)

BTCコードでは、デジタルのゼロ(4ビットのシステムでは0000)はバイポーラ・ゼロ(BPZ)に相当します。また、アナログ電圧が正のフルスケール値に近づいていき、やがて

達するのに合わせて、デジタル・カウントも最大値の正コード0111までインクリメント(増加)していきます。その後コードはデジタル・コード1000での負のフルスケール値で継続した後、BPZよりも1LSB低いデジタル値1111(4ビットのシステムの場合)に達するまで、BPZに近づきます。(表1参照)BTCコーディング・スキームを使うと、最上位ビット(MSB)は符号インジケータとみなすことができます。MSBが論理'0'の時は、正の値が示されます。MSBが論理'1'の場合は負の値が示されます。「アナログの正のフルスケール - 1LSBのデジタル表現」は(0111)に等しく、またアナログの負のフルスケール表現は(1000)です。詳しくは表1を参照してください。

ニーモニック(簡略形)	デジタル・コード	V_{TR-}	V_{CODE}	V_{TR+}
-FS	1000	—	-5.000	-4.6875
	1001	-4.6875	-4.375	-4.0625
	1010	-4.0625	-3.750	-3.4375
	1011	-3.4375	-3.125	-2.1825
1/2 -FS	1100	-2.1825	-2.500	-2.1875
	1101	-2.1875	-1.875	-1.5625
	1110	-1.5625	-1.250	-0.9375
BPZ - $1V_{LSB}$	1111	-0.9375	-0.625	-0.3125
BPZ	0000	-0.3125	0.000	+0.3125
BPZ + $1V_{LSB}$	0001	+0.3125	+0.625	+0.9375
	0010	+0.9375	+1.250	+1.5625
	0011	+1.5625	+1.875	+2.1875
1/2 +FS	0100	+2.1875	+2.500	+2.8125
	0101	+2.8125	+3.125	+3.4375
	0110	+3.4375	+3.750	+4.0625
+FS	0111	+4.0625	+4.375	—

表1. BTCのコーディング・スキーム (1) (2)

(1) 2の補数とも呼ばれます。この4ビット・システムの場合、FSR = $\pm 5V$ となります。

(2) V_{TR-} = Low(低い方)のコード遷移電圧、 V_{TR+} = High(高い方)のコード遷移電圧、 $V_{CODE} = (\text{デジタル・コード})_{10} \times V_{LSB}$ 、 $V_{TR+} = V_{CODE} + (1/2)V_{LSB}$ 、 $V_{TR-} = V_{CODE} - (1/2)V_{LSB}$

19. バイポーラ・オフセット・バイナリ・コード (BOB : Bipolar Offset Binary Code)

BOBコーディングは負のフルスケールでのデジタル・ゼロ (4ビット・システムの場合0000) で始まります。デジタル・カウントを増加させることにより、(LSB) ステップで対応するアナログ値が、途中のバイポーラ・ゼロを通過して1Vでの正のフルスケールに近づきます。このゼロ交差は、1000のデジタル・コードで発生します (図2参照)。表2に示すように、デジタル・カウントはアナログ入力に正比例して、フル・デジタル・カウント (4ビット・システムの場合1111) で正のフルスケールに達するまで増加します。BOBコーディングを使用すると、MSBを符号インジケータとみなして、論理「0」が負のアナログ値を示し、論理「1」がバイポーラ・ゼロ (BPZ) 以上のアナログ値を示すようにできます。

20. 校正 (Calibration)

20-1. バックグラウンド校正 (Background Calibration)

バックグラウンド校正は予めプログラムされ、コンバータ動作期間中のスケジューリングされた周波数で、それ以上の指示がなくても起こります。バックグラウンド校正の間、コンバータは入力信号から切断され、内部オフセット/ゲイン校正が起こります。それぞれの校正の結果はコンバータの内部レジスタに保存され、この校正が起こった後に変換が起きるたびに適用されます。コンバータ・アルゴリズムでは、すべての変換結果について、連続してオフセット校正値を加算または減算します。コンバータ・アルゴリズムではまた、すべての変換について、ゲイン校正値を除算します。

20-2. 自己校正 (Self-Calibration)

命令により、コンバータが入力信号から切断されると自己校正が起こります。この校正が一度起こると、コンバータでは内部オフセットおよび/またはゲイン校正アルゴリズムを実行します。コンバータのアルゴリズムでは、すべての変換結果について、連続してオフセット校正値を加算/減算します。コンバータ・アルゴリズムではまた、すべての変換について、ゲイン校正値を除算します。

20-3. システム校正 (System Calibration)

命令により、入力信号が接続されるとシステム校正が起こります。このモードでは、コンバータが2つの異なるコマンドで、外部入力信号も含めてオフセットおよびゲインを校正します。オフセット校正は、コンバータの入力にゼロを印加すると仮定して行われます。コンバータのアルゴリズムでは、その後のすべての変換結果について、連続してオフセット校正値を加算/減算します。ユーザー側では、入力にフルスケール信号を印加すると仮定して、ゲイン校正を行うことができます。コンバータ・アルゴリズムではまた、その後のすべての変換について、ゲイン校正値を除算します。

ニーマニック (簡略形)	デジタル・コード	V_{TR-}	V_{CODE}	V_{TR+}
-FS	0000	—	-5.000	-4.6875
	0001	-4.6875	-4.375	-4.0625
	0010	-4.0625	-3.750	-3.4375
	0011	-3.4375	-3.125	-2.1825
1/2 -FS	0100	-2.1825	-2.500	-2.1875
	0101	-2.1875	-1.875	-1.5625
	0110	-1.5625	-1.250	-0.9375
BPZ - $1V_{LSB}$	0111	-0.9375	-0.625	-0.3125
BPZ	1000	-0.3125	0.000	+0.3125
BPZ + $1V_{LSB}$	1001	+0.3125	+0.625	+0.9375
	1010	+0.9375	+1.250	+1.5625
	1011	+1.5625	+1.875	+2.1875
1/2 +FS	1100	+2.1875	+2.500	+2.8125
	1101	+2.8125	+3.125	+3.4375
	1110	+3.4375	+3.750	+4.0625
+FS	1111	+4.0625	+4.375	—

表2. BOBのコーディング・スキーム (1) (2)

(1) FSR = $\pm 5V$

(2) V_{TR-} = Low (低い方) のコード遷移電圧、 V_{TR+} = High (高い方) のコード遷移電圧、

$V_{CODE} = (\text{デジタル・コード})_{10} \times V_{LSB}$ 、 $V_{TR+} = V_{CODE} + (1/2) V_{LSB}$ 、 $V_{TR-} = V_{CODE} - (1/2) V_{LSB}$

21. クロック (Clock)

21-1. デューティ・サイクル (Duty Cycle)

クロック信号のデューティ・サイクルは、クロック信号が論理High (クロック・パルス幅) にとどまる時間の、クロック信号周期に対する比率です。デューティ・サイクルは、通常パーセント値で表現されます。

完全な方形波、または完全な差分正弦波のデューティ・サイクルは50%です。

21-2. ジッタ (Jitter)

A/Dコンバータのサンプリング・エッジ (立ち上がりエッジか立ち下がりエッジかは個別のコンバータごとに異なります) の、時間単位のパルスの変動の標準偏差。このクロック信号の不安定な性質により、コンバータのノイズが増加するだけでなく、コンバータに誤差が発生することもあります。

ジッタ全体にはアパーチャ・ジッタやクロック・ジッタが含まれ、次の式で求められます。

$$t_j \sqrt{(t_a^2 + t_c^2)}$$

ここで、

- t_a はアパーチャ・ジッタの実効値 (RMS) です。
- t_c はクロック・ジッタの実効値です。

クロック・ジッタ項とアパーチャ・ジッタ項の間に相関はありません。したがって、これらの項は二乗和平方根 (RSS) ベースで結合させることができます。ほとんどの場

合、クロック・ジッタはA/Dコンバータのアパーチャ・ジッタよりも数倍高くなっているため、システム中の主要なジッタ・ノイズ源はクロック・ジッタとなっています。

クロック・ジッタは、中間および高周波数でコンバータのSNRに影響を与える可能性があります。アパーチャ・ジッタは、サンプリング・システムのクロック・ジッタとともに、変換のSNR全体に影響します。変換のSNRに対するジッタの寄与は、次の式で求められます。

$$SNR = 20 \log_{10} \left(\frac{1}{2\pi f t_j} \right)$$

ここで、

- t_j はクロック・ジッタおよびアパーチャ・ジッタです。
- f はコンバータのクロック周波数です。

21-3. スルー・レート (Slew Rate)

クロック信号が論理閾値、電圧閾値を通過する際の、クロック信号 (デジタル入力またはデジタル出力) の時間導関数 ($\delta V / \delta t$) です。

22. コード幅 (Code Width)

コード幅は、A/Dコンバータのデジタル出力コード上にある隣接した2つの遷移点間の電圧差です。理想的なコード幅は1LSBと等価です。図6を参照してください。

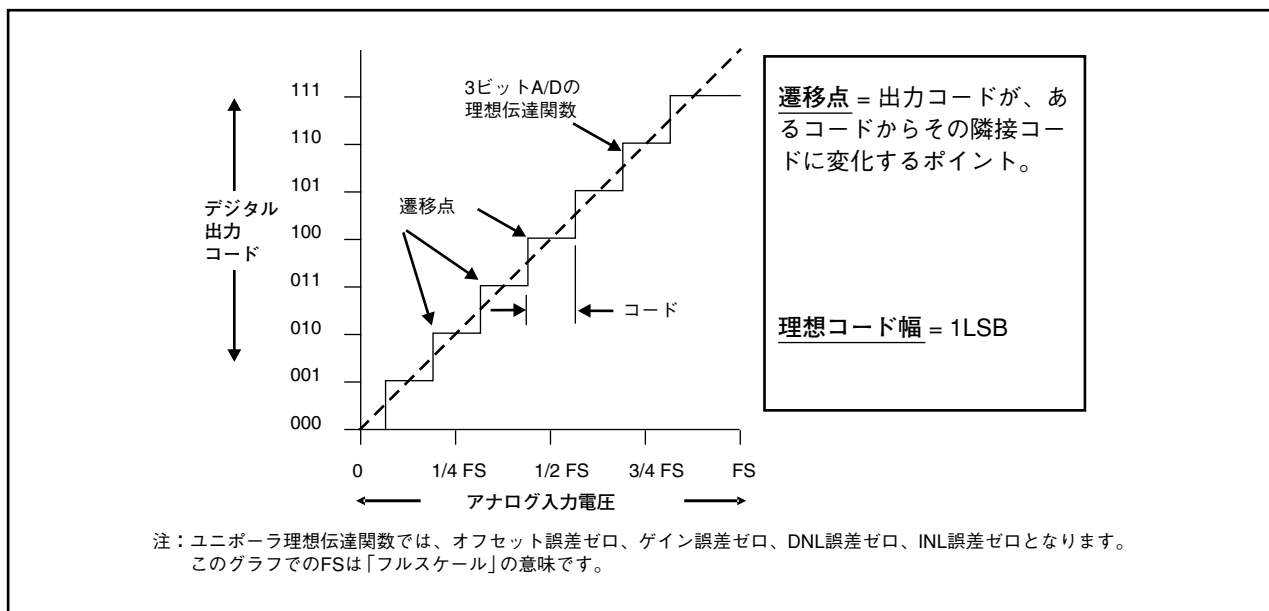


図6. ユニポーラ理想伝達関数

23. コード遷移点 (不確実性) (Code Transition Point(Uncertainty))

コード遷移点は、アナログ入力電圧が変化した結果、デジタル出力があるコードから次のコードへ切り替わる点です。この不確実性は、内部コンバータ・ノイズの結果です。

24. コヒーレント・サンプリング (Coherent sampling)

サンプリング周波数にデータ・レコードの波形サイクル数(整数値)をかけたものが、波形の周波数にデータ・レコードのサンプル数をかけたものに等しい場合のサンプリングのことです。この場合、波形は周期的です。つまり、コヒーレント・サンプリングは次の関係が満たされるときに成り立ちます。

$$f_s \cdot K = f_t \cdot N$$

ここで、

- f_s = サンプリング周波数
 - K = データ・レコードの波形サイクル数 (整数)
 - f_t = 波形の周波数
 - N = データ・レコードのサンプル数
- です。

25. 相補的なオフセット・バイナリ (COB : Complementary Offset Binary)

COBコーディングは、正のフルスケールでのデジタル・ゼロ (4ビット・システムの場合0000) で始まります。デジタル・カウントを増加させることにより、対応するアナログ値が、途中のBPZを通過して-1LSBステップで負のフルスケールに近づきます。このゼロ交差は、デジタル・コード0111で発生します (表3参照)。表3に示すように、デジタル数が増加するにつれてアナログ信号の値も負の方向に増大し、最後にはデジタル数の上限 (1111) で負のフルスケールに達します。

COBコーディングを使用すると、BOBコーディングの場合と同様に、MSBを符号インジケータとみなして、論理「1」が負のアナログ値を示し、論理「0」がBPZ以上のアナログ値を示すようにできます。

ニーモニック (簡略形)	デジタル・コード	V_{TR-}	V_{CODE}	V_{TR+}
-FS	1111	—	-5.000	-4.6875
	1110 1101 1100	-4.6875 -4.0625 -3.4375	-4.375 -3.750 -3.125	-4.0625 -3.4375 -2.1825
1/2 -FS	1011	-2.1825	-2.500	-2.1875
	1010 1001	-2.1875 -1.5625	-1.875 -1.250	-1.5625 -0.9375
BPZ - $1V_{LSB}$	1000	-0.9375	-0.625	-0.3125
BPZ	0111	-0.3125	0.000	+0.3125
BPZ + $1V_{LSB}$	0110	+0.3125	+0.625	+0.9375
	0101 0100	+0.9375 +1.5625	+1.250 +1.875	+1.5625 +2.1875
1/2 +FS	0011	+2.1875	+2.500	+2.8125
	0010 0001	+2.8125 +3.4375	+3.125 +3.750	+3.4375 +4.0625
+FS	0000	+4.0625	+4.375	—

表3. COBのコーディング・スキーム (1) (2)

(1) FSR = ±5V

(2) V_{TR-} = Low (低い方) のコード遷移電圧、 V_{TR+} = High (高い方) のコード遷移電圧、
 $V_{CODE} = (\text{デジタル・コード})_{10} \times V_{LSB}$ 、 $V_{TR+} = V_{CODE} + (1/2)V_{LSB}$ 、 $V_{TR-} = V_{CODE} - (1/2)V_{LSB}$

26. 相補的なストレート・バイナリ・コード (CSB : Complementary Straight Binary Code)

相補的なストレート・バイナリ (CSB) のコーディング・スキームは、ユニポーラ・ストレート・バイナリとはデジタル的にちょうど反対 (つまり1の補数) です。CSBコーディングはUSBコード同様、ユニポーラ・システムに制限されていません。CSBコーディングをデジタル・システムで使用すると、デジタル数が正のフルスケール値でのオール・ゼロ (4ビット・システムの場合0000) から始まります。デジタル・コードが増加するにつれて、アナログ電圧は一度に V_{LSB} ずつ減少していき、最後にはデジタル・コード「1111」で0Vに達します。CSBコーディングとそれに対応するアナログ電圧の関係を、表4に示してあります。(表4で、BPZは「バイポーラ・ゼロ」のことです)

27. 同相、DC (Common Mode)

27-1. 同相誤差 (～Error)

同相誤差は、2つの差動入力と同じ量だけ変化した場合の、出力コードの変化量です。この仕様はコンバータに差動入力 A_{IN+} と A_{IN-} がある場合に当てはまります。この項目 (用語) は通常、LSBで指定します。

27-2. 同相範囲 (～Range)

特定のデバイス制限に従って、コンバータが依然として正確なコードを変換している間の、A/Dコンバータの差動入力での同相アナログ電圧範囲です。この仕様は、コンバータに印加された入力電圧の持つ差動入力 (A_{IN+} と A_{IN-}) が比較的小さい場合に適用されます。

27-3. 同相信号 (～Signal)

入力同相信号は、 $(A_{IN+} + A_{IN-}) / 2$ と等価です。この仕様の別名は、同相電圧です。この仕様は、コンバータに印加された入力電圧が差動入力 (A_{IN+} と A_{IN-}) を持っている場合に適用されます。

27-4. 同相電圧 (～Voltage)

同相電圧は、2つのアナログ入力電圧を足して2で割った値と等価です。

28. 同相除去比

(CMRR : Common-mode Rejection Ratio)

同相除去比は、差動入力段全体の同相信号 (dcまたはac) の除去の程度です。この仕様は結果として生じるデジタル出力信号の、変化する入力同相信号に対する比率です。

ニーモニック (簡略形)	デジタル・コード	V_{TR-}	V_{CODE}	V_{TR+}
Zero	1111	—	0.000	0.3125
+1 V_{LSB}	1110	0.3125	0.625	0.9375
	1101	0.9375	1.250	1.5625
	1100	1.5625	1.875	2.1875
1/4 FSR	1011	2.1875	2.500	2.8125
	1010	2.8125	3.125	3.4375
	1001	3.4375	3.750	4.0625
1/2 FSR	1000	4.0625	4.375	4.6875
	0111	4.6875	5.000	5.3125
	0110	5.3125	5.625	5.9375
3/4 FSR	0101	5.9375	6.250	6.5625
	0100	6.5625	6.875	7.1875
	0011	7.1875	7.500	7.8125
+FS	0010	7.8125	8.125	8.4375
	0001	8.4375	8.750	9.0625
+FS	0000	9.0625	9.375	—

表4. CSBのコーディング・スキーム (1) (2)

(1) FSR = 10V

(2) V_{TR-} = Low (低い方) のコード遷移電圧、 V_{TR+} = High (高い方) のコード遷移電圧、

$$V_{CODE} = (\text{デジタル・コード})_{10} \times V_{LSB}, \quad V_{TR+} = V_{CODE} + (1/2)V_{LSB}, \quad V_{TR-} = V_{CODE} - (1/2)V_{LSB}$$

29. 相補的な2の補数コード (CTC : Complementary Two's Complement)

CTCコーディングの場合、デジタル・ゼロはアナログ・バイポーラ・ゼロよりわずかに(1LSB分)低いアナログ電圧にあります。デジタル数が増加すると、MSB以外のすべてのビットがHigh(4ビットシステムでは0111)になるまで、アナログ電圧の負の値は大きくなり続けます。この時点で、デジタル・コードはアナログの負のフルスケール値(最大値)に対応しています。デジタル・コード増加の次のステップは、MSBを論理 '1' に設定し、残りのビットを論理 '0' (1000) にすることです。するとこのコードは、アナログの正のフルスケール値(最大値)を表すようになります。デジタル・コードが増加するに従って対応するアナログ電圧は減少していき、最後にBPZが得られます。表5は、このアナログ/デジタルの関係を示しています。相補的な2の補数コーディングを使用した場合、MSBは符号インジケータも兼ねることになります。MSBが '0' の状態および '1' の状態は、それぞれ負の電圧と正の電圧を表しています。

30. 変換サイクル(Conversion Cycle)

変換サイクルは離散的なA/Dコンバータの動作であり、入力信号をデジタルの結果に変える処理を指します。例えばSARコンバータの実行する変換サイクルでは、変換はサンプルの取得後に起きます。デルタ・シグマ型コンバータでは、変換サイクルとは t_{DATA} 時間の周期(つまり、あるデータ出力から次のデータ出力までの周期)を指します。デルタ・シグマ型コンバータを使用する場合、各デジタル出力のもとになるのは、実際にいくつかの t_{DATA} 時間の周期から得られたモジュレータの結果です。

31. 変換最大レート(Conversion Maximum Rate)

指定された動作限界範囲内で動作中の、デバイスの最大サンプリング・レートです。他に特に指定のないかぎり、すべ

てのパラメトリック・テストはこのサンプリング・レートで行われます。([サンプリング・レート]も参照してください。)

32. 変換最小レート(Conversion Maximum Rate)

最小変換レートは、A/Dコンバータが定められた仕様を満たすことのできる最小限のサンプリング・レートです。

33. 変換レート(Conversion Rate)

コンバータ出力での、デジタル出力ワードの周波数です。([サンプリング・レート]も参照してください。)

34. 変換速度(Conversion Speed)

[サンプリング・レート]を参照してください。

35. 変換時間(Conversion Time)

信号をサンプリングした後の変換時間は、SAR型またはパイプライン型A/Dコンバータが単一の変換を完了するために必要な時間になります。変換時間には、アキュジション時間またはマルチプレクサの設定時間は含まれません。任意のデバイスの変換時間は、スループット時間よりも短くなります。

36. クロストーク(Crosstalk)

この用語が示すのは、ある信号が近くの別の信号に影響を与える時の条件です。A/Dコンバータのクロストークとは、マルチチャンネルA/Dコンバータにおいて変換に使用されていないあるチャンネルから、信号パスの一部であるもう一方のチャンネル間で、望ましくない信号結合が発生することを指します。この望ましくない結合は、一方のチャンネルと他方のチャンネルをキャパシタまたはコンダクタで結合された結果起こります。この干渉は、出力デジタル・コードのノイズとなって現れます。

ニーモニック(簡略形)	デジタル・コード	V_{TR-}	V_{CODE}	V_{TR+}
-FS	0111	—	-5.000	-4.6875
	0110	-4.6875	-4.375	-4.0625
	0101	-4.0625	-3.750	-3.4375
	0100	-3.4375	-3.125	-2.1825
1/2 -FS	0011	-2.1825	-2.500	-2.1875
	0010	-2.1875	-1.875	-1.5625
	0001	-1.5625	-1.250	-0.9375
BPZ - $1V_{LSB}$	0000	-0.9375	-0.625	-0.3125
BPZ	1111	-0.3125	0.000	+0.3125
BPZ + $1V_{LSB}$	1110	+0.3125	+0.625	+0.9375
	1101	+0.9375	+1.250	+1.5625
	1100	+1.5625	+1.875	+2.1875
1/2 +FS	1011	+2.1875	+2.500	+2.8125
	1010	+2.8125	+3.125	+3.4375
	1001	+3.4375	+3.750	+4.0625
+FS	1000	+4.0625	+4.375	—

表5. CTCのコーディング・スキーム (1) (2)

(1) FSR = $\pm 5V$

(2) V_{TR-} = Low (低い方) のコード遷移電圧、 V_{TR+} = High (高い方) のコード遷移電圧、 $V_{CODE} = (\text{デジタル・コード})_{10} \times V_{LSB}$ 、 $V_{TR+} = V_{CODE} + (1/2)V_{LSB}$ 、 $V_{TR-} = V_{CODE} - (1/2)V_{LSB}$

37. カットオフ周波数 (Cut-off Frequency)

ローパス・アナログ/デジタル・フィルタのカットオフ周波数 ($f_{\text{CUT-OFF}}$) は、パワース・フィルタとベッセル・フィルタの場合は通常、 -3dB のポイントとして定義されます。チェビシェフ・フィルタの場合は、フィルタ応答の誤差帯域幅となる周波数です。図7を参照してください。

38. データ・レータ/データ出力レート (Data Rate or Data Output Rate)

コンバータからの変換結果を得られるレート。SARコンバータの場合、データ・レートの値はサンプリング周波数 f_S と同じです。またデルタ・シグマ型コンバータの場合は、モジュレータ周波数 (f_{MOD}) を間引き率で割った値と同じです。

39. データ有効時間 (Data Valid Time)

データが有効となる最初のクロック遷移から、データが有効でなくなる最後のクロック遷移の間の時間。(A/Dコンバータのクロック・サイクル単位で測定されます)

40. デシベル (Decibels) (dB)

2つの値の比率を記述するのに使用される対数単位です。一方の値は測定値、もう一方の値は基準値です。比率が表現できるのは、電力 (power)、音圧、電圧、程度の強さ (intensity) などです。

41. dBFS

フルスケール入力範囲を基準としたデジベル測定単位です。

42. dBc

搬送波を基準としたデシベル、または搬送波より低いデシベルです。例えば、「 -40dBc より低いスプリアス信号または歪み」という場合は、指定の搬送波信号や所要の信号レベルより歪みが最低でも 40dB 分低いことを意味します。

43. dBm

測定された電力のレベルを、 1mV と比較したデシベル単位で表したものです。

44. 間引き率 (Decimation ratio)

間引き回路 (decimator) で計算される、デルタ・シグマ型コンバータのモジュレータ出力と、デルタ・シグマ型コンバータの出力データ・レートの比率です。間引き回路は、結果を間引いたり破棄したりするための単一ブロックというわけではありません。間引き率ではモジュレータからのデータ・サンプル数を設定しますが、そのサンプル数を平均することで結果が得られます。間引き率が高いほど、一度に平均することのできる値の数も多くなります。したがって、ノイズが低下する結果になります。

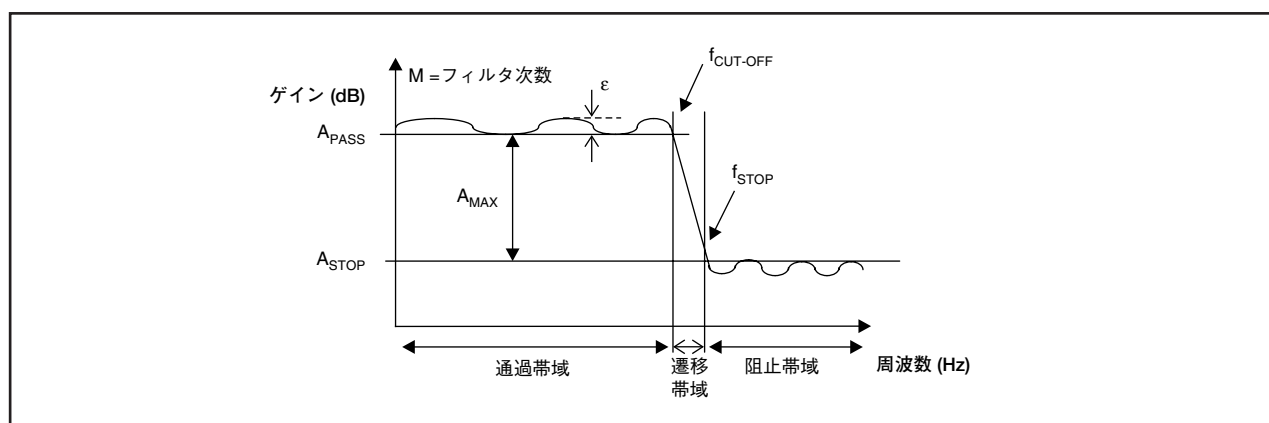


図7. アナログ・フィルタとデジタル・フィルタの主な設計パラメータ

45. デルタ-シグマ型コンバータ (Delta-Sigma Converter)

1ビット(またはマルチビット)のサンプリング・システムです(図8参照)。このシステムでは、数学的な操作を行うデジタル・フィルタ経由で複数のビットが逐次連続的に(シ

アルに)送信されます。この図では、FIR(有限インパルス応答)フィルタを図解しています。また、IIR(無限インパルス応答)フィルタを選択することもできます。デジタル・フィルタの項も参照してください。

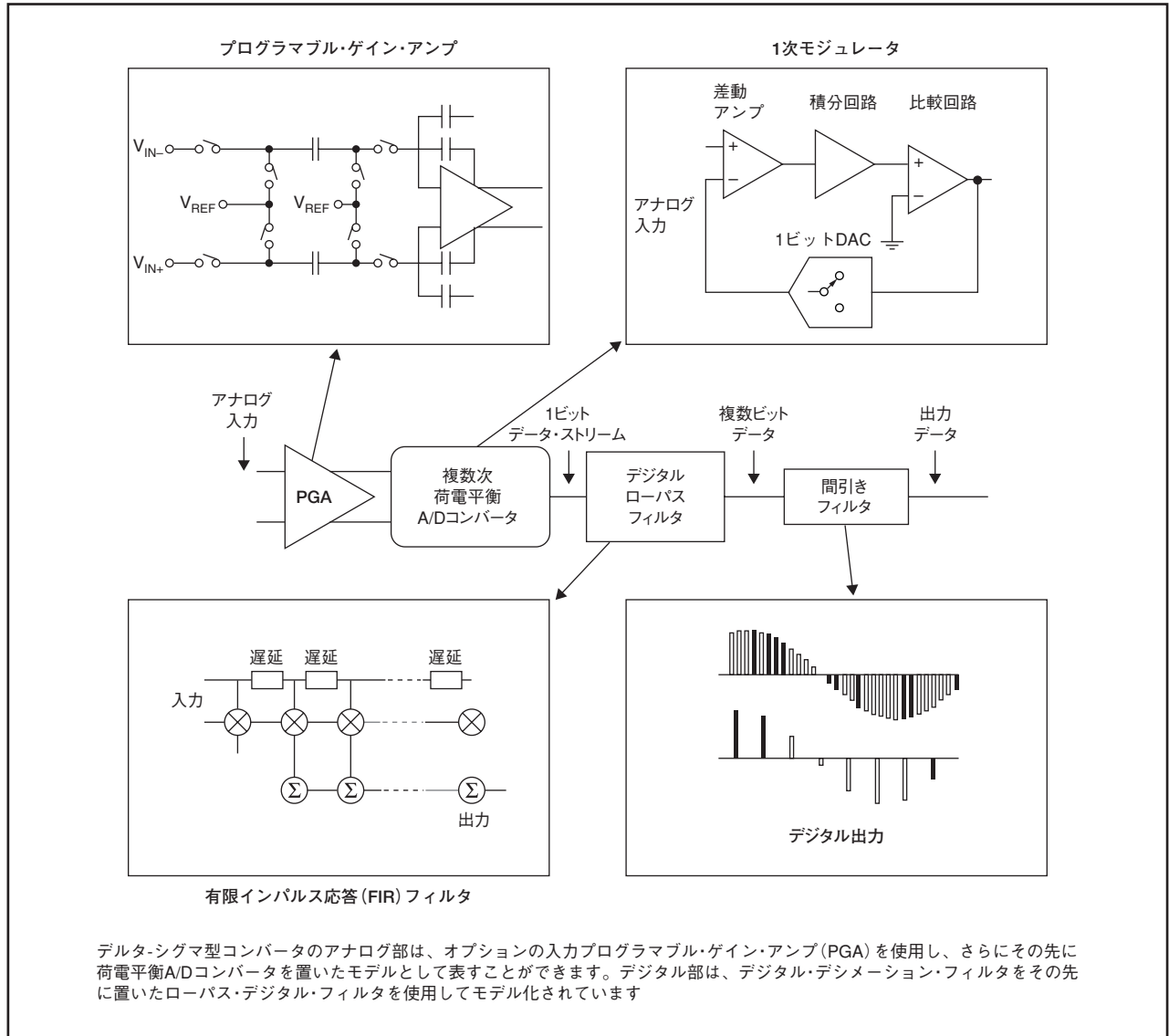


図8. デルタ-シグマ型A/Dコンバータのブロック図

46. 差動ゲイン (Differential Gain)

「ゲイン」を参照してください。

47. 差動ゲイン誤差 (Differential Gain Error)

「ゲイン誤差」を参照してください。

48. 差動位相誤差 (Differential Phase Error)

再構築された出力と、小信号入力との位相差です。

49. 微分非直線性誤差 (DNL : Differential Nonlinearity)

理想的なA/Dコンバータのコード遷移は、アナログ入力に対して正確に1LSB間隔の配置となります。 $(1\text{LSB} = V_{\text{FS}} / 2^n)$

DNLは、理想的な1LSBコード幅からのコード幅の偏差を示します。 -1LSB より小さいDNL誤差は、ミッシング・コード発生の原因となる可能性があります。

DNLは、画像処理、閉ループ、ビデオ等のアプリケーションにとって重要な仕様です。これはDC仕様であり、直流(DC)に近いアナログ入力電圧で測定値を取ります。他のDC仕様としては、オフセット誤差、ゲイン誤差、INL、総合未調整誤差(TUE)、遷移ノイズなどがあります。図9では、理想的な伝達関数 (transfer function) を実線、DNL誤差を破線で示してあります。

50. デジタル・フィルタ (Digital Filter)

デジタル・フィルタでは、オンチップのデジタル関数を使用して、サンプリングされた入力信号の数値を計算します。オンチップのデジタル関数は、デルタ-シグマ型コンバータに組み込まれた専用関数です。デジタル・フィルタは、変換の中間形態の信号に対してデジタルで数学的演算を実行することで機能します。この処理は、アナログ・フィルタの処理とは対照的です。アナログ・フィルタが機能するのは完全にアナログ領域のみであり、必要なフィルタリング効果を達成するためには、(抵抗やキャパシタやトランジスタなどの)電子部品の物理的ネットワークに頼らなければならないからです。

51. デジタル・フィルタ、 有限インパルス応答 (FIR) フィルタ (Finite Impulse Response (FIR) filter)

デジタル・フィルタの一形式です。「有限」であるのは、インパルスに対する応答が最終的にはゼロで安定するからです。この種の応答は、内部帰還を持ち、無限に応答を続ける無限インパルス応答 (IIR) フィルタとは対照的です。FIRフィルタには、いくつもの役に立つ特性があります。FIRフィルタは本質的に安定していますが、この安定性が存在するのはすべての極が原点に置かれており、したがって単位円の内側に存在するためです。FIRフィルタは、直線位相または直線プラス 90° 位相応答のデジタル・フィルタです。移動平均フィルタは、非常にシンプルなFIRフィルタです。

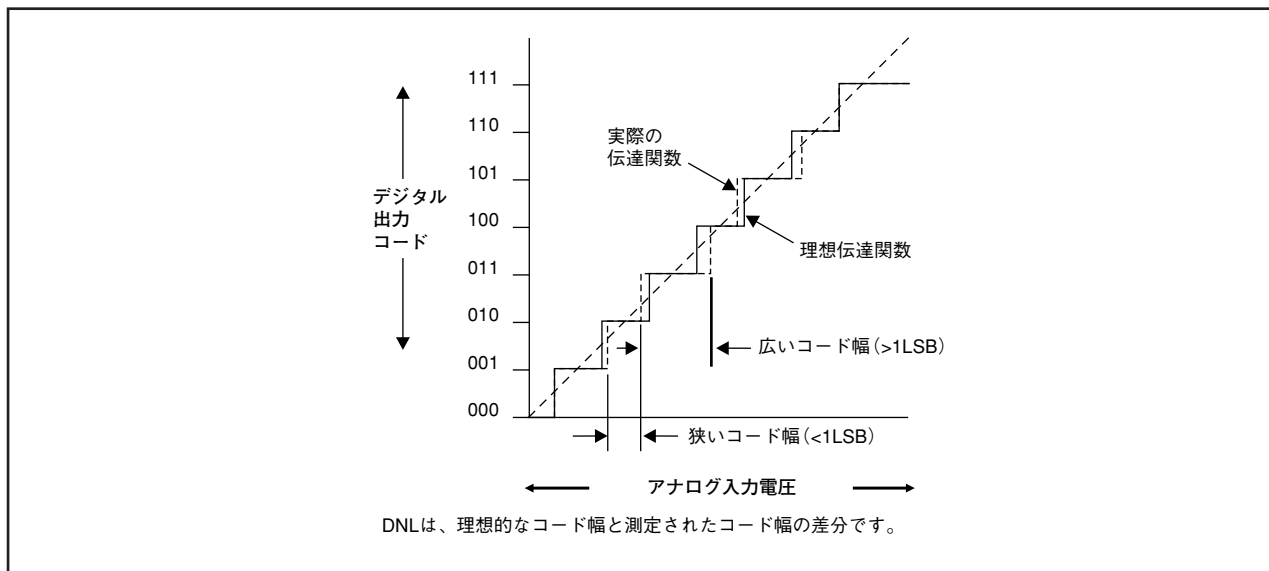


図9. 差動非線形誤差

52. デジタル・フィルタ、無限インパルス応答 (IIR) フィルタ (Infinite Impulse Response (IIR) Filter)

IIRフィルタは、無限の長さの時間にわたってゼロ以外になるインパルス応答関数(機能)を備えています。この特性は、有限インパルス応答フィルタ (FIR) とは対照的です。FIRフィルタの場合は、インパルス応答の持続期間が固定的であるためです。IIRフィルタを使うことで、アナログ・フィルタを効率的に実現できます。

53. デジタル・インターフェイス (Digital Interface, SPITM)

Serial peripheral interface (SPI) は、3線式または4線式のインターフェイスです。このインターフェイスを持つA/Dコンバータは、通常スレーブ・デバイスになります。SPI機能のあるA/Dコンバータでは、マスターがデータ・フレームを開始するマスタ/スレーブ関係を利用して通信を行います。マスターがクロックを生成してスレーブ・デバイスを選択すると、データの受信、送信、或いは送受信が同時に行われます。

SPIでは、次の4種類の信号が指定されています。

- クロック (SCLK)
- マスタ・データ出力およびスレーブ・データ入力転送 (MOSI)
- マスタ・データ入力およびスレーブ・データ出力 (MISO)
- スレーブ・セレクト (SS)

SCLKはマスターによって生成され、すべてのスレーブに入力されます。MOSIでは、データをマスタからスレーブへ搬送します。MISOではデータをスレーブからマスタへ返信します。スレーブ・デバイスが選択されるのは、マスターがそのCS信号をアサートしたときです。SPIは内蔵デバイスのアドレッシングを持たないため、複数のスレーブが関与する場合にはI2Cよりも多くのエフォートと多くのハード

ウェア・リソースを必要とします。ただしいたいていの場合、ポイント-ポイント間 (シングル・マスタ、シングル・スレーブ) のアプリケーションでは、I²CTMよりもSPIの方が効率的で分かりやすくなっています。

また、SPIを使用すると、I²Cよりもかなり高いデータ・レートを達成できます。

54. デジタル・インターフェイス、I²CTM (Digital Interface, I²CTM)

フィリップス社の2線式 (SDAとSCL) のインターフェイス規格です。I²Cインターフェイスは、双方向データ転送機能を持つ8ビットのシリアル・バスです。I²CTMの速度は100kbit/s、400kbit/s、3.4Mbit/sです。ネットワークに接続されたデバイスは一意のアドレスを持っているために、アドレス指定が可能です。このインターフェイス・プロトコルには、2つ以上のマスタが接続されている場合のデータ破損を防ぐための衝突検知機能と調停機能があります。

55. ダイナミック・レンジ (Dynamic Range)

入力信号最小値に対する入力信号最大値の比率であり、SFDR (Spurious Free Dynamic Range) またはSNR (Signal-to-Noise Ratio) を単位として指定されます。この重要な仕様では、検知可能なアナログ信号の最大値/最小値の限界を設定します。

56. 動的仕様 (Dynamic Specifications)

A/Dコンバータへの入力AC信号である場合の仕様であり、製品のデータシートに記載されています。動的仕様には、信号対雑音比 (SNR)、信号対雑音+歪 (SINADまたはSNR+D)、有効ビット数 (ENOB)、全高調波歪 (THD)、スプリアス・フリー・ダイナミック・レンジ (SFDR)、相互変調歪 (IMD)、フルパワー・バンド幅 (FPBW) などがあります。図10を参照してください。

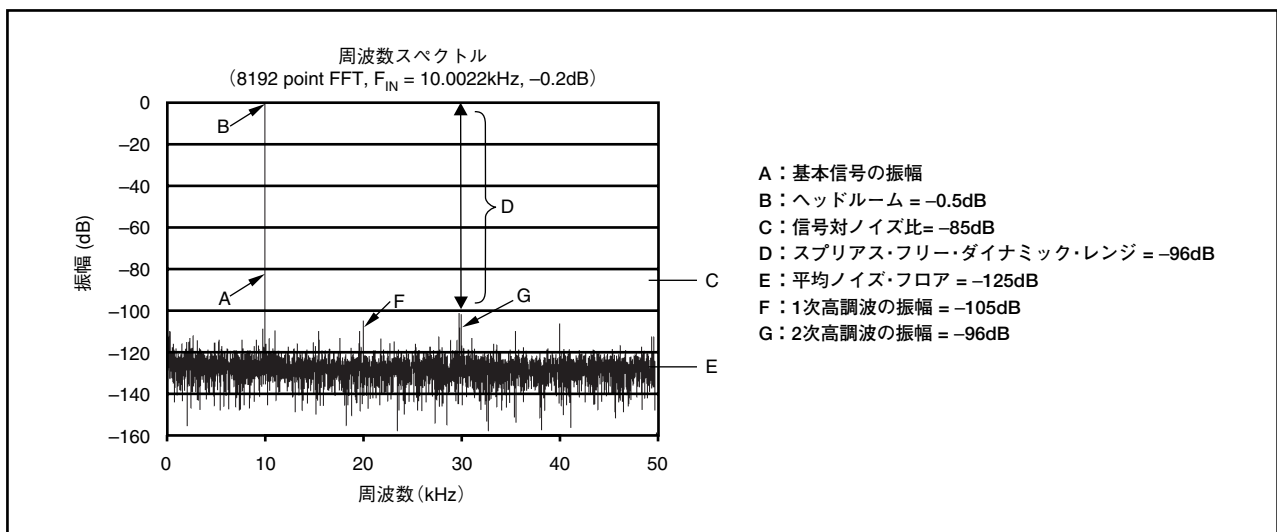


図10. 動的仕様 (FFTプロット)

57. 有効ビット数 (ENOB : Effective Number of Bit)

ENOBは、画像処理、レーダー、ソナー、スペクトル解析、電気通信等のアプリケーションの他、デジタル・オシロスコープ/波形記録計でも重要となる性能限界です。この重要な仕様を見ると、たいいていはA/Dコンバータの動的パフォーマンスが分かります。「動的仕様」も参照してください。

57-1. 有効ビット数とSINAD (Effective Number of Bits vs SINAD)

信号対雑音+歪 (SINAD) の測定単位はdBですが、ENOBの測定単位はビットです。SINADは次の計算により、ENOBに変換されます。

$$\text{ENOB} = \frac{(\text{SINAD} - 1.76)}{6.02}$$

57-2. 有効ビット数とデルタ-シグマ型コンバータのSNR (Effective Number of Bits vs SNR of Delta-Sigma Converters)

この値は、デルタ・シグマ型A/Dコンバータの使用できる分解能をビット単位で定義します。ENOBの判定は、固定された既知のDC電圧をアナログ入力に印加して、いくつかの変換から標準偏差を計算することで行われます。データの標準的な偏差のひとつは、ビットrms単位の有効ビット数に等しくなります。この値は、信号対ノイズ比 (signal-to-noise ratio) (ビット単位) の測定値です。ENOBの計算には、デバイスから取得したデータを使用します。ENOBは次の式で求められます。

$$\begin{aligned} \text{ENOB} &= \frac{\text{SNR}}{6.02} \text{ または} \\ &= 20 \log \left(\frac{\text{RMS}_{\text{SIGNAL}}}{\text{RMS}_{\text{NOISE}}} \right) \text{ または} \\ &= 20 \log \left(\frac{10^6}{(\text{ppm noise})} \right) \end{aligned}$$

2.72ビット (波高率 = 3.3の産業標準) がビットrmsから引かれた場合、結果の単位はピーク・ツー・ピーク・ビットになります。ある信号のノイズ電圧のピーク・ツー・ピーク (V_{pp}) は、(ノイズ電圧のrms * 2 * CF) で求められます。ノイズ・ビットのピーク・ツー・ピークは、(ノイズ (ビットrms単位) - BCF [表6参照]) で求められます。選択されたCF (波高率) より、予想されるピーク・ツー・ピーク値を超える可能性のあることが予測されます。

表6は、波高率、RMSビットから引かれたビット、および定義されたピーク外のノイズ事象のパーセンテージ間の関係を要約したものです。

波高率 (CF)	ビット単位の波高率 (BCF, ビット)	発生確率 ⁽¹⁾
2.6	-2.38	1%
3.3	-2.72	0.1% (産業標準、許容値)
3.9	-2.94	0.01%
4.4	-3.13	0.001%
4.9	-3.29	0.0001%

(1) ピークを超えた場合の発生確率

表6. 波高率、デジタル波高率、発生確率の関係

58. 有効分解能 (Effective Resolution)

有効分解能は、AD変換の結果生成される有用なビットを記述します。それらのビットは入力信号ノイズと関係があり、有効ビット数 (ENOB) と等価であるためです。この仕様の測定単位は、ボルトまたはビットです。この測定は、製品のデータシートのタイトルに記述されていることの多い実分解能と混同されることもあります。実分解能が表すのは「デバイスの出力で入手可能な、コンバータのビット数」のみであるため、これらのビットにノイズが含まれているかどうかまでは示しません。有効分解能は、2種類の単位を使用して表されます。ビットrmsは出力データを表します。この仕様からは、DC入力信号の併行精度 (repeatability) の変換レベルが70.1%になる可能性があることが分かります。ボルトrms (V_{RMS} または V_{rms} と表記する) は入力電圧を表します。有効ビット数の項も参照してください。

59. 有効分解能帯域幅 (Effective Resolution Bandwidth)

有効分解能帯域幅は、フルスケール入力振幅でSNRが3dB分低下する場合の最高入力周波数です。

60. 立ち下り時間 (Fall Time)

信号が、遷移範囲の90%からその範囲の10%まで下がるのに必要な時間です。

61. 4次高調波 (Fourth Harmonic) (HD4):

4次高調波は、基本周波数の4倍です。

62. フルパワー大域幅 (FPBW : Full-power Bandwidth)

再構築されたA/Dコンバータの出力が、フルスケール入力信号のフルスケール値よりも3dB低くなるような周波数。他の動的つまりAC仕様には、信号対雑音比 (SNR)、信号対雑音+歪 (SINADまたはSNR+D)、有効ビット数 (ENOB)、総合高調波歪み (THD)、スプリアス・フリー・ダイナミック・レンジ (SFDR)、相互変調歪 (IMD) などがあります。「動的仕様」も参照してください。

63. フルスケール (Full-scale) (FS or FSR):

アナログ入力、電圧範囲、フルスケール (FSまたはFSR) を参照してください。

64. ゲイン (Gain)

オフセット誤差を除去した入力値を乗算する値です。

65. ゲイン 誤差 (フルスケール誤差) (Gain Error (Full-scale Error))

ゲイン誤差は、ゼロ点~フルスケール (差動入力A/Dコンバータの負のフルスケールも含む) の理想的な傾きと、測定されたゼロ点~フルスケール間の実際の傾きの差です。オフセット誤差は、この誤差の計算のためにオフセット誤差をゼロにします。これはDC仕様であり、測定にDCに近いアナログ入力電圧を使用します。他の重要なDC仕様には、オフセット誤差、DNL、INL、遷移ノイズがあります。図11を参照してください。

66. ゲイン温度ドリフト (Gain Temperature Drift)

ゲイン温度ドリフトでは、公称温度でのゲイン値と、 T_{MIN} ~ T_{MAX} 間の値の差を指定します。温度範囲全体におけるゲインの最大変化を、 $(T_{MAX}-T_{MIN})$ で割った値として計算されます。この仕様の測定単位は「ppm/°C」です。

67. グループ遅延 (Group Delay)

グループ遅延は、角周波数に関する全位相ずれの変化率 $\delta\Phi/\delta\omega$ です。ここで、 Φ は全位相ずれで単位はラジアン、 ω は角周波数で単位はラジアン/単位時間 (ω は $2\pi f$ と等価) です。また、 f は周波数 (グループ遅延が秒単位で測定される場合はヘルツ単位) です。デルタ・シグマ型コンバータでは、グループ遅延はデジタル・フィルタによって発生します。

68. 高調波歪み (Harmonic Distortion)

問題となる高調波のrms値に対する、rms入力信号の比率です。クリッピングを避けるために、入力信号の振幅はフルスケールより0.5dB~1dB小さくなっています。

入力信号がフルスケールより大幅に小さい場合は、コンバータDNLの結果として、他の歪み要素が歪みパフォーマンスを制限する可能性があります。あるデバイスのACリニアリティを判定するには、シングル・トーンが適用されている場合は高調波歪みを使用します。高調波歪みは、フルスケールの入力範囲 (dBFSまたはdB) に関して、または実際に入力信号の振幅 (dBc) に関して指定できます。(二次高調波歪み (HD2)、三次高調波歪み (HD3)、4次高調波歪み (HD4) も参照してください。)

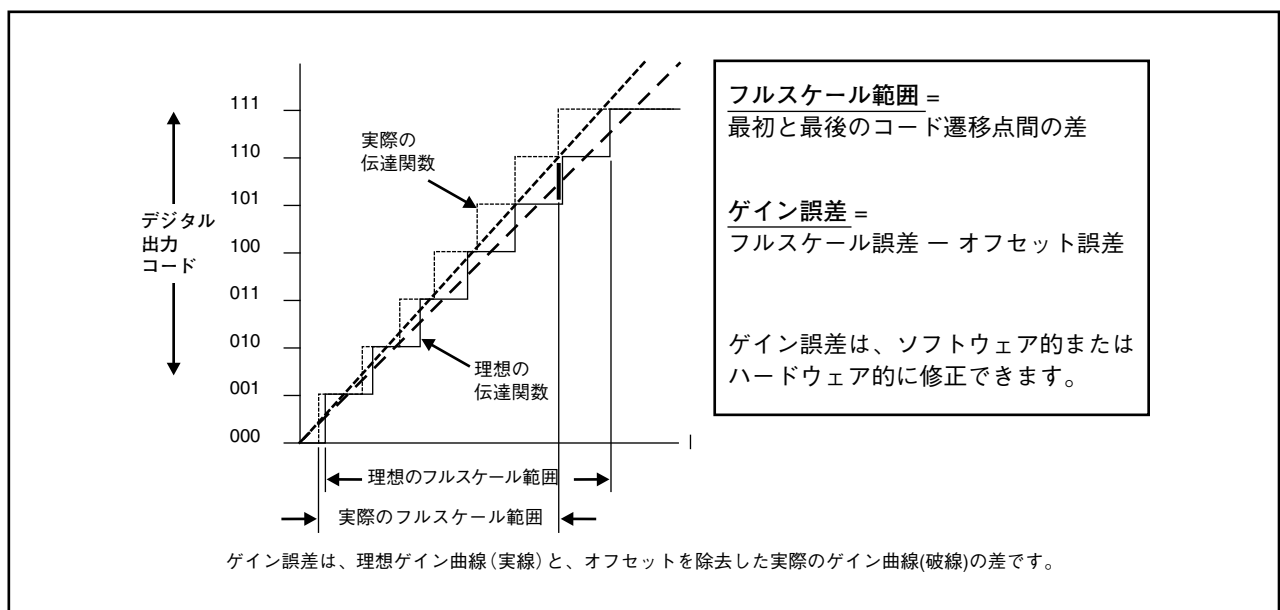


図11. ゲイン誤差

69. I²Cインターフェイス (I²C Interface)

「デジタル・インターフェイス、I²C」を参照してください。

70. 理想コード幅 (q) (Ideal Code Width)

理想的なフルスケール入力電圧範囲を、バイナリ・コード (code bin) の総数で割った値です。

バイナリ・コードの総数は次の式で求められます。

$$q = \frac{FS}{2^n}$$

ここで:

- バイナリ・コードの総数 = 2ⁿ
- n = ビット数
- FS = フルスケール範囲

71. 理想的なA/Dコンバータの伝達関数 (Ideal A/D Converter Transfer Function)

アナログ電圧が、オフセット、ゲイン、線形誤差等を伴わずに、nビットのデジタル値にマッピング (変換) されます。

72. アイドル・トーン (Idle Tones)

シグマ・デルタ型A/Dコンバータのモジュレータとデジタルフィルタの間の相互作用 (interaction) によって生じます。アイドル・トーンの発生源は2つあります。1つは、モジュレータ出力が、デジタル・フィルタでフィルタリングできないようなパターンで反復する場合のように、測定対象の電圧に固有のもので、このようなパターンは、0V、FSRの1/2、FSRの3/4などで発生します。第2の発生源は、サンプリングされて測定値に組み込まれるチョッピング周波数です。このサンプリングされた周波数では、低い周波数で通

過帯域内を上下に移動する、コードのデジタル・パターンを生成します。

名前の示すとおり、アイドル・トーンは、一定のデータ・レートでDC入力変換が複数回行われる、ある出力変換データの周波数に見えることもあります。アイドル・トーンの問題を減らすために、特許技術が利用されます。

73. 入力範囲 (FSまたはFSR) (Input Range)

A/Dコンバータのピーク・ツー・ピーク入力信号に指定された範囲です。

74. 積分非直線性誤差 (相対確度誤差) (INL : Integral Nonlinearity, Relative Accuracy Error)

INL誤差は、測定されたオフセット誤差とゲイン誤差をゼロにした場合の、理想伝達曲線の対応する点からの遷移点の最大偏差です。この仕様は、ベスト・フィット伝達関数またはエンド・ポイント伝達関数を基準にすることも可能です。ベスト・フィットINLの結果は、同じデバイス用のエンド・ポイント測定法の誤差の1/2となります。ベスト・フィット伝達関数は、伝達関数にフィットする最小二乗曲線で決まります。これはDC仕様です。この場合、測定はDCに近いアナログ入力電圧で行われます。INLの単位はLSBです。INLは、画像処理アプリケーションでは重要な仕様となります。他の重要なDC仕様には、オフセット誤差、ゲイン、TUE、DNL、遷移ノイズなどがあります。図12を参照してください。

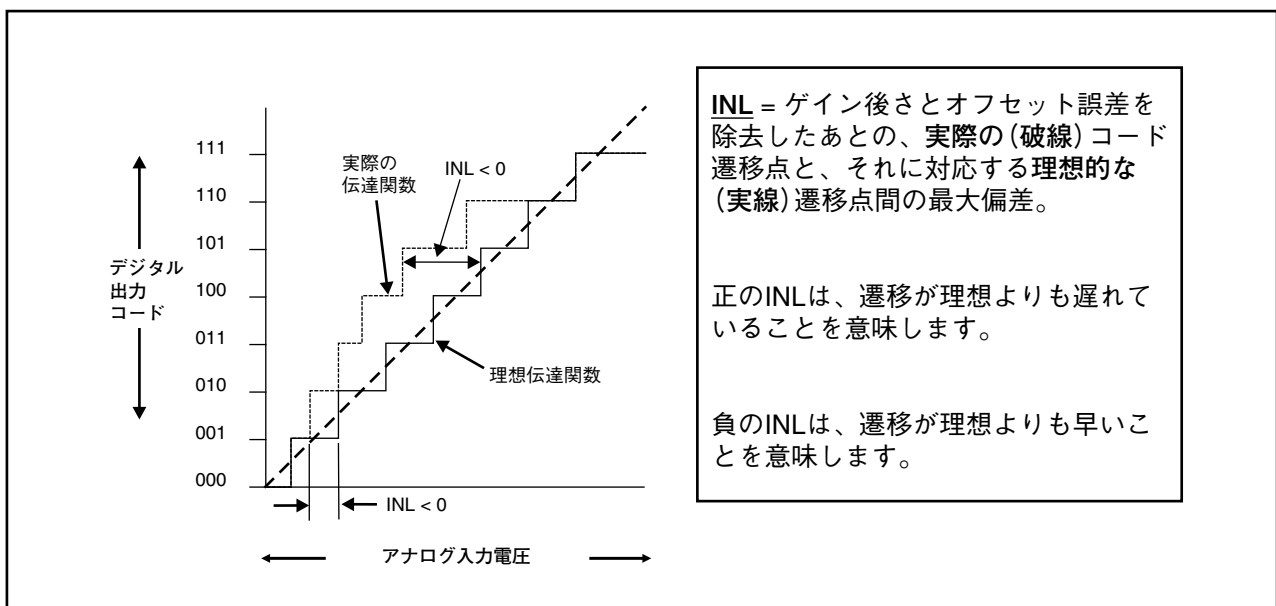


図12. 積分非直線性誤差

75. 相互変調歪み (IMD):

A/Dコンバータでは、入力と同時に印加される2つの正弦波周波数の入力の結果としての付加的なスペクトル成分を作成します。IMDは、元の周波数の総電力に対する、相互変調積の電力の比率です。IMDは、dBc単位(基本波の絶対電力が基準として使用される場合)、またはdBFS単位(基本波の電力がコンバータのフルスケール範囲に外挿される場合)で表されます。

2トーンの相互変調歪み、つまりIMD3(3次相互変調歪)とは、スペクトル成分($2f_1 - f_2$ 、 $2f_2 - f_1$)のうち、悪い方の持つ電力に対する、(周波数 f_1 と f_2 での)基本波電力の比率です。基本波の絶対電力が基準として使用されている場合、IMD3は、dBc単位(搬送波に対するdB)で表されます。また、基本波の電力がコンバータのフルスケール範囲に外挿される場合は、dBFS(フルスケールに対するdB)の単位で表されます。

IMDは、レーダー、ソナー、スペクトラム拡散通信、電気通信、広帯域デジタル受信機などのようなアプリケーションにとって重要な仕様です。他の動的(AC)仕様には、信号対ノイズ比(SNR)、信号対ノイズ比+歪み(SINADまたはSNR+D)、有効ビット数(ENOB)、全高調波歪み(THD)、スプリアス・フリー・ダイナミック・レンジ(SFDR)、フルパワー帯域幅(FPBW)などがあります。

76. 内部バッファ (Internal Buffer)

A/Dコンバータの入力に入力バッファがある場合は、この入力バッファの提供する高インピーダンス入力により、外部入力信号がコンバータのサンプリングの影響から遮断され、その結果さらに高い入力インピーダンスが提供されます。

77. アパーチャ：ジッタ (Jitter)

アパーチャ・ジッタと、クロック・ジッタを参照してください。

78. 大信号 (Large Signal)

大信号では信号のピーク・ツー・ピーク振幅が、最低でもA/Dコンバータのフルスケール・アナログ範囲の90%でスパンします。

79. 待ち時間 (レイテンシ) (Latency)

A/Dコンバータの変換待ち時間(レイテンシ)とは、アナログ・サンプルが取得されてから、サンプルのデジタル値が抽出できるまでに経過する時間の長さです。「群遅延(group delay)」という用語も、「待ち時間」の代わりによく利用されます。

80. 待ち時間 (レイテンシ)、デルタ-シグマ型コンバータ (Latency, Delta-Sigma Converter)

デルタ-シグマA/Dコンバータの場合、レイテンシを定義することは難しくなります。デルタ-シグマ型A/Dコンバータでは、ある一時点に対応するコードが出力されないためです。デルタ-シグマ型コンバータの出力するコードは、ある時間内に入力のフィルタリングまたは平均化を行った結果であり、その時間はサンプリング期間に等しくなります。このために、デルタ-シグマ型A/Dコンバータでのレイテンシを測定する際には、サンプリング期間のスタートと同時に測定の方も開始し、データが抽出可能になる時間まで測定を続けます。レイテンシの時間に、データの抽出に必要な時間を組み込むのも実際に役立つことがあります。デルタ-シグマ型A/Dコンバータはたいていシリアル・インターフェイスを持つためです。オーディオ・コンバータではこの付加的な待ち時間が非常に顕著になることがあり、数十サンプリング期間までになる場合もありますが、sincフィルタを使用した低速産業用コンバータの場合は、モジュレータ・サイクルでわずか2, 3サイクルにしかならないこともあります。デルタ-シグマ型A/Dコンバータの場合、たいていは一定の群遅延を持つフィルタが使用されるため、群遅延と待ち時間の区別がありません。デルタ-シグマ型コンバータの待ち時間は、「セトリング時間」と呼ばれることがよくあります。

81. 待ち時間 (レイテンシ)、SAR型コンバータ (Latency, SAR Converter)

SAR A/Dコンバータの場合、待ち時間は通常非常に短くなります。これは、連続近似プロセスを完了するのに必要な時間の長さです。データは通常、完了後すぐに使用可能です。通常、このアプローチにかかる時間は変換時間と同じですが、サンプリング時間は含まれません。SAR型の場合、フロント・エンドに外付けの連続時間アナログ・フィルタを置くのが一般的で、待ち時間は周波数に依存する可能性があるため、群遅延の方が有効な測定法となる場合があります。

82. 待ち時間 (レイテンシ)、パイプライン型コンバータ (Latency, Pipeline Converter)

変換開始時間から、データが出力駆動段に出現する時間までのロック・サイクル数です。

83. 最下位ビット (LSB : Least Significant Bit)

変換対象となる最小アナログ入力信号のビット表現であり、コードのバイナリ幅と同義語です。最下位ビットはコンバータの分解能を定義します。また、バイナリ・デジタル・ワードでは右端ビットのことです。

84. メジャー・キャリー遷移 (Major Carry Transition)

MSBがLowからHighに変化し、他のすべてのビットがHighからLowに変化する(または、MSBがHighからLowに変化し、他のすべてのビットがLowからHighに変化する)ミッドスケールでの遷移です。これらの遷移点では、最悪のスイッチング・ノイズが発生しやすくなっています。(Most Significant Bit (MSB) も参照してください。)

85. ミッシング・コード (Missing Code)

存在するはずの正規のA/Dコンバータ出力コードが使用できない場合は、ミッシング・コードが発生したということになります。アナログ電圧が増加すると、前のコードと同じかそれ以下のデジタル出力コードが予想外に生成されることがあります。図14を参照してください。

86. 変調器 (モジュレータ) (Modulator)

1次変調器の入力では、信号は加算アンプを経由します(図13参照)。信号はその後、コンパレータにデータを供給する積分回路を通過します。コンパレータの動作は、1ビットの量子化器と似ています。コンパレータの出力はデジタル・フィルタにフィードフォワード(前送り)され、1ビットのデジタル-アナログ(D/A)コンバータにフィードバックされます。D/Aコンバータの反転出力での信号は、入力加算器に加算されます。変調器の出力からは、1と0(デジタル値)のストリームが提供されます。このシリアル出力の時間の平均は、アナログ入力電圧に比例します。変調器は、デルタ-シグマA/Dコンバータ・チップに組み込むことも、独立した部品とすることもできます。デジタル・フィルタを実装するプロセッサと変調器の組み合わせれば、高分解能のA/Dコンバータ・システムができます。

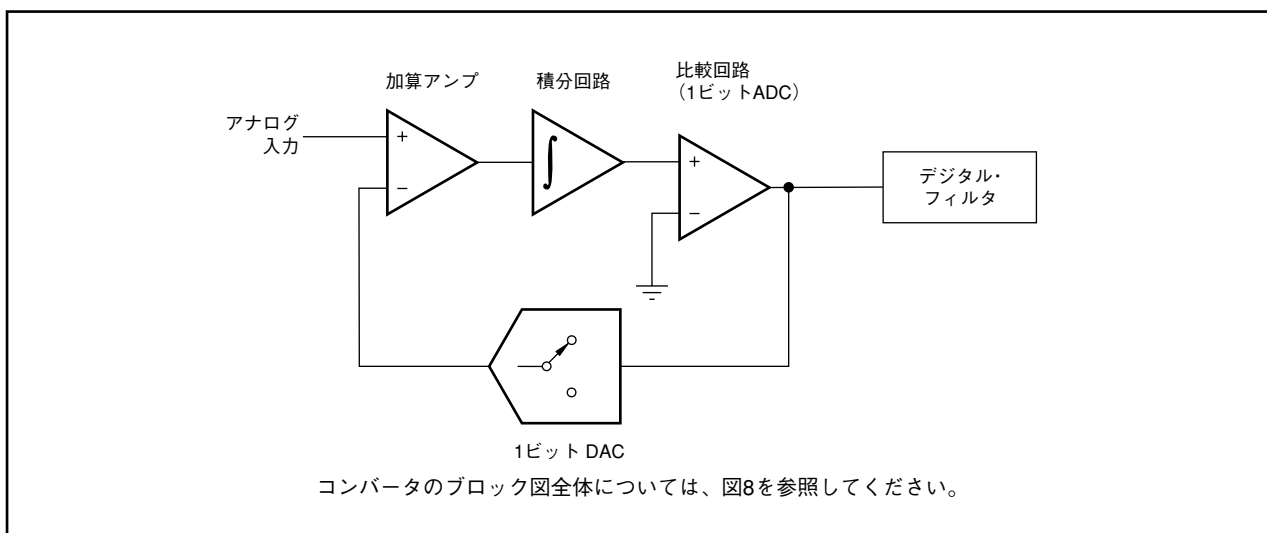


図13. 1次変調回路(モジュレータ)の部分図(デルタ-シグマA/Dコンバータ)

87. 単調性(モノトニック) (Monotonicity (Monotonic))

アナログ電圧入力の増加(或いは減少)に対して、デジタル・コードが変化しないか増加(或いは減少)する状態を指します。ただし単調性(Monotonicity)があるからといって、ミッシング・コードがないということにはなりません。単調性は、自動制御アプリケーションでは重要な仕様となります。図14を参照してください。

88. 最上位ビット (MSB : Most Significant Bit)

最上位ビットは通常、バイナリ・デジタル・ワードの左端のビットとみなされ、またバイポーラ・コンバータの符号ビットとして使用されます。MSBの詳細な定義については、バイポーラ・オフセット・バイナリ・コード (BOB)、相補的なオフセット・バイナリ・コード (COB)、相補的なストレート・バイナリ・コード (CSB)、相補的な2の補数コード (CTC)、ユニポーラ・ストレート・バイナリ・コード (USB) を参照してください。

89. マルチプレクサ (MUX : Multiplexer)

マルチプレクサは、いくつかの入力信号のどれかひとつを選択します。マルチプレクサを使用したA/Dコンバータの入力では、いくつかの入力からひとつの信号 (シングル・エンド入力でも差動入力でも可) が選択されます。

90. ノーミッシング・コード (No Missing Codes)

この用語が示すのは、アナログ電圧入力が増加(または減少)すると、必ずデジタル出力のコンバータ・コードの増加(または減少)が発生するという事です。「ノーミッシング・コード」のコンバータは、指定されたビットに対してモノトニック (monotonic) です。図14を参照してください。

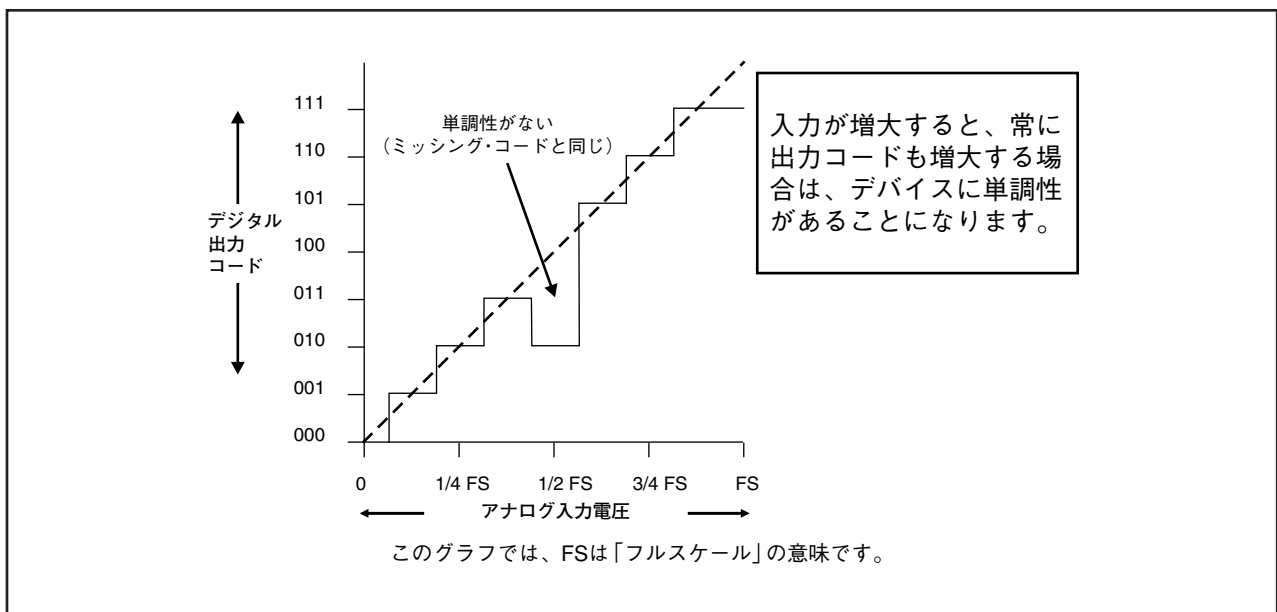


図14. 単調性のない伝達関数

91. ノイズ、A-Dコンバータ (Noise, A-D Converter)

出力されるデジタル・コードと、DC特性を持ち、ノイズのない入力アナログ信号とのあらゆる偏差を指します。ノイズの例としてはランダム・ノイズや、高調波歪みおよび「アパーチャの不確か性」などのノンリニアリティがあります。

91-1. ランダム・ノイズ (Random Noise)

A/Dコンバータの出力コードのランダムな変動です。

91-2. 不確か性ノイズ (Uncertainty Noise)

遷移点は、通常ひとつの閾値ではなく、不確か性(uncertainty)のある小さな領域です。不確か性の領域は、任意のコードの反復コード遷移で定義されます。遷移点は、これらの反復遷移の統計的平均です。これはDC仕様です。他のDC仕様としては、オフセット誤差、ゲイン、DNL、INL、TUEがあります。図15(および「コード遷移点」)を参照してください。

92. ノイズ電力比(NPR : Noise Power ratio)

広帯域幅入力でのA/Dコンバータのダイナミック・パフォーマンスの特性は、ノイズ電力比(NPR : noise power ratio)を測定することで得られます。入力信号に非干渉トーンや狭帯域信号が多く含まれるA/Dコンバータのアプリケーションでは普通、(強信号成分同士が結合した結果である)歪みが、弱信号成分の検出に干渉しないようにすることが必要になります。A/Dコンバータのサンプル・セットの場合、NPRは、ノッチ内電力スペクトル密度の平均振幅に対する、ノッチ外電力スペクトル密度の平均振幅の比率です。この

パラメータは、スペクトラム拡散通信アプリケーションで重要になる仕様です。NPRの理論値とほとんど同じノイズ電力比を持つA/Dコンバータは、理想的なNビットのデバイスに関しては、広帯域信号アプリケーションで使用に適しています。

93. 同相：ノーマルモード除去比 (NMR : Normal-mode Rejection)

ノーマルモード除去比は、差動入力段全体の同相信号(DCまたはAC)の除去の程度です。この仕様は、結果として生じるデジタル出力に対する、変化する入力同相信号の比率です。NMRとCMRは同じです。「同相除去比」も参照してください。

94. コンバータのビット数(n) (Number of Converter Bits)

コンバータのビット数(n)は、出力されるデジタル・ワードのビット数を表します。A/Dコンバータが生成できる出力コードの数は $2n$ です。

95. ナイキスト定理(Nyquist Theorem)

この定理の前提は「離散的な(不連続な)時間間隔で信号をサンプリングする場合、理論的なサンプリング速度はサンプリング対象となる入力信号の帯域幅の2倍よりも大きい値でなければならない」ということです。ナイキスト周波数は、サンプリング・レートの半分値になります。つまり理論的には、信号の帯域幅がサンプリング・レートの半分よりも小さければ元の信号が再構成できることになります。

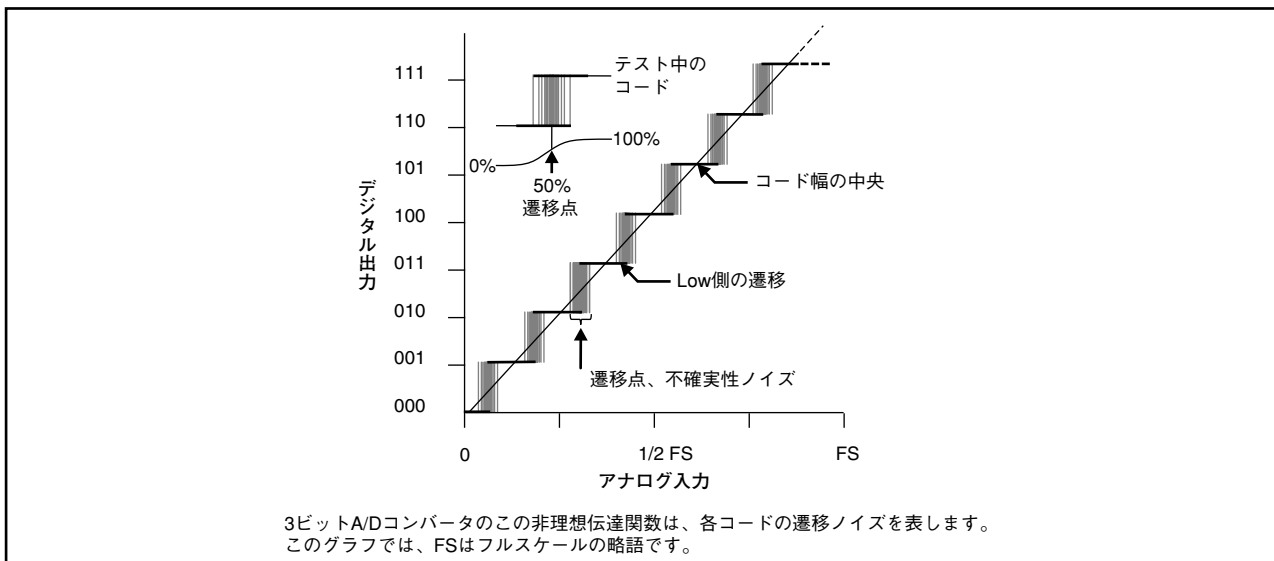


図15. 理想的でない伝達関数(3ビットA/Dコンバータ)

96. オフセット誤差 (Offset Error)

オフセット誤差は、A/Dコンバータの理想的な最初のコード遷移と、実際のコード遷移間の電圧の差です。これはDC仕様であり、測定値がDCに近いアナログ入力電圧で表されます。他のDC仕様としては、ゲイン、DNL、INL、遷移ノイズがあります。

97. オフセット誤差、ユニポーラ (Offset Error, Unipolar)

ユニポーラ・デバイスでのオフセット誤差とは、最初に測定された遷移点 (最低電圧) と、最初の理想的な遷移点の差です。(図16参照) ユニポーラのオフセット誤差は、次の式に示すように測定・計算されます。

$$\text{Offset Error} = (V [0:1] - (0.5) V_{1\text{LSB}})$$

ここで、

- $V_{1\text{LSB}} = V_{\text{REF}} / 2^n$ = 理想LSB電圧サイズ
- $V [0:1]$ = 最初の遷移のアナログ電圧
- V_{REF} = フルスケール電圧
- n = コンバータ・ビットの数

98. オフセット誤差、バイポーラ (Offset Error, Bipolar)

バイポーラ・デバイスのオフセット誤差は、両方の入力のひとつの同相電圧につながれている場合のミッドコード (mid-code) か、ミッドスケール (またはゼロ) からの出力コードの偏差です。

99. オフセット誤差、温度ドリフト (Offset Error, Temperature Drift)

温度ドリフトでは、公称温度でのオフセット値から、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ での値までの変化を指定します。全温度範囲での最大変動を ($T_{\text{MAX}} - T_{\text{MIN}}$) で割ったものとして計算されます。この仕様の測定単位は、「ppm/°C」、または「mV/°C」です。

100. 出力データ形式 (Output Data Format)

バイポーラ・オフセット・バイナリ・コード (BOB)、相補的なオフセット・バイナリ (COB)、相補的なストレート・バイナリ・コード (CSB)、相補的な2の補数 (CTC) コード、ユニポーラ・ストレート・バイナリ・コード (USB) を参照してください。

101. 出力ホールド時間 (Output Hold-time)

コンバータの出力データが有効である時間の長さです。

102. オーバーレンジ・リカバリー (アウトオブレンジ・リカバリー、オーバーボルトテージ・リカバリー) (Overrange Recovery, out-of-range recovery, over voltage recovery)

範囲超過回復時間は、アナログ入力信号が絶対入力範囲を超えてから指定の入力範囲に復帰した後、コンバータが所定の精度で変換を行うために必要な時間です。

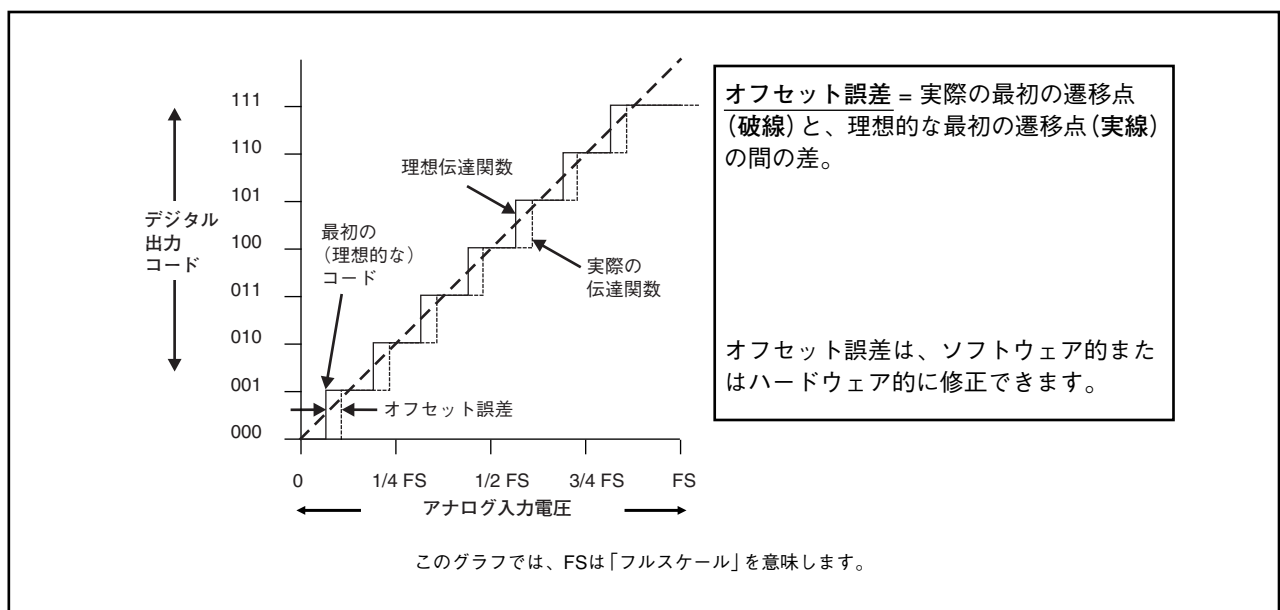


図16. ユニポーラのオフセット誤差

103. オーバーサンプリング(Oversampling)

オーバーサンプリング・コンバータでは、A/Dコンバータのサンプリング・レートは変換されるアナログ周波数の帯域幅よりもずっと高い周波数になります。ナイキスト周波数 f_{NYQUIST} は、次の式で表されます。

$$f_{\text{NYQUIST}} > 2 \times f_{\text{SIGNAL}}$$

ここで f_{SIGNAL} は、入力信号に含まれる、最も高い関心対象周波数です。オーバーサンプリングを使用するメリットは、通過帯域内に含まれる量子化ノイズが低減されることと、関心対象の帯域から高調波が除去されることです。オーバーサンプリング・レートを2増加させると、理論的にはSNRが3dB向上します。オーバーサンプリング技術を使用することにより、アンチエイリアシング・フィルタの設計が容易になります。(「ナイキスト定理」も参照してください。)

104. 通過帯域 (Passband)

アナログ・フィルタでは、DCからアナログ・カットオフ周波数までの周波数を「通過帯域領域」として定義されます。通過帯域のレスポンスの振幅は、図17に示すように「 A_{PASS} 」と定義されます。アナログ・バターワースまたはベッセル・フィルタを設計する場合がそうであるように、通過帯域のレスポンスはリップルがなく平坦であることもあります。逆に、チェビシェフ・フィルタにはカットオフ周波数までリップルがあります。あるフィルタのリップル誤差の振幅は、 ϵ と定義されます。

105. パラレル・インターフェイス (Parallel Interface)

パラレル・インターフェイスを使用したA/Dコンバータでは、複数のビットを同時に転送できます。A/Dコンバータのインターフェイスにはもうひとつ、「シリアル・インターフェイス」があります。

106. 位相ノイズ (Phase Noise)

位相ノイズは、あるクロックまたは入力信号の短期かつランダムな周波数変動或いは時間に基づくジッタを記述します。周波数安定性は、任意の時間が経過する間、発振器が同じ値の周波数をどのくらい持続するかの基準です。位相ノイズは、信号の振幅が不変のまま周波数の位相角の変化として測定されます。スペクトラム・アナライザで観測すると、振幅と位相ノイズが、搬送波の両側にある側波帯ノイズのように見えます。位相ノイズ仕様はしばしば「単側波帯ノイズ」と呼ばれます。ほとんどの位相ノイズ測定方法では、両方の側波帯を折り返します。位相ノイズが増加するとSNRが小さくなるために、コンバータのパフォーマンス全体が劣化します。

107. 位相非線形性 (Phase Nonlinearity)

周波数の関数としてのリニア位相レスポンスからの、位相レスポンスの偏差です。

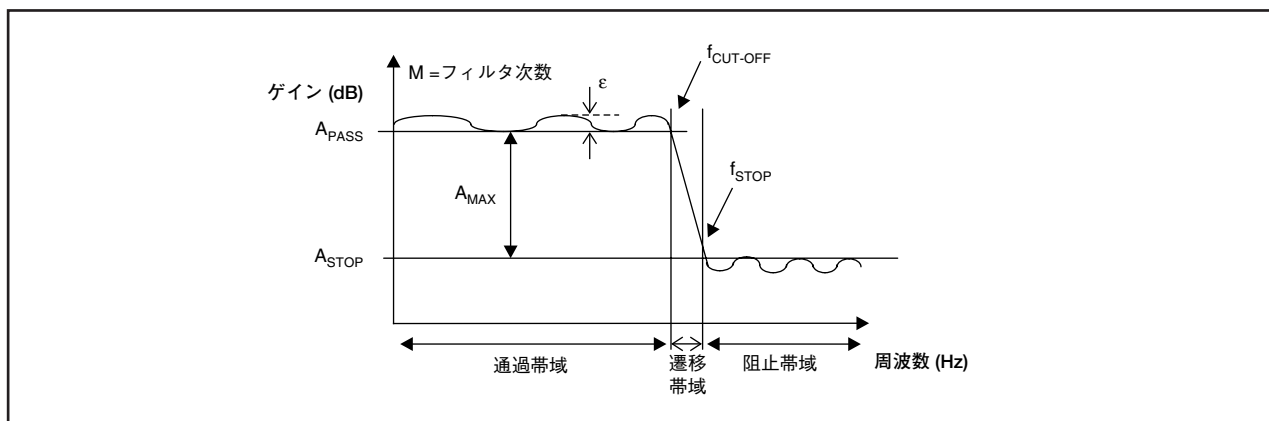


図17. アナログ・フィルタの主な設計パラメータ

108. パイプライン型コンバータ (Pipeline Converter)

パイプラインA/Dコンバータは、いくつもの連続したセグメントからなります。各セグメントは、他のセグメントと同時に動作を実行できます(図18参照)。セグメントの機能は互いに似ており、1ビットか2ビットのみを分解します。各セグメントには、サンプルホールドと、低分解能フラッシュA/Dコンバータ、ゲイン供給のための段間アンプの付いた加算ステージを備えています。段1では入力電圧のサンプルを取りこみ、最初の粗い変換を行います。その結果、MSBとそのデジタル値が1番目のラッチに供給されます。あるセグメントで動作が完了すると、そのセグメントはアナログの差分を次のセグメントに送ります。1番目の段の残りが後続のn段で分解されると、MSB値はn段のラッチを経由して、最終段の最後の変換と合うようにします。

図18に示すように、セグメント数は分解能のビット数に似ていることがよくあります。各段の出力は、出力ラッチのところで結合されます。次に、すべてのデータ・ビットが出力でラッチされ、パラレル・データ・バス上で使用可能になります。この処理は、いくつかのクロック・サイクルのデータ・レイテンシ(図1参照)という結果になります。(個別の製品のデータシートもご覧ください。)

109. パイプライン遅延(待ち時間) (Pipeline Delay, Latency)

「待ち時間、パイプライン」を参照してください。

110. 消費電力(Power Dissipation)

A/Dコンバータが、サンプリング周波数と静止電流の関数として消費する電力の量です。この値は、消費電力を重視するアプリケーションや、その環境(バッテリー動作電源回路、極端な温度条件、および/またはスペース制限など)で重要な仕様となります。

111. パワーダウン、ハードウェア (Power Down, hardware)

A/Dコンバータの電源ピン(power pin)に印加される電圧は、除去されるか、0Vに等しくされます。

112. パワーダウン、ソフトウェア (Power Down, software)

ソフトウェアのパワーダウンを発生させるために、A/Dコンバータによっては、通常動作時に流れる電流よりも低い値の静止電流にまでコンバータをパワーダウンさせる、レジスタ・オプションを持つものがあります。

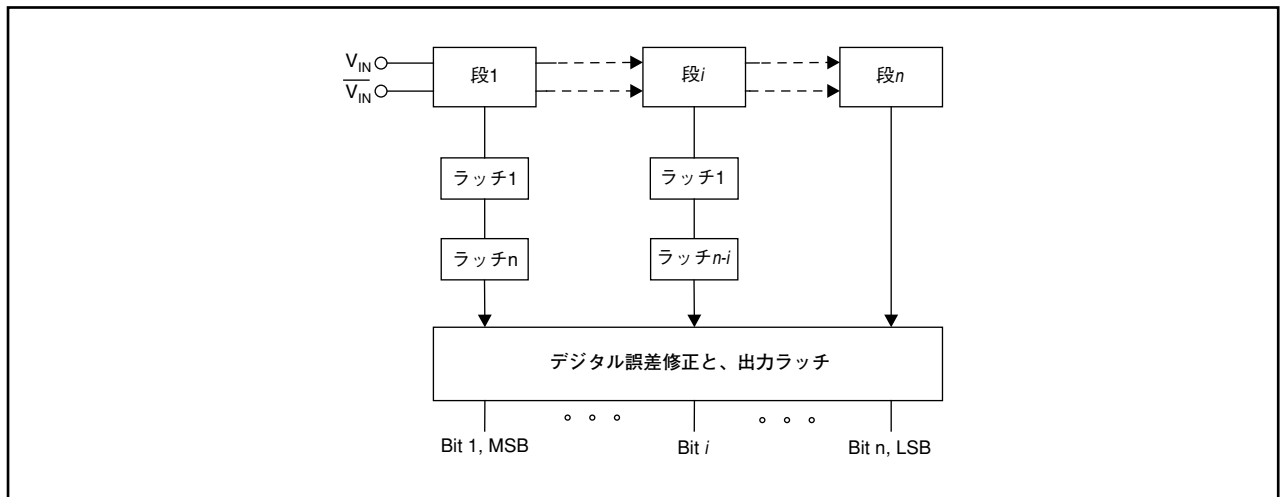


図18. パイプライン型A/Dコンバータのトポロジー

113. 電源除去比 (PSRR : Power Supply Rejection ratio)

電源電圧の変化に対する、その結果として生じるビット変化の変化率です。この仕様は、dBまたは $\mu\text{V}/\text{V}$ で表されます。

113-1. DC電源除去比 (DC PSRR or PSRR : DC Power-Supply Rejection ratio)

DC PSRRは、電源電圧のDC変化に対する、(入力電圧に換算した)出力コードの変化率です。

113-2. AC電源除去比 (AC PSRR : AC Power-Supply Rejection Ratio)

AC PSRRは、FFTプロットで表現された、その周波数での正の電源ピン上で印加されたAC電力に関する、出力スペクトル電力比です。電源上のAC入力の振幅は、 100mV_{PP} よりも低い値に制限する必要があります。この仕様の単位はdBです。

114. プログラマブル・ゲイン・アンプ (PGA : Programmable Gain Amplifier)

デジタル的にプログラムされたゲインを持つアナログ・アンプです。

115. 量子化 (Quantization)

連続したアナログ入力値を、互いに重複しないサブレンジに分割することです。各サブレンジは、A/Dコンバータの出力での一意の離散値になります。この仕様は、コンバータSNRの理論上の限界を設定します。「[信号対ノイズ比]」も参照してください。

116. 量子化ノイズ (Quantization Noise)

入力信号を離散したパケツに分けた結果、A/Dコンバータによって生成されるノイズです。このパケツの理想的な幅は、コンバータのLSBサイズと同じです。どのA/Dコンバータ・ビットでも、不確実性は $\pm 1/2\text{LSB}$ になります。この特性を持つのは、Differential Non-Linearity (DNL) 誤差のない完璧なコンバータです。この誤差のレスポンスがアナログ入力信号全体で三角波 (triangular) になると仮定すると、三角波の信号のrms値は、 $\sqrt{3}$ で割った信号の大きさと等価になります。

$$\text{量子化ノイズ(rms)} = \frac{\pm(\text{LSB})}{\sqrt{3}} = \frac{q}{\sqrt{12}}$$

117. レシオメトリック動作 (Ratiometric Operation)

この用語は、コンバータがセンサ等の信号源の駆動に使用すると同じ基準電圧を使用する環境を説明しています。これらの条件下では、出力コードは基準電圧の信号源に対する比率の関数であり、基準電圧の値そのものとは無関係です。

118. データ・レコード (Record of Data) :

連続的な方法でA/Dコンバータから取得した、サンプルの集合です。

119. 分解能 (Resolution)

コンバータの一般的なパフォーマンスを説明する場合に、A/Dコンバータが一回の変換で生成できる可能な出力ビット数を分解能といいます。分解能はまた、1LSBの変化に対応する最小アナログ増分 (インクリメント) です。この重要な仕様により、分解可能な最小アナログ入力信号が決定されます。

120. 立ち上がり時間 (Rise Time)

信号が、遷移範囲の10%から90%にまで上昇するために必要な時間です。

121. 実効値、二乗平均平方根 (rms : Root-mean-square)

実効値 (RMS) は、データ・レコードからの標準偏差の数学的な項です。

rmsの計算は、二乗された値の算術平均の平方根 (データと平均の差) と同じです。

122. 二乗和平方根 (rss : Root-sum-square)

任意のデータ・セットの、平方和の平方根です。

123. サンプリング (Sampling)

連続的な時間信号に対して離散的な時間値を割り当てることです。

124. サンプルホールド回路 (Sample-and-Hold, S&H)

サンプルホールド回路にはアナログ・スイッチ制御の入力があります。この入力、スイッチがオンである短い間にアナログ入力電圧をサンプリングした後、捕捉 (ホールド) する機能を備えています。

125. サンプリング時間 (Sampling Time)

指定されたレベルの精度でアナログ入力信号をサンプリングするために必要な時間です。「アキュイジション時間」も参照してください。

126. サンプリング・レート (Sample Rate)

コンバータが複数回連続して変換を行うことのできる速度です。この重要な仕様により、アナログ入力信号の最大許容帯域幅が決定されます。通常は、サンプル数/秒 (sps) またはヘルツ (Hz) で指定されます。(「変換最大レート」も参照してください。)

127. SARコンバータ (SAR (Successive Approximation Register) A/D Converter)

「SAR」は、「逐次比較型レジスタを使用した (Successive Approximation Register)」の略語です。最近の設計では、SAR型A/Dコンバータのトポロジーとして従来のR-2R型ラダー・アーキテクチャではなく容量再分配型アプローチを使用することにより、ビット数を増やしています。図19を参照してください。

容量再分配型SARコンバータでは、アナログ入力でキャパシタ・アレイを使用します。キャパシタ・アレイとその他のデバイスはひとつのCMOSプロセス内に作成することができ、マイクロコントローラやマイクロプロセッサとの統合が容易になります。(図19に示すように) このトポロジーでは、入力信号をサンプリング・キャパシタの下側に接続することにより、最初のアナログ入力電圧がサンプリングされます。

この接続とサンプリングは、サンプリング・スイッチ S_S を使用して行われます。サンプリング・キャパシタのもう一方の端は基準電圧に接続されています。アナログ入力電圧側からキャパシタが一度フル充電されると、コンバータ内部のキャパシタ・アレイは電圧基準同様、入力信号からも切断されます。

入力信号がコンバータの内部キャパシタ・アレイ側にサンプリングされてしまうと、MSBキャパシタの下側は基準電

圧に接続されますが、他のキャパシタはシステムのグラウンドにつながっています。このアクションにより、MSBキャパシタ側からの電荷は他のキャパシタ間で分配されます。コンパレータのコンパレータ入力の電圧は、電荷分配の方法によって上がったり下がったりします。キャパシタ・アレイ全体のこの電圧がコンパレータの基準電圧よりも高い場合、ゼロに等しいMSBが生成され、MSBキャパシタが V_{REF} につながれたままになります。この電圧がコンパレータの基準電圧よりも低ければ、1に等しいMSBビットが生成され、MSBキャパシタがグラウンドに接続されます。

MSBの値が決まると、コンバータはMSB-1の値を計算します。このプロセスは、他のキャパシタをグラウンドにつなげておく一方で、MSB-1のキャパシタを電圧基準に接続することにより行われます。ここでもう一度コンパレータにより、この電圧と内部電圧基準との比較が行われます。この解析では、この電圧がコンパレータの基準電圧よりも大きければ、ゼロに等しいMSB-1が生成され、MSB-1キャパシタは V_{REF} につながれたままになります。この電圧がコンパレータの基準電圧より低ければ、1に等しいMSB-1ビットが生成され、MSB-1キャパシタはグラウンドに接続されます。このプロセスは、キャパシタ・アレイ全体が使用されるまで繰り返されます。

SAR設計で任意に選択できる周辺的な要素としては、内部基準電圧、基準電圧バッファ、クロックがあります。SARコンバータの中には、内部基準電圧を持つものもあります(図19参照)。このようなコンバータを使用していると、より高い精度が要求される場合に、外部基準電圧も必要になる可能性があります。基準電圧バッファがオプション扱いのSARコンバータもあります。SARコンバータに内部基準電圧バッファが付いていない場合には、外部バッファを使用することが強く推奨されます。

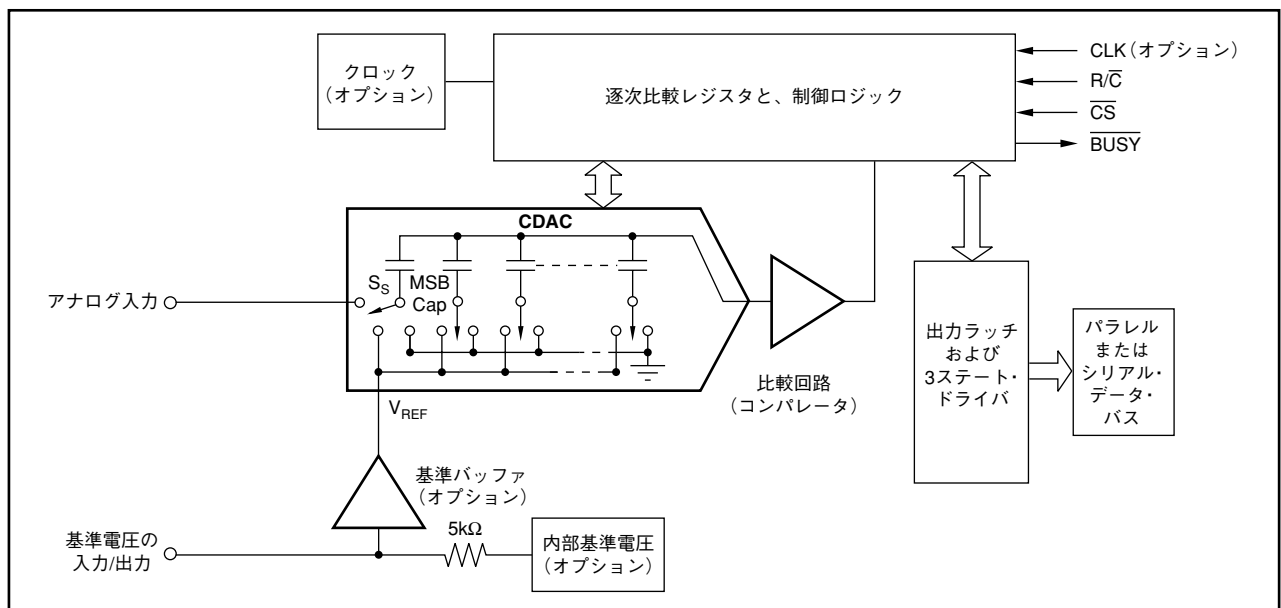


図19. 逐次比較 (SAR) 型A/Dコンバータのブロック図

128. 2次高調波 (Second Harmonic) (HD2)

2次高調波は、基本周波数の2倍となります。

129. セトリング時間 (デルタ-シグマ型 A/Dコンバータの場合) (Settling Time)

デルタ-シグマ型A/Dコンバータでのデジタル・フィルタのセトリング時間は、コンバータ内部のデジタル・フィルタの次数 (order) を反映しています。この時間はサイクルで表され、信号がフィルタ全体に伝播するのに必要な変換の回数と等価です。セトリング時間が、考慮を必要とする問題になる可能性があるのは、起動後や、入力マルチプレクサでチャンネルを切り替える場合や、入力ステップ応答後や、長い待機時間の後でコンバータを再起動する場合などです。

130. 信号対ノイズ比 (SNR : Signal-to-Noise Ratio)

信号対ノイズ比は、サンプリング周波数の1/2より下のノイズ電力に対する、AC信号電力の比率を表すrms値を計算したものです。高調波信号やDCは、ノイズ電力には入りません。

フルスケールのサイン波をADコンバータに入力した場合の理想的なSNRは、SARおよびパイプラインコンバータの場合には6.02n+1.76dBになります。SNRは、フルスケールの入力範囲 (dBFSまたはdB) に関して、または実際の入力信号振幅 (dBc) に関して指定できます。

$SNR(dB) = 10 \log_{10} \frac{P_S}{P_N}$ ここでは、 P_S は信号電力、 P_N はノイズ電力です。また、次の式も使用できます。

$SNR(dB) = 10 \log_{10} \frac{\text{rms signal}}{\text{rms noise}}$ または

$$SNR(dB)_{ideal} = 10 \log_{10} \left(\frac{(2^{(n-1)}) \cdot \frac{q}{\sqrt{2}}}{\frac{q}{\sqrt{12}}} \right) = 6.02n + 1.76(dB)$$

ここで、

- q = LSBのサイズ

デルタ-シグマ型コンバータにとって理想的なSNRは、6.02n + 1.76dB + 10log10 ($f_S / (2BW)$) です。ここで、 f_S はコンバータのサンプリング周波数、BWは関心対象の最大周波数です。

他の動的仕様 (AC仕様) には、信号対ノイズ比+歪み (SINADまたはSNR+D)、有効ビット数 (ENOB)、総合高調波歪み (THD)、スプリアス・フリー・ダイナミック・レンジ (SFDR)、相互変調歪み (IMD)、およびFull-power Bandwidth (FPBW) などがあります。 ([QuantizationNoise] も参照してください)

131. 信号対 (ノイズ比+ 歪み) (SINAD、SNR+D) (全高調波歪み+ノイズ (Total Harmonic distortion plus Noise))

SINADは、SNRと全高調波歪み (THD) の組み合わせを計算したものです。SINADは、基本波入力信号のrms振幅の、(DCを除く) サンプリング周波数の1/2より低い他のすべてのスペクトル成分のrms合計に対する比率です。SINADの理論上の最小値はSNRの理想値に等しくなり、SARコンバータとパイプライン・コンバータでは6.02n + 1.76dB、デルタ-シグマ型コンバータでは6.02n + 1.76dB + 10log10 ($f_S / (2BW)$) になります。ここで、 f_S はコンバータのサンプリング周波数、BWは関心対象の最大周波数です。

$$SINAD = -20 \log_{10} \sqrt{(10^{-SNR/10} + 10^{+THD/10})}$$
 または

$$SINAD = 10 \log_{10} \left(\frac{P_S}{P_N + P_D} \right)$$

ここで、

- P_S は基本信号電力です。
- P_N はすべてのノイズ・スペクトル成分の電力です。
- P_D はすべての歪みスペクトル成分の電力です。

SINADは、基本波の絶対電力が基準として使用される場合はdBc (搬送波に対するデシベル) 単位、また基本波の電力がコンバータのフルスケール範囲に外挿される場合はdBFS (フルスケールに対するデシベル) 単位で表されます。SINADが仕様として重要になるアプリケーションとしては、デジタル・オシロスコープ/波形レコーダ、地球物理学用、画像処理用、レーダー、ソナー、スペクトル分析、映像、電気通信、広帯域デジタル受信機などがあります。他の動的つまりAC仕様には、信号対ノイズ比 (SNR)、有効ビット数 (ENOB)、全高調波歪み (THD)、相互変調歪みなどがあります。

132. 小信号 (Small Signal)

ピーク・ツー・ピーク振幅が、A/Dコンバータの入力範囲全体の10%以下にしかならない電圧入力信号です。

133. スプリアス・フリー・ダイナミック・レンジ (Spurious Free Dynamic Range) (SFDR)

FFTプロット上での、基本入力信号から最悪(最高)のスプリアスまでの、dB単位の距離です。SFDRは、フルスケール入力範囲(dBFSまたはdB単位)に関して、または実際の入力信号振幅(dBc単位)に関して指定できます。(図10を参照してください)

SFDRは、電気通信と映像のアプリケーションで重要な仕様となります。他の動的(AC)仕様としては、信号対ノイズ比(SNR)、信号対ノイズ比+歪み(SINADまたはSNR+D)、有効ビット数(ENOB)、全高調波歪み(THD)、相互変調歪み(IMD)、フルパワー帯域幅(FPBW)などがあります。

134. 静的仕様 (Static Specifications)

静的仕様は、DC信号入力に関連するA/Dコンバータの仕様です。これらの仕様は通常、オフセット誤差、ゲイン誤差、DNL、INL、TUEなどになります。

135. ステップ応答 (Step Response)

入力電圧が最低から最高に上がった後(またはその逆が起こった後)、出力デジタル結果がコンバータの定格精度を反映するために必要な時間です。

136. シリアル・ペリフェラル・インターフェイス (SPI : Serial Peripheral Interface)

「デジタル・インターフェイスSPI」を参照してください。

137. 逐次比較型コンバータ (SAR) (Successive Approximation Register Converter)

「SARコンバータ」を参照してください。

138. 同期サンプリング (Synchronous Sampling)

入力信号の位相が、他の信号サンプリング、および/またはA/Dコンバータのサンプリングに対して同期される(ロックされる)タイプのサンプリングのことです。

139. 温度、仕様範囲 (Temperature, Specified)

電氣的仕様が当てはまる温度範囲です。指定された温度範囲を超える状態でデバイスが使用された場合は、標準値も最大値も最小値も当てはまらなくなります。

140. 温度、保管 (Temperature, Storage)

保管条件を制限する温度範囲です。デバイスが定格の保管温度を超えた温度で格納された場合、デバイスへのダメージが発生する可能性があります。

141. 温度、ジャンクション (Temperature, Junction)

最大許容ジャンクション温度です。このジャンクション温度を超えた場合、デバイスの動作が停止し、ダメージが発生するおそれがあります。

142. 温度、動作 (Temperature, Operating)

製品が継続的に動作することが可能な温度範囲の限界ですが、必ずしも仕様どおりである必要はありません。

143. サーマル・ノイズ (Thermal Noise)

抵抗器によって生成されるノイズです。理想的なサーマル・ノイズは、次の式で求められます。

$$\text{サーマル抵抗ノイズ} = \sqrt{4kTRB}$$

ここで、

- k = ボルツマン定数
- T = ケルビン温度
- B = 帯域幅

144. 熱抵抗 (Thermal Impedance)

熱抵抗は、部品やデバイスが熱を消散する機能を数値で表します。電子工学的には、この熱は通常デバイスの電力によって生成されます。部品の温度は全体的なサーマル・インピーダンスにより上昇しますが、これはデバイスで消散される電力に線的に依存します。

係数は θ と呼ばれ、 $^{\circ}\text{C}/\text{W}$ 単位で表します。

145. 3次高調波 (Third Harmonic) (HD3)

3次高調波は、基本周波数の3倍です。

146. スループット・レート (Throughput rate)

スループット・レートは、スループット時間の逆数です。

147. スループット時間 (Throughput Time)

コンバータがサンプリングを行い、取得し、デジタル化し、次の変換を準備するのに必要な時間。この時間は、連続変換アプリケーションにおける最小変換時間でもあります。

148. タイミング・ジッタ (Timing Jitter)

アパーチャ・ジッタを参照してください。

149. タイミング・フェーズ・ノイズ (Timing Phase Noise)

アパーチャ・ジッタを参照してください。

150. 全高調波歪み (THD : Total Harmonics Distortion)

入力信号電力に対する、各高調波成分(スプリアス)の電力のrms合計の比です。この比率は、rmsデシベル(dB)単位またはrms dBc単位で指定されます。THDを記述する公式は次の通りです。

$$THD_{RMS} = 20 \log_{10} \sqrt{(10^{HD2/20})^2 + (10^{HD3/20})^2 + (10^{HD4/20})^2}$$

または $THD_{RMS} = \frac{P_S}{P_D}$

ここで、

- P_S = 一次高調波(信号電力)の電力
- P_D = 最初に指定された高調波の電力
- HD2 = 2次高調波の振幅

A/Dコンバータに著しいINL誤差が存在する場合は、THDに現れるのが普通です。THDはたいいていフルスケールに近い入力信号で指定されます。図20を参照してください。

THDは、基本波の絶対powerが基準として使用される場合はdBc(搬送波に対するデシベル)単位、また基本波のpowerがコンバータのフルスケール範囲に外挿される場合はdBFS(フルスケールに対するデシベル)単位で表されます。THDは、地球物理学用のアプリケーションで重要となります。

他の動的(AC)仕様には、信号対ノイズ比(SNR)、信号対ノイズ比+歪み(SINADまたはSNR+D)、有効ビット数(ENOB)、スプリアス・フリー・ダイナミック・レンジ(SFDR)、相互変調歪み(IMD)、フルパワー帯域幅(FPBW)などがあります。

151. 全高調波歪み+ノイズ (Total Harmonic distortion plus Noise)

「信号 対 ノイズ比+歪み」を参照してください。

152. 総合未調整誤差 (TUE : Total Unadjusted Error)

TUEは、デジタル・コードの偏差全体を決定するDC仕様です。デジタル・コードの値は理想値とは異なるためです。この誤差の計算には、次のようにオフセット誤差、ゲイン誤差、ノンリニアリティ誤差が含まれます。

$$TUE = \text{OFFSET} + \text{GAIN} + \text{INL} + \text{DNL}$$

153. 伝達関数(伝達曲線)(Transfer Function (transfer curve))

A/Dコンバータでの、アナログ入力値と比較した平均デジタル出力コードの表現。(図9を参照してください)

154. 遷移点(Transition Point)

デジタル出力があるコードから次のコードに切り替わる際の、アナログ入力電圧。(図9を参照してください)

155. 遷移ノイズ(Transition Noise)

「コード遷移点」および「不確実性」を参照。

156. 2トーン相互変調歪み (Two-Tone Intermodulation Distortion)

「相互変調歪み(IMD)」を参照してください。

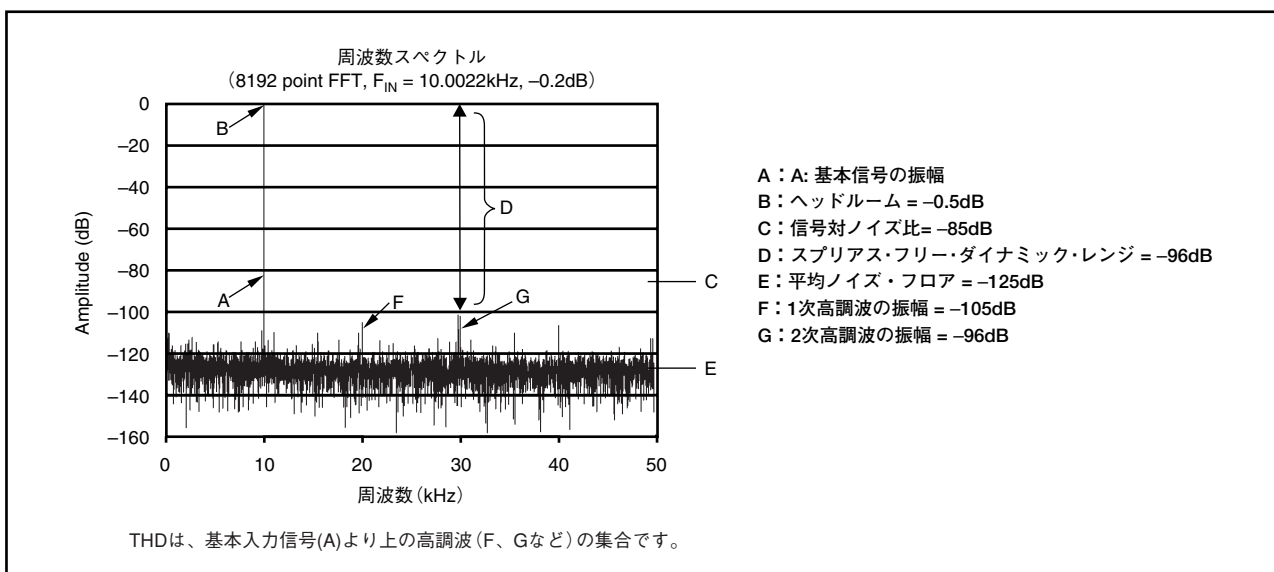


図20. 総合高調波歪みのFFTプロット

157. アンダーサンプリング (Undersampling)

アンダーサンプリング・システムでは、A/Dコンバータのサンプリング・レートは入力周波数よりも低いため、低い方の周波数でエイリアシングが発生します。アンダーサンプリング回路を使用すると、関心対象の信号の帯域幅 (Δf_{SIG}) の中心は次に示すように、コンバータのサンプリング周波数 (f_{SAMPLE}) よりも高い周波数に置かれます。

$$f_{SAMPLE} > 2 (\Delta f_{SIG})$$

Δf_{SIG} は、システムでアンチエイリアシング・フィルタのような働きをするアナログ・バンドパス・フィルタによって制限されます。A/Dコンバータの入力の、サンプル・アンド・ホールド (またはトラック・アンド・ホールド) 関数の帯域幅には、これらの高周波信号を処理する能力が備わっている必要があります。

158. 不確実性 (Uncertainty)

「コード遷移」と「ノイズ」を参照してください。

159. ユニポーラ・オフセット (Unipolar Offset)

159-1. ユニポーラ・オフセット誤差 (~Error)

「オフセット誤差」を参照してください。

159-2. ユニポーラ・オフセット・ドリフト (~Drift)

「オフセット誤差」を参照してください。

160. ユニポーラ・ゲイン (Unipolar Gain)

160-1. ユニポーラ・ゲイン誤差 (~Error)

「ゲイン誤差」を参照してください。

160-2. ユニポーラ・ゲイン・ドリフト (~Drift)

「ゲイン誤差」を参照してください。

161. ユニポーラ・ストレート・バイナリ・コード (USB : Unipolar Straight Binary Code)

最も低い入力電圧を使用すると、デジタル・カウントはオールゼロで始まり、フルスケール入力でもオール1になるまで連続的にカウント・アップしていきます。ストレート・バイナリは、ユニポーラ電圧専用のデジタル・コーディング・スキームです。0Vの表現は、デジタル値0000 (4ビット・システムの場合) と同じです。アナログ・フルスケールの1LSBのデジタル表現は、(1111)です。このコードを使用した場合、アナログ・フルスケールのデジタル表現はありません。表7を参照してください。

162. 基準電圧 (アナログ電圧基準) (Voltage Reference (Analog Voltage Reference))

基準電圧は、アナログ入力範囲を設定します。特定デバイスの実際のアナログ入力範囲については、製品のデータシートを参照してください。この電圧の電源は、A/Dコンバータの内部からでも外部からでも取れます。

163. 基準誤差 (Reference Error)

基準誤差は、実際の基準電圧 ($V_{REFP} - V_{REFM}$) の変化量、または理想値からの V_{REF} の変化量です。基準誤差は通常、パーセント又は絶対数値で表されます。

164. ゼロスケール誤差 (ゼロコード誤差) (Zero-Scale Error (zero-code error))

「オフセット誤差 (ユニポーラ)」を参照してください。

ニーモニック (簡略形)	デジタル・コード	V_{TR-}	V_{CODE}	V_{TR+}
Zero	0000	—	0.000	0.3125
+1V _{LSB}	0001	0.3125	0.625	0.9375
	0010	0.9375	1.250	1.5625
	0011	1.5625	1.875	2.1875
1/4 FSR	0100	2.1875	2.500	2.8125
	0101	2.8125	3.125	3.4375
	0110 0111	3.4375 4.0625	3.750 4.375	4.0625 4.6875
1/2 FSR	1000	4.6875	5.000	5.3125
	1001	5.3125	5.625	5.9375
	1010 1011	5.9375 6.5625	6.250 6.875	6.5625 7.1875
3/4 FSR	1100	7.1875	7.500	7.8125
	1101	7.8125	8.125	8.4375
	1110	8.4375	8.750	9.0625
+FS	1111	9.0625	9.375	—

表7. ユニポーラ・ストレート・バイナリ・コード (1) (2)

(1) ストレート・バイナリとも呼ばれます。FS = 10V

(2) V_{TR-} = Low (低い方) のコード遷移電圧、 V_{TR+} = High (高い方) のコード遷移電圧、

$V_{CODE} = (\text{デジタル・コード})_{10} \times V_{LSB}$ 、 $V_{TR+} = V_{CODE} + (1/2) V_{LSB}$ 、 $V_{TR-} = V_{CODE} - (1/2) V_{LSB}$

参考文献

The following documents are available for download through the Texas Instruments web site (www.ti.com), except where noted.

- Albanus, J. (2000.). Coding schemes used with data converters. Application report SBAA042.
- Anonymous. (1995.) Understanding data converters. Application report SLAA013.
- Baker, B. (2005.). A Baker's Dozen: Real analog solutions for digital designers. Burlington, MA: Elsevier/Newnes.
- Institute of Electrical and Electronics Engineers, Inc. (2001.). IEEE STD-1241-2000: IEEE Standard for Terminology and Test Methods for analog-to-digital converters. Available at IEEE.org.
- Oljaca, M. and Hendrick, T. (2004.). Data converters for industrial power measurement. Application report SBAA117.

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上