

TMS320C6455 ハードウェア設計におけるSerial Rapid I/O PCBレイアウトの実装

アプリケーション技術統括部

アブストラクト

この文書には、TMS320C6455に搭載されているSerial Rapid I/O (SRIO) インターフェイス用の実装方法の説明が含まれています。SRIOインターフェイスに対するタイミング規定と物理的に要求されるアプローチは、他のインターフェイスにおける以前のアプローチと比べて実に困難なものです。

Serial Rapid I/Oは、業界標準の高速スイッチ・パケット相互接続インターフェイスです。物理層のデータ通信には、低出力振幅差動CMLバッファによるアナログのシリアライザ/デシリアライザ(SERDES)を利用しています。このインターフェイスの適切なプリント基板(PCB)設計はアナログやRF設計と共通点があり、従来のパラレル・デジタル・バス設計に比べて大きく異なります。

SRIOは特殊な性質を持ったアナログあるため、これまでのDSPデジタル・インターフェイス方法でインターフェイスを規定することは困難になります。その上、SRIOの仕様に従って設計されたそのままの物理的な要求に関して、インターフェイスを規定することは望ましくありません。SRIOの仕様を理解し、貴重な時間や経験、高価なツールを要して、明示的かつ黙示的な要求に基づいた準拠したPCBを実現することになります。

TMS320C6455 SRIOインターフェイスにおいては、一連の分かりやすいPCB配線ルールによる仕様を緩和するアプローチを取っています。TIは、SRIOインターフェイスの仕様を満たすようにシミュレーションやシステム設計作業を行なっています。この文書では、SRIO実装内容について述べています。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

目次

1	前提条件.....	3
2	C6455 Serial Rapid I/Oサポート・デバイス.....	3
3	Serial Rapid I/Oハードウェア設計ファイルの説明.....	3
4	PCB配線ルール.....	3
4.1	最小PCB層構成 (スタックアップ).....	3
4.2	一般的なトレース/スペースとビア・サイズ.....	4
4.3	Serial RapidIO インターフェイス配線要求事項.....	4
4.4	電源供給要求.....	8
5	デバイス設定.....	9
5.1	受信チャンネル設定.....	9
5.2	送信チャンネル設定.....	9
6	参考文献.....	10

図

図 1.	受信端 BGA引き出し.....	5
図 2.	送信端 BGA引き出し.....	6
図 3.	電源プレーン・スプリット.....	8

表

表 1.	SRIOハードウェア設計ファイル.....	3
表 2.	最小PCB層構成.....	3
表 3.	最小トレース幅.....	4
表 4.	SERDES受信チャンネル設定レジスタの設定.....	9
表 5.	SERDES送信チャンネル設定レジスタの設定.....	9

1 前提条件

この文書の目的は、システム・ソリューションを提供することによりお客様のシステム実装をより簡単にすることです。このSerial Rapid I/O (SRIO) インターフェイスにおいて、システム設計者がSRIOやシリアライザ・デシリアライザ(SERDES)・テクノロジー、RF/マイクロ波PCB設計に熟知していることを仮定していませんが、ハイスピードPCBに精通した設計者によってPCB設計作業が管理監督されていることを想定しており、またPCB設計者は確立されたハイスピード設計ルールを使用していると仮定します。

2 C6455 Serial Rapid I/O サポート・デバイス

RapidIOは、業界標準の高速スイッチ・パケット相互接続インターフェイスです。2つのデバイスが共通の物理層仕様に準拠しているならば、RapidIOの仕様において、いかなるデバイスにも接続が可能となります。TI DSPはSerial RapidIO仕様書改訂1.2以降に該当するいかなるSerial RapidIOデバイスの接続をサポートします。

3 Serial Rapid I/O ハードウェア設計ファイルの説明

この文書に含まれるSRIOハードウェア設計ファイルを表 1に示します。

表 1. SRIOハードウェア設計ファイル

ファイル名	説明
DSP_SRIO_Example.brd	PCBレイアウトを含むAllegro15.x 設計データベース・ファイル。このファイルは、Cadence Allegro PCB設計ツールを用いて閲覧と編集が行なえます。バージョン15.x データベースと互換性のあるフリーのAllegroビューアでも閲覧できます。フリー・ビューアは http://www.cadence.com からダウンロードできます。
DSP_SRIO_Example.dsn DSP_SRIO_Example.opj DSP_SRIO_Example.pdf	ORCADデザインやプロジェクト、PDFファイル・フォーマットのリファレンス・デザインSRIO回路図です。これらの回路図には、SRIOインターフェイスの回路が含まれています。

4 PCB 配線ルール

4.1 最小PCB層構成(スタックアップ)

TMS320C6455を配線するための最小PCB層構成は、表 2に示す6層構成になります。

表 2. 最小PCB層構成

層	種類	説明
1	信号	トップ配線
2	プレーン	グラウンド
3	プレーン	分割電源
4	信号	内部配線
5	プレーン	グラウンド
6	信号	ボトム配線

必要に応じて、追加層を加えることは可能です。SRIOトレースにおける全ての層で、差動インピーダンスを100Ωにしなければなりません。

注意事項: 提供されているサンプルボード・ファイルは12層構成になっていますが、SRIOインターフェイスを使用するために、これらの全ての層が必要であるということではありません。

4.2 一般的なトレース/スペースとビア・サイズ

RapidIO信号トレースの最も注意しなければならない点として、差動インピーダンスが100Ωでなければならないことです。この差動インピーダンスは、トレース幅やトレース間隔、プレーン間の距離、誘電物質による影響を受けます。全てのSRIOトレースにおけるトレース形状が厳密に100Ω差動インピーダンス・トレースであることを適切なPCB生成ツールで確認することが必要になります。

次に注意しなければならない点として、トレースによる挿入損失です。表皮効果によって、狭いトレースより幅のあるトレースの損失が小さいことから、より長いSRIO配線では損失を抑えるために幅のあるトレースを用いるべきです。その他の信号を配線するために、幅のあるトレースで100Ω差動インピーダンスに設定される層はあまり望ましいことではありません。SRIO信号配線において、推奨する最小トレース幅を表3に示します。

表 3. 最小トレース幅

最大信号配線	最小トレース幅
10 in / 25 cm	4 mil / .1 mm
20 in / 50 cm	6 mil / .15 mm
30 in / 75 cm	8 mil / .2 mm

C6455サンプルPCBは、4milトレース、4mil最小トレース間隔による配線を行なっています。トップとボトム層で4milトレースの10mil間隔、内部層で4milトレースの5mil間隔で100Ω差動インピーダンスを実現しています。エスケープや一般的なSRIO配線ビアは18milパッドの8milホールになります。マイクロかつもしくはブラインド/埋め込みビアは、要求されているわけでも禁止されているわけでもありません。

*Flip Chip Ball Array Package Reference Guide (SPRU811)*に、C6455デバイスにおけるPCB BGAパッド要求事項が記載されています。C6455は0.8mmボールピッチ・デバイスであるので、ガイドラインの0.8mmの項目を参照してください。SRIOリンクパートナー・デバイスにおけるPCB BGAパッド要求事項は各メーカーのガイドラインに従ってください。

4.3 Serial RapidIO インターフェイス配線要求事項

適切なRapidIOの配線を規定するリファレンス・デザインに用いられるアプローチとして、物理的な接続を3つのコンポーネント: 受信端、送信端、相互接続に分けています。受信端と送信端は接続されるデバイスのパッケージに最も近い部品です。受信端ではBGAパッドからキャパシタに配線し、送信端では単に差動ペア用のBGAエスケープ・パスになります。リファレンス・レイアウトのこれら2つの部品については、ターゲットボードに正確にコピーされた設計が行なわれます。相互接続は受信端と送信端を接続します。ボード配置がサンプルと異なる場合は、直接コピーすることを意図しているわけではありません。

4.3.1 受信端

受信端における配線を図 1に示します。トップ層にBGAパッドからキャパシタパッドへのトレースを行なわなければなりません。キャパシタを隔てて、別層へのビアを推奨します。BGAの引き出しは図に示されるように正確に実装されなければなりません。トレース幅や間隔は、100Ω 差動インピーダンス要求を満たすようにボード層構成を踏まえて変更しなければなりません。必要に応じて、BGAのエスケープ用にトレースを曲げてかまいません。

データ線のACカップリング用に、0402サイズ以下の0.1uFキャパシタを推奨します。

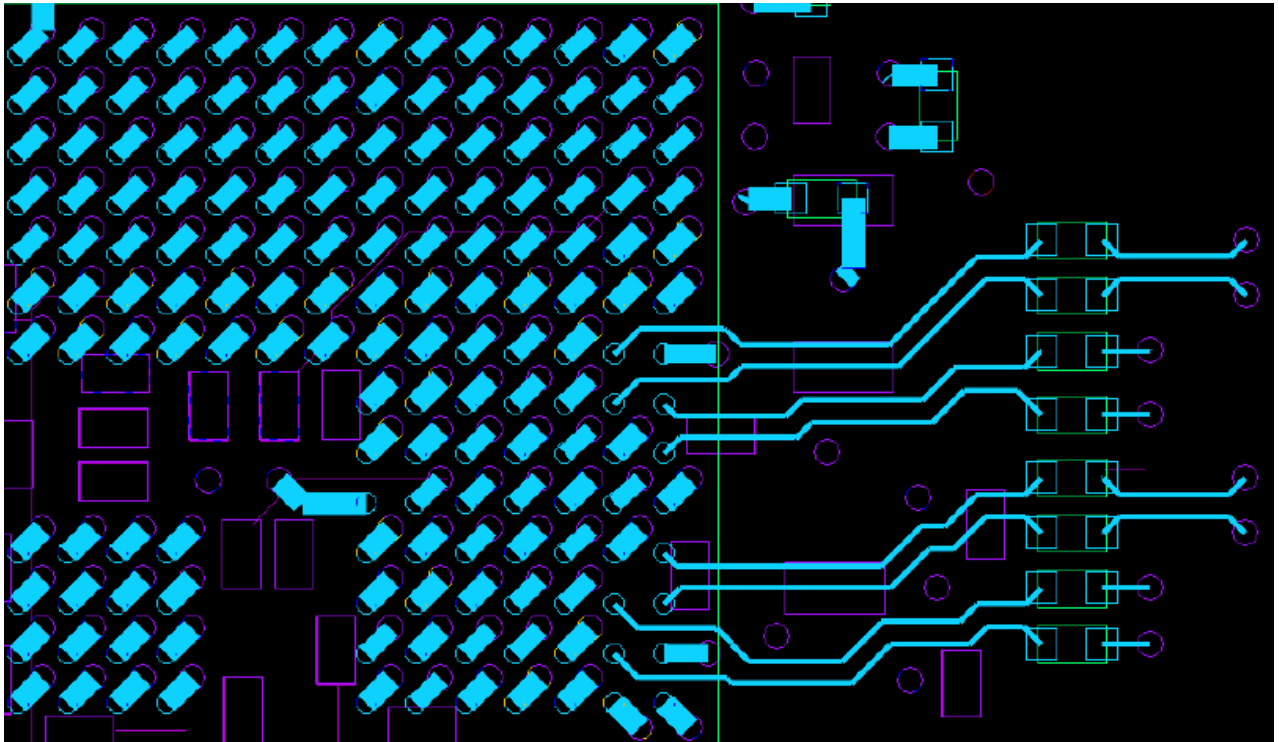


図 1. 受信端 BGA引き出し

4.3.2 送信端

送信端における配線を図 2に示します。このトレースは、トップ層以外の任意の信号層でもかまいません。優れたシールド特性を得るために内部層を用いることを推奨します。BGAの引き出しは図に示されるように正確に実装されなければなりません。トレース幅や間隔は、 100Ω 差動インピーダンス要求を満たすようにボード層構成を踏まえて変更しなければなりません。必要に応じて、BGAのエスケープ用にトレースを曲げてかまいません。

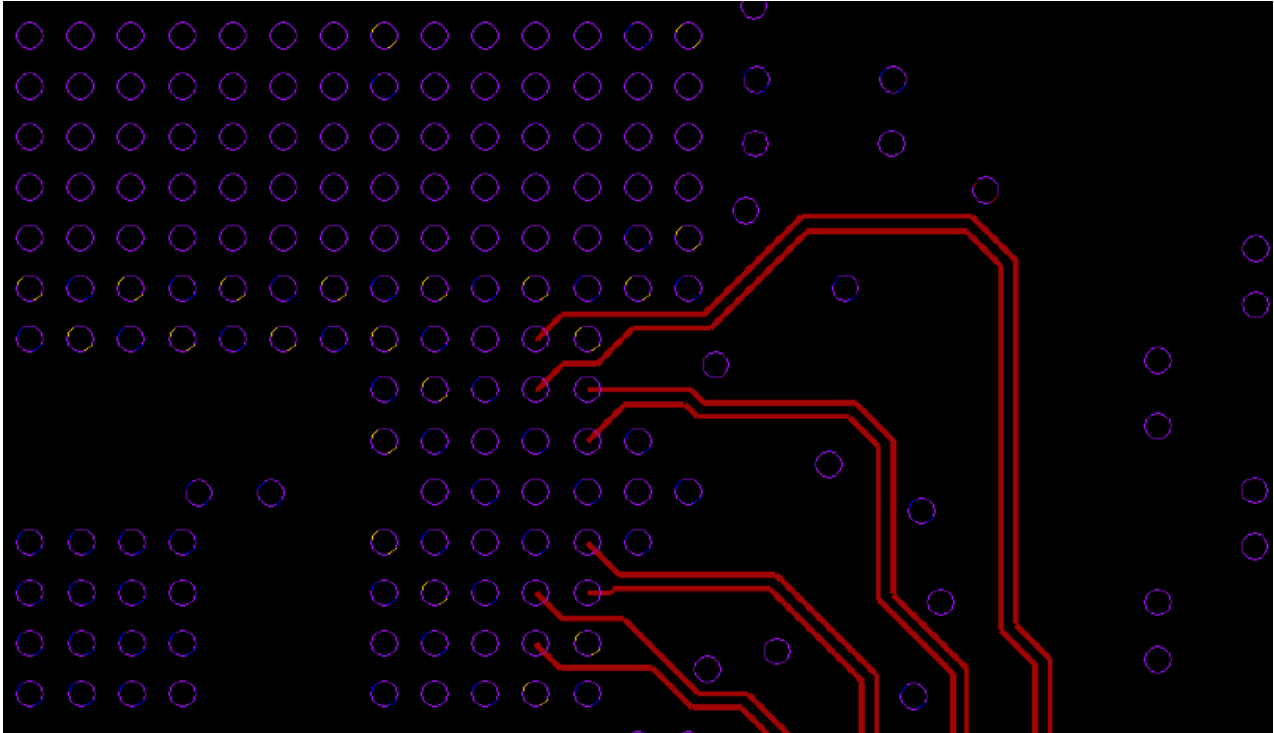


図 2. 送信端 BGA引き出し

4.3.3 相互接続

受信端と送信端をリンクする接続トレースの形状は、ターゲットシステム内の配置で決定されます。そのため、相互接続における綿密なレイアウトを示すことが困難です。その代わりに、下記の要求事項を満たすのであれば、必要に応じてトレースを配置することができます:

- エッジ結合、等長(プラスマイナス50mils)差動ペア
- スタブなし
- 表3に示される 8-mil(.2 mm)幅のトレースで、ピン間隔30インチ(75cm)未満
- 100Ω 差動インピーダンス
- 3ヶ未満のビア(送信端のBGA引き出し用のビアは含まない)
- その他の信号が差動間隔の最低2倍の離れていること
- トップ/ボトム層を避けた内部層での設計条件
- コネクタ使用時、適切な100Ω 差動インピーダンスやハイスピードタイプであり、コネクタペア毎にトレースが1インチ以内であること
- ケーブル使用時、適切な制御インピーダンス・タイプ(100Ω 差動もしくは50Ω シングルエンド)であり、1フィートのケーブル毎にトレースが1インチ以内であること
- 中間バス・プローブ使用時、TIとプローブメーカーの両方のガイドラインに従い、トレースが2インチ以内であること

4.3.4 長さの整合

SRIOペリフェラルを1x モードで使用するのであれば、レーン-to-レーンの長さの整合要求はありません。4xモードで使用する場合は、下記の条件に従ってください:

- デバイスに接続される全てのTXレーンは、長さが互いに +/- 5 inch(12.5cm)でなければなりません。
- デバイスに接続される全てのRXレーンは、長さが互いに +/- 5 inch(12.5cm)でなければなりません。
- TXとRXの長さが同じである必要性はありません。

4.3.5 中間バス・プローブ(オプション)

リンクを経由する転送量を測定するために、中間バス・プローブを使用することができます。プローブが特別な連結ポイントになるため、信号のクオリティが低下してしまいます。中間バス・プローブを含め、下記のルールを遵守してください:

- プローブパッドやレイアウトについて、プローブメーカーのガイドラインに従ってください。
- スタブが250mil (6.35mm) 以下に維持できるのであれば、スタブとしてプローブ・ランドを伝送線路に接続できます。
- スタブが250mil (6.35mm)以下に維持できないのであれば、プローブ・ランドは残りの伝送線路中に接続されなければなりません。

4.3.6 コネクタ(オプション)

いかなるコネクタにおいても、(50Ω シングルエンド、もしくは100Ω 差動)インピーダンスが制御され、マイクロ波伝送に適応していなければなりません。適切なコネクタは一般的に”バックプレーン”タイプに分類されるコネクタになります。コネクタは6GHz帯域以内において、1dB以下の挿入損失でなければなりません。以下に推奨するコネクタを示します:

- CN074 – AMCコネクタ
- Tyco(タイコ) Z-DOK
- Tyco(タイコ) Z-PAK HM Zd

4.3.7 ケーブル(オプション)

いかなるケーブルにおいても、(50Ω シングルエンド、もしくは100Ω 差動)インピーダンスが制御され、マイクロ波伝送に適応していなければなりません。以下に推奨するケーブルのリストを示します:

- 50Ω 同軸ケーブル – 一般的に使用されるSMAコネクタ、1xリンクや16-4xリンクに必要な4つのケーブル
 - RG142
 - RG316
 - RG178
- Infiniband – 1xや4x幅で利用可能なアセンブル・ケーブル

4.4 電源供給要求

SRIOの電源供給やバイパス要求は、*TMS320C6455 Design Guide and Comparisons to TMS320C6416T*([SPRAA89](#))に記載されています。

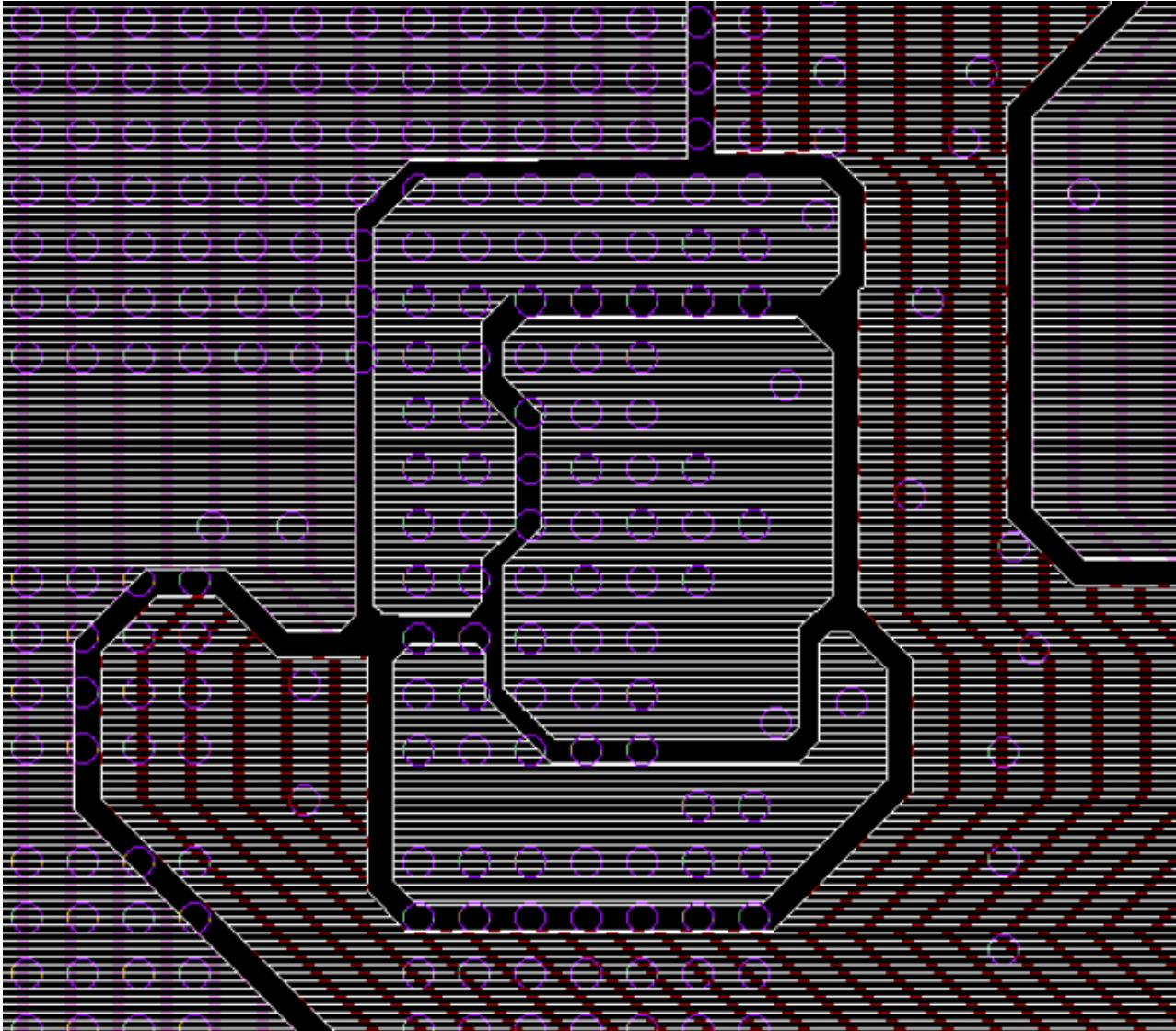


図 3. 電源プレーン・スプリット

5 デバイス設定

いくつかのSERDESレジスタ値は、物理的なPCBによるパラメータに基づいて設定されるべきです。その他のレジスタはPCBに依存しませんが、SRIO電気的特性に基づき設定されるべきです。受信部と送信部で推奨される設定を次のセクションで説明します。これらのレジスタのより詳しい情報は、*TMS320C645x Serial Rapid IO (SRIO) User's Guide (SPRU976)*をご参照ください。

5.1 受信チャンネル設定

SERDES受信チャンネル設定レジスタ(SERDES_CFGRXn_CNTL)にセットされる受信チャンネルの推奨設定を表4に示します。

表 4. SERDES受信チャンネル設定レジスタの設定

ビット	フィールド	設定値	説明
22:19	EQ	0001	完全アダプティブ等価
18:16	CDR	000	一次。SRIOクロック構成には十分(低周波オフセットで非同期)。
15:14	LOS	00	無効。SRIOで使用されていない単一方向の損失。
13:12	ALIGN	01	カンマ・アライメント。SRIOはレーン初期化中にカンマ・アライメントを使用。
10:8	TERM	001	共通ポイントがVDDTの80%。ACカップリング・ライン用において適切な設定。
7	INVPAIR	0	非反転 – TXPがRXP、TXNがRXNに接続されているときに使用。
		1	反転 – TXPがRXN、TXNがRXP ⁽¹⁾ に接続されているときに使用。
6:5	RATE	00	フル – 3.125GHzや2.5GHzラインレート時に使用。
		01	ハーフ – 1.25GHzラインレート時に使用。
4:2	BUS-WIDTH	000	10-bit。SRIOが10-bitキャラクタ・グループを使用。
0	ENRX	0	無効 – 使用されないレーン
		1	有効 – アクティブなレーン

(1) 反転ペアでは、受信部もしくは送信部で極性の反転が可能ですが、両方は行えません。

5.2 送信チャンネル設定

SERDES送信チャンネル設定レジスタ(SERDES_CFGTXn_CNTL)にセットされる送信チャンネルの推奨設定を表5に示します。

表 5. SERDES送信チャンネル設定レジスタの設定

ビット	フィールド	設定	説明
16	ENFTP	1	固定フェーズ。4xモードを要求。1xモードは無関係。
15:12	DE	1000	-4.16dB。最大10インチ(25cm)のライン時に使用。
		1001	-4.86dB。最大14インチ(35cm)のライン時に使用。
		1010	-5.61dB。最大18インチ(45cm)のライン時に使用。
		1011	-6.44dB。最大22インチ(55cm)のライン時に使用。
		1100	-7.35dB。最大26インチ(65cm)のライン時に使用。
		1101	-8.38dB。最大30インチ(75cm)のライン時に使用。
11:9	SWING	100	750mV。最大10インチ(25cm)のライン時に使用。
		101	1000mV。最大20インチ(50cm)のライン時に使用。
		111	1375mV。最大30インチ(75cm)のライン時に使用。
8	CM	1	レイズ・コモン・モード。750mVを超えるSWING振幅における信号歪みを防止するに効果。
7	INVPAIR	0	非反転 – TXPがRXP、TXNがRXNに接続されているときに使用。
		1	反転 – TXPがRXN、TXNがRXP ⁽¹⁾ に接続されているときに使用。
6:5	RATE	00	フル – 3.125GHzや2.5GHzラインレート時に使用。
		01	ハーフ – 1.25GHzラインレート時に使用。
4:2	BUS WIDTH	000	10-bit。SRIOが10-bitキャラクタ・グループを使用。
0	ENTX	0	無効 – 使用されないレーン
		1	有効 – アクティブなレーン

(1) 反転ペアでは、受信部もしくは送信部で極性の反転が可能ですが、両方は行えません。

6 参考文献

Rapid IO Trade Association のWebサイト(<http://www.rapidio.org/>)からRapid IOに関する仕様書がダウンロード可能です。

TMS320C645x Serial Rapid IO (SRIO) User's Guide ([SPRU976](#)) は、SRIOの機能に関する説明が記載されています。

TMS320C6455 Design Guide and Comparisons to TMS320C6416T ([SPRAA89](#)) は、SRIOペリフェラルに加え、C6455の電源供給やクロッキング、設定に関連する情報が含まれています。

The High Speed DSP System Design Guide ([SPRU889](#)) は、ハイパフォーマンスDSPシステム設計に関する事項の一般的な指針が含まれています。

The Flip Chip Ball Grid Array Package Reference Guide ([SPRU811](#)) は、PCB設計およびテキサス・インスツルメンツBGAパッケージに関するガイダンスを提供します。PCB設計ルール、PCB実装パラメータ、リワーク・プロセス、熱管理、トラブルシューティングおよびその他の重要な情報が含まれています。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上