

TSV91xA-Q1 車載用 レール・ツー・レール入出力、8MHz オペアンプ

1 特長

- レール・ツー・レール入出力
- 低いノイズ: 1kHz で 18nV/√Hz
- 低い消費電力: 550μA (標準値)
- 高いゲイン帯域幅: 8MHz
- 動作電源電圧範囲: 2.5V~5.5V
- 低い入力バイアス電流: 1pA (標準値)
- 低い入力オフセット電圧: 1.5mV (最大値)
- 低いオフセット電圧ドリフト: ±0.5μV/°C (標準値)
- 内部 ESD 保護: ±4kV 人体モデル (HBM)
- 拡張温度範囲: -40°C~125°C

2 アプリケーション

- AEC-Q100 グレード 1 アプリケーションに最適化
- インフォテインメントおよびクラスタ
- パッシブ型安全運転支援システム
- ボディ・エレクトロニクスおよび照明
- HEV/EV のインバータおよびモータ制御
- オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
- パワートレイン電流センサ
- 先進運転支援システム (ADAS)
- 単一電源、ローサイド、単方向電流センシング回路

3 概要

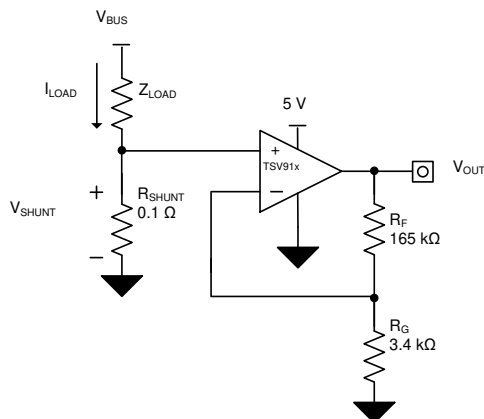
TSV91xA-Q1 ファミリーにはシングル、デュアル、クワッド・チャンネルのオペアンプが含まれ、汎用車載アプリケーション向けに特化して設計されています。このファミリーは、レール・ツー・レールの入出力 (RRIO) スイング、広い帯域幅 (8MHz)、低いオフセット電圧 (標準値 0.3mV) という特長を備えており、速度と消費電力との適切なバランスを必要とする各種のアプリケーション向けに設計されています。このオペアンプは、ユニティ・ゲイン安定で、入力バイアス電流が非常に低いという特長があるため、このファミリーは、ソース・インピーダンスの高いアプリケーションに使用できます。入力バイアス電流が低いので、センサ・インターフェイス、およびアクティブ・フィルタにこのデバイスを使用できます。

TSV91xA-Q1 は、堅牢な設計であるため、回路設計者が使いやすくなっています。ユニティ・ゲイン安定、RFI-EMI 除去フィルタ内蔵、オーバードライブ状態で位相反転が発生しない、高い静電放電 (ESD) 保護 (4kV HBM) などの特長があります。

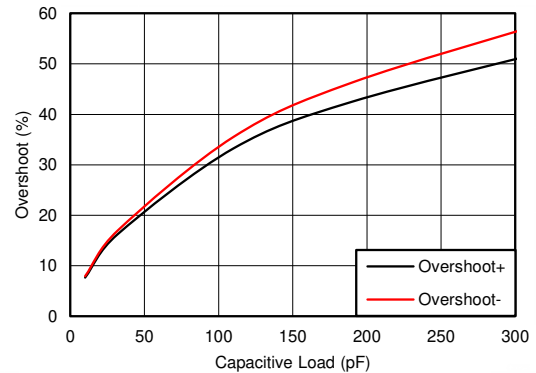
製品情報

部品番号 ⁽¹⁾	チャンネル数 ⁽²⁾	パッケージ ⁽¹⁾	パッケージ・サイズ ⁽³⁾
TSV911A-Q1	シングル	DBV (SOT-23, 5)	2.90mm × 2.80mm
		DCK (SC70, 5)	2.0mm × 2.20mm
TSV912A-Q1	デュアル	D (SOIC, 8)	4.90mm × 6.00mm
		DGK (VSSOP, 8)	3.00mm × 4.90mm
		PW (TSSOP, 8)	3.00mm × 6.40mm
TSV914A-Q1	クワッド	D (SOIC, 14)	8.65mm × 6.00mm
		PW (TSSOP, 14)	5.00mm × 6.40mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。
- (2) 製品比較表を参照してください。
- (3) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



ローサイドのモーター制御



小信号のオーバーシュートと負荷容量との関係



目次

1 特長.....	1	8.1 概要.....	18
2 アプリケーション.....	1	8.2 機能ブロック図.....	18
3 概要.....	1	8.3 機能説明.....	19
4 改訂履歴.....	2	8.4 デバイスの機能モード.....	19
5 製品比較表.....	3	9 アプリケーションと実装.....	20
6 ピン構成および機能.....	4	9.1 アプリケーション情報.....	20
7 仕様.....	7	9.2 代表的なアプリケーション.....	20
7.1 絶対最大定格.....	7	9.3 電源に関する推奨事項.....	21
7.2 ESD 定格.....	7	9.4 レイアウト.....	22
7.3 推奨動作条件.....	7	10 デバイスおよびドキュメントのサポート.....	24
7.4 熱に関する情報: TSV911A-Q1.....	8	10.1 ドキュメントの更新通知を受け取る方法.....	24
7.5 熱に関する情報: TSV912A-Q1.....	8	10.2 サポート・リソース.....	24
7.6 熱に関する情報: TSV914A-Q1.....	8	10.3 商標.....	24
7.7 電気的特性.....	9	10.4 静電気放電に関する注意事項.....	24
7.8 代表的特性.....	12	10.5 用語集.....	24
8 詳細説明.....	18	11 メカニカル、パッケージ、および注文情報.....	24

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2021) to Revision C (June 2023)	Page
• 「製品情報」表に SC70 パッケージと 8 ピン TSSOP パッケージを追加	1
• 「製品情報」表の SOT-23 パッケージのプレビュー・タグを削除	1
• パッケージ・リードとチャネル数を含むように「製品情報」のフォーマットを更新	1
• 新しいパッケージを含めるよう「製品比較」表を更新	3
• 「ピン構成および機能」セクションに TSV911A-Q1 のピン配置図を追加	4
• 「熱に関する情報: TSV911A-Q1」セクションを追加	8
• 「電気的特性」で、室温での入力オフセット電圧を $\pm 1.5\text{mV}$ から $\pm 1.85\text{mV}$ に変更	9
• 「露出したサーマル・パッドを備えたパッケージ」セクションを削除	19

Changes from Revision A (December 2020) to Revision B (February 2021)	Page
• 「製品情報」表の VSSOP パッケージからプレビューの注を削除	1
• 「熱に関する情報: TSV912A-Q1」表の DGK (VSSOP) パッケージの熱に関する情報を更新	8

Changes from Revision * (June 2020) to Revision A (December 2020)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「製品情報」表の TSSOP パッケージからプレビューの注を削除	1
• TSV914-Q1 のピン配置図と「ピンの機能」表からパッケージ、プレビューの注を削除	4
• 「絶対最大定格」表の差動入力電圧に注 4 を追加	7
• 「熱に関する情報: TSV914A-Q1」表に TSSOP (14) の熱に関する情報を追加	8

5 製品比較表

デバイス	チャンネル数	パッケージ・リード				
		DCK	DBV	D	DGK	PW
TSV911A-Q1	1	5	5	—	—	—
TSV912A-Q1	2	—	—	8	8	8
TSV914A-Q1	4	—	—	14	—	14

6 ピン構成および機能

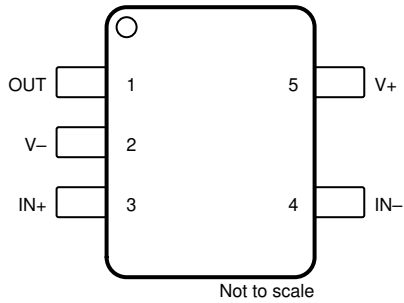


図 6-1. TSV911A-Q1 DBV パッケージ、
5 ピン SOT-23
(上面図)

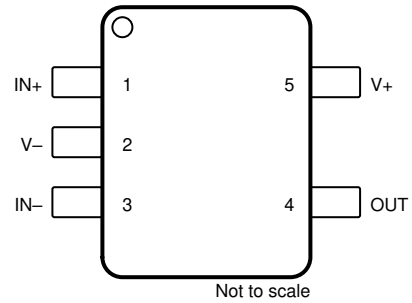
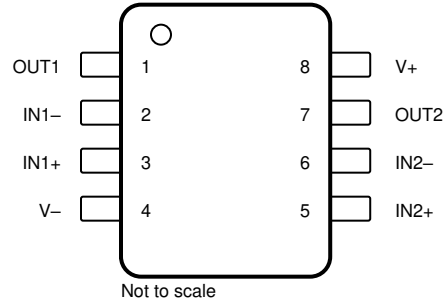


図 6-2. TSV911A-Q1 DCK パッケージ、
5 ピン SC70
(上面図)

表 6-1. ピンの機能 : TSV911A-Q1

名称	ピン		種類 (1)	概要
	SOT-23	SC70		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
V-	2	2	I または —	負 (低) 電源またはグラウンド (単一電源動作の場合)
V+	5	5	I	正 (高) 電源

(1) I=入力、O=出力

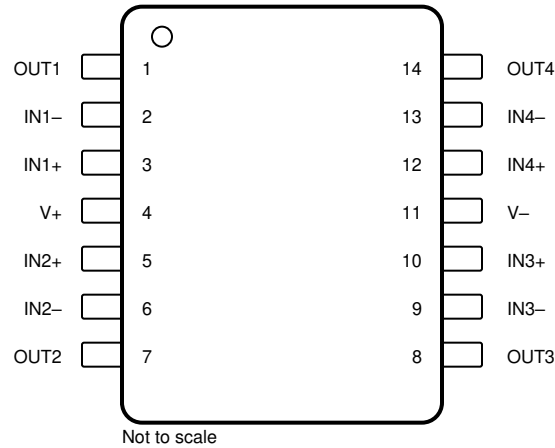


**図 6-3. TSV912A-Q1 D、PW、DGK パッケージ、
8 ピン SOIC、TSSOP、VSSOP
(上面図)**

表 6-2. ピンの機能 : TSV912A-Q1

ピン		種類 (1)	概要
名称	番号		
-IN A	2	I	反転入力、チャンネル A
+IN A	3	I	非反転入力、チャンネル A
-IN B	6	I	反転入力、チャンネル B
+IN B	5	I	非反転入力、チャンネル B
OUT A	1	O	出力、チャンネル A
OUT B	7	O	出力、チャンネル B
V-	4	—	負 (最低) 電源またはグラウンド (単一電源動作の場合)
V+	8	—	正 (最高) 電源

(1) I=入力、O=出力



**図 6-4. TSV914A-Q1 D および PW パッケージ、
14 ピン SOIC および TSSOP
(上面図)**

表 6-3. ピンの機能 : TSV914A-Q1

ピン		種類 (1)	概要
名称	番号		
-IN A	2	I	反転入力、チャンネル A
+IN A	3	I	非反転入力、チャンネル A
-IN B	6	I	反転入力、チャンネル B
+IN B	5	I	非反転入力、チャンネル B
-IN C	9	I	反転入力、チャンネル C
+IN C	10	I	非反転入力、チャンネル C
-IN D	13	I	反転入力、チャンネル D
+IN D	12	I	非反転入力、チャンネル D
OUT A	1	O	出力、チャンネル A
OUT B	7	O	出力、チャンネル B
OUT C	8	O	出力、チャンネル C
OUT D	14	O	出力、チャンネル D
V-	11	—	負 (最低) 電源またはグランド (単一電源動作の場合)
V+	4	—	正 (最高) 電源

(1) I=入力、O=出力

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
電源電圧			6		V
信号入力ピン	電圧 ⁽²⁾	同相	(V-) - 0.5	(V+) + 0.5	V
		差動 ⁽⁴⁾	(V+) - (V-) + 0.2		
電流 ⁽²⁾			-10	10	mA
出力短絡 ⁽³⁾			連続		mA
規定、T _A			-40	125	°C
接合部、T _J			150		°C
保存、T _{stg}			-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力ピンは、電源レールに対してダイオード・クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
- (3) グランドへの短絡、1 パッケージ当たり 1 アンペア。
- (4) 0.5V を超える差動入力電圧が連続的に印加されると、入力オフセット電圧がこのパラメータの最大仕様を上回ってシフトする可能性があります。動作時の周囲温度が高いときほど、その影響が大きくなります。

7.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±4000	V
	荷電デバイス・モデル (CDM)、AEC Q100-011 準拠	±1500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _S	電源電圧	2.5	5.5	V
仕様温度範囲		-40	125	°C

7.4 熱に関する情報 : TSV911A-Q1

熱評価基準 (1)		TSV911A-Q1		単位
		DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	232.5	246.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	131.0	157.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	99.6	95.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	66.5	68.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	99.1	95.0	°C/W

7.5 熱に関する情報 : TSV912A-Q1

熱評価基準 (1)		TSV912A-Q1			単位
		D (SOIC)	PW (TSSOP)	DGK (VSSOP)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	157.6	205.1	198.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	104.6	93.7	87.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	99.7	135.7	120.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	55.6	25.0	23.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	99.2	134.0	118.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.6 熱に関する情報 : TSV914A-Q1

熱評価基準 (1)		TSV914A-Q1		単位
		D (SOIC)	PW (TSSOP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	111.1	133.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.6	62.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	67	76.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	27.4	13.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	66.6	76.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

7.7 電気的特性

V_S (合計電源電圧) = $(V_+) - (V_-) = 2.5V \sim 5.5V$, $T_A = 25^\circ C$, $R_L = 10k\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
オフセット電圧					
V_{OS} 入力オフセット電圧	$V_S = 5V$		± 0.3	± 1.85	mV
	$V_S = 5V$ $T_A = -40^\circ C \sim 125^\circ C$			± 3	
dV_{OS}/dT ドリフト	$V_S = 5V$ $T_A = -40^\circ C \sim 125^\circ C$		± 0.5		$\mu V/^\circ C$
PSRR 電源除去比	$V_S = 2.5V \sim 5.5V$, $V_{CM} = (V_-)$		± 7		$\mu V/V$
チャンネル・セパレーション、DC	DC で		100		dB
入力電圧範囲					
V_{CM} 同相電圧範囲	$V_S = 2.5V \sim 5.5V$	$(V_-) - 0.1$		$(V_+) + 0.1$	V
CMRR 同相除去比	$V_S = 5.5V$ $(V_-) - 0.1V < V_{CM} < (V_+) - 1.4V$ $T_A = -40^\circ C \sim 125^\circ C$	80	103		dB
	$V_S = 5.5V$, $V_{CM} = -0.1V \sim 5.6V$ $T_A = -40^\circ C \sim 125^\circ C$	57	75		
	$V_S = 2.5V$, $(V_-) - 0.1V < V_{CM} < (V_+) - 1.4V$ $T_A = -40^\circ C \sim 125^\circ C$		88		
	$V_S = 2.5V$, $V_{CM} = -0.1V \sim 1.9V$ $T_A = -40^\circ C \sim 125^\circ C$		70		
入力バイアス電流					
I_B 入力バイアス電流			± 5		pA
I_{OS} 入力オフセット電流			± 5		pA
ノイズ					
E_n 入力電圧ノイズ (ピーク・ツー・ピーク)	$V_S = 5V$, $f = 0.1Hz \sim 10Hz$		4.77		μV_{PP}
e_n 入力電圧ノイズ密度	$V_S = 5V$, $f = 10kHz$		12		nV/\sqrt{Hz}
	$V_S = 5V$, $f = 1kHz$		18		
i_n 入力電流ノイズ密度	$f = 1kHz$		23		fA/\sqrt{Hz}
入力容量					
C_{ID} 差動			2		pF
C_{IC} 同相			4		pF
開ループ・ゲイン					
A_{OL} 開ループ電圧ゲイン	$V_S = 2.5V$, $(V_-) + 0.04V < V_O < (V_+) - 0.04V$ $R_L = 10k\Omega$		100		dB
	$V_S = 5.5V$, $(V_-) + 0.05V < V_O < (V_+) - 0.05V$ $R_L = 10k\Omega$	104	130		
	$V_S = 2.5V$, $(V_-) + 0.06V < V_O < (V_+) - 0.06V$ $R_L = 2k\Omega$		100		
	$V_S = 5.5V$, $(V_-) + 0.15V < V_O < (V_+) - 0.15V$ $R_L = 2k\Omega$		130		
周波数応答					
GBP ゲイン帯域幅積	$V_S = 5V$, $G = 1$		8		MHz
Φ_m 位相マージン	$V_S = 5V$, $G = 1$		55		°
SR スルーレート	$V_S = 5V$, $G = 1$ $R_L = 2k\Omega$, $C_L = 100pF$		4.5		$V/\mu s$
t_s セットリング・タイム	0.1% まで、 $V_S = 5V$, 2V ステップ、 $G = 1$ $C_L = 100pF$		0.5		μs
	0.01% まで、 $V_S = 5V$, 2V ステップ、 $G = 1$ 、 $C_L = 100pF$		1		
t_{OR} 過負荷復帰時間	$V_S = 5V$, $V_{IN} \times \text{ゲイン} > V_S$		0.2		μs

7.7 電気的特性 (continued)

V_S (合計電源電圧) = (V+) - (V-) = 2.5V~5.5V、 $T_A = 25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$ 、 $V_{OUT} = V_S / 2$ (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
THD + N 全高調波歪 + ノイズ ⁽¹⁾	$V_S = 5\text{V}$ 、 $V_O = 1\text{ V}_{RMS}$ 、 $G = 1$ 、 $f = 1\text{kHz}$		0.0008%		

7.7 電気的特性 (continued)

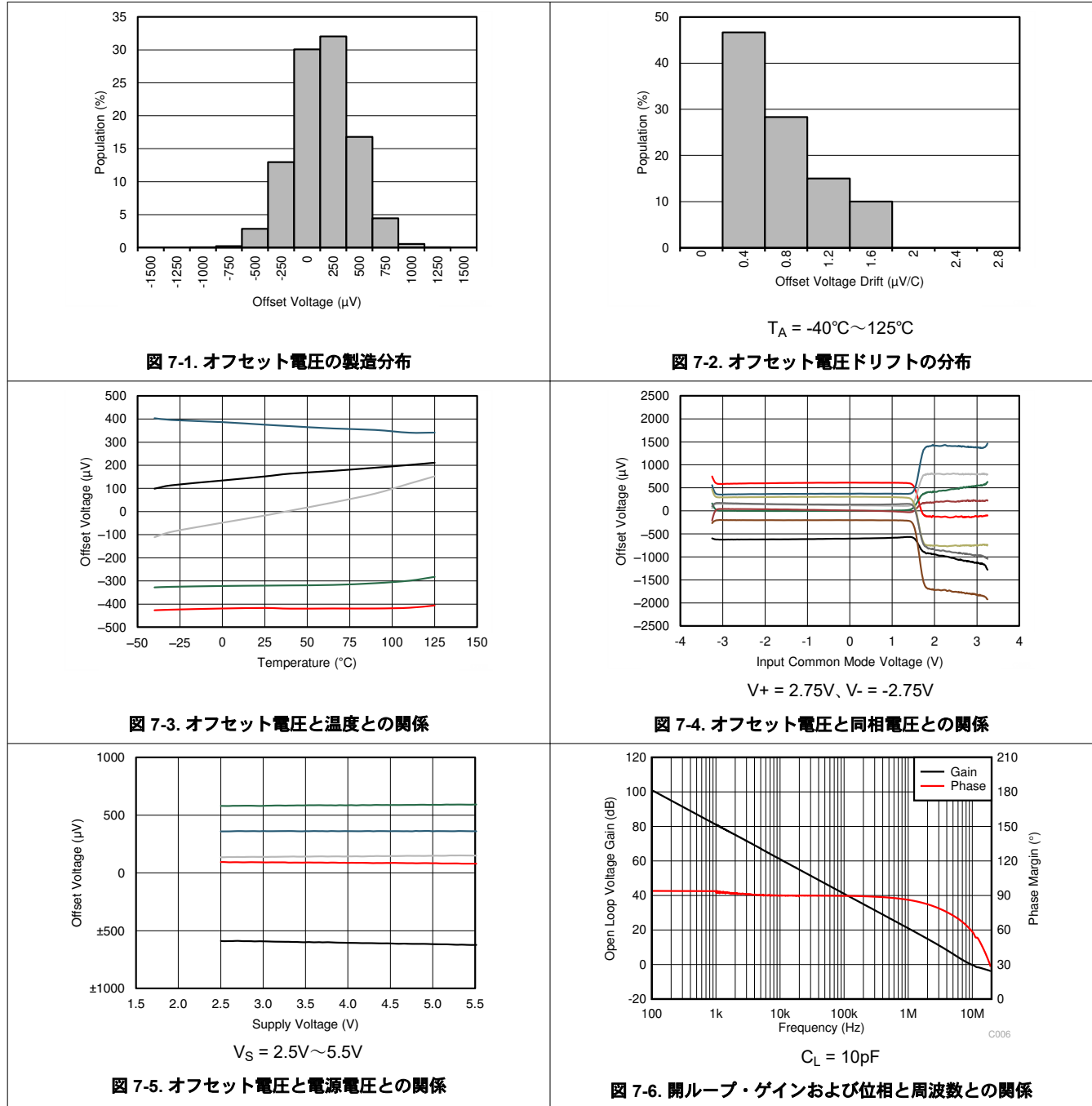
V_S (合計電源電圧) = (V+) - (V-) = 2.5V~5.5V、 $T_A = 25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$ 、 $V_{OUT} = V_S / 2$ (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
出力					
V_O	電源レールからの電圧出力スイング	$V_S = 5.5\text{V}$ 、 $R_L = 10\text{k}\Omega$		20	mV
		$V_S = 5.5\text{V}$ 、 $R_L = 2\text{k}\Omega$		60	
I_{SC}	短絡電流	$V_S = 5\text{V}$	± 50		mA
Z_O	開ループ出力インピーダンス	$V_S = 5\text{V}$ 、 $f = 10\text{MHz}$	100		Ω
電源					
I_Q	静止電流 (アンプあたり)	$V_S = 5.5\text{V}$ 、 $I_O = 0\text{mA}$	550	750	μA
		$V_S = 5.5\text{V}$ 、 $I_O = 0\text{mA}$ 、 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$		1100	

(1) 3次フィルタ。-3dB で帯域幅=80kHz。

7.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 5.5\text{V}$ 、 $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$ 、 $V_{OUT} = V_S / 2$ (特に記述のない限り)



7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (特に記述のない限り)

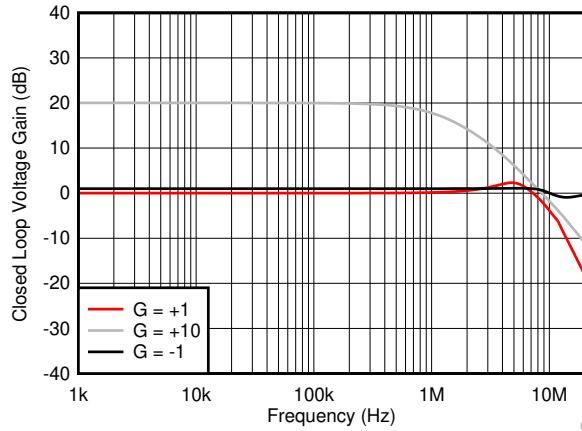


図 7-7. 閉ループのゲインと周波数との関係

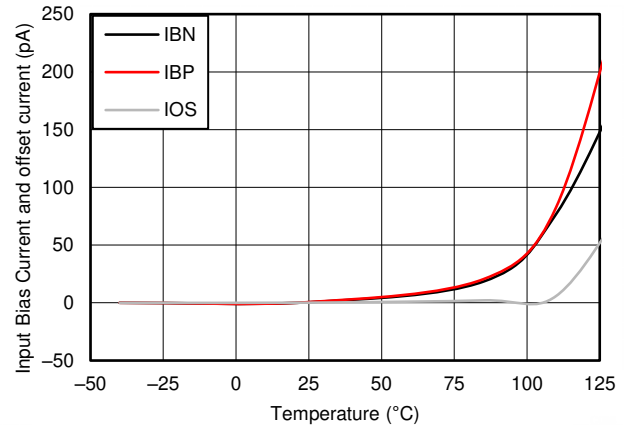


図 7-8. 入力バイアス電流と温度との関係

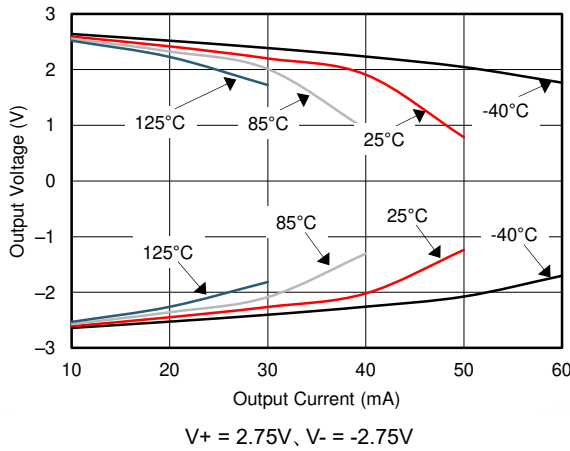


図 7-9. 出力電圧スイングと出力電流との関係

$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

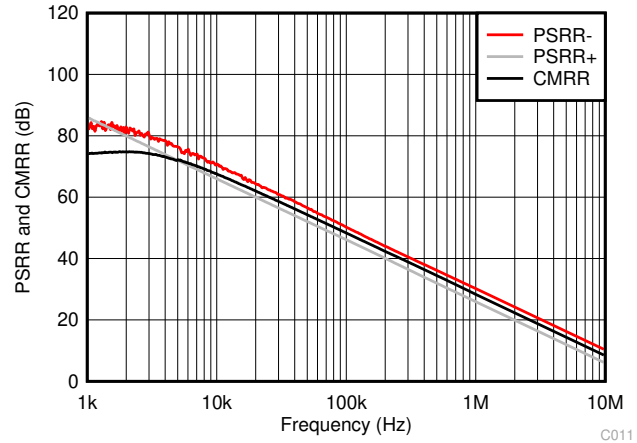
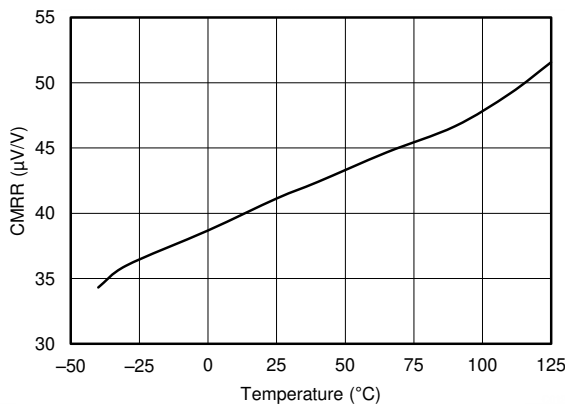
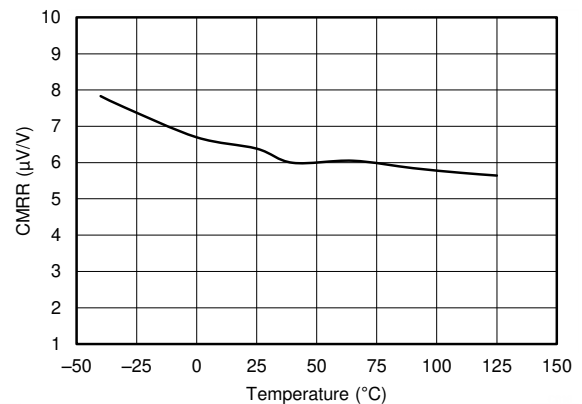


図 7-10. CMRR および PSRR と周波数との関係 (入力を基準)



$V_S = 5.5\text{V}$ $V_{CM} = (V_-) - 0.1\text{V} \sim (V_+) + 0.1\text{V}$ $R_L = 10\text{k}\Omega$
 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$

図 7-11. CMRR と温度との関係



$V_S = 5.5\text{V}$ $V_{CM} = (V_-) - 0.1\text{V} \sim (V_+) - 1.4\text{V}$ $R_L = 10\text{k}\Omega$
 $T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$

図 7-12. CMRR と温度との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (特に記述のない限り)

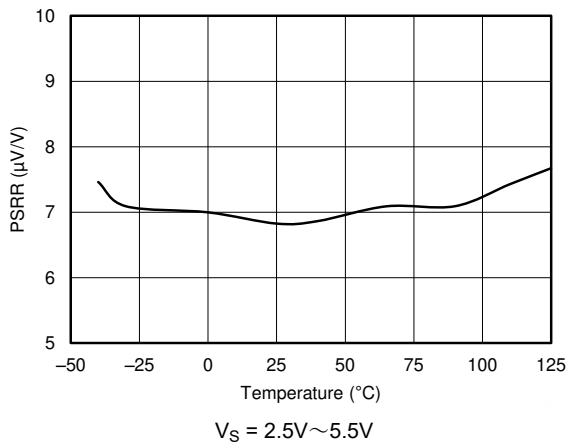


図 7-13. PSRR と温度との関係

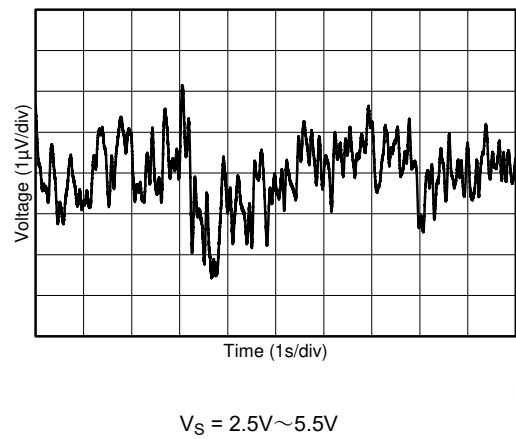


図 7-14. 0.1Hz~10Hz の入力電圧ノイズ

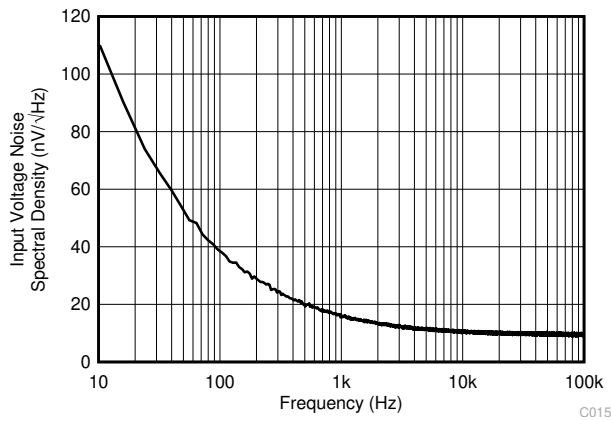


図 7-15. 入力電圧ノイズ・スペクトル密度と周波数との関係

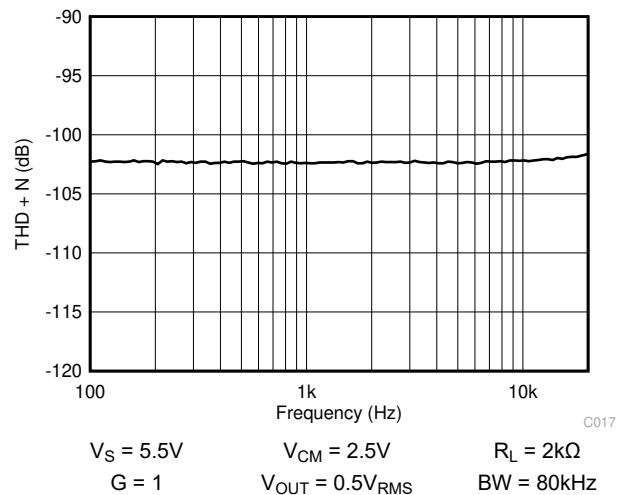


図 7-16. THD + N と周波数との関係

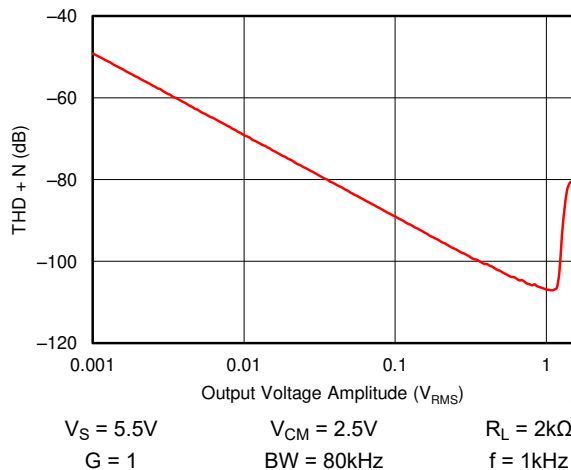


図 7-17. THD + N と振幅との関係

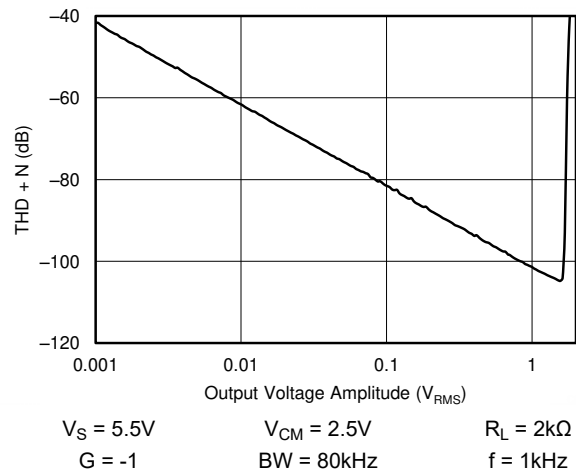


図 7-18. THD + N と振幅との関係

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (特に記述のない限り)

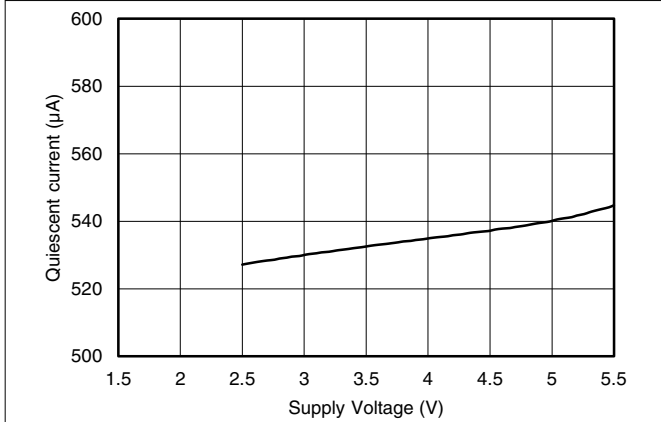


図 7-19. 静止電流と電源電圧との関係

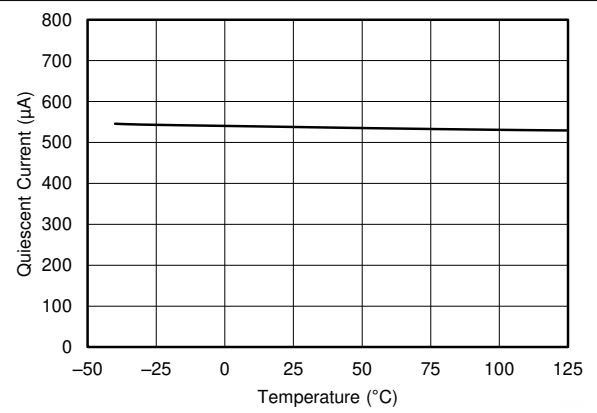


図 7-20. 静止電流と温度との関係

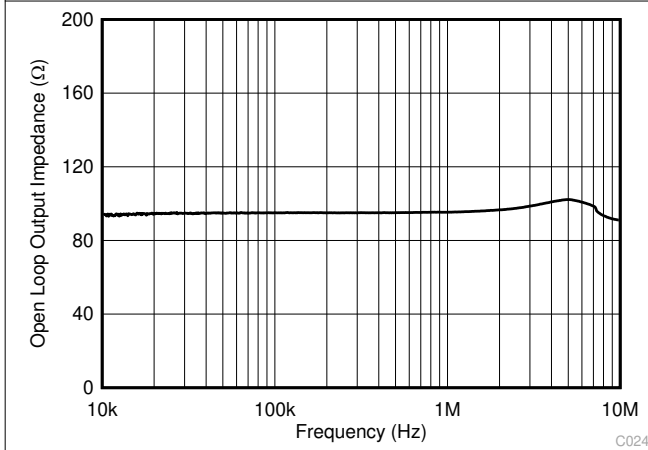
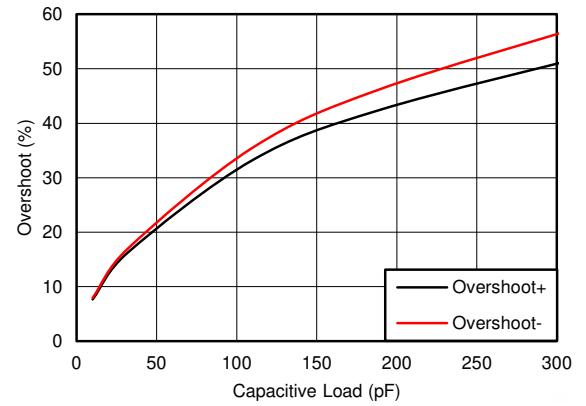
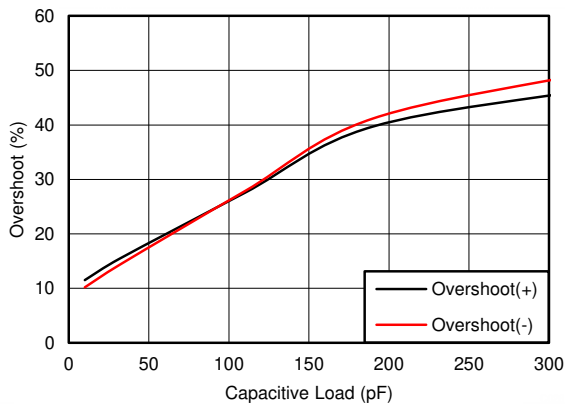


図 7-21. 開ループ出力インピーダンスと周波数との関係



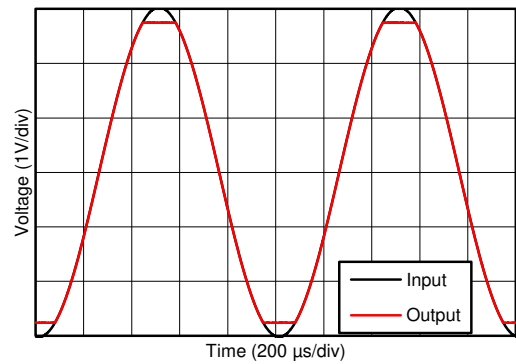
$V_+ = 2.75\text{V}$ $V_- = -2.75\text{V}$ $G = 1\text{V/V}$
 $R_L = 10\text{k}\Omega$ V_{OUT} ステップ = 100mV_{p-p}

図 7-22. 小信号のオーバーシュートと負荷容量との関係



$V_+ = 2.75\text{V}$ $V_- = -2.75\text{V}$ $R_L = 10\text{k}\Omega$
 $G = -1\text{V/V}$ V_{OUT} ステップ = 100mV_{p-p}

図 7-23. 小信号のオーバーシュートと負荷容量との関係

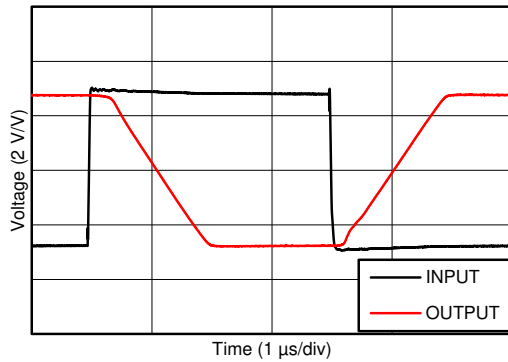


$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

図 7-24. 位相反転なし

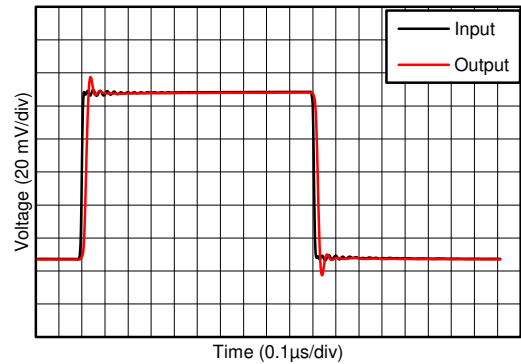
7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続, $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (特に記述のない限り)



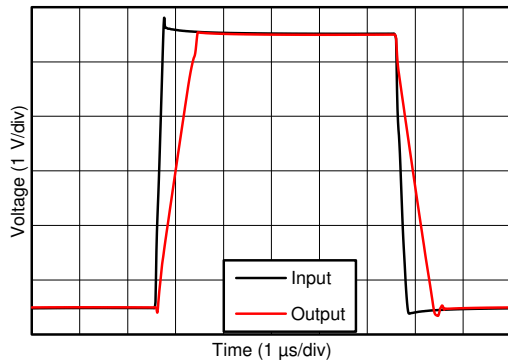
$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $G = -10\text{V/V}$

図 7-25. 過負荷からの回復



$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, $G = 1\text{V/V}$

図 7-26. 小信号ステップ応答



$V_+ = 2.75\text{V}$ $V_- = -2.75\text{V}$ $C_L = 100\text{pF}$
 $G = 1\text{V/V}$

図 7-27. 大信号ステップ応答

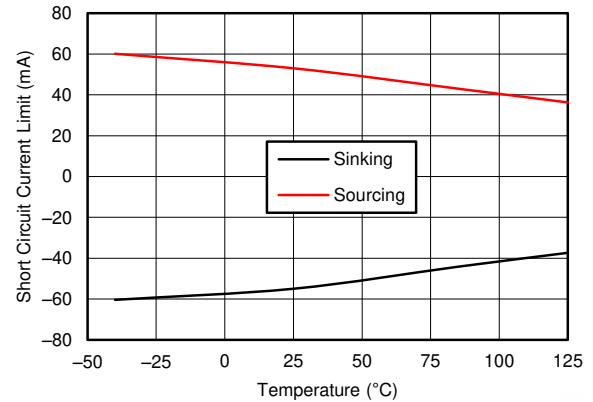


図 7-28. 短絡電流と温度との関係

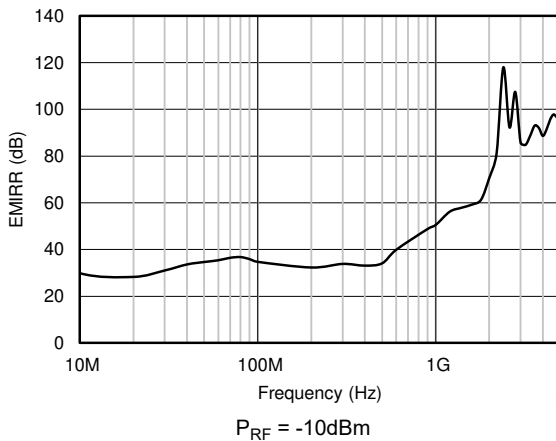


図 7-29. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係
 $P_{RF} = -10\text{dBm}$

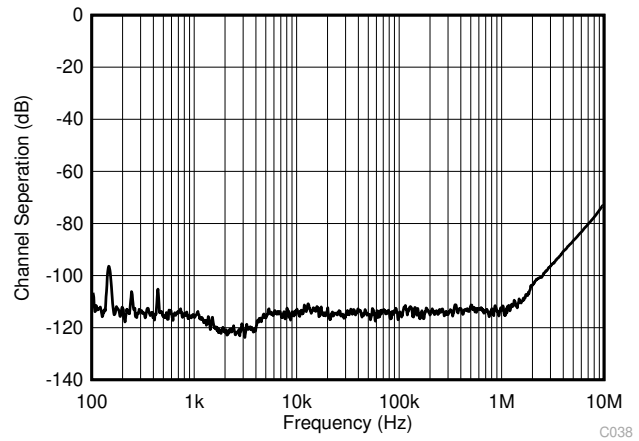


図 7-30. チャネル分離と周波数との関係
 $V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$

7.8 代表的特性 (continued)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ を $V_S / 2$ に接続、 $V_{CM} = V_S / 2$, $V_{OUT} = V_S / 2$ (特に記述のない限り)

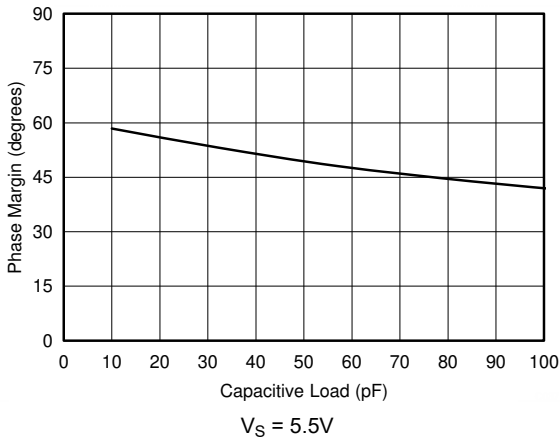
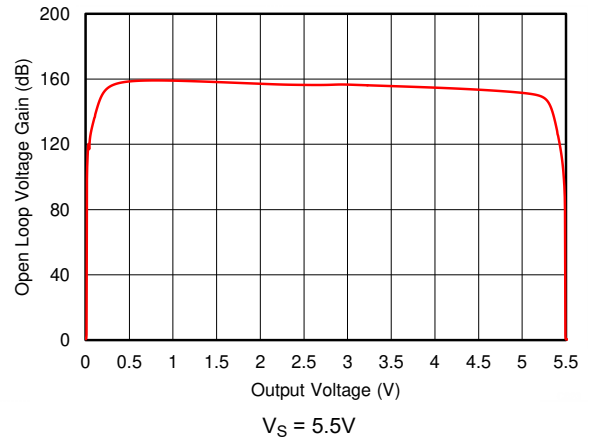


図 7-31. 位相マージンと容量性負荷との関係



A.

図 7-32. 開ループの電圧ゲインと出力電圧との関係

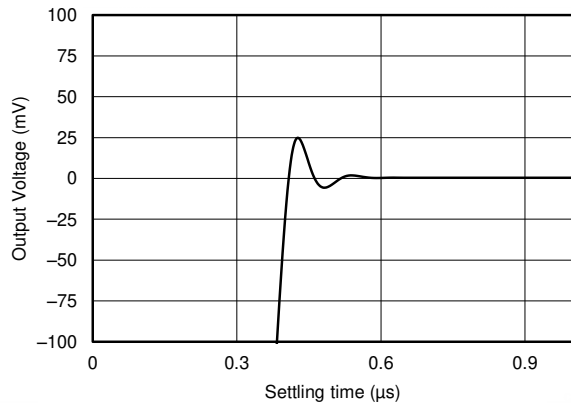


図 7-33. 大信号セトリング・タイム (正)

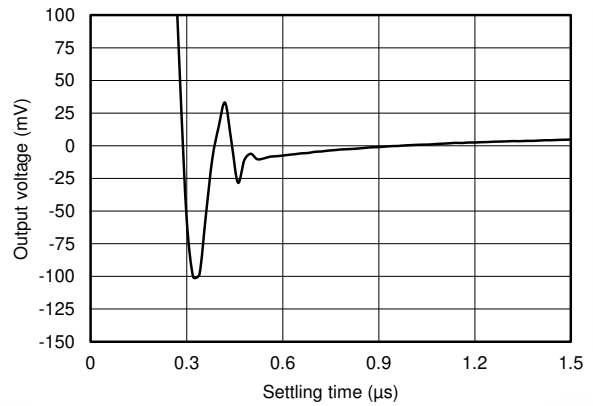


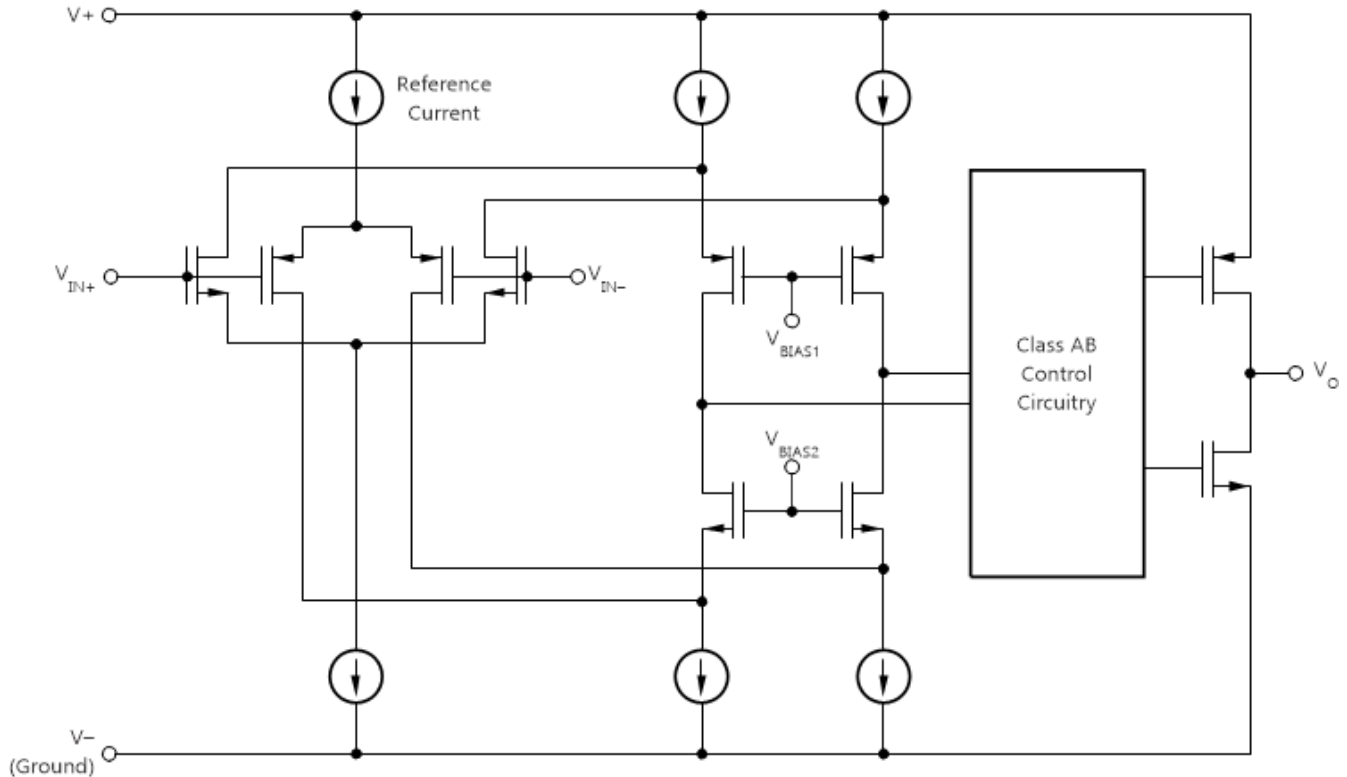
図 7-34. 大信号セトリング・タイム (負)

8 詳細説明

8.1 概要

TSV91xA-Q1 シリーズは、低消費電力のレール・ツー・レール入出力オペアンプのファミリーです。これらのデバイスは 2.5V~5.5V で動作し、ユニティ・ゲインで安定しており、幅広い汎用車載アプリケーション向けに設計されています。入力同相電圧範囲には両方のレールが含まれており、TSV91xA-Q1 シリーズを事実上あらゆる単一電源アプリケーションで使用できます。レール・ツー・レールの入力および出力スイングにより、特に低電源アプリケーションでダイナミック・レンジが大幅に拡大し、サンプリング A/D コンバータ (ADC) の駆動用に設計されています。

8.2 機能ブロック図



8.3 機能説明

8.3.1 レール・ツー・レール入力

TSV91xA-Q1 ファミリの入力同相電圧範囲は、2.5V~5.5V の電源電圧範囲全体で、電源レールを 100mV 超えています。この性能は、相補入力段により実現されます。「機能ブロック図」に示すように、N チャンネル入力差動ペアは P チャンネル差動ペアと並列に接続されます。N チャンネル・ペアは、正のレールに近い入力電圧についてアクティブになります。通常は (V+) - 1.4V から、正の電源電圧よりも 100mV 高い電圧までです。一方、P チャンネル・ペアは負の電源電圧より 100mV 下から、(V+) - 1.4V 程度までの入力についてアクティブになります。小さい遷移領域があり、通常は (V+) - 1.2V ~ (V+) - 1V の範囲で両方のペアがオンになります。この 200mV の過渡領域は、プロセスのバラツキにより、最大 200mV まで変動することがあります。したがって、過渡領域 (両方の段がオンになる) は、Low では (V+) - 1.4V ~ (V+) - 1.2V、High 側では最大 (V+) - 1V ~ (V+) - 0.8V の範囲になる可能性があります。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセット・ドリフト、THD が劣化する可能性があります。

8.3.2 レール・ツー・レール出力

TSV91xA-Q1 シリーズは、低消費電力、低電圧のオペアンプとして設計されており、堅牢な出力駆動が可能です。共通ソース・トランジスタを使用した Class AB 出力段により、完全なレール・ツー・レールの出力スイングを行えます。抵抗性負荷が 10kΩ の場合、印加されている電源電圧に関係なく、どちらの電源レールに対しても出力が 15mV 以内までスイングします。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

8.3.3 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TSV91xA-Q1 シリーズの過負荷復帰時間は約 200ns です。

8.4 デバイスの機能モード

TSV91xA-Q1 ファミリーは 1 つの機能モードを持っています。電源電圧が 2.5V (±1.25V) と 5.5V (±2.75V) の間にある限り、これらのデバイスは機能します。

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TSV91xA-Q1 シリーズは、8MHz の帯域幅と $4.5\text{V}/\mu\text{s}$ のスルーレートが特長で、チャンネルごとの消費電流がわずか $550\mu\text{A}$ なので、低消費電力で優れた AC 性能を実現します。DC アプリケーションは、1kHz で $18\text{nV}/\sqrt{\text{Hz}}$ の低い入力ノイズ電圧、低い入力バイアス電流、標準 0.3mV の入力オフセット電圧で適切に動作します。

9.2 代表的なアプリケーション

ローサイドのモーター制御アプリケーションに構成された TSV91xA-Q1 を、[図 9-1](#) に示します。

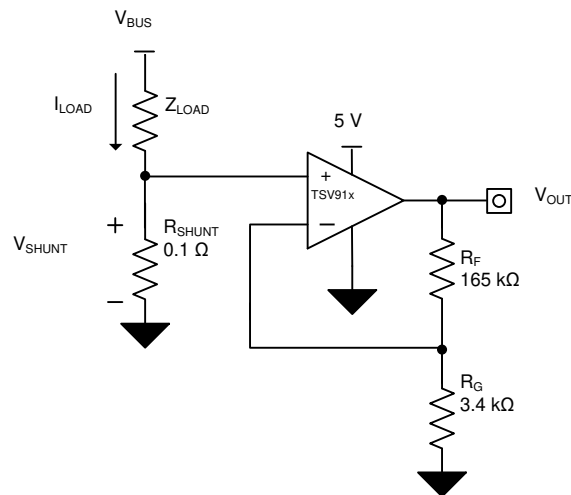


図 9-1. ローサイドのモーター制御アプリケーションの TSV91xA-Q1

9.2.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流: $0\text{A} \sim 1\text{A}$
- 出力電圧: 4.95V
- 最大シャント電圧: 100mV

9.2.2 詳細な設計手順

図 9-1 の回路の伝達関数を、式 1 に示します。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A~1A に設定されます。最大負荷電流時にシャント電圧を 100mV 未満に維持するには、式 2 を使用して最大シャント抵抗を定義します。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\text{ mV}}{1\text{ A}} = 100\text{ m}\Omega \quad (2)$$

式 2 から、 R_{SHUNT} は 100m Ω になります。 I_{LOAD} と R_{SHUNT} によって生成される電圧降下は、TSV91xA-Q1 によって増幅され、約 0V~4.95V の出力電圧を生成します。必要な出力電圧を生成するために TSV91xA-Q1 が必要とするゲインは、式 3 で計算されます。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

式 3 から、必要なゲインは 49.5V/V と計算されます。これは抵抗 R_F と R_G で設定します。TSV91xA-Q1 のゲインを 49.5V/V に設定するための抵抗 R_F と R_G のサイズは、式 4 で計算します。

$$Gain = 1 + \left(\frac{R_F}{R_G}\right) \quad (4)$$

R_F に 165k Ω 、 R_G に 3.4k Ω を選択すると、組み合わせで 49.5V/V に等しくなります。図 9-1 に示す回路で測定された伝達関数を、図 9-2 に示します。

9.2.3 アプリケーション曲線

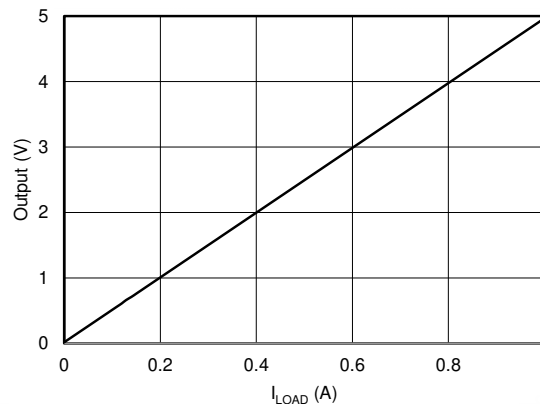


図 9-2. ローサイド、電流検出、伝達関数

9.3 電源に関する推奨事項

TSV91xA-Q1 シリーズは、2.5V~5.5V ($\pm 1.25\text{V} \sim \pm 2.75\text{V}$) で動作することが規定されています。多くの仕様は -40°C~125°C で適用されます。動作電圧または温度によって大きな変動を示す可能性のあるパラメータを「代表的特性」に示します。

注意

6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」表を参照してください。

電源ピンの近くに 0.1μF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト例」を参照してください。

9.3.1 入力および ESD 保護

TSV91xA-Q1 シリーズは、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は入力ピンと電源ピンとの間に接続された電流ステアリング・ダイオードで構成されます。これらの ESD 保護ダイオードは、「絶対最大定格」表に規定されているように、電流が 10mA に制限されている限り、回路内で入力オーバードライブ保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 9-3 に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

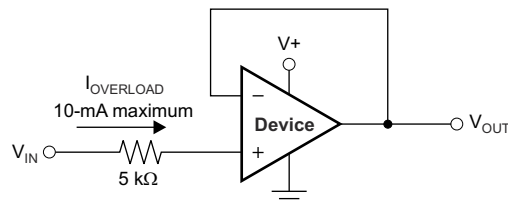


図 9-3. 入力電流保護

9.4 レイアウト

9.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れたプリント基板 (PCB) レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプ自体の電源ピンを経由し、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
 - 各電源ピンとグラウンドとの間に、低 ESR の 0.1μF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグラウンドに対して 1 つのバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグラウンド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層がグラウンド・プレーン専用で使用されます。グラウンド・プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。グラウンド電流の流れに注意しながら、デジタル・グラウンドとアナログ・グラウンドを物理的に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 9-5 に示すように、RF と RG を反転入力に近くに配置すると、反転入力に寄生容量が最小化されます。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

9.4.2 レイアウト例

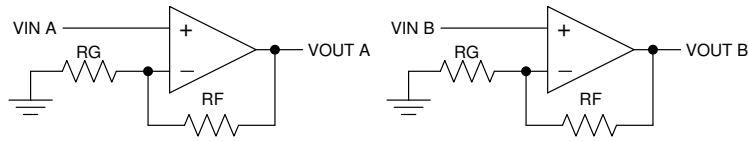


図 9-4. レイアウト例の概略図

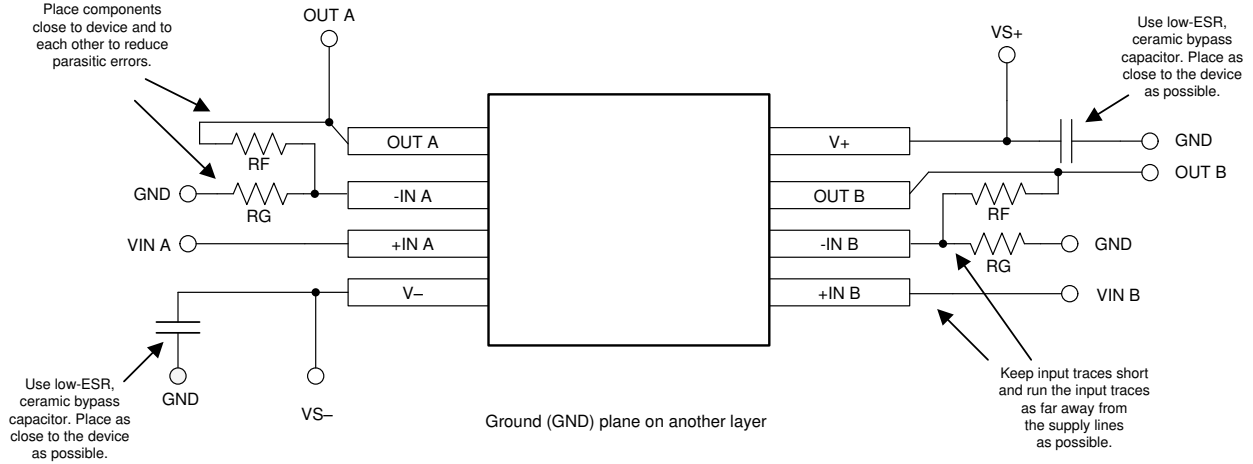


図 9-5. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

10.3 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TSV911AQDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	1N4	Samples
TSV911AQDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N6	Samples
TSV912AQDGKRQ1	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	29IT	Samples
TSV912AQDRQ1	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TS912Q	Samples
TSV912AQPWRQ1	ACTIVE	TSSOP	PW	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TSV912	Samples
TSV914AQDRQ1	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TSV914AQD	Samples
TSV914AQPWRQ1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T914AQ	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TSV911AQDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TSV911AQDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TSV912AQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TSV912AQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TSV912AQPWRQ1	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TSV914AQDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TSV914AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TSV911AQDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TSV911AQDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
TSV912AQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
TSV912AQDRQ1	SOIC	D	8	2500	356.0	356.0	35.0
TSV912AQPWRQ1	TSSOP	PW	8	3000	356.0	356.0	35.0
TSV914AQDRQ1	SOIC	D	14	2500	356.0	356.0	35.0
TSV914AQPWRQ1	TSSOP	PW	14	2000	356.0	356.0	35.0

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

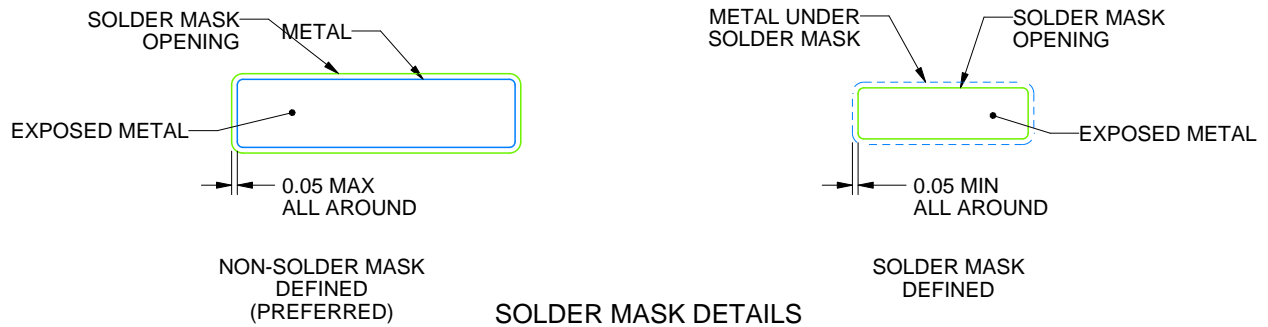
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0014A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated