

miniDSP、ステレオClass-Dスピーカー・アンプ、 およびSmart 4線式タッチ・スクリーン・ コントローラ内蔵、低電力オーディオ・コーデック

1 はじめに

1.1 特長

- 3mWの低消費電力で48kHzステレオ再生
- 8kHz ~ 192kHzのサンプル・レートをサポートするステレオ・オーディオDACとモノラルADC
- 命令プログラミングが可能なminiDSPを録音および再生パスに実装
- 低音強調/高音/EQ調整対応録音用に最大5、再生用に最大6のバイクウッド・フィルタ
- バッテリーを直接接続できるステレオ1.29W Class-D BTL 8Ωスピーカー・ドライバ
- 自律型タイミング制御によるSmart 4線式タッチ・スクリーン・コントローラ
- プログラマブル・ゲイン・アンプ
- マイク・バイアス
- オーディオADCパスのマイク入力対応ハードウェア実装AGC
- デジタル・マイク・インターフェイス
- デジタル・ミキシング機能
- ピン制御またはレジスタ制御によるデジタル再生音量設定
- プログラマブル12ビットSAR ADC
- 温度測定、バッテリー測定、補助測定用の機能を内蔵
- プログラマブルDRCによるデジタル再生
- タッチ・パッドが押されたときにビープ音を鳴らす正弦波発生回路
- プログラマブル・デジタル・オーディオ・プロセッサ用のPLLを内蔵
- SPI、I²C、およびI²Sシリアル・インターフェイス
- SPI、I²Cのレジスタを自動インクリメント
- 完全なパワーダウン制御
- 電源：
 - アナログ：2.7V ~ 3.6V
 - デジタル・コア：1.65V ~ 1.95V
 - デジタルI/O：1.1V ~ 3.6V
 - Class-D：2.7V ~ 5.5V (SLVDDおよびSRVDD ≥ AVDD)
- 7mm×7mmの48-QFNパッケージ

1.2 アプリケーション

- 携帯型ゲーム機
- モバイル・インターネット・デバイス
- 適応型フィルタリング・アプリケーション

1.3 概要

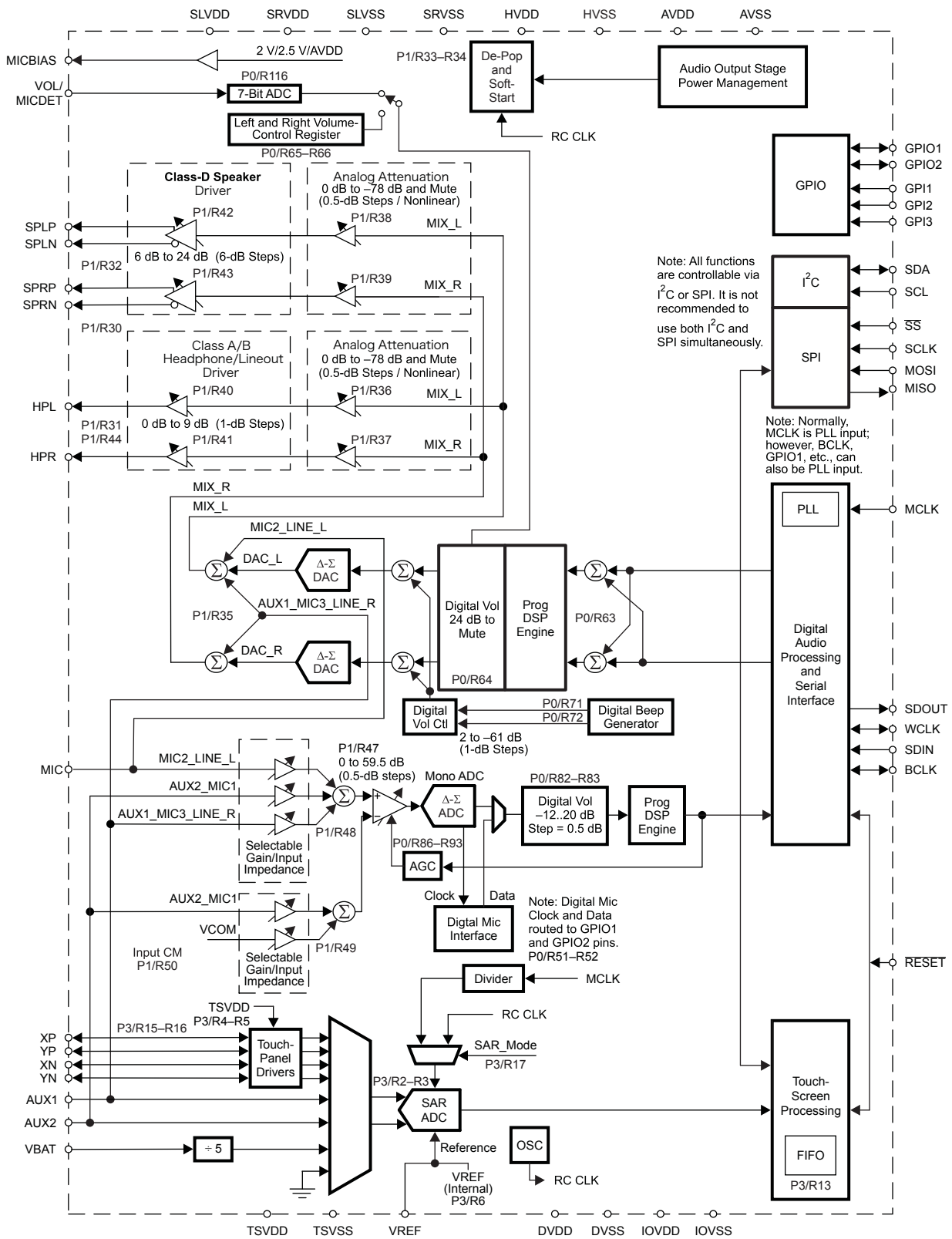
TSC2117は、低電力、高集積、高性能のコーデック/タッチ・スクリーン制御回路であり、ステレオClass-Dスピーカー・アンプ、ステレオ・オーディオDAC、モノラル・オーディオADC、およびSAR ADCを搭載しています。

TSC2117は、16ビットのステレオ再生およびモノラル録音機能をサポートします。また、マイク・インターフェイス、ヘッドホン・ドライバ、スピーカー・ドライバなど、いくつかのアナログ機能も内蔵しています。TSC2117には、デジタル・オーディオ信号処理用に2つのプログラマブル可能なminiDSPが搭載されています。デジタル・オーディオ・データ形式としては、一般的なオーディオ標準プロトコル (I2S、前詰め/後詰め) をマスタ、スレーブ、DSP、およびTDMモードで選択できます。プログラマブル・デジタル信号処理ブロックのプログラム済みモードによって、低音強調、高音、EQ調整をサポートしています。また、内蔵PLLにより、デジタル信号処理ブロックで必要となる高速クロックを提供します。音量レベルは、ピン制御またはレジスタ制御によって調整できます。

TSC2117には、ドライバ内蔵の4線式抵抗性タッチ・スクリーンをサポートする12ビット・コンバータが搭載されています。すべての機能をI²CまたはSPIインターフェイス経由で制御できます。また、プログラマブルなビープ発生回路を内蔵しています。タッチ・スクリーン・モードでの内蔵プロセッサは多くの機能を提供し、特にホスト・プロセッサやインターフェイス・バスのオーバーヘッドを低減することができ、ことができます。TSC2117には、システム電圧測定用に3つの専用アナログ入力があり、SAR ADCによって読み取り可能な温度センサが内蔵されています。TSC2117は、7mm×7mmの48ピンQFNパッケージで供給されます。

Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



B0205-04

図1-1. 機能ブロック図



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

注

このデータ・マニュアルは、PDFドキュメントの表示機能を使用して、すばやく情報にアクセスできるようデザインされています。例えば、“ページ0/レジスタ15”をグローバル検索すると、このページおよびレジスタが参照されているすべての箇所が一覧表示されます。これにより、一覧をひとつとおり見ることで、そのページおよびレジスタに関連したすべての情報を確認できます。検索文字列は、記載されたとおりの形式で入力してください。また、このドキュメントでは、ハイパーリンクによってドキュメントの参照箇所へすばやく移動できるようになっています。元のページに戻る場合は、ファイル下部のPDFページ番号の近くにある緑色の左矢印をクリックします。この機能のホットキーは、ALT + 左矢印キーです。さらに、PDFブックマークを使用して情報をすばやく見つけることもできます。

2 パッケージおよび信号の説明

パッケージ/オーダー情報

製品名	パッケージ	パッケージ・コード	動作温度範囲	型番	出荷形態、数量
TSC2117	QFN-48	RGZ	-40°C to 85°C	TSC2117IRGZT	テープ・リール、250
				TSC2117IRGZR	テープ・リール、2500

2.1 デバイス情報

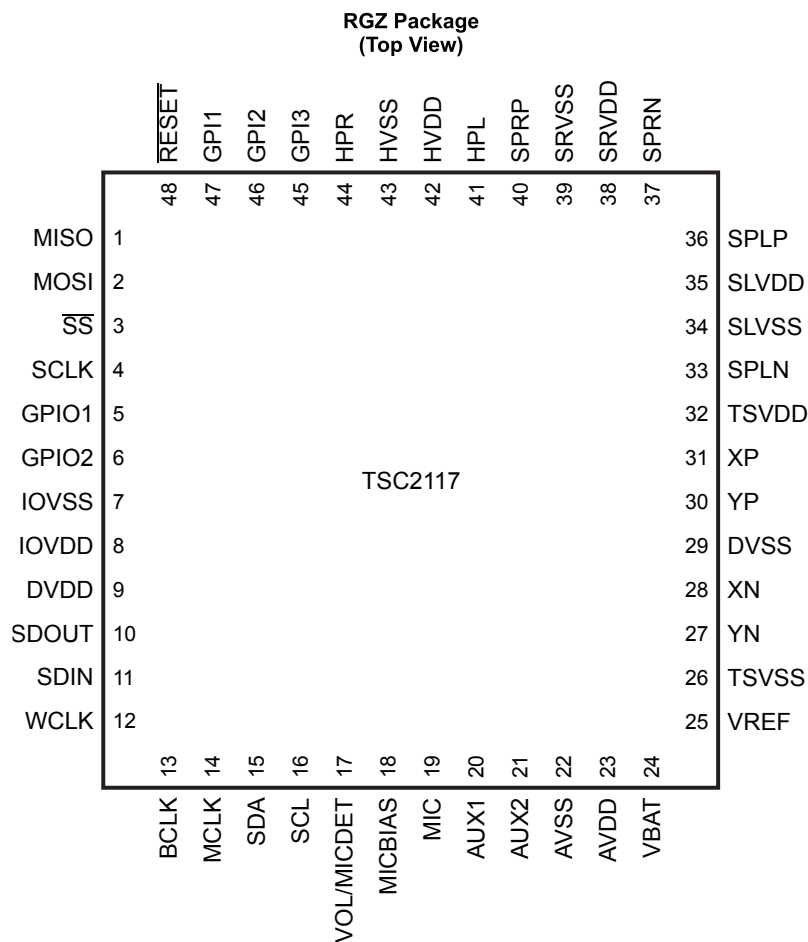


表 2-1. ピン機能

ピン		I/O	説明
名前	番号		
AUX1	20	I	AUX1 (SAR ADC へのプライマリ補助入力)。オーディオ ADC 入力ミキサおよびオーディオ DAC 出力ミキサにも接続されています。
AUX2	21	I	AUX2(SAR ADC へのセカンダリ補助入力)。オーディオ ADC 入力ミキサにも接続されています。
AVDD	23	-	アナログ電源
AVSS	22	-	アナログ・グラウンド
BCLK	13	I/O	オーディオ・シリアル・クロック
DVDD	9	-	デジタル電源 - デジタル・コア
DVSS	29	-	デジタル・グラウンド (内部でHVSSに接続)
GPI1	47	I	汎用入力および多機能ピン
GPI2	46	I	汎用入力および多機能ピン
GPI3	45	I	汎用入力および多機能ピン
GPIO1	5	I/O	汎用入出力および多機能ピン
GPIO2	6	I/O	汎用入出力および多機能ピン
HPL	41	O	左チャンネル・ヘッドホン・ドライバ出力
HPR	44	O	右チャンネル・ヘッドホン・ドライバ出力
HVDD	42	-	ヘッドホン・ドライバおよびPLL用電源

表 2-1. ピン機能 (続き)

ピン		I/O	説明
名前	番号		
HVSS	43	-	ドライバおよびPLL用グラウンド (内部でDVSSに接続)
IOVDD	8	-	デジタル・インターフェイス用電源
IOVSS	7	-	デジタル・インターフェイス用グラウンド
MCLK	14	I	外部マスタ・クロック
MIC	19	I	マイク入力 (オーディオADC入力ミキサおよびオーディオDAC出力ミキサに接続)
MICBIAS	18	O	マイク・バイアス電圧
MISO	1	O	SPIからのデータ出力 (Hi-Z対応)
MOSI	2	I	SPIへのデータ入力
RESET	48	I	ロジックおよびすべての内部レジスタのリセット - アクティブ・ロー
SCL	16	I/O	I ² C 制御バス・クロック入力
SCLK	4	I	SPIへの外部クロック
SDA	15	I/O	I ² C 制御バス・データI/O
SDIN	11	I	再生オーディオ・シリアル・データ入力
SDOUT	10	O	録音オーディオ・シリアル・データ出力 (Hi-Z対応)
SLVDD	35	-	左チャンネルClass-Dスピーカー・アンプ用電源
SLVSS	34	-	左チャンネルClass-Dスピーカー・アンプ用電源グラウンド
SPLN	33	O	左チャンネル・スピーカー・ドライバ反転出力
SPLP	36	O	左チャンネル・スピーカー・ドライバ非反転出力
SPRN	37	O	右チャンネル・スピーカー・ドライバ反転出力
SPRP	40	O	右チャンネル・スピーカー・ドライバ非反転出力
SRVDD	38	-	右チャンネルClass-Dスピーカー・アンプ用電源
SRVSS	39	-	右チャンネルClass-Dスピーカー・アンプ用電源グラウンド
SS	3	I	PIチップ・セレクト - アクティブ・ロー
TSVDD	32	-	タッチ・スクリーン・コントローラ用電源 (タッチ・スクリーン・パネル・ドライバに使用)
TSVSS	26	-	タッチ・スクリーン・ドライバ用グラウンド
VBAT	24	I	SAR ADCへのバッテリー監視入力
VOL/MICDET	17	I	再生デジタル音量制御またはマイク検出機能
VREF	25	I/O	SAR ADCへの電圧リファレンス入力
WCLK	12	I/O	オーディオ・シリアル・バス・チャンネル・クロック
XN	28	I/O	タッチ・スクリーン X- 位置入力およびドライバ
XP	31	I/O	タッチ・スクリーン X+ 位置入力およびドライバ
YN	27	I/O	タッチ・スクリーン Y- 位置入力およびドライバ
YP	30	I/O	タッチ・スクリーン Y+ 位置入力およびドライバ

3 電気的特性

3.1 絶対最大定格

動作温度範囲内（特に記述のない限り）⁽¹⁾

	値	単位	
AVDD~AVSS	-0.3 to 3.9	V	
DVDD~DVSS	-0.3 to 2.5	V	
HVDD~HVSS	-0.3 to 3.9	V	
SLVDD~SLVSS	-0.3 to 6	V	
SRVDD~SRVSS	-0.3 to 6	V	
IOVDD~IOVSS	-0.3 to 3.9	V	
TSVDD~TSVSS	-0.3 to 3.9	V	
VREF~AVSS	AVSS - 0.3 to AVDD	V	
デジタル入力電圧	IOVSS - 0.3 to IOVDD + 0.3	V	
アナログ入力電圧	AVSS - 0.3 to AVDD + 0.3	V	
VBAT	-0.3 to 6	V	
動作温度範囲	-40 to 85	°C	
保存温度範囲	-55 to 150	°C	
ジャンクション温度 (T _J Max)	105	°C	
QFNパッケージ	消費電力	(T _J Max - T _A)/R _{θJA}	W
	R _{θJA} 熱抵抗 (サーマル・パッドを基板に半田付け)	27	°C/W
端子温度	赤外線 (15秒)	300	°C

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

表3-1. システムの熱特性⁽¹⁾

25°Cの電力定格	ディレーティング係数	70°Cの電力定格	85°Cの電力定格
3 W	37.04 mW/°C	1.3 W	0.74 W

(1) このデータは、2オンス (0.071mm厚) のプリント基板パターンを使用し、3インチ×3インチ (7.62cm×7.62cm) のJEDEC High-K、標準4層PCBに銅パッドを半田付けした状態で測定されています。

3.2 推奨動作条件

動作温度範囲内（特に記述のない限り）

			最小	公称	最大	単位
AVDD ⁽¹⁾	電源電圧範囲	AVSSを基準 ⁽²⁾	2.7	3.3	3.6	V
DVDD		DVSSを基準 ⁽²⁾	1.65	1.8	1.95	
HVDD		HVSSを基準 ⁽²⁾	2.7	3.3	3.6	
SLVDD ⁽¹⁾		SLVSSを基準 ⁽²⁾	2.7		5.5	
SRVDD ⁽¹⁾		SRVSSを基準 ⁽²⁾	2.7		5.5	
TSVDD		TSVSSを基準 ⁽²⁾	2.7	3.3	3.6	
IOVDD		IOVSSを基準 ⁽²⁾	1.1	3.3	3.6	
VREF	外部電圧リファレンス	AVSSを基準 ⁽²⁾	0	3.3	AVDD	V
	スピーカー・インピーダンス	Class-D出力ピンに抵抗を接続（BTL）	8			Ω
	ヘッドホン・インピーダンス	R _L にAC結合	16			Ω
V _i	アナログ・オーディオ・フルスケール入力電圧	AVDD = 3.3V、シングルエンド	0.707			V _{RMS}
	ステレオ・ライン出力負荷インピーダンス	R _L にAC結合	10			kΩ
MCLK ⁽³⁾	マスタ・クロック周波数	IOVDD = 3.3V			50	MHz
SCLK	SCLK周波数	IOVDD = 3.3V			30	MHz
	SCLKのデューティ・サイクル		40%	50%	60%	
SCL	SCLクロック周波数				400	kHz
T _A	動作フリーエア温度		-40		85	°C

- バッテリー電流のリークを最小限に抑えるため、SLVDD および SRVDD の電圧レベルは AVDD 電圧レベルを下回らないようにしてください。
- 基板の上すべてのグラウンドは相互に共通接続します。グラウンド信号のどのような組み合わせについても、グラウンド間の電圧差が最大 0.2V を超えてはなりません。幅広いパターンまたはグラウンド・プレーンを使用することで、HVSS-DVSS 間の接続は低インピーダンスに保持してください。
- 汎用クロックとして使用するデジタル・ピンの最大入力周波数は 50MHz です。

3.3 電気的特性

25°C、AVDD、HVDD、IOVDD、TSVDD、=3.3V、SLVDD、SRVDD=3.6V、DVDD=1.8V、VREF=3.3V、f_S（オーディオ）= 48kHz、CODEC_CLKIN=256×f_S、PLL=オフ、SAR入力はAUX1、VOL/MICDETピンはディスエーブルです（特に記述のない限り）。

パラメータ	測定条件	最小	標準	最大	単位
SARコンバータ					
補助アナログ入力					
入力電圧範囲	タッチ・スクリーンで入力としてAUX1、AUX2、VBAT入力を選択	0		VREF	V
入力インピーダンス ⁽¹⁾		1/(f×C)			kΩ
入力容量		25			pF
入力リーク電流		1			μA
VBATの入力電圧範囲	バッテリー測定モード	0		6	V

- SAR入力インピーダンスは、サンプリング周波数に依存します（サンプリング・コンデンサはC = 25pF）。

3.3 電気的特性 (続き)

25°C、AVDD、HVDD、IOVDD、TSVDD、=3.3V、SLVDD、SRVDD=3.6V、DVDD=1.8V、VREF=3.3V、 f_S (オーディオ) = 48kHz、CODEC_CLKIN=256× f_S 、PLL=オフ、SAR入力はAUX1、VOL/MICDETピンはディスエーブルです (特に記述のない限り)。

パラメータ	測定条件	最小	標準	最大	単位
タッチ・スクリーンSAR ADC					
分解能	プログラミング可能：8ビット、10ビット、12ビット	8		12	ビット
ノー・ミッシング・コード	12ビット分解能		11		ビット
INL	積分非直線性		±7		LSB
	オフセット誤差		±7		LSB
	ゲイン誤差		±7		LSB
	ノイズ		0.8		LSB
変換速度					
通常変換動作	12 12ビット、内部変換クロック = 2MHz			119	kHz
高速変換動作	8ビット、内部変換クロック = 6MHz (変換精度は低下します)			250	kHz
電圧リファレンス - VREF					
電圧範囲	内部VREF	1.25		2.5	V
	外部VREF	1.25		AVDD	
内部VREF出力電圧	アナログ・グランドとの間に1μFのコンデンサを接続して測定。内部VREFとして1.25Vを選択 (ページ3/レジスタ6、ビットD6 = 0)		1.23		V
内部発振回路 - RC_CLK					
SAR用発振周波数			8.2		MHz
音量制御ピン (ADC)、VOL/MICDETピンはイネーブル					
入力電圧範囲	VOL/MICDETピンを音量制御として設定 (ページ0/レジスタ116、ビットD7 = 1、およびページ0/レジスタ67、ビットD7 = 0)	0		0.5 × AVDD	V
入力容量			2		pF
音量制御ステップ			128		ステップ
オーディオADC					
ADCへのマイク入力、984Hz正弦波入力、$f_S = 48\text{kHz}$、AGC = オフ					
入力信号レベル (0dB)	MICでR1 = 20kΩ (ページ1/レジスタ48およびレジスタ49、ビットD7-D6)		0.707		V _{RMS}
SNR	信号対雑音比	$f_S = 48\text{kHz}$ 、PGAゲイン = 0dB、MIC入力をグランドにAC短絡、アイドル・チャンネル・ノイズとして測定、A-weighted ^{(1) (2)}	80	90	dB
	ダイナミック・レンジ	$f_S = 48\text{kHz}$ 、PGAゲイン = 0dB、-60dBFS入力でのMIC入力1kHz、0.707Vrms入力を基準、A-weighted ^{(1) (2)}		91	dB
THD+N	全高調波歪+ノイズ	$f_S = 48\text{kHz}$ 、PGAゲイン = 0dB - 2dBFS入力でのMIC入力1kHz、0.707Vrms入力を基準	-83	-70	dB
THD	全高調波歪	$f_S = 48\text{kHz}$ 、PGAゲイン = 0dB、-2dBFS入力でのMIC入力1kHz、0.707Vrms入力を基準	-90		dB
	入力容量	MIC入力		2	pF

- (1) 入力短絡時の出力レベルに対する、1kHzフルスケール正弦波信号入力時の出力レベルの比。オーディオ・アナライザを使用し、20Hz～20kHzの帯域幅にわたってA-weightedで測定しています。
- (2) すべての特性測定は、20kHzローパス・フィルタを使用して行っています。また、記載のある箇所ではA-weightedフィルタを使用しています。これらのフィルタを使用しない場合、電気的特性表に示された値よりもTHD+Nが高く、SNRおよびダイナミック・レンジが低くなる可能性があります。このローパス・フィルタは、帯域外ノイズを除去します。このノイズは、可聴域ではありませんが、ダイナミック動的特性の値に影響を与える可能性があります。

3.3 電気的特性 (続き)

25°C、AVDD、HVDD、IOVDD、TSVDD、=3.3V、SLVDD、SRVDD=3.6V、DVDD=1.8V、VREF=3.3V、 f_s (オーディオ) = 48kHz、CODEC_CLKIN=256× f_s 、PLL=オフ、SAR入力はAUX1、VOL/MICDETピンはディスエーブルです (特に記述のない限り)。

パラメータ	測定条件	最小	標準	最大	単位
マイク・バイアス					
電圧出力	ページ1/レジスタ46、ビットD1-D0 = 10	2.25	2.5	2.75	V
	ページ1/レジスタ46、ビットD1-D0 = 01	2			
電圧レギュレーション	負荷電流4mA、ページ1/レジスタ46、ビットD1-D0 = 10 (MICBIAS = 2.5V)	5			mV
	負荷電流4mA、ページ1/レジスタ46、ビットD1-D0 = 01 (MICBIAS = 2V)	7			
オーディオADCデジタル・デシメーション・フィルタ特性					
オーディオADCデジタル・デシメーション・フィルタ特性については、5.5.4.4節を参照してください。					
DACヘッドホン出力、AC結合負荷 = 16Ω (シングルエンド)、ドライバ・ゲイン = 0dB、ストレー容量 = 30pF					
フルスケール出力電圧 (0dB)	出力同相モード設定 = 1.65V	0.707			Vrms
SNR 信号対雑音比	アイドル・チャンネル・ノイズとして測定、A-weighted ⁽¹⁾⁽²⁾	80	95	dB	
THD 全高調波歪	0dBFS入力	-85	-65	dB	
THD+N 全高調波歪+ノイズ	0dBFS入力	-82	-60	dB	
ミュート時減衰		87			dB
PSRR 電源除去比 ⁽³⁾	HVDD (3.3V) のリップル = 200mVp-p (1kHz時)	62			dB
P _O 最大出力電力	R _L = 32 Ω, THD+N ≤ -60 dB	20			mW
	R _L = 16 Ω, THD+N ≤ -60 dB	60			
DACライン出力 (HPドライバがライン出力モード)					
SNR 信号対雑音比	アイドル・チャンネル・ノイズとして測定、A-weighted	95			dB
THD 全高調波歪	0dBFS入力、0dBゲイン	-86			dB
THD+N 全高調波歪+ノイズ	0dBFS入力、0dBゲイン	-82			dB
DACデジタル補間フィルタ特性					
DAC補間フィルタ特性については、5.6.1.4節を参照してください。					
DAC出力~Class-Dスピーカー出力、負荷 = 8Ω (差動)、50pF					
出力電圧	SLVDD = SRVDD = 3.6V、BTL測定、DAC入力 = 0dBFS、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 6dB、THD ≤ -16.5dB	2.2			Vrms
	SLVDD = SRVDD = 3.6V、BTL測定、DAC入力 = -2dBFS、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 6dB、THD ≤ -20dB	2.1			
出力、同相モード	SLVDD = SRVDD = 3.6V、BTL測定、DAC入力 = ミュート、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 6dB	1.65			V
SNR 信号対雑音比	SLVDD = SRVDD = 3.6V、BTL測定、Class-Dゲイン = 6dB、アイドル・チャンネル・ノイズとして測定、A-weighted (フルスケール出力値2.2Vrmsを基準) ⁽¹⁾⁽²⁾	87			dB

- (1) 入力短絡時の出力レベルに対する、1kHzフルスケール正弦波信号入力時の出力レベルの比。オーディオ・アナライザを使用し、20Hz ~ 20kHzの帯域幅にわたってA-weightedで測定しています。
- (2) すべての特性測定は、20kHzローパス・フィルタを使用して行っています。また、記載のある箇所ではA-weightedフィルタを使用しています。これらのフィルタを使用しない場合、電気的特性表に示された値よりもTHD+Nが高く、SNRおよびダイナミック・レンジが低くなる可能性があります。このローパス・フィルタは、帯域外ノイズを除去します。このノイズは、可聴域ではありませんが、ダイナミック特性の値に影響を与える可能性があります。

$$PSRR = 20 \log_{10} \left[\frac{V_{SIG_{Supp}}}{V_{DACOUT}} \right]$$

- (3) DAC-ヘッドホン出力間PSRRの測定値は、次のように計算されます。

3.3 電気的特性 (続き)

25°C、AVDD、HVDD、IOVDD、TSVDD、=3.3V、SLVDD、SRVDD=3.6V、DVDD=1.8V、VREF=3.3V、 f_s (オーディオ) = 48kHz、CODEC_CLKIN=256× f_s 、PLL=オフ、SAR入力はAUX1、VOL/MICDETピンはディスエーブルです (特に記述のない限り)。

パラメータ		測定条件	最小	標準	最大	単位
DAC出力~Class-Dスピーカー出力、負荷 = 8Ω (差動)、50pF (続き)						
THD	全高調波歪	SLVDD = SRVDD = 3.6V、BTL測定、DAC入力 = -6dBFS、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 6dB		-72		dB
THD+N	全高調波歪+ノイズ	SLVDD = SRVDD = 3.6V、BTL測定、DAC入力 = -6dBFS、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 6dB		-71		dB
PSRR	電源除去比 ⁽¹⁾	SLVDD = SRVDD = 3.6V、BTL測定、SLVDD/SRVDDのリップル = 200mVp-p (1kHz時)		57		dB
	ミュート時アッテネーション			110		dB
P _O	最大出力電力	SLVDD = SRVDD = 3.6V、BTL測定、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 18dB、THD = 10%		540		mW
		SLVDD = SRVDD = 4.3V、BTL測定、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 18dB、THD = 10%		790		
		SLVDD = SRVDD = 5.5V、BTL測定、DAC VCM (ページ1/レジスタ31、ビットD4-D3) = 1.65V、Class-Dゲイン = 18dB、THD = 10%		1.29		W
	バッテリー直接接続時の出力段リーク電流	SLVDD = SRVDD = 4.3V、デバイスはパワーダウン (パワーアップ・リセット状態)		80		nA
ADCおよびDAC消費電力						
選択した処理ブロック毎のADCおよびDAC消費電力については、5.4節を参照してください。						
デジタル入出力						
ロジック・ファミリ			CMOS			
V _{IH}	ロジック・レベル	I _{IH} = 5 μA, IOVDD ≥ 1.6 V	0.7 × IOVDD		V	
		I _{IH} = 5 μA, IOVDD < 1.6 V	IOVDD			
V _{IL}		I _{IL} = 5 μA, IOVDD ≥ 1.6 V	-0.3	0.3 × IOVDD		V
		I _{IL} = 5 μA, IOVDD < 1.6 V	0			
V _{OH}		I _{OH} = 2TTL負荷	0.8 × IOVDD		V	
V _{OL}		I _{OL} = 2TTL負荷			0.1 × IOVDD	V
容量性負荷			10		pF	

$$PSRR = 20 \log_{10} \left[\frac{V_{SIG_{Supp}}}{V_{SPK1/2}} \right]$$

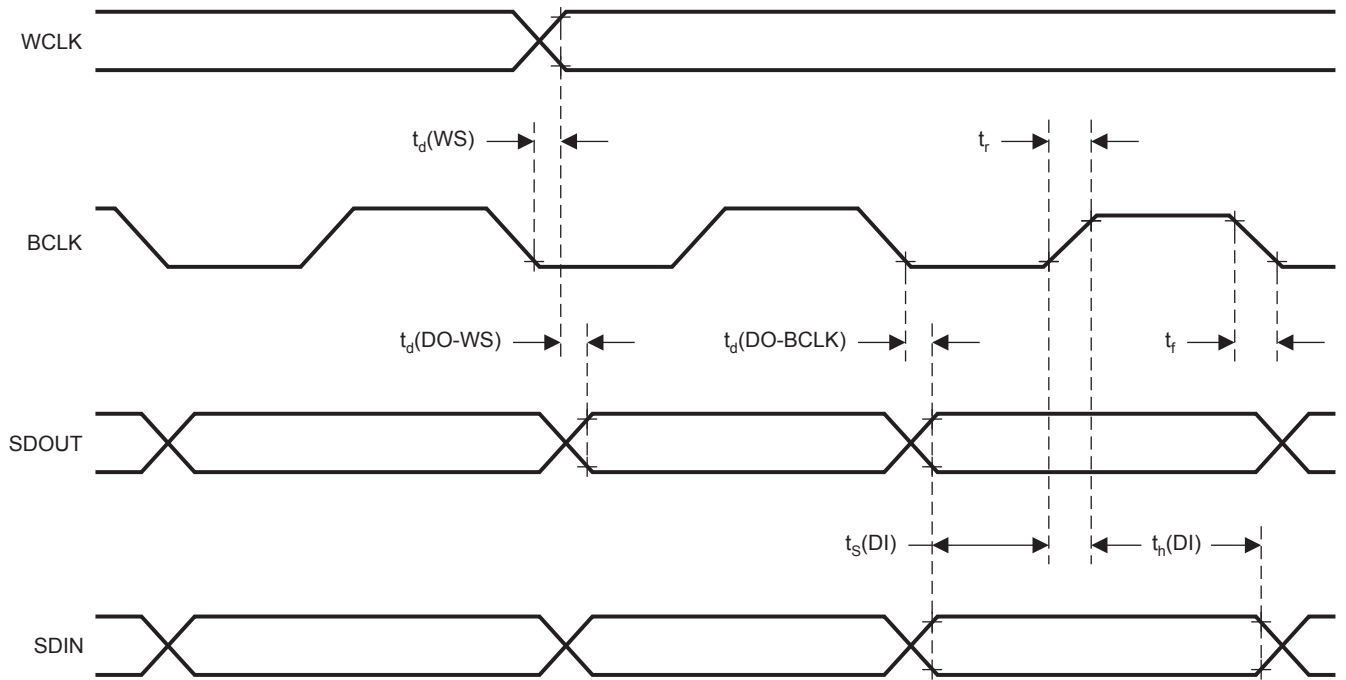
(1) DAC-スピーカー出力間PSRRの測定値は、次のように計算されます。

3.4 タイミング特性

3.4.1 マスタ・モードのI²S/LJF/RJFタイミング

すべての仕様は、25°C、DVDD = 1.8Vでの値です。

注：すべてのタイミング仕様は、特性評価で規定されている値であり、最終テストは行っていません。



T0145-06

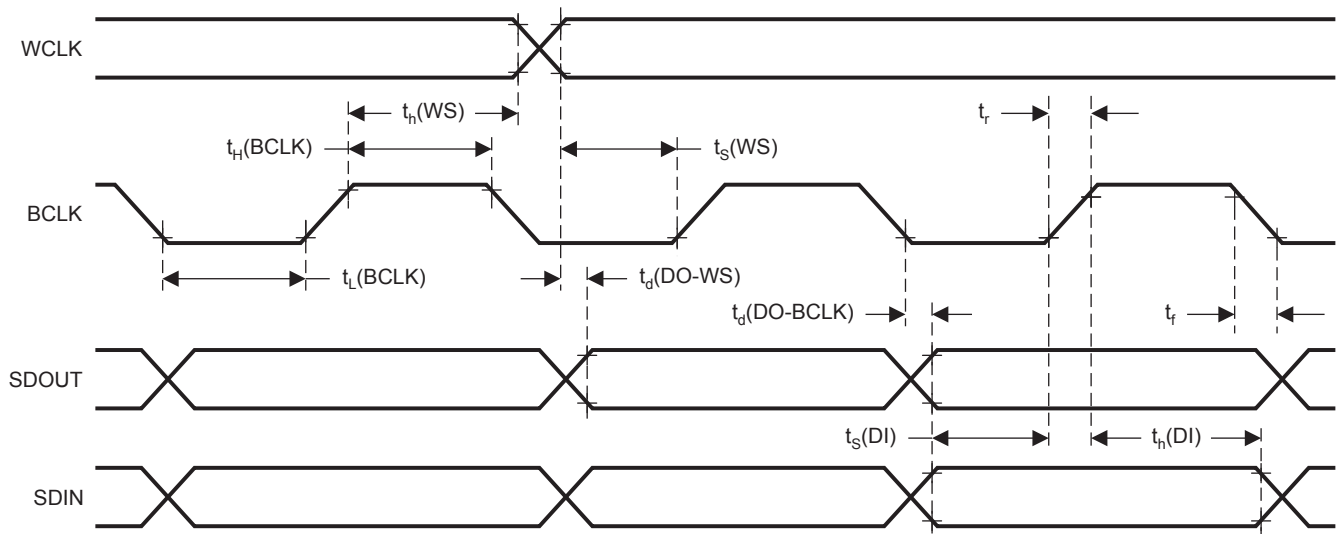
パラメータ		IOVDD = 1.1 V		IOVDD = 3.3 V		単位
		最小	最大	最小	最大	
$t_d(WS)$	WCLK遅延		45		20	ns
$t_d(DO-WS)$	WCLK~DOUT遅延 (LJFモードのみ)		45		20	ns
$t_d(DO-BCLK)$	BCLK~DOUT遅延		45		20	ns
$t_s(DI)$	SDINセットアップ	8		6		ns
$t_h(DI)$	SDINホールド	8		6		ns
t_r	立ち上がり時間		25		10	ns
t_f	立ち下がり時間		25		10	ns

図3-1. マスタ・モードのI²S/LJF/RJFタイミング

3.4.2 スレーブ・モードのI²S/LJF/RJFタイミング

すべての仕様は、25°C、DVDD = 1.8Vでの値です。

注：すべてのタイミング仕様は、特性評価で規定されている値であり、最終テストは行っていません。



T0145-07

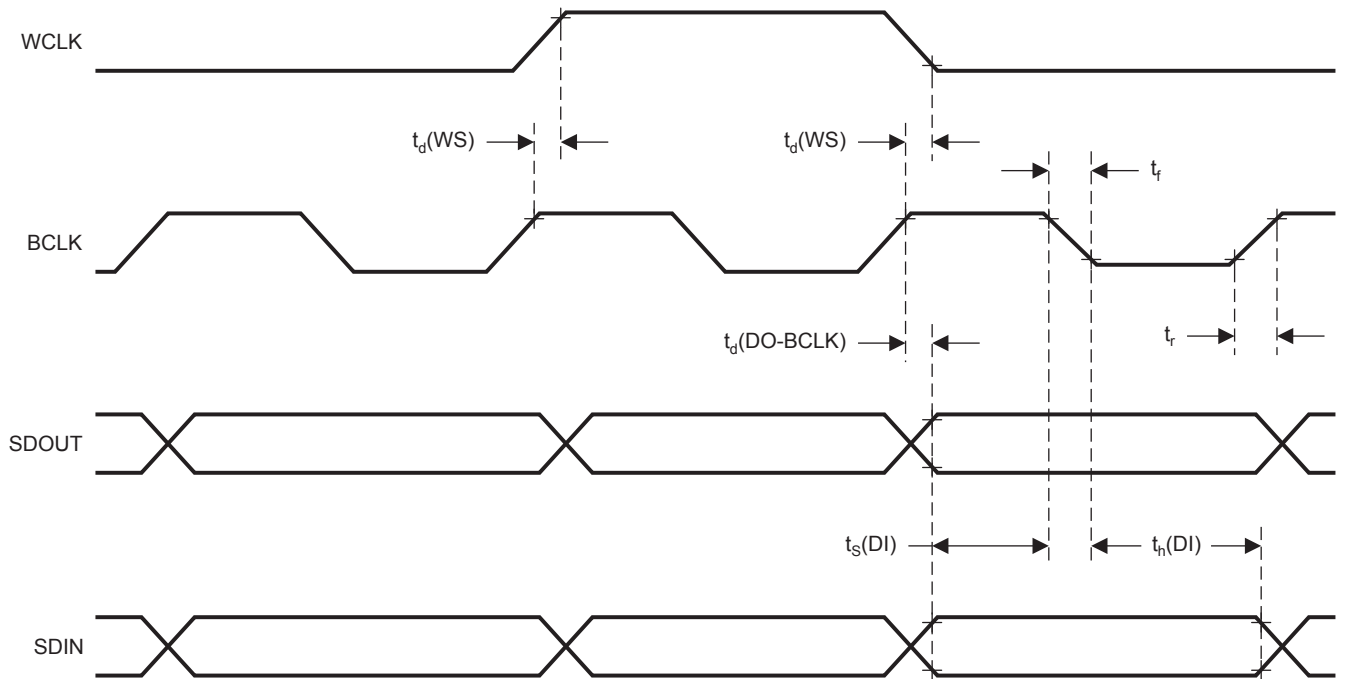
パラメータ		IOVDD = 1.1 V		IOVDD = 3.3 V		単位
		最小	最大	最小	最大	
t _H (BCLK)	BCLK "High" 期間	35		35		ns
t _L (BCLK)	BCLK "Low" 期間	35		35		ns
t _S (WS)	WCLKセットアップ	8		6		ns
t _H (WS)	WCLKホールド	8		6		ns
t _D (DO-WS)	WCLK~DOUT遅延 (LJFモードのみ)		45		20	ns
t _D (DO-BCLK)	BCLK~DOUT遅延		45		20	ns
t _S (DI)	SDINセットアップ	8		6		ns
t _H (DI)	SDINホールド	8		6		ns
t _r	立ち上がり時間		4		4	ns
t _f	立ち下がり時間		4		4	ns

図3-2. スレーブ・モードのI²S/LJF/RJFタイミング

3.4.3 マスタ・モードのDSPタイミング

すべての仕様は、25°C、DVDD = 1.8Vでの値です。

注：すべてのタイミング仕様は、特性評価で規定されている値であり、最終テストは行っていません。



T0146-05

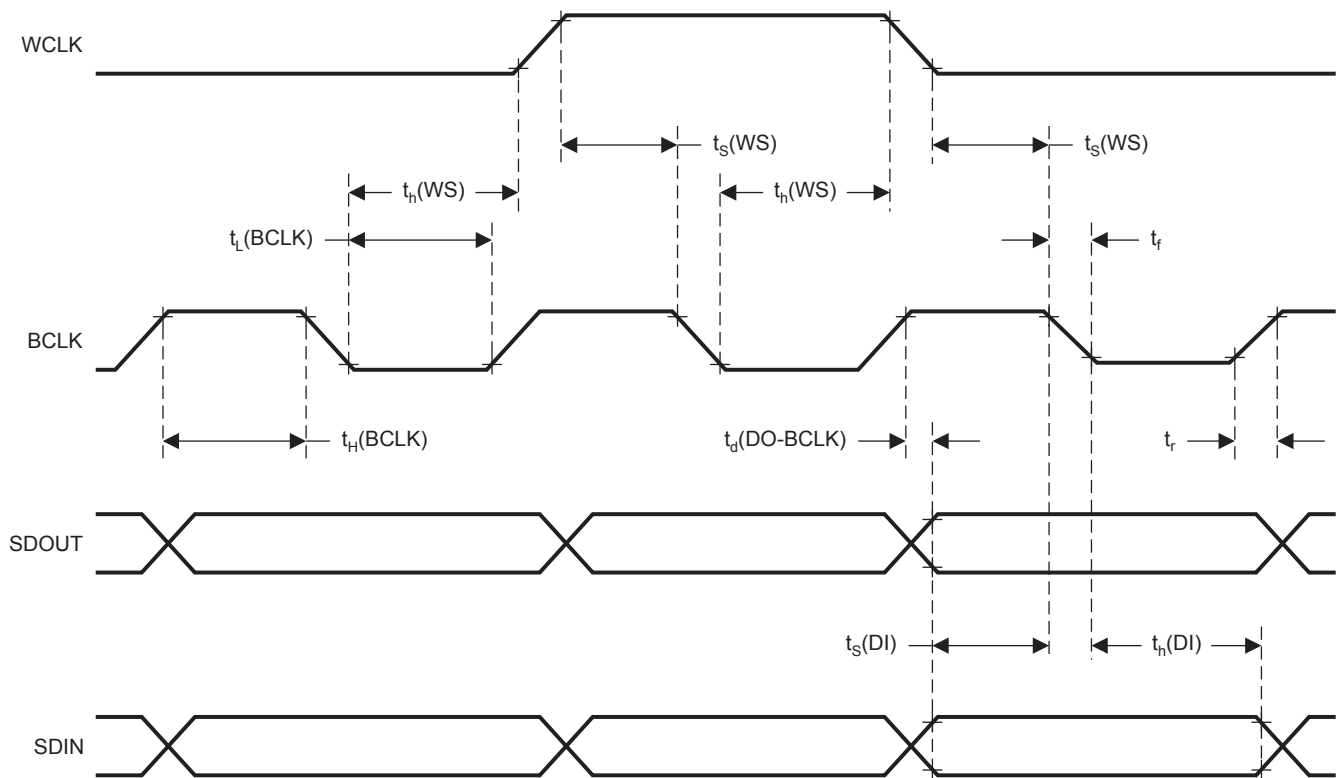
パラメータ		IOVDD = 1.1 V		IOVDD = 3.3 V		単位
		最小	最大	最小	最大	
$t_d(WS)$	WCLK遅延		45		20	ns
$t_d(DO-BCLK)$	BCLK~DOUT遅延		45		20	ns
$t_s(DI)$	SDINセットアップ	8		8		ns
$t_h(DI)$	SDINホールド	8		8		ns
t_r	立ち上がり時間		25		10	ns
t_f	立ち下がり時間		25		10	ns

図3-3. マスタ・モードのDSPタイミング

3.4.4 スレーブ・モードのDSPタイミング

すべての仕様は、25°C、DVDD = 1.8Vでの値です。

注：すべてのタイミング仕様は、特性評価で規定されている値であり、最終テストは行っていません。



T0146-06

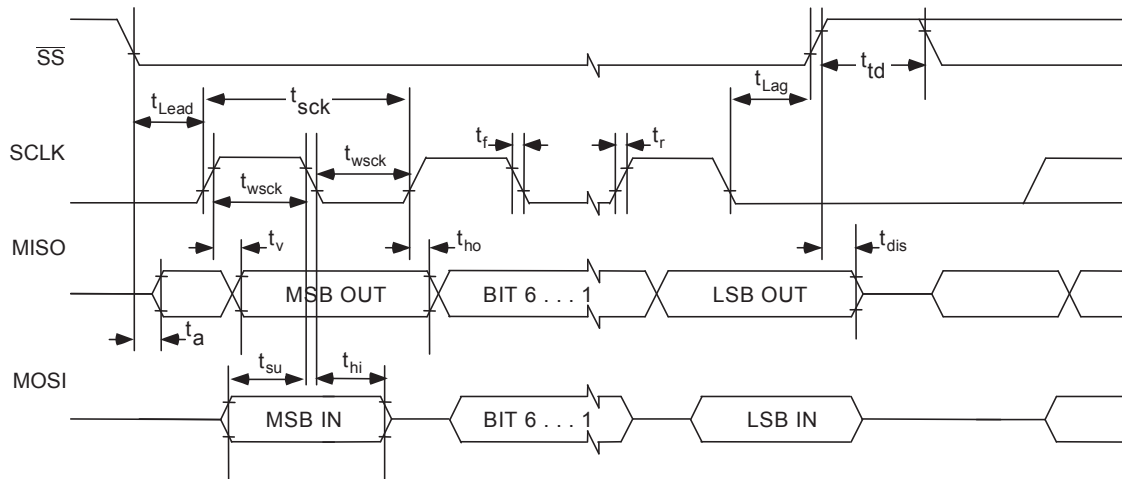
パラメータ		IOVDD = 1.1 V		IOVDD = 3.3 V		単位
		最小	最大	最小	最大	
$t_H(BCLK)$	BCLK “High” 期間	35		35		ns
$t_L(BCLK)$	BCLK “Low” 期間	35		35		ns
$t_s(WS)$	WCLKセットアップ	8		8		ns
$t_h(WS)$	WCLKホールド	8		8		ns
$t_d(DO-BCLK)$	BCLK~DOOUT遅延		45		20	ns
$t_s(DI)$	SDINセットアップ	8		8		ns
$t_h(DI)$	SDINホールド	8		8		ns
t_r	立ち上がり時間		4		4	ns
t_f	立ち下がり時間		4		4	ns

図3-4. スレーブ・モードのDSPタイミング

3.4.6 SPIインターフェイス・タイミング

すべての仕様は、25°C、DVDD = 1.8Vでの値です。

注：すべてのタイミング仕様は、特性評価で規定されている値であり、最終テストは行っていません。



パラメータ	IOVDD = 1.1 V		IOVDD = 3.3 V		単位	
	最小	最大	最小	最大		
t_{wsc}	SCLKパルス幅	50	20		ns	
t_{Lead}	イネーブル・リード時間	50	20		ns	
t_{Lag}	イネーブル・ラグ時間	50	20		ns	
t_{td}	シーケンシャル転送遅延	40	20		ns	
t_a	MISOスレーブ・データ出力アクセス時間			40	20	ns
t_{dis}	MISOスレーブ・データ出力ディスエーブル時間			40	20	ns
t_{su}	MOSIデータ入力セットアップ時間	15	10			ns
t_{hi}	MOSIデータ入力ホールド時間	15	10			ns
t_v	MISOデータ有効時間			25	18	ns
t_r	SCLK立ち上がり時間			4	4	ns
t_f	SCLK立ち下がり時間			4	4	ns

図3-6. SPIインターフェイス・タイミング図

4 代表的特性

4.1 オーディオADC特性

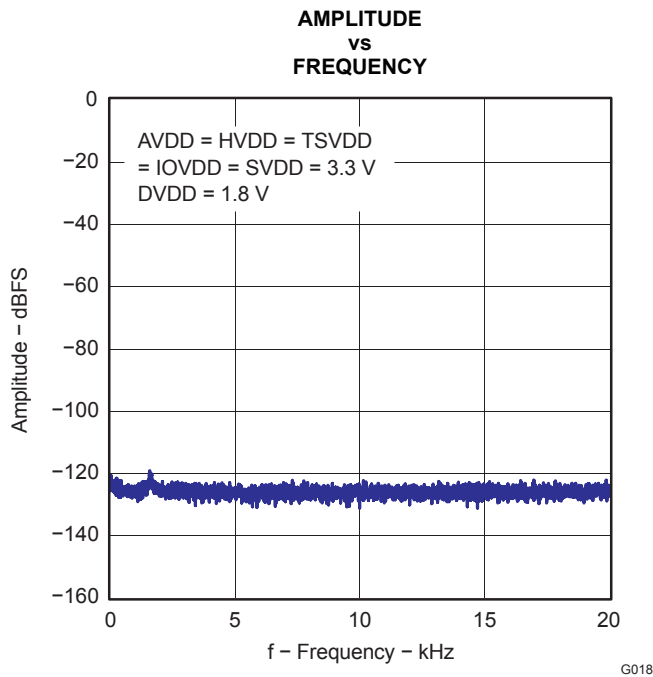


図4-1. FFT - ADCアイドル・チャンネル、差動

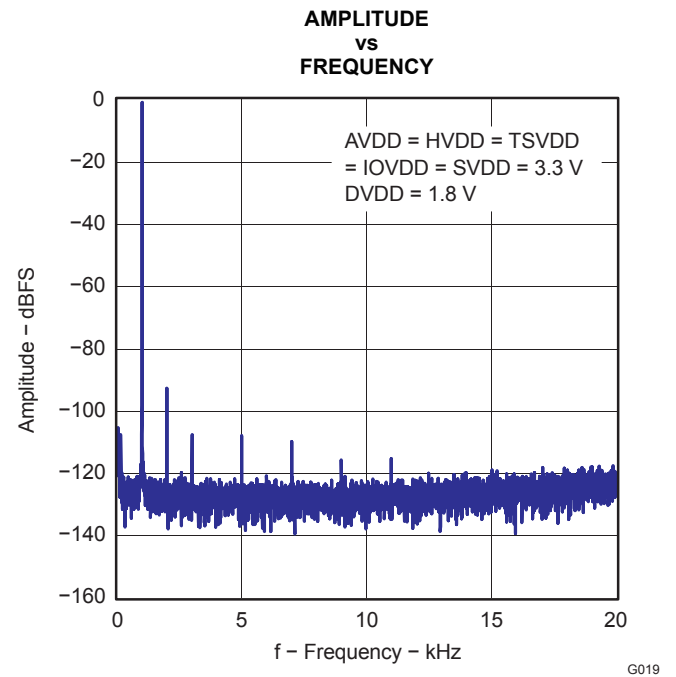


図4-2. FFT - ADCシングルエンド入力

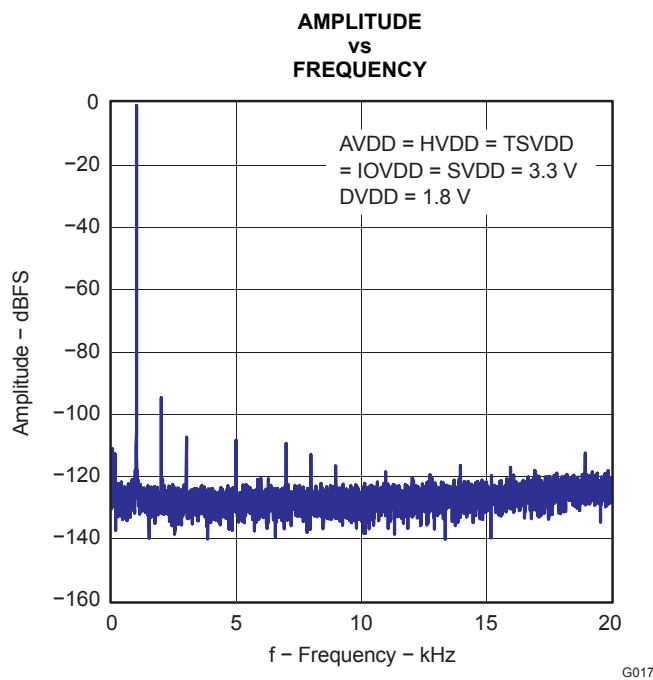


図4-3. FFT - ADC差動入力

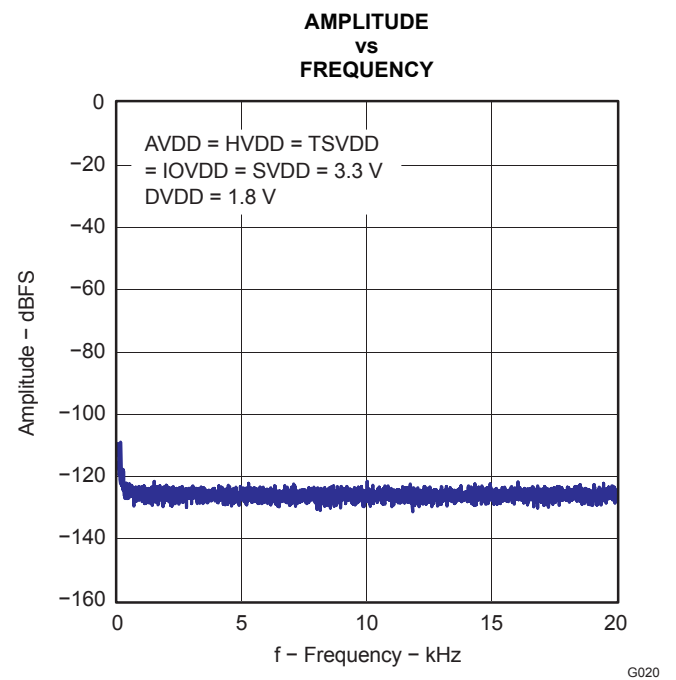


図4-4. FFT - ADCアイドル・チャンネル、シングルエンド

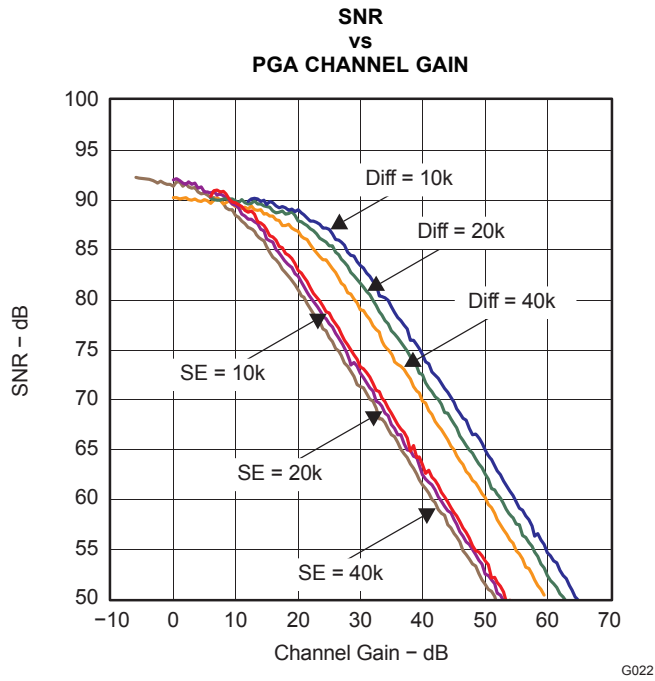


図4-5.

4.2 DAC特性

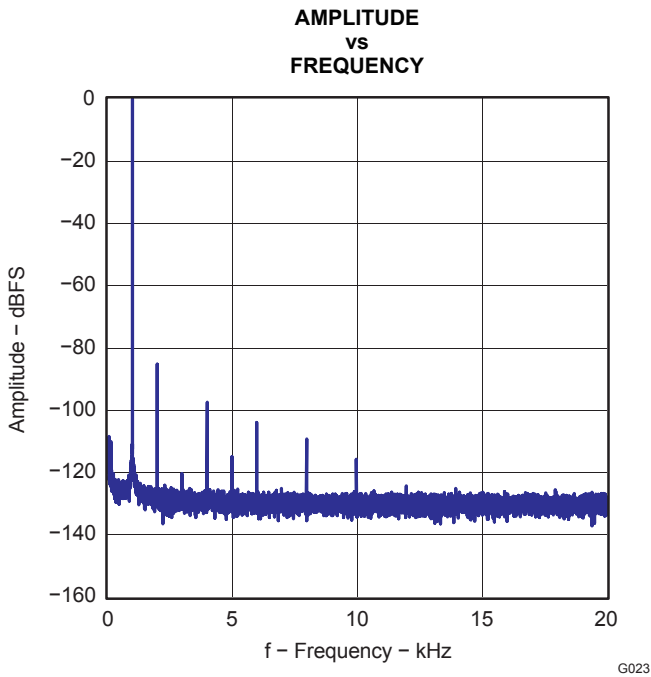


図4-6. FFT - DAC～ライン出力

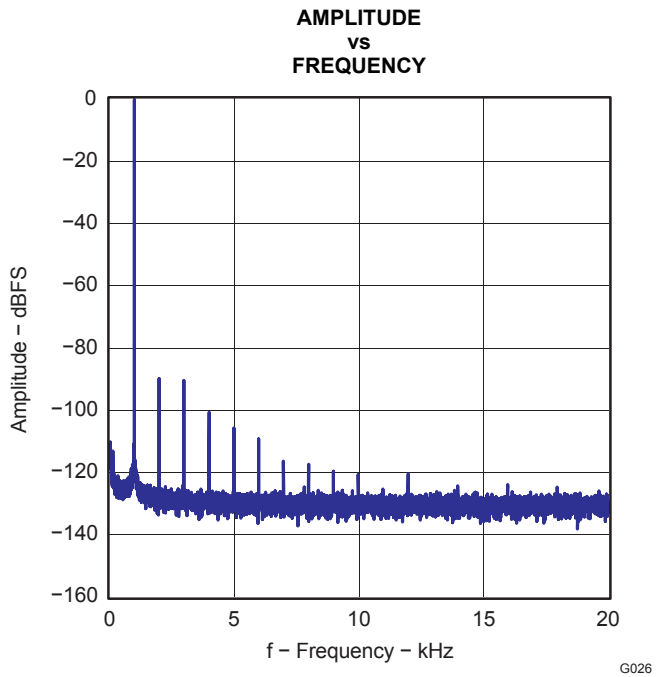


図4-7. FFT - DAC～ヘッドホン出力

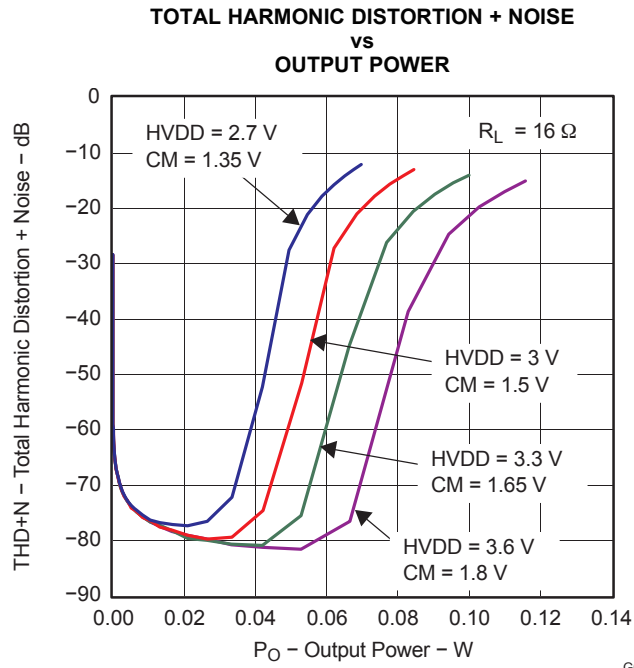


図4-8. ヘッドホン出力電力 ($R_L = 16\Omega$)

4.3 Class-Dスピーカー・ドライバ特性

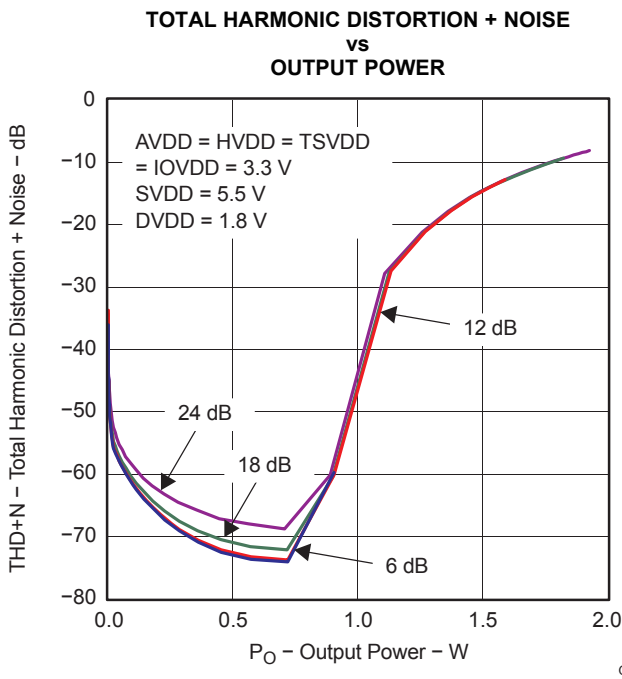


図4-9. 最大Class-Dスピーカー・ドライバ出力電力 ($R_L = 8\Omega$ 、ドライバ・ゲイン = 6dB~24dB)

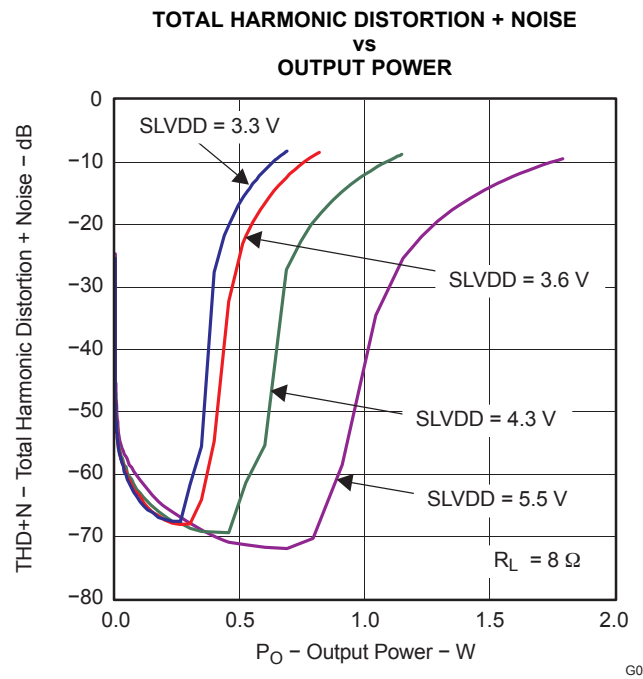


図4-10. Class-Dスピーカー・ドライバ出力電力 ($R_L = 8\Omega$ 、SLVDD = 3.3V~5.5V、ドライバ・ゲイン = 18dB)

4.4 アナログ・バイパス特性

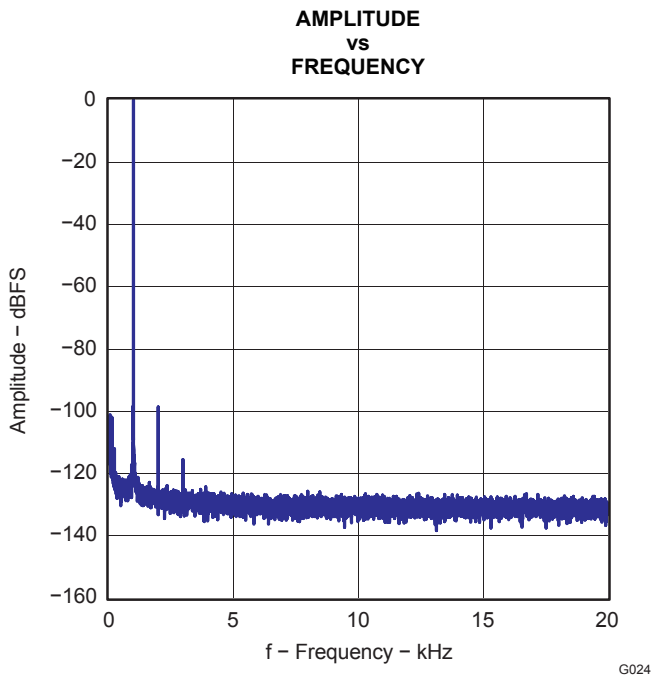


図4-11. FFT - ライン入力バイパス～ライン出力

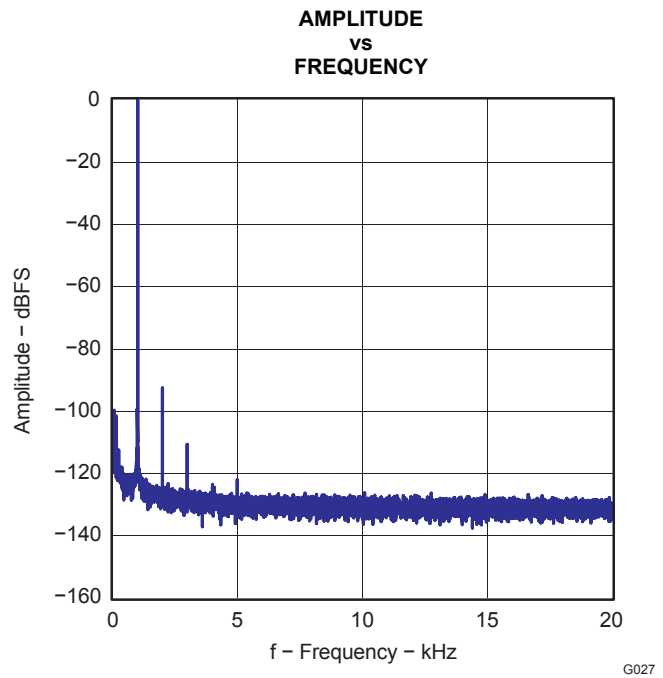


図4-12. FFT - ライン入力バイパス～ヘッドホン出力

4.5 MICBIAS特性

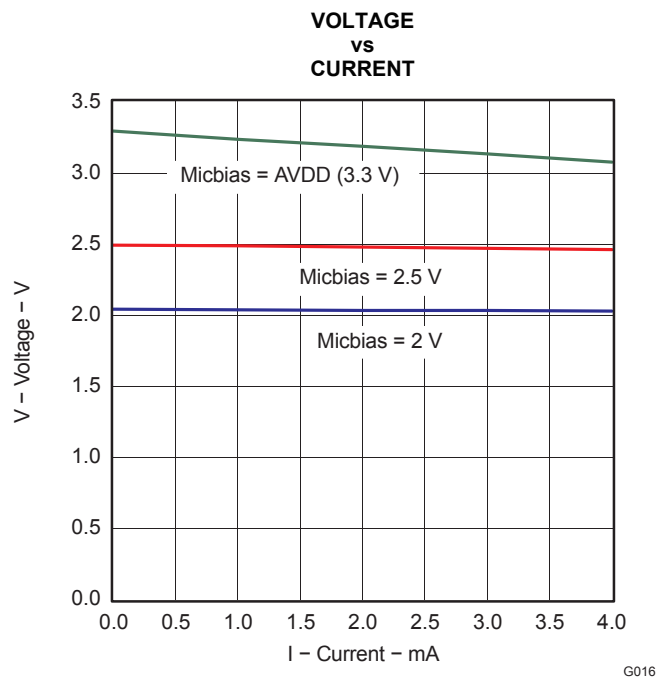
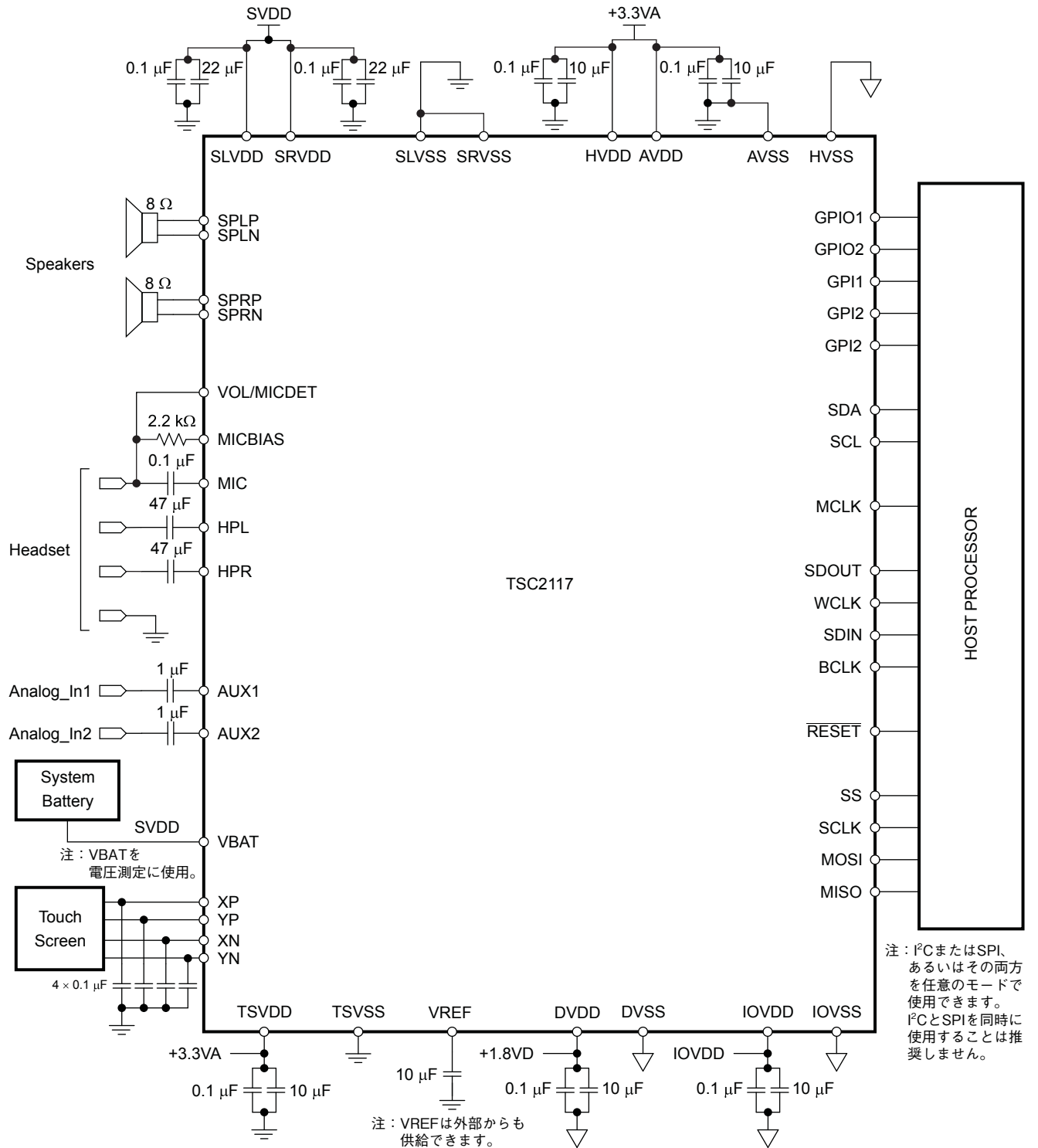


図4-13. MICBIAS

5 アプリケーション情報

5.1 標準的な回路構成



S0400-01

図5-1. 標準的な回路構成

5.2 概要

TSC2117は、高集積のステレオ・オーディオDAC、モノラルADC、およびタッチ・スクリーン・コントローラであり、ポータブル・コンピューティング、通信、エンターテインメントなどのアプリケーションに利用できます。レジスタ・ベースのアーキテクチャにより、標準シリアル・インターフェイス・バス経由でマイクロプロセッサ・ベースのシステムと簡単に統合できます。このデバイスは、4線式SPIバスおよび2線式I²Cバス・インターフェイスをサポートします。I²CインターフェイスおよびSPIインターフェイスでは、フル・レジスタ・アクセスが可能です。SPIデータ・バスは、より高速での通信およびSAR ADCデータの高速取得に利用できます。周辺機能はすべて、レジスタおよびオンボードのステート・マシンによって制御されます。

TSC2117は、以下のブロックから構成されます。

- ・ タッチ・パネル・ドライバ
- ・ マイク・インターフェイス（アナログおよびデジタル）
- ・ オーディオ・コーデック（モノラルADCおよびステレオDAC）
- ・ AGCおよびDRC
- ・ 2つのminiDSPデジタル信号処理ブロック（録音バスおよび再生バス）
- ・ ビープ発生回路
- ・ ステレオ・ヘッドホン/ライン出力アンプ
- ・ Class-Dステレオ・アンプ（8Ωスピーカー用）
- ・ ピン制御またはレジスタ制御の音量レベル制御
- ・ パワーダウン時のポップ音抑制、およびパワーアップ時のソフト・スタート
- ・ タッチ・パネル、電圧、および温度測定用SAR ADC
- ・ SAR補助データおよびタッチ・スクリーン・データ用FIFOバッファ・モード
- ・ 補助入力
- ・ SPI制御インターフェイス
- ・ I²C制御インターフェイス
- ・ パワーダウン制御ブロック

$\overline{\text{RESET}}$ ピンの遷移またはソフトウェア・リセットが行われると、デバイスはデフォルト・モードで動作します。SPIまたはI²Cインターフェイスを使用して制御レジスタに書き込むことにより、デバイスを設定できます。

TSC2117に割り当てられているI²Cアドレスは、001 1000です。このデバイスは、常にI²Cスレーブ・モードで動作します。すべてのレジスタが8ビットであり、すべての書き込み可能なレジスタにリードバック機能があります。シーケンシャルなアドレッシングをサポートするために自動インクリメントが行われ、I²Cファースト・モードでも使用できます。デバイスがリセットされると、すべての該当するレジスタがホスト・プロセッサによって更新されるため、ユーザーが必要に応じてデバイスを設定できます。

SAR ADCデータはSPI/I²Cバスを介して転送され、オーディオ・データ（オーディオADCおよびDAC用）はオーディオ・シリアル・インターフェイスを介して転送されます。SPIインターフェイスでは、TSC2117と通信するために $\overline{\text{SS}}$ 信号を“Low”にする必要があります。その後、ホスト・マイクロプロセッサからの制御により、TSC2117との間でデータがシフトイン、シフトアウトされます。ホスト・マイクロプロセッサは、SPIシリアル・クロックも提供します。

5.2.1 デバイスの初期化

5.2.1.1 リセット

デバイスを適切に動作させるためには、TSC2117の内部ロジックを既知の状態に初期化する必要があります。デバイスをデフォルトの動作状態に初期化するには、ハードウェア・リセット・ピン（ $\overline{\text{RESET}}$ ）を10ns以上“Low”にします。この初期化が機能するためには、IOVDDおよびDVDD電源がパワーアップされている必要があります。DVDD電源のパワーアップ中は、 $\overline{\text{RESET}}$ ピンを“Low”にすることを推奨します。

また、デバイスはソフトウェア・リセットを使用してもリセットできます。ページ0/レジスタ1のビットD0に1を書き込むと、デバイスがリセットされます。

5.2.1.2 デバイス・スタートアップ・ロックアウト時間

TSC2117がパワーアップ時のハードウェア・リセットまたはソフトウェア・リセットによって初期化されると、内部メモリはデフォルト値に初期化されます。この初期化は、RESET信号を“High”にした後1ms以内に行われます。この初期化フェーズ中は、ADCまたはDACの係数バッファに対してレジスタ読み取りまたはレジスタ書き込み操作を実行しないでください。また、初期化フェーズ中には、コーデック内のいずれのブロックもパワーアップしないでください。

5.2.1.3 PLLスタートアップ

PLLのパワーアップ時には、PLLのパワーアップ・コマンドが実行されてからコーデックにクロックが供給されるまでの間、約10msのスタートアップ遅延があります。この遅延は、PLLおよびクロック分周ロジックの動作を安定させるためのものです。

5.2.1.4 電源ステージのリセット

過電流によるラッチ・シャットダウンが発生した後でデバイスをリセットするときには、電源ステージのみのリセットが行われます。このリセットを使用すると、デバイス内のすべてのレジスタをリセットする必要なしに、出力ステージを再イネーブルできます。4つの電源段のそれぞれに専用のリセット・ビットがあります。ヘッドホン電源段リセットは、ページ1/レジスタ31のビットD7 (HPL) およびページ1/レジスタ31のビットD6 (HPR) を設定することで行われます。スピーカー電源段リセットは、ページ1/レジスタ32のビットD7 (SPLP、SPLN) およびページ1/レジスタ32のビットD6 (SPRP、SPRN) を設定することで行われます。

5.2.1.5 ソフトウェア・パワーダウン

デフォルトでは、リセット条件によってすべての回路ブロックがパワーダウンされます。各回路ブロックのハードウェア・パワーアップは、該当する制御レジスタへの書き込みによって制御できます。このアプローチにより、必要な機能に対して最小限の電源電流だけを消費するようになります。ただし、ブロックがパワーダウンされた際、デバイスに引き続き電源が供給されている間は、すべてのレジスタ設定が保持されます。TSC2117のタッチ検出回路はデフォルトでイネーブルとなっていて、ページ3/レジスタ4のビットD7に書き込むことでパワーダウンできます。

5.2.2 オーディオ・アナログI/O

TSC2117には、ステレオ・オーディオDACとモノラルADCが搭載されています。さまざまなアナログ・インターフェイスにより、各種のヘッドセットおよびアナログ出力をサポートします。TSC2117には、出力ドライバ (8Ω、16Ω、32Ω) およびマイクロホンPGAをAGC制御によってインターフェイスする機能があります。さらに、TSC2117には、ステレオ・オーディオ出力に短いキークリック音を挿入するための特別な回路が内蔵されています。このキークリック音は、特定のボタンが押されたり項目が選択されたりしたときに、ユーザへのフィードバックとして使用できます。キークリック音は、周波数、長さ、振幅を制御するいくつかのレジスタ・ビットを変更することで、調整可能です。5.6.5節「ビープ発生回路によるキークリック機能」を参照してください。

5.3 miniDSP

TSC2117には、2つのminiDSPコアが搭載されています。1つのminiDSPコアはADCに専用接続され、もう1つのminiDSPコアはDACに専用接続されています。パワーアップ後に、miniDSP用の完全にプログラマブルなアルゴリズムをデバイスにロードする必要があります。これらのminiDSPはADC側およびDAC側のデジタル・ステレオ・オーディオ・ストリームに直接アクセスできるため、群遅延の非常に小さい高度なDSPアルゴリズムを実現可能です。

ADC miniDSPには、384のプログラマブルな命令、256のデータ・メモリ・ロケーション、および128のプログラマブルな係数があります。DAC miniDSPには、1024のプログラマブルな命令、896のデータ・メモリ・ロケーション、および512のプログラマブルな係数があります (適応型モードでは、各バンクに256のプログラマブルな係数があります)。

5.3.1 ソフトウェア

TSC2117のソフトウェア開発は、TIの包括的なPurePath™ Studioソフトウェア開発環境によってサポートされています。これは、Texas InstrumentsのminiDSPオーディオ・プラットフォームでのソフトウェア開発を単純化するために設計された、強力で使いやすいツールです。このグラフィカル開発環境は、一般的なオーディオ関数のライブラリから構成されています。これらの関数は、オーディオ信号フローにドラッグ・アンド・ドロップし、画面上で互いに接続することができます。その後は、マウスのクリックによって、グラフィカル信号フローからDSPコードをアセンブルできます。

PurePath Studioの詳細について、おおよそすぐ使えるように提供されているDSPアルゴリズムの最新情報については、www.ti.comでTSC2117の製品フォルダを参照してください。

5.4 デジタル処理用低電力モード

TSC2117デバイスは、消費電力が最小、または性能が最大になるように調整したり、あるいはアプリケーションに応じてそれらの中間の動作に設定したりできます。また、処理ブロックの選択（ステレオ再生でのPRB_P1～PRB_P25、モノラル録音でのPRB_R4～PRB_R18）も消費電力に影響を与えます。実際、消費電力の最適化と信号処理能力とのバランスがそれぞれ異なるさまざまな構成から選択できるように、多数の処理ブロックが実装されています。

5.4.1 ADC、モノラル、48kHz、DVDD = 1.8V、AVDD = 3.3V

AOSR = 128、処理ブロック = PRB_R4（デシメーション・フィルタA）

消費電力 = 9.01mW

表5-1. PRB_R4の代替処理ブロック、9.01mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_R5	A	0.23
PRB_R6	A	0.22

AOSR = 64、処理ブロック = PRB_R11（デシメーション・フィルタB）

消費電力 = 7.99mW

表5-2. PRB_R11の代替処理ブロック、7.99mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_R4	A	0.43
PRB_R5	A	0.67
PRB_R6	A	0.66
PRB_R10	B	-0.14
PRB_R12	B	0.04

5.4.2 ADC、モノラル、8kHz、DVDD = 1.8V、AVDD = 3.3V

AOSR = 128、処理ブロック = PRB_R4（デシメーション・フィルタA）

消費電力 = 6.77mW

表5-3. PRB_R4の代替処理ブロック、6.77mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_R5	A	0.03
PRB_R6	A	0.03

AOSR = 64、処理ブロック = PRB_R11 (デシメーション・フィルタB)

消費電力 = 6.61mW

表5-4. PRB_R11の代替処理ブロック、6.61mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_R4	A	0.07
PRB_R5	A	0.11
PRB_R6	A	0.11
PRB_R10	B	-0.02
PRB_R12	B	0.01

5.4.3 ヘッドホンでのDAC再生、ステレオ、48kHz、DVDD = 1.8V、AVDD = 3.3V、HVDD = 3.3V

DOSR = 128、処理ブロック = PRB_P7 (補間フィルタB)

消費電力 = 24.28mW

表5-5. PRB_P7の代替処理ブロック、24.28mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P1	A	1.34
PRB_P2	A	2.86
PRB_P3	A	2.11
PRB_P8	B	1.18
PRB_P9	B	0.53
PRB_P10	B	1.89
PRB_P11	B	0.87
PRB_P23	A	1.48
PRB_P24	A	2.89
PRB_P25	A	3.23

DOSR = 64、処理ブロック = PRB_P7 (補間フィルタB)

消費電力 = 24.5mW

表5-6. PRB_P7の代替処理ブロック、24.5mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P1	A	1.17
PRB_P2	A	2.62
PRB_P3	A	2
PRB_P8	B	0.99
PRB_P9	B	0.5
PRB_P10	B	1.46
PRB_P11	B	0.66
PRB_P23	A	1.43
PRB_P24	A	2.69
PRB_P25	A	2.92

5.4.4 ヘッドホンでのDAC再生、モノラル、48kHz、DVDD = 1.8V、AVDD = 3.3V、
HVDD = 3.3V

DOSR = 128、処理ブロック = PRB_P12 (補間フィルタB)

消費電力 = 15.4mW

表5-7. PRB_P12の代替処理ブロック、15.4mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P4	A	0.57
PRB_P5	A	1.48
PRB_P6	A	1.08
PRB_P13	B	0.56
PRB_P14	B	0.27
PRB_P15	B	0.89
PRB_P16	B	0.31

DOSR = 64、処理ブロック = PRB_P12 (補間フィルタB)

消費電力 = 15.54mW

表5-8. PRB_P12の代替処理ブロック、15.54mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P4	A	0.37
PRB_P5	A	1.23
PRB_P6	A	1.15
PRB_P13	B	0.43
PRB_P14	B	0.13
PRB_P15	B	0.85
PRB_P16	B	0.21

5.4.5 ヘッドホンでのDAC再生、ステレオ、8kHz、DVDD = 1.8V、AVDD = 3.3V、
HVDD = 3.3V

DOSR = 768、処理ブロック = PRB_P7 (補間フィルタB)

消費電力 = 22.44mW

表5-9. PRB_P7の代替処理ブロック、22.44mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P1	A	0.02
PRB_P2	A	0.31
PRB_P3	A	0.23
PRB_P8	B	0.28
PRB_P9	B	-0.03
PRB_P10	B	0.14
PRB_P11	B	0.05
PRB_P23	A	0.29
PRB_P24	A	0.26
PRB_P25	A	0.47

DOSR = 384、処理ブロック = PRB_P7 (補間フィルタB)

消費電力 = 22.83mW

表5-10. PRB_P7の代替処理ブロック、22.83mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P1	A	0.27
PRB_P2	A	0.4
PRB_P3	A	0.34
PRB_P8	B	0.2
PRB_P9	B	0.08
PRB_P10	B	0.24
PRB_P11	B	0.12
PRB_P23	A	0.23
PRB_P24	A	0.42
PRB_P25	A	0.46

5.4.6 ヘッドホンでのDAC再生、モノラル、8kHz、DVDD = 1.8V、AVDD = 3.3V、HVDD = 3.3V

DOSR = 768、処理ブロック = PRB_P12 (補間フィルタB)

消費電力 = 14.49mW

表5-11. PRB_P12の代替処理ブロック、14.49mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P4	A	-0.04
PRB_P5	A	0.2
PRB_P6	A	-0.01
PRB_P13	B	0.1
PRB_P14	B	0.05
PRB_P15	B	-0.03
PRB_P16	B	0.07

DOSR = 384、処理ブロック = PRB_P12 (補間フィルタB)

消費電力 = 14.42mW

表5-12. PRB_P12の代替処理ブロック、14.42mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P4	A	0.16
PRB_P5	A	0.3
PRB_P6	A	0.2
PRB_P13	B	0.15
PRB_P14	B	0.07
PRB_P15	B	0.18
PRB_P16	B	0.09

5.4.7 ヘッドホンでのDAC再生、ステレオ、192kHz、DVDD = 1.8V、AVDD = 3.3V、HVDD = 3.3V

DOSR = 32、処理ブロック = PRB_P17 (補間フィルタC)

消費電力 = 27.05mW

表5-13. PRB_P17の代替処理ブロック、27.05mW

処理ブロック	フィルタ	見積もられる消費電力の差 (mW)
PRB_P18	C	5.28
PRB_P19	C	1.98

5.4.8 ライン出力 (10kΩ負荷) でのDAC再生、ステレオ、48kHz、DVDD = 1.8V、AVDD = 3.0V、HVDD = 3.0V

DOSR = 64、処理ブロック = PRB_P7 (補間フィルタB)

消費電力 = 12.85mW

5.5 オーディオADCおよびアナログ入力

5.5.1 MICBIASおよびマイク・プリアンプ

TSC2117は、最大4mAの電流をソースできるマイク・バイアス回路を内蔵しています。この回路は、2V、2.5V、またはAVDDレベルにプログラミングできます。レベルは、ページ1/レジスタ46のビットD1-D0に書き込むことで制御できます。表5-14にこの機能を示します。

表5-14. MICBIAS設定

D1	D0	機能
0	0	MICBIAS出力はパワーダウン。
0	1	MICBIAS出力は2V。
1	0	MICBIAS出力は2.5V。
1	1	MICBIAS出力はAVDDレベル。

通常動作中は、性能を高めるためにMICBIASを2.5Vに設定できます。ただし、選択したマイクのモデルによっては、別の設定の方が最適な性能が得られる場合もあるため、各設定での性能を確認しておく必要があります。

消費電流が最小になるのは、MICBIASをパワーダウンにしたときです。次に消費電流が小さいのは、MICBIASをAVDDに設定したときです。

オーディオADCのオーバーサンプリング特性と、内蔵されるデジタル・デシメーション・フィルタリングにより、アナログ・アンチエイリアス・フィルタリングの要件は、非常に緩くなっています。TSC2117は、1MHzで20dB減衰の2次アナログ・アンチエイリアス・フィルタを内蔵しています。このフィルタは、デジタル・デシメーション・フィルタと組み合わせることにより、外部部品なしで十分なアンチエイリアス・フィルタリングを実現します。

MIC PGAは0dB ~ 59.5dB (0.5dB単位) のアナログ・ゲイン制御をサポートします。これらのゲイン・レベルは、ページ1/レジスタ47のビットD6-D0に書き込むことで制御できます。PGAゲインの変更は、内部のソフト・ステッピングで実装されています。このソフト・ステッピングにより、音量制御を可聴雑音なしでスムーズに変化させることができます。リセット時には、MIC PGAゲインはデフォルトでミュート状態となり、ソフト・ステッピングがイネーブルになります。ADCソフト・ステッピング制御は、ページ0/レジスタ81のビットD1-D0に書き込むことでイネーブルまたはディスエーブルにできます。ADCソフト・ステッピングのタイミングは、内部発振回路および内部分周ロジック・ブロックによって提供されます。

マイクPGA段のMIC入力のフィードフォワード抵抗には、10kΩ、20kΩ、40kΩの3つの設定があります。これは、ページ1/レジスタ48のビットD7およびD6に書き込むことによって制御されます。選択した入力フィードフォワード抵抗の値は、マイクPGAのゲインに影響を与えます。MIC入力のADC PGAゲインは、ページ1/レジスタ48および49のビットD7-D6によって決まります。D7-D6を01に設定すると、ADC PGAのゲインが、ページ1/レジスタ47で設定された値よりも6dB高くなります。D7-D6を10に設定すると、ADC PGAのゲインはページ1/レジスタ47で設定された値と同じになります。D7-D6を11に設定すると、ADC PGAのゲインは、ページ1/レジスタ47で設定された値よりも6dB低くなります。このゲインの増減はAUX1およびAUX2入力にも適用され、その場合はページ1/レジスタ48のビットD5-D2で選択されたフィードフォワード抵抗値を基準とします。

MIC PGAゲインは、AGCループによる制御するか、または固定ゲイン動作の選択ができます。シングルエンドおよび差動構成でサポートされるMIC PGAへの各種のアナログ入力ルーティングについては、図1-1を参照してください。AGCは、ページ0/レジスタ86のビットD7に書き込むことでイネーブルにできます。AGCがイネーブルでない場合は、ページ1/レジスタ47のビットD6-D0に書き込むことで固定ゲインが設定されます。TSC2117はソフト・ステッピングによるゲイン変化をサポートしているため、PGAによって適用されるゲインが、ゲイン・レジスタで設定された目的値に等しくなると、ページ0/レジスタ36でビットD7の読み取り専用フラグがセットされます。MIC PGAは、ページ1/レジスタ47のビットD7に書き込むことでイネーブルにできます。ページ0/レジスタ82のビットD7およびページ1/レジスタ47のビットD7に書き込むことで、ADCのミュートを実行できます。MIC PGAをディスエーブルにすると、ゲインが0dBに設定されます。ADCをミュートするとデジタル出力がミュートになるため、出力が固定値に保持されます。ソフト・ステッピングがイネーブルの場合は、ADCパワーダウン・レジスタに値が書き込まれるまでの間、CODEC_CLKIN信号をアクティブに維持する必要があります。これは、ミュートへのソフト・ステッピングが完了するまでの時間を確保するためです。ADC POWER UPフラグがセットされていない状態になれば、CODEC_CLKIN信号をシャットダウンできます。

5.5.2 自動ゲイン制御 (AGC)

TSC2117は、マイク入力 (MIC) に対して自動ゲイン制御 (AGC) を備えています。AGCを使用して、音声信号の録音時に、公称で一定の出力信号振幅を維持することができます。この回路は、入力信号が過度に大きくなったときや非常に弱くなったときに、MIC PGAゲインを自動的に調整します。例えば、マイクに向かって話している人がマイクに近づいたり遠ざかったりした場合などです。AGCのアルゴリズムには、いくつかのプログラミング可能な設定があります。これには、目標ゲイン、アタックおよびディケイの時定数、ノイズ・スレッショールド、および特定のアプリケーションに対してアルゴリズムを微調整できる最大適用可能PGAなどが含まれます。アルゴリズムでは、出力信号の公称振幅の尺度として、信号の絶対平均値 (信号の絶対値の平均) を使用します。ゲインはサンプル間隔毎に変化させることができるため、AGCアルゴリズムはADC_{fs}クロック・レートで動作します。

設定レベルは、AGCがADC出力信号レベルを保持しようとする公称出力レベルを表します。TSC2117では、8つの異なる設定レベルをプログラミングでき、フルスケール信号を基準に- 5.5dB ~ 24dBの範囲で設定できます。TSC2117は信号のピーク・レベルではなく絶対平均値に対して応答するため、設定レベルは、大音量の発生時にクリッピングを避けられるよう十分な余裕を持って設定することを推奨します。

入力信号の平均レベルの決定を助けるために、**AGCローパス・フィルタ**が使用されます。この平均レベルを、AGCにプログラミングされた検出レベルと比較することで、正しい機能が提供されます。このローパス・フィルタは、1次IIRフィルタです。このフィルタのプログラミングは、ページ4/レジスタ2-7への書き込みによって行います。レジスタ・マップに示されるように、2つの8ビット・レジスタを使用して16ビットのデジタル係数を形成します。したがって、3つのIIR係数を指定するために合計6個のレジスタをプログラミングします。

アタック時間は、入力信号が大きすぎるときにAGC回路がPGAゲインをどれだけ早く低減できるかを決定します。アタック時間のプログラミングは、ページ0/レジスタ89のビットD7-D0に書き込むことで行います。

ディケイ時間は、入力信号が小さすぎるときにPGAゲインをどれだけ早く増加できるかを決定します。ディケイ時間のプログラミングは、ページ0/レジスタ90のビットD7-D0に書き込むことで行います。

ノイズ・スレッシュホールドは、基準レベルの1つです。入力音声の平均値がノイズ・スレッシュホールドを下回った場合、AGCはそれを無音とみなし、ゲインをサンプル周期毎に0.5dBずつ0dBまで下げ、ノイズ・スレッシュホールド・フラグをセットします。入力音声信号の平均値が上昇してノイズ・スレッシュホールド設定値を超えるまで、ゲインは0dBに維持されます。これにより、音声信号のないときにノイズが増幅されるのを防ぎます。AGCアルゴリズムのノイズ・スレッシュホールド・レベルは、マイク入力に対して-30dB～-90dBの範囲でプログラミングできます。AGCノイズ・スレッシュホールドが-70dB、-80dB、または-90dBに設定された場合、マイク入力の最大適用可能PGA設定は、それぞれ11.5dB、21.5dB、または31.5dB以上である必要があります。この動作にはデバウンスおよびヒステリシスが含まれ、信号がノイズ・スレッシュホールド・レベルに近いときに、高ゲインと0dBの間でAGCゲインがサイクリングするのを回避します。ノイズ・スレッシュホールド・フラグがセットされた場合は、AGCによって適用されるゲインのステータスおよび飽和フラグを無視する必要があります。ノイズのデバウンスのプログラミングは、ページ0/レジスタ91のビットD4-D0に書き込むことで行います。信号のデバウンスのプログラミングは、ページ0/レジスタ92のビットD3-D0に書き込むことで行います。

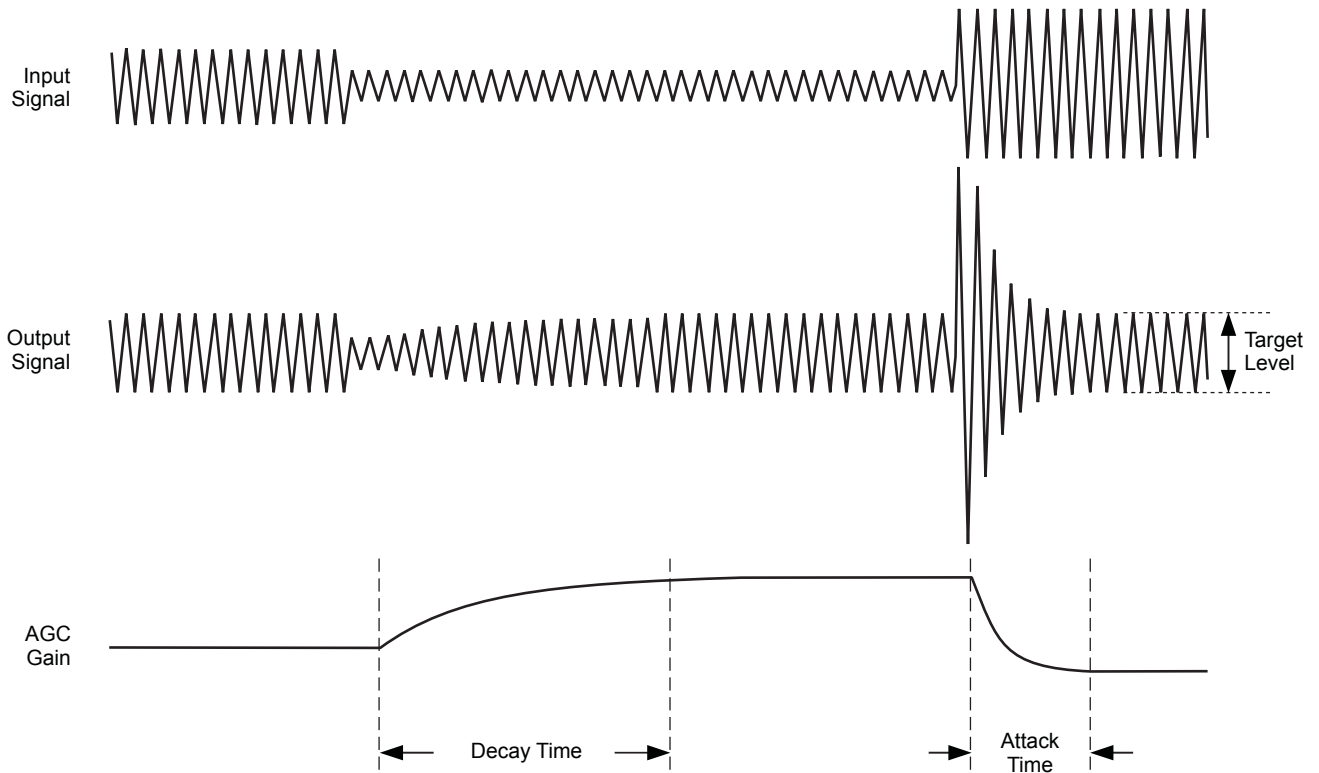
最大適用可能PGAを使用して、AGCによって適用される最大ゲインを制限できます。これは、プログラミングされたノイズ・スレッシュホールドよりも環境ノイズが大きい状況で、PGAゲインを制限するために使用できます。マイク入力の最大PGAは、0dB～59.5dBの範囲内で0.5dB単位でプログラミングできます。AGCで使用できる最大PGAゲイン時間のプログラミングは、ページ0/レジスタ88のビットD6-D0に書き込むことで行います。

各種のAGCプログラミング・オプションについては、表5-15を参照してください。AGCは、マイク入力ADCチャンネルに接続されている場合のみ使用できます。

表5-15. AGC設定⁽¹⁾

制御レジスタ	ビット	機能
36	D5 (読み取り専用)	AGC飽和フラグ
39	D3 (読み取り専用)	ADC飽和フラグ
45	D6 (読み取り専用)	ノイズ・スレッシュホールドのレベル設定の通知
86	D7	AGCイネーブル
86	D6-D4	設定レベル
87	D7-D6	ヒステリシス
87	D5-D1	ノイズ・スレッシュホールド
88	D6-D0	最大適用可能PGA
89	D7-D0	時定数 (アタック時間)
90	D7-D0	時定数 (ディケイ時間)
91	D4-D0	デバウンス時間 (ノイズ)
92	D3-D0	デバウンス時間 (信号)
93	D7-D0 (読み取り専用)	AGCで適用されるゲイン

(1) この表のレジスタはすべてページ0に配置されています。



W0002-01

図5-2. AGC特性

AGC設定は、ユーザおよびシステムの状態に基づいて設定する必要があります。例えば、マイクの選択と感度、マイク・パターンに影響するマイク周辺の音響特性（寄生現象）、マイクと音源間の想定距離および方向、バックグラウンド雑音などです。

次にAGCコードの一例を示しますが、実際にコードを使用する場合は、アプリケーションの使用方法に基づいて内容を確認してください。AGCコードは、ADCをパワーアップする前に設定する必要があります。

```
##### AGC ENABLE EXAMPLE CODE #####
## Switch to Page-0
w 30 00 00
# Set AGC enable and Target Level = -10 dB
# Target level can be set lower if clipping occurs during speech
# Target level is adjusted considering Max Gain also
w 30 56 A0
# AGC hysteresis=DISABLE, noise threshold = -90dB
# Noise threshold should be set at higher level if noisy background is present in application
w 30 57 FE
# AGC maximum gain= 40 dB
# Higher Max gain is a trade off between gaining up a low sensitivity MIC, and the background
# acoustic noise
# Microphone bias voltage (MICBIAS) level can be used to change the Microphone Sensitivity
w 30 58 50
# Attack time=864/Fs
w 30 59 68
# Decay time=22016/Fs
w 30 5A A8
# Noise debounce 0 ms
# Noise debounce time can be increased if needed
w 30 5B 00
# Signal debounce 0 ms
# Signal debounce time can be increased if needed
w 30 5C 00
##### END of AGC SET UP #####
```

5.5.3 デルタ・シグマADC

アナログ/デジタル・コンバータには、オーバーサンプリング比（AOSR）が最大128のデルタ・シグマ変調回路が搭載されています。ADCは、最大192kHzの出力レートをサポートできます。

ADCのパワーアップは、ページ0/レジスタ81のビットD7に書き込むことで制御されます。ADCのパワーアップ状態は、ページ0/レジスタ36のビットD6を読み取ることで確認できます。

5.5.4 ADCデシメーション・フィルタリングおよび信号処理

TSC2117のADCチャンネルには、デジタル・デシメーション・フィルタが内蔵されています。これにより、デルタ・シグマ変調回路からのオーバーサンプリング・データを処理し、ナイキスト・サンプリング・レートで高ダイナミック・レンジのデジタル・データを生成します。デシメーション・フィルタは、必要な周波数応答、群遅延、およびサンプリング・レートに基づいて、3つの異なる種類から選択できます。

5.5.4.1 ADC処理ブロック

TSC2117には、デシメーション・フィルタリングとともに各種の信号処理機能を実現するいくつかの処理ブロックが搭載されています。これらの処理ブロックによって、ユーザは使用する信号処理の程度や種類、およびどのデシメーション・フィルタを適用するかを選択できます。

システム設計者は、処理ブロックの選択により、省電力と信号処理の柔軟性との間で適切なバランスを取ることができます。信号処理機能を制限すれば、デバイスの消費電力は小さくなります。表5-16に、ADCチャンネルに用意されている処理ブロックの概要と、それらの特性を示します。リソース・クラス（RC）列は、消費電力のおおまかな指標を示しています。

以下の信号処理ブロックが用意されています。

- ・ 1次IIR
- ・ 個数選択可能なバイクアッド・フィルタ
- ・ 可変タップのFIRフィルタ
- ・ AGC

処理ブロックは、一般的なケースに合わせて調整されており、オーディオ・エフェクトや周波数シェーピングといった各種の信号処理効果と組み合わせて、高いアンチエイリアス・フィルタリングや低い群遅延を実現できます。搭載されている1次IIR、バイクアッド、およびFIRフィルタは、係数が完全にユーザ・プログラマブルとなっています。

表5-16. ADC処理ブロック

処理ブロック	チャンネル	デシメーション・フィルタ	1次IIRの有無	バイクアッド数	FIR	必要なAOSR値	リソース・クラス
PRB_R4	モノラル	A	有	0	無	128, 64	3
PRB_R5	モノラル	A	有	5	無	128, 64	4
PRB_R6	モノラル	A	有	0	25タップ	128, 64	4
PRB_R10	モノラル	B	有	0	無	64	2
PRB_R11	モノラル	B	有	3	無	64	2
PRB_R12	モノラル	B	有	0	20タップ	64	2
PRB_R16	モノラル	C	有	0	無	32	2
PRB_R17	モノラル	C	有	5	無	32	2
PRB_R18	モノラル	C	有	0	25タップ	32	2

5.5.4.2 ADC処理ブロック - 信号チェーンの詳細

5.5.4.2.1 1次IIR、AGC、フィルタA

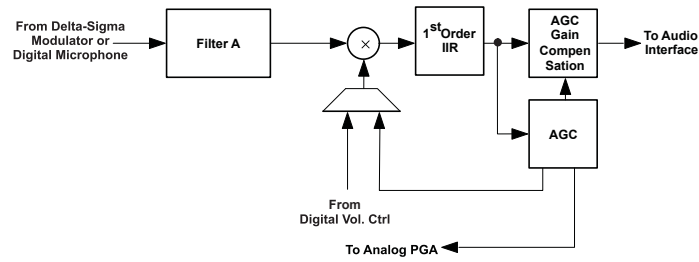


図5-3. PRB_R4の信号チェーン

5.5.4.2.2 5個のバイクアッド、1次IIR、AGC、フィルタA

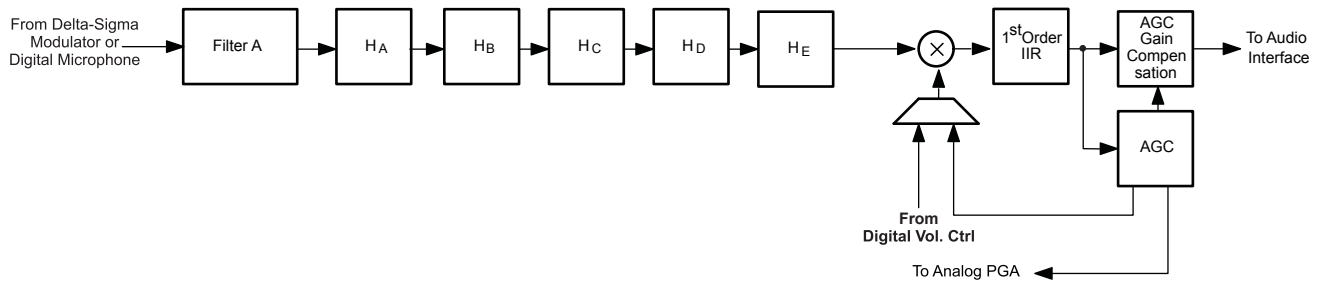


図5-4. PRB_R5の信号チェーン

5.5.4.2.3 25タップFIR、1次IIR、AGC、フィルタA

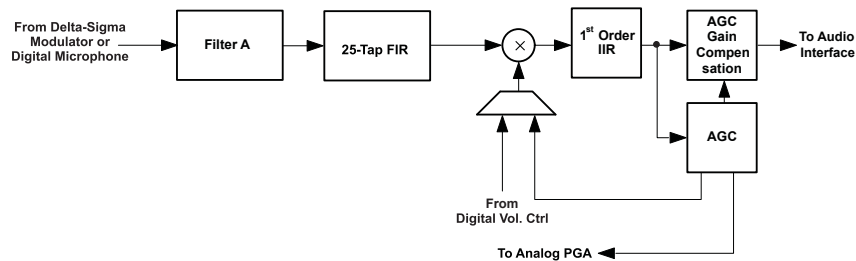


図5-5. PRB_R6の信号チェーン

5.5.4.2.4 1次IIR、AGC、フィルタB

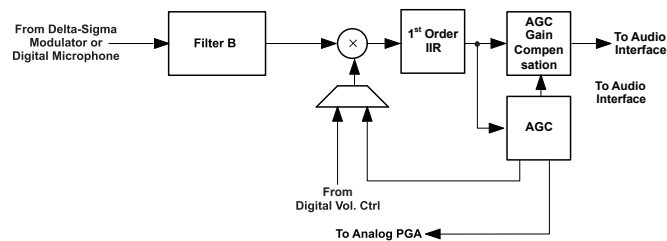


図5-6. PRB_R10の信号チェーン

5.5.4.2.5 3個のパイクアップド、1次IIR、AGC、フィルタB

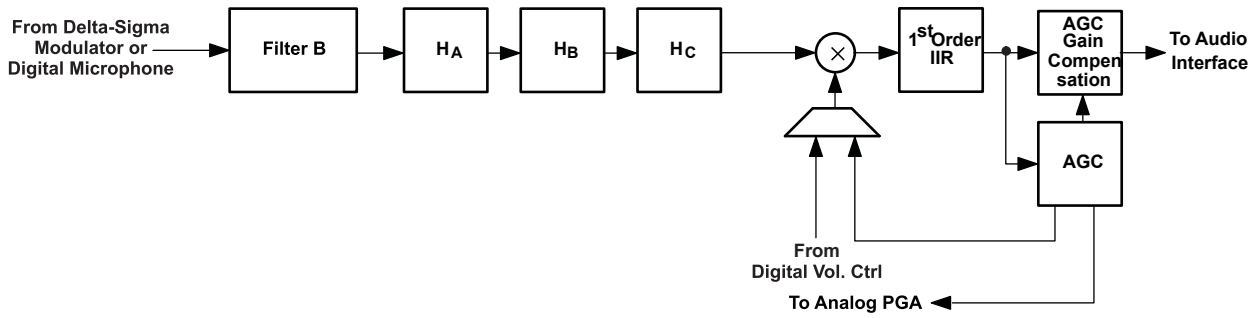


図5-7. PRB_R11の信号チェーン

5.5.4.2.6 20タップFIR、1次IIR、AGC、フィルタB

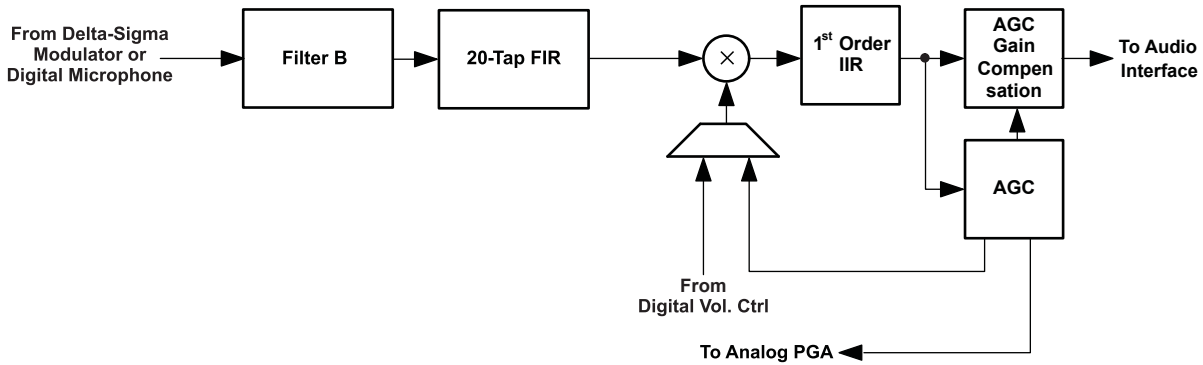


図5-8. PRB_R12の信号チェーン

5.5.4.2.7 1次IIR、AGC、フィルタC

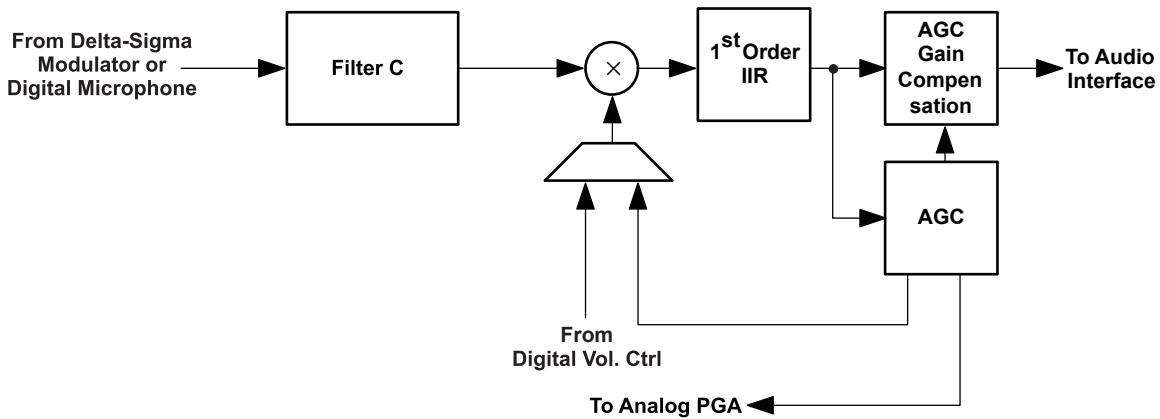


図5-9. PRB_R16の信号チェーン

5.5.4.2.8 5個のパイクアッド、1次IIR、AGC、フィルタC

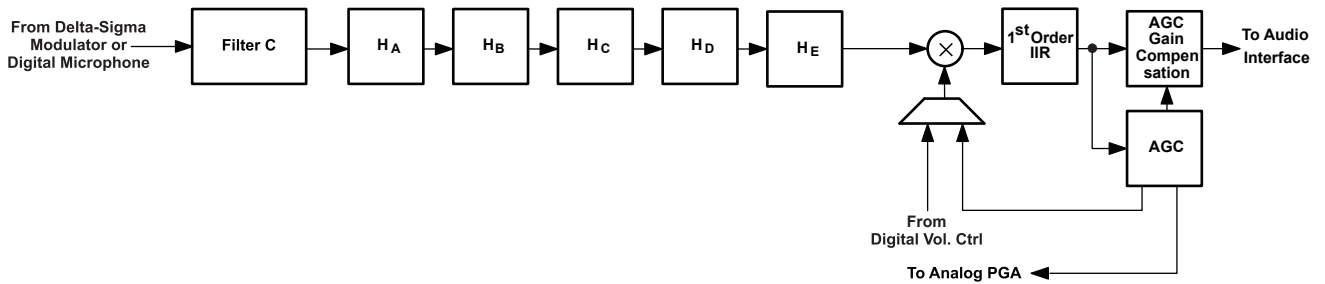


図5-10. PRB_R17の信号チェーン

5.5.4.2.9 25タップFIR、1次IIR、AGC、フィルタC

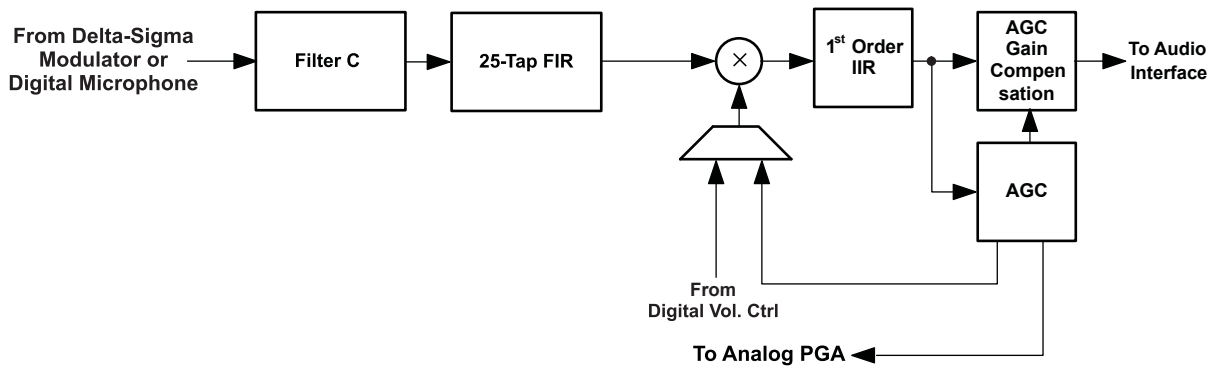


図5-11. PRB_R18の信号チェーン

5.5.4.3 ユーザ・プログラマブル・フィルタ

選択した処理ブロックに応じて、異なる種類と次数のデジタル・フィルタリングを使用できます。1次IIRフィルタは常に使用でき、信号のDC成分を効率的に除去するのに役立ちます。特定の処理ブロックに対しては、最大5個のパイクアッド・セクション、または最大25タップのFIRフィルタを使用できます。各フィルタの係数は、連続的なインデックスの付いた係数として用意されています。

これらのフィルタの係数はそれぞれ16ビット幅の2's complement形式であり、レジスタ空間で2つの連続する8ビット・レジスタを占有します。具体的には、図5-12に示されるように、フィルタ係数は、 -1.0 ($0x8000$) \sim 0.999969482421875 ($0x7FFF$) の範囲の1.15形式となっています。

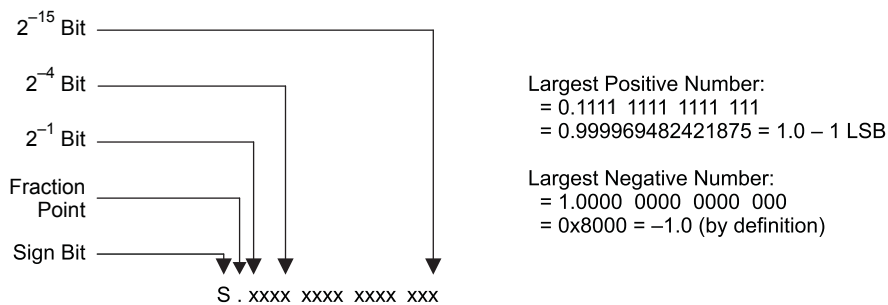


図5-12. 1.15、2's complementの係数形式

5.5.4.3.1 1次IIRセクション

1次IIRフィルタの伝達関数は、次の式で与えられます。

$$H(z) = \frac{N_0 + N_1z^{-1}}{2^{15} - D_1z^{-1}} \quad (5-1)$$

デフォルト係数を使用した場合、1次IIRセクションの周波数応答はゲイン0dBでフラットとなります。

表5-17. ADCの1次IIRフィルタ係数

フィルタ	フィルタ係数	ADC係数	デフォルト (リセット) 値
1次IIR	N0	ページ4/レジスタ8-9	0x7FFF (10進数1.0 - LSB値)
	N1	ページ4/レジスタ10-11	0x0000
	D1	ページ4/レジスタ12-13	0x0000

5.5.4.3.2 バイクアッド・セクション

各バイクアッド・フィルタの伝達関数は、次の式で与えられます。

$$H(z) = \frac{N_0 + 2 \times N_1z^{-1} + N_2z^{-2}}{2^{15} - 2 \times D_1z^{-1} - D_2z^{-2}} \quad (5-2)$$

各バイクアッド・セクションにデフォルト値を使用すると、ゲイン0dBで全通過 (フラット) の周波数応答が得られます。

表5-18. ADCのバイクアッド・フィルタ係数

フィルタ	フィルタ係数	フィルタ係数RAMの場所	デフォルト (リセット) 値
バイクアッドA	N0	ページ4/レジスタ14-15	0x7FFF 0x7FFF (10進数1.0 - LSB値)
	N1	ページ4/レジスタ16-17	0x0000
	N2	ページ4/レジスタ18-19	0x0000
	D1	ページ4/レジスタ20-21	0x0000
	D2	ページ4/レジスタ22-23	0x0000
バイクアッドB	N0	ページ4/レジスタ24-25	0x7FFF 0x7FFF (10進数1.0 - LSB値)
	N1	ページ4/レジスタ26-27	0x0000
	N2	ページ4/レジスタ28-29	0x0000
	D1	ページ4/レジスタ30-31	0x0000
	D2	ページ4/レジスタ32-33	0x0000
バイクアッドC	N0	ページ4/レジスタ34-35	0x7FFF 0x7FFF (10進数1.0 - LSB値)
	N1	ページ4/レジスタ36-37	0x0000
	N2	ページ4/レジスタ38-39	0x0000
	D1	ページ4/レジスタ40-41	0x0000
	D2	ページ4/レジスタ42-43	0x0000
バイクアッドD	N0	ページ4/レジスタ44-45	0x7FFF 0x7FFF (10進数1.0 - LSB値)
	N1	ページ4/レジスタ46-47	0x0000
	N2	ページ4/レジスタ48-49	0x0000
	D1	ページ4/レジスタ50-51	0x0000
	D2	ページ4/レジスタ52-53	0x0000
バイクアッドE	N0	ページ4/レジスタ54-55	0x7FFF 0x7FFF (10進数1.0 - LSB値)
	N1	ページ4/レジスタ56-57	0x0000
	N2	ページ4/レジスタ58-59	0x0000
	D1	ページ4/レジスタ60-61	0x0000
	D2	ページ4/レジスタ62-63	0x0000

5.5.4.3.3 FIRセクション

用意されたADC処理ブロックのうち3つのブロックで、信号処理にFIRフィルタを使用できます。処理ブロックPRB_R12では20タップFIRフィルタを使用でき、処理ブロックPRB_R6およびPRB_R18では25タップFIRフィルタを使用できます。

$$H(z) = \sum_{n=0}^M \text{FIR}_n z^{-n}$$

M = 24 for PRB_R6, PRB_R18

M = 19 for PRB_R12

(5-3)

FIRフィルタの係数は16ビットの2's complement形式（各2バイト）であり、表5-19に示されたADC係数空間に対応しています。FIRフィルタに対してはデフォルト（リセット時）の係数が有効でないことに注意してください。FIRフィルタを使用する場合には、適用されるすべての係数をユーザが再プログラミングする必要があります。FIRフィルタの係数を全通過フィルタとして再プログラミングするには、ページ4/レジスタ24、25、34、35、44、45、54、および55に値0x00を書き込みます。

表5-19. ADCのFIRフィルタ係数

フィルタ係数	フィルタ係数RAMの場所	デフォルト（リセット）値 - FIRフィルタに対しては無効 - ユーザによる再プログラミングが必要
Fir0	ページ4/レジスタ14-15	0x7FFF（10進数1.0 - LSB値）
Fir1	ページ4/レジスタ16-17	0x0000
Fir2	ページ4/レジスタ18-19	0x0000
Fir3	ページ4/レジスタ20-21	0x0000
Fir4	ページ4/レジスタ22-23	0x0000
Fir5	ページ4/レジスタ24-25	0x7FFF（10進数1.0 - LSB値）
Fir6	ページ4/レジスタ26-27	0x0000
Fir7	ページ4/レジスタ28-29	0x0000
Fir8	ページ4/レジスタ30-31	0x0000
Fir9	ページ4/レジスタ32-33	0x0000
Fir10	ページ4/レジスタ34-35	0x7FFF（10進数1.0 - LSB値）
Fir11	ページ4/レジスタ36-37	0x0000
Fir12	ページ4/レジスタ38-39	0x0000
Fir13	ページ4/レジスタ40-41	0x0000
Fir14	ページ4/レジスタ42-43	0x0000
Fir15	ページ4/レジスタ44-45	0x7FFF（10進数1.0 - LSB値）
Fir16	ページ4/レジスタ46-47	0x0000
Fir17	ページ4/レジスタ48-49	0x0000
Fir18	ページ4/レジスタ50-51	0x0000
Fir19	ページ4/レジスタ52-53	0x0000
Fir20	ページ4/レジスタ54-55	0x7FFF（10進数1.0 - LSB値）
Fir21	ページ4/レジスタ56-57	0x0000
Fir22	ページ4/レジスタ58-59	0x0000
Fir23	ページ4/レジスタ60-61	0x0000
Fir24	ページ4/レジスタ62-63	0x0000

5.5.4.4 ADCデジタル・デシメーション・フィルタ特性

TSC2117には、3つの異なる種類のデシメーション・フィルタがあります。これらの内蔵デジタル・デシメーション・フィルタは、高周波成分を除去し、オーディオ・データを初期サンプリング・レートのAOSR× f_S から最終出力サンプリング・レートである f_S にダウンサンプリングします。デシメーション・フィルタリングは、高次のCICフィルタと、それに続く位相直線FIRフィルタを使用して実現されます。デシメーション・フィルタ自体を選択することはできず、選択した処理ブロックによって暗黙的に設定されます。

用意されているフィルタA、B、Cの特性を以下で説明します。

5.5.4.4.1 デシメーション・フィルタA

このフィルタは、48kHzまでのサンプリング・レートで使用するよう設計されています。このフィルタを構成するときには、ADCのオーバーサンプリング比を128または64にできます。より高い性能を得るには、オーバーサンプリング比を128に設定する必要があります。

AOSR = 64では、フィルタAを96kHzに対して使用することもできます。

表5-20. ADCデシメーション・フィルタA、仕様

パラメータ	測定条件	値 (標準)	単位
AOSR = 128			
フィルタ・ゲイン、通過帯域	0...0.39 f_S	0.062	dB
フィルタ・ゲイン、阻止帯域	0.55...64 f_S	-73	dB
フィルタ群遅延		17/ f_S	s
通過帯域リップル、8ksps	0...0.39 f_S	0.062	dB
通過帯域リップル、44.1ksps	0...0.39 f_S	0.05	dB
通過帯域リップル、48ksps	0...0.39 f_S	0.05	dB
AOSR = 64			
フィルタ・ゲイン、通過帯域	0...0.39 f_S	0.062	dB
フィルタ・ゲイン、阻止帯域	0.55...32 f_S	-73	dB
フィルタ群遅延		17/ f_S	s
通過帯域リップル、8ksps	0...0.39 f_S	0.062	dB
通過帯域リップル、44.1ksps	0...0.39 f_S	0.05	dB
通過帯域リップル、48ksps	0...0.39 f_S	0.05	dB
通過帯域リップル、96ksps	0...20 kHz	0.1	dB

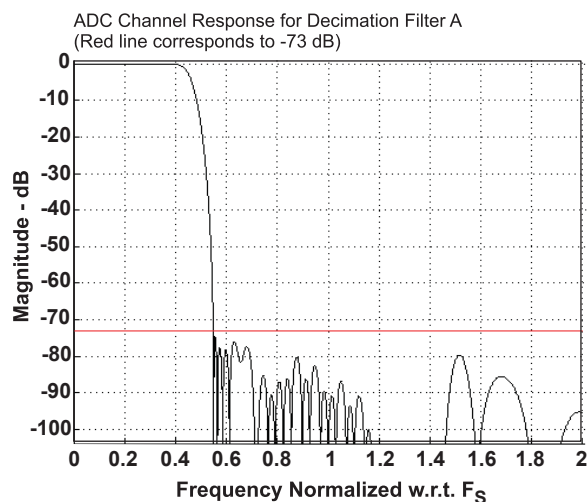


図5-13. ADCデシメーション・フィルタA、周波数応答

5.5.4.4.2 デシメーション・フィルタB

フィルタBは、オーバーサンプリング比64で最大96kHzのサンプリング・レートをサポートするように設計されています。

表5-21. ADCデシメーション・フィルタB、仕様

パラメータ	測定条件	値 (標準)	単位
AOSR = 64			
フィルタ・ゲイン、通過帯域	0...0.39 f_S	± 0.077	dB
フィルタ・ゲイン、阻止帯域	0.60 f_S ...32 f_S	-46	dB
フィルタ群遅延		$11/f_S$	s
通過帯域リップル、8ksps	0...0.39 f_S	0.076	dB
通過帯域リップル、44.1ksps	0...0.39 f_S	0.06	dB
通過帯域リップル、48ksps	0...0.39 f_S	0.06	dB
通過帯域リップル、96ksps	0...20 kHz	0.11	dB

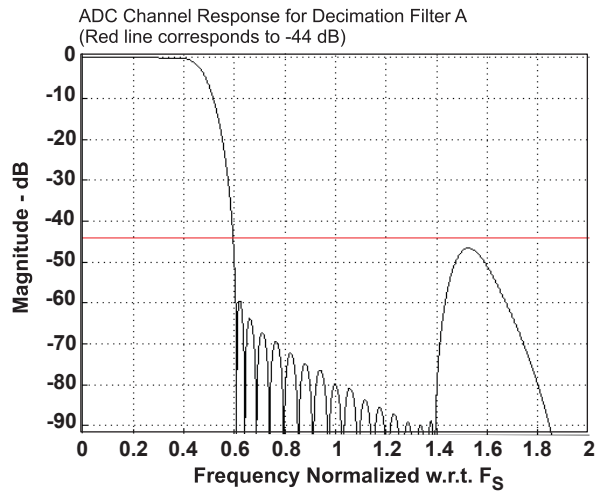


図5-14. ADCデシメーション・フィルタB、周波数応答

5.5.4.4.3 デシメーション・フィルタC

AOSR = 32でのフィルタCは、ADCの192ksps動作に対して設計されています。0.11×f_S (21kHzに対応) までの通過帯域は、オーディオ・アプリケーションに適しています。

表5-22. ADCデシメーション・フィルタC、仕様

パラメータ	測定条件	値 (標準)	単位
フィルタ・ゲイン、0~0.11 f _S	0...0.11 f _S	±0.033	dB
フィルタ・ゲイン、0.28f _S ~16f _S	0.28 f _S ...16 f _S	-60	dB
フィルタ群遅延		11/f _S	s
通過帯域リップル、8ksps	0...0.11 f _S	0.033	dB
通過帯域リップル、44.1ksps	0...0.11 f _S	0.033	dB
通過帯域リップル、48ksps	0...0.11 f _S	0.032	dB
通過帯域リップル、96ksps	0...0.11 f _S	0.032	dB
通過帯域リップル、192ksps	0...20 kHz	0.086	dB

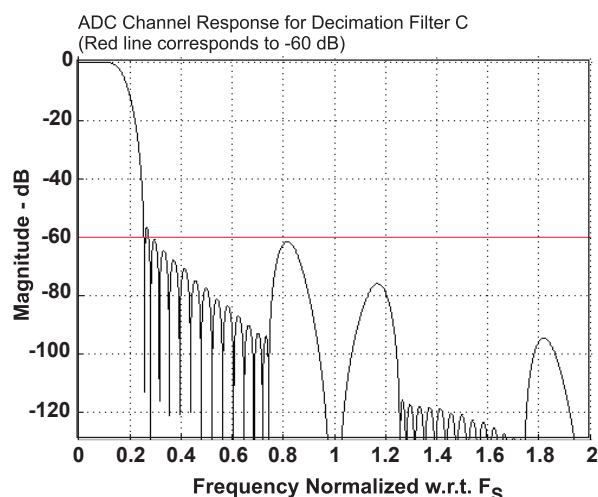


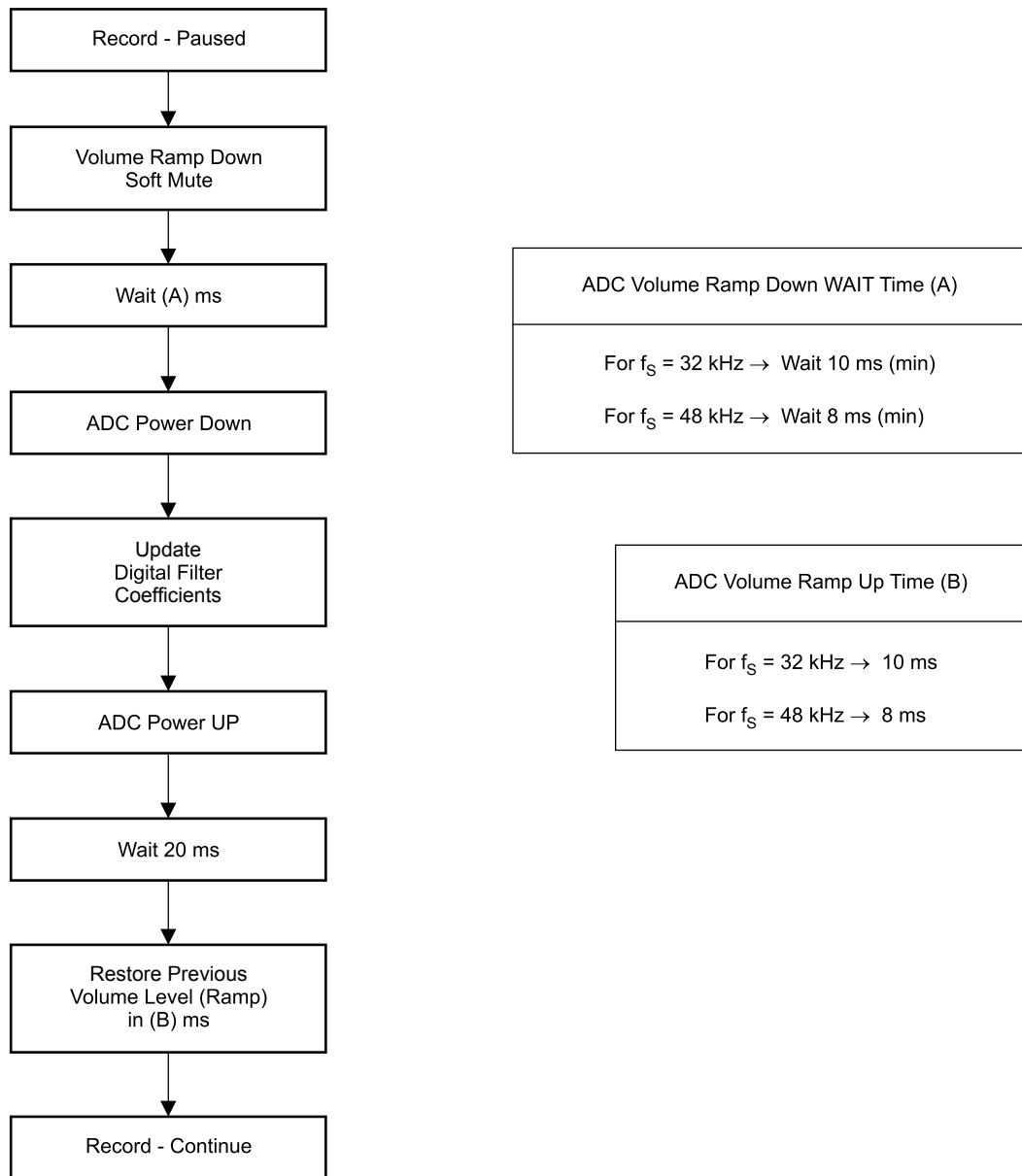
図5-15. ADCデシメーション・フィルタC、周波数応答

5.5.4.5 ADCデータ・インターフェイス

ADCチャネルのデシメーション・フィルタおよび信号処理ブロックは、ADC_f_Sのサイクル毎に1回、32ビットのデータ・ワードをオーディオ・シリアル・インターフェイスに渡します。ADC_f_Sの各サイクル中に、データ・ワードのペア (左チャンネル用と右チャンネル用) が伝送されます。オーディオ・シリアル・インターフェイスは、データをインターフェイスに必要なワード長に丸めてから、シリアル・データに変換します。TSC2117にはモノラルADCしかないため、オーディオ・シリアル・インターフェイスの左チャンネルと右チャンネルに同じデータを伝送します。

5.5.5 録音中のADCデジタル・フィルタ係数の更新

録音中にADCデジタル・フィルタ係数を更新する必要がある場合は、クリック音やポップ音、あるいは発振ノイズなどを避けるよう注意する必要があります。適切な更新シーケンスに従わずにADC係数を更新すると、これらのノイズが発生する場合があります。正しいシーケンスを図5-16に示します。ここに示した時間は概略値であるので、フトウェアの目的にのみ使用してください。



F0023-02

図5-16. 録音中のADCデジタル・フィルタ係数の更新

5.5.6 デジタル・マイク機能

TSC2117では、アナログ・マイクのサポートに加え、モノラルADCチャンネルを使用して1つのデジタル・マイクへのインターフェイスも提供しています。図5-17に、デジタル・マイク・インターフェイスのブロック図を示します。図5-18には、デジタル・マイク・インターフェイスのタイミング図を示します。

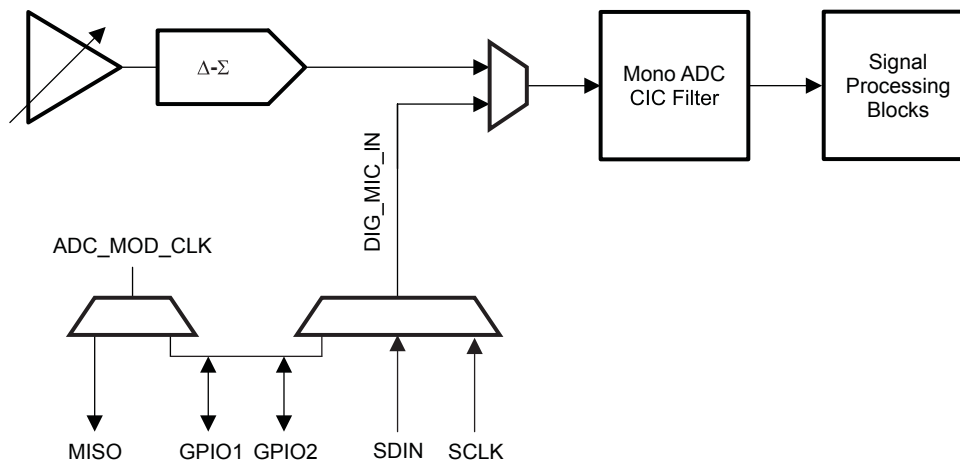


図5-17. TSC2117のデジタル・マイク

TSC2117は、GPIO1ピン（ページ0/レジスタ51、ビットD5-D2 = 1010）、GPIO2ピン（ページ0/レジスタ52、ビットD5-D2 = 1010）、またはMISOピン（ページ0/レジスタ55、ビットD4-D1 = 0111）から、内部クロックADC_MOD_CLKを出力します。このクロックは、外部のデジタル・マイク・デバイスに接続できます。外部デジタル・マイク・デバイスの1ビット出力を、GPIO1、GPIO2、SDIN、またはSCLKピンに接続できます（このモードでは、ページ0/レジスタ51、52、54、または56をセカンダリ入力として設定する必要があります）。内部でTSC2117は、モノラルADCデータの確定値をADC_MOD_CLKの立ち上がりエッジでラッチします。

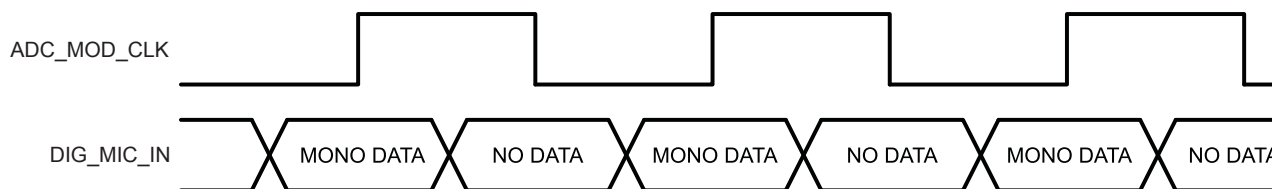


図5-18. デジタル・マイク・インターフェースのタイミング図

デジタル・マイク・モードがイネーブルのときは、電力効率を高めるためにADCのアナログ・セクションをパワーダウンしてバイパスすることができます。ADCチャンネルのAOSR値は、外部デジタル・マイクの特性に基いて、所定のデシメーション比が得られるよう設定する必要があります。

5.5.7 DC測定

TSC2117は、高分解能のオーバーサンプリングおよびノイズ・シェーピングADCを使用して、柔軟性の高いDC測定機能をサポートします。このモードは、ADCチャンネルを録音機能に使用していないときに使用できます。このモードは、ページ0/レジスタ102のビットD7のプログラミングによってイネーブルにできます。変換後のデータは24ビットであり、2.22数値形式を使用します。ADCチャンネルの変換後のデータの値は、ページ0/レジスタ104-106から読み出すことができます。変換後のデータを読み出す前に、ページ0/レジスタ103のビットD6を1にプログラミングして、変換後のデータをリードバック・レジスタにラッチする必要があります。変換後のデータを読み出した後は、ページ0/レジスタ103のビットD6を直ちに0にリセットする必要があります。DC測定モードでは、2つの測定モードがサポートされています。

モードA

DC測定モードAでは、可変長の平均化フィルタが使用されます。平均化フィルタDの長さは、ページ0/レジスタ102のビットD4-D0のプログラミングにより、1～20の範囲で設定できます。モードAを選択するには、ページ0/レジスタ102のビットD5を0にプログラミングする必要があります。

モードB

モードBを選択するには、ページ0/レジスタ102のビットD5を1にプログラミングする必要があります。DC測定モードBでは、1次IIRフィルタが使用されます。このフィルタの係数は、ページ0/レジスタ102のビットD4-D0によって決定されます。フィルタの特性を表5-23に示します。

表5-23. DC測定の帯域幅設定

D: ページ0/レジスタ102、ビットD4-D0	-3 dB BW (kHz)	-0.5 dB BW (kHz)
1	688.44	236.5
2	275.97	96.334
3	127.4	44.579
4	61.505	21.532
5	30.248	10.59
6	15.004	5.253
7	7.472	2.616
8	3.729	1.305
9	1.862	652
10	931	326
11	465	163
12	232.6	81.5
13	116.3	40.7
14	58.1	20.3
15	29.1	10.2
16	14.54	5.09
17	7.25	2.54
18	3.63	1.27
19	1.8	0.635
20	0.908	0.3165

ページ0/レジスタ103のビットD5を1にプログラミングすることで、平均化フィルタはADC_MOD_CLKの2R周期毎に定期的リセットされます。このRは、ページ0/レジスタ103のビットD4-D0でプログラミングされます。ページ0/レジスタ103のビットD5を1に設定する際には、Dの値がRの値よりも小さい必要があります。ページ0/レジスタ103のビットD5を0にプログラミングすると、平均化フィルタはリセットされません。

5.6 オーディオDACおよびオーディオ・アナログ出力

ステレオ・オーディオDACの各チャネルは、デジタル・オーディオ処理ブロック、デジタル補間フィルタ、デジタル・デルタ・シグマ変調回路、およびアナログ信号再現フィルタから構成されます。この高いオーバーサンプリング比（通常、DOSRは32～128）により、デルタ・シグマ変調回路で発生する量子化ノイズはオーディオ周波数帯域外に移動され、優れたダイナミック・レンジが得られます。オーディオ・アナログ出力には、ステレオ・ヘッドホン/ライン出力、およびステレオClass-Dスピーカー出力が含まれます。

5.6.1 DAC

TSC2117のステレオ・オーディオDACは、8kHz～192kHzのデータ・レートをサポートします。ステレオ・オーディオDACの各チャネルは、固定処理ブロックを持つ信号処理エンジン、プログラマブルminiDSP、デジタル補間フィルタ、マルチビットのデジタル・デルタ・シグマ変調回路、およびアナログ信号再現フィルタから構成されます。このDACは、高レートオーバーサンプリングおよびイメージ・フィルタリングによって低いサンプリング・レートでの性能を強化した設計で、デルタ・シグマ変調回路内で発生した量子化ノイズ、および信号イメージを20kHz以上の領域に移動し、オーディオ帯域内では強力に抑圧します。複数の入力レートを処理し、消費電力と性能を最適化するために、TSC2117では、ページ0/レジスタ13および14を設定することで、システム設計者がオーバーサンプリング比を1～1024の幅広い範囲にわたってプログラミングできるようにしています。低い入力データ・レートに対しては高いオーバーサンプリング比を選択し、高い入力データ・レートに対しては低いオーバーサンプリング比を選択できます。

TSC2117のDACチャンネルには、デルタ・シグマ変調回路に対してオーバーサンプリングされたデータを生成するためのデジタル補間フィルタが内蔵されています。この補間フィルタは、必要な周波数応答、群遅延、およびサンプリング・レートに基づいて、3つの異なる種類から選択できます。

DACのパワーアップは、ページ0/レジスタ63のビットD7（左チャンネル）およびD6（右チャンネル）に書き込むことで制御されます。左チャンネルのDACクリッピング・フラグは、ページ0/レジスタ39のビットD7に読み取り専用ビットとして用意されています。右チャンネルのDACクリッピング・フラグは、ページ0/レジスタ39のビットD6に読み取り専用ビットとして用意されています。

5.6.1.1 DAC処理ブロック

TSC2117は、処理ブロックを通じて信号処理機能と補間フィルタリングを実現しています。これらの固定処理ブロックによって、ユーザは使用する信号処理の程度や種類、およびどの補間フィルタを適用するかを選択できます。

システム設計者は、処理ブロックの選択により、省電力と信号処理の柔軟性との間で適切なバランスを取ることができます。表5-24に、DACチャンネルに用意されているすべての処理ブロックの概要と、それらの特性を示します。表中のリソース・クラスは、デジタル（DVDD）電源に対する消費電力のおおまかな指標を示しています。ただし、帯域外ノイズ・スペクトルに基づき、ドライバのアナログ消費電力（HVDD）はこれと異なる場合があります。

以下の信号処理ブロックが用意されています。

- ・1次IIR
- ・可変個のバイクアッド・フィルタ
- ・3Dエフェクト
- ・ピープ発生回路

処理ブロックは、一般的なケースに合わせて調整されており、オーディオ・エフェクトや周波数シェーピングといった各種の信号処理効果と組み合わせて、高いイメージ除去や低い群遅延を実現できます。搭載されている1次IIRフィルタおよびバイクアッド・フィルタは、係数が完全にユーザ・プログラマブルとなっています。

表5-24. 概要 - DACの定義済み処理ブロック

処理ブロック 番号	補間フィルタ	チャンネル	1次IIRの有無	バイク アッド数	DRC	3D	ビープ 発生回路	リソース・ クラス
PRB_P1	A	ステレオ	無	3	無	無	無	8
PRB_P2	A	ステレオ	有	6	有	無	無	12
PRB_P3	A	ステレオ	有	6	無	無	無	10
PRB_P4	A	左	無	3	無	無	無	4
PRB_P5	A	左	有	6	有	無	無	6
PRB_P6	A	左	有	6	無	無	無	6
PRB_P7	B	ステレオ	有	0	無	無	無	6
PRB_P8	B	ステレオ	無	4	有	無	無	8
PRB_P9	B	ステレオ	無	4	無	無	無	8
PRB_P10	B	ステレオ	有	6	有	無	無	10
PRB_P11	B	ステレオ	有	6	無	無	無	8
PRB_P12	B	左	有	0	無	無	無	3
PRB_P13	B	左	無	4	有	無	無	4
PRB_P14	B	左	無	4	無	無	無	4
PRB_P15	B	左	有	6	有	無	無	6
PRB_P16	B	左	有	6	無	無	無	4
PRB_P17	C	ステレオ	有	0	無	無	無	3
PRB_P18	C	ステレオ	有	4	有	無	無	6
PRB_P19	C	ステレオ	有	4	無	無	無	4
PRB_P20	C	左	有	0	無	無	無	2
PRB_P21	C	左	有	4	有	無	無	3
PRB_P22	C	左	有	4	無	無	無	2
PRB_P23	A	ステレオ	無	2	無	有	無	8
PRB_P24	A	ステレオ	有	5	有	有	無	12
PRB_P25	A	ステレオ	有	5	有	有	有	12

5.6.1.2 DAC処理ブロック - 信号チェーンの詳細

5.6.1.2.1 3個のバイクアッド、フィルタA

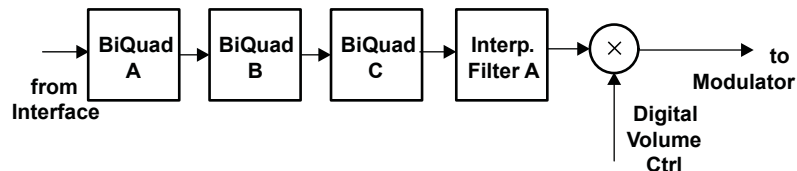


図5-19. PRB_P1およびPRB_P4の信号チェーン

5.6.1.2.2 6個のバイクアッド、1次IIR、DRC、フィルタAまたはB

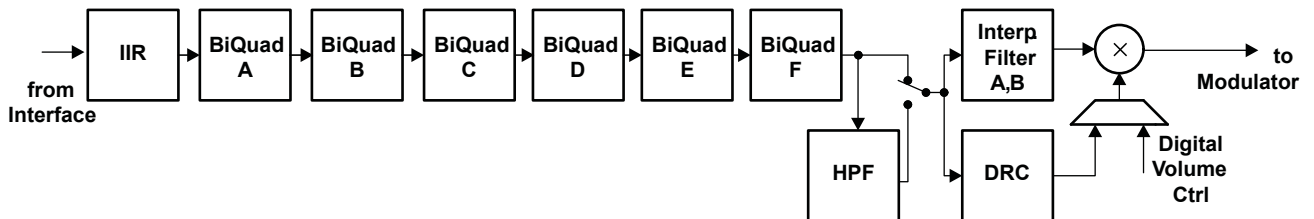


図5-20. PRB_P2、PRB_P5、PRB_P10、およびPRB_P15の信号チェーン

5.6.1.2.3 6個のパイクアッド、1次IIR、フィルタAまたはB

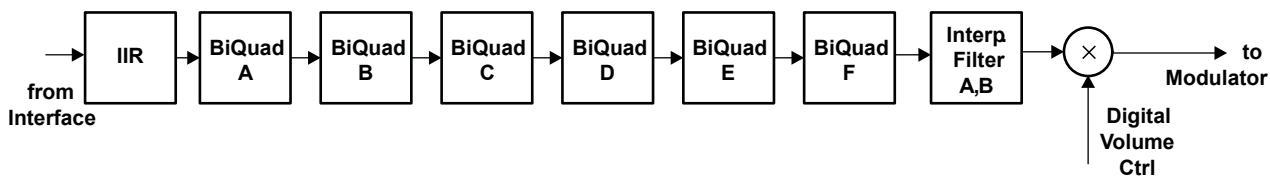


図5-21. PRB_P3、PRB_P6、PRB_P11、およびPRB_P16の信号チェーン

5.6.1.2.4 IIR、フィルタBまたはC

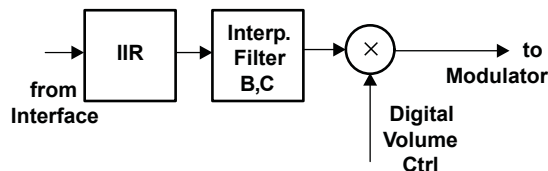


図5-22. PRB_P7、PRB_P12、PRB_P17、およびPRB_P20の信号チェーン

5.6.1.2.5 4個のパイクアッド、DRC、フィルタB

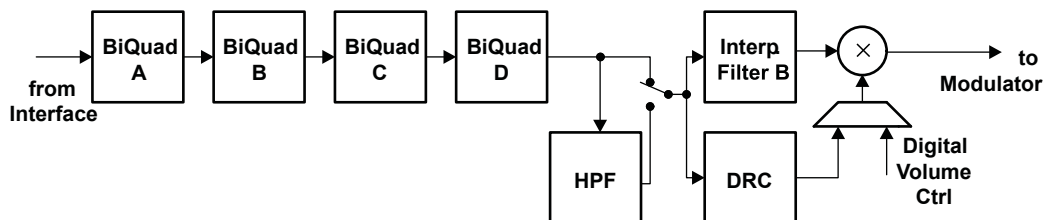


図5-23. PRB_P8およびPRB_P13の信号チェーン

5.6.1.2.6 4個のパイクアッド、フィルタB

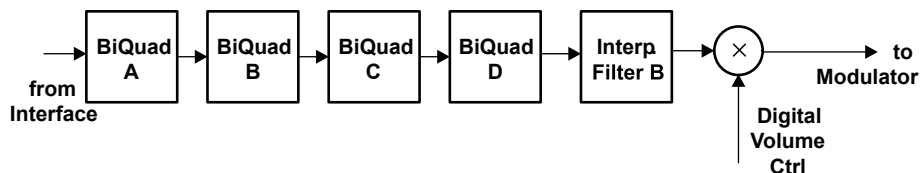


図5-24. PRB_P9およびPRB_P14の信号チェーン

5.6.1.2.7 4個のパイクアッド、1次IIR、DRC、フィルタC

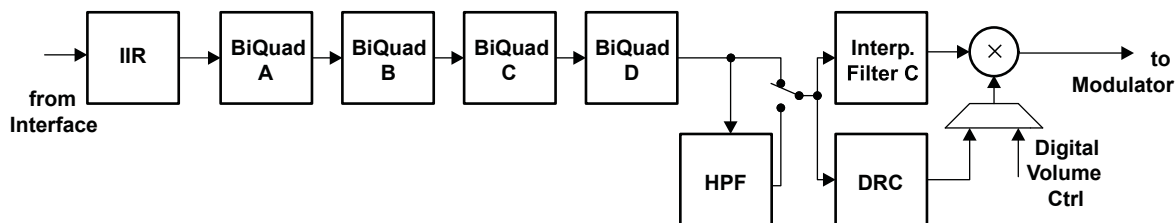


図5-25. PRB_P18およびPRB_P21の信号チェーン

5.6.1.2.8 4個のパイクアッド、1次IIR、フィルタC

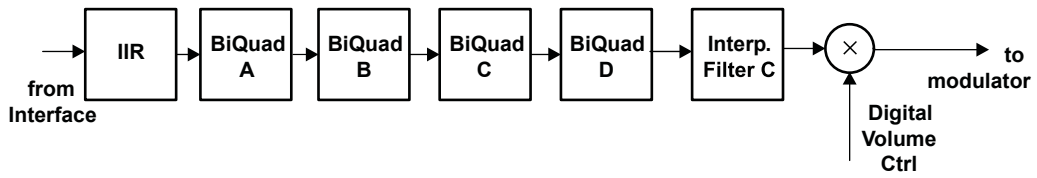
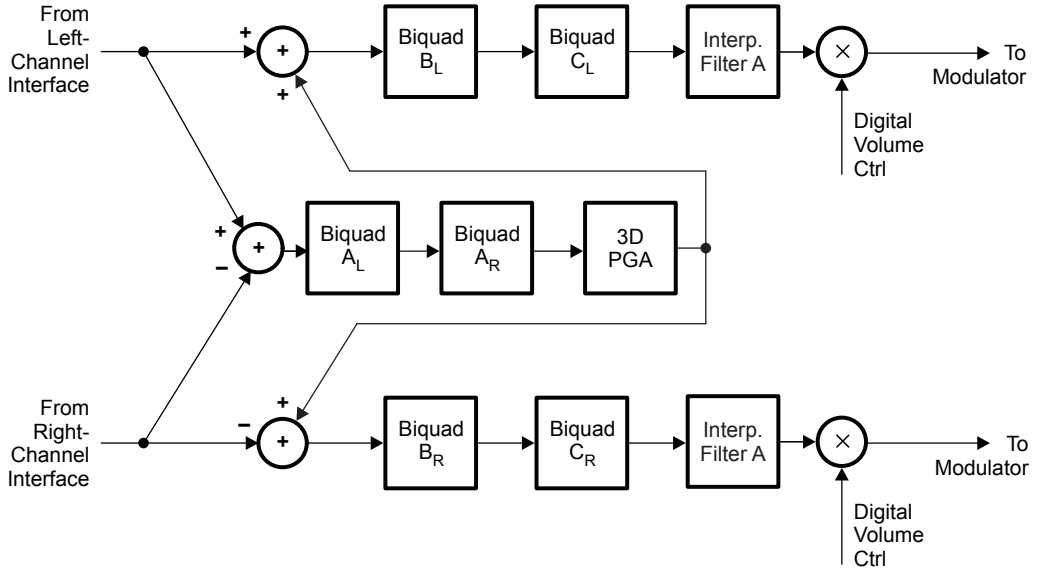


図5-26. PRB_P19およびPRB_P22の信号チェーン

5.6.1.2.9 2個のパイクアッド、3D、フィルタA



注：A_Lは左チャンネルのバイクアッドA、B_Rは右チャンネルのバイクアッドBを意味します。

図5-27. PRB_P23の信号チェーン

5.6.1.2.10 5個のカイクアッド、DRC、3D、フィルタA

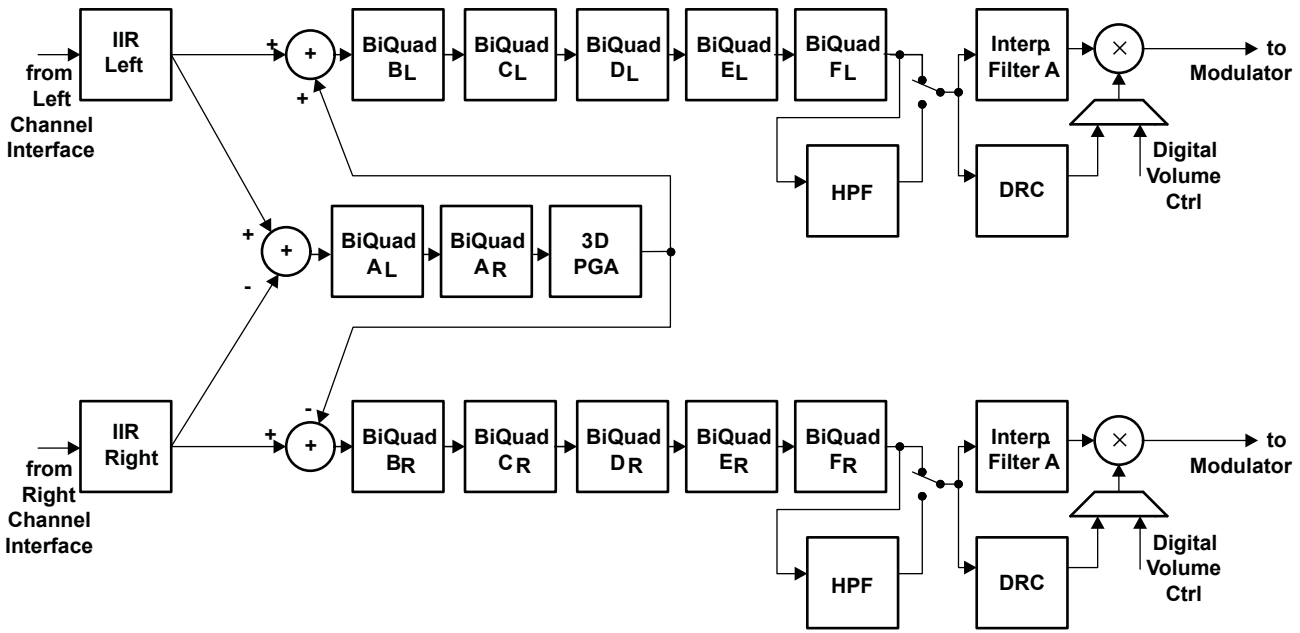


図5-28. PRB_P24の信号チェーン

5.6.1.2.11 5個のカイクアッド、DRC、3D、ビープ発生回路、フィルタA

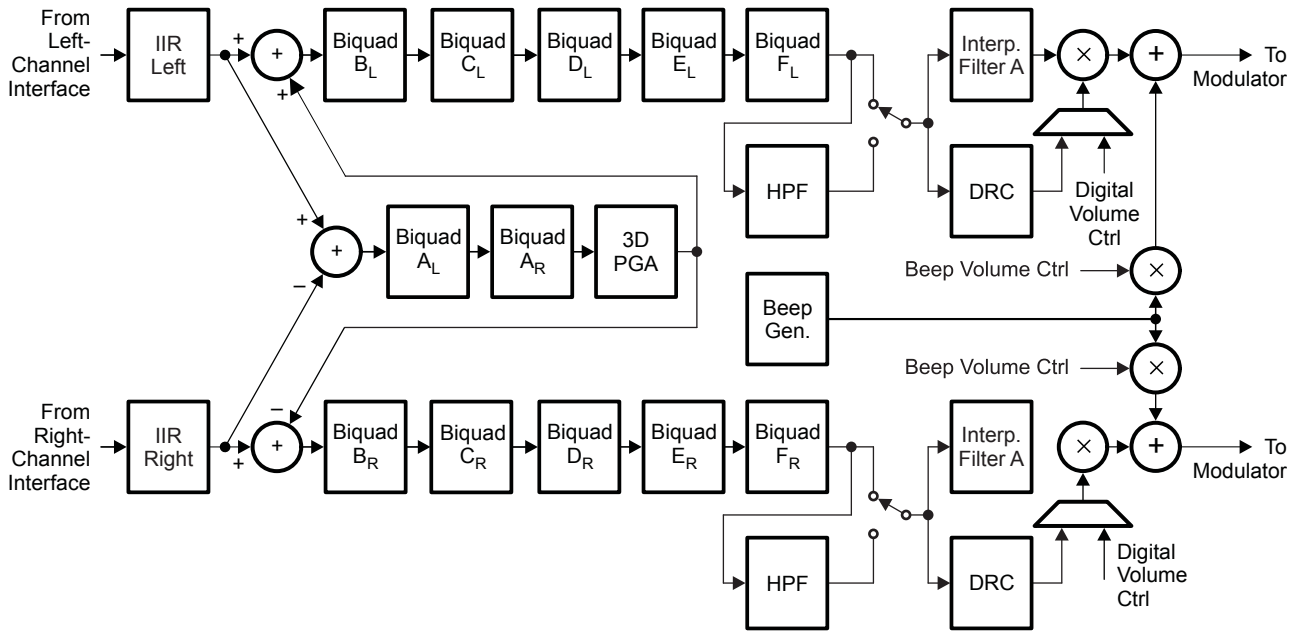


図5-29. PRB_P25の信号チェーン

5.6.1.3 DACのユーザ・プログラマブル・フィルタ

選択した処理ブロックに応じて、異なる種類と次数のデジタル・フィルタリングを使用できます。特定の処理ブロックに対して、最大6個のバイクアッド・セクションを使用できます。

各フィルタの係数は、2つのバンク内の連続的なインデックスの付いた係数として用意されています。適応型フィルタリングを選択した場合は、係数バンクをその場で切り替えることができます。

DACの動作中は、ユーザ・プログラマブル・フィルタ係数がロックされ、読み取りも書き込みもできません。

ただし、TSC2117には適応型フィルタ・モードも用意されています。ページ8/レジスタ1のビットD2を1に設定すると、係数のダブル・バッファリングがオンになります。このモードでは、ホストを通じてフィルタ係数を更新でき、DACを停止して再起動することなく、係数を有効にできます。これにより、高度な適応型フィルタリング・アプリケーションを実現できます。

ダブル・バッファリング状態では、すべての係数が2つのバッファ（バッファ AおよびB）に格納されます。DACの動作中に、適応型フィルタリング・モードがオンの場合は、ページ8/レジスタ1のビットD0を1に設定することで、次のサンプリング周期の開始時に係数バッファが切り替わります。切り替え後、このビットは0に戻ります。同時に、ページ8/レジスタ1のビットD1も切り替わります。

ページ8/レジスタ1のビットD1にあるフラグは、2つのバッファのどちらが実際に使用されているかを示します。

ページ8/レジスタ1、ビットD1 = 0 : DACエンジンによってバッファ Aが使用中、ビットD1 = 1 : バッファ Bが使用中。

デバイスの動作中は、係数がどちらのバッファに書き込まれたかに関係なく、DACによって使用されていない方のバッファに対して係数の更新が行われます。

表5-25. 適応型モードのフィルタ係数バッファ切り替え

DACが動作中?	ページ8/レジスタ1、D(1)	使用中の係数バッファ	書き込み先	更新
動作中でない	0	なし	C1、バッファA	C1、バッファA
動作中でない	0	なし	C1、バッファB	C1、バッファB
動作中	0	バッファA	C1、バッファA	C1、バッファB
動作中	0	バッファA	C1、バッファB	C1、バッファB
動作中	1	バッファB	C1、バッファA	C1、バッファA
動作中	1	バッファB	C1、バッファB	C1、バッファA

ユーザ・プログラマブル係数C1 ~ C70は、バッファ Aに対してはページ8、9、10、11、バッファ Bに対してはページ12、13、14、15に定義されています。

これらのフィルタの係数はそれぞれ16ビットの2's complement形式であり、レジスタ空間で2つの連続する8ビット・レジスタを占有します。具体的には、図5-12に示されるように、フィルタ係数は、-1.0 (0x8000) ~ 0.999969482421875 (0x7FFF) の範囲の1.15形式となっています。

5.6.1.3.1 1次IIRセクション

1次のIIRおよびその伝達関数は、次の式で与えられます。

$$H(z) = \frac{N_0 + N_1 z^{-1}}{2^{15} - D_1 z^{-1}} \quad (5-4)$$

デフォルト係数を使用した場合、1次IIRセクションの周波数応答はフラットとなります。

表5-26. DACのIIRフィルタ係数

フィルタ	フィルタ係数	DAC係数、左チャネル	DAC係数、右チャネル	デフォルト (リセット) 値
1次IIR	N0	ページ9/レジスタ2-3	ページ9/レジスタ8-9	0x7FFF (10進数1.0 - LSB値)
	N1	ページ9/レジスタ4-5	ページ9/レジスタ10-11	0x0000
	D1	ページ9/レジスタ6-7	ページ9/レジスタ12-13	0x0000

5.6.1.3.2 バイクアッド・セクション

各バイクアッド・フィルタの伝達関数は、次の式で与えられます。

$$H(z) = \frac{N_0 + 2 \times N_1 z^{-1} + N_2 z^{-2}}{2^{15} - 2 \times D_1 z^{-1} - D_2 z^{-2}} \quad (5-5)$$

表5-27. DACのバイクアッド・フィルタ係数

フィルタ	係数	左DACチャンネル	右DACチャンネル	デフォルト (リセット) 値
バイクアッドA	N0	ページ8/レジスタ2-3	ページ8/レジスタ66-67	0x7FFF (10進数1.0 - LSB値)
	N1	ページ8/レジスタ4-5	ページ8/レジスタ68-69	0x0000
	N2	ページ8/レジスタ6-7	ページ8/レジスタ70-71	0x0000
	D1	ページ8/レジスタ8-9	ページ8/レジスタ72-73	0x0000
	D2	ページ8/レジスタ10-11	ページ8/レジスタ74-75	0x0000
バイクアッドB	N0	ページ8/レジスタ12-13	ページ8/レジスタ76-77	0x7FFF (10進数1.0 - LSB値)
	N1	ページ8/レジスタ14-15	ページ8/レジスタ78-79	0x0000
	N2	ページ8/レジスタ16-17	ページ8/レジスタ80-81	0x0000
	D1	ページ8/レジスタ18-19	ページ8/レジスタ82-83	0x0000
	D2	ページ8/レジスタ20-21	ページ8/レジスタ84-85	0x0000
バイクアッドC	N0	ページ8/レジスタ22-23	ページ8/レジスタ86-87	0x7FFF (10進数1.0 - LSB値)
	N1	ページ8/レジスタ24-25	ページ8/レジスタ88-89	0x0000
	N2	ページ8/レジスタ26-27	ページ8/レジスタ90-91	0x0000
	D1	ページ8/レジスタ28-29	ページ8/レジスタ92-93	0x0000
	D2	ページ8/レジスタ30-31	ページ8/レジスタ94-95	0x0000
バイクアッドD	N0	ページ8/レジスタ32-33	ページ8/レジスタ96-97	0x7FFF (10進数1.0 - LSB値)
	N1	ページ8/レジスタ34-35	ページ8/レジスタ98-99	0x0000
	N2	ページ8/レジスタ36-37	ページ8/レジスタ100-101	0x0000
	D1	ページ8/レジスタ38-39	ページ8/レジスタ102-103	0x0000
	D2	ページ8/レジスタ40-41	ページ8/レジスタ104-105	0x0000
バイクアッドE	N0	ページ8/レジスタ42-43	ページ8/レジスタ106-107	0x7FFF (10進数1.0 - LSB値)
	N1	ページ8/レジスタ44-45	ページ8/レジスタ108-109	0x0000
	N2	ページ8/レジスタ46-47	ページ8/レジスタ110-111	0x0000
	D1	ページ8/レジスタ48-49	ページ8/レジスタ112-113	0x0000
	D2	ページ8/レジスタ50-51	ページ8/レジスタ114-115	0x0000
バイクアッドF	N0	ページ8/レジスタ52-53	ページ8/レジスタ116-117	0x7FFF (10進数1.0 - LSB値)
	N1	ページ8/レジスタ54-55	ページ8/レジスタ118-119	0x0000
	N2	ページ8/レジスタ56-57	ページ8/レジスタ120-121	0x0000
	D1	ページ8/レジスタ58-59	ページ8/レジスタ122-123	0x0000
	D2	ページ8/レジスタ60-61	ページ8/レジスタ124-125	0x0000

5.6.1.4 DAC補間フィルタ特性

5.6.1.4.1 補間フィルタA

フィルタAは、最大48kspsの f_s に対して設計され、0kHz~20kHzのフラットな通過帯域を持ちます。

表5-28. DAC補間フィルタAの仕様

パラメータ	測定条件	値 (標準)	単位
フィルタ・ゲイン、通過帯域	0 ... 0.45 f_s	±0.015	dB
フィルタ・ゲイン、阻止帯域	0.55 f_s ... 7.455 f_s	-65	dB
フィルタ群遅延		21/ f_s	s

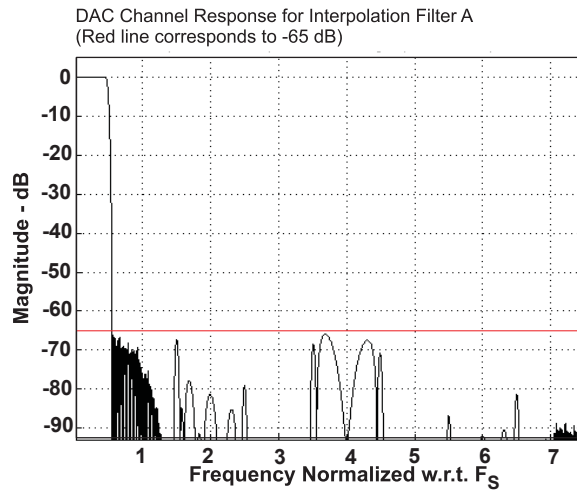


図5-30. DAC補間フィルタAの周波数応答

5.6.1.4.2 補間フィルタB

フィルタBは、最大96kspsの f_S に対して設計されています。そのため、フラットな通過帯域は、必要なオーディオ帯域である0kHz~20kHzを容易にカバーします。

表5-29. DAC補間フィルタBの仕様

パラメータ	測定条件	値 (標準)	単位
フィルタ・ゲイン、通過帯域	0 ... 0.45 f_S	± 0.015	dB
フィルタ・ゲイン、阻止帯域	0.55 f_S ... 3.45 f_S	-58	dB
フィルタ群遅延		18/ f_S	s

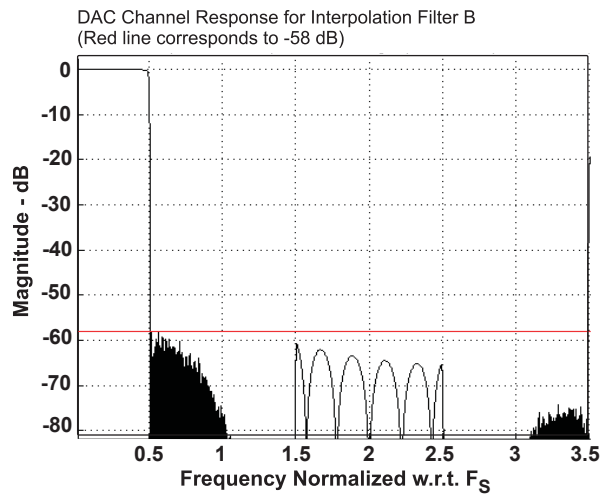


図5-31. チャネル補間フィルタBの周波数応答

5.6.1.4.3 補間フィルタC

フィルタCは、192kspsモードに対して設計されています。通過帯域は $0.4 \times f_S$ (80kHzに対応) まで広がり、オーディオ・アプリケーションに対して十分に大きな余裕があります。

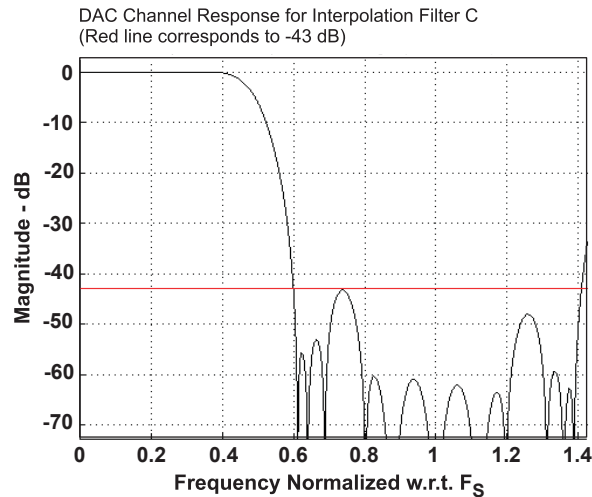


図5-32. DAC補間フィルタCの周波数応答

表5-30. DAC補間フィルタCの仕様

パラメータ	測定条件	値 (標準)	単位
フィルタ・ゲイン、通過帯域	$0 \dots 0.35 f_S$	± 0.03	dB
フィルタ・ゲイン、阻止帯域	$0.6 f_S \dots 1.4 f_S$	-43	dB
フィルタ群遅延		$13/f_S$	s

5.6.2 DACのデジタル音量制御

DACには、プログラマブルなゲインを実装したデジタル音量制御ブロックがあります。各チャンネルの音量を独立して制御でき、24dB ~ -63.5dBの範囲内で0.5dB単位で設定できます。左チャンネルDACの音量は、ページ0/レジスタ65のビットD7-D0に書き込むことで制御できます。右チャンネルDACの音量は、ページ0/レジスタ66のビットD7-D0に書き込むことで制御できます。DACのミュート、および両方のチャンネルを制御するマスタ・ゲイン制御の設定は、ページ0/レジスタ64のビットD3-D0に書き込むことで行われます。ゲインはソフト・ステッピング・アルゴリズムにより実装され、実際の音量は、目的の音量に達するまで、入力1サンプルあたり0.125dBステップ（増加または減少のいずれか）でしか変化しません。ページ0/レジスタ63のビットD1-D0に書き込むことで、ソフト・ステッピングの割合を、入力2サンプルあたり1ステップに下げることができます。音量制御レベル設定のデフォルト・ソースは、レジスタ書き込み（音量制御用のページ0/レジスタ65および66）によって制御されることに注意してください。VOL/MICDETピンを使用したDAC音量の制御は、音量制御ソースの選択がピン制御に変更される（ページ0/レジスタ116、ビットD7 = 1）までは無視されます。この機能は、図1-1に示されています。

ソフト・ステッピング中は、DACが完全にミュートされてもホストに信号が送信されません。ホストが何か大きな変更（サンプル・レートの変更など）を行う前にDACをミュートする必要がある場合には、この点が問題となる可能性があります。この状況に対処するため、デバイスは読み取り専用レジスタであるページ0/レジスタ38のビットD4（左チャンネル）およびビットD0（右チャンネル）を介して、ホストにフラグを提供します。この情報によってホストは、デバイスがソフト・ステッピングを完了し、実際の音量が目的の音量レベルに達したことを認識できます。ソフト・ステッピング機能は、ページ0/レジスタ63のビットD1-D0に書き込むことでディセーブルにできます。

ソフト・ステッピングがイネーブルの場合は、DACのパワーアップ・フラグがクリアされるまでの間、CODEC_CLKIN信号をアクティブに保持する必要があります。このフラグがクリアされると、DACの内部ソフト・ステッピング・プロセスが完了しているので、必要に応じてCODEC_CLKINを停止できます。（アナログ音量レベルは、内部発振回路を使用して下降させることができます。）

5.6.3 音量制御ピン

7ビットSAR ADCで使用される電圧の範囲が表に示されています。

音量制御ピンはデフォルトではイネーブルでなく、ページ0/レジスタ116のビットD7に1を書き込むことでイネーブルにできます。デフォルトのDAC音量制御では、音量のソフトウェア制御を使用します。これは、ページ0/レジスタ116、ビットD7 = 0の場合です。音量レベルのソフト・ステッピングは、ページ0/レジスタ63のビットD1-D0に書き込むことで設定されます。

音量ピン機能を使用するときには、7ビットの音量ADCがVOL/MICDETピンの電圧を読み取り、デジタル音量制御を更新します。（音量制御の現在の値は上書きされます。）音量制御ピンの電圧の変化によって適用された新しい音量設定は、ページ0/レジスタ117のビットD6-D0で読み取ることができます。7ビット音量ADCのクロック・ソースは、ページ0/レジスタ116のビットD6で選択できます。更新されたレートは、ページ0/レジスタ116のビットD2-D0でこの7ビットSAR ADCに対してプログラミングできます。

VOL/MICDETピンのゲイン・マッピングを表5-31に示します。

表5-31. VOL/MICDETピンのゲイン・マッピング

VOL/MICDETピンのSAR出力	適用されるデジタル・ゲイン
0	18 dB
1	17.5 dB
2	17 dB
:	:
35	0.5 dB
36	0.0 dB
37	-0.5 dB
:	:
89	-26.5 dB
90	-27 dB
91	-28 dB
:	:
125	-62 dB
126	-63 dB
127	Mute

VOL/MICDETピンの接続および機能を図5-33に示します。

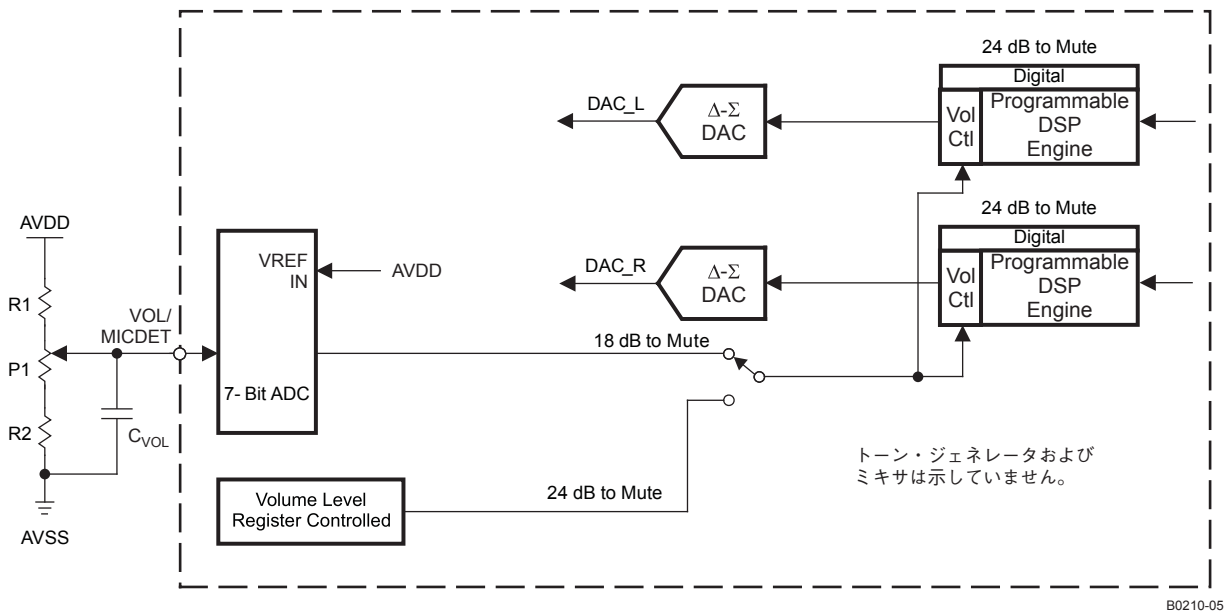


図5-33. ビープ発生回路およびDAC再生データのデジタル音量制御

表5-31に示されるように、VOL/MICDETピンのゲイン制御範囲は、18dB ~ -63dB、およびミュートです。ただし、最大ゲインをより低くする必要がある場合は、さらに低い範囲の電圧をVOL/MICDETピンに印加する必要があります。これは、(P1 + R1) の値に対してR2の値を増加させ、P1の下側にかかる電圧を高めることで実現できます。また、選択したR1、R2、およびP1の値に対して、最大電圧 (ポテンショメータの上側) がAVDD/2を超えないように回路を設計する必要があります (図5-33を参照)。いくつかの最大ゲインに対するR1、R2、およびP1の推奨値を表5-32に示します。標準的なアプリケーションでは、適切なADC動作のためにVOL/MICDETピンをAVDD/2以下に抑える必要があるため、R1を0Ωにすることはできません。

表5-32. VOL/MICDETピンのゲイン調整

R1 (kΩ)	P1 (kΩ)	R2 (kΩ)	AVDD = 3.3V時のADC電圧(V)	デジタル・ゲイン範囲 (dB)
25	25	0	0 V to 1.65 V	18 dB to -63 dB
33	25	7.68	0.386 V to 1.642 V	3 dB to -63 dB
34.8	25	9.76	0.463 V to 1.649 V	0 dB to -63 dB

5.6.4 ダイナミック・レンジの圧縮

標準的な音楽信号は、クレスト係数が12dB以上の特性を持ちます。これは、平均信号電力に対するピーク信号電力の比です。ピーク信号のクリッピングによる可聴域の歪を避けるため、DACチャンネルのゲインは、ピーク信号のハード・クリッピングが生じないように調整する必要があります。その結果、通常の期間では、適用されるゲインが低くなり、信号が十分に大きくないと認識されます。この問題に対処するため、TSC2117のDRCでは、DACデジタル音量制御の出力を連続的に監視して、0dBFSを基準に電力レベルを検出します。電力レベルが低い場合、DRCは入力信号ゲインを増加させ、音が大きく聞こえるようにします。同時に、ピーク信号が検出された場合は、自動的に適用ゲインを減少させて、ハード・クリッピングを防ぎます。その結果、より耳にやさしい音になるとともに、通常期間中の音量が大きくなります。

TSC2117のDRC機能は、5.6.1.2節で説明したように、DACチャンネル内の処理ブロックの組み合わせによって実現されます。

DRCは、ページ0/レジスタ68のビットD6-D5に書き込むことでディスエーブルにできます。

通常、DRCはフィルタリング後の入力信号に対して機能します。入力信号には、DCおよび極端に低い周波数でのオーディオ情報は含まれていません。ただし、入力信号はDRCのエネルギー見積もり機能に大きな影響を与える場合があります。また、信号エネルギーに関する情報のほとんどは、入力信号の低周波領域に集中しています。

入力信号のエネルギーを見積もるために、信号は最初にDRCハイパス・フィルタに入力されてから、DRCローパス・フィルタに入力されます。これらのフィルタは、次の式で与えられる1次IIRフィルタとして実装されています。

$$H_{\text{HPF}}(z) = \frac{N_0 + N_1 z^{-1}}{2^{15} - D_1 z^{-1}} \quad (5-6)$$

$$H_{\text{LPF}}(z) = \frac{N_0 + N_1 z^{-1}}{2^{15} - D_1 z^{-1}} \quad (5-7)$$

これらのフィルタの係数は16ビット幅の2の補数形式であり、表5-33に示すように、レジスタ書き込みによってユーザ・プログラミングが可能です。

表5-33. DRCのHPFおよびLPF係数

係数	場所
HPF N0	C71、ページ9/レジスタ14-15
HPF N1	C72、ページ9/レジスタ16-17
HPF D1	C73、ページ9/レジスタ18-19
LPF N0	C74、ページ9/レジスタ20-21
LPF N1	C75、ページ9/レジスタ22-23
LPF D1	C76、ページ9/レジスタ24-25

これらの係数のデフォルト値では、ハイパス・フィルタのカットオフ周波数が $0.00166 \times \text{DAC}_{f_s}$ 、ローパス・フィルタのカットオフ周波数が $0.00033 \times \text{DAC}_{f_s}$ となります。

DRCハイパス・フィルタの出力は、DACチャンネルに対して選択された処理ブロックに供給されます。DRC-LPFフィルタの絶対値が、DRC内のエネルギー見積もりに使用されます。

DACデジタル音量制御のゲインは、ページ0/レジスタ65および66によって制御されます。DRCがイネーブルの場合、適用されるゲインは、デジタル音量制御のレジスタ設定、およびDRCの出力によって決定されます。

以降の節で、DRCのパラメータについて説明します。

5.6.4.1 DRCスレッシュホールド

DRCスレッシュホールドは、ゲイン圧縮がアクティブになるDAC再生信号のレベルを表します。DACのデジタル音量制御の出力が、設定されたスレッシュホールドと比較されます。スレッシュホールドの値は、ページ0/レジスタ68のビットD4-D2に書き込むことでプログラミングできます。値は、 $-3\text{dBFS} \sim -24\text{dBFS}$ の範囲内で3dBステップの単位で調整ができます。DRCスレッシュホールドの値を高くしすぎると、DRCブロックがピーク信号を検出するのに十分な時間が取れなくなり、出力に過度の歪が生じる可能性があります。DRCスレッシュホールドの値を低くしすぎると、出力信号の体感音量が制限される場合があります。

DRCスレッシュホールドの推奨値は、 -24dB です。

出力信号がDRCスレッシュホールドの設定値を上回ると、ページ0/レジスタ44、ビットD3-D2の割り込みフラグ・ビットが更新されます。これらのフラグ・ビットは、スティッキー・ビットであり、ユーザが読み出した場合にだけリセットされます。スティッキー・ビットでない割り込みフラグも、ページ0/レジスタ46のビットD3-D2に用意されています。

5.6.4.2 DRCヒステリシス

DRCヒステリシスは、ページ0/レジスタ68のビットD1-D0に書き込むことでプログラミングできます。これらのビットは、0dB ~ 3dBの値として1dB単位でプログラミングできます。これは、DRCスレッシュホールド前後のプログラマブル・ウィンドウであり、ディセーブル状態のDRCをイネーブルにするとき、またはイネーブル状態のDRCをディセーブルにするときに超える必要がある値です。例えば、DRCスレッシュホールドが -12dBFS に設定され、DRCヒステリシスが3dBに設定されていて、DRCのゲイン圧縮が非アクティブである場合、DRCによるゲイン圧縮がアクティブになるには、DACデジタル音量制御の出力が -9dBFS を超える必要があります。同様に、DRCのゲイン圧縮がアクティブである場合、DRCによるゲイン圧縮が非アクティブになるには、DACデジタル音量制御の出力が -15dBFS を下回る必要があります。DRCヒステリシス機能は、プログラミングされたDRCスレッシュホールド付近の狭い範囲でDACデジタル音量制御の出力が急速に変動するような場合に、DRCのゲイン圧縮が急激にアクティブまたは非アクティブになることを防ぎます。DRCヒステリシスを0dBにプログラミングすると、ヒステリシス動作はディセーブルになります。

DRCヒステリシスの推奨値は3dBです。

5.6.4.3 DRCホールド

DRCホールドは、エネルギー・レベルの低下時に、ディケイの開始を指定時間だけ遅らせるために用意されています。可聴ノイズを最小限に抑えるため、ページ0/レジスタ69のビットD6-D3を0000にプログラミングして、DRCホールド時間を0に設定することを推奨します。

5.6.4.4 DRCアタック・レート

DACデジタル音量制御の出力がDRCスレッシュホールドのプログラミング値を超えた場合、DACデジタル音量制御で適用されるゲインが段階的に低下して、チャンネルでの信号の飽和を防ぎます。このゲインを低下させるプロセスをアタックと呼んでいます。可聴ノイズを避けるため、ゲインはアタック・レートに従ってゆっくり減少します。アタック・レートは、ページ0/レジスタ70のビットD7-D4でプログラミングされます。アタック・レートでは、ゲインの変化の割合を $1/\text{DAC_fs}$ あたり4dBから $1/\text{DAC_fs}$ あたり $1.2207e - 5\text{dB}$ までプログラミングできます。

アタック・レートは、DACデジタル音量制御の出力がクリッピングされる前に、入力信号を十分に減衰できるようにプログラミングする必要があります。アタック・レートが高いと可聴ノイズが生じる可能性があり、低すぎると入力信号のクリッピングを防げない可能性があります。

DRCアタック・レートの推奨値は、 $1/\text{DAC_fs}$ あたり $1.9531e - 4\text{dB}$ です。

5.6.4.5 DRCディケイ・レート

プログラミングされたDRCスレッシュホールドを超える出力信号スイングの低下を検出した場合、DRCはディケイ状態になります。この状態では、デジタル音量制御で適用されるゲインが、プログラミングされた値になるまで段階的に増加します。可聴ノイズを避けるため、ゲインはディケイ・レートに従ってゆっくり増加します。ディケイ・レートは、ページ0/レジスタ70のビットD3-D0でプログラミングされます。ディケイ・レートは、 $1/\text{DAC_fs}$ あたり $1.5625e - 3\text{dB}$ から $1/\text{DAC_fs}$ あたり $4.7683e - 7\text{dB}$ までプログラミングできます。ディケイ・レートが高すぎると、急激なゲインの変化によって可聴ノイズが生じる可能性があります。また、ディケイ・レートが低すぎると、ピーク信号が過ぎた後長い時間にわたって、出力が小さすぎると感じられる場合があります。

DRCディケイ・レートの推奨値は、 $1/\text{DAC_fs}$ あたり $2.4414e - 5\text{dB}$ です。

5.6.4.6 DRCの設定例

- ・PGAゲイン = 12dB
- ・スレッシュホールド = -24dB
- ・ヒステリシス = 3dB
- ・ホールド時間 = 0ms
- ・アタック・レート = $1/\text{DAC_fs}$ あたり $1.9531e - 4\text{dB}$
- ・ディケイ・レート = $1/\text{DAC_fs}$ あたり $2.4414e - 5\text{dB}$

スクリプト

```
#Go to Page 0
w 30 00 00
#DAC => 12 db gain left
w 30 41 18
#DAC => 12 db gain right
w 30 42 18
#DAC => DRC Enabled for both channels, Threshold = -24 db, Hysteresis = 3 dB
w 30 44 7F
#DRC Hold = 0 ms, Rate of Changes of Gain = 0.5 dB/Fs'
w 30 45 00
#Attack Rate = 1.9531e-4 dB/Frame , DRC Decay Rate =2.4414e-5 dB/Frame
w 30 46 B6
#Go to Page 9
w 30 00 09
#DRC HPF
w 30 0E 7F AB 80 55 7F 56
#DRC LPF
w 30 14 00 11 00 11 7F DE
```

5.6.4.7 ヘッドセット検出

TSC2117には、ヘッドホン、マイク、またはヘッドセットのジャックを監視して、ジャックにプラグが挿入されているかどうか、およびどのような種類のヘッドセット/ヘッドホンがプラグに接続されているかを判別する機能があります。また、ヘッドセットで携帯電話の通話を開始する場合などに、ボタンが押されたことを検出する機能もあります。図5-34に、この機能を実現する回路構成を示します。

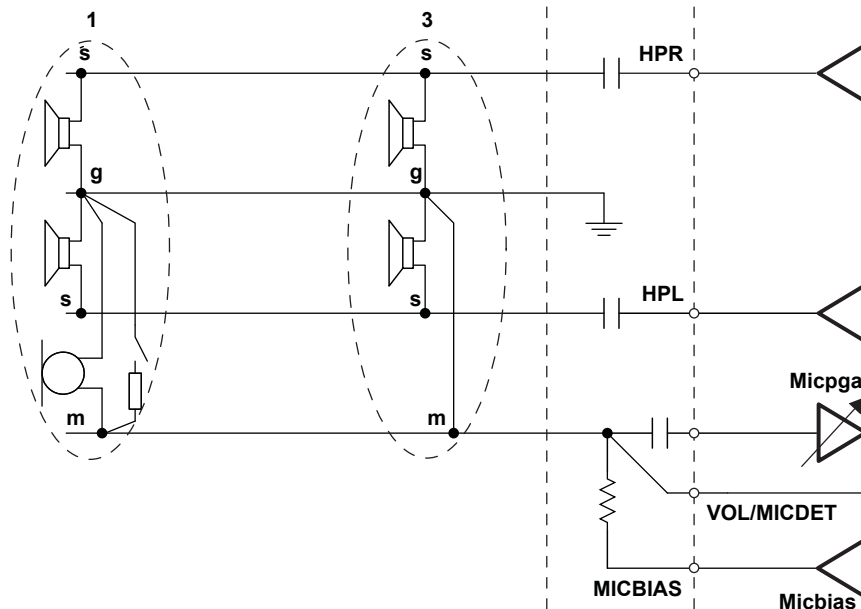


図5-34. ヘッドセット検出用のジャック接続

この機能は、ページ0/レジスタ67のビットD1のプログラミングによってイネーブルにできます。ヘッドセット・ジャックやマイク・ボタンの機械的振動による誤検出を避けるために、グリッチを除去するデバウンス機能が用意されています。ヘッドセットの挿入の場合は、32ms～512msのデバウンス機能が使用されます。これは、ページ0/レジスタ67のビットD4-D2によってプログラミングできます。ボタン押し検出を向上させるため、デバウンス機能にはページ0/レジスタ67のビットD1-D0のプログラミングにより8ms～32msの範囲も設定できます。

また、TSC2117には、ボタンが押されたかヘッドセットの挿入/取り外しが検出されたときに、レジスタの読み取り可能なフラグおよびI/Oピンでの割り込みによって、ユーザにフィードバックする機能があります。ページ0/レジスタ46のビットD5-D4の値は、ボタンまたはヘッドセット挿入の瞬間的な状態を示しています。ページ0/レジスタ44のビットD5は、ボタンが押されたことを検出したときにセットされる、スティッキー（ラッチ）フラグです。

ページ0/レジスタ44のビットD4は、ヘッドセットの挿入または取り外しを検出したときにセットされるスティッキー・フラグです。これらのスティッキー・フラグは、該当する状態の検出時にセットされ、読み取られた場合のみセットされます。これには、ページ0/レジスタ44のポーリングが必要です。ポーリングとそれに関連したオーバーヘッドを避けるため、TSC2117には、状態の検出時にINT1およびINT2割り込みを発生させる機能も用意されています。これらの割り込みは、デジタル出力ピンの1つに送信できます。詳細については、5.6.4.8節を参照してください。

TSC2117は、ヘッドセットの挿入を検出するだけでなく、ステレオ・ヘッドホンや携帯電話のヘッドホンなど、挿入されたヘッドセットの種類を区別することもできます。ヘッドセットが検出された後、ユーザはページ0/レジスタ67のビットD6-D5を読み取ることで、挿入されたヘッドセットの種類を確認できます。

表5-34. ヘッドセット検出ブロックのレジスタ

レジスタ	説明
ページ0/レジスタ67、ビットD1	ヘッドセット検出のイネーブル/ディスエーブル
ページ0/レジスタ67、ビットD4-D2	ヘッドセット検出のデバウンスのプログラミング
ページ0/レジスタ67、ビットD1-D0	ボタン押しのデバウンスのプログラミング
ページ0/レジスタ44、ビットD5	ボタン押しのスティッキー・フラグ
ページ0/レジスタ44、ビットD4	ヘッドセット挿入/取り外しのスティッキー・フラグ
ページ0/レジスタ46、ビットD5	ボタン押しのステータス・フラグ
ページ0/レジスタ46、ビットD4	ヘッドセット挿入/取り外しのステータス・フラグ
ページ0/レジスタ67、ビットD6-D5	検出されたヘッドセットの種類のフラグ

ヘッドセット検出ブロックには、AVDD電源が必要です。TSC2117のヘッドセット検出機能は、非常に低い電力オーバーヘッドで実現されるため、AVDD電源からの追加電流は20 μ A未満で済みます。

5.6.4.8 割り込み

TSC2117では、ホスト・プロセッサの介入を必要とする場合がある特定のイベントの発生時に、ホスト・プロセッサに割り込みを送信することができます。これにより、ステータス・フラグ・レジスタの継続的なポーリングを避けることができます。TSC2117には、2つの定義済みの割り込みINT1およびINT2があり、これらはページ0/レジスタ48および49のプログラミングによって設定できます。ユーザは、INT1およびINT2を、次のような1つまたは複数のイベントによって発生するように設定できます。

- ・ヘッドセットの検出
- ・ボタンが押されたとき
- ・スレッシュホールドを超えるDAC DRC信号
- ・AGCによるノイズ検出
- ・ヘッドホン・ドライバ/スピーカー・ドライバの過電流状態
- ・ADCおよびDACの処理ブロックおよびフィルタでのデータのオーバーフロー
- ・DC測定データの取得
- ・SAR測定データの取得
- ・タッチ検出

これらのINT1およびINT2割り込みは、ページ0/レジスタ51、52、53、および55の該当する出力制御レジスタを設定することにより、GPIO1、GPIO2、SDOUT、MISOなどの出力ピンに送信できます。これらの割り込み信号は、ページ0/レジスタ48のビットD0およびページ0/レジスタ49のビットD0のプログラミングによって、単一のパルスまたは連続したパルスに設定できます。割り込みを連続したパルスに設定した場合は、イベントによってパルスが開始された後、ユーザが割り込み要因を確認するためにページ0/レジスタ44、45、および50のフラグ・レジスタを読み取った時点で、パルスが停止します。

5.6.5 ビープ発生回路によるキークリック機能

デジタル信号処理ブロックには、DACに送信されるデジタル正弦波信号を生成するための特別なアルゴリズムが搭載されています。この機能は、ユーザへのフィードバックのためのキークリック音を生成するために用意されています。この正弦波発生回路は、非常に柔軟性が高く（表5-35を参照）、完全にレジスタでプログラミングできます。ページ0/レジスタ71-79（各8ビット）をプログラミングすることで、この発生回路の機能を完全に制御し、さまざまな音を生成できます。

16ビットの正弦波係数をプログラミングするための2つのレジスタが、ページ0/レジスタ76および77です。16ビットの余弦波係数をプログラミングするための2つのレジスタが、ページ0/レジスタ78および79です。これらの係数の分解能によって、オーディオ帯域のほとんどあらゆる周波数（最大 $f_s/2$ ）の正弦波を生成できます。

正弦バースト波形の長さを制御するための3つのレジスタが、ページ0/レジスタ73-75です。正弦バースト長レジスタの分解能（ビット）は1サンプル時間であるため、正弦バースト波形の全体の時間をきめ細かく制御できます。この24ビット長タイマは、16,777,215サンプル時間をサポートします。（例えば、 f_s が48kHzに設定され、レジスタ値が96,000d（01 7700h）に等しい場合、正弦バーストはちょうど2秒間続きます。）発生回路のデフォルト設定は、48kHzのサンプル・レートに基づくと、約1kHzの正弦波で、正弦バースト長が5サイクル（5ms）となります。

表5-35. ビープ発生回路のレジスタ位置（ページ00h）

レジスタ	左ビープ 制御	右ビープ 制御	ビープ長			正弦波		余弦波	
			MSB	MID	LSB	MSB	LSB	MSB	LSB
レジスタ	71	72	73	74	75	76	77	78	79

表5-36. 1000Hzのトーンに対するビープ発生回路の設定例

ビープ周波数	ビープ長			正弦波		余弦波		サンプル・レート
Hz	MSB (hex)	MID (hex)	LSB (hex)	MSB (hex)	LSB (hex)	MSB (hex)	LSB (hex)	Hz
1000 ⁽¹⁾	0	0	EE	10	D8	7E	E3	48,000

(1) これらはデフォルト設定です。

2つのレジスタを使用して、左の正弦波音量と右の正弦波音量が独立して制御されます。6ビットのデジタル音量制御により、1dB単位で2dB ~ 61dBのレベル制御が可能です。左チャンネルの音量は、ページ0/レジスタ71のビットD5-D0に書き込むことで制御されます。右チャンネルの音量は、ページ0/レジスタ72のビットD5-D0に書き込むことで制御されます。ビープ発生回路の左右のチャンネルを制御するマスタ音量制御は、ページ0/レジスタ72のビットD7-D6に書き込むことで設定できます。デフォルトの音量制御設定は2dBであり、ビープ発生回路の出力レベルは最大となります。

他のトーンを生成する場合は、MATLAB™を使用して次のスクリプトを実行することにより、ビープ発生回路の3つの係数を求めることができます。

```
Sine = dec2hex(round(sin(2*pi*Fin/Fs)*2^15))
Cosine = dec2hex(round(cos(2*pi*Fin/Fs)*2^15))
Beep Length = dec2hex(floor(Fs*Cycle/Fin))
```

ここで

f_{in} = 目的のビープ周波数

f_s = サンプル・レート

Cycle = 必要なビープ（正弦波）サイクル数

dec2hex = 10進数から16進数への変換関数

注：

1. f_{in} は $f_s/4$ 未満である必要があります。

2. 正弦波と余弦波の値について、ビット数が16ビットよりも少ない場合には、未使用の上位ビットを0として書き込む必要があります。

3. ビープ長の値について、ビット数が24ビットよりも少ない場合には、未使用の上位ビットを0として書き込む必要があります。

ビープ音量制御に続いて、DAC音量制御でレベル設定済みの再生データ・ストリームにミキシングを行う、デジタル・ミキサーがあります。したがって、いったん設定されたキークリックの音量レベルは、エンド・ユーザがメインの音量制御として使用するDAC音量制御によって影響されません。この機能は、図1-1に示されています。

DACの後には、アナログ出力音量制御およびパワー・アンプのレベル制御によって、信号をさらに調整可能です。

(キークリック機能に使用される) ビープ発生回路は、手動と自動の2つのモードで動作できます。手動モードでは、ページ0/レジスタ71のビットD7に書き込むことで単一のビープが生成されます。プログラミングされたビープ長が経過した後、レジスタ71のビットD7は0にリセットされます。自動モードでは、PEN DOWN検出の遷移時にビープが生成されますが、PEN UP検出の遷移時には生成されません。自動モードは、デフォルトでディスエーブルになっています。自動モードは、ページ0/レジスタ71のビットD6に書き込むことでイネーブルにできます。この機能は、図5-36に示されています。ビープの誤発生を最小限に抑えるために、ページ3/レジスタ18のビットD2-D0のプログラミングに従ってPEN UPデバウンスが適用されます。

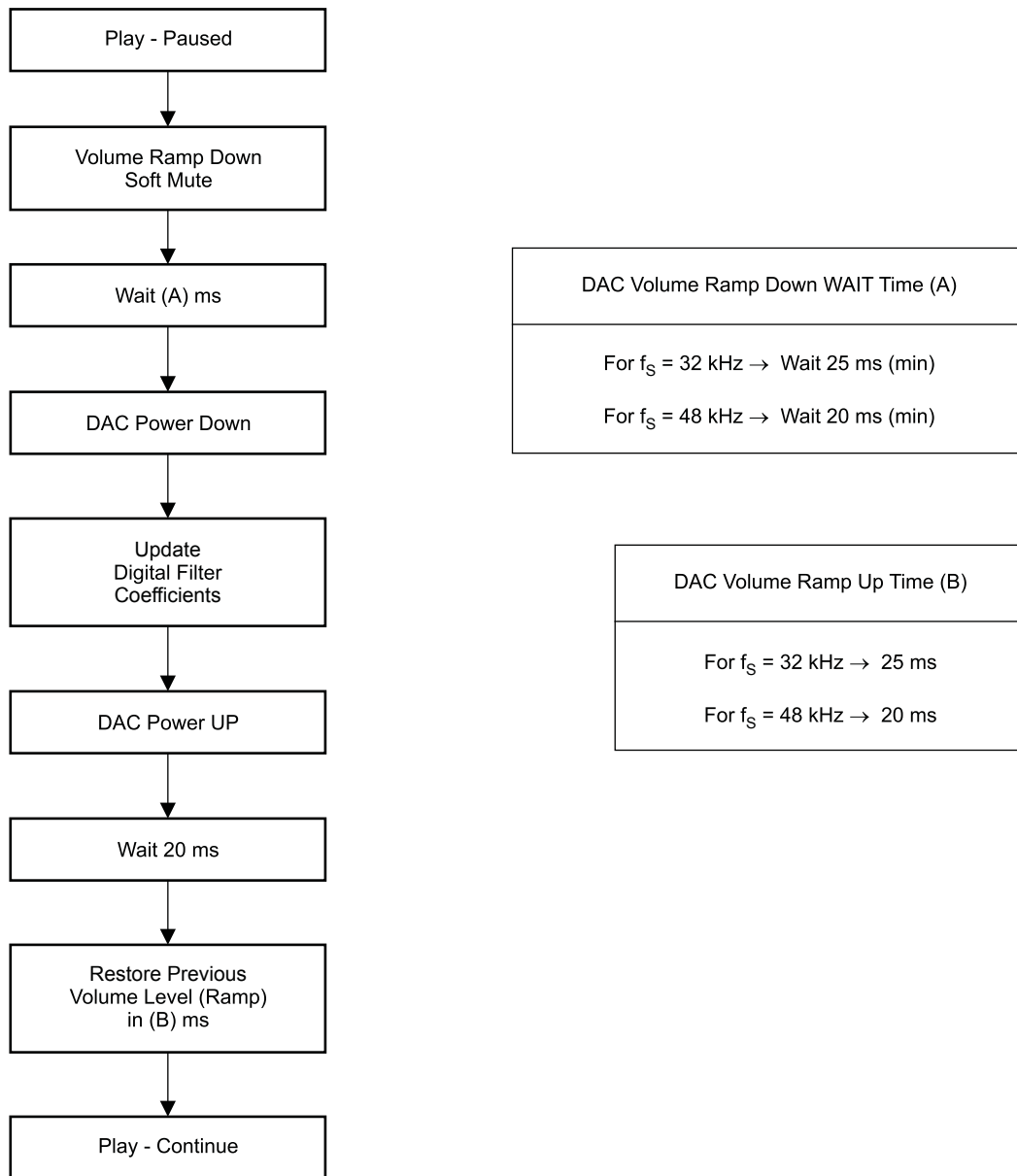
5.6.6 DACデジタル・フィルタ係数のプログラミング

デジタル・フィルタ係数は、I²CまたはSPIインターフェイスを介してプログラミングする必要があります。DAC信号パスに対するすべてのデジタル・フィルタリングは、DACのパワーオン前にRAMにロードしておく必要があります。プログラマブル・バイクアッドに使用するデフォルトのALLPASSフィルタ係数は、ブートROMに格納されています。ハードウェア・リセット (RESETピンの遷移) またはソフトウェア・リセットの実行後、ブートROMから自動的にデフォルト値がRAMにロードされます。デバイスのリセット後、ブートROMの係数をデジタル・フィルタにロードするには、100 μ sのプログラミング時間が必要です。この時間中は、ページ8～ページ15への書き込みによるDACフィルタ係数値の更新は許可されません。(システム・マイクロプロセッサによってすべてのDAC設定が完了するまでは、DACをパワーアップしないでください。)

5.6.7 再生中のDACデジタル・フィルタ係数の更新

再生中にDACデジタル・フィルタ係数またはビープ発生回路を更新する必要がある場合は、クリック音やポップ音、あるいは発振ノイズなどを避けるよう注意する必要があります。適切な更新シーケンスに従わずにDAC係数を更新すると、これらのノイズが発生する場合があります。正しいシーケンスを図5-35に示します。ここに示した時間は概略値であり、ソフトウェアの目的にのみ使用してください。

また、DACがオンの間にDAC係数を更新できる適応型モードもサポートされています。詳細については、5.6.1.3節を参照してください。

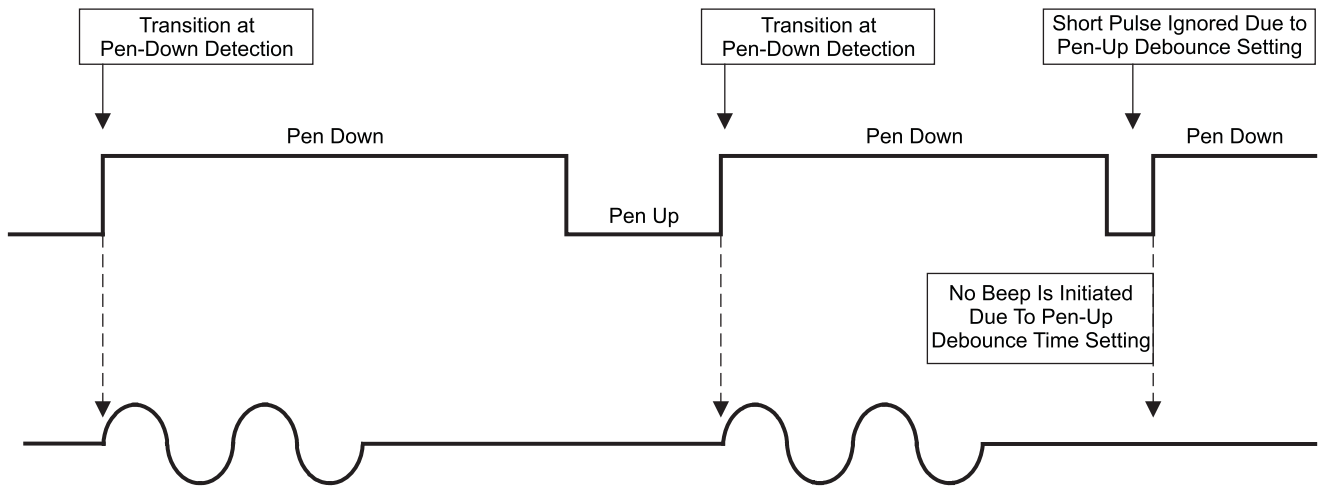


F0024-02

図5-35. 再生中にDACデジタル・フィルタ係数を更新するフローの例

5.6.8 デジタル・ミキシングおよびルーティング

TSC2117には、4つのデジタル・ミキシング・ブロックがあります。それぞれのミキサが、デジタル・オーディオ・データのミキシングまたは多重化を行えます。このようなデジタル・ミキサ構成により、再生データとキークリック音の両方に対して独立した音量制御が可能です。ミキサの最初の組は、左右のオーディオ・データからモノラル信号を作成するために使用できます。または、DACへのチャンネルを左右入れ替えることも可能です。この機能は、右DAC入力に対して左オーディオ・データを選択し、左DAC入力に対して右オーディオ・データを選択することで実現されます。2番目のミキサの組では、オーディオ・データ・ストリームとキークリック音をミキシングします。このデジタル・ルーティングは、ページ0/レジスタ63のビットD5-D4（左チャンネル）およびD3-D2（右チャンネル）に書き込むことで設定できます。



T0203-01

図5-36. PEN UPデバウンスがイネーブルの自動ビープ・モード

キークリック機能ではデジタル信号処理ブロックを使用するので、キークリック音を生成するには、CODEC_CLKIN、DAC、アナログ音量制御、および出力ドライバがパワーオンされている必要があります。

5.6.9 アナログ・オーディオ・ルーティング

TSC2117は、DAC出力をヘッドホンまたはスピーカー出力にルーティングすることができます。必要であれば、両方の出力ドライバを同時に動作させ、異なる音量レベルで再生することもできます。TSC2117には、さまざまなデジタル・ルーティング機能があり、デジタル・ミキシングに加えて、デジタル・ドメインでのチャンネルの入れ替えも可能です。選択した以外のアナログ出力はすべてパワーダウンすることで、消費電力を最適化できます。

5.6.9.1 アナログ出力音量制御

出力音量制御を使用して、ヘッドホン・ドライバまたはスピーカー・ドライバに供給されるミキサ・アンプ信号のレベルを微調整できます。このアーキテクチャでは、4つの出力ドライバのそれぞれについて個別および同時の音量レベル制御をサポートしています。また、この音量制御は、出力のポップ・ノイズ低減手法の一部としても使用できます。この機能は、ADCおよびDACがパワーダウンしていても使用できます。

5.6.9.2 ヘッドホン・アナログ出力音量制御

ヘッドホン出力に対しては、表5-37および表5-38に示すように、0dB ~ 78dBの範囲で0.5dBステップのアナログ音量制御は、実用範囲のほとんどとミュート動作をサポートします。この音量制御には、ソフト・ステッピング・ロジックが含まれます。左チャンネルDAC出力信号を左チャンネル・アナログ音量制御にルーティングするには、ページ1/レジスタ35のビットD6に書き込みます。右チャンネルDAC出力信号を右チャンネル・アナログ音量制御にルーティングするには、ページ1/レジスタ35のビットD2に書き込みます。

ヘッドホンの左チャンネルのアナログ音量は、ページ1/レジスタ36のビットD6-D0に書き込むことで制御されます。ヘッドホンの右チャンネルのアナログ音量は、ページ1/レジスタ37のビットD6-D0に書き込むことで制御されます。左チャンネル・アナログ音量制御からの信号を左チャンネル・ヘッドホン・パワー・アンプの入力にルーティングするには、ページ1/レジスタ36のビットD7に書き込みます。右チャンネル・アナログ音量制御からの信号を右チャンネル・ヘッドホン・パワー・アンプの入力にルーティングするには、ページ1/レジスタ37のビットD7に書き込みます。

アナログ音量制御のソフト・ステッピング時間は、ページ0/レジスタ63のビットD1-D0の設定に基づきます。

表5-37. ヘッドホンおよびスピーカー出力のアナログ音量制御 (D7 = 0の場合)

レジスタ値	アナログ・アッテネーター (dB)	Register Value	アナログ・アッテネーター (dB)	Register Value	アナログ・アッテネーター (dB)	Register Value	アナログ・アッテネーター (dB)
0	0.0	30	-15.1	60	-30.1	90	-45.4
1	-0.5	31	-15.6	61	-30.7	91	-46.0
2	-1.0	32	-16.0	62	-31.1	92	-46.4
3	-1.5	33	-16.5	63	-31.7	93	-46.9
4	-2.0	34	-17.1	64	-32.2	94	-47.6
5	-2.5	35	-17.6	65	-32.7	95	-48.2
6	-3.0	36	-18.1	66	-33.2	96	-48.4
7	-3.5	37	-18.6	67	-33.7	97	-49.0
8	-4.0	38	-19.1	68	-34.2	98	-49.6
9	-4.5	39	-19.6	69	-34.7	99	-50.3
10	-5.0	40	-20.1	70	-35.2	100	-50.7
11	-5.5	41	-20.6	71	-35.7	101	-51.4
12	-6.0	42	-21.1	72	-36.2	102	-51.8
13	-6.5	43	-21.6	73	-36.8	103	-52.2
14	-7.0	44	-22.1	74	-37.2	104	-52.7
15	-7.5	45	-22.6	75	-37.8	105	-53.2
16	-8.0	46	-23.1	76	-38.3	106	-54.2
17	-8.5	47	-23.6	77	-38.8	107	-54.7
18	-9.0	48	-24.1	78	-39.3	108	-56.0
19	-9.5	49	-24.6	79	-39.8	109	-57.4
20	-10.0	50	-25.1	80	-40.3	110	-59.2
21	-10.5	51	-25.6	81	-40.8	111	-61.4
22	-11.0	52	-26.1	82	-41.4	112	-64.3
23	-11.5	53	-26.6	83	-41.9	113	-66.2
24	-12.0	54	-27.1	84	-42.3	114	-68.7
25	-12.5	55	-27.6	85	-42.9	115	-72.2
26	-13.0	56	-28.1	86	-43.3	116	-78.3
27	-13.5	57	-28.6	87	-43.9	117-127	PGAはミュート
28	-14.1	58	-29.1	88	-44.5		
29	-14.6	59	-29.6	89	-45.0		

表5-38. ヘッドホンおよびスピーカー出力のアナログ音量制御 (D7 = 1の場合)

レジスタ値	アナログ・アッテネーター (dB)	Register Value	アナログ・アッテネーター (dB)	Register Value	アナログ・アッテネーター (dB)	Register Value	アナログ・アッテネーター (dB)
0	0.0	30	-15.0	60	-30.1	90	-45.2
1	-0.5	31	-15.5	61	-30.6	91	-45.8
2	-1.0	32	-16.0	62	-31.1	92	-46.2
3	-1.5	33	-16.5	63	-31.6	93	-46.7
4	-2.0	34	-17.0	64	-32.1	94	-47.4
5	-2.5	35	-17.5	65	-32.6	95	-47.9
6	-3.0	36	-18.1	66	-33.1	96	-48.2
7	-3.5	37	-18.6	67	-33.6	97	-48.7
8	-4.0	38	-19.1	68	-34.1	98	-49.3
9	-4.5	39	-19.6	69	-34.6	99	-50.0
10	-5.0	40	-20.1	70	-35.2	100	-50.3
11	-5.5	41	-20.6	71	-35.7	101	-51.0
12	-6.0	42	-21.1	72	-36.2	102	-51.4
13	-6.5	43	-21.6	73	-36.7	103	-51.8
14	-7.0	44	-22.1	74	-37.2	104	-52.2
15	-7.5	45	-22.6	75	-37.7	105	-52.7
16	-8.0	46	-23.1	76	-38.2	106	-53.7
17	-8.5	47	-23.6	77	-38.7	107	-54.2
18	-9.0	48	-24.1	78	-39.2	108	-55.3
19	-9.5	49	-24.6	79	-39.7	109	-56.7
20	-10.0	50	-25.1	80	-40.2	110	-58.3
21	-10.5	51	-25.6	81	-40.7	111	-60.2
22	-11.0	52	-26.1	82	-41.2	112	-62.7
23	-11.5	53	-26.6	83	-41.7	113	-64.3
24	-12.0	54	-27.1	84	-42.1	114	-66.2
25	-12.5	55	-27.6	85	-42.7	115	-68.7
26	-13.0	56	-28.1	86	-43.2	116	-72.2
27	-13.5	57	-28.6	87	-43.8	117-127	-78.3
28	-14.0	58	-29.1	88	-44.3		
29	-14.5	59	-29.6	89	-44.8		

5.6.9.3 Class-Dスピーカーのアナログ出力音量制御

スピーカー出力に対しては、表5-37および表5-38に示すように、0dB ~ -78dBの範囲で0.5dBステップのアナログ音量制御は、実用範囲のほとんどとミュート動作をサポートします。この実装には、ソフト・ステッピング・ロジックが含まれます。

左チャンネルDAC出力信号を左チャンネル・アナログ音量制御にルーティングするには、ページ1/レジスタ35のビットD6に書き込みます。右チャンネルDAC出力信号を右チャンネル・アナログ音量制御にルーティングするには、ページ1/レジスタ35のビットD2に書き込みます。スピーカーの左チャンネルのアナログ音量は、ページ1/レジスタ38のビットD6-D0に書き込むことで制御されます。スピーカーの右チャンネルのアナログ音量は、ページ1/レジスタ39のビットD6-D0に書き込むことで制御されます。

左チャンネル・アナログ音量制御からの信号を左チャンネル・スピーカー・アンプの入力にルーティングするには、ページ1/レジスタ38のビットD7に書き込みます。右チャンネル・アナログ音量制御からの信号を右チャンネル・スピーカー・アンプの入力にルーティングするには、ページ1/レジスタ39のビットD7に書き込みます。

アナログ音量制御のソフト・ステッピング時間は、ページ0/レジスタ63のビットD1-D0の設定に基づきます。

5.6.10 アナログ出力

さまざまなアナログ・ルーティングが再生用にサポートされています。図1-1の機能ブロック図に、すべてのオプションが見やすく示されています。

5.6.10.1 ヘッドホン・ドライバ

TSC2117のステレオ・ヘッドホン・ドライバ (HPLおよびHPR) は、3.3Vの電源電圧でチャンネルあたり最大30mWを16Ω負荷に出力できます。ヘッドホンは、シングルエンド構成で使用され、デバイスの出力ピンとヘッドホンの間にAC結合コンデンサ (DCブロッキング) が接続されます。また、ヘッドホン・ドライバは、制御レジスタ設定を変更することなく、32Ωおよび10kΩの負荷をサポートします。

ヘッドホン・ドライバは、ページ0/レジスタ44のビットD2-D1に11を書き込むことで、ライン出力駆動モードでの消費電力を最適化するように設定できます。

ヘッドホン/ライン出力ドライバーの出力同相モード電圧は、ページ1/レジスタ31のビットD4-D3の設定によって1.35V、1.5V、1.65V、または1.8Vにプログラミングできます。同相モード電圧はAVDD/2以下に設定する必要があります。

左ヘッドホン・ドライバは、ページ1/レジスタ31のビットD7に書き込むことでパワーオンできます。右ヘッドホン・ドライバは、ページ1/レジスタ31のビットD6に書き込むことでパワーオンできます。左出力ドライバのゲインは、ページ1/レジスタ40のビットD6-D3に書き込むことで制御でき、ページ1/レジスタ40のビットD2に書き込むことでミュートにできます。右出力ドライバのゲインは、ページ1/レジスタ41のビットD6-D3に書き込むことで制御でき、ページ1/レジスタ41のビットD2に書き込むことでミュートにできます。

TSC2117には、ヘッドホン・ドライバ用の短絡保護機能があり、これは常にイネーブルになっています。短絡発生時のヘッドホン・ドライバの出力状態は、ページ1/レジスタ31のビットD1に書き込むことでプログラミングできます。D1 = 0の場合、短絡が検出されると、デバイスは負荷への最大電流を制限します。D1 = 1の場合、短絡が検出されると、デバイスは出力ドライバをパワーダウンします。ヘッドホンに対するデフォルト設定は、電流制限モードです。いずれかのチャンネルで短絡が発生すると、出力がディセーブルになり、ページ1/レジスタ31のビットD0としてステータス・フラグが提供されます。シャットダウン・モードがイネーブルの場合は、短絡が検出されるとすぐに、ページ1/レジスタ31のビットD7 (HPL) およびページ1/レジスタ31のビットD6 (HPR) が自動的にクリアされます。次に、デバイスは出力段を再イネーブルするためにリセットを必要とします。リセットは、2つの方法で実行できます。1つはデバイスのマスタ・リセットであり、RESETピンの遷移またはソフトウェア・リセットの実行が必要となります。マスタ・リセットが使用されると、すべてのレジスタがリセットされます。もう1つの方法は、専用のヘッドホン電源段リセットであり、他のデバイス設定をすべて保持した状態で出力段を再イネーブルできます。ヘッドホン電源段リセットは、ページ1/レジスタ31のビットD7 (HPL) およびページ1/レジスタ31のビットD6 (HPR) を設定することで行われます。障害状態が解消されている場合、デバイスは通常動作に戻ります。障害状態がまだ続いている場合は、再度シャットダウンが行われます。リセットを (4回以上) 繰り返すことは、過熱につながる可能性があるため推奨しません。

5.6.10.2 スピーカー・ドライバ

TSC2117には、8Ω差動負荷の駆動が可能なClass-Dステレオ・スピーカー・ドライバ (SPLP/SPLNおよびSPRP/SPRN) が内蔵されています。スピーカー・ドライバの電源は、SLVDDおよびSRVDDピンのバッテリー電源 (2.7V ~ 5.5V) から直接供給できますが、電圧 (スパイク電圧を含む) は絶対最大電圧の6V未満に制限する必要があります。

スピーカー・ドライバは、3.6V電源でチャンネル毎に400mWを供給できます。デジタル・ミキシングの使用により、デバイスは一方または両方のデジタル・オーディオ再生データ・チャンネルをいずれかのスピーカー・ドライバに接続でき、必要であればデジタル・チャンネルの入れ替えも可能です。

左Class-Dスピーカー・ドライバは、ページ1/レジスタ32のビットD7に書き込むことでパワーオンできます。右Class-Dスピーカー・ドライバは、ページ1/レジスタ32のビットD6に書き込むことでパワーオンできます。左出力ドライバのゲインは、ページ1/レジスタ42のビットD4-D3に書き込むことで制御でき、ページ1/レジスタ42のビットD2に書き込むことでミュートにできます。右出力ドライバのゲインは、ページ1/レジスタ43のビットD4-D3に書き込むことで制御でき、ページ1/レジスタ43のビットD2に書き込むことでミュートにできます。

TSC2117には、スピーカー・ドライバ用の短絡保護機能があり、これは常にイネーブルになっています。出力が短絡した場合は、過電流状態で出力段がシャットダウンされます。(高電流のスピーカー・ドライバ出力段では、電流制限オプションはありません。) いずれかのチャンネルで短絡が発生すると、出力がディスエーブルになり、ページ1/レジスタ32のビットD0としてステータス・フラグが提供されます。

過電流状態でシャットダウンが行われた後、デバイスは出力段を再イネーブルするためにリセットを必要とします。リセットは、2つの方法で実行できます。1つはデバイスのマスタ・リセットであり、 $\overline{\text{RESET}}$ ピンの遷移またはソフトウェア・リセットの実行が必要となります。マスタ・リセットが使用されると、すべてのレジスタがリセットされます。もう1つの方法は、専用のスピーカー電源段リセットであり、この場合は他のデバイス設定がすべて保持されます。スピーカー電源段リセットは、ページ1/レジスタ32のビットD7 (SPLP、SPLN) およびページ1/レジスタ32のビットD6 (SPRP、SPRN) を設定することで行われます。障害状態が解消されている場合、デバイスは通常動作に戻ります。障害状態がまだ続いている場合は、再度シャットダウンが行われます。リセットを (4回以上) 繰り返すことは、過熱につながる可能性があるため推奨しません。

バッテリー電流のリークを最小限に抑えるため、SLVDDおよびSRVDDの電圧レベルはAVDD電圧レベルを下回らないようにしてください。

TSC2117には、スピーカー・ドライバ用の過熱保護 (OTP) 機能があり、これは常にイネーブルになっています。デバイスが過熱状態になると、出力のスイッチングが停止します。デバイスの温度が下がると、デバイスはスイッチングを再開します。過熱ステータス・フラグは、ページ0/レジスタ3のビットD1に読み取り専用ビットとして用意されています。OTP機能は、デバイスの自己保護のために用意されています。システム/基板レベルでダイ温度を制御できる場合には、過熱状態は発生しません。

5.6.11 オーディオ出力段パワーダウン設定のレジスタ制御またはピン制御

($\overline{\text{RESET}}$ に続いて) デバイスが設定され、回路がパワーアップされた後は、ピン制御またはレジスタ制御によって、オーディオ出力段をパワーアップおよびパワーダウンできます。ピン制御を使用する場合は、ページ0/レジスタ57、ビットD2-D1 = 11のときに、GPI2ピン (HP $\overline{\text{SP}}$ として設定) を使用します。

GPI2ピン (HP $\overline{\text{SP}}$ として設定) を使用して、スピーカーおよびヘッドホン・ドライバ段のパワーアップおよびパワーダウンを選択できます。このピンにより、ヘッドホンとスピーカー・アンプが両方同時にパワーアップされないようになっています。スピーカー・アンプはHP $\overline{\text{SP}} = 0$ のときにパワーアップされ、ヘッドホン・ドライバはHP $\overline{\text{SP}} = 1$ のときにパワーアップされます。

GPI2ピンをイネーブルまたはディスエーブルにするレジスタ制御は、ページ0/レジスタ57にあります。デフォルトでは、GPI2ピンはディスエーブルです。

ピン制御がディスエーブルのときに出力を制御するには、次のようにします。

1. HPLをオンにするには、ページ1/レジスタ31のビットD7に1を書き込みます。
2. HPRをオンにするには、ページ1/レジスタ31のビットD6に1を書き込みます。
3. SPLをオンにするには、ページ1/レジスタ32のビットD7に1を書き込みます。
4. SPRをオンにするには、ページ1/レジスタ32のビットD6に1を書き込みます。

これらの機能は、自動的にソフト・スタートを行います。レジスタ制御を使用すると、4つの出力段をすべて同時にオンにでき、そのうちの2つをオフにする必要がありません。ピン制御では、ヘッドホンまたはスピーカーのいずれか一方しか同時にオンにできません。

5.7 SAR ADC動作 (タッチ・スクリーンおよび補助)

ここでは、以下の機能でのSAR ADCの使用方法について説明します。

- ・4線式抵抗型タッチ・スクリーン
- ・温度測定
- ・バッテリー測定
- ・補助電圧測定

5.7.1 4線式抵抗型タッチ・スクリーン

抵抗型タッチ・スクリーンは、抵抗ネットワークに電圧を印加しておき、入力スタイラス、ペン、指などで画面がタッチされたときに、そのマトリックス上の点における抵抗の変化を測定することで動作します。抵抗率の変化によって、タッチ・スクリーン上の位置が識別されます。

TSC2117は、抵抗性の4線構成をサポートしています（図5-37を参照）。この回路は、2つの座標ペアの値によって位置を決定します。

4線式タッチ・スクリーンは、図5-37のように構成されています。2つの透明な抵抗層が、絶縁スペーサによって隔てられています。

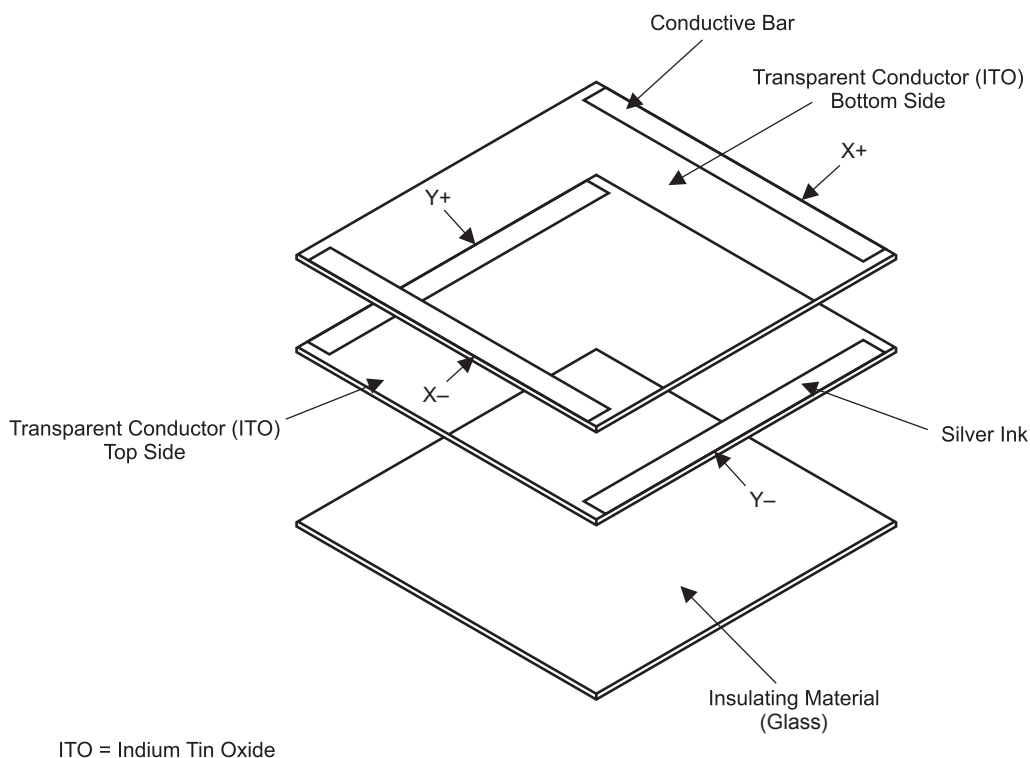


図5-37. 4線式タッチ・スクリーンの構成

4線式タッチ・スクリーン・パネルは、垂直または水平の抵抗ネットワークに電圧を印加することで動作します。ADCは、スクリーンがタッチされた点で測定された電圧を変換します。ポインティング・デバイスのY位置を測定するために、X+入力をADCに接続し、Yドライバをオンにしてから、X+入力で測定された電圧をデジタル化します。測定電圧は、タッチ点に形成された電圧デバイダによって決定されます。この測定においては、ADCの入力インピーダンスが高いため、X+リードの水平パネル抵抗は変換に影響を与えません。

次に、もう一方の軸に電圧が印加され、ADCは画面上のX位置を表す電圧を変換します。これにより、関連付けられたプロセッサにXおよびY座標が提供されます。

タッチ・スクリーンが押されるかタッチされ、スクリーンのドライバがオンになったときに、多くの場合は、タッチ・スクリーンに印加される電圧がオーバーシュートし、その後徐々に安定したDC値に落ち着きます（ディケイ）。これは、スクリーンが押されたときに、タッチ・スクリーンの上層シートの振動によって機械的なバウンスが発生するためです。この安定化時間を考慮しないと、変換された値が正しくなりません。そのため、特定の測定に対してドライバがオンになってから、測定が行われるまでの間に、遅延時間を設ける必要があります。

一部のアプリケーションでは、タッチ・スクリーンに加わるノイズ（LCDパネルまたはバックライト回路で発生するノイズ）をフィルタリングするために、タッチ・スクリーンに対して外部コンデンサが必要になる場合があります。これらのコンデンサの値によって、ノイズを低減するローパス・フィルタが提供されますが、タッチ・スクリーン・パネルがタッチされたときの安定化時間要件が長くなります。

TSC2117では、この問題に対していくつかの解決策が用意されています。ドライバをオンにしてから変換を実行するまでの遅延時間は、プログラミング可能です。これは、パネル電圧安定化時間と呼ばれ、TSC2117のいくつかのモードで使用されます。

TSC2117のタッチ・スクリーン・インターフェイスでは、位置（X, Y）を測定できます。これらの座標は、ADCの2つの異なるモードで測定できます。

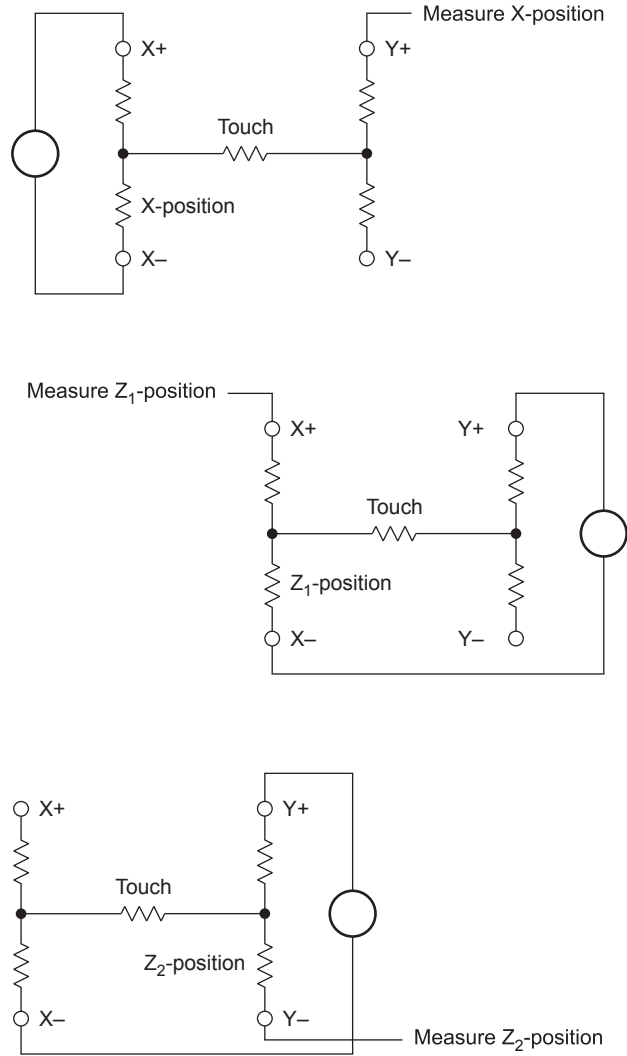
- ・TSC2117で制御される変換が、タッチ検出によって開始されるモード。このモードでは、タッチが検出されると、TSC2117は自動的に、ページ3/レジスタ3のビットD5-D2の設定に基づいてタッチ・スクリーン座標の変換を開始します。間隔タイマによって設定された時間の経過後、タッチが再度確認されます。引き続きタッチされている場合は、タッチ・スクリーン座標の変換を開始します。以降、このプロセスが継続されます。
- ・TSC2117で制御される変換が、ペン・タッチ割り込み受信後にホストによって開始されるモード（注：ページ3/レジスタ3のビットD1-D0に書き込むことで、GPIO1またはGPIO2ピンでペン・タッチ割り込みが発生するようプログラミングします。0または2を選択します）。このモードでは、タッチが検出されると、TSC2117は割り込み（GPIO1またはGPIO2がプログラミングされている場合）を生成した後、ホストがページ3/レジスタ3のビットD5-D2に書き込むのを待ちます。ホストの書き込みが完了すると、TSC2117は、ページ3/レジスタ3のビットD5-D2の設定に基づいてタッチ・スクリーン座標の変換を開始します。間隔タイマによって設定された時間の経過後、タッチが再度確認されます。引き続きタッチされている場合は、タッチ・スクリーン座標の変換を開始します。タッチが検出されない場合は、変換手順を停止します。次にタッチが検出されると、TSC2117は割り込み（GPIO1またはGPIO2がプログラミングされている場合）を生成します。そして、ホストがページ3/レジスタ3のビットD5-D2に書き込むのを待ちます。以降、このプロセスが継続されます。

TSC2117では、タッチ圧力（Z）の測定も行えます。一般に、この測定にはそれほど高い性能を必要としないため、8ビット分解能モードを推奨します（ただし、計算は12ビット分解能モードで示されています）。この測定を行うには、いくつかの異なる方法があります。TSC2117は、2つの方法をサポートしています。1つ目の方法では、Xプレートの抵抗値と、X位置の測定、およびタッチ・スクリーン上の2つのパネル横断測定値（Z2およびZ1）が必要となります（図5-38を参照）。式5-8を使用して、タッチ抵抗を計算します。

$$R_{\text{TOUCH}} = R_{X\text{-plate}} \times \frac{X\text{-position}}{4096} \left(\frac{Z_2}{Z_1} - 1 \right) \quad (5-8)$$

2つ目の方法では、XプレートとYプレート両方の抵抗値と、X位置およびY位置の測定、およびZ1が必要となります。式5-9を使用して、タッチ抵抗を計算します。

$$R_{TOUCH} = \frac{R_{X\text{-plate}} \times X\text{-position}}{4096} \left(\frac{4096}{Z_1} - 1 \right) - R_{Y\text{-plate}} \times \left(1 - \frac{Y\text{-position}}{4096} \right) \quad (5-9)$$



S0244-01

図5-38. 圧力測定

5.7.1.1 タッチ・スクリーンSAR ADC

図5-39に、TSC2117のアナログ入力を示します。アナログ入力（X、Y、およびZタッチ・パネル座標、バッテリー電圧モニタ、チップ温度、および補助入力）は、マルチプレクサを介して、逐次比較型（SAR）A/Dコンバータ（ADC）に提供されます。ADCのアーキテクチャは電荷再分配アーキテクチャに基づいており、基本的にサンプル/ホールド機能を備えています。

独自の低オン抵抗スイッチ構成により、タッチ・スクリーン駆動用の電源が非選択ADC入力チャンネルによって提供され、付随するピンによってグラウンドが提供されます。コンバータへの差動入力および差動リファレンス入力アーキテクチャを保持することで、ドライバ・スイッチのオン抵抗に起因する誤差を打ち消すことが可能です。

このADCは、ADC制御レジスタによって制御されます。制御レジスタで設定されるビットに応じて、いくつかの動作モードが可能です。チャンネル選択、スキャン動作、分解能、および変換レートが、すべてこのレジスタでプログラミングできます。以下の節では、各種のアナログ入力についてこれらのモードの概要を説明します。実行された変換の結果は、該当する結果レジスタに格納されます。

SAR ADCは、ページ3/レジスタ2のビットD7に書き込むことで強制的にパワーダウンできます。SARの全体構成およびモードは、ページ3/レジスタ3のビットD7-D0に書き込むことで制御されます。

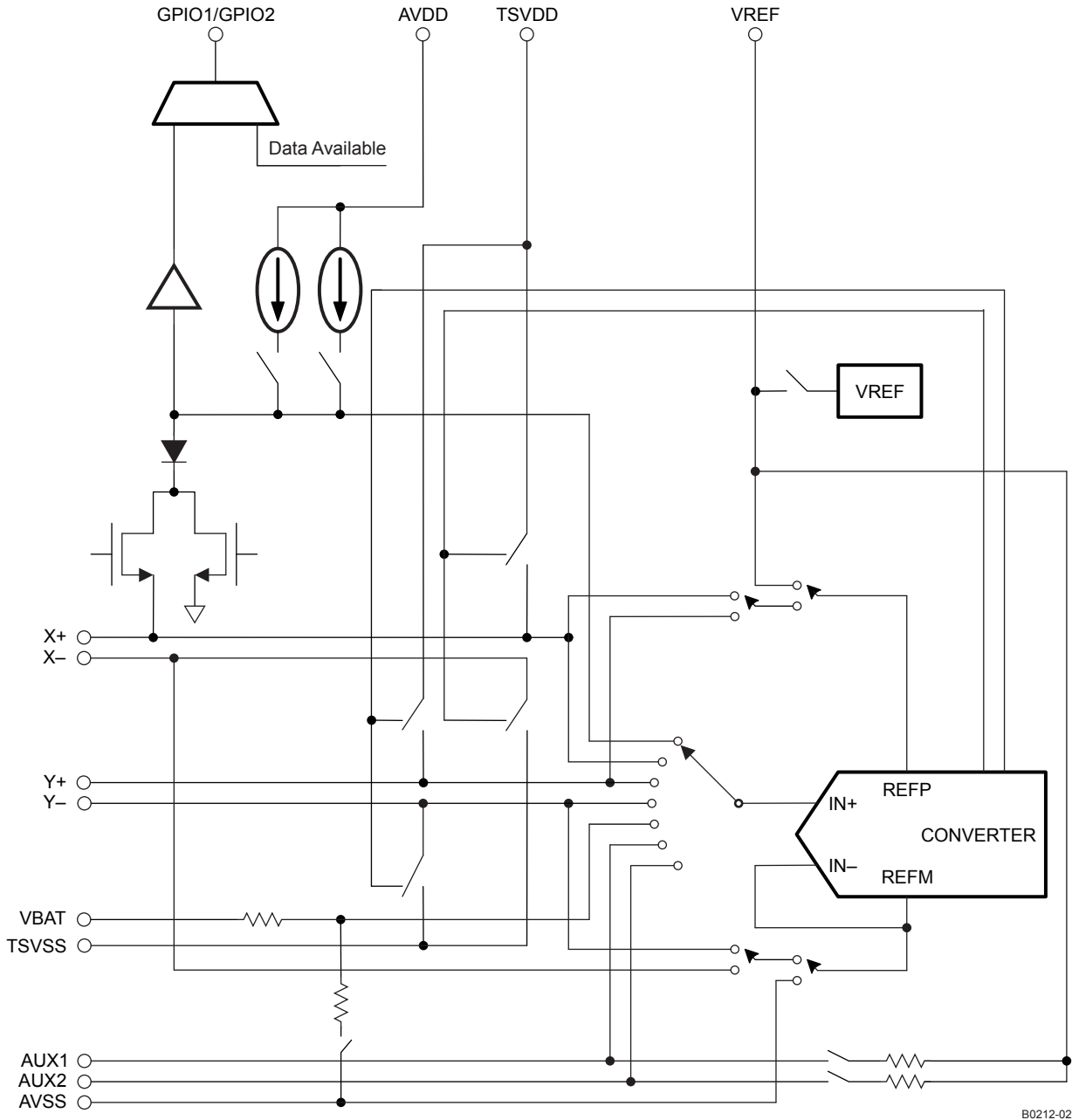


図5-39. SAR ADCアナログ入力部の概略図

データ形式

TSC2117の出力データは、符号なしバイナリ形式であり、SPIインターフェイスを介して2つの8ビット・レジスタから読み出すことができます。

電圧リファレンス

TSC2117には、リファレンス制御レジスタ（ページ3/レジスタ6）で1.25Vまたは2.5Vに設定できる内部電圧リファレンスがあります。

この内部リファレンス電圧は、バッテリー監視、温度測定、および補助入力の利用のために、シングルエンド・モードでのみ使用してください。

TSC2117は、外部電圧リファレンス（ページ3/レジスタ6）でも使用できるように設計されています。多くのシステムでは2.5Vのリファレンスが供給されますが、このデバイスは、最大でAVDDレベルまでのリファレンス電圧をサポートします。外部リファレンスは低ノイズ信号である必要があるため、アプリケーションによっては、VREFピンに何らかのR-Cフィルタリングを追加することが推奨されます。

この電圧リファレンスは、補助入力（AUX1、AUX2、およびVBAT）を測定するために、シングルエンド・モードでのみ使用してください。レシオメトリックな変換を使用したときに最適なタッチ・スクリーン性能が得られるため、すべてのタッチ・スクリーン測定は、自動的にレシオメトリック・モードで行われます。

分解能選択

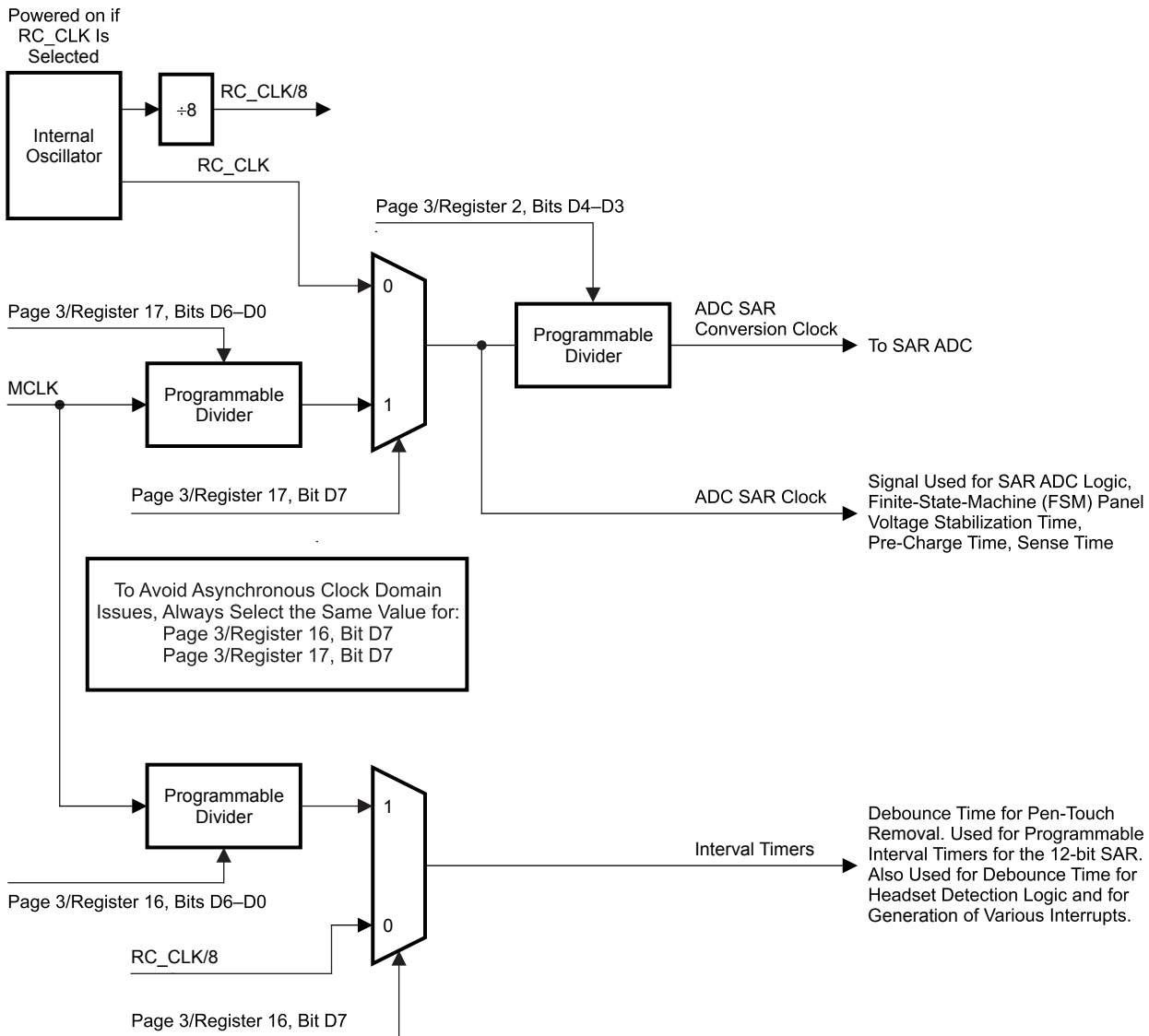
TSC2117では、ADCの分解能を8ビット、10ビット、または12ビットに選択・設定できます。システム電圧などの測定には、低い分解能の方が実用的です。低い分解能で変換を行うと、ADCが変換プロセスを完了するための時間が短くなり、消費電力が小さくなります。ADCの分解能は、ページ3/レジスタ2のビットD6-D5に書き込むことでプログラミングできます。

5.7.1.2 変換クロックおよび変換時間

TSC2117には、内部発振回路が内蔵されています。これは、多くの機能を実行するデバイス内のステート・マシンを駆動するために使用されます。また、高周波クロック・ソースとしてMCLKも用意されています。クロック・ソース（内部またはMCLK）は、ページ3/レジスタ16のビットD7に書き込むことで選択されます。このクロックが分周されて、SAR ADCを動作させるクロックが提供されます。このクロックの分周比は、ページ3/レジスタ2のビットD4-D3に書き込むことで設定されます。変換クロック・レートを変更できることにより、ユーザは分解能、速度、および電力に最適な値を選択できます。変換クロックに内部発振回路を使用する場合、ADCは8ビットの分解能に制限されます。この内部発振速度でそれより高い分解能を使用しても、正確な変換は得られません。10ビットの分解能には、4MHzの変換クロックを使用するのが適切です。12ビットの分解能には、1MHzまたは2MHzの変換クロックが必要です。

非同期の問題を避けるため、システムでは、ページ3/レジスタ16のビット7とページ3/レジスタ17のビット7の両方に同じ値を使用する必要があります。

クロック選択の詳細を図5-40に示します。



B0213-02

図5-40. SAR ADCおよび間隔タイマのクロック選択

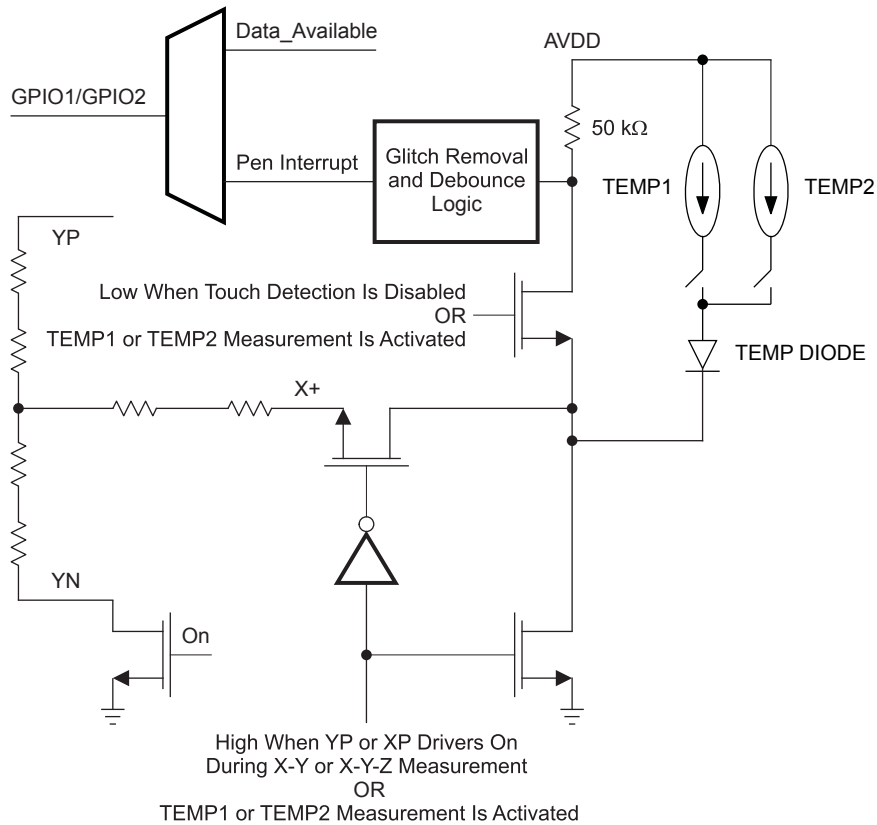
変換クロック速度に関係なく、内部クロックは公称8.2MHzで動作します。TSC2117の変換時間は、いくつかの関数に依存します。変換の完了にかかる時間は変換クロック速度によって大きく左右される一方で、信号の適切なサンプリングのためには、特定の内部クロック・サイクル数が必要になります。また、パネル電圧安定化時間などの要件も、変換の実行に必要な時間を増加させる大きな要因となります。変換時間は、TSC2117が使用されるモードによって大きく変動する場合があります。このデータ・シート全体を通して、多くの機能の実行時間の記述では、内部クロック・サイクル数と変換クロック・サイクル数を記載しています。システム全体の設計を考える際には、これらの時間を考慮に入れる必要があります。

ADCでは、内部MCLK信号または内部発振回路のいずれかを使用してSAR変換を行います。

5.7.1.3 タッチ検出/データ使用可能 - GPIO1またはGPIO2をPINTDAV信号としてプログラミング

割り込みピン（GPIO1またはGPIO2）は、ページ0/レジスタ51のビットD5-D2（GPIO1）またはページ0/レジスタ52のビットD5-D2（GPIO2）に値1100を書き込むことで、3つの機能にプログラミングできます。この場合、これらのピンはPINDAV信号として機能します。PINDAVのデフォルト設定は、ペン割り込み（PENIRQ）です。ただし、この信号はデータ使用可能割り込み（DATA_AVA）にも使用できます。さらに、ペン割り込みが発生したとき、またはADCデータが使用可能なとき、のいずれかの場合に通知するようにも設定できます（PENIRQおよびDATA_AVAI）。どの信号を使用するかを選択するには、ページ3/レジスタ3のビットD1-D0をプログラミングする必要があります。詳細なブロック図を図5-41に示します。パワーダウン・モードでは、Y-ドライバがオンでTSVSSに接続され、X+ピンは内蔵プルアップ抵抗を通してAVDDに接続されています。このモードでは、X+ピンもデジタル・バッファおよびマルチプレクサに接続され、GPIO1またはGPIO2出力を駆動します。パネルがタッチされると、X+入力はタッチ・スクリーンを通してグラウンドにプルダウンされ、タッチ・スクリーン・パネル経由でTSVSSに至る電流パスによってペン割り込み信号が“Low”になり、プロセッサへの割り込みが開始されます。X-位

置およびY-位置の測定サイクルの間、X+入力はペン割り込み回路から切り離されます。これは、プルアップ抵抗からのリーク電流がタッチ・スクリーンを流れて変換誤差が発生するのを防ぐためです。TSC2117は、内部発振回路またはMCLKのいずれかをデバウンス・ロジックに使用します。



B0214-02

図5-41. GPIO1/GPIO2機能ブロック図

画面がまだタッチされているかどうかをTSC2117で検出する必要があるモード（例えば、ホストで開始されたXおよびY変換の実行時）では、TSC2117はドライバをリセットして、50kΩ抵抗が接続されるようにする必要があります。このプルアップ抵抗は値が大きいため、タッチ・スクリーン入力に容量が存在すると、長い遅延時間が生じ、検出が正しく行われなくなる可能性があります。これを防ぐため、TSC2117には、プルアップ抵抗が充電電流の唯一のソースとならないようにスクリーンの容量をプリチャージする回路があります。このプリチャージのための時間、およびスクリーンがまだタッチされていた場合の検知と電圧安定化に必要な時間は、レジスタ・プログラミングによって制御できます。プリチャージ時間は、ページ3/レジスタ4のビットD6-D4に書き込むことで設定できます。検知時間はページ3/レジスタ4のビットD2-D0への書き込み、電圧安定化時間はページ3/レジスタ5のビットD2-D0への書き込みによって設定できます。

GPIO1またはGPIO2出力の機能は、ページ3/レジスタ3のビットD1-D0に書き込むことで制御できます。ペンタッチ検出回路は、ページ3/レジスタ4のビットD7に書き込むことでディスエーブルできます。

5.7.2 タッチ・スクリーン測定

タッチ・スクリーンADCは、ホスト・プロセッサによって制御するか、または自己制御によってホスト・プロセッサの処理を軽減することができます。ページ3/レジスタ3のビットD7への書き込みにより、TSC2117のタッチ・スクリーンADCの制御モードを設定します。

5.7.2.1 TSC2117によって制御される変換 - タッチ検出で開始

このモードは、ページ3/レジスタ3のビットD7およびページ3/レジスタ4のビットD7に書き込むことで設定できます。このモードでは、TSC2117は、タッチ・スクリーンがタッチされたことを検出して、GPIO1またはGPIO2ラインを“Low”にします。同時に、TSC2117の内部クロックが起動します。XY座標を変更するよう設定されていると仮定した場合、TSC2117は次にYドライバをオンにし、プログラミングされたパネル電圧安定化時間の経過後に、ADCをパワーアップしてY座標を変換します。

この時点でスクリーンがまだタッチされている場合は、Xドライバがイネーブルになり、同じプロセスが繰り返されます。今度はY座標ではなくX座標を測定して、Xレジスタに結果を格納します。

X座標とY座標だけを測定する場合は、変換プロセスが完了します。まだタッチされている場合は、タッチが検出されなくなるまでSAR ADCがパワーダウンされるまで、上記の変換プロセスが何度も繰り返されます。このプロセスの完了にかかる時間は、選択した分解能、内部変換クロック・レート、パネル電圧安定化時間、プリチャージおよび検知時間に依存します。プリチャージ時間は、ページ3/レジスタ4のビットD6-D4に書き込むことで設定できます。検知時間は、ページ3/レジスタ4のビットD2-D0に書き込むことで設定できます。電圧安定化時間は、ページ3/レジスタ5のビットD2-D0に書き込むことで設定できます。

タイミング図および変換時間の計算については、5.7.9節の「変換時間の計算」を参照してください。

5.7.2.2 TSC2117によって制御される変換 - ホストで開始

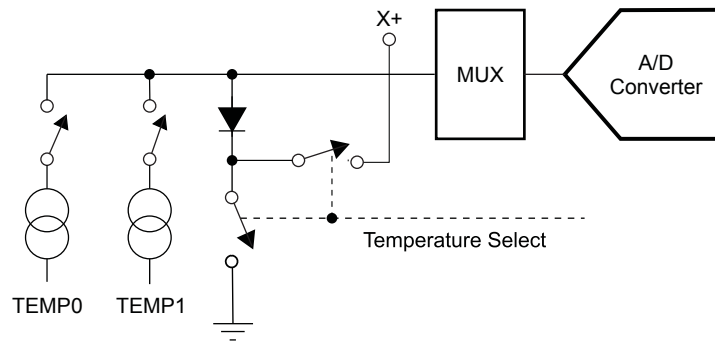
このモードでは、TSC2117は、タッチ・スクリーンがタッチされたことを検出して、GPIO1またはGPIO2ラインを“Low”にします。ホストは割り込み要求を認識し、ADC制御レジスタ（ページ3/レジスタ3のビットD5-D2）に書き込んで、いずれかのタッチ・スクリーン・スキャン機能を選択します。ホストがいずれかのスキャン機能を選択した場合、TSC2117はドライバのオン時間および待ち時間を制御します（例えば、割り込みの受信後にホストが連続スキャン機能X-Yを開始し、それ以降の変換はTSC2117が制御します）。

タイミング図および変換時間の計算については、5.7.9節の「変換時間の計算」を参照してください。

5.7.3 温度測定

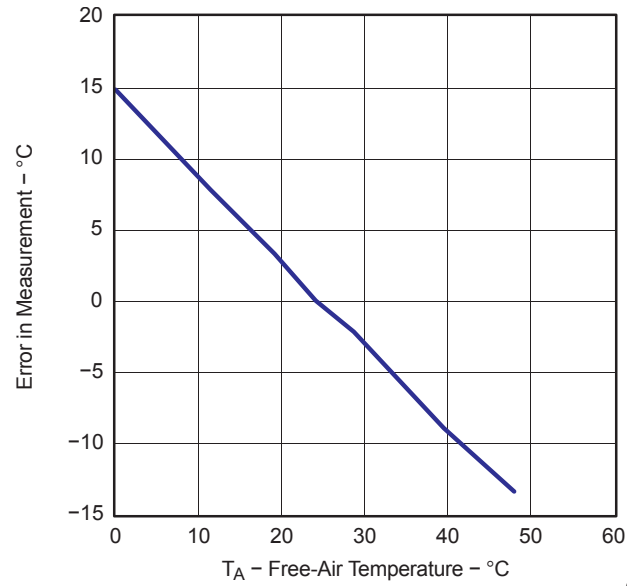
バッテリー充電など、いくつかのアプリケーションでは、周囲温度の測定が必要になります。TSC2117で使用されている温度測定手法は、固定電流レベルで動作する半導体接合部の温度特性を利用しています。順方向ダイオード電圧 (V_j) には、温度に対して十分に定義された特性があります。周囲温度は、 V_j 電圧の25°C値を知り、温度の変化によるその電圧の変動を監視することで、アプリケーションによって予測できます。

TSC2117には、2つの温度測定モードがあります。1つ目のモードでは、周囲温度を予測するために1つの測定値を必要とします。この測定サイクルでは、図5-42のようにダイオードが使用されています。この電圧は、25°Cで20 μ Aの電流が流れるとき、標準で600mVです。このダイオード電圧の絶対値は、数ミリボルト変動する場合があります。この電圧の温度係数は、標準で2 mV/°Cです。搭載製品の最終テスト時には、既知の室温でのダイオード電圧が不揮発性メモリに格納されます。特定のデバイスの精密な温度係数を計算するために、さらに校正を行うことができます。この方法では、温度分解能が約0.4°C /LSBであり、2温度校正で約 $\pm 3^\circ\text{C}$ の精度を持ちます。図5-43および図5-44に、1温度および2温度校正の標準的なプロットを示しています。



B0311-01

図5-42. 温度測定モードの機能ブロック図



G001

図5-43. 室温でのオフセット校正後の単一測定法の標準プロット

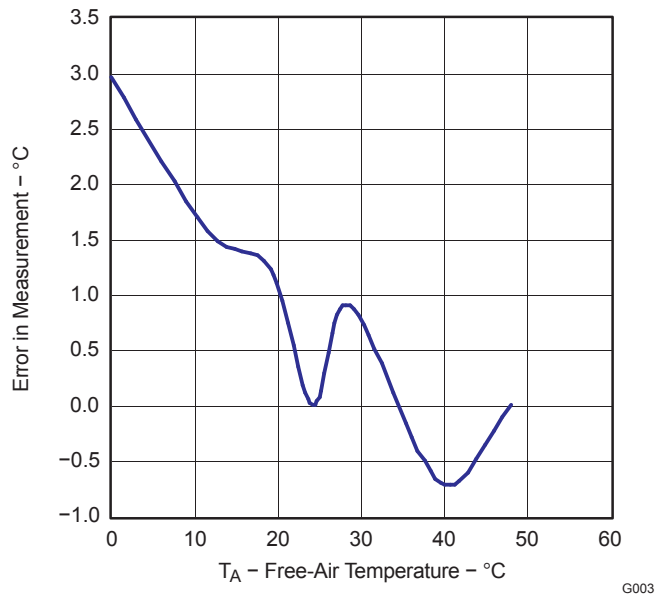


図5-44. 2温度でのオフセットおよびゲイン校正後の単一測定法の標準プロット

2番目のモードでは、2測定（差分）法を使用します。このモードでは、82倍大きな電流を使用する第2の変換が必要となります。1番目（TEMP1）の変換と、バイアス電流の82倍を使用した2番目（TEMP2）の変換との電圧の差は、次のように表されます。

$$V_{(\text{Temp1} - \text{Temp2})} = \frac{kT}{q} \times \ln(N) \quad (5-10)$$

ここで

N = 電流比 = 82

k = ボルツマン定数 (1.38054 × 10⁻²³電子ボルト/ケルビン)

q = 電子の電荷 (1.602189 × 10⁻¹⁹ C)

T = 温度 (ケルビン)

差分コードと温度との関係式は、デバイスによってわずかに異なる場合があります。最終システム・テスト時にユーザが校正できます。この方法では、分解能が約2°C /LSBであり、室温での校正後に約±6°Cの精度を持ちます。この方法での標準的な校正誤差のプロットを図5-45に示します。

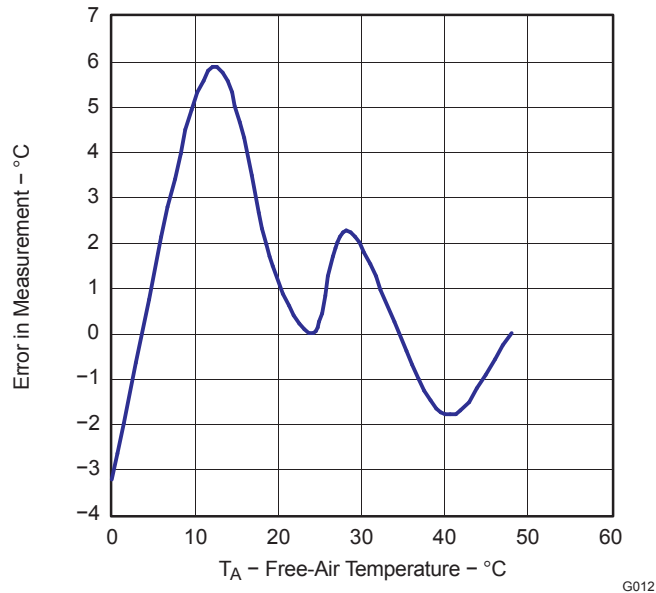


図5-45. 2温度でのオフセットおよびゲイン校正後の差分測定法の標準プロット

TSC2117は、プログラミング可能な自動温度測定モードをサポートしており、ページ3/レジスタ19を使用してイネーブルにできます。このモードでは、TSC2117はプログラミング可能な時間間隔後に、温度測定を自動的に開始することができます。ユーザは、レジスタを使用して最小および最大スレッシュホールド値をプログラミングできます。測定値がスレッシュホールド範囲外になった場合、TSC2117は読み取り専用のページ3/レジスタ21にフラグをセットします。フラグは、読み取られるとクリアされます。また、TSC2117は、ページ0/レジスタ50および52を設定することで、アクティブ・ハイの割り込みをGPIO1またはGPIO2経由で送信できます。割り込みの長さは約2msです。

温度測定は、ホスト制御モードでのみ実行できます。

5.7.4 補助電圧測定

補助電圧入力 (AUX1、AUX2、およびVBAT) は、SAR ADCでシングルエンド測定法を使用して測定します。

AUX1、AUX2の場合：

変換の結果がADC出力コードBとなった場合、入力ピン (AUX1およびAUX2) の電圧は次のように計算できます。

$$V_{PIN} = \frac{B}{2^N} \times VREF \quad (5-11)$$

ここで

Nは、プログラミングされたSAR ADC分解能

VREFは、印加された外部リファレンス電圧

VBATの場合：

VBATピンは、2つの異なる機能に使用できます。

5.7.4.1 VBATの補助バッテリー電圧測定

TSC2117では、最大6Vのバッテリー電圧を測定できます。この測定は、VBATピンを使用して実行できます。このピンには、図5-39に示すように分圧回路 (1/5に分圧) があります。このアナログ・プリスケラは、より高い電圧をSAR ADCで測定できるように設けられています。このバッテリー測定機能は、8ビット、10ビット、および12ビット・モードでサポートされます。

バッテリー電圧測定モードをイネーブルにするには、ページ3/レジスタ6のビットD0に1を書き込みます。

ADCコードはVBATに印加される実際の電圧値の1/5であるため、正しい値は、ADCコードに5を乗算することで得られます。VREFの電圧が低い場合、この機能は0 ~ (5×VREF) の電圧をサポートします。ここで、VBATの電圧の上限は6Vですが、3.1節「絶対最大定格」の表に示された値によっても制限されます。

バッテリー電圧測定モードでは、変換の結果がADC出力コードBとなった場合、入力ピン (VBAT) の電圧は次のように計算できます。

$$V_{\text{BAT}} = \frac{B}{2^N} \times (5 \times V_{\text{REF}}) \quad (5-12)$$

ここで

Nは、プログラミングされたSAR ADC分解能

VREFは、印加された外部リファレンス電圧

5.7.4.2 VBATの補助入力 (通常モード)

VBAT入力のデフォルトの機能は、AUX1およびAUX2と似ています。使用可能な測定範囲は0V ~ VREFであり、最大電圧入力には3.6Vに制限する必要があります。VBATには内部に分圧抵抗回路があるため、内部のADCコードはスケール・ダウンされます。ただし、通常モードでは、デジタル・ドメインで元どおりスケール・アップされるため、SAR ADCを使用して通常の伝達関数を実現できます。このモードは8ビット、10ビット、および12ビット・モードでサポートされますが、8ビット・モードではミッシング・コードがない一方、10ビットおよび12ビット・モードでは、アナログ入力スケールとデジタル出力スケールによって1ミッシング・コードが生じる場合があります。したがって、VBATには常に8ビット・モードを使用することを推奨します。

$$V_{\text{BAT}} = \frac{B}{2^N} \times V_{\text{REF}} \quad (5-13)$$

ここで

Nは、プログラミングされたSAR ADC分解能

VREFは、印加された外部リファレンス電圧

補助入力は、スキャン・モードで連続的に監視できます。

5.7.5 ポート・スキャン

入力AUX1、AUX2、およびVBATで電圧測定を定期的に行う必要がある場合には、ポート・スキャン・モードを使用できます。このモードでは、TSC2117は各補助入力をサンプリングして変換します。サイクルの終わりに、更新された値がすべての補助結果レジスタに格納されています。これにより、TSC2117への1回の書き込みで、ホストは3つの異なる測定を行うことができます。ポート・スキャンは、ページ3/レジスタ3のビットD5-D2に書き込むことで設定できます。

ポート・スキャンは、ホスト制御モードでのみ使用できます。

変換時間の計算およびタイミング図については、5.7.9節「TSC2117の変換時間の計算」および5.7.9.4節「ポート・スキャン動作」を参照してください。

5.7.6 バッファ・モード

TSC2117は、プログラミング可能なバッファ・モードをサポートしています。これは、タッチ・スクリーン関連の変換 (X、Y、Z1、Z2) と非タッチ・スクリーン関連の変換 (VBAT、AUX1、AUX2、TEMP1、TEMP2) の両方に適用可能です。バッファ・モードは、深さが64の循環FIFOを使用して実装されています。バッファ・モードでは、ホスト・プロセッサで処理する必要のある割り込みの数を大きく減らすことができます。バッファ・モードは、ページ3/レジスタ13のビットD7を使用してイネーブルにできます。

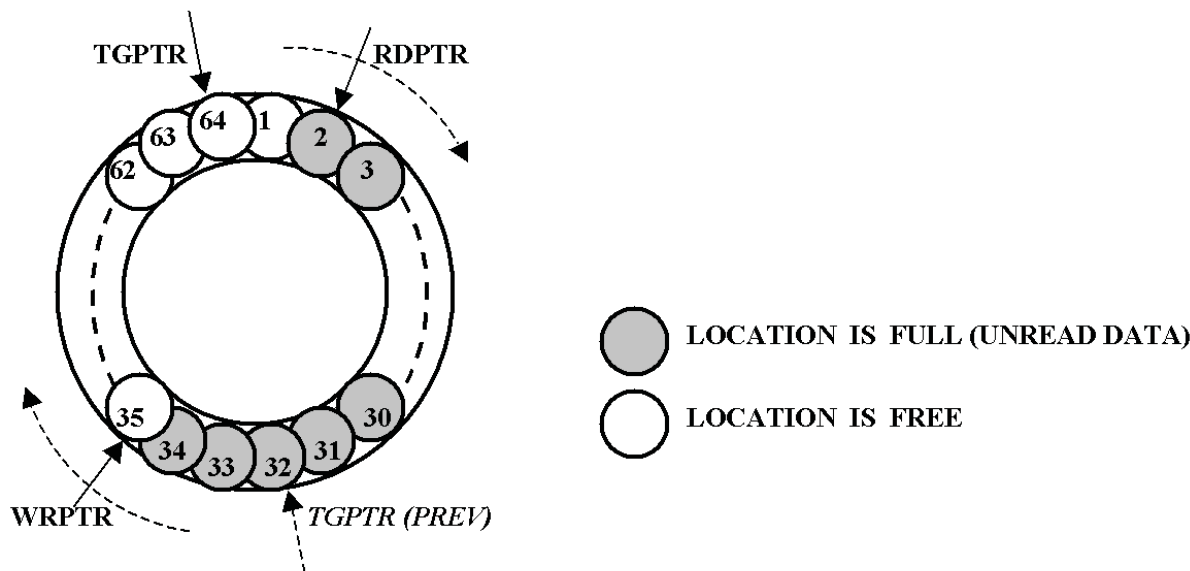


図5-46. 循環バッファ

変換されたデータは、自動的にFIFOに書き込まれます。この書き込み、読み取り、および割り込みのプロセスを制御するために、書き込みポインタ (WRPTR)、読み取りポインタ (RDPTR)、およびトリガ・ポインタ (TGPTR) が使用されます。読み取りポインタは常に、次に読み取る場所を示します。書き込みポインタは、次に変換されたデータが書き込まれる場所を示します。トリガ・ポインタは、書き込みポインタがその位置に達したときに割り込みを生成するための位置を示します。トリガ・レベルは、FIFOに何個のデータ値が格納されたら割り込みを生成するかを示します。例えば、X-Y連続スキャン・モードのトリガ・レベルを8に設定すると、TSC2117は、(X1, Y1)、(X2, Y2)、(X3, Y3)、(X4, Y4) を書き込んだ後で割り込みを生成します (4個のデータ・ペア、つまり8個のデータ値)。図5-46に、トリガ・レベルを32にプログラミングした場合の例を示します。バッファ・モードをリセットすると、RDPTRは位置1に、WRPTRも位置1に移動し、TGPTRは、プログラミングされたトリガ・レベルと等しい位置に移動します。

ユーザは変換する入力または入力シーケンスをページ3/レジスタ3のビットD5-D2に書き込むことにより選択できます。変換された値は、定義済みのシーケンスで循環バッファに書き込まれます。ユーザは、特定のトリガ・レベルを柔軟にプログラミングして、アプリケーションに最適な設定を選択できます。FIFOに書き込まれた変換後のデータ値の数が、プログラミングされたトリガ・レベルと等しくなると、デバイスはGPIO1またはGPIO2から割り込み信号を生成します。バッファ・モードでは、ユーザはこのピンを“データ使用可能”としてプログラミングする必要があります。バッファ・モードでは、タッチ・スクリーン関連の変換 (X, Y, Z1, Z2) は自己制御モードでのみ実行可能であり、非タッチ・スクリーン関連の変換 (VBAT、AUX1、AUX2、TEMP1、TEMP2) はホスト制御モードでのみ実行可能です。

バッファ・モードは、シングル変換または連続変換モードで使用できます。

シングル変換モードでは、書き込まれたデータ値の数がトリガ・レベルのプログラミング値に達すると、TSC2117は割り込みを生成し、ユーザが読み取りを開始するのを待ちます。最後に変換されたセットから最初のデータ値の読み取りをユーザが開始すると、TSC2117は直ちに割り込みをクリアして新しい変換セットを開始し、トリガ・ポインタはトリガ・レベルのプログラミング値だけインクリメントされます。トリガ条件が満足されると、再度割り込みが生成されます。

連続変換モードでは、書き込まれたデータ値の数がトリガ・レベルのプログラミング値に達すると、TSC2117は割り込みを生成します。そして、直ちに新しい変換セットを開始し、トリガ・ポインタはトリガ・レベルのプログラミング値だけインクリメントされます。割り込みは、次の変換されたデータ値をFIFOに書き込んだとき、またはFIFOからの読み取りを開始したときにクリアされます。

ユーザがデータをどのように読み取っているかにより、FIFOが満杯または空になる場合があります。FIFOが空になってもユーザがデータを読み取ろうとすると、RDPTRは同じ位置を示し続けます。FIFOが満杯になると、次の位置が新しく変換されたデータ値で上書きされ、読み取りポインタが1つインクリメントされます。

FIFOを読み取る際に、TSC2117はデータとともにFIFO空/満杯ステータス・フラグを設定します。ユーザは、ページ3/レジスタ13のビットD1-D0からステータス・フラグを読み取ることができます。バッファ・モード制御については表5-39、16ビット読み取りデータ形式については表5-40を参照してください。

表5-39. バッファ・モード制御 (ページ3/レジスタ18、ビットD7-D5)⁽¹⁾

ビット	読み取り/書き込み	リセット値	説明
D7	R/W	0	0: バッファ・データの読み取りにSPIインターフェイスを使用 1: バッファ・データの読み取りにI ² Cインターフェイスを使用
D6	R/W	0	0: SAR/バッファのデータ更新を内部検出口ジックに基づいて自動的に停止(バッファの読み取りと書き込みの同時実行を防止) 1: SAR/バッファのデータ更新をソフトウェア制御で保留(ページ3/レジスタ18、ビットD5)
D5	R/W	0	0: SAR/バッファのデータ更新を常時イネーブル (ページ3/レジスタ18、ビットD6 = 1の場合のみ有効) 1: 最後に更新されたデータをユーザが正しく読み取れるようにSAR/バッファのデータ更新を停止 (ページ3/レジスタ18、ビットD6 = 1の場合のみ有効)

(1) バッファ・モードをイネーブルにするには、ページ3/レジスタ13のビットD7に1を書き込みます。

表5-40. バッファ・モードの16ビット読み取りデータ形式 (ページ252/レジスタ1および2)

バッファ読み取りデータ・ビット	名前	リセット値	説明	備考
D15	FUF	0	バッファ満杯フラグ - このフラグは、バッファ内の64個の場所すべてに未読み取りデータが格納されていることを示します。	ページ252/レジスタ1、ビットD7
D14	EMF	1	バッファ空フラグ - このフラグは、FIFO内に未読み取りデータがないことを意味します。このフラグは、最後の変換済みデータの読み取り中に生成されます。	ページ252/レジスタ1、ビットD6
D13		X	Reserved	ページ252/レジスタ1、ビットD5
D12	ID	X	データ識別: 0 = XまたはZ1座標、あるいはBATまたはAUX2データがR11-R0に含まれる 1 = YまたはZ2座標、あるいはAUX1またはTEMPデータがR11-R0に含まれる 複数入力選択時のバッファへのデータ書き込み順序 XY変換の場合: Y, X XYZ1Z2変換の場合: Y, X, Z1, Z2 Z1Z2変換の場合: Z1, Z2 自動スキャン変換の場合: AUX1 (選択されている場合)、AUX2 (選択されている場合)、TEMP (選択されている場合) ポート・スキャン変換の場合: BAT, AUX1, AUX2	ページ252/レジスタ1、ビットD4
D11-D8	R11-R8	X	変換済みデータ (MSB、4ビット)	ページ252/レジスタ1、ビットD3-D0
D7-D0	R7-R0	X	変換済みデータ (LSB、8ビット)	ページ252/レジスタ2、ビットD7-D0

5.7.7 非バッファ・モードでのSPIからのX-Yデータ読み取り

TSC2117からの読み取りは、図5-47に示すプロトコルを使用して実行されます。このプロトコルは、24クロック・シーケンスを使用して16ビットのデータ読み取りを行います。ページ3/レジスタ3のビットD1およびD0に書き込むことで、データ使用可能ステータスを監視するためのGPIO1またはGPIO2割り込みを設定します。読み取りは通常、割り込みが“Low” (データが読み取り可能) のときに実行されます。ADC変換のステータスは、ページ3/レジスタ9から読み取ることができます。ビットD6がセットされている場合、ADCは変換を実行中であるため、BUSYステータスが読み取られます。ビットD5がセットされている場合は、いくつかのデータが読み取り可能な状態に

なります。ビットD3がセットされている場合はX座標データを読み取り可能で、ビットD2がセットされている場合はY座標データを読み取り可能です。

読み取りシーケンスの最初の7ビットは、2つのシーケンシャルな8ビット・レジスタの最初のレジスタ・アドレスに対応しています。

次のビットは“High”であり、順次読み取り動作が続くことを指定します。残りの16クロックは、読み出される16ビット・データをD15-D0の順に取得するために使用されます。24クロック・シーケンスの最初の7クロックで指定されたレジスタ・アドレスは、ビットD15-D8として読み出されます (D15がMSB)。次に、レジスタ番号が1インクリメントされ、データがD7-D0から読み出されます (D7がMSB)。(X座標を読み取るにはアドレス42を使用し、Y座標を読み取るにはアドレス44を使用します。) このサイクルで、最初の16ビット・データ・ワードの読み取りが完了します。このシーケンスを繰り返して、X座標およびY座標の値をさらに読み取ることができます。

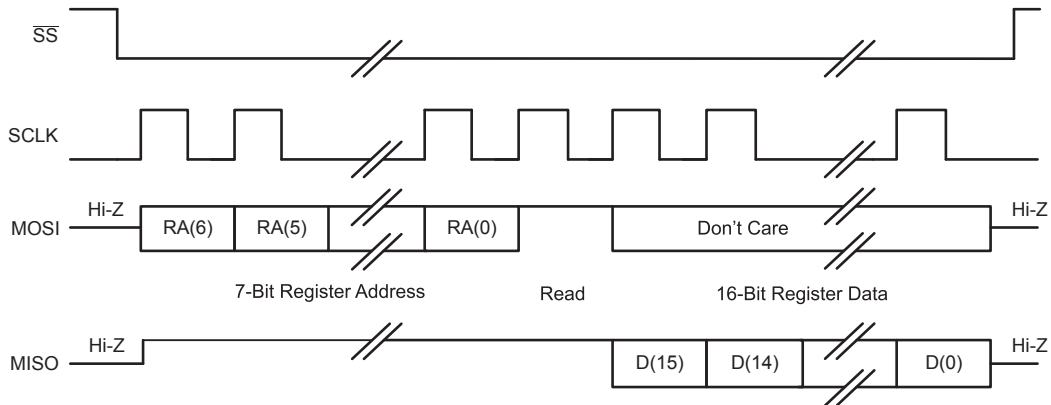


図5-47. 16ビット・データ読み取りタイミング、16ビット・データあたり24クロック、8ビット・バス・インターフェイス

5.7.8 非バッファ・モードでのSPIからのAUXデータ読み取り

TSC2117からの読み取りは、図5-47に示すプロトコルを使用して実行されます。このプロトコルは、24クロック・シーケンスを使用して16ビットのデータ読み取りを行います。ページ3/レジスタ3のビットD1およびD0に書き込むことで、データ使用可能ステータスを監視するためにGPIO1またはGPIO2割り込みを設定します。読み取りは通常、割り込みが“Low” (データが読み取り可能) のときに実行されます。ADC変換のステータスは、ページ3/レジスタ9から読み取ることができます。ビットD6がセットされている場合、ADCは変換を実行中であるため、BUSYステータスが読み取られます。ビットD5がセットされている場合は、いくつかのデータが読み取り可能な状態です。次に、ページ3/レジスタ10のステータス・レジスタを読み取ることで、AUX1、AUX2、またはVBATに読み取り可能なデータがあるかどうかわかります。ビットD7がセットされている場合は、AUX1を読み取り可能です。ビットD6がセットされている場合は、AUX2を読み取り可能です。ビットD5がセットされている場合は、VBATを読み取り可能です。

読み取りシーケンスの最初の7ビットは、2つのシーケンシャルな8ビット・レジスタの最初のレジスタ・アドレスに対応しています。次のビットは“High”であり、順次読み取り動作が続くことを指定します。残りの16クロックは、読み出される16ビット・データをD15-D0の順に取得するために使用されます。24クロック・シーケンスの最初の7クロックで指定されたレジスタ・アドレスは、ビットD15-D8として読み出されます (D15がMSB)。次に、レジスタ番号が1インクリメントされ、データがD7-D0から読み出されます (D7がMSB)。(AUX1のデータの読み取りにはページ3/レジスタ54、AUX2のデータの読み取りにはページ3/レジスタ56、VBATのデータの読み取りにはページ3/レジスタ58を使用します。) このサイクルで、最初の16ビット・データ・ワードの読み取りが完了します。このシーケンスを繰り返して、AUX1、AUX2、およびVBATデータの値をさらに読み取ることができます。

5.7.9 TSC2117の変換時間の計算

ここでは、次の3つの場合のTSC2117の変換時間の計算について説明します。

1. タッチ検出で開始されるタッチ・スクリーン変換
2. ホストによって開始されるタッチ・スクリーン変換
3. タッチ・スクリーン以外の測定動作 - 温度、補助、またはバッテリー測定

3つのいずれの場合も、ページ3/レジスタ3でタイミング信号をプログラミングできます。GPIO1またはGPIO2はPINTDAVとしてプログラミングできます (ページ3/レジスタ3、ビットD1-D0)。これは、ペンタッチの検出またはデータが使用可能であることの通知に使用されます。

5.7.9.1 タッチ検出で開始されるタッチ・スクリーン変換

5.7.9.1.1 自己制御X-Yスキャン・モード

測定値に対する変換後のX/Y座標を取得するのにかかる時間は、次の式で計算されます（SPIバス上のコマンド送信にかかる時間は含まれません）。

$$t_{\text{coordinate}} = 2 \times (t_{\text{PRE}} + t_{\text{SNS}} + t_{\text{PVS}}) + 2 \times N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + 2 \times N_{\text{AVG}} \times (n_1 + 13) \times t_{\text{CLK}} + 22 \times t_{\text{CLK}} + t_{\text{DEL}}$$

- (1) この式は、ページ2/レジスタ18、ビットD6-D5 = 00の場合（変換後のデータを読み取るためにSARデータの更新が保留されない場合）にのみ有効です。
- (2) タッチ検出後は、2回目の変換以降、この式が有効になります。
- (3) すべてのプログラミング可能な遅延時間 t_{DEL} 、 t_{PVS} 、 t_{SNS} 、および t_{PRE} は、実際の分周設定、および生成に使用されるクロックの周期に応じて変化します。スケール・ファクタについては、各制御レジスタの設定を参照してください。
- (4) ページ3/レジスタ3、ビットD1-D0 = 00である場合は、連続的にタッチされると、図5-48に示すように $\overline{\text{PINTDAV}}$ が約 t_{PRE} 時間だけ“High”に保持されます。ページ3/レジスタ3、ビットD1-D0 = 10である場合は、連続的にタッチされると、 $\overline{\text{PINTDAV}}$ が約 $(t_{\text{PRE}} + t_{\text{DEL}})$ 時間だけ“High”に保持されます。

ここで

$t_{\text{CLK}} = t_{\text{OSC}}$ または $t_{\text{MCLK}} \times \text{DIV3}$ （ページ3/レジスタ17、ビットD7の設定に基づく）

$t_{\text{CONV}} = t_{\text{CLK}} \times \text{DIV1}$

DIV1 = ページ3/レジスタ2のビットD4-D3で設定される分周値

DIV3 = ページ3/レジスタ17のビットD6-D0で設定される分周値

N_{BITS} = ページ3/レジスタ2のビットD6-D5で設定されるSAR ADC分解能

N_{AVG} = ページ3/レジスタ2のビットD1-D0で設定される平均数。平均化なしの場合は、 $N_{\text{AVG}} = 1$

t_{OSC} = 内蔵発振回路のクロック周期。標準値は122ns（つまり、8.2MHz）

t_{MCLK} = 外部MCLKクロック周期

$n_1 = 6$ （ $\text{DIV1} = 1$ の場合）、または7（それ以外の場合）

t_{DEL} = ページ3/レジスタ15のビットD6-D4で設定される遅延時間。ページ3/レジスタ15のビットD7 = 0の場合は、0

t_{PVS} = ページ3/レジスタ5のビットD2-D0で設定されるパネル電圧安定化時間

t_{SNS} = ページ3/レジスタ4のビットD2-D0で設定される検知時間

t_{PRE} = ページ3/レジスタ4のビットD6-D4で設定されるプリチャージ時間

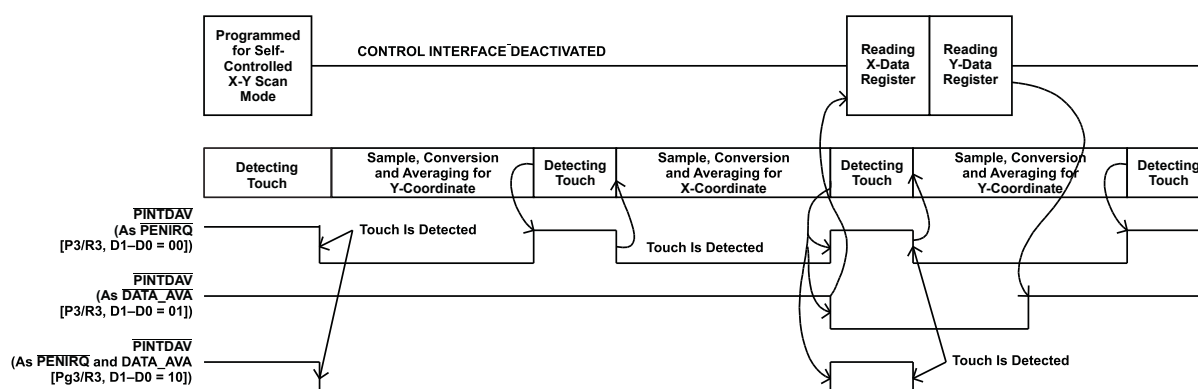


図5-48. TSC2117の自己制御X-Yスキャン・モード

5.7.9.1.2 自己制御X-Y-Z1-Z2スキャン・モード

X/Y/Z1/Z2座標の変換を完了するのにかかる時間は、次の式で計算されます（SPIバス上のコマンド送信にかかる時間は含まれません）。

$$t_{\text{coordinate}} = 3 \times (t_{\text{PRE}} + t_{\text{SNS}} + t_{\text{PVS}}) + 4 \times N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + 4 \times N_{\text{AVG}} \times (n_1 + 13) \times t_{\text{CLK}} + 40 \times t_{\text{CLK}} + t_{\text{DEL}}$$

ここで

$n_1 = 6$ (DIV1 = 1の場合)、または7 (それ以外の場合)

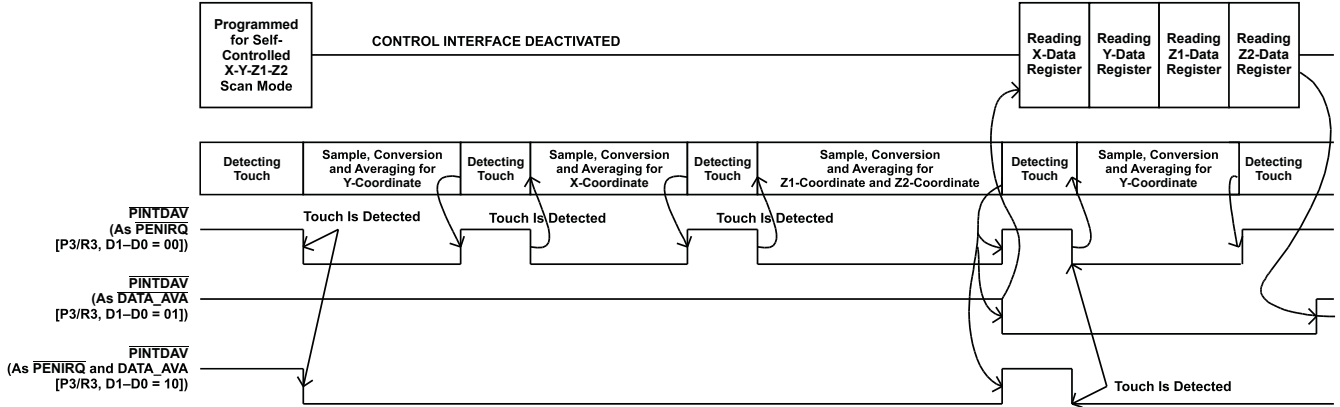


図5-49. TSC2117の自己制御X-Y-Z1-Z2スキャン・モード

5.7.9.1.3 自己制御XスキャンまたはYスキャン・モード

自己制御モードで1つの座標（XまたはY）を変換するのにかかる時間は、次の式で計算されます（SPIバス上のコマンド送信にかかる時間は含まれません）。

$$t_{\text{coordinate}} = t_{\text{PRE}} + t_{\text{SNS}} + t_{\text{PVS}} + N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + N_{\text{AVG}} \times (n_1 + 13) \times t_{\text{CLK}} + 18 \times t_{\text{CLK}} + t_{\text{DEL}}$$

ここで

$n_1 = 6$ (DIV1 = 1の場合)、または7 (それ以外の場合)

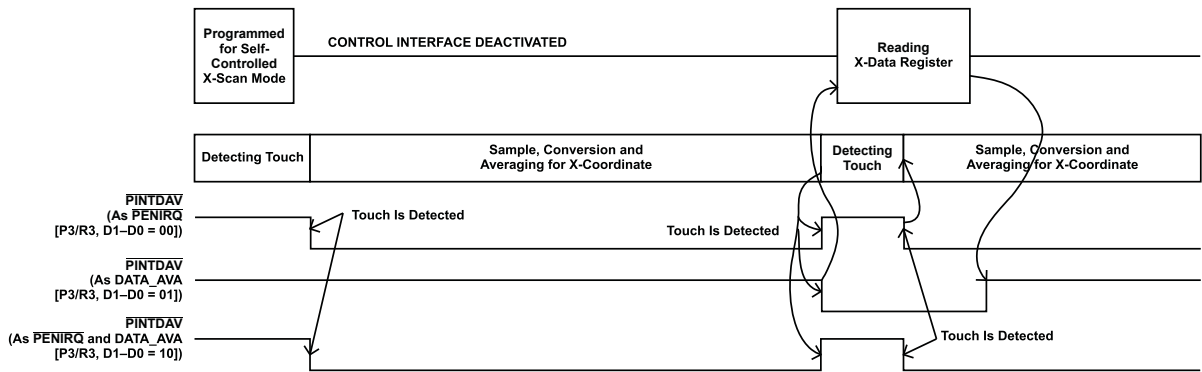


図5-50. TSC2117の自己制御Xスキャン・モード

5.7.9.1.4 自己制御Zスキャン・モード

自己制御モードでZ座標を変換するのにかかる時間は、次の式で計算されます（SPIバス上のコマンド送信にかかる時間は含まれません）。

$$t_{\text{coordinate}} = t_{\text{PRE}} + t_{\text{SNS}} + t_{\text{PVS}} + 2 \times N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + 2 \times N_{\text{AVG}} \times (n_1 + 13) \times t_{\text{CLI}} + 25 \times t_{\text{CLK}} + t_{\text{DEL}}$$

ここで

$n_1 = 6$ （DIV1 = 1の場合）、または7（それ以外の場合）

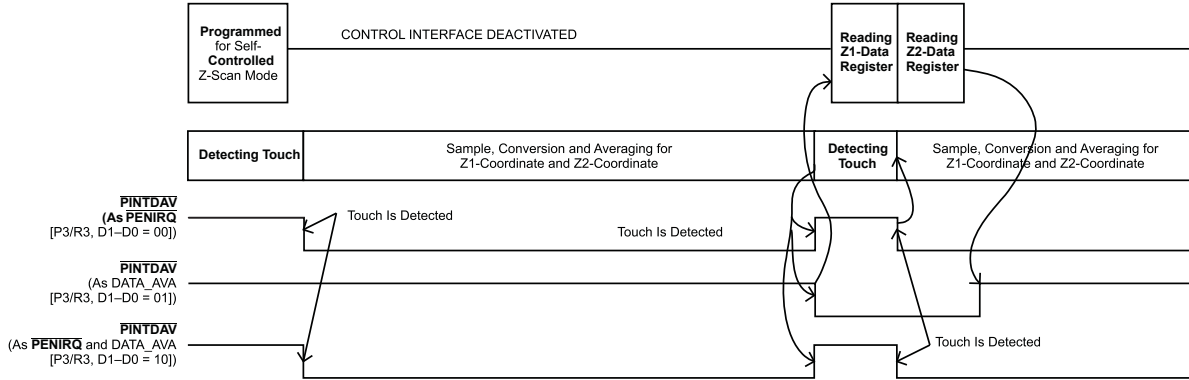


図5-51. TSC2117の自己制御Zスキャン・モード

5.7.9.2 ホストによって開始されるタッチ・スクリーン変換

5.7.9.2.1 ホスト制御Xスキャン・モード

ホスト制御モードで1つの座標（XまたはY）を変換するのにかかる時間は、次の式で計算されます（SPIバス上のコマンド送信にかかる時間は含まれません）。

$$t_{\text{coordinate}} = t_{\text{PVS}} + N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + N_{\text{AVG}} \times (n_1 + 13) \times t_{\text{CLK}} + 15 \times t_{\text{CL}}$$

ここで

$n_1 = 6$ （DIV1 = 1の場合）、または7（それ以外の場合）

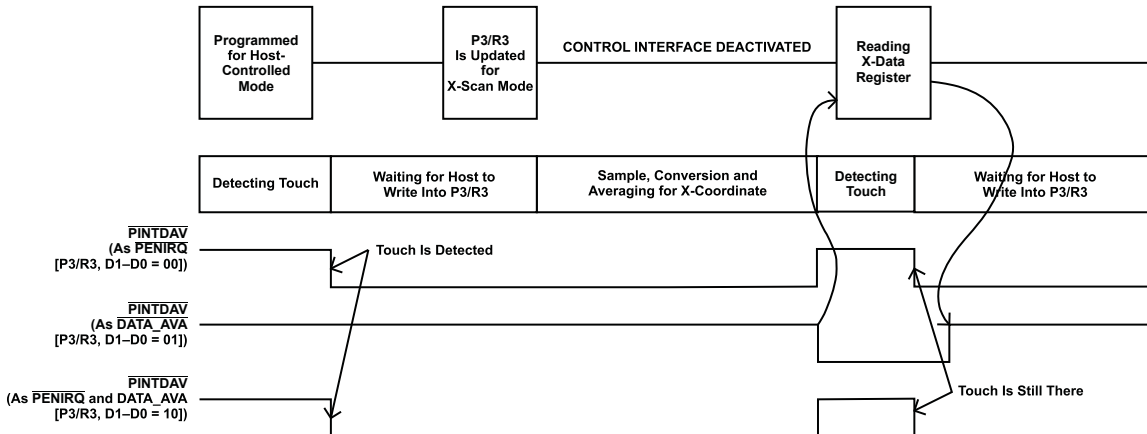


図5-52. ホスト制御Xスキャン・モード

5.7.9.2.2 ホスト制御Z1-Z2スキャン・モード

$$t_{\text{coordinate}} = t_{\text{PVS}} + 2 \times N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + 2 \times N_{\text{AVG}} \times (n_1 + 13) \times t_{\text{CLK}} + 22 \times t_{\text{CLK}}$$

ここで
 $n_1 = 6$ (DIV1 = 1の場合)、または7 (それ以外の場合)

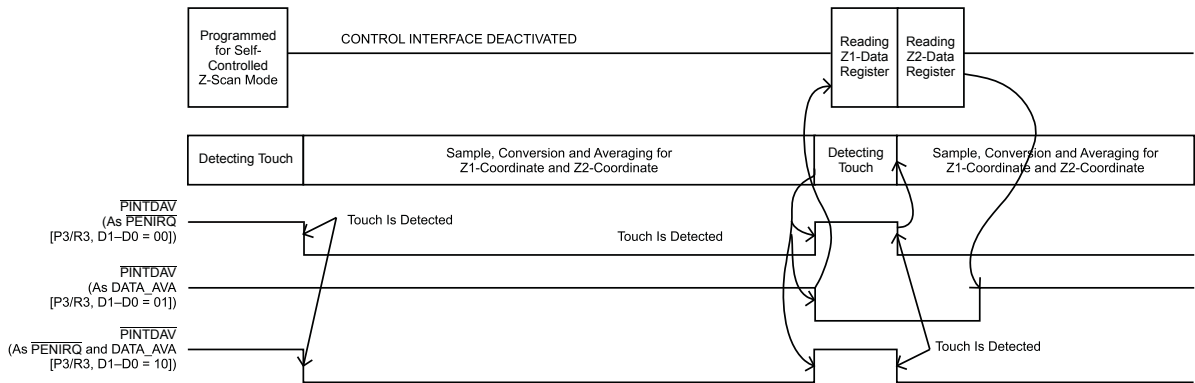


図5-53. ホスト制御Z1-Z2スキャン・モード

5.7.9.2.3 ホスト制御X-Yスキャン・モード

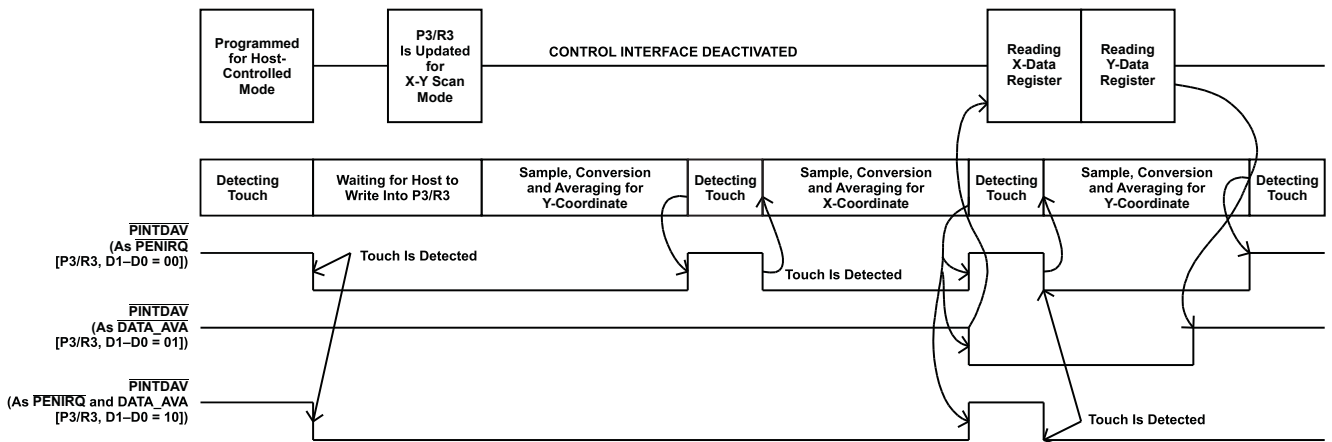


図5-54. ホスト制御X-Yスキャン・モード

5.7.9.3 タッチ・スクリーン以外の測定動作

5.7.9.3.1 ホスト制御VBATスキャン・モード

温度、補助、およびバッテリー測定を行うために必要な時間は、次の式で計算されます。

$$t = N_{\text{AVG}} \times (N_{\text{BITS}} + 1) \times t_{\text{CONV}} + N_{\text{AVG}} \times (n_1 + n_2) \times t_{\text{CLK}} + 17 \times t_{\text{CLK}} + n_3 \times t_{\text{CLK}}$$

- (1) この式は、ページ2/レジスタ18、ビットD6-D5 = 00の場合 (変換後のデータを読み取るためにSARデータの更新が保留されない場合) に有効です。
- (2) プログラミング可能な遅延時間 t_{REF} は、実際の分周設定、および生成に使用されるクロックの周期に応じて変化します。スケール・ファクタについては、各制御レジスタの設定を参照してください。

ここで

DIV1 = ページ3/レジスタ2のビットD4-D3で設定される分周値 (ページ3/レジスタ6のビットD0 = 0の設定によりVBATが通常のAUX入力として使用される場合は、4)

NBITS = ページ3/レジスタ2のビットD6-D5で設定されるSAR ADC分解能 (ページ3/レジスタ6のビットD0 = 0の設定によりVBATが通常のAUX入力として使用される場合は、12)

$n_1 = 6$ (DIV1 = 1の場合)、または7 (それ以外の場合)

$n_2 = 24$ (TEMP1の測定の場合)、13 (TEMP1以外の測定の場合)、400 (AUX1/AUX2に対してページ3/レジスタ19のビットD2-D1を使用して外部/内部抵抗を測定する場合)

$n_3 = 0$ (外部リファレンス・モード選択時)、3 ($t_{REF} = 0\text{ms}$ 、または内部リファレンスが常時パワーアップの場合)、 $1 + t_{REF}/t_{CLK}$ (t_{REF} が0ms以外で、変換間に内部リファレンスをパワーダウンする必要がある場合)

t_{REF} = ページ3/レジスタ6のビットD3-D2で設定される内部リファレンス安定化時間

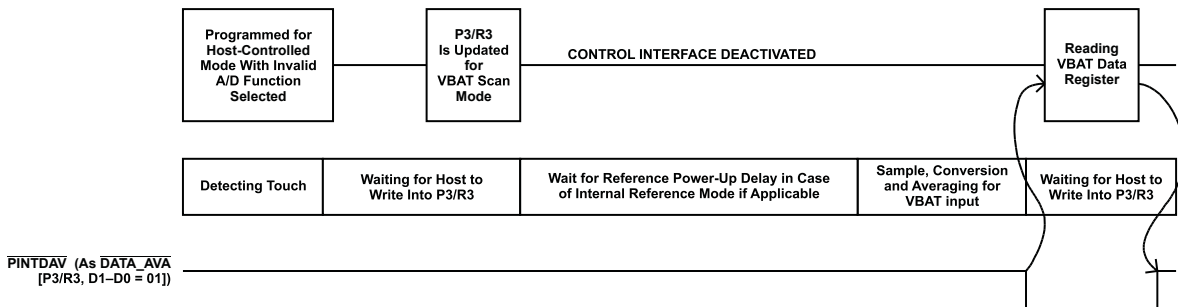


図5-55. ホスト制御BAT1スキャン・モード

5.7.9.3.2 ホスト制御連続AUXスキャン・モード

連続自動スキャン・モードに必要な時間は、次の式で計算されます。

$$t = N_{INP} \times N_{AVG} \times (N_{BITS} + 1) \times t_{CONV} + N_{INP} \times N_{AVG} \times (n_1 + 13) \times t_{CLK} + N_{AVG} \times n_2 \times t_{CLK} + N_{INP} \times 9 \times t_{CLK} + (n_3 + n_4) \times t_{CLK} + t_{DEL}$$

- (1) この式は、ページ2/レジスタ18、ビットD6-D5 = 00の場合 (変換後のデータを読み取るためにSARデータの更新が保留されない場合) に有効です。
- (2) この式は、2回目以降の変換に対してのみ有効です。
- (3) 自動スキャンに対してイネーブルになっている入力の1つがVBATである場合、この式はページ3/レジスタ6のビットD0 = 1のときに有効です。
- (4) すべてのプログラミング可能な遅延時間 t_{DEL} および t_{REF} は、実際の分周設定、および生成に使用されるクロックの周期に応じて変化します。スケール・ファクタについては、各制御レジスタの設定を参照してください。

ここで

DIV1 = ページ3/レジスタ2のビットD4-D3で設定される分周値

N_{BITS} = ページ3/レジスタ2のビットD6-D5で設定されるSAR ADC分解能

$N_{INP} = 1 \sim 4$ (ページ3/レジスタ19で自動スキャンに対してイネーブルになっている入力の数に基づく)

$n_1 = 6$ (DIV1 = 1の場合)、または7 (それ以外の場合)

$n_2 = 11$ (選択された入力の1つがTEMP1である場合)、または0 (それ以外の場合)

$n_3 = 0$ (外部リファレンス・モード選択時または $t_{DEL} = 0$ の場合)、3 ($t_{REF} = 0\text{ms}$ 、または内部リファレンスが常時パワーアップの場合)、 $1 + t_{REF}/t_{CLK}$ (t_{REF} が0ms以外で、変換間に内部リファレンスをパワーダウンする必要がある場合)

$n_4 = 0$ ($t_{DEL} = 0$ の場合)、または7 (それ以外の場合)

t_{DEL} = ページ3/レジスタ15のビットD2-D0で設定される遅延時間。ページ3/レジスタ15のビットD3 = 0の場合は、0

t_{REF} = ページ3/レジスタ6のビットD3-D2で設定される内部リファレンス安定化時間

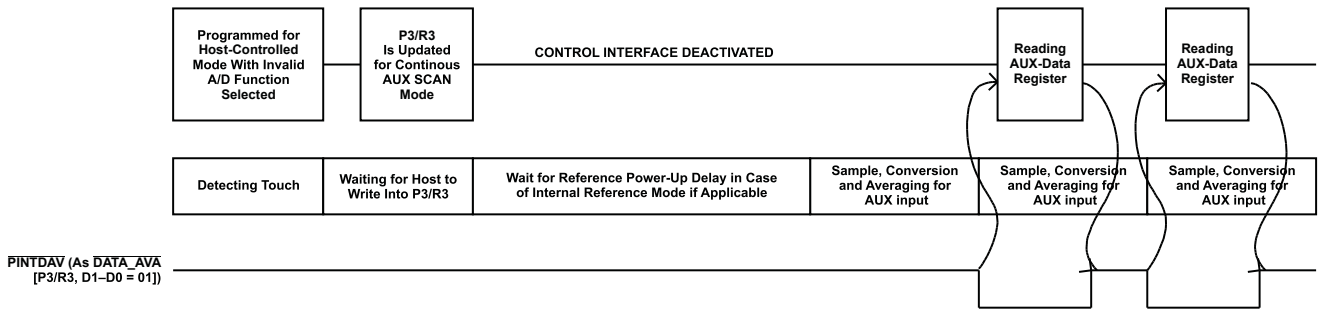


図5-56. ホスト制御連続AUXスキャン・モード

5.7.9.4 ポート・スキャン動作

1セットのポート・スキャン変換を完了するのにかかる時間は、次の式で計算されます。

$$t = 3 \times N_{AVG} \times (N_{BITS} + 1) \times t_{CONV} + 3 \times N_{AVG} \times (n_1 + 13) \times t_{CLK} + 35 \times t_{CLK} + n_2 \times t_{CLK}$$

- (1) この式は、ページ2/レジスタ18、ビットD6-D5 = 00の場合（変換後のデータを読み取るためにSARデータの更新が保留されない場合）に有効です。
- (2) この式は、ページ3/レジスタ6、ビットD0 = 1の場合に有効です。
- (3) プログラミング可能な遅延時間 t_{REF} は、実際の分周設定、および生成に使用されるクロックの周期に基づいて変化します。スケール・ファクタについては、各制御レジスタの設定を参照してください。

ここで

DIV1 = ページ3/レジスタ2のビットD4-D3で設定される分周値

N_{BITS} = ページ3/レジスタ2のビットD6-D5で設定されるSAR ADC分解能

$n_1 = 6$ (DIV1 = 1の場合)、または7 (それ以外の場合)

$n_2 = 0$ (外部リファレンス・モード選択時)、3 ($t_{REF} = 0ms$ 、または内部リファレンスが常時パワーアップの場合)、 $1 + t_{REF}/t_{CLK}$ (t_{REF} が0ms以外で、変換間に内部リファレンスをパワーダウンする必要がある場合)

t_{REF} = ページ3/レジスタ6のビットD3-D2で設定される内部リファレンス安定化時間

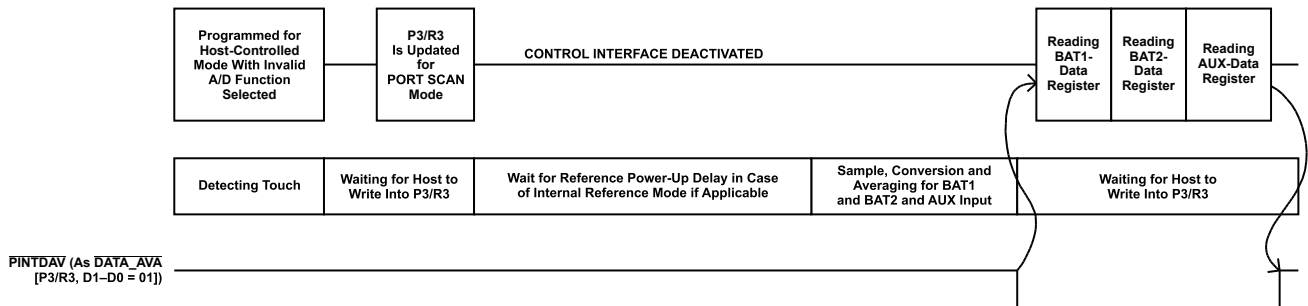
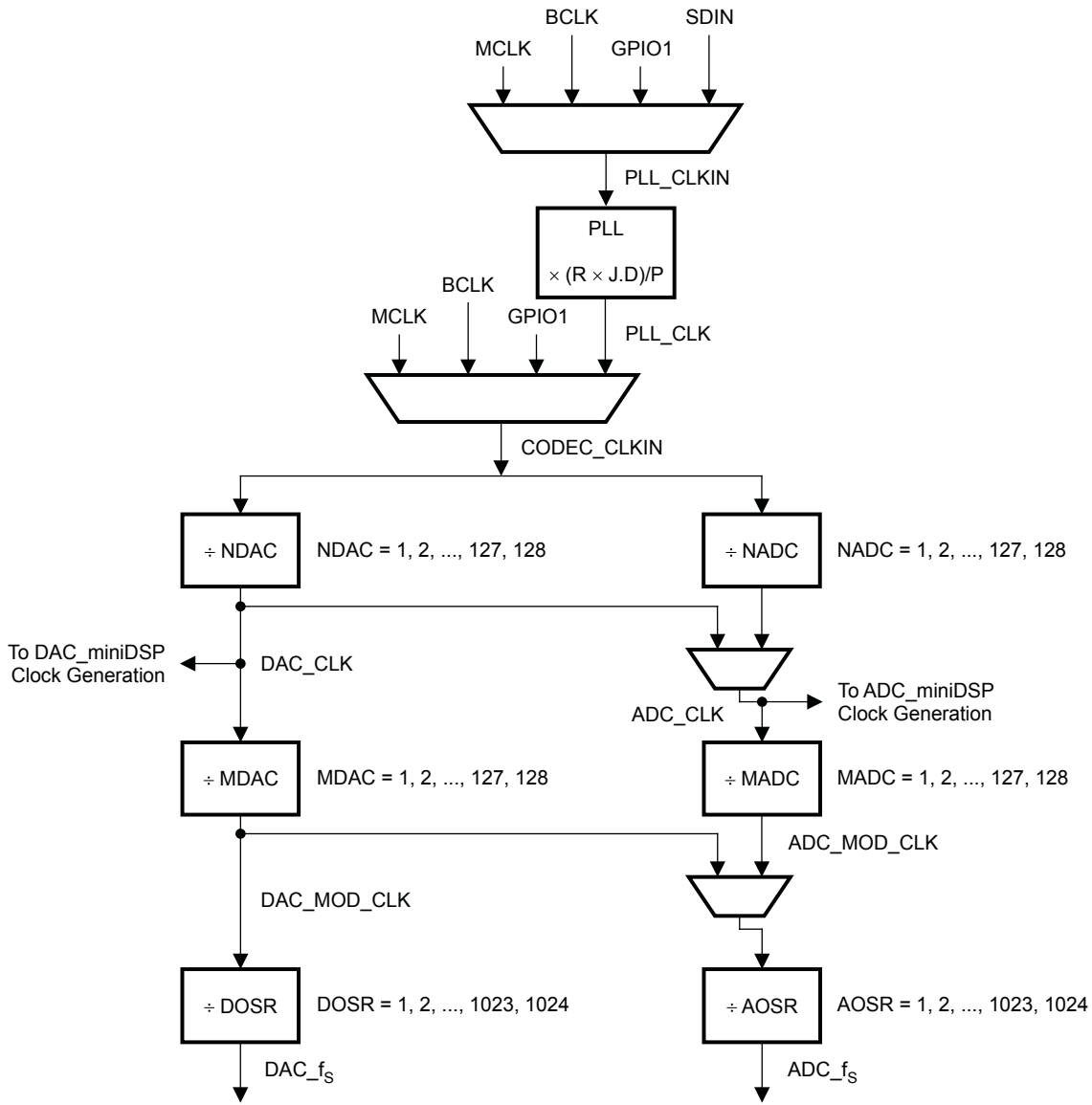


図5-57. ホスト制御ポート・スキャン・モード

5.8 クロック生成およびPLL

TSC2117は、図5-58に示されるように、ADC部、DAC部、およびインターフェイスや他のブロックに対して、さまざまなクロック生成オプションをサポートしています。ADCおよびDACのクロックには、ソースとなる基準クロックが必要です。このクロックは、MCLK、BCLK、GPIO1など、さまざまなデバイス・ピンから供給できます。コーデックのソース基準クロックは、ページ0/レジスタ4、D(1:0)のCODEC_CLKIN値をプログラミングすることで選択できます。そして、CODEC_CLKINを図5-58に示される柔軟性の高いクロック分周回路に入力することにより、ADC、DAC、およびminiDSP部に対して必要な各種クロックを生成できます。MCLK、BCLK、GPIO1の基準クロックから必要なオーディオまたはminiDSPクロックを生成できない場合のために、TSC2117には、内蔵PLLを使用するオプションも用意されています。このPLLは、必要なクロックを生成するために、幅広い範囲の分数乗算値をサポートしています。TSC2117は、CODEC_CLKINからADC、DACのさまざまなサンプリング・レートやminiDSP用のクロックを実現するために、いくつかのプログラミング可能なクロック分周回路を備えています。



B0357-01

図5-58. クロック分配ツリー

$$DAC_MOD_CLK = \frac{CODEC_CLKIN}{NDAC \times MDAC}$$

$$ADC_MOD_CLK = \frac{CODEC_CLKIN}{NADC \times MADC}$$

$$DAC_{fs} = \frac{CODEC_CLKIN}{NDAC \times MDAC \times DOSR}$$

$$ADC_{fs} = \frac{CODEC_CLKIN}{NADC \times MADC \times AOSR}$$

(5-14)

表5-41. CODEC CLKINクロック分周回路

分周回路	ビット
NDAC	ページ0/レジスタ11、D(6:0)
MDAC	ページ0/レジスタ12、D(6:0)
DOSR	ページ0/レジスタ13、D(1:0)+ページ0/レジスタ14、D(7:0)
NADC	ページ0/レジスタ18、D(6:0)
MADC	ページ0/レジスタ19、D(6:0)
AOSR	ページ0/レジスタ20、D(7:0)

DAC変調回路は、クロックとしてDAC_MOD_CLKを使用します。DACチャンネルの適切なパワーアップ動作のためには、NDACおよびMDACクロック分周回路を設定してこれらのクロックをイネーブルにする必要があります（ページ0/レジスタ11、ビットD7 = 1、ページ0/レジスタ12、ビットD7 = 1）。DACチャンネルのパワーダウン時には、デバイス内部で、適切なシャットダウンのためのパワーダウン・シーケンスが開始されます。このシャットダウン・シーケンスの間、NDACおよびMDAC分周回路をパワーダウンしてはなりません。パワーダウンした場合、適切な低電力シャットダウンが行われない可能性があります。ユーザは、ページ0/レジスタ37のビットD7およびページ0/レジスタ37のビットD3からパワー・ステータス・フラグを読み取ることができます。両方のフラグがパワーダウンを示していれば、MDAC分周回路、次にNDAC分周回路をパワーダウンできます。ADCクロック分周回路のパワーダウン中は、ADCクロックがDACクロックから生成されることに注意してください。

ADC変調回路は、クロックとしてADC_MOD_CLKを使用します。ADCチャンネルの適切なパワーアップ動作のためには、NADCおよびMADCクロック分周回路を設定してこれらのクロックをイネーブルします（ページ0/レジスタ18、ビットD7 = 1、ページ0/レジスタ19、ビットD7 = 1）。ADCチャンネルのパワーダウン時には、デバイス内部で、適切なシャットダウンのためのパワーダウン・シーケンスが開始されます。このシャットダウン・シーケンスの間、NADCおよびMADC分周回路をパワーダウンしてはなりません。パワーダウンした場合、適切な低電力シャットダウンが行われない可能性があります。ユーザは、ページ0/レジスタ36のビットD6からパワー・ステータス・フラグを読み取ることができます。このフラグがパワーダウンを示していれば、MADC分周回路、次にNADC分周回路をパワーダウンできます。

ADC_CLK（ADC DSPクロック）がNDAC分周回路の出力から生成される場合は、ADCのパワーダウン・ステータス・フラグがパワーダウンを示さなくなるまで、NDACをパワーアップ状態に保持する必要があります。AOSRクロック分周回路への入力DAC_MOD_CLKから得られる場合、MDACは、ADC_{fs}が必要なとき（つまり、WCLKがTSC2117によって生成されるか、またはAGCがイネーブルのとき）にパワーアップする必要があります。また、ADCのパワーダウン・ステータス・フラグがパワーダウン状態を示した後でのみパワーダウンできます。

一般に、適切な動作のためには、すべてのルート・クロック分周回路を、子クロック分周回路がパワーダウンされた後でのみパワーダウンします。

また、TSC2117には、内部クロックの一部をデバイスの出力ピンにルーティングして、システムの汎用クロックとして使用するオプションも用意されています。この機能を図5-59に示します。

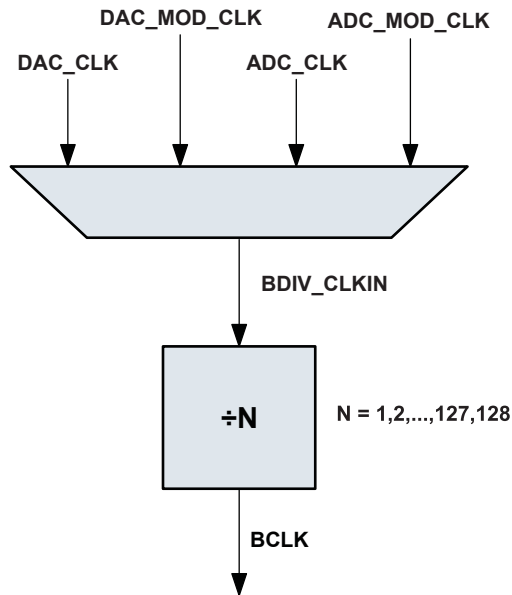


図5-59. BCLK出力オプション

TSC2117がBCLKピンを駆動するように設定されているモード（ページ0/レジスタ27、ビットD3 = 1）では、BDIV_CLKINを分周した値として駆動できます。分周値は、ページ0/レジスタ30のD(6:0)で1～128にプログラミングできます。BDIV_CLKIN自体は、ページ0/レジスタ29、ビットD1-D0のBDIV_CLKIN muxを設定することにより、DAC_CLK（DAC DSPクロック）、DAC_MOD_CLK、ADC_CLK（ADC DSPクロック）、ADC_MOD_CLKのいずれかに設定できます。さらに、GPIO1、GPIO2、SDOUT、またはMISOピンから汎用クロックを供給できます。このクロックには、CDIV_CLKINを分周したクロックを使用できます。このクロック分周値は、ページ0/レジスタ26のビットD6-D0に書き込むことにより、1～128の範囲でプログラミングできます。CDIV_CLKIN自体は、図5-60に示されるクロックの1つとしてプログラミングできます。これは、ページ0/レジスタ25、D(2:0)のmuxをプログラミングすることで制御できます。

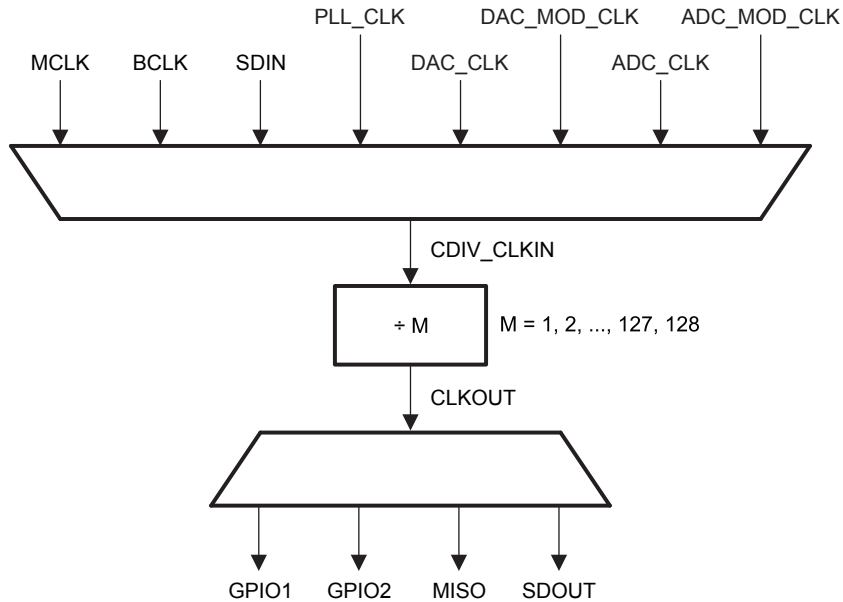


図5-60. 汎用クロック出力オプション

表5-42. TSC2117の最大クロック周波数

クロック	DVDD ≥ 1.65 V
CODEC_CLKIN	≤ 110 MHz
ADC_CLK (ADC DSP クロック)	≤ 49.152 MHz
ADC_miniDSP_CLK	≤ 24.576 MHz
ADC_MOD_CLK	6.758 MHz
ADC_fs	0.192 MHz
DAC_CLK (DAC DSP クロック)	≤ 49.152 MHz
DAC_miniDSP_CLK	≤ 49.152MHz (DRCがディスエーブルの場合) ≤ 48 MHz (DRCがイネーブルの場合)
DAC_MOD_CLK	6.758 MHz
DAC_fs	0.192 MHz
BDIV_CLKIN	55 MHz
CDIV_CLKIN	100 MHz (Mが奇数の場合) 110 MHz (Mが偶数の場合)

5.8.1 PLL

消費電力低減のためには、内部のオーディオ処理クロックを単純な分周回路で生成するのが最良の方法です。入力MCLKや他のソース・クロックがオーディオ処理クロックの整数倍でない場合には、内蔵PLLを使用する必要があります。TSC2117のフラクショナルPLLでは、ADC、DAC、およびminiDSPに必要な処理クロックを生成するための内部“マスタ・クロック”を生成できます。このPLLはプログラマブルであり、システム内のさまざまなクロックを使用して動作できます。

PLL入力は、512kHz～20MHzのクロックをサポートし、レジスタ・プログラミングによって、必要なサンプリング・レートの高い分解能で生成できます。PLLは、ページ0/レジスタ5のビットD7に書き込むことでオンにできます。PLLがイネーブルのとき、PLL出力クロックPLL_CLKは次の式で与えられます。

$$PLL_CLK = \frac{PLL_CLKIN \times R \times D}{P} \quad (5-15)$$

ここで

R = 1, 2, 3, ..., 16 (ページ0/レジスタ5、デフォルト値 = 1)

J = 1, 2, 3, ..., 63 (ページ0/レジスタ6、デフォルト値 = 4)

D = 0, 1, 2, ..., 9999 (ページ0/レジスタ7および8、デフォルト値 = 0)

P = 1, 2, 3, ..., 8 (ページ0/レジスタ5、デフォルト値 = 1)

PLLは、ページ0/レジスタ5のビットD7を使用してオンにできます。変数Pは、ページ0/レジスタ5のビットD6-D4によってプログラミングできます。変数Rは、ページ0/レジスタ5のビットD3-D0によってプログラミングできます。変数Jは、ページ0/レジスタ6のビットD5-D0によってプログラミングできます。変数Dは14ビットであり、2つのレジスタでプログラミングされます。上位ビットはページ0/レジスタ7のビットD5-D0、下位ビットはページ0/レジスタ8のビットD7-D0でプログラミングできます。D分周値を適切に更新するには、最初にページ0/レジスタ7をプログラミングし、その直後にページ0/レジスタ8をプログラミングします。ページ0/レジスタ8への書き込みが完了しない限り、Dの新しい値は有効になりません。

PLLがイネーブルのときには、以下の条件が満たされる必要があります。

・PLLがイネーブルで、D = 0の場合は、PLL_CLKINに対して次の条件が満たされる必要があります。

$$512\text{kHz} \leq \frac{PLL_CLKIN}{P} \leq 20\text{MHz} \quad (5-16)$$

$$80\text{ MHz} \leq (PLL_CLKIN \times J \cdot D \times R/P) \leq 110\text{ MHz}$$

$$4 \leq R \times J \leq 259$$

・PLLがイネーブルで、D ≠ 0の場合は、PLL_CLKINに対して次の条件が満たされる必要があります。

$$10\text{MHz} \leq \frac{\text{PLL_CLKIN}}{P} \leq 20\text{MHz} \quad (5-17)$$

$$80\text{ MHz} \leq \text{PLL_CLKIN} \times \text{J.D} \times \text{R/P} \leq 110\text{ MHz}$$

$$\text{R} = 1$$

PLLは、ADCおよびDACブロックとは独立にパワーアップできます。また、出力をGPIO出力にルーティングすることで、汎用PLLとしても使用できます。通常、PLL_CLKは、PLLのパワーアップから10ms後に供給されます。

コーデックおよび各種信号処理ブロックへのクロックであるCODEC_CLKINは、MCLK入力、BCLK入力、GPIO入力、またはPLL_CLKから生成できます（ページ0/レジスタ4、ビットD1-D0）。

CODEC_CLKINがPLLから生成される場合は、PLLを最初にパワーアップし、最後にパワーダウンする必要があります。

表5-43に、いくつかの標準的なPLL_CLKINレートの例と、44.1kHzまたは48kHzのサンプル・レート f_s を得るためのPLLのプログラミング方法を示します。

表5-43. PLLの設定例

$f_s = 44.1\text{ kHz}$										
PLL_CLKIN (MHz)	PLL P	PLL R	PLL J	PLL D	MADC	NADC	AOSR	MDAC	NDAC	DOSR
2.8224	1	3	10	0	3	5	128	3	5	128
5.6448	1	3	5	0	3	5	128	3	5	128
12	1	1	7	560	3	5	128	3	5	128
13	1	1	6	3504	2	9	104	6	3	104
16	1	1	5	2920	3	5	128	3	5	128
19.2	1	1	4	4100	3	5	128	3	5	128
48	4	1	7	560	3	5	128	3	5	128
$f_s = 48\text{ kHz}$										
2.048	1	3	14	0	2	7	128	7	2	128
3.072	1	4	7	0	2	7	128	7	2	128
4.096	1	3	7	0	2	7	128	7	2	128
6.144	1	2	7	0	2	7	128	7	2	128
8.192	1	4	3	0	2	8	128	4	4	128
12	1	1	7	1680	2	7	128	7	2	128
16	1	1	5	3760	2	7	128	7	2	128
19.2	1	1	4	4800	2	7	128	7	2	128
48	4	1	7	1680	2	7	128	7	2	128

5.9 デジタル・オーディオおよび制御インターフェイス

5.9.1 デジタル・オーディオ・インターフェイス

ホスト・プロセッサとTSC2117の間のオーディオ・データ転送は、デジタル・オーディオ・データ・シリアル・インターフェイス（オーディオ・バス）を介して行われます。このデバイスのオーディオ・バスは非常に高い柔軟性を持っています。これには、前詰めまたは後詰めデータ・オプション、I²SまたはPCMプロトコルのサポート、プログラミング可能なデータ長オプション、多チャンネル動作のTDMモード、バス・クロック・ライン毎の非常に柔軟なマスタ/スレーブ設定、システム内の複数のデバイスとの直接通信機能などが含まれます。

TSC2117のオーディオ・バスは、前詰め、後詰め、I²S、DSP、またはTDM動作モードに設定でき、標準の電話用PCMインターフェイスとの通信がTDMモード内でサポートされます。これらのモードはすべてMSBファーストであり、ページ0/レジスタ27、D(5:4)を設定することでデータ幅を16、20、24、または32ビットにプログラミングできます。さらに、ワード・クロックおよびビット・クロックをマスタ・モードまたはスレーブ・モードで独立して設定できるため、さまざまな種類のプロセッサへの柔軟な接続が可能です。ワード・クロックは、フレームの開始を定義するために使用され、パルスまたは方形波信号としてプログラミングできます。このクロックの周波数は、選択したADCおよびDACサンプリング周波数の最大値に対応します。

ビット・クロックは、シリアル・バス上でデジタル・オーディオ・データをクロック・インおよびクロック・アウトするために使用します。マスタ・モードの場合、この信号は、ページ0/レジスタ30のビット・クロック分周値を制御することで、可変クロック・パルスを生成するようにプログラミングできます（図5-58を参照）。各種のワード長に対応するため、または、複数のTSC2117が同じオーディオ・バスを共有するケースをサポートするために、フレーム内のビット・クロック・パルス数の調整が必要になる場合があります。

TSC2117には、ワード・クロックを基準にデータ転送の開始位置をオフセットする機能もあります。このオフセットは、ビット・クロック数として制御でき、ページ0/レジスタ28でプログラミングできます。

また、TSC2117には、使用されるデフォルトのクロック極性に対して、オーディオ・データ転送に使用するビット・クロックの極性を反転する機能があります。この機能は、選択したオーディオ・インターフェイスのモードとは関係なく使用できます。これは、ページ0/レジスタ29のD(3)で設定できます。

さらに、TSC2117は、有効なデータが送信されないときに、すべてのビット・クロックにわたってSDOUTラインを3ステートにするようプログラミングできます（ページ0/レジスタ27、D0）。この機能を、フレーム内のどのビット・クロックでオーディオ・データが開始されるかをプログラミングする機能と組み合わせることにより、時分割多重化（TDM）を実現し、1つのオーディオ・シリアル・データ・バスで複数のコーデックを使用できるようになります。マスタ・モード設定時にオーディオ・シリアル・データ・バスがパワーダウンされると、インターフェイスに関連付けられているピンが3ステート出力状態になります。

デフォルトでは、ワード・クロックとビット・クロックがTSC2117によって生成される場合、これらのクロックは、デバイス内でコーデック（ADC、DAC、または両方）がパワーアップされたときにだけアクティブとなります。これは、消費電力低減のためです。ただし、デバイス内のコーデックがパワーダウンのときでもワード・クロックとビット・クロックの両方をアクティブにできる機能もサポートされています。これは、TDMモードにより同じバス上で複数のコーデックを使用している場合や、ワード・クロックまたはビット・クロックをシステム内で汎用クロックとして使用している場合に便利です。

5.9.1.1 後詰めモード

TSC2117のオーディオ・インターフェイスは、ページ0/レジスタ27、D(7:6) = 10にプログラミングすることにより、後詰めモードに設定できます。後詰めモードでは、ワード・クロックの立ち下がりエッジに先行するビット・クロックの立ち上がりエッジで、左チャンネルのLSBが有効になります。同様に、ワード・クロックの立ち上がりエッジに先行するビット・クロックの立ち上がりエッジで、右チャンネルのLSBが有効になります。

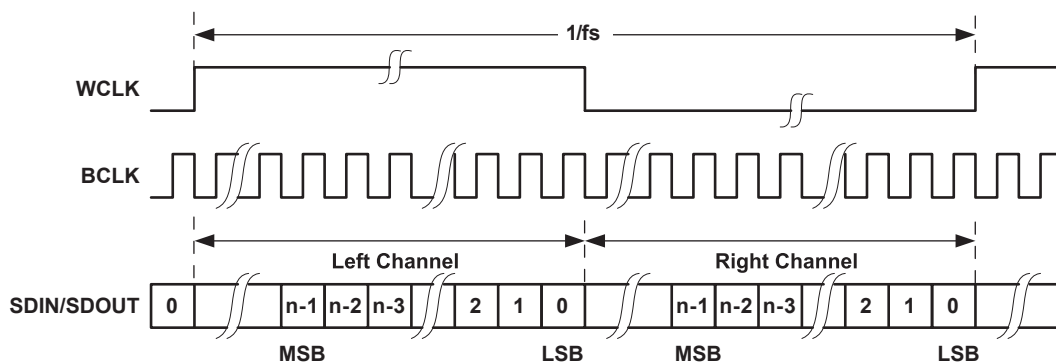


図5-61. 後詰めモードのタイミング図

後詰めモードでは、フレームあたりのビット・クロック数が、プログラミングされたデータのワード長の2倍以上である必要があります。

5.9.1.2 前詰めモード

TSC2117のオーディオ・インターフェイスは、ページ0/レジスタ27、D(7:6) = 11にプログラミングすることにより、前詰めモードに設定できます。前詰めモードでは、ワード・クロックの立ち下がりエッジに続くビット・クロックの立ち上がりエッジで、右チャンネルのMSBが有効になります。同様に、ワード・クロックの立ち上がりエッジに続くビット・クロックの立ち上がりエッジで、左チャンネルのMSBが有効になります。

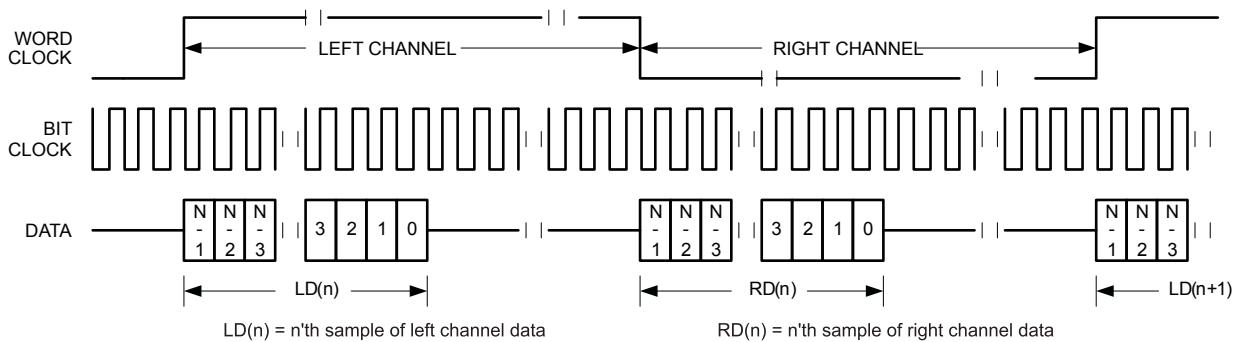


図5-62. 前詰めモードのタイミング図

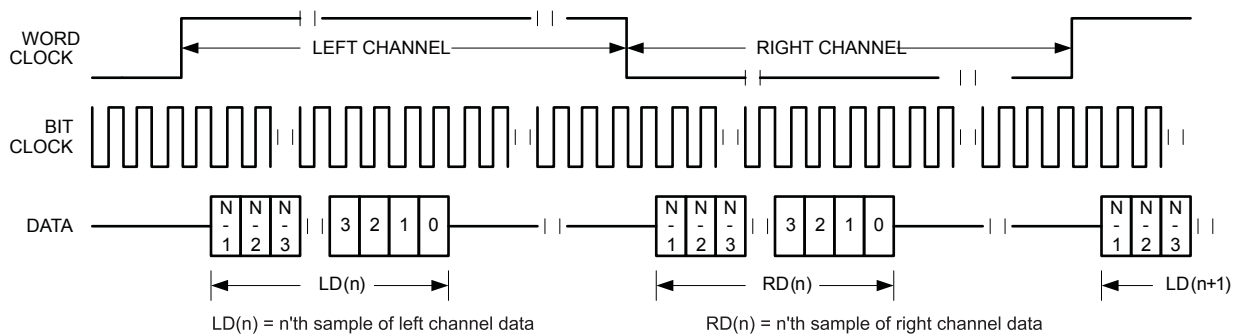


図5-63. 前詰めモードのタイミング図 (オフセット = 1)

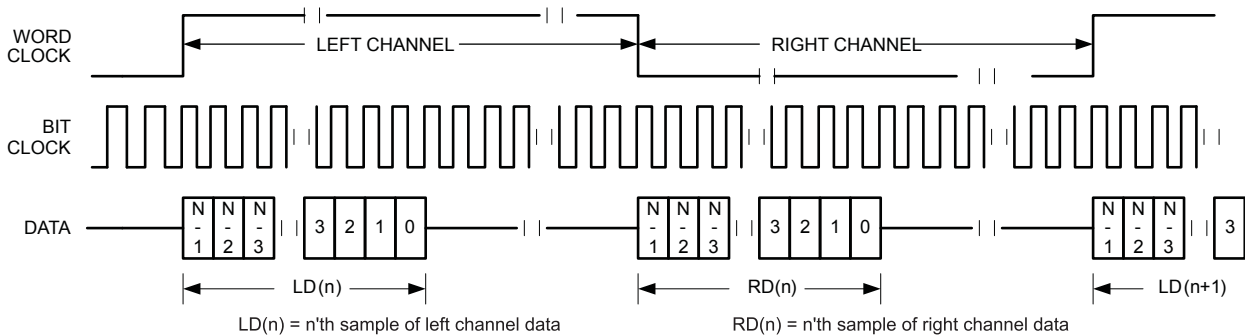


図5-64. 前詰めモードのタイミング図 (オフセット = 0、ビット・クロック反転)

前詰めモードでは、フレームあたりのビット・クロック数が、プログラミングされたデータのワード長の2倍以上である必要があります。また、オフセット値は、“フレームあたりのビット・クロック数”と“プログラミングされたデータのワード長”の差よりも小さい必要があります。

5.9.1.3 I²Sモード

TSC2117のオーディオ・インターフェイスは、ページ0/レジスタ27、D(7:6) = 00にプログラミングすることにより、I²Sモードに設定できます。I²Sモードでは、ワード・クロックの立ち下がりエッジ後のビット・クロックの2番目の立ち上がりエッジで、左チャンネルのMSBが有効になります。同様に、ワード・クロックの立ち上がりエッジ後のビット・クロックの2番目の立ち上がりエッジで、右チャンネルのMSBが有効になります。

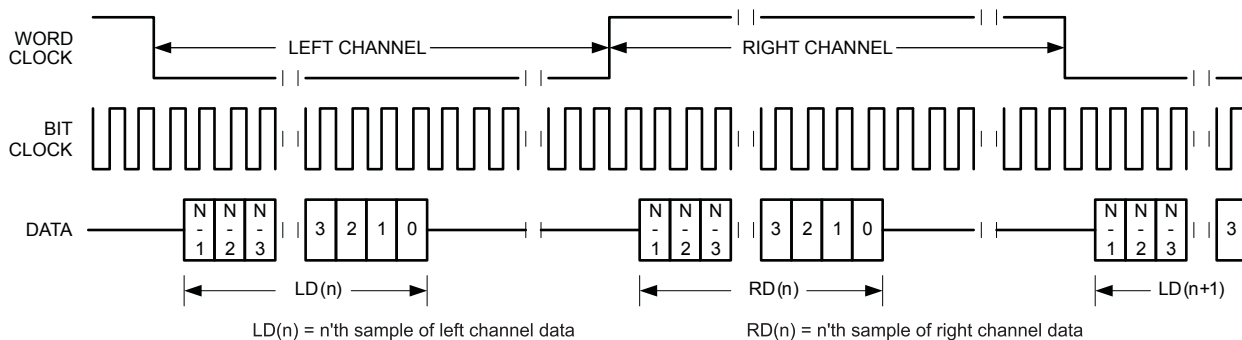


図5-65. I²Sモードのタイミング図

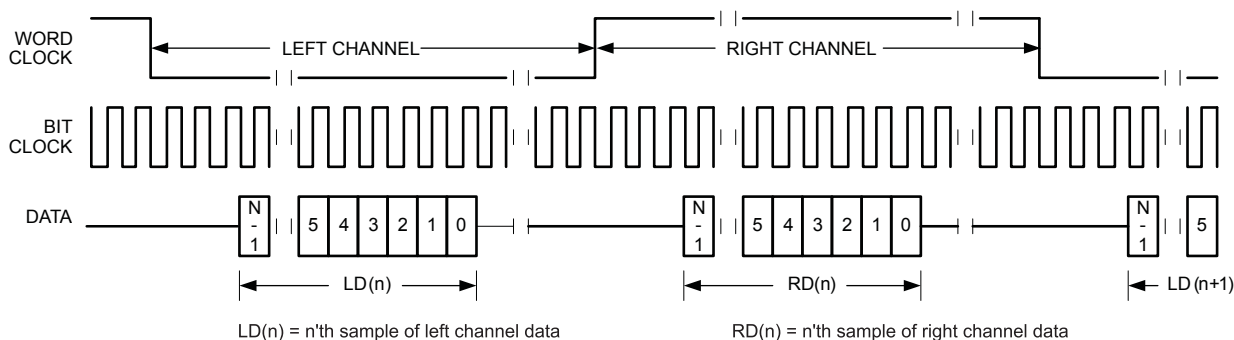


図5-66. I²Sモードのタイミング図 (オフセット = 2)

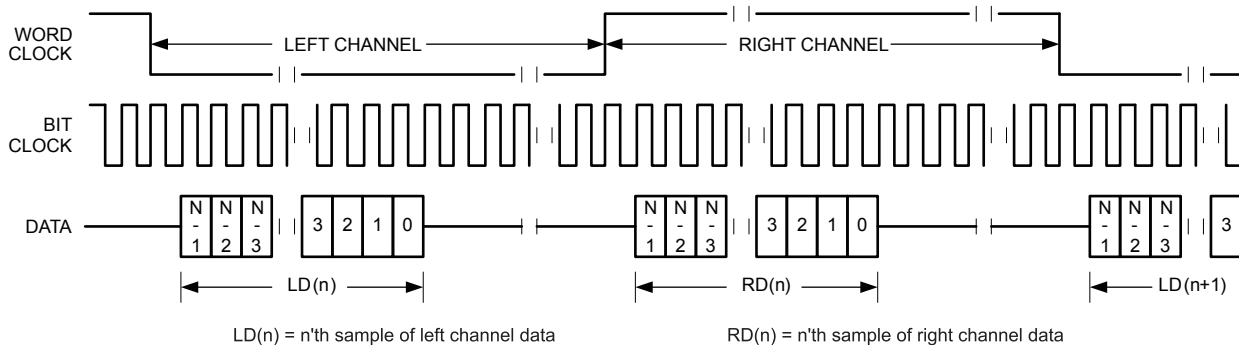


図5-67. I²Sモードのタイミング図 (オフセット = 0、ビット・クロック反転)

I²Sモードでは、チャンネルあたりのビット・クロック数が、プログラミングされたデータのワード長以上である必要があります。また、オフセット値は、“フレームあたりのビット・クロック数”と“プログラミングされたデータのワード長”の差よりも小さい必要があります。

図5-68に、I²Sモードでのモノラル・オーディオADCのタイミング図を示します。

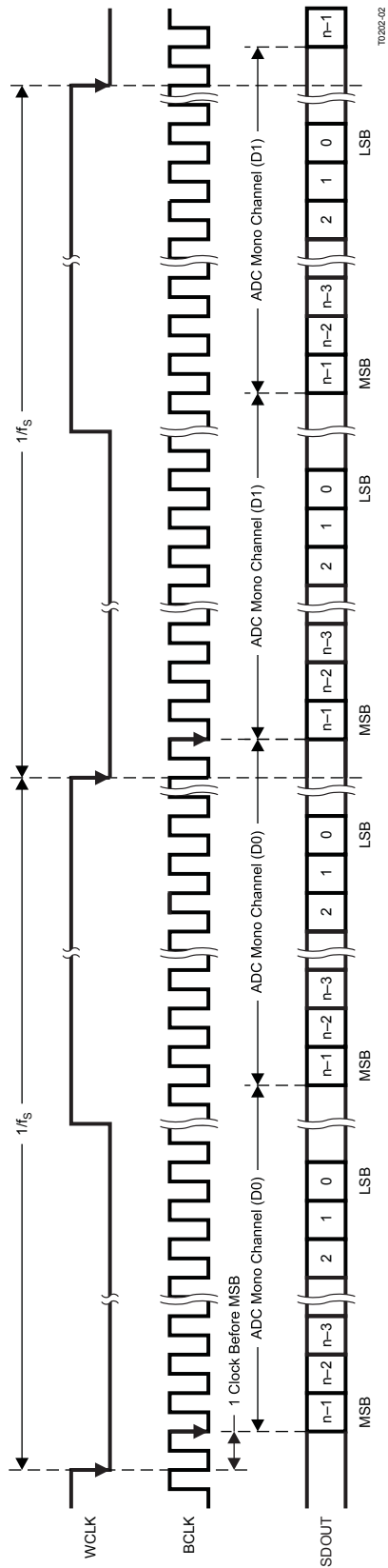


図5-68. I²Sモードのタイミング図 (モノラル・オーディオADC)

5.9.1.4 DSPモード

TSC2117のオーディオインターフェイスは、ページ0/レジスタ27、D(7:6) = 01にプログラミングすることにより、DSPモードに設定できます。DSPモードでは、ワード・クロックの立ち下がりエッジでデータ転送が開始され、最初に左チャンネルのデータ、その後すぐに右チャンネルのデータが転送されます。各データ・ビットは、ビット・クロックの立ち下がりエッジで有効になります。

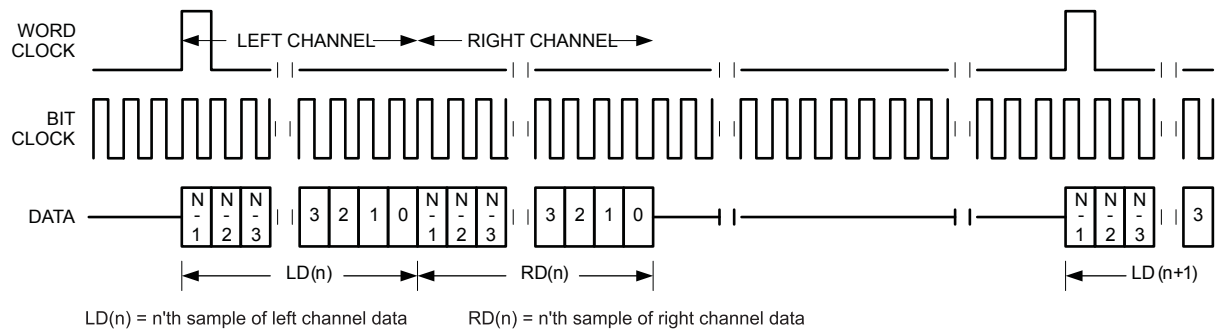


図5-69. DSPモードのタイミング図

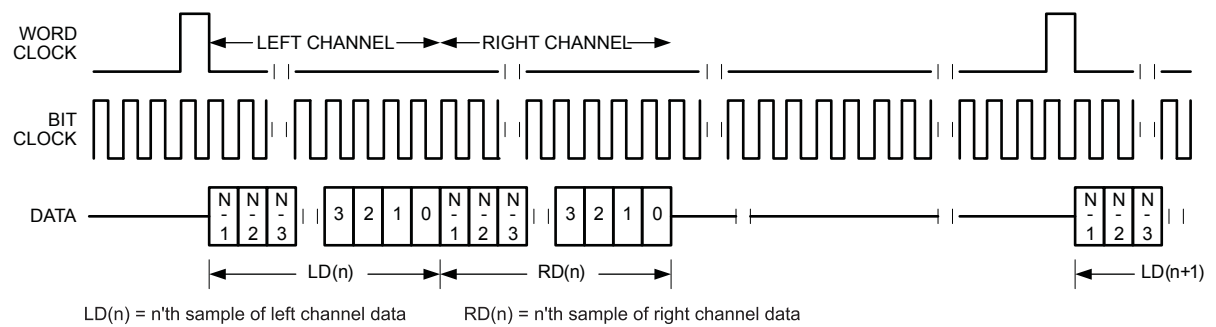


図5-70. DSPモードのタイミング図 (オフセット = 1)

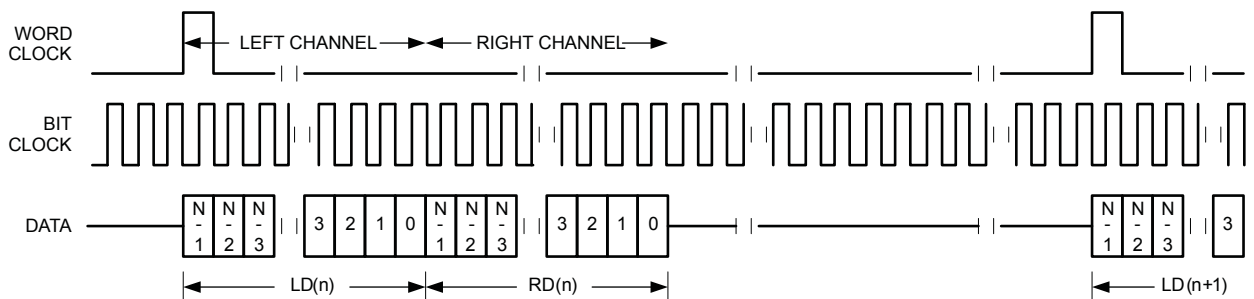


図5-71. DSPモードのタイミング図 (オフセット = 0、ビット・クロック反転)

DSPモードでは、フレームあたりのビット・クロック数が、プログラミングされたデータのワード長の2倍以上である必要があります。また、オフセット値は、“フレームあたりのビット・クロック数”と“プログラミングされたデータのワード長”の差よりも小さい必要があります。

5.9.2 プライマリおよびセカンダリ・デジタル・オーディオ・インターフェイスの選択

TSC2117のオーディオ・シリアル・インターフェイスでは、幅広いIO制御によって、2つの独立したプロセッサとオーディオ・データを送受信できます。ただし、デバイスと通信できるプロセッサは一度に1つです。この機能は、各種のピン選択をレジスタでプログラミングすることによって使用可能です。表5-44に、プライマリおよびセカンダリ・オーディオ・インターフェイスの選択とレジスタを示します。表5-45には、ADC_WCLKを生成するための選択基準を示します。図5-72は、プライマリおよびセカンダリ・オーディオ・インターフェイスに対する一般的な信号フローと多重化の概要を示しています。詳細については、各表およびレジスタ定義を参照してください。

表5-44. プライマリおよびセカンダリ・オーディオ・インターフェイスの選択

目的のピン機能	使用可能なピン	ページ0レジスタ	説明
プライマリWCLK (出力)	WCLK	R27/D2 = 1	プライマリWCLKをコーデックから出力
		R33/D5-D4	プライマリWCLKのソースを選択 (DAC_fs、ADC_fs、またはセカンダリWCLK)
プライマリWCLK(入力)	WCLK	R27/D2 = 0	プライマリWCLKをコーデックに入力
プライマリBCLK (出力)	BCLK	R27/D3 = 1	プライマリBCLKをコーデックから出力
		R33/D7	プライマリWCLKのソースを選択 (内部BCLKまたはセカンダリBCLK)
プライマリBCLK(入力)	BCLK	R27/D3 = 0	プライマリBCLKをコーデックに入力
プライマリSDIN(入力)	SDIN	R32/D0	内部インターフェイスへのSDINを選択 (0 = プライマリSDIN、1 = セカンダリSDIN)
プライマリSDOUT (出力)	SDOUT	R53/D3-D1 = 001	SDOUT = コデック・インターフェイスのプライマリSDOUT
		R33/D1	SDOUTのソースを選択 (0 = インターフェイス・ブロックからのSDOUT、1 = セカンダリSDIN)
セカンダリWCLK (出力)	GPIO1	R31/D4-D2 = 000	セカンダリWCLKをGPIO1ピンから取得
		R51/D5-D2 = 1001	GPIO1 = セカンダリWCLK出力
		R33/D3-D2	セカンダリWCLKのソースを選択 (DAC_fs、ADC_fs、またはプライマリWCLK)
	MISO	R31/D4-D2 = 010	セカンダリWCLKをMISOピンから取得
		R55/D4-D1 = 1010	MISO = セカンダリWCLK出力
		R33/D3-D2	セカンダリWCLKのソースを選択 (DAC_fs、ADC_fs、またはプライマリWCLK)
	SDOUT	R31/D4-D2 = 011	セカンダリWCLKをSDOUTピンから取得
		R53/D3-D1 = 111	SDOUT = セカンダリWCLK出力
		R33/D3-D2	セカンダリWCLKのソースを選択 (DAC_fs、ADC_fs、またはプライマリWCLK)
	GPIO2	R31/D4-D2 = 100	セカンダリWCLKをGPIO2ピンから取得
		R52/D5-D2 = 1001	GPIO2 = セカンダリWCLK出力
		R33/D3-D2	セカンダリWCLKのソースを選択 (DAC_fs、ADC_fs、またはプライマリWCLK)
セカンダリWCLK (入力)	GPIO1	R31/D4-D2 = 000	セカンダリWCLKをGPIO1ピンから取得
		R51/D5-D2 = 0001	GPIO1をセカンダリ入力としてイネーブル
	SCLK	R31/D4-D2 = 001	セカンダリWCLKをSCLKピンから取得
		R56/D2-D1 = 11	SCLKをセカンダリ入力としてイネーブル
	GPIO2	R31/D4-D2 = 100	セカンダリWCLKをGPIO2ピンから取得
		R52/D5-D2 = 0001	GPIO2をセカンダリ入力としてイネーブル
	GPI1	R31/D4-D2 = 101	セカンダリWCLKをGPI1ピンから取得
		R57/D6-D5 = 01	GPI1をセカンダリ入力としてイネーブル
	GPI2	R31/D4-D2 = 110	セカンダリWCLKをGPI2ピンから取得
		R57/D2-D1 = 01	GPI2をセカンダリ入力としてイネーブル
	GPI3	R31/D4-D2 = 111	セカンダリWCLKをGPI3ピンから取得
		R58/D6-D5 = 01	GPI3をセカンダリ入力としてイネーブル

表5-44. プライマリおよびセカンダリ・オーディオ・インターフェイスの選択 (続き)

目的のピン機能	使用可能なピン	ページ0レジスタ	説明
セカンダリBCLK (出力)	GPIO1	R31/D7-D5 = 000	セカンダリBCLKをGPIO1ピンから取得
		R51/D5-D2 = 1000	GPIO1 = セカンダリBCLK出力
		R33/D6	セカンダリBCLKのソースを選択 (プライマリBCLKまたは内部BCLK)
	MISO	R31/D7-D5 = 010	セカンダリBCLKをMISOピンから取得
		R55/D4-D1 = 1001	MISO = セカンダリBCLK出力
		R33/D6	セカンダリBCLKのソースを選択 (0 = プライマリBCLK、1 = 内部BCLK)
	SDOUT	R31/D7-D5 = 011	セカンダリBCLKをSDOUTピンから取得
		R53/D3-D1 = 110	SDOUT = セカンダリBCLK出力
		R33/D6	セカンダリBCLKのソースを選択 (プライマリBCLKまたは内部BCLK)
	GPIO2	R31/D7-D5 = 100	セカンダリBCLKをGPIO2ピンから取得
		R52/D5-D2 = 1000	GPIO2 = セカンダリBCLK出力
		R33/D6	セカンダリBCLKのソースを選択 (プライマリBCLKまたは内部BCLK)
セカンダリBCLK (入力)	GPIO1	R31/D7-D5 = 000	セカンダリBCLKをGPIO1ピンから取得
		R51/D5-D2 = 0001	GPIO1をセカンダリ入力としてイネーブル
	SCLK	R31/D7-D5 = 001	セカンダリBCLKをSCLKピンから取得
		R56/D2-D1 = 11	SCLKをセカンダリ入力としてイネーブル
	GPIO2	R31/D7-D5 = 100	セカンダリBCLKをGPIO2ピンから取得
		R52/D5-D2 = 0001	GPIO2をセカンダリ入力としてイネーブル
	GPI1	R31/D7-D5 = 101	セカンダリBCLKをGPI1ピンから取得
		R57/D6-D5 = 01	GPI1をセカンダリ入力としてイネーブル
	GPI2	R31/D7-D5 = 110	セカンダリBCLKをGPI2ピンから取得
		R57/D2-D1 = 01	GPI2をセカンダリ入力としてイネーブル
	GPI3	R31/D7-D5 = 111	セカンダリBCLKをGPI3ピンから取得
		R58/D6-D5 = 01	GPI3をセカンダリ入力としてイネーブル
セカンダリSDIN (入力)	GPIO1	R31/D1-D0 = 00	セカンダリSDINをGPIO1ピンから取得
		R51/D5-D2 = 0001	GPIO1をセカンダリ入力としてイネーブル
	SCLK	R31/D1-D0 = 01	セカンダリSDINをSCLKピンから取得
		R56/D2-D1 = 11	SCLKをセカンダリ入力としてイネーブル
	GPIO2	R31/D1-D0 = 10	セカンダリSDINをGPIO2ピンから取得
		R52/D5-D2 = 0001	GPIO2をセカンダリ入力としてイネーブル
	GPI1	R31/D1-D0 = 11	セカンダリSDINをGPI1ピンから取得
		R57/D6-D5 = 01	GPI1をセカンダリ入力としてイネーブル
セカンダリSDOUT (出力)	GPIO1	R51/D5-D2 = 1011	GPIO1 = セカンダリSDOUT
		R33/D0	セカンダリSDOUTのソースを選択 (0 = プライマリSDIN、1 = インターフェイス・ブロックからのSDOUT)
	GPIO2	R52/D5-D2 = 1011	GPIO2 = セカンダリSDOUT
		R33/D0	セカンダリSDOUTのソースを選択 (0 = プライマリSDIN、1 = インターフェイス・ブロックからのSDOUT)
	MISO	R55/D4-D1 = 1000	MISO = セカンダリSDOUT
		R33/D0	セカンダリSDOUTのソースを選択 (0 = プライマリSDIN、1 = インターフェイス・ブロックからのSDOUT)

表5-45. ADC_WCLKの生成

ADC_WCLKの方向	使用可能なピン	ページ0レジスタ	説明
出力	GPIO1	R32/D7-D5 = 000	ADC_WCLKをGPIO1ピンから取得
		R51/D5-D2 = 0111	GPIO1 = ADC_WCLK
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	MISO	R32/D7-D5 = 010	ADC_WCLKをMISOピンから取得
		R55/D4-D1 = 0110	MISO = ADC_WCLK
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	GPIO2	R32/D7-D5 = 100	ADC_WCLKをGPIO2ピンから取得
		R52/D5-D2 = 0111	GPIO2 = ADC_WCLK
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
入力	GPIO1	R32/D7-D5 = 000	ADC_WCLKをGPIO1ピンから取得
		R51/D5-D2 = 0001	GPIO1をセカンダリ入力としてイネーブル
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	SCLK	R32/D7-D5 = 001	ADC_WCLKをSCLKピンから取得
		R56/D2-D1 = 11	SCLKをセカンダリ入力としてイネーブル
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	GPIO2	R32/D7-D5 = 100	ADC_WCLKをGPIO2ピンから取得
		R52/D5-D2 = 0001	GPIO2をセカンダリ入力としてイネーブル
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	GPI1	R32/D7-D5 = 101	ADC_WCLKをGPI1ピンから取得
		R57/D6-D5 = 01	GPI1をセカンダリ入力としてイネーブル
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	GPI2	R32/D7-D5 = 110	ADC_WCLKをGPI2ピンから取得
		R57/D2-D1 = 01	GPI2をセカンダリ入力としてイネーブル
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)
	GPI3	R32/D7-D5 = 111	ADC_WCLKをGPI3ピンから取得
		R58/D6-D5 = 01	GPI3をセカンダリ入力としてイネーブル
		R32/D1	内部ADC_WCLKのソースを選択 (0 = DAC_WCLK、1 = ADC_WCLK)

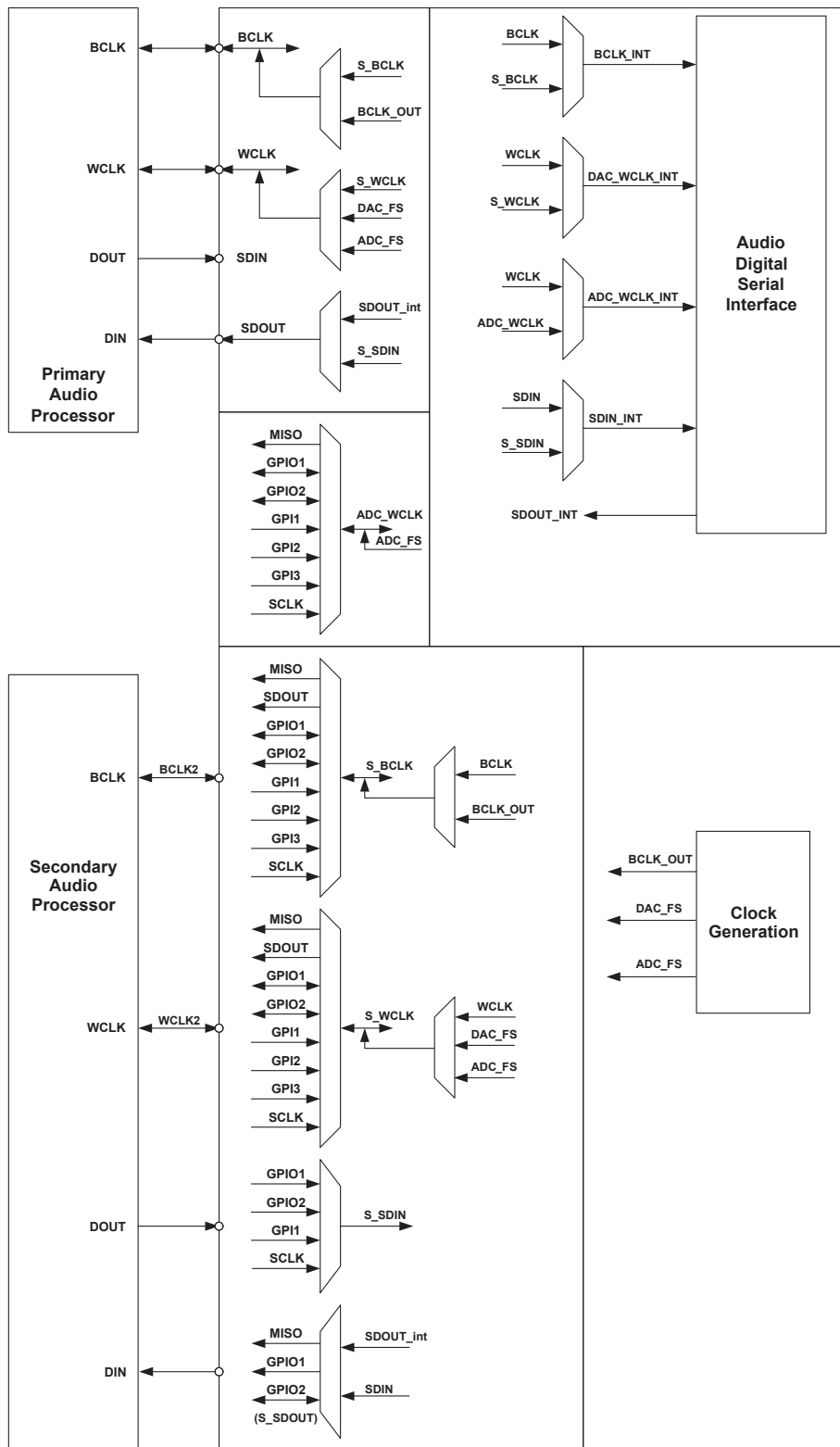


図5-72. オーディオ・シリアル・インターフェースの多重化

5.9.3 制御インターフェイス

TSC2117の制御インターフェイスは、SPIおよびI²C通信プロトコルをサポートします。これらは両方同時に使用可能ですが、一度に一方だけをアクティブにすることを推奨します。

5.9.3.1 I²C制御モード

TSC2117はI²C制御プロトコルをサポートし、I²Cアドレス0011000に対して応答します。I²Cは、2線式のオープン・ドレイン・インターフェイスであり、1つのバス上で複数のデバイスおよび複数のマスタをサポートします。I²Cバス上のデバイスは、バス・ラインをグラウンドに接続することで“Low”にのみ駆動できます。バス・ラインを“High”に駆動することはありません。バス・ラインはプルアップ抵抗によって“High”にプルアップされているため、“Low”に駆動するデバイスが存在しなければ、常に“High”になっています。そのため、2つのデバイスが競合することはありません。2つのデバイスがバスを同時に駆動した場合でも、ドライバ競合は発生しません。

I²Cバス上の通信は常に2つのデバイス間で行われ、一方がマスタ、他方がスレーブとして動作します。マスタとスレーブの両方が読み取りと書き込みを実行できますが、スレーブはマスタの指示の下にのみ行えます。一部のI²Cデバイスはマスタかスレーブのいずれかとして動作できますが、TSC2117はスレーブ・デバイスとしてのみ動作できます。

I²Cバスは、SDAとSCLの2つのラインから構成されます。SDAはデータを伝送し、SCL信号はクロックを供給します。すべてのデータは、I²Cバス上で8ビットのグループとして送信されます。I²Cバス上でビットを送信するには、SCLが“Low”のときにSDAラインを適切なレベルに駆動します（SDAが“Low”のときはビットが0、“High”のときは1を示します）。

SDAラインが安定してから、SCLラインを“High”、次に“Low”に駆動します。このSCLラインのパルスにより、SDAビットが受信側のシフト・レジスタにクロック・インされます。

I²Cバスは双方向に機能します。SDAラインは、データの送信と受信の両方に使用されます。マスタがスレーブから読み取る際には、スレーブがデータ・ラインを駆動します。マスタがスレーブに送信する際には、マスタがデータ・ラインを駆動します。

ほとんどの時間は、バスはアイドル状態により通信は行われてなく、両方のラインが“High”になっています。通信の実行中は、バスがアクティブになります。マスタ・デバイスだけがバス上で通信を開始できます。通常、データ・ラインの状態を変更できるのは、クロック・ラインが“Low”の間だけです。クロック・ラインが“High”の間にデータ・ラインの状態が変化した場合、それはスタート条件またはストップ条件を示します。スタート条件は、クロック・ラインが“High”でデータ・ラインが“High”から“Low”に変化した場合です。ストップ条件は、クロック・ラインが“High”でデータ・ラインが“Low”から“High”に変化した場合です。

マスタは、スタート条件を発行した後、通信するスレーブ・デバイスを選択するバイトを送信します。このバイトは、アドレス・バイトと呼ばれます。I²Cバス上の各デバイスには、応答の対象となる固有の7ビット・アドレスがあります。（スレーブは10ビットのアドレスを持つ場合もあります。詳細については、I²Cの仕様を参照してください。）マスタは、アドレス・バイトでアドレスを送信するとともに、スレーブ・デバイスから読み取るのか書き込むのかを示すビットを送信します。

I²Cバス上で送信されるすべてのバイトは、アドレスかデータかに関わらず、確認応答ビットによって確認されます。マスタは、スレーブに対してバイト（8個のデータ・ビット）の送信を完了すると、SDAの駆動を停止し、そのバイトに対するスレーブからの確認応答を待ちます。スレーブは、SDAを“Low”にすることでバイトの確認応答を行います。次にマスタは、確認応答ビットのためのクロック・パルスを送信します。同様に、マスタがバイトの読み取りを完了すると、マスタはSDAを“Low”にしてスレーブに確認応答を返します。そして、このビットのためのクロック・パルスを送信します。（クロック・ラインは常にマスタが駆動することに注意してください。）

否定応答は、単に確認応答サイクル中にSDAを“High”のままにすることで行えます。バス上に存在しないデバイスに対して、マスタがアドレスを指定した場合、ラインを“Low”にプルダウンするそのアドレスのデバイスが存在しないため、否定応答が受信されます。

スレーブとの通信を完了した後、マスタはストップ条件を発行できます。ストップ条件が発行されると、バスは再びアイドルになります。マスタは、新たなスタート条件を発行することもできます。バスがアクティブな間にスタート条件が発行された場合は、繰り返しスタート条件と呼ばれます。

TSC2117は、ジェネラル・コールに対して応答および確認応答を行うこともできます。ジェネラル・コールは、マスタがスレーブ・アドレス・バイト00Hでコマンドを発行することによって行われます。この機能はデフォルトでディスエーブルですが、ページ0/レジスタ34のビットD5によってイネーブルにできます。

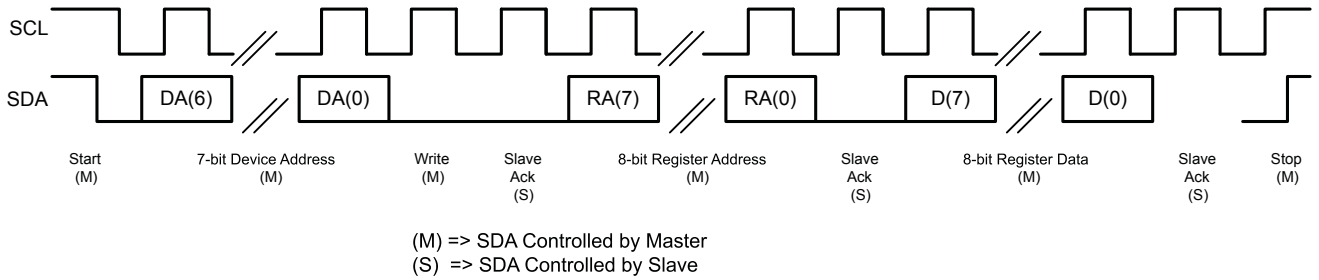


図5-73. I²C書き込み

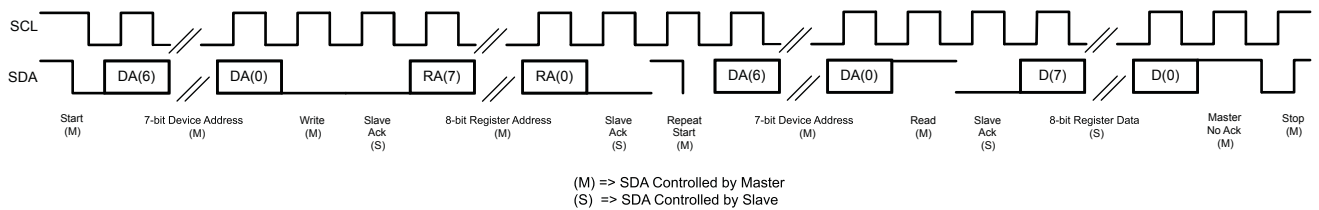


図5-74. I²C読み取り

I²Cレジスタ書き込みのときに、マスタがストップ条件を発行しないと、デバイスは自動インクリメント・モードに入ります。この場合、次の8回のクロックの間、SDA上のデータは次のアドレスのレジスタに対するデータとして扱われます。

同様に、I²Cレジスタの読み取り時に、デバイスが指定アドレスのレジスタから8ビット・データを送信した後で、マスタが確認応答を発行した場合、スレーブはSDAバスの制御を受け取り、次の8回のクロックの間、次のアドレスのレジスタからデータを送信します。

5.9.3.2 SPIデジタル・インターフェイス

SPI制御モードでは、TSC2117はSCLK、 \overline{SS} 、MISO、MOSIの各ピンを、クロック極性設定 = 0 (標準的なマイクロプロセッサのSPI制御ビットCPOL = 0) で標準SPIポートとして使用します。SPIポートでは、ホスト・プロセッサ (マスタ) と周辺デバイス (スレーブ) との間で全二重の同期シリアル通信が可能です。SPIマスタ (この場合はホスト・プロセッサ) は、(SCLK上に) 同期クロックを生成して送信を開始します。SPIスレーブ・デバイス (TSC2117など) は、送信の開始と同期をマスタに委ねます。送信は、SPIマスタによって開始されます。SPIマスタからのバイトは、スレーブのMOSIピン上で、(SCLK上の) マスタ・シリアル・クロックの制御によってシフト・インされます。MOSIピン上でデータがシフト・インされるときに、MISOピン上でマスタのシフト・レジスタにバイトがシフト・アウトされます。

TSC2117のインターフェイスは、クロック位相ビットの設定が1 (標準的なマイクロプロセッサのSPI制御ビットCPHA = 1) のときにマスタがMOSIピンの駆動を開始し、スレーブがシリアル・クロックの最初のエッジでMISOピンの駆動を開始するように設計されています。送信と送信の間で \overline{SS} ピンは“Low”に保持してもかまいませんが、TSC2117は、 \overline{SS} の立ち下がりエッジ後に送信された最初の8ビットのみをコマンド・バイトとして解釈し、レジスタへの書き込みの場合のみ、次の8ビットをデータ・バイトとして解釈します。予約されているレジスタ・ビットは、それぞれのデフォルト値を書き込む必要があります。TSC2117は、完全にレジスタによって制御されます。これらのレジスタの読み取りおよび書き込みは、そのレジスタへのデータに先立ってMOSIピンに送信される8ビット・コマンドによって行われます。コマンドは、表5.9.3.3のように構成されます。最初の7ビットは、書き込みまたは読み取り先のレジスタ・アドレス0 ~ 127 (10進) を指定します。コマンド・ワードはR/Wビットで終了し、このビットはシリアル・バス上でデータの流れる方向を指定します。レジスタ書き込みの場合、R/Wビットは0に設定する必要があります。データの2番目のバイトはMOSIピンに送信され、これにはレジスタに書き込むデータが含まれます。レジスタの読み取りも同様な形で実行されます。8ビットのコマンド・ワードによって7ビットのレジスタ・アドレスが送信され、続いてR/Wビット = 1によってレジスタ読み取りを示します。次に、フレーム内の2番目の8 SCLKクロックの間、MISOピンから8ビット・レジスタ・データがクロック・アウトされます。

表5.9.3.3.

コマンド・ワード

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
ADDR(6)	ADDR(5)	ADDR(4)	ADDR(3)	ADDR(2)	ADDR(1)	ADDR(0)	R/W

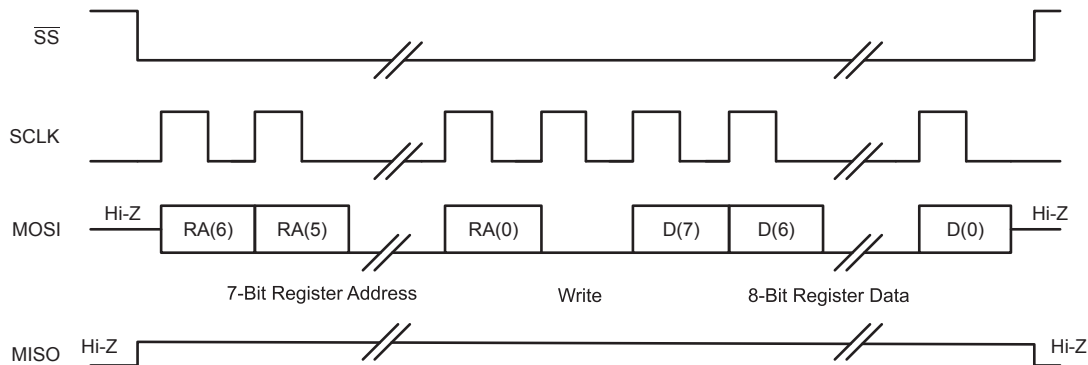


図5-75. レジスタ書き込みのSPIタイミング図

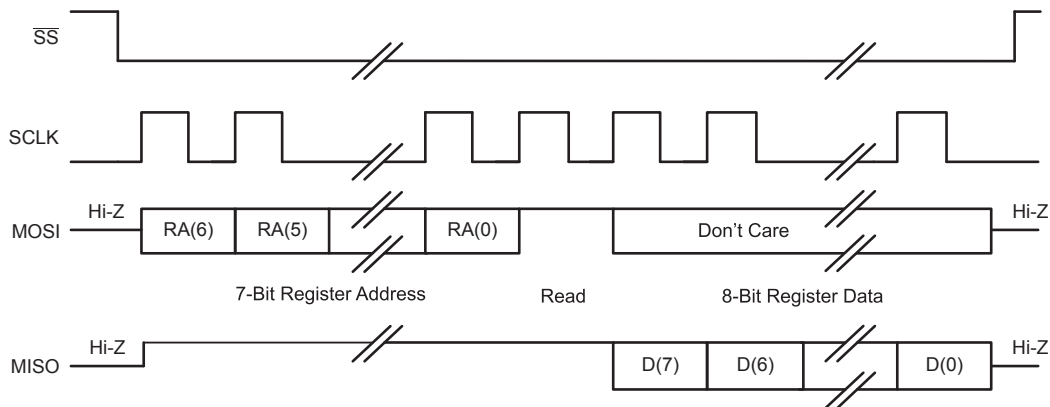


図5-76. レジスタ読み取りのSPIタイミング図

レジスタ・マップに示されるレジスタ・ページのすべての制御レジスタに対して、レジスタ読み取り/書き込みがサポートされます。

レジスタ読み取り/書き込みの自動インクリメントは、1つのページ内のすべてのレジスタに対してサポートされます。ページ境界の終わり（レジスタ127）で、自動インクリメントは停止します。したがって、それ以上書き込みを続けるとレジスタ127が上書きされ、読み取りを続けるとレジスタ127が繰り返し読み出されます。

バッファ・レジスタは特別なケースであり、自動インクリメント機能により、ページ252のレジスタ1および2を使用して、すべてのバッファ・データを読み取ることができます。したがって、バッファがすべて読み出されるまで、レジスタ1、レジスタ2、レジスタ1、レジスタ2、レジスタ1、レジスタ2、レジスタ1、レジスタ2、... の順に読み取られます。

6 レジスタ・マップ

6.1. TSC2117のレジスタ・マップ

このデバイスのすべての機能は、I²CバスまたはSPIバスを使用して制御できます。ただし、I²CバスとSPIバスを同時に使用してレジスタ値を更新することは推奨しません。書き込み可能なレジスタは、すべて読み出しが可能です。ステータス情報またはデータが含まれる一部のレジスタは、読み取り専用です。

TSC2117には、それぞれ最大128個の8ビット・レジスタを含むことができるページが複数用意されています。これらのレジスタ・ページは、デバイスの機能ブロックに基づいて分割されています。TSC2117で定義されているページは、0、1、3、4～5（ADC係数ページ）、8～15（DAC係数ページ）、32～43（ADC IRAMページ）、64～95（DAC IRAMページ）、および252（SARバッファ・データ・ページ）です。ページ0は、リセット後のデフォルト・ホーム・ページです。ページ制御は、現在のページのレジスタ0に新しいページ値を書き込むことによって行います。

TSC2117の制御レジスタについては、以降で詳しく説明します。すべてのレジスタは8ビット幅であり、D7が各レジスタの最上位ビット、D0が最下位ビットを示します。

ページ0、1、3、4～5、8～15、32～43、64～95、および252が使用できます。他のページはすべて予約済みです。予約済みのページおよびレジスタに対しては、読み取りや書き込みを実行しないでください。また、予約済みでないレジスタの予約済みビットおよび読み取り専用ビットに対しては、リセット値以外を書き込まないでください。書き込むと、デバイスの機能にエラーが発生する場合があります。

表6-1. レジスタ・マップの概要

ページ番号	説明
0	ページ0は、パワーアップ時のデフォルト・ページです。シリアル・インターフェイス、デジタルI/O、クロック、ADC、DACのminiDSPなどの設定。
1	アナログPGA、ADC、DAC、出力ドライバ、音量制御などの設定
3	12ビットSARコンバータ設定およびタッチ・スクリーン設定
4-5	ADCのAGCおよびフィルタ係数
8-15	DACのフィルタおよびDRC係数
32-43	ADCの命令RAM位置
64-95	DACの命令RAM位置
252	SAR ADCバッファ・モードの読み取りデータ

6.2 制御レジスタ、ページ0（デフォルト・ページ）：クロック乗算値、分周値、シリアル・インターフェイス、フラグ、割り込み、およびGPIO

ページ0/レジスタ0：ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

ページ0/レジスタ1：ソフトウェア・リセット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D1	R/W	0000 000	Reserved。これらのビットには、0のみを書き込んでください。
D0	R/W	0	0: Don't care 1: 制御レジスタのソフトウェア・リセット（自動的にクリア）

ページ0/レジスタ2 : Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	XXXXXXXX	Reserved。このレジスタには書き込まないください。

ページ0/レジスタ3 : OTフラグ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D2	R	XXXX	Reserved。これらのビットには書き込まないください。
D1	R	1	0: 過熱保護フラグ (アクティブ・ロー)。スピーカー・アンプがパワーアップされている場合のみ有効。 1: 通常動作
D0	R/W	XX	Reserved。これらのビットには書き込まないください。

ページ0/レジスタ4 : クロック生成MUX⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	0000	Reserved。これらのビットには、0のみを書き込んでください。
D3-D2	R/W	00	00: PLL_CLKIN = MCLK (デバイス・ピン) 01: PLL_CLKIN = BCLK (デバイス・ピン) 10: PLL_CLKIN = GPIO1 (デバイス・ピン) 11: PLL_CLKIN = SDIN (DACを使用しないシステムで使用可能)
D1-D0	R/W	00	00: CODEC_CLKIN = MCLK (デバイス・ピン) 01: CODEC_CLKIN = BCLK (デバイス・ピン) 10: CODEC_CLKIN = GPIO1 (デバイス・ピン) 11: CODEC_CLKIN = PLL_CLK (内部で生成)

(1) クロック生成MUXおよび分周の詳細については、5.8節を参照してください。

ページ0/レジスタ5 : PLLのPおよびR値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: PLLはパワーダウン。 1: PLLはパワーアップ。
D6-D4	R/W	001	000: PLL 分周値 P = 8 001: PLL 分周値 P = 1 010: PLL 分周値 P = 2 ... 110: PLL 分周値 P = 6 111: PLL 分周値 P = 7
D3-D0	R/W	0001	0000: PLL 乗算値 R = 16 0001: PLL 乗算値 R = 1 0010: PLL 乗算値 R = 2 ... 1110: PLL 乗算値 R = 14 1111: PLL 乗算値 R = 15

ページ0/レジスタ6 : PLLのJ値

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	Reserved。これらのビットには、0のみを書き込んでください。
D5-D0	R/W	00 0100	00 0000: 設定禁止 (Reserved) 00 0001: PLL 乗算値 J = 1 00 0010: PLL 乗算値 J = 2 ... 11 1110: PLL 乗算値 J = 62 11 1111: PLL 乗算値 J = 63

ページ0/レジスタ7：PLLのD値上位ビット⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	Reserved。これらのビットには、0のみを書き込んでください。
D5-D0	R/W	00 0000	PLLの分数乗算値Dの上位ビットD[13:8]

(1) このレジスタは、ページ0/レジスタ7の直後にページ0/レジスタ8が書き込まれた場合のみ更新されます。

ページ0/レジスタ8：PLLのD値下位ビット⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
			ページ0/レジスタ9-10：Reserved
D7-D0	R/W	0000 0000	PLLの分数乗算値Dの下位ビットD[7:0]

(1) ページ0/レジスタ8は、ページ0/レジスタ7の直後に書き込む必要があります。

ページ0/レジスタ9-10：Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ11：DACのNDAC値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: DACのNDAC分周回路はパワーダウン。 1: DACのNDAC分周回路はパワーアップ。
D6-D0	R/W	000 0001	000 0000: DAC NDAC 分周値 = 128 000 0001: DAC NDAC 分周値 = 1 000 0010: DAC NDAC 分周値 = 2 ... 111 1110: DAC NDAC 分周値 = 126 111 1111: DAC NDAC 分周値 = 127

ページ0/レジスタ12：DACのMDAC値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: DACのMDAC分周回路はパワーダウン。 1: DACのMDAC分周回路はパワーアップ。
D6-D0	R/W	000 0001	000 0000: DAC MDAC 分周値 = 128 000 0001: DAC MDAC 分周値 = 1 000 0010: DAC MDAC 分周値 = 2 ... 111 1110: DAC MDAC 分周値 = 126 111 1111: DAC MDAC 分周値 = 127

ページ0/レジスタ13：DACのDOSR値上位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D2	R/W	0000 00	Reserved
D1-D0	R/W	00	DACのOSR値DOSR(9:8)

ページ0/レジスタ14 : DACのDOSR値下位ビット⁽¹⁾⁽²⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1000 0000	DACのOSR値DOSR(7:0) 0000 0000: DAC OSR(7:0) = 1024 (上位ビット: ページ0/レジスタ13、ビットD1-D0 = 00) 0000 0001: DAC OSR(7:0) = 1 (上位ビット: ページ0/レジスタ13、ビットD1-D0 = 00) 0000 0010: DAC OSR(7:0) = 2 (上位ビット: ページ0/レジスタ13、ビットD1-D0 = 00) ... 1111 1110: DAC OSR(7:0) = 1022 (上位ビット: ページ0/レジスタ13、ビットD1-D0 = 11) 1111 1111: DAC OSR(7:0) = 1023 (上位ビット: ページ0/レジスタ13、ビットD1-D0 = 11)

(1) DACのOSRは、DACのminiDSPエンジンの補間比（レジスタ16で指定）の整数倍である必要があります。

(2) ページ0/レジスタ14は、ページ0/レジスタ13に書き込んだ直後に書き込む必要があります。

ページ0/レジスタ15 : DACのIDAC値⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1000 0000	0000 0000: DACのminiDSPエンジンに対する命令番号、IDAC = 1024 0000 0001: DACのminiDSPエンジンに対する命令番号、IDAC = 4 0000 0010: DACのminiDSPエンジンに対する命令番号、IDAC = 8 ... 1111 1101: DACのminiDSPエンジンに対する命令番号、IDAC = 1012 1111 1110: DACのminiDSPエンジンに対する命令番号、IDAC = 1016 1111 1111: DACのminiDSPエンジンに対する命令番号、IDAC = 1020

(1) IDACは、DACのminiDSPエンジンの補間比（レジスタ16で指定）の整数倍である必要があります。

ページ0/レジスタ16 : DACのminiDSPエンジンの補間比

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	0000	Reserved。これらのレジスタには書き込まないください。
D3-D0	R/W	1000	0000: DACのminiDSPエンジンの補間比 = 16 0001: DACのminiDSPエンジンの補間比 = 1 0010: DACのminiDSPエンジンの補間比 = 2 ... 1101: DACのminiDSPエンジンの補間比 = 13 1110: DACのminiDSPエンジンの補間比 = 14 1111: DACのminiDSPエンジンの補間比 = 15

ページ0/レジスタ17 : 予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。このレジスタには書き込まないください。

ページ0/レジスタ18 : ADCのNADC値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: ADCのNADC分周回路はパワーダウン、およびADC_DSP_CLK = DAC_DSP_CLK。 1: ADCのNADC分周回路はパワーアップ。
D6-D0	R/W	000 0001	000 0000: ADCのNADC分周値 = 128 000 0001: ADCのNADC分周値 = 1 000 0010: ADCのNADC分周値 = 2 ... 111 1110: ADCのNADC分周値 = 126 111 1111: ADCのNADC分周値 = 127

ページ0/レジスタ19 : ADCのMADC値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: ADCのMADC分周回路はパワーダウン、およびADC_MOD_CLK = DAC_MOD_CLK。 1: ADCのMADC分周回路はパワーアップ。
D6-D0	R/W	000 0001	000 0000: ADCのMADC分周値 = 128 000 0001: ADCのMADC分周値 = 1 000 0010: ADCのMADC分周値 = 2 ... 111 1110: ADCのMADC分周値 = 126 111 1111: ADCのMADC分周値 = 127

ページ0/レジスタ20 : ADCのAOSR値⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1000 0000	0000 0000: ADCのOSR分周値AOSR = 256 0000 0001: ADCのOSR分周値AOSR = 1 0000 0010: ADCのOSR分周値AOSR = 2 ... 1111 1110: ADCのOSR分周値AOSR = 254 1111 1111: ADCのOSR分周値AOSR = 255

(1) ADCのOSRは、ADCのminiDSPエンジンのデシメーション比（レジスタ22で指定）の整数倍である必要があります。

ページ0/レジスタ21 : ADCのIADC値⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1000 0000	0000 0000: Reserved 0000 0001: ADCのminiDSPエンジンに対する命令番号、IADC = 2 0000 0010: ADCのminiDSPエンジンに対する命令番号、IADC = 4 ... 1011 1111: ADCのminiDSPエンジンに対する命令番号、IADC = 382 1100 0000: ADCのminiDSPエンジンに対する命令番号、IADC = 384 1100 0001-1111 1111: Reserved

(1) IADCは、ADCのminiDSPエンジンのデシメーション比（レジスタ22で指定）の整数倍である必要があります。

ページ0/レジスタ22 : ADCのminiDSPエンジンのデシメーション比

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	0000	Reserved
D3-D0	R/W	0100	0000: ADCのminiDSPエンジンのデシメーション比 = 16 0001: ADCのminiDSPエンジンのデシメーション比 = 1 0010: ADCのminiDSPエンジンのデシメーション比 = 2 ... 1101: ADCのminiDSPエンジンのデシメーション比 = 13 1110: ADCのminiDSPエンジンのデシメーション比 = 14 1111: ADCのminiDSPエンジンのデシメーション比 = 15

ページ0/レジスタ23-24 : Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのレジスタには書き込まないください。

ページ0/レジスタ25 : CLKOUT MUX

ビット	読み取り/ 書き込み	リセット値	説明
D7-D3	R/W	0000 0	Reserved
D2-D0	R/W	000	000: CDIV_CLKIN = MCLK (デバイス・ピン) 001: CDIV_CLKIN = BCLK (デバイス・ピン) 010: CDIV_CLKIN = SDIN (DACの不要なシステムで使用可能) 011: CDIV_CLKIN = PLL_CLK (内部で生成) 100: CDIV_CLKIN = DAC_CLK (DACのDSPクロック、内部で生成) 101: CDIV_CLKIN = DAC_MOD_CLK (内部で生成) 110: CDIV_CLKIN = ADC_CLK (ADCのDSPクロック、内部で生成) 111: CDIV_CLKIN = ADC_MOD_CLK (内部で生成)

ページ0/レジスタ26 : CLKOUTのM値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: CLKOUTのM分周回路はパワーダウン。 1: CLKOUTのM分周回路はパワーアップ。
D6-D0	R/W	000 0001	000 0000: CLKOUT 分周値 M = 128 000 0001: CLKOUT 分周値 M = 1 000 0010: CLKOUT 分周値 M = 2 ... 111 1110: CLKOUT 分周値 M = 126 111 1111: CLKOUT 分周値 M = 127

ページ0/レジスタ27 : コーデック・インターフェイス制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	00: コーデック・インターフェイス = I ² S 01: コーデック・インターフェイス = DSP 10: コーデック・インターフェイス = RJF 11: コーデック・インターフェイス = LJF
D5-D4	R/W	00	00: -デック・インターフェイスのワード長 = 16 ビット 01: -デック・インターフェイスのワード長 = 20 ビット 10: -デック・インターフェイスのワード長 = 24 ビット 11: -デック・インターフェイスのワード長 = 32 ビット
D3	R/W	0	0: BCLKは入力。 1: BCLKは出力。
D2	R/W	0	0: WCLKは入力。 1: WCLKは出力。
D1	R/W	0	予約済み
D0	R/W	0	データを転送していないときに、余分のBCLKサイクルでSDOUTをハイ・インピーダンスにする 0: ディスエーブル 1: イネーブル

ページ0/レジスタ28 : データ・スロット・オフセットのプログラミング

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	オフセット (DSPモードでWCLKの立ち上がりエッジを基準に測定) 0000 0000: オフセット = 0 BCLKs 0000 0001: オフセット = 1 BCLK 0000 0010: オフセット = 2 BCLKs ... 1111 1110: オフセット = 254 BCLKs 1111 1111: オフセット = 255 BCLKs

ページ0/レジスタ29：コーデック・インターフェイス制御2

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	Reserved
D5	R/W	0	0: SDIN-SDOUT間ループバックはディスエーブル。 1: SDIN-SDOUT間ループバックはイネーブル。
D4	R/W	0	0: ADC-DAC間ループバックはディスエーブル。 1: ADC-DAC間ループバックはイネーブル。
D3	R/W	0	0: BCLKを反転しない（プライマリおよびセカンダリBCLKの両方に対して有効）。 1: BCLKを反転（プライマリおよびセカンダリBCLKの両方に対して有効）。
D2	R/W	0	コーデックのパワーダウン時もBCLKおよびWCLKをアクティブにする （プライマリおよびセカンダリBCLKの両方に対して有効） 0: ディスエーブル 1: イネーブル
D1-D0	R/W	00	00: BDIV_CLKIN = DAC_CLK（DACのDSPクロック、内部で生成） 01: BDIV_CLKIN = DAC_MOD_CLK（内部で生成） 10: BDIV_CLKIN = ADC_CLK（ADCのDSPクロック、内部で生成） 11: BDIV_CLKIN = ADC_MOD_CLK（内部で生成）

ページ0/レジスタ30：BCLKのN値

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: BCLKのN分周回路はパワーダウン。 1: BCLKのN分周回路はパワーアップ。
D6-D0	R/W	000 0001	000 0000: BCLK 分周値 N = 128 000 0001: BCLK 分周値 N = 1 000 0010: BCLK 分周値 N = 2 ... 111 1110: BCLK 分周値 N = 126 111 1111: BCLK 分周値 N = 127

ページ0/レジスタ31：コーデック・セカンダリ・インターフェイス制御1

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	000: セカンダリBCLKをGPIO1ピンから取得。 001: セカンダリBCLKをSCLKピンから取得。 010: セカンダリBCLKをMISOピンから取得。 011: セカンダリBCLKをSDOUTピンから取得。 100: セカンダリBCLKをGPIO2ピンから取得。 101: セカンダリBCLKをGPI1ピンから取得。 110: セカンダリBCLKをGPI2ピンから取得。 111: セカンダリBCLKをGPI3ピンから取得。
D4-D2	R/W	000	000: セカンダリWCLKをGPIO1ピンから取得。 001: セカンダリWCLKをSCLKピンから取得。 010: セカンダリWCLKをMISOピンから取得。 011: セカンダリWCLKをSDOUTピンから取得。 100: セカンダリWCLKをGPIO2ピンから取得。 101: セカンダリWCLKをGPI1ピンから取得。 110: セカンダリWCLKをGPI2ピンから取得。 111: セカンダリWCLKをGPI3ピンから取得。
D1-D0	R/W	00	00: セカンダリSDINをGPIO1ピンから取得。 01: セカンダリSDINをSCLKピンから取得。 10: セカンダリSDINをGPIO2ピンから取得。 11: セカンダリSDINをGPI1ピンから取得。

ページ0/レジスタ32：コーデック・セカンダリ・インターフェイス制御2

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	000: ADC_WCLKをGPIO1ピンから取得。 001: ADC_WCLKをSCLKピンから取得。 010: ADC_WCLKをMISOピンから取得。 011: Reserved 100: ADC_WCLKをGPIO2ピンから取得。 101: ADC_WCLKをGPIO1ピンから取得。 110: ADC_WCLKをGPIO2ピンから取得。 111: ADC_WCLKをGPIO3ピンから取得。
D4	R/W	0	予約済み
D3	R/W	0	0: プライマリBCLKをコーデックのシリアル・インターフェイスおよびクロック生成ブロックに供給 1: セカンダリBCLKをコーデックのシリアル・インターフェイスおよびクロック生成ブロックに供給
D2	R/W	0	0: プライマリWCLKをコーデックのシリアル・インターフェイス・ブロックに供給 1: セカンダリWCLKをコーデックのシリアル・インターフェイス・ブロックに供給
D1	R/W	0	0: コーデックのシリアル・インターフェイス・ブロックで使用されるADC_WCLKはDAC_WCLKと同じ。 1: コーデックのシリアル・インターフェイス・ブロックで使用されるADC_WCLK = ADC_WCLK
D0	R/W	0	0: プライマリSDINをコーデックのシリアル・インターフェイス・ブロックに供給。 1: セカンダリSDINをコーデックのシリアル・インターフェイス・ブロックに供給。

ページ0/レジスタ33：コーデック・セカンダリ・インターフェイス制御3

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: プライマリBCLK出力 = 内部生成BCLKクロック 1: プライマリBCLK出力 = セカンダリBCLK
D6	R/W	0	0: セカンダリBCLK出力 = プライマリBCLK 1: セカンダリBCLK出力 = 内部生成BCLKクロック
D5-D4	R/W	00	00: プライマリWCLK出力 = 内部生成DAC _{f_S} 01: プライマリWCLK出力 = 内部生成ADC _{f_S} クロック 10: プライマリWCLK出力 = セカンダリWCLK 11: Reserved
D3-D2	R/W	00	00: セカンダリWCLK出力 = プライマリWCLK 01: セカンダリWCLK出力 = 内部生成DAC _{f_S} クロック 10: セカンダリWCLK出力 = 内部生成ADC _{f_S} クロック 11: Reserved
D1	R/W	0	0: プライマリSDOUT = コーデック・シリアル・インターフェイス・ブロックからのSDOUT 1: プライマリSDOUT = セカンダリSDIN
D0	R/W	0	0: セカンダリSDOUT = プライマリSDIN 1: セカンダリSDOUT = コーデック・シリアル・インターフェイス・ブロックからのSDOUT

ページ0/レジスタ34：I²Cバス状態

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	Reserved。これらのビットには、リセット値のみを書き込んでください。
D5	R/W	0	0: I ² Cジェネラル・コール・アドレスを無視。 1: I ² Cジェネラル・コール・アドレスに対応。
D4-D0	R/W	00000	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ35：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ36 : ADCフラグ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R	0	0: ADC PGAの適用ゲイン ≠ プログラミングされたゲイン 1: ADC PGAの適用ゲイン = プログラミングされたゲイン
D6	R	0	0: ADCはパワーダウン 1: ADCはパワーアップ
D5 ⁽¹⁾	R	0	0: AGCは非飽和 1: AGCの適用ゲイン = AGCで適用可能な最大ゲイン
D4-D0	R/W	X XXXX	Reserved。これらのビットには、0のみを書き込んでください。

(1) スティッキー・フラグ・ビット。これらは読み取り専用ビットです。読み取ると自動的にクリアされ、ソース・トリガが再度発生した場合にのみセットされます。

ページ0/レジスタ37 : DACフラグ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R	0	0: 左チャンネルDACはパワーダウン 1: 左チャンネルDACはパワーアップ
D6	R/W	X	予約済み。このビットには、0のみを書き込んでください。
D5	R	0	0: HPLドライバはパワーダウン 1: HPLドライバはパワーアップ
D4	R	0	0: 左チャンネルClass-Dドライバはパワーダウン 1: 左チャンネルClass-Dドライバはパワーアップ
D3	R	0	0: 右チャンネルDACはパワーダウン 1: 右チャンネルDACはパワーアップ
D2	R/W	X	Reserved。このビットには、0のみを書き込んでください。
D1	R	0	0: HPRドライバはパワーダウン 1: HPRドライバはパワーアップ
D0	R	0	0: 右チャンネルClass-Dドライバはパワーダウン 1: 右チャンネルClass-Dドライバはパワーアップ

ページ0/レジスタ38 : DACフラグ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	XXX	Reserved。これらのビットには書き込まないください。
D4	R	0	0: 左チャンネルDAC PGAの適用ゲイン ≠ プログラミングされたゲイン 1: 左チャンネルDAC PGAの適用ゲイン = プログラミングされたゲイン
D3-D1	R/W	XXX	Reserved。これらのビットには、0のみを書き込んでください。
D0	R	0	0: 右チャンネルDAC PGAの適用ゲイン ≠ プログラミングされたゲイン 1: 右チャンネルDAC PGAの適用ゲイン = プログラミングされたゲイン

ページ0/レジスタ39：オーバーフロー・フラグ

ビット	読み取り/ 書き込み	リセット値	説明
D7 ⁽¹⁾	R	0	左チャンネルDACオーバーフロー・フラグ 0: オーバーフロー未発生 1: オーバーフロー発生
D6 ⁽¹⁾	R	0	右チャンネルDACオーバーフロー・フラグ 0: オーバーフロー未発生 1: オーバーフロー発生
D5 ⁽¹⁾	R	0	DACバレル・シフト出力オーバーフロー・フラグ 0: オーバーフロー未発生 1: オーバーフロー発生
D4	R/W	0	Reserved. これらのビットには、0のみを書き込んでください。
D3 ⁽¹⁾	R	0	デルタ・シグマ・モノラルADCオーバーフロー・フラグ 0: オーバーフロー未発生 1: オーバーフロー発生
D2	R/W	0	Reserved. このビットには、0のみを書き込んでください。
D1 ⁽¹⁾	R	0	ADCバレル・シフト出力オーバーフロー・フラグ 0: オーバーフロー未発生 1: オーバーフロー発生
D0	R/W	0	Reserved. このビットには、0のみを書き込んでください。

(1) スティッキー・フラグ・ビット。これらは読み取り専用ビットです。読み取ると自動的にクリアされ、ソース・トリガが再度発生した場合にのみセットされます。

ページ0/レジスタ40-43：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved. これらのビットには、リセット値のみを書き込んでください。

ページ0/レジスタ44：割り込みフラグーDAC

ビット	読み取り/ 書き込み	リセット値	説明
D7 ⁽¹⁾	R	0	0: HPL/左Class-Dドライバで短絡未検出。 1: HPL/左Class-Dドライバで短絡を検出。
D6 ⁽¹⁾	R	0	0: HPR/右Class-Dドライバで短絡未検出。 1: HPR/右Class-Dドライバで短絡を検出。
D5 ⁽¹⁾	R	X	0: ヘッドセット・ボタンが押されていない。 1: ヘッドセット・ボタンが押されている。
D4 ⁽¹⁾	R	X	0: ヘッドセットの挿入/取り外しを未検出。 1: ヘッドセットの挿入/取り外しを検出。
D3 ⁽¹⁾	R	0	0: 左DAC信号電力がDRCの信号スレッシュホールド以下。 1: 左DAC信号電力がDRCの信号スレッシュホールドより大きい。
D2 ⁽¹⁾	R	0	0: 右DAC信号電力がDRCの信号スレッシュホールド以下。 1: 右DAC信号電力がDRCの信号スレッシュホールドより大きい。
D1 ⁽¹⁾	R	0	DAC miniDSPエンジンの標準割り込みポート出力 0: 標準割り込みポートから0を読み出し。 1: 標準割り込みポートから1を読み出し。
D0 ⁽¹⁾	R	0	DAC miniDSPエンジンの補助割り込みポート出力 0: 補助割り込みポートから0を読み出し。 1: 補助割り込みポートから1を読み出し。

(1) スティッキー・フラグ・ビット。これらは読み取り専用ビットです。読み取ると自動的にクリアされ、ソース・トリガが再度発生した場合にのみセットされます。

ページ0/レジスタ45：割り込みフラグーADC

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D6 ⁽¹⁾	R	0	0: ADC信号電力がAGCのノイズ・スレッショールドより大きい。 1: ADC信号電力がAGCのノイズ・スレッショールドより小さい。
D5	R/W	0	Reserved。これらのビットには、0のみを書き込んでください。
D4 ⁽¹⁾	R	X	ADC miniDSPエンジンの標準割り込みポート出力 0: 標準割り込みポートから0を読み出し。 1: 標準割り込みポートから1を読み出し。
D3 ⁽¹⁾	R	X	ADC miniDSPエンジンの補助割り込みポート出力 0: 補助割り込みポートから0を読み出し。 1: 補助割り込みポートから1を読み出し。
D2	R	0	0: デルタ・シグマ・オーディオADCを使用したDC測定を行わない。 1: デルタ・シグマ・オーディオADCを使用したDC測定を行わない。
D1-D0	R/W	00	Reserved。これらのビットには、0のみを書き込んでください。

(1) スティッキー・フラグ・ビット。これらは読み取り専用ビットです。読み取ると自動的にクリアされ、ソース・トリガが再度発生した場合にのみセットされます。

ページ0/レジスタ46：割り込みフラグーDAC

ビット	読み取り/ 書き込み	リセット値	説明
D7	R	0	0: HPL/左Class-Dドライバで短絡未検出。 1: HPL/左Class-Dドライバで短絡を検出。
D6	R	0	0: HPR/右Class-Dドライバで短絡未検出。 1: HPR/右Class-Dドライバで短絡を検出。
D5	R	X	0: ヘッドセット・ボタンが押されていない。 1: ヘッドセット・ボタンが押されている。
D4	R	X	0: ヘッドセットの取り外しを検出。 1: ヘッドセットの挿入を検出。
D3	R	0	0: 左DAC信号電力がDRCの信号スレッショールドより小さい。 1: 左DAC信号電力がDRCの信号スレッショールドより大きい。
D2	R	0	0: 右DAC信号電力がDRCの信号スレッショールドより小さい。 1: 右DAC信号電力がDRCの信号スレッショールドより大きい。
D1	R	0	DAC miniDSPエンジンの標準割り込みポート出力 0: 標準割り込みポートから0を読み出し。 1: 標準割り込みポートから1を読み出し。
D0	R	0	DAC miniDSPエンジンの補助割り込みポート出力 0: 補助割り込みポートから0を読み出し。 1: 補助割り込みポートから1を読み出し。

ページ0/レジスタ47：割り込みフラグーADC

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved
D6	R	0	0: デルタ・シグマ・モノラルADC信号電力が左AGCのノイズ・スレッショールドより大きい。 1: デルタ・シグマ・モノラルADC信号電力が左AGCのノイズ・スレッショールドより小さい。
D5	R/W	0	Reserved
D4	R	X	ADC miniDSPエンジンの標準割り込みポート出力 0: 標準割り込みポートから0を読み出し。 1: 標準割り込みポートから1を読み出し。
D3	R	X	ADC miniDSPエンジンの補助割り込みポート出力 0: 補助割り込みポートから0を読み出し。 1: 補助割り込みポートから1を読み出し。
D2	R	0	0: デルタ・シグマ・オーディオADCを使用したDC測定を行わない。 1: デルタ・シグマ・オーディオADCを使用したDC測定を行わない。
D1-D0	R/W	00	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ48：INT1制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: INT1割り込みの生成にヘッドセット挿入検出割り込みを使用しない。 1: INT1割り込みの生成にヘッドセット挿入検出割り込みを使用する。
D6	R/W	0	0: INT1割り込みの生成にボタン押し検出割り込みを使用しない。 1: INT1割り込みの生成にボタン押し検出割り込みを使用する。
D5	R/W	0	0: INT1割り込みの生成にDAC DRC信号電力割り込みを使用しない。 1: INT1割り込みの生成にDAC DRC信号電力割り込みを使用する。
D4	R/W	0	0: INT1割り込みの生成にADC AGCノイズ割り込みを使用しない。 1: INT1割り込みの生成にADC AGCノイズ割り込みを使用する。
D3	R/W	0	0: INT1割り込みの生成に短絡割り込みを使用しない。 1: INT1割り込みの生成に短絡割り込みを使用する。
D2	R/W	0	0: INT1割り込みの生成にエンジン生成割り込みを使用しない。 1: INT1割り込みの生成にエンジン生成割り込みを使用する。
D1	R/W	0	0: INT1割り込みの生成に、デルタ・シグマ・オーディオADCを使用したDC測定のデータ使用可能割り込みを使用しない。 1: INT1割り込みの生成に、デルタ・シグマ・オーディオADCを使用したDC測定のデータ使用可能割り込みを使用する。
D0	R/W	0	0: INT1は、長さが標準2msの単一パルス（アクティブ・ハイ）。 1: フラグ・レジスタ44、45、および50をユーザが読み取るまでの間、INT1は、長さが標準2ms、周期が4msの複数パルス（アクティブ・ハイ）。

ページ0/レジスタ49：INT2制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: INT2割り込みの生成にヘッドセット挿入検出割り込みを使用しない。 1: INT2割り込みの生成にヘッドセット挿入検出割り込みを使用する。
D6	R/W	0	0: INT2割り込みの生成にボタン押し検出割り込みを使用しない。 1: INT2割り込みの生成にボタン押し検出割り込みを使用する。
D5	R/W	0	0: INT2割り込みの生成にDAC DRC信号電力割り込みを使用しない。 1: INT2割り込みの生成にDAC DRC信号電力割り込みを使用する。
D4	R/W	0	0: INT2割り込みの生成にADC AGCノイズ割り込みを使用しない。 1: INT2割り込みの生成にADC AGCノイズ割り込みを使用する。
D3	R/W	0	0: INT2割り込みの生成に短絡割り込みを使用しない。 1: INT2割り込みの生成に短絡割り込みを使用する。
D2	R/W	0	0: INT2割り込みの生成にエンジン生成割り込みを使用しない。 1: INT2割り込みの生成にエンジン生成割り込みを使用する。
D1	R/W	0	0: INT2割り込みの生成に、デルタ・シグマ・オーディオADCを使用したDC測定のデータ使用可能割り込みを使用しない。 1: INT2割り込みの生成に、デルタ・シグマ・オーディオADCを使用したDC測定のデータ使用可能割り込みを使用する。
D0	R/W	0	0: INT2は、長さが標準2msの単一パルス（アクティブ・ハイ）。 1: フラグ・レジスタ44、45、および50をユーザが読み取るまでの間、INT2は、長さが標準2ms、周期が4msの複数パルス（アクティブ・ハイ）。

ページ0/レジスタ50：INT1およびINT2制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: INT1割り込みの生成に、SAR測定データのスレッシュホールド範囲外割り込みを使用しない。 1: INT1割り込みの生成に、SAR測定データのスレッシュホールド範囲外割り込みを使用する。
D6	R/W	0	0: INT1割り込みの生成に、ペン・タッチ/SARデータ使用可能割り込みを使用しない。 1: INT1割り込みの生成に、ペン・タッチ/SARデータ使用可能割り込みを使用する。
D5	R/W	0	0: INT2割り込みの生成に、SAR測定データのスレッシュホールド範囲外割り込みを使用しない。 1: INT2割り込みの生成に、SAR測定データのスレッシュホールド範囲外割り込みを使用する。
D4	R/W	0	Reserved
D3	R	0	0: ペン・タッチ未検出 1: ペン・タッチを検出
D2	R	0	0: 読み取るデータがない。 1: 読み取るデータがある。
D1	R	0	0: SARデータが、プログラミングされたスレッシュホールド範囲内。 1: SARデータが、プログラミングされたスレッシュホールド範囲外。
D0	R	0	Reserved. このビットには、デフォルト値のみを書き込んでください。

ページ0/レジスタ51：GPIO1入力/出力ピン制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	XX	Reserved. リセット値以外は書き込まないでください。
D5-D2	R/W	0000	0000: GPIO1がディスエーブル（入力および出力バッファがパワーダウン） 0001: GPIO1が入力モード（セカンダリBCLK入力、セカンダリWCLK入力、セカンダリSDIN入力、ADC_WCLK入力、Dig_Mic_Inとして、またはクロック生成ブロックで使用可能） 0010: GPIO1を汎用入力（GPI）として使用 0011: GPIO1出力 = 汎用出力 0100: GPIO1出力 = CLKOUT出力 0101: GPIO1出力 = INT1出力 0110: GPIO1出力 = INT2出力 0111: GPIO1出力 = コーデック・インターフェイスのADC_WCLK出力 1000: GPIO1出力 = コーデック・インターフェイスのセカンダリBCLK出力 1001: GPIO1出力 = コーデック・インターフェイスのセカンダリWCLK出力 1010: GPIO1出力 = デジタル・マイクのADC_MOD_CLK出力 1011: GPIO1出力 = コーデック・インターフェイスのセカンダリSDOUT 1100: GPIO1出力 = PINTDAV信号としてのタッチ・スクリーン/SAR ADC割り込み（アクティブ・ロー） 1101: 予約済み 1110: 予約済み 1111: 予約済み
D1	R	X	GPIO1入力バッファ値
D0	R/W	0	0: GPIO1汎用出力値 = 0 1: GPIO1汎用出力値 = 1

ページ0/レジスタ52：GPIO2入力/出力ピン制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	XX	Reserved。リセット値以外は書き込まないでください。
D5-D2	R/W	0000	0000: GPIO2がディスエーブル（入力および出力バッファがパワーダウン） 0001: GPIO2が入力モード（セカンダリBCLK入力、セカンダリWCLK入力、セカンダリSDIN入力、ADC_WCLK入力、Dig_Mic_Inとして、またはクロック生成ブロックで使用可能） 0010: GPIO2を汎用入力（GPI）として使用 0011: GPIO2出力 = 汎用出力 0100: GPIO2出力 = CLKOUT出力 0101: GPIO2出力 = INT1出力 0110: GPIO2出力 = INT2出力 0111: GPIO2出力 = コーデック・インターフェイスのADC_WCLK出力 1000: GPIO2出力 = コーデック・インターフェイスのセカンダリBCLK出力 1001: GPIO2出力 = コーデック・インターフェイスのセカンダリWCLK出力 1010: GPIO2出力 = デジタル・マイクのADC_MOD_CLK出力 1011: GPIO2出力 = コーデック・インターフェイスのセカンダリSDOUT 1100: GPIO2出力 = PINTDAV信号としてのタッチ・スクリーン/SAR ADC割り込み（アクティブ・ロー） 1101: Reserved 1110: Reserved 1111: Reserved
D1	R	X	GPIO2入力バッファ値
D0	R/W	0	0: GPIO2汎用出力値 = 0 1: GPIO2汎用出力値 = 1

ページ0/レジスタ53：SDOUT（OUTピン）制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved
D4	R/W	1	0: SDOUTバス・キーパーがイネーブル 1: SDOUTバス・キーパーがディスエーブル
D3-D1	R/W	001	000: SDOUTがディスエーブル（出力バッファがパワーダウン） 001: SDOUT = コーデック・インターフェイスのプライマリSDOUT出力 010: SDOUT = 汎用出力 011: SDOUT = CLKOUT出力 100: SDOUT = INT1出力 101: SDOUT = INT2出力 110: SDOUT = コーデック・インターフェイスのセカンダリBCLK出力 111: SDOUT = コーデック・インターフェイスのセカンダリWCLK出力
D0	R/W	0	0: SDOUT汎用出力値 = 0 1: SDOUT汎用出力値 = 1

ページ0/レジスタ54：SDIN（INピン）制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D3	R/W	0000 0	Reserved
D2-D1	R/W	01	00: SDINがディスエーブル（入力バッファがパワーダウン） 01: SDINがイネーブル（コーデック・インターフェイスのSDINとして、Dig_Mic_Inとして、またはクロック生成ブロックで使用可能） 10: SDINを汎用入力（GPI）として使用 11: Reserved
D0	R	X	SDIN入力バッファ値

ページ0/レジスタ55：MISO（OUTピン）制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved
D4-D1	R/W	0001	0000: MISOがディスエーブル（出力バッファがパワーダウン） 0001: MISO = SPIインターフェイスのMISO出力（I ² Cインターフェイスの場合はディスエーブル） 0010: 汎用出力 0011: MISO = CLKOUT出力 0100: MISO = INT1出力 0101: MISO = INT2出力 0110: MISO = コーデック・インターフェイスのADC_WCLK出力 0111: MISO = デジタル・マイクのADC_MOD_CLK出力 1000: MISO = コーデック・インターフェイスのセカンダリSDOUT 1001: MISO = コーデック・インターフェイスのセカンダリBCLK出力 1010: MISO = コーデック・インターフェイスのセカンダリWCLK出力 1011-1111: 予約済み
D0	R/W	0	0: MISO汎用出力値 = 0 1: MISO汎用出力値 = 1

ページ0/レジスタ56：SCLK（INピン）制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D3	R/W	0000 0	Reserved
D2-D1	R/W	01	00: SCLKがディスエーブル（入力バッファがパワーダウン） 01: SCLKがイネーブル、SPIインターフェイスに使用 10: SCLKがイネーブル、汎用入力（GPI）として使用 11: SCLKがイネーブル（セカンダリSDIN、セカンダリBCLK入力、セカンダリWCLK入力、ADC_WCLK入力、またはDig_Mic_Inとして使用可能）
D0	R	X	SCLK入力バッファ値

ページ0/レジスタ57：GPI1およびGPI2ピン制御

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D6-D5	R/W	00	00: GPI1がディスエーブル（入力バッファがパワーダウン） 01: GPI1がイネーブル（セカンダリSDIN、セカンダリBCLK入力、セカンダリWCLK入力、ADC_WCLK入力として使用可能） 10: GPI1がイネーブル、汎用入力（GPI）として使用 11: Reserved
D4	R	X	GPI1ピン値
D3	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D2-D1	R/W	00	00: GPI2がディスエーブル（入力バッファがパワーダウン） 01: GPI2がイネーブル（セカンダリBCLK入力、セカンダリWCLK入力、ADC_WCLK入力として使用可能） 10: GPI2がイネーブル、汎用入力（GPI）として使用 11: GPI2がイネーブル、HP_SP入力として使用
D0	R	X	GPI2ピン値

ページ0/レジスタ58：GPI3ピン制御

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D6-D5	R/W	00	00: GPI3がディスエーブル（入力バッファがパワーダウン） 01: GPI3がイネーブル（セカンダリBCLK入力、セカンダリWCLK入力、ADC_WCLK入力として使用可能） 10: GPI3がイネーブル、汎用入力（GPI）として使用 11: Reserved
D4	R	X	GPI3ピン値
D3-D0	R/W	0000	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ59：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ60：DAC命令セット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved。デフォルト値のみを書き込んでください。
D4-D0	R/W	00 0001	0 0000: miniDSPを信号処理に使用 0 0001: DAC信号処理ブロック PRB_P1 0 0010: DAC信号処理ブロック PRB_P2 0 0011: DAC信号処理ブロック PRB_P3 0 0100: DAC信号処理ブロック PRB_P4 ... 1 1000: DAC信号処理ブロック PRB_P24 1 1001: DAC信号処理ブロック PRB_P25 1 1010-1 1111: 予約済み。設定禁止。

ページ0/レジスタ61：ADC命令セット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved。デフォルト値のみを書き込んでください。
D4-D0	R/W	0 0100	0 0000: ADC miniDSPを信号処理に使用 0 0001-0 0011: Reserved 0 0100: ADC信号処理ブロック PRB_R4 0 0101: ADC信号処理ブロック PRB_R5 0 0110: ADC信号処理ブロック PRB_R6 0 0111-01001: Reserved 0 1010: ADC信号処理ブロック PRB_R10 0 1011: ADC信号処理ブロック PRB_R11 0 1100: ADC信号処理ブロック PRB_R12 0 1101-0 1111: Reserved 1 0000: ADC信号処理ブロック PRB_R16 1 0001: ADC信号処理ブロック PRB_R17 1 0010: ADC信号処理ブロック PRB_R18 1 0011-1 1111: Reserved。これらのビットには上記のシーケンスを書き込まないください。

ページ0/レジスタ62：プログラマブル命令モード制御ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved
D6	R/W	0	ADC miniDSPエンジン補助制御ビットA。JMPのような条件命令に使用できます。
D5	R/W	0	ADC miniDSPエンジン補助制御ビットB。JMPのような条件命令に使用できます。
D4	R/W	0	0: 新しいフレームの開始時にADC miniDSP命令カウンタをリセット。 1: 新しいフレームの開始時にADC miniDSP命令カウンタをリセットしない。
D3	R/W	0	Reserved
D2	R/W	0	DAC miniDSPエンジン補助制御ビットA。JMPのような条件命令に使用できます。
D1	R/W	0	DAC miniDSPエンジン補助制御ビットB。JMPのような条件命令に使用できます。
D0	R/W	0	0: 新しいフレームの開始時にDAC miniDSP命令カウンタをリセット。 1: 新しいフレームの開始時にDAC miniDSP命令カウンタをリセットしない。

ページ0/レジスタ63：DACデータ・パス設定

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 左チャンネルDACはパワーダウン 1: 左チャンネルDACはパワーアップ
D6	R/W	0	0: 右チャンネルDACはパワーダウン 1: 右チャンネルDACはパワーアップ
D5-D4	R/W	01	00: 左チャンネルDACデータ・パス = オフ 01: 左チャンネルDACデータ・パス = 左データ 10: 左チャンネルDACデータ・パス = 右データ 11: 左チャンネルDACデータ・パス = 左チャンネルおよび右チャンネルのデータ ((L + R)/2)
D3-D2	R/W	01	00: 右チャンネルDACデータ・パス = オフ 01: 右チャンネルDACデータ・パス = 右データ 10: 右チャンネルDACデータ・パス = 左データ 11: 右チャンネルDACデータ・パス = 左チャンネルおよび右チャンネルのデータ ((L + R)/2)
D1-D0	R/W	00	00: DACチャンネル音量制御のソフト・ステッピングがイネーブル (1サンプル周期あたり1ステップ) 01: DACチャンネル音量制御のソフト・ステッピングがイネーブル (2サンプル周期あたり1ステップ) 10: DACチャンネル音量制御のソフト・ステッピングがディスエーブル 11: Reserved。これらのビットには上記のシーケンスを書き込まないください。

ページ0/レジスタ64：DAC音量制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	0000	Reserved。これらのビットには、0のみを書き込んでください。
D3	R/W	1	0: 左チャンネルDACは非ミュート 1: 左チャンネルDACはミュート
D2	R/W	1	0: 右チャンネルDACは非ミュート 1: 右チャンネルDACはミュート
D1-D0	R/W	00	00: 左および右チャンネルの音量を独立して制御 01: 左チャンネルの音量制御は、右チャンネル音量制御のプログラミング値 10: 右チャンネルの音量制御は、左チャンネル音量制御のプログラミング値 11: 00と同じ

ページ0/レジスタ65：DACの左音量制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	127~49: 予約済み。これらのビットには上記のシーケンスを書き込まないください。 48: 左チャンネルDACのデジタル・ゲイン = 24 dB 47: 左チャンネルDACのデジタル・ゲイン = 23.5 dB 46: 左チャンネルDACのデジタル・ゲイン = 23 dB ... 36: 左チャンネルDACのデジタル・ゲイン = 18 dB 35: 左チャンネルDACのデジタル・ゲイン = 17.5 dB 34: 左チャンネルDACのデジタル・ゲイン = 17 dB ... 1: 左チャンネルDACのデジタル・ゲイン = 0.5 dB 0: 左チャンネルDACのデジタル・ゲイン = 0 dB -1: 左チャンネルDACのデジタル・ゲイン = -0.5 dB ... -126: 左チャンネルDACのデジタル・ゲイン = -63 dB -127: 左チャンネルDACのデジタル・ゲイン = -63.5 dB -128: Reserved

ページ0/レジスタ66：DACの右音量制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	127~49: Reserved。これらのビットには上記のシーケンスを書き込まないください。 48: 右チャンネルDACのデジタル・ゲイン = 24 dB 47: 右チャンネルDACのデジタル・ゲイン = 23.5 dB 46: 右チャンネルDACのデジタル・ゲイン = 23 dB ... 36: 右チャンネルDACのデジタル・ゲイン = 18 dB 35: 右チャンネルDACのデジタル・ゲイン = 17.5 dB 34: 右チャンネルDACのデジタル・ゲイン = 17 dB ... 1: 右チャンネルDACのデジタル・ゲイン = 0.5 dB 0: 右チャンネルDACのデジタル・ゲイン = 0 dB -1: 右チャンネルDACのデジタル・ゲイン = -0.5 dB ... -126: 右チャンネルDACのデジタル・ゲイン = -63 dB -127: 右チャンネルDACのデジタル・ゲイン = -63.5 dB -128: Reserved

ページ0/レジスタ67：ヘッドセット検出

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: ヘッドセット検出がディスエーブル 1: ヘッドセット検出がイネーブル
D6-D5	R	XX	00: ヘッドセット未検出 01: マイクなしのヘッドセットを検出 10: Reserved 11: マイク付きのヘッドセットを検出
D4-D2	R/W	000	ヘッドセット検出時のグリッチ除去のためのデバウンス・プログラミング ⁽¹⁾ 000: 16ms (2msクロックでサンプリング) 001: 32ms (4msクロックでサンプリング) 010: 64ms (8msクロックでサンプリング) 011: 128ms (16msクロックでサンプリング) 100: 256ms (32msクロックでサンプリング) 101: 512ms (64msクロックでサンプリング) 110: Reserved 111: Reserved
D1-D0	R/W	00	ヘッドセット・ボタン押し検出時のグリッチ除去のためのデバウンス・プログラミング 00: 0ms 01: 8ms (1msクロックでサンプリング) 10: 16ms (2msクロックでサンプリング) 11: 32ms (4msクロックでサンプリング)

(1) これらの時間は、ページ3/レジスタ16で定義される1MHz基準クロックを使用して生成されます。

ページ0/レジスタ68：DRC制御1

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。これらのビットには、リセット値のみを書き込んでください。
D6	R/W	0	0: 左チャンネルのDRCがディスエーブル 1: 左チャンネルのDRCがイネーブル
D5	R/W	0	0: 右チャンネルのDRCがディスエーブル 1: 右チャンネルのDRCがイネーブル
D4-D2	R/W	011	000: DRC スレッシュホールド = -3 dB 001: DRC スレッシュホールド = -6 dB 010: DRC スレッシュホールド = -9 dB 011: DRC スレッシュホールド = -12 dB 100: DRC スレッシュホールド = -15 dB 101: DRC スレッシュホールド = -18 dB 110: DRC スレッシュホールド = -21 dB 111: DRC スレッシュホールド = -24 dB
D1-D0	R/W	11	00: DRC ヒステリシス = 0 dB 01: DRC ヒステリシス = 1 dB 10: DRC ヒステリシス = 2 dB 11: DRC ヒステリシス = 3 dB

ページ0/レジスタ69：DRC制御2

ビット	読み取り/ 書き込み	リセット値	説明
D	R	0	Reserved。これらのビットには、リセット値のみを書き込んでください。
D6-D3	R/W	0111	DRCホールドのプログラミング 0000: DRCホールドがディスエーブル 0001: DRCホールド時間 = 32 DACワード・クロック 0010: DRCホールド時間 = 64 DACワード・クロック 0011: DRCホールド時間 = 128 DACワード・クロック 0100: DRCホールド時間 = 256 DACワード・クロック 0101: DRCホールド時間 = 512 DACワード・クロック ... 1110: DRCホールド時間 = 4*32768 DACワード・クロック 1111: DRCホールド時間 = 5*32768 DACワード・クロック
D2-D0		000	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ0/レジスタ70：DRC制御3

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	0000	0000: DRCアタック・レート = DACワード・クロックあたり4 dB 0001: DRCアタック・レート = DACワード・クロックあたり2 dB 0010: DRCアタック・レート = DACワード・クロックあたり1 dB ... 1110: DRCアタック・レート = DACワード・クロックあたり2.4414e-5 dB 1111: DRCアタック・レート = DACワード・クロックあたり1.2207e-5 dB
D3-D0	R/W	0000	0000: DRCアタック・レート = DACワード・クロックあたり1.5625e-2 dB 0001: DRCアタック・レート = DACワード・クロックあたり7.8125e-3 dB 0010: DRCアタック・レート = DACワード・クロックあたり3.9062e-3 dB ... 1110: DRCアタック・レート = DACワード・クロックあたり9.5367e-7 dB 1111: DRCアタック・レート = DACワード・クロックあたり4.7683e-7 dB

ページ0/レジスタ71：左ビープ発生回路⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: ビープ発生回路がディスエーブル 1: ビープ発生回路がイネーブル (ビープ長に基づいて自動クリア)
D6	R/W	0	0: ペン・タッチ時の自動ビープ発生回路がディスエーブル 1: ペン・タッチ時の自動ビープ発生回路がイネーブル (これにはCODEC_CLKINが必要であり、タッチ検出のたびに使用されます)。
D5-D0	R/W	00 0000	00 0000: 左チャンネル・ビープ音量制御 = 2 dB 00 0001: 左チャンネル・ビープ音量制御 = 1 dB 00 0010: 左チャンネル・ビープ音量制御 = 0 dB 00 0011: 左チャンネル・ビープ音量制御 = -1 dB ... 11 1110: 左チャンネル・ビープ音量制御 = -60 dB 11 1111: 左チャンネル・ビープ音量制御 = -61 dB

(1) ビープ発生回路は、PRB_P25のDAC処理モードでのみ使用できます。

ページ0/レジスタ72：右ビープ発生回路⁽¹⁾

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	00: 左および右チャンネルのビープ音量を独立して制御 01: 左チャンネルのビープ音量制御は、右チャンネルのビープ音量制御のプログラミング値 10: 右チャンネルのビープ音量制御は、左チャンネルのビープ音量制御のプログラミング値 11: 00と同じ
D5-D0	R/W	00 0000	00 0000: 右チャンネル・ビープ音量制御 = 2 dB 00 0001: 右チャンネル・ビープ音量制御 = 1 dB 00 0010: 右チャンネル・ビープ音量制御 = 0 dB 00 0011: 右チャンネル・ビープ音量制御 = -1 dB ... 11 1110: 右チャンネル・ビープ音量制御 = -60 dB 11 1111: 右チャンネル・ビープ音量制御 = -61 dB

(1) ビープ発生回路は、PRB_P25のDAC処理モードでのみ使用できます。

ページ0/レジスタ73：ビープ長の上位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	ビープを生成するサンプル数を示す24ビットのうち上位8ビット

ページ0/レジスタ74：ビープ長の中位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	ビープを生成するサンプル数を示す24ビットのうち中位8ビット

ページ0/レジスタ75：ビープ長の下位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1110 1110	ビープを生成するサンプル数を示す24ビットのうち下位8ビット

ページ0/レジスタ76：ビープSin(x)の上位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0001 0000	$\sin(2\pi \times f_{in}/f_s)$ を示す16ビットのうち上位8ビット (f_{in} はビープ周波数、 f_s はDACサンプル・レート)

ページ0/レジスタ77：ビープSin(x)の下位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1101 1000	$\sin(2\pi \times f_{in}/f_s)$ を示す16ビットのうち下位8ビット (f_{in} はビープ周波数、 f_s はDACサンプル・レート)

ページ0/レジスタ78：ビープCos(x)の上位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0111 1110	$\cos(2\pi \times f_{in}/f_s)$ を示す16ビットのうち上位8ビット (f_{in} はビープ周波数、 f_s はDACサンプル・レート)

ページ0/レジスタ79：ビープCos(x)の下位ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	1110 0011	$\cos(2\pi \times f_{in}/f_s)$ を示す16ビットのうち下位8ビット (f_{in} はビープ周波数、 f_s はDACサンプル・レート)

ページ0/レジスタ80：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ0/レジスタ81：ADCデジタル・マイク

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: ADCチャンネルはパワーダウン。 1: ADCチャンネルはパワーアップ。
D6	R/W	0	Reserved
D5-D4	R/W	00	00: デジタル・マイク入力をGPIO1ピンから取得。 01: デジタル・マイク入力をSCLKピンから取得。 10: デジタル・マイク入力をSDINピンから取得。 11: デジタル・マイク入力をGPIO2ピンから取得。
D3	R/W	0	0: デルタ・シグマ・モノラルADCチャンネルに対してデジタル・マイクがディセーブル。 1: デルタ・シグマ・モノラルADCチャンネルに対してデジタル・マイクがイネーブル。
D2	R/W	0	Reserved
D1-D0	R/W	00	00: ADCチャンネル音量制御のソフト・ステッピングがイネーブル (1サンプル周期あたり1ステップ) 01: ADCチャンネル音量制御のソフト・ステッピングがイネーブル (2サンプル周期あたり1ステップ) 10: ADCチャンネル音量制御のソフト・ステッピングがディセーブル 11: Reserved。これらのビットには上記のシーケンスを書き込まないください。

ページ0/レジスタ82：ADCデジタル音量制御の微調整

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	1	0: ADCチャンネルは非ミュート 1: ADCチャンネルはミュート
D6-D4	R/W	000	デルタ・シグマ・モノラルADCチャンネル音量制御の微調整ゲイン 000: 0 dB 001: -0.1 dB 010: -0.2 dB 011: -0.3 dB 100: -0.4 dB 101-111: Reserved
D3-D0	R/W	0000	Reserved。これらのビットには、0のみを書き込んでください。

ページ0/レジスタ83：ADCデジタル音量制御の粗調整

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved
D6-D0		000 0000	デルタ・シグマ・モノラルADCチャンネル音量制御の粗調整ゲイン 000 0000-010 0111: Reserved 010 1000: -12 dB 010 1001: -11.5 dB ... 110 0111: 19.5 dB 110 1000: 20 dB 110 1001-111 1111: Reserved

ページ0/レジスタ84-85：Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ0/レジスタ86：AGC制御1

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: AGCがディスエーブル 1: AGCがイネーブル
D6-D4	R/W	000	000: AGC 目標レベル = -5.5 dB 001: AGC 目標レベル = -8 dB 010: AGC 目標レベル = -10 dB 011: AGC 目標レベル = -12 dB 100: AGC 目標レベル = -14 dB 101: AGC 目標レベル = -17 dB 110: AGC 目標レベル = -20 dB 111: AGC 目標レベル = -24 dB
D3-D0	R/W	0000	Reserved. これらのビットには、0のみを書き込んでください。

ページ0/レジスタ87：AGC制御2

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	00: AGC ヒステリシス設定 = 1 dB 01: AGC ヒステリシス設定 = 2 dB 10: AGC ヒステリシス設定 = 4 dB 11: AGC ヒステリシスがディスエーブル
D5-D1	R/W	00 000	00 000: AGC ノイズ/無音検出がディスエーブル 00 001: AGC ノイズ・スレッシュホールド = -30dB 00 010: AGC ノイズ・スレッシュホールド = -32dB 00 011: AGC ノイズ・スレッシュホールド = -34dB ... 11 101: AGC ノイズ・スレッシュホールド = -86dB 11 110: AGC ノイズ・スレッシュホールド = -88dB 11 111: AGC ノイズ・スレッシュホールド = -90dB
D0	R/W	0	Reserved. このビットには、0のみを書き込んでください。

ページ0/レジスタ88：AGC最大ゲイン

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved. このビットには、0のみを書き込んでください。
D6-D0	R/W	111 1111	000 0000: AGC 最大ゲイン = 0 dB 000 0001: AGC 最大ゲイン = 0.5 dB 000 0010: AGC 最大ゲイン = 1 dB ... 111 0011: AGC 最大ゲイン = 57.5 dB 111 0100: AGC 最大ゲイン = 58 dB 111 0101: AGC 最大ゲイン = 58.5 dB 111 0110: AGC 最大ゲイン = 59 dB 111 0111: AGC 最大ゲイン = 59.5 dB 111 1000-111 1111: 予約済み。これらのビットには上記のシーケンスを書き込まないください。

ページ0/レジスタ89：AGCアタック時間

ビット	読み取り/ 書き込み	リセット値	説明
D7-D3	R/W	0000 0	0000 0: AGC アタック時間 = $1 \times (32/f_S)$ (f_S はADCサンプル・レート) 0000 1: AGC アタック時間 = $3 \times (32/f_S)$ (f_S はADCサンプル・レート) 0001 0: AGC アタック時間 = $5 \times (32/f_S)$ (f_S はADCサンプル・レート) 0001 1: AGC アタック時間 = $7 \times (32/f_S)$ (f_S はADCサンプル・レート) 0010 0: AGC アタック時間 = $9 \times (32/f_S)$ (f_S はADCサンプル・レート) ... 1111 0: AGC アタック時間 = $61 \times (32/f_S)$ (f_S はADCサンプル・レート) 1111 1: AGC アタック時間 = $63 \times (32/f_S)$ (f_S はADCサンプル・レート)
D2-D0	R/W	000	000: プログラミングされたAGCアタック時間に対する乗算係数 = 1 001: プログラミングされたAGCアタック時間に対する乗算係数 = 2 010: プログラミングされたAGCアタック時間に対する乗算係数 = 4 ... 111: プログラミングされたAGCアタック時間に対する乗算係数 = 128

ページ0/レジスタ90：AGCディケイ時間

ビット	読み取り/ 書き込み	リセット値	説明
D7-D3	R/W	0000 0	0000 0: AGC ディケイ時間 = $1 \times (512/f_S)$ 0000 1: AGC ディケイ時間 = $3 \times (512/f_S)$ 0001 0: AGC ディケイ時間 = $5 \times (512/f_S)$ 0001 1: AGC ディケイ時間 = $7 \times (512/f_S)$ 0010 0: AGC ディケイ時間 = $9 \times (512/f_S)$... 1111 0: AGC ディケイ時間 = $61 \times (512/f_S)$ 1111 1: AGC ディケイ時間 = $63 \times (512/f_S)$
D2-D0	R/W	000	000: プログラミングされたAGCディケイ時間に対する乗算係数 = 1 001: プログラミングされたAGCディケイ時間に対する乗算係数 = 2 010: プログラミングされたAGCディケイ時間に対する乗算係数 = 4 ... 111: プログラミングされたAGCディケイ時間に対する乗算係数 = 128

ページ0/レジスタ91：AGCノイズ・デバウンス

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved。これらのビットには、0のみを書き込んでください。
D4-D0	R/W	0 0000	0 0000: AGC ノイズ・デバウンス = $0/f_S$ 0 0001: AGC ノイズ・デバウンス = $4/f_S$ 0 0010: AGC ノイズ・デバウンス = $8/f_S$ 0 0011: AGC ノイズ・デバウンス = $16/f_S$ 0 0100: AGC ノイズ・デバウンス = $32/f_S$ 0 0101: AGC ノイズ・デバウンス = $64/f_S$ 0 0110: AGC ノイズ・デバウンス = $128/f_S$ 0 0111: AGC ノイズ・デバウンス = $256/f_S$ 0 1000: AGC ノイズ・デバウンス = $512/f_S$ 0 1001: AGC ノイズ・デバウンス = $1024/f_S$ 0 1010: AGC ノイズ・デバウンス = $2048/f_S$ 0 1011: AGC ノイズ・デバウンス = $4096/f_S$ 0 1100: AGC ノイズ・デバウンス = $2 \times 4096/f_S$ 0 1101: AGC ノイズ・デバウンス = $3 \times 4096/f_S$ 0 1110: AGC ノイズ・デバウンス = $4 \times 4096/f_S$... 1 1110: AGC ノイズ・デバウンス = $20 \times 4096/f_S$ 1 1111: AGC ノイズ・デバウンス = $21 \times 4096/f_S$

ページ0/レジスタ92：AGC信号デバウンス

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	0000	Reserved。これらのビットには、0のみを書き込んでください。
D3-D0	R/W	0000	0000: AGC 信号デバウンス = $0/f_S$ 0001: AGC 信号デバウンス = $4/f_S$ 0010: AGC 信号デバウンス = $8/f_S$ 0011: AGC 信号デバウンス = $16/f_S$ 0100: AGC 信号デバウンス = $32/f_S$ 0101: AGC 信号デバウンス = $64/f_S$ 0110: AGC 信号デバウンス = $128/f_S$ 0111: AGC 信号デバウンス = $256/f_S$ 1000: AGC 信号デバウンス = $512/f_S$ 1001: AGC 信号デバウンス = $1024/f_S$ 1010: AGC 信号デバウンス = $2048/f_S$ 1011: AGC 信号デバウンス = $2 \times 2048/f_S$ 1100: AGC 信号デバウンス = $3 \times 2048/f_S$ 1101: AGC 信号デバウンス = $4 \times 2048/f_S$ 1110: AGC 信号デバウンス = $5 \times 2048/f_S$ 1111: AGC 信号デバウンス = $6 \times 2048/f_S$

ページ0/レジスタ93：AGC適用ゲイン読み取り

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	XXXX XXXX	-24: AGCで適用されるゲイン = -12 dB -23: AGCで適用されるゲイン = -11.5 dB ... 0: AGCで適用されるゲイン = 0 dB ... 115: AGCで適用されるゲイン = 57.5 dB 116: AGCで適用されるゲイン = 58 dB 117: AGCで適用されるゲイン = 58.5 dB 118: AGCで適用されるゲイン = 59 dB 119: AGCで適用されるゲイン = 59.5 dB

ページ0/レジスタ94-101：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのレジスタには書き込まないください。

ページ0/レジスタ102：ADC DC測定1

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: モノラルADCチャンネルに対してDC測定がディスエーブル 1: モノラルADCチャンネルに対してDC測定がイネーブル
D6	R/W	0	Reserved。リセット値のみを書き込んでください。
D5	R/W	0	0: DC測定は、 2^D の平均化を使用した1次同期フィルタに基づいて行う。 1: DC測定は、Dの値に基づいて係数が計算される1次ローパスIIRフィルタに基づいて行う。
D4-D0	R/W	00000	DC測定のD設定 00000: Reserved。設定禁止。 00001: D = 1 00010: D = 2 ... 10011: D = 19 10100: D = 20 10101 to 11111: Reserved。設定禁止。

ページ0/レジスタ103：ADC DC測定2

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。リセット値のみを書き込んでください。
D6	R/W	0	0: DC測定データの更新がイネーブル 1: DC測定データの更新がディスエーブル。ユーザは最後に更新されたデータを正しく読み取ることができます。
D5	R/W	0	0: IIRに基づくDC測定で、測定値はIIRフィルタの瞬時出力 1: IIRに基づくDC測定で、測定値はIIRフィルタの周期的なクリア前に更新
D4-D0	R/W	00000	IIRに基づくDC測定の平均化時間設定 00000: 無限の平均化を使用 00001: 平均化時間はADC変調回路の 2^1 クロック周期 00010: 平均化時間はADC変調回路の 2^2 クロック周期 ... 10011: 平均化時間はADC変調回路の 2^{19} クロック周期 10100: 平均化時間はADC変調回路の 2^{20} クロック周期 10101~11111：予約済み。設定禁止。

ページ0/レジスタ104 - ADC DC測定出力1

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	ADC DC測定出力 (23:16)

ページ0/レジスタ105 - ADC DC測定出力2

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	ADC DC測定出力 (15:8)

ページ0/レジスタ106 - ADC DC測定出力3

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	ADC DC測定出力 (7:0)

ページ0/レジスタ107-115：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのレジスタには書き込まないください。

ページ0/レジスタ116：VOL/MICDETピンのSAR ADC—音量制御

ビット	読み取り/ 書き込み	リセット値	説明																											
D7	R/W	0	0: DAC音量制御は制御レジスタによって制御 (7ビット音量ADCはパワーダウン) 1: DAC音量制御はピンによって制御																											
D6	R/W	0	0: ピン音量制御用の7ビット音量ADCに対して内部RC発振回路を使用 1: ピン音量制御用の7ビット音量ADCに対してMCLKを使用																											
D5-D4	R/W	00	00: 音量制御ADC出力にヒステリシスなし 01: ヒステリシス = ±1ビット 10: ヒステリシス = ±2ビット 11: Reserved。これらのビットには上記のシーケンスを書き込まないください。 000: スループット =																											
D3	R/W	0	Reserved。リセット値のみを書き込んでください。																											
D2-D0	R/W	000	ピン音量制御用の7ビット音量ADCのスループット (MCLKまたは内部発振回路に基づく周波数)																											
			<table border="1"> <thead> <tr> <th></th> <th>MCLK = 12 MHz</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: スループット =</td> <td>15.625 Hz</td> <td>10.68 Hz</td> </tr> <tr> <td>001: スループット =</td> <td>31.25 Hz</td> <td>21.35 Hz</td> </tr> <tr> <td>010: スループット =</td> <td>62.5 Hz</td> <td>42.71 Hz</td> </tr> <tr> <td>011: スループット =</td> <td>125 Hz</td> <td>8.2 Hz</td> </tr> <tr> <td>100: スループット =</td> <td>250 Hz</td> <td>170 Hz</td> </tr> <tr> <td>101: スループット =</td> <td>500 Hz</td> <td>340 Hz</td> </tr> <tr> <td>110: スループット =</td> <td>1 kHz</td> <td>680 Hz</td> </tr> <tr> <td>111: スループット =</td> <td>2 kHz</td> <td>1.37 kHz</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの公称発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>		MCLK = 12 MHz	内部発振ソース	000: スループット =	15.625 Hz	10.68 Hz	001: スループット =	31.25 Hz	21.35 Hz	010: スループット =	62.5 Hz	42.71 Hz	011: スループット =	125 Hz	8.2 Hz	100: スループット =	250 Hz	170 Hz	101: スループット =	500 Hz	340 Hz	110: スループット =	1 kHz	680 Hz	111: スループット =	2 kHz	1.37 kHz
	MCLK = 12 MHz	内部発振ソース																												
000: スループット =	15.625 Hz	10.68 Hz																												
001: スループット =	31.25 Hz	21.35 Hz																												
010: スループット =	62.5 Hz	42.71 Hz																												
011: スループット =	125 Hz	8.2 Hz																												
100: スループット =	250 Hz	170 Hz																												
101: スループット =	500 Hz	340 Hz																												
110: スループット =	1 kHz	680 Hz																												
111: スループット =	2 kHz	1.37 kHz																												

ページ0/レジスタ117：VOL/MICDETピンのゲイン

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D6-D0	R	XXX XXXX	000 0000: ピン音量制御で適用されるゲイン = 18 dB 000 0001: ピン音量制御で適用されるゲイン = 17.5 dB 000 0010: ピン音量制御で適用されるゲイン = 17 dB ... 010 0011: ピン音量制御で適用されるゲイン = 0.5 dB 010 0100: ピン音量制御で適用されるゲイン = 0 dB 010 0101: ピン音量制御で適用されるゲイン = -0.5 dB ... 101 1001: ピン音量制御で適用されるゲイン = -26.5 dB 101 1010: ピン音量制御で適用されるゲイン = -27 dB 101 1011: ピン音量制御で適用されるゲイン = -28 dB ... 111 1101: ピン音量制御で適用されるゲイン = -62 dB 111 1110: ピン音量制御で適用されるゲイン = -63 dB 111 1111: Reserved.

ページ0/レジスタ118~127 : Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのレジスタには書き込まないください。

6.4 制御レジスタ、ページ1 : DAC/ADCルーティング、PGA、電力制御、およびMISCロジック関連のプログラミング

ページ1/レジスタ0 : ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

ページ1/レジスタ1-29 : Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのレジスタには書き込まないください。

ページ1/レジスタ30 : ヘッドホンおよびスピーカー・アンプのエラー制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D2	R/W	0000 00	Reserved
D1	R/W	0	0: ページ1/レジスタ31, D1 = 1の場合、短絡検出時にHPLおよびHPRパワーアップ制御ビットをリセット 1: 短絡検出時にHPLおよびHPRパワーアップ制御ビットは変化しない
D0	R/W	0	0: 短絡検出時にSPLおよびSPRパワーアップ制御ビットをリセット 1: 短絡検出時にSPLおよびSPRパワーアップ制御ビットは変化しない

ページ1/レジスタ31 : ヘッドホン・ドライバ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: HPL出力ドライバはパワーダウン 1: HPL出力ドライバはパワーアップ
D6	R/W	0	0: HPR出力ドライバはパワーダウン 1: HPR出力ドライバはパワーアップ
D5	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D4-D3	R/W	0	00: 出力同相モード電圧 = 1.35 V 01: 出力同相モード電圧 = 1.5 V 10: 出力同相モード電圧 = 1.65 V 11: 出力同相モード電圧 = 1.8 V
D2	R/W	1	Reserved。このビットには、1のみを書き込んでください。
D1	R/W	0	0: ヘッドホン・ドライバの短絡検出がイネーブルで、短絡が検出された場合、負荷への最大電流を制限 1: ヘッドホン・ドライバの短絡検出がイネーブルで、短絡が検出された場合、出力ドライバをパワーダウン
D0	R	0	0: ヘッドホン・ドライバで短絡未検出 1: ヘッドホン・ドライバで短絡を検出

ページ1/レジスタ32：Class-Dスピーカー・アンプ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 左チャンネルClass-D出力ドライバはパワーダウン 1: 左チャンネルClass-D出力ドライバはパワーアップ
D6	R/W	0	0: 右チャンネルClass-D出力ドライバはパワーダウン 1: 右チャンネルClass-D出力ドライバはパワーアップ
D5-D1	R/W	00 011	Reserved。このビットには、リセット値のみを書き込んでください。
D0	R	0	0: Class-Dドライバで短絡未検出。Class-Dアンプがパワーアップされている場合のみ有効。短絡フラグのスティッキー・ビットについては、ページ0/レジスタ44を参照してください。 1: Class-Dドライバで短絡を検出。Class-Dアンプがパワーアップされている場合のみ有効。短絡フラグのスティッキー・ビットについては、ページ0/レジスタ44を参照してください。

ページ1/レジスタ33：ヘッドホン出力ドライバのポップ音除去設定

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: パワーダウン・シーケンスがページ1/レジスタ46のビットD7を使用したデバイスのソフトウェア・パワーダウンによって実行される場合、HPおよびSPアンプと同時にDACをパワーダウンする。 1: パワーダウン・シーケンスがページ1/レジスタ46のビットD7を使用したデバイスのソフトウェア・パワーダウンによって実行される場合、HPおよびSPアンプが完全にパワーダウンされた後でDACをパワーダウンする。これは、パワーダウン時のポップ音を最小限に抑える設定です。
D6-D3	R/W	0111	0000: ドライバのパワーオン時間 = 0 μ s 0001: ドライバのパワーオン時間 = 15.3 μ s 0010: ドライバのパワーオン時間 = 153 μ s 0011: ドライバのパワーオン時間 = 1.53 ms 0100: ドライバのパワーオン時間 = 15.3 ms 0101: ドライバのパワーオン時間 = 76.2 ms 0110: ドライバのパワーオン時間 = 153 ms 0111: ドライバのパワーオン時間 = 304 ms 1000: ドライバのパワーオン時間 = 610ms 1001: ドライバのパワーオン時間 = 1.22 s 1010: ドライバのパワーオン時間 = 3.04 s 1011: ドライバのパワーオン時間 = 6.1 s 1100-1111: 予約済み。これらのビットには上記のシーケンスを書き込まないください。 注：これらの値は、8.2MHzの標準発振周波数に基づいています。値は実際の発振周波数に応じて異なります。
D2-D1	R/W	11	00: ドライバの上昇ステップ時間 = 0 ms 01: ドライバの上昇ステップ時間 = 0.98 ms 10: ドライバの上昇ステップ時間 = 1.95 ms 11: ドライバの上昇ステップ時間 = 3.9 ms 注：これらの値は、8.2MHzの標準発振周波数に基づいています。値は実際の発振周波数に応じて異なります。
D0	R/W	0	0: 弱い出力同相モード電圧をAVDD電源の分圧抵抗回路から生成 1: 弱い出力同相モード電圧をバンドギャップ・リファレンスから生成

ページ1/レジスタ34：出力ドライバのPGA下降時間制御

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、リセット値のみを書き込んでください。
D6-D4	R/W	000	スピーカーのパワーアップ待ち時間（内部発振回路の使用に基づく時間） 000: 待ち時間 = 0 ms 001: 待ち時間 = 3.04 ms 010: 待ち時間 = 7.62 ms 011: 待ち時間 = 12.2 ms 100: 待ち時間 = 15.3 ms 101: 待ち時間 = 19.8 ms 110: 待ち時間 = 24.4 ms 111: 待ち時間 = 30.5 ms 注：これらの値は、8.2MHzの標準発振周波数に基づいています。値は実際の発振周波数に応じて異なります。
D3-D0	R/W	0000	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ1/レジスタ35 : DAC_LおよびDAC_R出力ミキサのルーティング

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	00: DAC_Lをどこにもルーティングしない。 01: DAC_Lを左チャンネル・ミキサ・アンプにルーティング。 10: DAC_Lを直接HPLドライバにルーティング。 11: 予約済み
D5	R/W	0	0: MIC入力を左チャンネル・ミキサ・アンプにルーティングしない。 1: MIC入力を左チャンネル・ミキサ・アンプにルーティング。
D4		0	0: AUX1入力を左チャンネル・ミキサ・アンプにルーティングしない。 1: AUX1入力を左チャンネル・ミキサ・アンプにルーティング。
D3-D2	R/W	00	00: DAC_Rをどこにもルーティングしない。 01: DAC_Rを右チャンネル・ミキサ・アンプにルーティング。 10: DAC_Rを直接HPRドライバにルーティング。 11: Reserved
D1	R/W	0	0: AUX1入力を右チャンネル・ミキサ・アンプにルーティングしない。 1: AUX1入力を右チャンネル・ミキサ・アンプにルーティング。
D0	R/W	0	0: HPLドライバ出力をHPRドライバにルーティングしない。 1: HPLドライバ出力をHPRドライバ入力にルーティング（差動出力モードで使用）。

ページ1/レジスタ36 : HPLへの左アナログ音量

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 左チャンネルのアナログ音量制御をHPL出力ドライバにルーティングしない。 1: 左チャンネルのアナログ音量制御をHPL出力ドライバにルーティング。
D6-D0	R/W	111 1111	HPL出力ドライバに対する左チャンネルのアナログ音量制御ゲイン（非線形）：0dB～-78dB。 表5-37および表5-38を参照してください。

ページ1/レジスタ37 : HPRへの右アナログ音量

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 右チャンネルのアナログ音量制御をHPR出力ドライバにルーティングしない。 1: 右チャンネルのアナログ音量制御をHPR出力ドライバにルーティング。
D6-D0	R/W	111 1111	HPR出力ドライバに対する右チャンネルのアナログ音量制御ゲイン（非線形）：0dB～-78dB。 表5-37および表5-38を参照してください。

ページ1/レジスタ38 : SPLへの左アナログ音量

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 左チャンネルのアナログ音量制御出力を左チャンネルClass-D出力ドライバにルーティングしない。 1: 左チャンネルのアナログ音量制御出力を左チャンネルClass-D出力ドライバにルーティング。
D6-D0	R/W	111 1111	左チャンネルClass-D出力ドライバに対する左チャンネルのアナログ音量制御出力ゲイン（非線形）：0dB～-78dB。表5-37および表5-38を参照してください。

ページ1/レジスタ39 : SPRへの右アナログ音量

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 右チャンネルのアナログ音量制御出力を右チャンネルClass-D出力ドライバにルーティングしない。 1: 右チャンネルのアナログ音量制御出力を右チャンネルClass-D出力ドライバにルーティング。
D6-D0	R/W	111 1111	右チャンネルClass-D出力ドライバに対する右チャンネルのアナログ音量制御出力ゲイン（非線形）：0dB～-78dB。表5-37および表5-38を参照してください。

ページ1/レジスタ40：HPLドライバ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D6-D3	R/W	0000	0000: HPL ドライバ PGA = 0 dB 0001: HPL ドライバ PGA = 1 dB 0010: HPL ドライバ PGA = 2 dB ... 1000: HPL ドライバ PGA = 8 dB 1001: HPL ドライバ PGA = 9 dB 1010-1111: 予約済み。これらのビットには上記のシーケンスを書き込まないください。
D2	R/W	0	0: HPL ドライバをミュート。 1: HPL ドライバをミュートしない。
D1	R/W	1	0: パワーダウン時、HPLドライバは弱い同相モードに駆動。 1: パワーダウン時、HPLドライバはハイ・インピーダンス。
D0	R	0	0: HPLへのプログラミングされたゲインがすべては適用されていない。 1: HPLへのプログラミングされたゲインがすべて適用されている。

ページ1/レジスタ41：HPRドライバ

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D6-D3	R/W	0000	0000: HPR ドライバ PGA = 0 dB 0001: HPR ドライバ PGA = 1 dB 0010: HPR ドライバ PGA = 2 dB ... 1000: HPR ドライバ PGA = 8 dB 1001: HPR ドライバ PGA = 9 dB 1010-1111: 予約済み。これらのビットには上記のシーケンスを書き込まないください。
D2	R/W	0	0: HPR ドライバをミュート。 1: HPR ドライバをミュートしない。
D1	R/W	1	0: パワーダウン時、HPRドライバは弱い同相モードに駆動。 1: パワーダウン時、HPRドライバはハイ・インピーダンス。
D0	R	0	0: HPRへのプログラミングされたゲインがまだすべては適用されていない。 1: HPRへのプログラミングされたゲインがすべて適用されている。

ページ1/レジスタ42：SPLドライバ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved。これらのビットには、0のみを書き込んでください。
D4-D3	R/W	00	00: 左チャンネルClass-Dドライバ出力段ゲイン = 6 dB 01: 左チャンネルClass-Dドライバ出力段ゲイン = 12 dB 10: 左チャンネルClass-Dドライバ出力段ゲイン = 18 dB 11: 左チャンネルClass-Dドライバ出力段ゲイン = 24 dB
D2	R/W	0	0: 左チャンネルClass-Dドライバをミュート。 1: 左チャンネルClass-Dドライバをミュートしない。
D1	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D0	R	0	0: 左チャンネルClass-Dドライバへのプログラミングされたゲインがまだすべては適用されていない。 1: 左チャンネルClass-Dドライバへのプログラミングされたゲインがすべて適用されている。

ページ1/レジスタ43 : SPRドライバ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved。これらのビットには、0のみを書き込んでください。
D4-D3	R/W	00	00: 右チャンネルClass-Dドライバ出力段ゲイン = 6 dB 01: 右チャンネルClass-Dドライバ出力段ゲイン = 12 dB 10: 右チャンネルClass-Dドライバ出力段ゲイン = 18 dB 11: 右チャンネルClass-Dドライバ出力段ゲイン = 24 dB
D2	R/W	0	0: 右チャンネルClass-Dドライバをミュート。 1: 右チャンネルClass-Dドライバをミュートしない。
D1	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D0	R	0	0: 右チャンネルClass-Dドライバへのプログラミングされたゲインがまだすべては適用されていない。 1: 右チャンネルClass-Dドライバへのプログラミングされたゲインがすべて適用されている。

ページ1/レジスタ44 : HPドライバ制御

ビット	読み取り/ 書き込み	リセット値	説明																								
D7-D5	R/W	000	ヘッドセット短絡検出のデバウンス時間																								
			<table border="1"> <thead> <tr> <th>(1)</th> <th>MCLK/DIV (ページ3/レジスタ16) = 1MHzソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: デバウンス時間 =</td> <td>0 μs</td> <td>0 μs</td> </tr> <tr> <td>001: デバウンス時間 =</td> <td>8 μs</td> <td>7.8 μs</td> </tr> <tr> <td>010: デバウンス時間 =</td> <td>16 μs</td> <td>15.6 μs</td> </tr> <tr> <td>011: デバウンス時間 =</td> <td>32 μs</td> <td>31.2 μs</td> </tr> <tr> <td>100: デバウンス時間 =</td> <td>64 μs</td> <td>62.4 μs</td> </tr> <tr> <td>101: デバウンス時間 =</td> <td>128 μs</td> <td>124.9 μs</td> </tr> <tr> <td>110: デバウンス時間 =</td> <td>256 μs</td> <td>250 μs</td> </tr> <tr> <td>111: デバウンス時間 =</td> <td>512 μs</td> <td>500 μs</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの公称発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>	(1)	MCLK/DIV (ページ3/レジスタ16) = 1MHzソース	内部発振ソース	000: デバウンス時間 =	0 μs	0 μs	001: デバウンス時間 =	8 μs	7.8 μs	010: デバウンス時間 =	16 μs	15.6 μs	011: デバウンス時間 =	32 μs	31.2 μs	100: デバウンス時間 =	64 μs	62.4 μs	101: デバウンス時間 =	128 μs	124.9 μs	110: デバウンス時間 =	256 μs	250 μs
(1)	MCLK/DIV (ページ3/レジスタ16) = 1MHzソース	内部発振ソース																									
000: デバウンス時間 =	0 μs	0 μs																									
001: デバウンス時間 =	8 μs	7.8 μs																									
010: デバウンス時間 =	16 μs	15.6 μs																									
011: デバウンス時間 =	32 μs	31.2 μs																									
100: デバウンス時間 =	64 μs	62.4 μs																									
101: デバウンス時間 =	128 μs	124.9 μs																									
110: デバウンス時間 =	256 μs	250 μs																									
111: デバウンス時間 =	512 μs	500 μs																									
D4-D3	R/W	00	00: DACのデフォルト・モード 01: 電流の増加によってDACの性能を向上させる。 10: Reserved 11: 電流を再度増加することでDACの性能をさらに向上させる。																								
D2	R/W	0	0: HPL出力ドライバをヘッドホン・ドライバとしてプログラミング。 1: HPL出力ドライバをライン出力ドライバとしてプログラミング。																								
D1	R/W	0	0: HPR出力ドライバをヘッドホン・ドライバとしてプログラミング。 1: HPR出力ドライバをライン出力ドライバとしてプログラミング。																								
D0	R/W	0	予約済み。このビットには、0のみを書き込んでください。																								

(1) デバウンスに使用するクロックの周期 = デバウンス時間/8

ページ1/レジスタ45 : Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのレジスタには書き込まないください。

ページ1/レジスタ46 : MICBIAS

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: デバイスのソフトウェア・パワーダウンがディスエーブル。 1: デバイスのソフトウェア・パワーダウンがイネーブル。
D6-D4	R/W	000	Reserved。これらのビットには、0のみを書き込んでください。
D3	R/W	0	0: ヘッドセット検出がイネーブルのとき、ヘッドセットが挿入されていない場合は、MICBIASをパワーアップしない。 1: ヘッドセットが挿入されていない場合でも、プログラミングされたMICBIASをパワーアップする。
D2	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D1-D0	R/W	00	00: MICBIAS出力はパワーダウン。 01: MICBIAS出力は2V。 10: MICBIAS出力は2.5V。 11: MICBIAS出力はAVDDレベル。

ページ1/レジスタ47 : MIC PGA

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	1	0: MIC PGAをビットD6-D0で制御。 1: MIC PGAは0dB。
D6-D0	R/W	000 0000	000 0000: PGA = 0 dB 000 0001: PGA = 0.5 dB 000 0010: PGA = 1 dB ... 111 0110: PGA = 59 dB 111 0111: PGA = 59.5 dB 111 1000-111 1111: 予約済み。これらのビットには上記のシーケンスを書き込まないください。

ページ1/レジスタ48 : P端子のデルタ・シグマ・モノラルADCチャンネルの微調整ゲイン入力選択

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6 (1)(2)	R/W	00	00: MIC PGAに対してMICを選択しない。 01: MIC PGAに対してフィードフォワード抵抗RIN = 10kΩでMICを選択。 10: MIC PGAに対してフィードフォワード抵抗RIN = 20kΩでMICを選択。 11: MIC PGAに対してフィードフォワード抵抗RIN = 40kΩでMICを選択。
D5-D4	R/W	00	00: MIC PGAに対してAUX1を選択しない。 01: MIC PGAに対してフィードフォワード抵抗RIN = 10kΩでAUX1を選択。 10: MIC PGAに対してフィードフォワード抵抗RIN = 20kΩでAUX1を選択。 11: MIC PGAに対してフィードフォワード抵抗RIN = 40kΩでAUX1を選択。
D3-D2	R/W	00	00: MIC PGAに対してAUX2を選択しない。 01: MIC PGAに対してフィードフォワード抵抗RIN = 10kΩでAUX2を選択。 10: MIC PGAに対してフィードフォワード抵抗RIN = 20kΩでAUX2を選択。 11: MIC PGAに対してフィードフォワード抵抗RIN = 40kΩでAUX2を選択。
D1-D0	R/W	00	予約済み。これらのビットには、0のみを書き込んでください。

- (1) レジスタ 48 および 49 の D7-D6 を同じ値にプログラミングします。
 (2) 入力インピーダンスの選択は、マイク PGA ゲインに影響を与えます。詳細については、「アナログ・フロント・エンド」を参照してください。

ページ1/レジスタ49 : M端子のADC入力選択

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6 ⁽¹⁾⁽²⁾	R/W	00	00: MIC PGAに対してCMを選択しない。 01: MIC PGAに対してフィードフォワード抵抗RIN = 10kΩでCMを選択。 10: MIC PGAに対してフィードフォワード抵抗RIN = 20kΩでCMを選択。 11: MIC PGAに対してフィードフォワード抵抗RIN = 40kΩでCMを選択。
D5-D4		00	00: 左MIC PGAに対してAUX2を選択しない。 01: MIC PGAに対してフィードフォワード抵抗RIN = 10kΩでAUX2を選択。 10: MIC PGAに対してフィードフォワード抵抗RIN = 20kΩでAUX2を選択。 11: MIC PGAに対してフィードフォワード抵抗RIN = 40kΩでAUX2を選択。
D3-D0	R/W	0000	予約済み。これらのビットには、0のみを書き込んでください。

- (1) レジスタ 48 および 49 の D7-D6 を同じ値にプログラミングします。
 (2) 入力インピーダンスの選択は、マイク PGA ゲインに影響を与えます。詳細については、「アナログ・フロント・エンド」を参照してください。

ページ1/レジスタ50 : 入力CM設定

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: MIC PGAおよびアナログ・バイパスに使用しない場合、MIC入力はフローティング。 1: MIC PGAおよびアナログ・バイパスに使用しない場合、MIC入力は内部でCMに接続。
D6	R/W	0	0: MIC PGAおよびアナログ・バイパスに使用しない場合、AUX1入力はフローティング。 1: MIC PGAおよびアナログ・バイパスに使用しない場合、AUX1入力は内部でCMに接続。
D5	R/W	0	0: MIC PGAに使用しない場合、AUX2入力はフローティング。 1: MIC PGAに使用しない場合、AUX2入力は内部でCMに接続。
D4-D1	R/W	0000	Reserved。これらのビットには、0のみを書き込んでください。
D0	R	0	0: ADCへのプログラミングされたアナログ・ゲインがまだすべて実行されていない。 1: ADCへのプログラミングされたアナログ・ゲインがすべて実行されている。

ページ1/レジスタ51-127 : Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

6.5 制御レジスタ、ページ3 : TSC制御およびデータのプログラミング

ページ3/レジスタ0 : ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

ページ3/レジスタ1 : 予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ2 : SAR ADC制御

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 標準モード 1: 変換を停止してSAR ADCをパワーダウン。
D6-D5	R/W	00	00: SAR ADCの分解能 = 12ビット 01: SAR ADCの分解能 = 8ビット 10: SAR ADCの分解能 = 10ビット 11: SAR ADCの分解能 = 12ビット
D4-D3	R/W	00	00: SAR ADC クロック分周値 = 1 (分解能が 8 ビットの場合のみ使用) (この分周値は、変換クロックの生成にのみ使用され、他のロジックには使用されません。) 01: SAR ADC クロック分周値 = 2 (分解能が 8 ビット / 10 ビットの場合のみ使用) 10: SAR ADC クロック分周値 = 4 (8 ビット / 10 ビットの分解能でさらに高い性能を得るには、この設定を推奨) 11: SAR ADC クロック分周値 = 8 (12 ビットの分解能でさらに高い性能を得るには、この設定を推奨)
D2	R/W	000	0: 内部のデータ平均化 (イネーブルの場合) に平均値フィルタを使用。 1: 内部のデータ平均化 (イネーブルの場合) に中央値フィルタを使用。
D1-D0	R/W		00: 内部のデータ平均化がディスエーブル 01: 平均値フィルタの場合は4データ平均化/中央値フィルタの場合は5データ平均化 10: 平均値フィルタの場合は8データ平均化/中央値フィルタの場合は9データ平均化 11: 平均値フィルタの場合は16データ平均化/中央値フィルタの場合は15データ平均化

ページ3/レジスタ3 : SAR ADC制御

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: ホスト制御による変換 1: ペン・タッチに基づく自己制御のタッチ・スクリーン変換
D6	R/W	0	Reserved。このビットには、0のみを書き込んでください。
D5-D2	R/W	0000	0000: 変換モード = スキャンなし 0001: 変換モード = (X, Y) スキャン: ホスト制御モードの場合でも、いったん起動した後は、ペンが上げられるか停止ビット (レジスタ 2、ビット D7) が送信されるまで、スキャンが続行されます。 0010: 変換モード = (X, Y, Z1, Z2) スキャン: ホスト制御モードの場合でも、いったん起動した後は、ペンが上げられるか停止ビット (レジスタ 2、ビット D7) が送信されるまで、スキャンが続行されます。 0011: 変換モード = X スキャン: 自己制御モードの場合のみ、いったん起動した後は、ペンが上げられるか停止ビット (レジスタ 2、ビット D7) が送信されるまで、スキャンが続行されます。 0100: 変換モード = Y スキャン: 自己制御モードの場合のみ、いったん起動した後は、ペンが上げられるか停止ビット (レジスタ 2、ビット D7) が送信されるまで、スキャンが続行されます。 0101: 変換モード = (Z1, Z2) スキャン: 自己制御モードの場合のみ、いったん起動した後は、ペンが上げられるか停止ビット (レジスタ 2、ビット D7) が送信されるまで、スキャンが続行されます。 0110: 変換モード = VBAT 測定 0111: 変換モード = AUX2 測定 1000: 変換モード = AUX1 測定 1001: 変換モード = 自動スキャン。使用するシーケンスは、AUX1、AUX2、VBAT。これらの入力はそれぞれ、レジスタ 19 を使用して独立にイネーブルまたはディスエーブルにでき、それによってシーケンスが変更されます。停止ビット (レジスタ 2、ビット D7) が送信されるか、このレジスタのビット D5-D2 が変更されるまで、スキャンが続行されます。 1010: 変換モード = TEMP1 測定 1011: 変換モード = ボート・スキャン: AUX1、AUX2、VBAT 1100: 変換モード = TEMP2 測定 1101-1111: 予約済み。これらのビットには上記のシーケンスを書き込まないください。
D1-D0	R/W	0	00: 割り込みピン (GPIO1またはGPIO2ピン) = PEN割り込みPENIRQ (アクティブ・ロー) 01: 割り込みピン (GPIO1またはGPIO2ピン) = データ使用可能DATA_AVA (アクティブ・ロー) 10: 割り込みピン (GPIO1またはGPIO2ピン) = PEN割り込みPENIRQおよびデータ使用可能DATA_AVA (アクティブ・ハイ) 11: Reserved

ページ3/レジスタ4：プリチャージおよび検知

ビット	読み取り/ 書き込み	リセット値	説明																								
D7	R/W	0	0: ペン・タッチ検出がイネーブル。 1: ペン・タッチ検出がディスエーブル。																								
D6-D4	R/W	000	タッチ検出前のプリチャージ時間 [内部発振回路またはMCLK/DIV (レジスタ17) の使用に基づいた時間]																								
			<table border="1"> <thead> <tr> <th></th> <th>MCLK/DIV = 8MHz ソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: プリチャージ時間 =</td> <td>0.25 μs</td> <td>0.24 μs</td> </tr> <tr> <td>001: プリチャージ時間 =</td> <td>1 μs</td> <td>0.97 μs</td> </tr> <tr> <td>010: プリチャージ時間 =</td> <td>3 μs</td> <td>2.92 μs</td> </tr> <tr> <td>011: プリチャージ時間 =</td> <td>10 μs</td> <td>9.7 μs</td> </tr> <tr> <td>100: プリチャージ時間 =</td> <td>30 μs</td> <td>29.2 μs</td> </tr> <tr> <td>101: プリチャージ時間 =</td> <td>100 μs</td> <td>97 μs</td> </tr> <tr> <td>110: プリチャージ時間 =</td> <td>300 μs</td> <td>292 μs</td> </tr> <tr> <td>111: プリチャージ時間 =</td> <td>1 ms</td> <td>0.97 ms</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの公称発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>		MCLK/DIV = 8MHz ソース	内部発振ソース	000: プリチャージ時間 =	0.25 μ s	0.24 μ s	001: プリチャージ時間 =	1 μ s	0.97 μ s	010: プリチャージ時間 =	3 μ s	2.92 μ s	011: プリチャージ時間 =	10 μ s	9.7 μ s	100: プリチャージ時間 =	30 μ s	29.2 μ s	101: プリチャージ時間 =	100 μ s	97 μ s	110: プリチャージ時間 =	300 μ s	292 μ s
	MCLK/DIV = 8MHz ソース	内部発振ソース																									
000: プリチャージ時間 =	0.25 μ s	0.24 μ s																									
001: プリチャージ時間 =	1 μ s	0.97 μ s																									
010: プリチャージ時間 =	3 μ s	2.92 μ s																									
011: プリチャージ時間 =	10 μ s	9.7 μ s																									
100: プリチャージ時間 =	30 μ s	29.2 μ s																									
101: プリチャージ時間 =	100 μ s	97 μ s																									
110: プリチャージ時間 =	300 μ s	292 μ s																									
111: プリチャージ時間 =	1 ms	0.97 ms																									
D3	R/W	0	Reserved。このビットには、0のみを書き込んでください。																								
D2-D0	R/W	000	タッチ検出中の検知時間 [内部発振回路またはMCLK/DIV (レジスタ17) の使用に基づいた時間]																								
			<table border="1"> <thead> <tr> <th></th> <th>MCLK/DIV = 8MHz ソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: 検知時間 =</td> <td>1 μs</td> <td>0.97 μs</td> </tr> <tr> <td>001: 検知時間 =</td> <td>2 μs</td> <td>1.94 μs</td> </tr> <tr> <td>010: 検知時間 =</td> <td>3 μs</td> <td>2.92 μs</td> </tr> <tr> <td>011: 検知時間 =</td> <td>10 μs</td> <td>9.7 μs</td> </tr> <tr> <td>100: 検知時間 =</td> <td>30 μs</td> <td>29.2 μs</td> </tr> <tr> <td>101: 検知時間 =</td> <td>100 μs</td> <td>97 μs</td> </tr> <tr> <td>110: 検知時間 =</td> <td>300 μs</td> <td>292 μs</td> </tr> <tr> <td>111: 検知時間 =</td> <td>1 ms</td> <td>0.97 ms</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの公称発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>		MCLK/DIV = 8MHz ソース	内部発振ソース	000: 検知時間 =	1 μ s	0.97 μ s	001: 検知時間 =	2 μ s	1.94 μ s	010: 検知時間 =	3 μ s	2.92 μ s	011: 検知時間 =	10 μ s	9.7 μ s	100: 検知時間 =	30 μ s	29.2 μ s	101: 検知時間 =	100 μ s	97 μ s	110: 検知時間 =	300 μ s	292 μ s
	MCLK/DIV = 8MHz ソース	内部発振ソース																									
000: 検知時間 =	1 μ s	0.97 μ s																									
001: 検知時間 =	2 μ s	1.94 μ s																									
010: 検知時間 =	3 μ s	2.92 μ s																									
011: 検知時間 =	10 μ s	9.7 μ s																									
100: 検知時間 =	30 μ s	29.2 μ s																									
101: 検知時間 =	100 μ s	97 μ s																									
110: 検知時間 =	300 μ s	292 μ s																									
111: 検知時間 =	1 ms	0.97 ms																									

ページ3/レジスタ5：パネル電圧の安定化

ビット	読み取り/ 書き込み	リセット値	説明																								
D7-D6	R/W	000	00: SARコンパレータのバイアス電流は通常設定。 01: より高い変換クロックをサポートするためにSARコンパレータのバイアスを25%増加。 10: より高い変換クロックをサポートするためにSARコンパレータのバイアスを50%増加。 11: より高い変換クロックをサポートするためにSARコンパレータのバイアスを100%増加。																								
D5	R/W	0	0: デフォルトのサンプル期間。 1: より出力インピーダンスの高い入力をサポートするためにサンプル期間を2倍にする。																								
D4-D3	R/W	00	予約済み。これらのビットには、0のみを書き込んでください。																								
D2-D0	R/W	000	変換前のパネル電圧安定化時間 [内部発振回路またはMCLK/DIV (レジスタ17) の使用に基づいた時間]																								
			<table border="1"> <thead> <tr> <th></th> <th>MCLK/DIV = 8MHz ソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: 安定化時間 =</td> <td>0.25 μs</td> <td>0.24 μs</td> </tr> <tr> <td>001: 安定化時間 =</td> <td>1 μs</td> <td>0.97 μs</td> </tr> <tr> <td>010: 安定化時間 =</td> <td>3 μs</td> <td>2.92 μs</td> </tr> <tr> <td>011: 安定化時間 =</td> <td>10 μs</td> <td>9.7 μs</td> </tr> <tr> <td>100: 安定化時間 =</td> <td>30 μs</td> <td>29.2 μs</td> </tr> <tr> <td>101: 安定化時間 =</td> <td>100 μs</td> <td>97 μs</td> </tr> <tr> <td>110: 安定化時間 =</td> <td>300 μs</td> <td>292 μs</td> </tr> <tr> <td>111: 安定化時間 =</td> <td>1 ms</td> <td>0.97 ms</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの公称発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>		MCLK/DIV = 8MHz ソース	内部発振ソース	000: 安定化時間 =	0.25 μ s	0.24 μ s	001: 安定化時間 =	1 μ s	0.97 μ s	010: 安定化時間 =	3 μ s	2.92 μ s	011: 安定化時間 =	10 μ s	9.7 μ s	100: 安定化時間 =	30 μ s	29.2 μ s	101: 安定化時間 =	100 μ s	97 μ s	110: 安定化時間 =	300 μ s	292 μ s
	MCLK/DIV = 8MHz ソース	内部発振ソース																									
000: 安定化時間 =	0.25 μ s	0.24 μ s																									
001: 安定化時間 =	1 μ s	0.97 μ s																									
010: 安定化時間 =	3 μ s	2.92 μ s																									
011: 安定化時間 =	10 μ s	9.7 μ s																									
100: 安定化時間 =	30 μ s	29.2 μ s																									
101: 安定化時間 =	100 μ s	97 μ s																									
110: 安定化時間 =	300 μ s	292 μ s																									
111: 安定化時間 =	1 ms	0.97 ms																									

ページ3/レジスタ6：電圧リファレンス

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: タッチ・スクリーン以外の測定に外部リファレンスを使用。 1: タッチ・スクリーン以外の測定に内部リファレンスを使用。
D6	R/W	0	0: 内部リファレンス = 1.25V 1: 内部リファレンス = 2.5V
D5	R/W	1	0: 変換時に内部リファレンスを連続してパワーアップ。 1: 変換を実行中かに応じて内部リファレンスを自動的にパワーアップ/ダウン。
D4	R/W	0	Reserved
D3-D2	R/W	00	変換前のリファレンス安定化時間 00: 0 μ s 01: 100 μ s 10: 500 μ s 11: 1 ms 注：これらの値は、MCLK/DIV（ページ3/レジスタ17）= 8MHzに基づいています。値は実際の発振周波数に応じて異なります。
D1	R/W	0	Reserved
D0	R/W	0	0: VBATは通常の補助入力（ $VBAT \leq VREF$ ）。 1: VBAT = BATはバッテリー測定用のバッテリー入力。

ページ3/レジスタ7～8：Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ9：ステータス・ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7	R	0	0: ペン・タッチ未検出。 1: ペン・タッチを検出。
D6	R	1	0: ADCがビジー。 1: ADCがビジーでない。
D5	R	0	0: 新しいデータが使用可能でない。 1: 新しいデータが使用可能。（このビットは、変換されたデータがすべて完全に読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）
D4	R/W	X	Reserved。このビットには、リセット値のみを書き込んでください。
D3	R	0	0: 新しいXデータが使用可能でない。 1: X座標の新しいデータが使用可能。（このビットは、変換されたXデータが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）
D2	R	0	0: 新しいYデータが使用可能でない。 1: Y座標の新しいデータが使用可能。（このビットは、変換されたYデータが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）
D1	R	0	0: 新しいZ1データが使用可能でない。 1: Z1座標の新しいデータが使用可能。（このビットは、変換されたZ1データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）
D0	R	0	0: 新しいZ2データが使用可能でない。 1: Z2座標の新しいデータが使用可能。（このビットは、変換されたZ2データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）

- 0: 新しいYデータが使用可能でない。
1: Y座標の新しいデータが使用可能。（このビットは、変換されたYデータが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）
0: 新しいZ1データが使用可能でない。
1: Z1座標の新しいデータが使用可能。（このビットは、変換されたZ1データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）
0: 新しいZ2データが使用可能でない。
1: Z2座標の新しいデータが使用可能。（このビットは、変換されたZ2データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。）

ページ3/レジスタ10：ステータス・ビット

ビット	読み取り/ 書き込み	リセット値	説明
D7	R	0	0: 新しい AUX1 データが使用可能でない。 1: AUX1 の新しいデータが使用可能。(このビットは、変換された AUX1 データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。)
D6	R	0	0: 新しい AUX2 データが使用可能でない。 1: AUX2 の新しいデータが使用可能。(このビットは、変換された AUX2 データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。)
D5	R	0	0: 新しい VBAT データが使用可能でない。 1: VBAT の新しいデータが使用可能。(このビットは、変換された VBAT (BAT) データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。)
D4-D2	R/W	XXX	Reserved. これらのビットには、0 のみを書き込んでください。
D1	R	0	0: 新しい TEMP1 データが使用可能でない。 1: TEMP1 の新しいデータが使用可能。(このビットは、変換された TEMP1 データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。)
D0	R	0	0: 新しい TEMP2 データが使用可能でない。 1: TEMP2 の新しいデータが使用可能。(このビットは、変換された TEMP2 データが読み出された後でのみ、クリアされます。このビットは、バッファ・モードでは無効です。)

ページ3/レジスタ11~12：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved. これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ13：バッファ・モード

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: バッファ・モードがディセーブルで、RDPTR、WRPTR、および TGPTR はデフォルト値に設定。 1: バッファ・モードがイネーブル。
D6	R/W	0	0: バッファ・モードが連続変換モードとしてイネーブル。 1: バッファ・モードがシングル変換モードとしてイネーブル。
D5-D3	R/W	000	000: 変換のトリガ・レベル = 8× 変換データ数 001: 変換のトリガ・レベル = 16× 変換データ数 010: 変換のトリガ・レベル = 24× 変換データ数 011: 変換のトリガ・レベル = 32× 変換データ数 100: 変換のトリガ・レベル = 40× 変換データ数 101: 変換のトリガ・レベル = 48× 変換データ数 110: 変換のトリガ・レベル = 56× 変換データ数 111: 変換のトリガ・レベル = 64× 変換データ数
D2	R/W	0	Reserved
D1	R	0	0: バッファが満杯でない。 1: バッファが満杯。これは、バッファに 64 個のまだ読み取られていない変換済みデータが含まれていることを意味します。
D0	R	1	0: バッファが空でない。 1: バッファが空。これは、読み取られていない変換済みデータがバッファに含まれないことを意味します。

ページ3/レジスタ14：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	00001111	Reserved. これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ15：スキャン・モード・タイマ

ビット	読み取り/ 書き込み	リセット値	説明																											
D7	R/W	0	0: タッチ・スクリーン測定プログラミング可能な遅延時間がディスエーブル ⁽¹⁾ 1: タッチ・スクリーン測定プログラミング可能な遅延時間がイネーブル。																											
D6-D4	R/W	100	<p>プログラミング可能な間隔タイマ遅延時間 [内部発振回路または MCLK/DIV (ページ 3/ レジスタ 16、ビット D7) の使用に基づいた時間]⁽²⁾</p> <table border="1"> <thead> <tr> <th></th> <th>MCLK/DIV = 1MHz ソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: 遅延時間 =</td> <td>8 ms</td> <td>7.80 ms</td> </tr> <tr> <td>001: 遅延時間 =</td> <td>1 ms</td> <td>0.97 ms</td> </tr> <tr> <td>010: 遅延時間 =</td> <td>2 ms</td> <td>1.95 ms</td> </tr> <tr> <td>011: 遅延時間 =</td> <td>3 ms</td> <td>2.93 ms</td> </tr> <tr> <td>100: 遅延時間 =</td> <td>4 ms</td> <td>3.91 ms</td> </tr> <tr> <td>101: 遅延時間 =</td> <td>5 ms</td> <td>4.88 ms</td> </tr> <tr> <td>110: 遅延時間 =</td> <td>6 ms</td> <td>5.85 ms</td> </tr> <tr> <td>111: 遅延時間 =</td> <td>7 ms</td> <td>6.83 ms</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの標準発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>		MCLK/DIV = 1MHz ソース	内部発振ソース	000: 遅延時間 =	8 ms	7.80 ms	001: 遅延時間 =	1 ms	0.97 ms	010: 遅延時間 =	2 ms	1.95 ms	011: 遅延時間 =	3 ms	2.93 ms	100: 遅延時間 =	4 ms	3.91 ms	101: 遅延時間 =	5 ms	4.88 ms	110: 遅延時間 =	6 ms	5.85 ms	111: 遅延時間 =	7 ms	6.83 ms
	MCLK/DIV = 1MHz ソース	内部発振ソース																												
000: 遅延時間 =	8 ms	7.80 ms																												
001: 遅延時間 =	1 ms	0.97 ms																												
010: 遅延時間 =	2 ms	1.95 ms																												
011: 遅延時間 =	3 ms	2.93 ms																												
100: 遅延時間 =	4 ms	3.91 ms																												
101: 遅延時間 =	5 ms	4.88 ms																												
110: 遅延時間 =	6 ms	5.85 ms																												
111: 遅延時間 =	7 ms	6.83 ms																												
D3	R/W	0	0: 非タッチ・スクリーン自動測定プログラミング可能な遅延時間がディスエーブル。 1: 非タッチ・スクリーン自動測定プログラミング可能な遅延時間がイネーブル。																											
D2-D0	R/W	0	<p>プログラミング可能な間隔タイマ遅延時間 [内部発振回路または MCLK/DIV (ページ 3/ レジスタ 16、ビット D7) の使用に基づいた時間]⁽²⁾</p> <table border="1"> <thead> <tr> <th></th> <th>MCLK/DIV = 1MHz ソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: 遅延時間 =</td> <td>1.12 min.</td> <td>1.09 min.</td> </tr> <tr> <td>001: 遅延時間 =</td> <td>3.36 min.</td> <td>3.28 min.</td> </tr> <tr> <td>010: 遅延時間 =</td> <td>5.59 min.</td> <td>5.46 min.</td> </tr> <tr> <td>011: 遅延時間 =</td> <td>7.83 min.</td> <td>7.64 min.</td> </tr> <tr> <td>100: 遅延時間 =</td> <td>10.01 min.</td> <td>9.76 min.</td> </tr> <tr> <td>101: 遅延時間 =</td> <td>12.30 min.</td> <td>12.0 min.</td> </tr> <tr> <td>110: 遅延時間 =</td> <td>14.54 min.</td> <td>14.2 min.</td> </tr> <tr> <td>111: 遅延時間 =</td> <td>16.78 min.</td> <td>16.37 min.</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHzの標準発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>		MCLK/DIV = 1MHz ソース	内部発振ソース	000: 遅延時間 =	1.12 min.	1.09 min.	001: 遅延時間 =	3.36 min.	3.28 min.	010: 遅延時間 =	5.59 min.	5.46 min.	011: 遅延時間 =	7.83 min.	7.64 min.	100: 遅延時間 =	10.01 min.	9.76 min.	101: 遅延時間 =	12.30 min.	12.0 min.	110: 遅延時間 =	14.54 min.	14.2 min.	111: 遅延時間 =	16.78 min.	16.37 min.
	MCLK/DIV = 1MHz ソース	内部発振ソース																												
000: 遅延時間 =	1.12 min.	1.09 min.																												
001: 遅延時間 =	3.36 min.	3.28 min.																												
010: 遅延時間 =	5.59 min.	5.46 min.																												
011: 遅延時間 =	7.83 min.	7.64 min.																												
100: 遅延時間 =	10.01 min.	9.76 min.																												
101: 遅延時間 =	12.30 min.	12.0 min.																												
110: 遅延時間 =	14.54 min.	14.2 min.																												
111: 遅延時間 =	16.78 min.	16.37 min.																												

- (1) この間隔タイマ・モードは、すべての自己制御モードに対して使用されます。ホスト制御モードでは、(X, Y) または (X, Y, Z1, Z2) 変換に対してのみ有効です。
- (2) これらの遅延時間は、1 データ・セットの変換の終了から次の新しいデータ・セットの変換開始までの時間です。

ページ3/レジスタ16：スキャン・モード・タイマ・クロック

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	1	0: プログラミング可能な遅延タイマに対して内部発振回路クロックを使用。 1: プログラミング可能な遅延タイマに対して外部 MCLK ⁽¹⁾ を使用。
D6-D0	R/W	000 0001	<p>プログラミング可能な遅延タイマに対して 1MHz のクロックを生成するための MCLK 分周値</p> <p>000 0000: MCLK 分周値 = 128. 000 0001: MCLK 分周値 = 1. 000 0010: MCLK 分周値 = 2. ... 111 1110: MCLK 分周値 = 126. 111 1111: MCLK 分周値 = 127.</p>

- (1) 外部クロックは、変換間のプログラミングされた遅延時間を制御するためにだけ使用され、実際の変換の実行には使用されません。これは正確な遅延時間を得るためにサポートされています。内部発振回路の周波数がデバイス毎に異なるためです。

ページ3/レジスタ17：SAR ADCクロック

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	1	0: SAR ADC および TSC FSM に対して内部発振回路クロックを使用。 1: SAR ADC および TSC FSM に対して外部 MCLK を使用 ⁽¹⁾
D6-D0	R/W	000 0001	SAR に対して 40ns より大きな最小パルス長を持つクロックを生成するための MCLK 分周値 000 0000: MCLK 分周値 = 128 000 0001: MCLK 分周値 = 1 000 0010: MCLK 分周値 = 2 ... 111 1110: MCLK 分周値 = 126 111 1111: MCLK 分周値 = 127

(1) これにより、SAR ADC 変換、およびプリチャージや検知などの TSC FSM 関連タイマに対して外部クロックがイネーブルになりますが、プログラミング可能な遅延時間に対してはイネーブルになりません。プログラミング可能な遅延時間に対しては、前項のレジスタ設定を使用します。

ページ3/レジスタ18：ペン・アップ検出のデバウンス時間

ビット	読み取り/ 書き込み	リセット値	説明																											
D7	R/W	0	0: バッファ・データの読み取りに SPI インターフェイスを使用 1: バッファ・データの読み取りに I ² C インターフェイスを使用																											
D6	R/W	0	0: SAR/ バッファのデータ更新を内部検出ロジックに基づいて自動的に保留 (バッファの読み取りと書き込みの同時実行を防止)。 1: SAR/ バッファのデータ更新をソフトウェア制御およびレジスタ 18、ビット D5 で保留。																											
D5	R/W	0	0: SAR/ バッファのデータ更新は常にイネーブル。(レジスタ 18、ビット D6 = 1 の場合のみ有効)。 1: 最後に更新されたデータをユーザが正しく読み取れるように SAR/ バッファのデータ更新を停止。(上記 D6 = 1 の場合のみ有効)																											
D4-D3	R/W	00	Reserved. これらのビットには、0 のみを書き込んでください。																											
D2-D0	R/W	000	デバウンス付きのペン・タッチ除去検出 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>(1)</th> <th>MCLK/DIV (ページ 3/ レジスタ 16) = 1MHz ソース</th> <th>内部発振ソース</th> </tr> </thead> <tbody> <tr> <td>000: デバウンス時間 =</td> <td>0 μs</td> <td>0 μs</td> </tr> <tr> <td>001: デバウンス時間 =</td> <td>8 μs</td> <td>7.8 μs</td> </tr> <tr> <td>010: デバウンス時間 =</td> <td>16 μs</td> <td>15.6 μs</td> </tr> <tr> <td>011: デバウンス時間 =</td> <td>32 μs</td> <td>31.2 μs</td> </tr> <tr> <td>100: デバウンス時間 =</td> <td>64 μs</td> <td>62.4 μs</td> </tr> <tr> <td>101: デバウンス時間 =</td> <td>128 μs</td> <td>124.9 μs</td> </tr> <tr> <td>110: デバウンス時間 =</td> <td>256 μs</td> <td>250 μs</td> </tr> <tr> <td>111: デバウンス時間 =</td> <td>512 μs</td> <td>500 μs</td> </tr> </tbody> </table> <p>注：これらの値は、8.2MHz の公称発振周波数に基づいています。値は実際の発振周波数に応じて異なります。</p>	(1)	MCLK/DIV (ページ 3/ レジスタ 16) = 1MHz ソース	内部発振ソース	000: デバウンス時間 =	0 μs	0 μs	001: デバウンス時間 =	8 μs	7.8 μs	010: デバウンス時間 =	16 μs	15.6 μs	011: デバウンス時間 =	32 μs	31.2 μs	100: デバウンス時間 =	64 μs	62.4 μs	101: デバウンス時間 =	128 μs	124.9 μs	110: デバウンス時間 =	256 μs	250 μs	111: デバウンス時間 =	512 μs	500 μs
(1)	MCLK/DIV (ページ 3/ レジスタ 16) = 1MHz ソース	内部発振ソース																												
000: デバウンス時間 =	0 μs	0 μs																												
001: デバウンス時間 =	8 μs	7.8 μs																												
010: デバウンス時間 =	16 μs	15.6 μs																												
011: デバウンス時間 =	32 μs	31.2 μs																												
100: デバウンス時間 =	64 μs	62.4 μs																												
101: デバウンス時間 =	128 μs	124.9 μs																												
110: デバウンス時間 =	256 μs	250 μs																												
111: デバウンス時間 =	512 μs	500 μs																												

(1) デバウンスに使用するクロックの周期 = デバウンス時間 / 8

ページ3/レジスタ19：自動AUX測定選択

ビット	読み取り/ 書き込み	リセット値	説明
D7	R/W	0	0: 自動非タッチ・スクリーン・スキャン中は自動 AUX1 測定がディスエーブル。 1: 自動非タッチ・スクリーン・スキャン中は自動 AUX1 測定がイネーブル。
D6	R/W	0	0: 自動非タッチ・スクリーン・スキャン中は自動 AUX2 測定がディスエーブル。 1: 自動非タッチ・スクリーン・スキャン中は自動 AUX2 測定がイネーブル。
D5	R/W	0	0: 自動非タッチ・スクリーン・スキャン中は自動 VBAT 測定がディスエーブル。 1: 自動非タッチ・スクリーン・スキャン中は自動 VBAT 測定がイネーブル。
D4	R/W	0	0: 自動非タッチ・スクリーン・スキャン中は自動 TEMP 測定がディスエーブル。 1: 自動非タッチ・スクリーン・スキャン中は自動 TEMP 測定がイネーブル。
D3	R/W	0	0: 自動 TEMP 測定に TEMP1 を使用。 1: 自動 TEMP 測定に TEMP2 を使用。
D2	R/W	0	0: AUX1 を電圧測定に使用。 1: AUX1 を抵抗測定に使用。
D1	R/W	0	0: AUX2 を電圧測定に使用。 1: AUX2 を抵抗測定に使用。
D0	R/W	0	0: 抵抗測定中は内部バイアス抵抗測定モードを使用。 1: 抵抗測定中は外部バイアス抵抗測定モードを使用。

ページ3/レジスタ20：タッチ・スクリーン・ペン・ダウン

ビット	読み取り/ 書き込み	リセット値	説明
D7-D3	R/W	0000 0	Reserved
D2-D0	R/W	000	ペン・ダウン検出のデバウンス時間
		(1)	MCLK/DIV (ページ3/レジスタ16) = 1MHz ソース 内部発振ソース
		000: デバウンス時間 = 001: デバウンス時間 = 010: デバウンス時間 = 011: デバウンス時間 = 100: デバウンス時間 = 101: デバウンス時間 = 110: デバウンス時間 = 111: デバウンス時間 =	0 μs 64 μs 128 μs 256 μs 512 μs 1024 μs 2048 μs 4096 μs 0 μs 62.4 μs 125 μs 250 μs 500 μs 1000 μs 2000 μs 4000 μs 注：これらの値は、8.2MHzの標準発振周波数に基づいています。値は実際の発振周波数に応じて異なります。

(1) デバウンスに使用するクロックの周期 = デバウンス時間 / 8

ページ3/レジスタ21：スレッシュホールド確認フラグレジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D6	R/W	00	Reserved。これらのビットには、0のみを書き込んでください。
D5 ⁽¹⁾	R/W	0	0: AUX1 測定値が、プログラミングされた最大スレッシュホールド設定未満。 1: AUX1 測定値が、プログラミングされた最大スレッシュホールド設定以上。
D4 ⁽¹⁾	R/W	0	0: AUX1 測定値が、プログラミングされた最小スレッシュホールド設定より大きい。 1: AUX1 測定値が、プログラミングされた最小スレッシュホールド設定以下。
D3 ⁽¹⁾	R/W	0	0: AUX2 測定値が、プログラミングされた最大スレッシュホールド設定未満。 1: AUX2 測定値が、プログラミングされた最大スレッシュホールド設定以上。
D2 ⁽¹⁾	R/W	0	0: AUX2 測定値が、プログラミングされた最小スレッシュホールド設定より大きい。 1: AUX2 測定値が、プログラミングされた最小スレッシュホールド設定以下。
D1 ⁽¹⁾	R/W	0	0: TEMP (TEMP1/TEMP2) 測定値が、プログラミングされた最大スレッシュホールド設定未満。 1: TEMP (TEMP1/TEMP2) 測定値が、プログラミングされた最大スレッシュホールド設定以上。
D0 ⁽¹⁾	R/W	0	0: TEMP (TEMP1/TEMP2) 測定値が、プログラミングされた最小スレッシュホールド設定より大きい。 1: TEMP (TEMP1/TEMP2) 測定値が、プログラミングされた最小スレッシュホールド設定以下。

(1) スティッキー・フラグ・ビット。これらは読み取り専用ビットです。読み取ると自動的にクリアされ、ソース・トリガが再度発生した場合にのみセットされます。

ページ3/レジスタ22：AUX1最大値チェック (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved
D4	R/W	0	0: AUX1 最大スレッシュホールド・チェックがディスエーブル (自動 / 非自動スキャン測定に対して有効)。 1: AUX1 最大スレッシュホールド・チェックがイネーブル (自動 / 非自動スキャン測定に対して有効)。
D3-D0	R/W	0000	AUX1 最大スレッシュホールド・コードの上位4ビット

ページ3/レジスタ23：AUX1最大値チェック (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	AUX1 最大スレッシュホールド・コードの下位8ビット

ページ3/レジスタ24：AUX1最小値チェック (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved
D4	R/W	0	0: AUX1 最小スレッシュホールド・チェックがディスエーブル (自動 / 非自動スキャン測定に対して有効)。 1: AUX1 最小スレッシュホールド・チェックがイネーブル (自動 / 非自動スキャン測定に対して有効)。
D3-D0	R/W	0000	AUX1 最小スレッシュホールド・コードの上位 4 ビット

ページ3/レジスタ25：AUX1最小値チェック (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	AUX1 最小スレッシュホールド・コードの下部 8 ビット

ページ3/レジスタ26：AUX2最大値チェック (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved
D4	R/W	0	0: AUX2 最大スレッシュホールド・チェックがディスエーブル (自動 / 非自動スキャン測定に対して有効)。 1: AUX2 最大スレッシュホールド・チェックがイネーブル (自動 / 非自動スキャン測定に対して有効)。
D3-D0	R/W	0000	AUX2 最大スレッシュホールド・コードの上位 4 ビット

ページ3/レジスタ27：AUX2最大値チェック (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	AUX2 最大スレッシュホールド・コードの下部 8 ビット

ページ3/レジスタ28：AUX2最小値チェック (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved
D4	R/W	0	0: AUX2 最小スレッシュホールド・チェックがディスエーブル (自動 / 非自動スキャン測定に対して有効)。 1: AUX2 最小スレッシュホールド・チェックがイネーブル (自動 / 非自動スキャン測定に対して有効)。
D3-D0	R/W	0000	AUX2 最小スレッシュホールド・コードの上位 4 ビット

ページ3/レジスタ29：AUX2最小値チェック (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	AUX2 最小スレッシュホールド・コードの下部 8 ビット

ページ3/レジスタ30：温度最大値チェック (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D5	R/W	000	Reserved。これらのビットには、0 のみを書き込んでください。
D4	R/W	0	0: TEMP (TEMP1/TEMP2) 最大スレッシュホールド・チェックがディスエーブル (自動 / 非自動スキャン測定に対して有効)。 1: TEMP (TEMP1/TEMP2) 最大スレッシュホールド・チェックがイネーブル (自動 / 非自動スキャン測定に対して有効)。
D3-D0	R/W	0000	TEMP (TEMP1/TEMP2) 最大スレッシュホールド・コードの上位 4 ビット

ページ3/レジスタ31：温度最大値チェック (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	TEMP (TEMP1/TEMP2) 最大スレッシュホールド・コードの下部 8 ビット

ページ3/レジスタ32：温度最小値チェック (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	000	Reserved。これらのビットには、0のみを書き込んでください。
D4	R/W	0	0: TEMP (TEMP1/TEMP2) 最小スレッショールド・チェックがディスエーブル (自動/非自動スキャン測定に対して有効)。 1: TEMP (TEMP1/TEMP2) 最小スレッショールド・チェックがイネーブル (自動/非自動スキャン測定に対して有効)。
D3-D0	R/W	0000	TEMP (TEMP1/TEMP2) 最小スレッショールド・コードの上位 4 ビット

ページ3/レジスタ33：温度最小値チェック (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	TEMP (TEMP1/TEMP2) 最小スレッショールド・コードの下位 8 ビット

ページ3/レジスタ34～41：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ42：X座標データ (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、X 座標データの上位 8 ビットが返されます。

ページ3/レジスタ43：X座標データ (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、X 座標データの下位 8 ビットが返されます。

ページ3/レジスタ44：Y座標データ (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、Y 座標データの上位 8 ビットが返されます。

ページ3/レジスタ45：Y座標データ (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、Y 座標データの下位 8 ビットが返されます。

ページ3/レジスタ46：Z1 MSBレジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、Z1 座標データの上位 8 ビットが返されます。

ページ3/レジスタ47：Z1 LSBレジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、Z1 座標データの下位 8 ビットが返されます。

ページ3/レジスタ48：Z2 MSBレジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、Z2 座標データの上位 8 ビットが返されます。

ページ3/レジスタ49：Z2 LSBレジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、Z2 座標データの低位 8 ビットが返されます。

ページ3/レジスタ50～53：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ54：AUX1データ (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、AUX1 データの上位 8 ビットが返されます。

ページ3/レジスタ55：AUX1データ (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、AUX1 データの低位 8 ビットが返されます。

ページ3/レジスタ56：AUX2データ (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、AUX2 データの上位 8 ビットが返されます。

ページ3/レジスタ57：AUX2データ (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、AUX2 データの低位 8 ビットが返されます。

ページ3/レジスタ58：VBATデータ (MSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、VBAT データの上位 8 ビットが返されます。

ページ3/レジスタ59：VBATデータ (LSB)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、VBAT データの低位 8 ビットが返されます。

ページ3/レジスタ60～65：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	予約済み。これらのビットには、リセット値のみを書き込んでください。

ページ3/レジスタ66：TEMP1 MSBデータ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、TEMP1 データの上位 8 ビットが返されます。

ページ3/レジスタ67：TEMP1 LSBデータ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、TEMP1データの低位8ビットが返されます。

ページ3/レジスタ68：TEMP2 MSBデータ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、TEMP2データの上位8ビットが返されます。

ページ3/レジスタ69：TEMP2 LSBデータ・レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R	0000 0000	このレジスタを読み取ると、TEMP2データの低位8ビットが返されます。

ページ3/レジスタ70～127：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

6.6 制御レジスタ、ページ4：ADCデジタル・フィルタ係数

このページに対して示されているデフォルト値は、ハードウェアまたはソフトウェア・リセットから 100 μ s 後に有効になります。

ページ4/レジスタ0：ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

残りのページ4レジスタは、予約済みレジスタか、またはTSC2117内の各種フィルタの係数を設定するために使用されます。予約済みレジスタには書き込まないでください。

フィルタ係数レジスタはペアで使用され、1つのフィルタの16ビット係数が2つの連続した8ビット・レジスタに格納されます。係数の上位および下位レジスタに格納されている16ビット整数は、2の補数形式の整数として解釈され、可能な値の範囲は- 32,768 ~ 32,767です。フィルタの係数値をプログラミングするときには、常に上位レジスタに先書き込み、その直後に下位レジスタに書き込む必要があります。係数の上位または下位部分だけを変更する場合でも、両方のレジスタをこの順序で書き込む必要があります。表6-2に、上記のレジスタ0を除く、ページ4レジスタの一覧を示します。

表6-2. ページ4レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	Reserved。このレジスタには書き込まないでください。
2	0000 0001	レベル検出の平均化に使用されるAGC LPF（1次IIR）のN0係数の上位8ビット、またはADC miniDSPの係数C1（15:8）
3	0001 0111	レベル検出の平均化に使用されるAGC LPF（1次IIR）のN0係数の下位8ビット、またはADC miniDSPの係数C1（7:0）
4	0000 0001	レベル検出の平均化に使用されるAGC LPF（1次IIR）のN1係数の上位8ビット、またはADC miniDSPの係数C2（15:8）
5	0001 0111	レベル検出の平均化に使用されるAGC LPF（1次IIR）のN1係数の下位8ビット、またはADC miniDSPの係数C2（7:0）

表6-2. ページ4レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
6	0111 1101	レベル検出の平均化に使用される AGC LPF (1 次 IIR) の D1 係数の上位 8 ビット、または ADC miniDSP の係数 C3 (15:8)
7	1101 0011	レベル検出の平均化に使用される AGC LPF (1 次 IIR) の D1 係数の下位 8 ビット、または ADC miniDSP の係数 C3 (7:0)
8	0111 1111	ADC のプログラミング可能な 1 次 IIR の N0 係数の上位 8 ビット、または ADC miniDSP の係数 C4 (15:8)
9	1111 1111	ADC のプログラミング可能な 1 次 IIR の N0 係数の下位 8 ビット、または ADC miniDSP の係数 C4 (7:0)
10	0000 0000	ADC のプログラミング可能な 1 次 IIR の N1 係数の上位 8 ビット、または ADC miniDSP の係数 C5 (15:8)
11	0000 0000	ADC のプログラミング可能な 1 次 IIR の N1 係数の下位 8 ビット、または ADC miniDSP の係数 C5 (7:0)
12	0000 0000	ADC のプログラミング可能な 1 次 IIR の D1 係数の上位 8 ビット、または ADC miniDSP の係数 C6 (15:8)
13	0000 0000	ADC のプログラミング可能な 1 次 IIR の D1 係数の下位 8 ビット、または ADC miniDSP の係数 C6 (7:0)
14	0111 1111	ADC バイクアッド A の係数 N0 (15:8)、ADC FIR フィルタの係数 FIR0 (15:8)、または ADC miniDSP の係数 C7 (15:8)
15	1111 1111	ADC バイクアッド A の係数 N0 (7:0)、ADC FIR フィルタの係数 FIR0 (7:0)、または ADC miniDSP の係数 C7 (7:0)
16	0000 0000	ADC バイクアッド A の係数 N1 (15:8)、ADC FIR フィルタの係数 FIR1 (15:8)、または ADC miniDSP の係数 C8 (15:8)
17	0000 0000	ADC バイクアッド A の係数 N1 (7:0)、ADC FIR フィルタの係数 FIR1 (7:0)、または ADC miniDSP の係数 C8 (7:0)
18	0000 0000	ADC バイクアッド A の係数 N2 (15:8)、ADC FIR フィルタの係数 FIR2 (15:8)、または ADC miniDSP の係数 C9 (15:8)
19	0000 0000	ADC バイクアッド A の係数 N2 (7:0)、ADC FIR フィルタの係数 FIR2 (7:0)、または ADC miniDSP の係数 C9 (7:0)
20	0000 0000	ADC バイクアッド A の係数 D1 (15:8)、ADC FIR フィルタの係数 FIR3 (15:8)、または ADC miniDSP の係数 C10 (15:8)
21	0000 0000	ADC バイクアッド A の係数 D1 (7:0)、ADC FIR フィルタの係数 FIR3 (7:0)、または ADC miniDSP の係数 C10 (7:0)
22	0000 0000	ADC バイクアッド A の係数 D2 (15:8)、ADC FIR フィルタの係数 FIR4 (15:8)、または ADC miniDSP の係数 C11 (15:8)
23	0000 0000	ADC バイクアッド A の係数 D2 (7:0)、ADC FIR フィルタの係数 FIR4 (7:0)、または ADC miniDSP の係数 C11 (7:0)
24	0111 1111	ADC バイクアッド B の係数 N0 (15:8)、ADC FIR フィルタの係数 FIR5 (15:8)、または ADC miniDSP の係数 C12 (15:8)
25	1111 1111	ADC バイクアッド B の係数 N0 (7:0)、ADC FIR フィルタの係数 FIR5 (7:0)、または ADC miniDSP の係数 C12 (7:0)
26	0000 0000	ADC バイクアッド B の係数 N1 (15:8)、ADC FIR フィルタの係数 FIR6 (15:8)、または ADC miniDSP の係数 C13 (15:8)
27	0000 0000	ADC バイクアッド B の係数 N1 (7:0)、ADC FIR フィルタの係数 FIR6 (7:0)、または ADC miniDSP の係数 C13 (7:0)
28	0000 0000	ADC バイクアッド B の係数 N2 (15:8)、ADC FIR フィルタの係数 FIR7 (15:8)、または ADC miniDSP の係数 C14 (15:8)
29	0000 0000	ADC バイクアッド B の係数 N2 (7:0)、ADC FIR フィルタの係数 FIR7 (7:0)、または ADC miniDSP の係数 C14 (7:0)
30	0000 0000	ADC バイクアッド B の係数 D1 (15:8)、ADC FIR フィルタの係数 FIR8 (15:8)、または ADC miniDSP の係数 C15 (15:8)
31	0000 0000	ADC バイクアッド B の係数 D1 (7:0)、ADC FIR フィルタの係数 FIR8 (7:0)、または ADC miniDSP の係数 C15 (7:0)
32	0000 0000	ADC バイクアッド B の係数 D2 (15:8)、ADC FIR フィルタの係数 FIR9 (15:8)、または ADC miniDSP の係数 C16 (15:8)

表6-2. ページ4レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
33	0000 0000	ADC バイクアッド B の係数 D2 (7:0)、ADC FIR フィルタの係数 FIR9 (7:0)、または ADC miniDSP の係数 C16 (7:0)
34	0111 1111	ADC バイクアッド C の係数 N0 (15:8)、ADC FIR フィルタの係数 FIR10 (15:8)、または ADC miniDSP の係数 C17 (15:8)
35	1111 1111	ADC バイクアッド C の係数 N0 (7:0)、ADC FIR フィルタの係数 FIR10 (7:0)、または ADC miniDSP の係数 C17 (7:0)
36	0000 0000	ADC バイクアッド C の係数 N1 (15:8)、ADC FIR フィルタの係数 FIR11 (15:8)、または ADC miniDSP の係数 C18 (15:8)
37	0000 0000	ADC バイクアッド C の係数 N1 (7:0)、ADC FIR フィルタの係数 FIR11 (7:0)、または ADC miniDSP の係数 C18 (7:0)
38	0000 0000	ADC バイクアッド C の係数 N2 (15:8)、ADC FIR フィルタの係数 FIR12 (15:8)、または ADC miniDSP の係数 C19 (15:8)
39	0000 0000	ADC バイクアッド C の係数 N2 (7:0)、ADC FIR フィルタの係数 FIR12 (7:0)、または ADC miniDSP の係数 C19 (7:0)
40	0000 0000	ADC バイクアッド C の係数 D1 (15:8)、ADC FIR フィルタの係数 FIR13 (15:8)、または ADC miniDSP の係数 C20 (15:8)
41	0000 0000	ADC バイクアッド C の係数 D1 (7:0)、ADC FIR フィルタの係数 FIR13 (7:0)、または ADC miniDSP の係数 C20 (7:0)
42	0000 0000	ADC バイクアッド C の係数 D2 (15:8)、ADC FIR フィルタの係数 FIR14 (15:8)、または ADC miniDSP の係数 C21 (15:8)
43	0000 0000	ADC バイクアッド C の係数 D2 (7:0)、ADC FIR フィルタの係数 FIR14 (7:0)、または ADC miniDSP の係数 C21 (7:0)
44	0111 1111	ADC バイクアッド D の係数 N0 (15:8)、ADC FIR フィルタの係数 FIR15 (15:8)、または ADC miniDSP の係数 C22 (15:8)
45	1111 1111	ADC バイクアッド D の係数 N0 (7:0)、ADC FIR フィルタの係数 FIR15 (7:0)、または ADC miniDSP の係数 C22 (7:0)
46	0000 0000	ADC バイクアッド D の係数 N1 (15:8)、ADC FIR フィルタの係数 FIR16 (15:8)、または ADC miniDSP の係数 C23 (15:8)
47	0000 0000	ADC バイクアッド D の係数 N1 (7:0)、ADC FIR フィルタの係数 FIR16 (7:0)、または ADC miniDSP の係数 C23 (7:0)
48	0000 0000	ADC バイクアッド D の係数 N2 (15:8)、ADC FIR フィルタの係数 FIR17 (15:8)、または ADC miniDSP の係数 C24 (15:8)
49	0000 0000	ADC バイクアッド D の係数 N2 (7:0)、ADC FIR フィルタの係数 FIR17 (7:0)、または ADC miniDSP の係数 C24 (7:0)
50	0000 0000	ADC バイクアッド D の係数 D1 (15:8)、ADC FIR フィルタの係数 FIR18 (15:8)、または ADC miniDSP の係数 C25 (15:8)
51	0000 0000	ADC バイクアッド D の係数 D1 (7:0)、ADC FIR フィルタの係数 FIR18 (7:0)、または ADC miniDSP の係数 C25 (7:0)
52	0000 0000	ADC バイクアッド D の係数 D2 (15:8)、ADC FIR フィルタの係数 FIR19 (15:8)、または ADC miniDSP の係数 C26 (15:8)
53	0000 0000	ADC バイクアッド D の係数 D2 (7:0)、ADC FIR フィルタの係数 FIR19 (7:0)、または ADC miniDSP の係数 C26 (7:0)
54	0111 1111	ADC バイクアッド E の係数 N0 (15:8)、ADC FIR フィルタの係数 FIR20 (15:8)、または ADC miniDSP の係数 C27 (15:8)
55	1111 1111	ADC バイクアッド E の係数 N0 (7:0)、ADC FIR フィルタの係数 FIR20 (7:0)、または ADC miniDSP の係数 C27 (7:0)
56	0000 0000	ADC バイクアッド E の係数 N1 (15:8)、ADC FIR フィルタの係数 FIR21 (15:8)、または ADC miniDSP の係数 C28 (15:8)
57	0000 0000	ADC バイクアッド E の係数 N1 (7:0)、ADC FIR フィルタの係数 FIR21 (7:0)、または ADC miniDSP の係数 C28 (7:0)
58	0000 0000	ADC バイクアッド E の係数 N2 (15:8)、ADC FIR フィルタの係数 FIR22 (15:8)、または ADC miniDSP の係数 C29 (15:8)
59	0000 0000	ADC バイクアッド E の係数 N2 (7:0)、ADC FIR フィルタの係数 FIR22 (7:0)、または ADC miniDSP の係数 C29 (7:0)

表6-2. ページ4レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
60	0000 0000	ADC バイクアッド E の係数 D1 (15:8)、ADC FIR フィルタの係数 FIR23 (15:8)、または ADC miniDSP の係数 C30 (15:8)
61	0000 0000	ADC バイクアッド E の係数 D1 (7:0)、ADC FIR フィルタの係数 FIR23 (7:0)、または ADC miniDSP の係数 C30 (7:0)
62	0000 0000	ADC バイクアッド E の係数 D2 (15:8)、ADC FIR フィルタの係数 FIR24 (15:8)、または ADC miniDSP の係数 C31 (15:8)
63	0000 0000	ADC バイクアッド E の係数 D2 (7:0)、ADC FIR フィルタの係数 FIR24 (7:0)、または ADC miniDSP の係数 C31 (7:0)
64	0000 0000	ADC miniDSP の係数 C32 (15:8)
65	0000 0000	ADC miniDSP の係数 C32 (7:0)
66	0000 0000	ADC miniDSP の係数 C33 (15:8)
67	0000 0000	ADC miniDSP の係数 C33 (7:0)
68	0000 0000	ADC miniDSP の係数 C34 (15:8)
69	0000 0000	ADC miniDSP の係数 C34 (7:0)
70	0000 0000	ADC miniDSP の係数 C35 (15:8)
71	0000 0000	ADC miniDSP の係数 C35 (7:0)
72	0000 0000	ADC miniDSP の係数 C36 (15:8)
73	0000 0000	ADC miniDSP の係数 C36 (7:0)
74	0000 0000	ADC miniDSP の係数 C37 (15:8)
75	0000 0000	ADC miniDSP の係数 C37 (7:0)
76	0000 0000	ADC miniDSP の係数 C38 (15:8)
77	0000 0000	ADC miniDSP の係数 C38 (7:0)
78	0000 0000	ADC miniDSP の係数 C39 (15:8)
79	0000 0000	ADC miniDSP の係数 C39 (7:0)
80	0000 0000	ADC miniDSP の係数 C40 (15:8)
81	0000 0000	ADC miniDSP の係数 C40 (7:0)
82	0000 0000	ADC miniDSP の係数 C41 (15:8)
83	0000 0000	ADC miniDSP の係数 C41 (7:0)
84	0000 0000	ADC miniDSP の係数 C42 (15:8)
85	0000 0000	ADC miniDSP の係数 C42 (7:0)
86	0000 0000	ADC miniDSP の係数 C43 (15:8)
87	0000 0000	ADC miniDSP の係数 C43 (7:0)
88	0000 0000	ADC miniDSP の係数 C44 (15:8)
89	0000 0000	ADC miniDSP の係数 C44 (7:0)
90	0000 0000	ADC miniDSP の係数 C45 (15:8)
91	0000 0000	ADC miniDSP の係数 C45 (7:0)
92	0000 0000	ADC miniDSP の係数 C46 (15:8)
93	0000 0000	ADC miniDSP の係数 C46 (7:0)
94	0000 0000	ADC miniDSP の係数 C47 (15:8)
95	0000 0000	ADC miniDSP の係数 C47 (7:0)
96	0000 0000	ADC miniDSP の係数 C48 (15:8)
97	0000 0000	ADC miniDSP の係数 C48 (7:0)
98	0000 0000	ADC miniDSP の係数 C49 (15:8)
99	0000 0000	ADC miniDSP の係数 C49 (7:0)
100	0000 0000	ADC miniDSP の係数 C50 (15:8)
101	0000 0000	ADC miniDSP の係数 C50 (7:0)
102	0000 0000	ADC miniDSP の係数 C51 (15:8)
103	0000 0000	ADC miniDSP の係数 C51 (7:0)

表6-2. ページ4レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
104	0000 0000	ADC miniDSPの係数C52 (15:8)
105	0000 0000	ADC miniDSPの係数C52 (7:0)
106	0000 0000	ADC miniDSPの係数C53 (15:8)
107	0000 0000	ADC miniDSPの係数C53 (7:0)
108	0000 0000	ADC miniDSPの係数C54 (15:8)
109	0000 0000	ADC miniDSPの係数C54 (7:0)
110	0000 0000	ADC miniDSPの係数C55 (15:8)
111	0000 0000	ADC miniDSPの係数C55 (7:0)
112	0000 0000	ADC miniDSPの係数C56 (15:8)
113	0000 0000	ADC miniDSPの係数C56 (7:0)
114	0000 0000	ADC miniDSPの係数C57 (15:8)
115	0000 0000	ADC miniDSPの係数C57 (7:0)
116	0000 0000	ADC miniDSPの係数C58 (15:8)
117	0000 0000	ADC miniDSPの係数C58 (7:0)
118	0000 0000	ADC miniDSPの係数C59 (15:8)
119	0000 0000	ADC miniDSPの係数C59 (7:0)
120	0000 0000	ADC miniDSPの係数C60 (15:8)
121	0000 0000	ADC miniDSPの係数C60 (7:0)
122	0000 0000	ADC miniDSPの係数C61 (15:8)
123	0000 0000	ADC miniDSPの係数C61 (7:0)
124	0000 0000	ADC miniDSPの係数C62 (15:8)
125	0000 0000	ADC miniDSPの係数C62 (7:0)
126	0000 0000	ADC miniDSPの係数C63 (15:8)
127	0000 0000	ADC miniDSPの係数C63 (7:0)

6.7 制御レジスタ、ページ5 : ADCプログラマブル係数RAM (65:127)

表6-3. ページ5レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	Reserved. このレジスタには書き込まないください。
2	0000 0000	ADC miniDSPの係数C65 (15:8)
3	0000 0000	ADC miniDSPの係数C65 (7:0)
4	0000 0000	ADC miniDSPの係数C66 (15:8)
5	0000 0000	ADC miniDSPの係数C66 (7:0)
6	0000 0000	ADC miniDSPの係数C67 (15:8)
7	0000 0000	ADC miniDSPの係数C67 (7:0)
8	0000 0000	ADC miniDSPの係数C68 (15:8)
9	0000 0000	ADC miniDSPの係数C68 (7:0)
10	0000 0000	ADC miniDSPの係数C69 (15:8)
11	0000 0000	ADC miniDSPの係数C69 (7:0)
12	0000 0000	ADC miniDSPの係数C70 (15:8)
13	0000 0000	ADC miniDSPの係数C70 (7:0)
14	0000 0000	ADC miniDSPの係数C71 (15:8)
15	0000 0000	ADC miniDSPの係数C71 (7:0)
16	0000 0000	ADC miniDSPの係数C72 (15:8)

表6-3. ページ5レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
17	0000 0000	ADC miniDSPの係数C72 (7:0)
18	0000 0000	ADC miniDSPの係数C73 (15:8)
19	0000 0000	ADC miniDSPの係数C73 (7:0)
20	0000 0000	ADC miniDSPの係数C74 (15:8)
21	0000 0000	ADC miniDSPの係数C74 (7:0)
22	0000 0000	ADC miniDSPの係数C75 (15:8)
23	0000 0000	ADC miniDSPの係数C75 (7:0)
24	0000 0000	ADC miniDSPの係数C76 (15:8)
25	0000 0000	ADC miniDSPの係数C76 (7:0)
26	0000 0000	ADC miniDSPの係数C77 (15:8)
27	0000 0000	ADC miniDSPの係数C77 (7:0)
28	0000 0000	ADC miniDSPの係数C78 (15:8)
29	0000 0000	ADC miniDSPの係数C78 (7:0)
30	0000 0000	ADC miniDSPの係数C79 (15:8)
31	0000 0000	ADC miniDSPの係数C79 (7:0)
32	0000 0000	ADC miniDSPの係数C80 (15:8)
33	0000 0000	ADC miniDSPの係数C80 (7:0)
34	0000 0000	ADC miniDSPの係数C81 (15:8)
35	0000 0000	ADC miniDSPの係数C81 (7:0)
36	0000 0000	ADC miniDSPの係数C82 (15:8)
37	0000 0000	ADC miniDSPの係数C82 (7:0)
38	0000 0000	ADC miniDSPの係数C83 (15:8)
39	0000 0000	ADC miniDSPの係数C83 (7:0)
40	0000 0000	ADC miniDSPの係数C84 (15:8)
41	0000 0000	ADC miniDSPの係数C84 (7:0)
42	0000 0000	ADC miniDSPの係数C85 (15:8)
43	0000 0000	ADC miniDSPの係数C85 (7:0)
44	0000 0000	ADC miniDSPの係数C86 (15:8)
45	0000 0000	ADC miniDSPの係数C86 (7:0)
46	0000 0000	ADC miniDSPの係数C87 (15:8)
47	0000 0000	ADC miniDSPの係数C87 (7:0)
48	0000 0000	ADC miniDSPの係数C88 (15:8)
49	0000 0000	ADC miniDSPの係数C88 (7:0)
50	0000 0000	ADC miniDSPの係数C89 (15:8)
51	0000 0000	ADC miniDSPの係数C89 (7:0)
52	0000 0000	ADC miniDSPの係数C90 (15:8)
53	0000 0000	ADC miniDSPの係数C90 (7:0)
54	0000 0000	ADC miniDSPの係数C91 (15:8)
55	0000 0000	ADC miniDSPの係数C91 (7:0)
56	0000 0000	ADC miniDSPの係数C92 (15:8)
57	0000 0000	ADC miniDSPの係数C92 (7:0)
58	0000 0000	ADC miniDSPの係数C93 (15:8)
59	0000 0000	ADC miniDSPの係数C93 (7:0)
60	0000 0000	ADC miniDSPの係数C94 (15:8)
61	0000 0000	ADC miniDSPの係数C94 (7:0)
62	0000 0000	ADC miniDSPの係数C95 (15:8)

表6-3. ページ5レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
63	0000 0000	ADC miniDSPの係数C95 (7:0)
64	0000 0000	ADC miniDSPの係数C96 (15:8)
65	0000 0000	ADC miniDSPの係数C96 (7:0)
66	0000 0000	ADC miniDSPの係数C97 (15:8)
67	0000 0000	ADC miniDSPの係数C97 (7:0)
68	0000 0000	ADC miniDSPの係数C98 (15:8)
69	0000 0000	ADC miniDSPの係数C98 (7:0)
70	0000 0000	ADC miniDSPの係数C99 (15:8)
71	0000 0000	ADC miniDSPの係数C99 (7:0)
72	0000 0000	ADC miniDSPの係数C100 (15:8)
73	0000 0000	ADC miniDSPの係数C100 (7:0)
74	0000 0000	ADC miniDSPの係数C101 (15:8)
75	0000 0000	ADC miniDSPの係数C101 (7:0)
76	0000 0000	ADC miniDSPの係数C102 (15:8)
77	0000 0000	ADC miniDSPの係数C102 (7:0)
78	0000 0000	ADC miniDSPの係数C103 (15:8)
79	0000 0000	ADC miniDSPの係数C103 (7:0)
80	0000 0000	ADC miniDSPの係数C104 (15:8)
81	0000 0000	ADC miniDSPの係数C104 (7:0)
82	0000 0000	ADC miniDSPの係数C105 (15:8)
83	0000 0000	ADC miniDSPの係数C105 (7:0)
84	0000 0000	ADC miniDSPの係数C106 (15:8)
85	0000 0000	ADC miniDSPの係数C106 (7:0)
86	0000 0000	ADC miniDSPの係数C107 (15:8)
87	0000 0000	ADC miniDSPの係数C107 (7:0)
88	0000 0000	ADC miniDSPの係数C108 (15:8)
89	0000 0000	ADC miniDSPの係数C108 (7:0)
90	0000 0000	ADC miniDSPの係数C109 (15:8)
91	0000 0000	ADC miniDSPの係数C109 (7:0)
92	0000 0000	ADC miniDSPの係数C110 (15:8)
93	0000 0000	ADC miniDSPの係数C110 (7:0)
94	0000 0000	ADC miniDSPの係数C111 (15:8)
95	0000 0000	ADC miniDSPの係数C111 (7:0)
96	0000 0000	ADC miniDSPの係数C112 (15:8)
97	0000 0000	ADC miniDSPの係数C112 (7:0)
98	0000 0000	ADC miniDSPの係数C113 (15:8)
99	0000 0000	ADC miniDSPの係数C113 (7:0)
100	0000 0000	ADC miniDSPの係数C114 (15:8)
101	0000 0000	ADC miniDSPの係数C114 (7:0)
102	0000 0000	ADC miniDSPの係数C115 (15:8)
103	0000 0000	ADC miniDSPの係数C115 (7:0)
104	0000 0000	ADC miniDSPの係数C117 (15:8)
105	0000 0000	ADC miniDSPの係数C117 (7:0)
106	0000 0000	ADC miniDSPの係数C117 (15:8)
107	0000 0000	ADC miniDSPの係数C117 (7:0)
108	0000 0000	ADC miniDSPの係数C118 (15:8)

表6-3. ページ5レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
109	0000 0000	ADC miniDSPの係数C118 (7:0)
110	0000 0000	ADC miniDSPの係数C119 (15:8)
111	0000 0000	ADC miniDSPの係数C119 (7:0)
112	0000 0000	ADC miniDSPの係数C120 (15:8)
113	0000 0000	ADC miniDSPの係数C120 (7:0)
114	0000 0000	ADC miniDSPの係数C121 (15:8)
115	0000 0000	ADC miniDSPの係数C121 (7:0)
116	0000 0000	ADC miniDSPの係数C122 (15:8)
117	0000 0000	ADC miniDSPの係数C122 (7:0)
118	0000 0000	ADC miniDSPの係数C123 (15:8)
119	0000 0000	ADC miniDSPの係数C123 (7:0)
120	0000 0000	ADC miniDSPの係数C124 (15:8)
121	0000 0000	ADC miniDSPの係数C124 (7:0)
122	0000 0000	ADC miniDSPの係数C125 (15:8)
123	0000 0000	ADC miniDSPの係数C125 (7:0)
124	0000 0000	ADC miniDSPの係数C126 (15:8)
125	0000 0000	ADC miniDSPの係数C126 (7:0)
126	0000 0000	ADC miniDSPの係数C127 (15:8)
127	0000 0000	ADC miniDSPの係数C127 (7:0)

6.8 制御レジスタ、ページ8 : DACデジタル・フィルタ係数

このページに対して示されているデフォルト値は、ハードウェアまたはソフトウェア・リセットから100 μ s後に有効になります。

ページ8/レジスタ0 : ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

残りのページ8レジスタは、Reservedレジスタか、またはTSC2117内の各種フィルタの係数を設定するために使用されます。Reservedレジスタには書き込まないでください。

フィルタ係数レジスタはペアで使用され、1つのフィルタの16ビット係数が2つの連続した8ビット・レジスタに格納されます。係数の上位および下位レジスタに格納されている16ビット整数は、2の補数形式の整数として解釈され、可能な値の範囲は-32,768 ~ 32,767です。フィルタの係数値をプログラミングするときには、常に上位レジスタに先に書き込み、その直後に下位レジスタに書き込む必要があります。係数の上位または下位部分だけを変更する場合でも、両方のレジスタをこの順序で書き込む必要があります。表6-4に、上記のレジスタ0を除く、ページ8レジスタの一覧を示します。

ページ8/レジスタ1：DAC係数RAM制御

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	00000	Reserved。リセット値のみを書き込んでください。
D3	R	0	係数RAMアドレスのMSBを切り替えるためにDAC miniDSPで生成されるフラグ（非対応型モードでのみ使用）
D2	R/W	0	DAC対応型フィルタリング制御 0: DAC miniDSPで対応型フィルタリングがディスエーブル 1: DAC miniDSPで対応型フィルタリングがイネーブル
D1	R	0	DAC対応型フィルタ・バッファ制御フラグ 0: 対応型フィルタ・モードで、DAC miniDSPがDAC係数バッファAにアクセスし、外部制御インターフェイスがDAC係数バッファBにアクセス。 1: 対応型フィルタ・モードで、DAC miniDSPがDAC係数バッファBにアクセスし、外部制御インターフェイスがDAC係数バッファAにアクセス。
D0	R/W	0	DAC対応型フィルタ・バッファ切り替え制御 0: 次のフレーム境界でDAC係数バッファを切り替えない。 1: 対応型フィルタリング・モードがイネーブルの場合、次のフレーム境界でDAC係数バッファを切り替える。このビットは、切り替え後に自動クリアされます。

表6-4. ページ8レジスタ

レジスタ番号	リセット値	レジスタ名
2	0111 1111	左 DAC プログラマブル・バイクアッド A の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C1 (15:8) (DAC バッファ A)
3	1111 1111	左 DAC プログラマブル・バイクアッド A の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C1 (7:0) (DAC バッファ A)
4	0000 0000	左 DAC プログラマブル・バイクアッド A の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C2 (15:8) (DAC バッファ A)
5	0000 0000	左 DAC プログラマブル・バイクアッド A の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C2 (7:0) (DAC バッファ A)
6	0000 0000	左 DAC プログラマブル・バイクアッド A の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C3 (15:8) (DAC バッファ A)
7	0000 0000	左 DAC プログラマブル・バイクアッド A の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C3 (7:0) (DAC バッファ A)
8	0000 0000	左 DAC プログラマブル・バイクアッド A の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C4 (15:8) (DAC バッファ A)
9	0000 0000	左 DAC プログラマブル・バイクアッド A の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C4 (7:0) (DAC バッファ A)
10	0000 0000	左 DAC プログラマブル・バイクアッド A の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C5 (15:8) (DAC バッファ A)
11	0000 0000	左 DAC プログラマブル・バイクアッド A の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C5 (7:0) (DAC バッファ A)
12	0111 1111	左 DAC プログラマブル・バイクアッド B の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C6 (15:8) (DAC バッファ A)
13	1111 1111	左 DAC プログラマブル・バイクアッド B の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C6 (7:0) (DAC バッファ A)
14	0000 0000	左 DAC プログラマブル・バイクアッド B の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C7 (15:8) (DAC バッファ A)
15	0000 0000	左 DAC プログラマブル・バイクアッド B の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C7 (7:0) (DAC バッファ A)
16	0000 0000	左 DAC プログラマブル・バイクアッド B の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C8 (15:8) (DAC バッファ A)
17	0000 0000	左 DAC プログラマブル・バイクアッド B の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C8 (7:0) (DAC バッファ A)
18	0000 0000	左 DAC プログラマブル・バイクアッド B の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C9 (15:8) (DAC バッファ A)
19	0000 0000	左 DAC プログラマブル・バイクアッド B の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C9 (7:0) (DAC バッファ A)

表6-4. ページ8レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
20	0000 0000	左 DAC プログラマブル・バイクアッド B の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C10 (15:8) (DAC バッファ A)
21	0000 0000	左 DAC プログラマブル・バイクアッド B の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C10 (7:0) (DAC バッファ A)
22	0111 1111	左 DAC プログラマブル・バイクアッド C の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C11 (15:8) (DAC バッファ A)
23	1111 1111	左 DAC プログラマブル・バイクアッド C の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C11 (7:0) (DAC バッファ A)
24	0000 0000	左 DAC プログラマブル・バイクアッド C の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C12 (15:8) (DAC バッファ A)
25	0000 0000	左 DAC プログラマブル・バイクアッド C の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C12 (7:0) (DAC バッファ A)
26	0000 0000	左 DAC プログラマブル・バイクアッド C の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C13 (15:8) (DAC バッファ A)
27	0000 0000	左 DAC プログラマブル・バイクアッド C の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C13 (7:0) (DAC バッファ A)
28	0000 0000	左 DAC プログラマブル・バイクアッド C の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C14 (15:8) (DAC バッファ A)
29	0000 0000	左 DAC プログラマブル・バイクアッド C の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C14 (7:0) (DAC バッファ A)
30	0000 0000	左 DAC プログラマブル・バイクアッド C の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C15 (15:8) (DAC バッファ A)
31	0000 0000	左 DAC プログラマブル・バイクアッド C の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C15 (7:0) (DAC バッファ A)
32	0111 1111	左 DAC プログラマブル・バイクアッド D の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C16 (15:8) (DAC バッファ A)
33	1111 1111	左 DAC プログラマブル・バイクアッド D の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C16 (7:0) (DAC バッファ A)
34	0000 0000	左 DAC プログラマブル・バイクアッド D の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C17 (15:8) (DAC バッファ A)
35	0000 0000	左 DAC プログラマブル・バイクアッド D の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C17 (7:0) (DAC バッファ A)
36	0000 0000	左 DAC プログラマブル・バイクアッド D の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C18 (15:8) (DAC バッファ A)
37	0000 0000	左 DAC プログラマブル・バイクアッド D の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C18 (7:0) (DAC バッファ A)
38	0000 0000	左 DAC プログラマブル・バイクアッド D の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C19 (15:8) (DAC バッファ A)
39	0000 0000	左 DAC プログラマブル・バイクアッド D の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C19 (7:0) (DAC バッファ A)
40	0000 0000	左 DAC プログラマブル・バイクアッド D の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C20 (15:8) (DAC バッファ A)
41	0000 0000	左 DAC プログラマブル・バイクアッド D の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C20 (7:0) (DAC バッファ A)
42	0111 1111	左 DAC プログラマブル・バイクアッド E の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C21 (15:8) (DAC バッファ A)
43	1111 1111	左 DAC プログラマブル・バイクアッド E の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C21 (7:0) (DAC バッファ A)
44	0000 0000	左 DAC プログラマブル・バイクアッド E の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C22 (15:8) (DAC バッファ A)
45	0000 0000	左 DAC プログラマブル・バイクアッド E の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C22 (7:0) (DAC バッファ A)
46	0000 0000	左 DAC プログラマブル・バイクアッド E の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C23 (15:8) (DAC バッファ A)

表6-4. ページ8レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
47	0000 0000	左 DAC プログラマブル・バイクアッド E の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C23 (7:0) (DAC バッファ A)
48	0000 0000	左 DAC プログラマブル・バイクアッド E の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C24 (15:8) (DAC バッファ A)
49	0000 0000	左 DAC プログラマブル・バイクアッド E の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C24 (7:0) (DAC バッファ A)
50	0000 0000	左 DAC プログラマブル・バイクアッド E の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C25 (15:8) (DAC バッファ A)
51	0000 0000	左 DAC プログラマブル・バイクアッド E の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C25 (7:0) (DAC バッファ A)
52	0111 1111	左 DAC プログラマブル・バイクアッド F の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C26 (15:8) (DAC バッファ A)
53	1111 1111	左 DAC プログラマブル・バイクアッド F の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C26 (7:0) (DAC バッファ A)
54	0000 0000	左 DAC プログラマブル・バイクアッド F の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C27 (15:8) (DAC バッファ A)
55	0000 0000	左 DAC プログラマブル・バイクアッド F の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C27 (7:0) (DAC バッファ A)
56	0000 0000	左 DAC プログラマブル・バイクアッド F の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C28 (15:8) (DAC バッファ A)
57	0000 0000	左 DAC プログラマブル・バイクアッド F の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C28 (7:0) (DAC バッファ A)
58	0000 0000	左 DAC プログラマブル・バイクアッド F の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C29 (15:8) (DAC バッファ A)
59	0000 0000	左 DAC プログラマブル・バイクアッド F の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C29 (7:0) (DAC バッファ A)
60	0000 0000	左 DAC プログラマブル・バイクアッド F の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C30 (15:8) (DAC バッファ A)
61	0000 0000	左 DAC プログラマブル・バイクアッド F の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C30 (7:0) (DAC バッファ A)
62	0000 0000	DAC miniDSP の係数 C31 (15:8) (DAC バッファ A)
63	0000 0000	DAC miniDSP の係数 C31 (7:0) (DAC バッファ A)
64	0000 0000	DAC miniDSP の係数 C32 (15:8) (DAC バッファ A) - PRB_P23、PRB_P24、PRB_P25 の 3D PGA にも使用
65	0000 0000	DAC miniDSP の係数 C32 (7:0) (DAC バッファ A) - PRB_P23、PRB_P24、PRB_P25 の 3D PGA にも使用
66	0111 1111	右 DAC プログラマブル・バイクアッド A の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C33 (15:8) (DAC バッファ A)
67	1111 1111	右 DAC プログラマブル・バイクアッド A の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C33 (7:0) (DAC バッファ A)
68	0000 0000	右 DAC プログラマブル・バイクアッド A の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C34 (15:8) (DAC バッファ A)
69	0000 0000	右 DAC プログラマブル・バイクアッド A の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C34 (7:0) (DAC バッファ A)
70	0000 0000	右 DAC プログラマブル・バイクアッド A の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C35 (15:8) (DAC バッファ A)
71	0000 0000	右 DAC プログラマブル・バイクアッド A の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C35 (7:0) (DAC バッファ A)
72	0000 0000	右 DAC プログラマブル・バイクアッド A の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C36 (15:8) (DAC バッファ A)
73	0000 0000	右 DAC プログラマブル・バイクアッド A の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C36 (7:0) (DAC バッファ A)
74	0000 0000	右 DAC プログラマブル・バイクアッド A の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C37 (15:8) (DAC バッファ A)

表6-4. ページ8レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
75	0000 0000	右 DAC プログラマブル・バイクアッド A の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C37 (7:0) (DAC バッファ A)
76	0111 1111	右 DAC プログラマブル・バイクアッド B の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C38 (15:8) (DAC バッファ A)
77	1111 1111	右 DAC プログラマブル・バイクアッド B の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C38 (7:0) (DAC バッファ A)
78	0000 0000	右 DAC プログラマブル・バイクアッド B の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C39 (15:8) (DAC バッファ A)
79	0000 0000	右 DAC プログラマブル・バイクアッド B の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C39 (7:0) (DAC バッファ A)
80	0000 0000	右 DAC プログラマブル・バイクアッド B の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C40 (15:8) (DAC バッファ A)
81	0000 0000	右 DAC プログラマブル・バイクアッド B の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C40 (7:0) (DAC バッファ A)
82	0000 0000	右 DAC プログラマブル・バイクアッド B の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C41 (15:8) (DAC バッファ A)
83	0000 0000	右 DAC プログラマブル・バイクアッド B の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C41 (7:0) (DAC バッファ A)
84	0000 0000	右 DAC プログラマブル・バイクアッド B の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C42 (15:8) (DAC バッファ A)
85	0000 0000	右 DAC プログラマブル・バイクアッド B の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C42 (7:0) (DAC バッファ A)
86	0111 1111	右 DAC プログラマブル・バイクアッド C の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C43 (15:8) (DAC バッファ A)
87	1111 1111	右 DAC プログラマブル・バイクアッド C の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C43 (7:0) (DAC バッファ A)
88	0000 0000	右 DAC プログラマブル・バイクアッド C の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C44 (15:8) (DAC バッファ A)
89	0000 0000	右 DAC プログラマブル・バイクアッド C の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C44 (7:0) (DAC バッファ A)
90	0000 0000	右 DAC プログラマブル・バイクアッド C の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C45 (15:8) (DAC バッファ A)
91	0000 0000	右 DAC プログラマブル・バイクアッド C の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C45 (7:0) (DAC バッファ A)
92	0000 0000	右 DAC プログラマブル・バイクアッド C の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C46 (15:8) (DAC バッファ A)
93	0000 0000	右 DAC プログラマブル・バイクアッド C の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C46 (7:0) (DAC バッファ A)
94	0000 0000	右 DAC プログラマブル・バイクアッド C の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C47 (15:8) (DAC バッファ A)
95	0000 0000	右 DAC プログラマブル・バイクアッド C の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C47 (7:0) (DAC バッファ A)
96	0111 1111	右 DAC プログラマブル・バイクアッド D の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C48 (15:8) (DAC バッファ A)
97	1111 1111	右 DAC プログラマブル・バイクアッド D の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C48 (7:0) (DAC バッファ A)
98	0000 0000	右 DAC プログラマブル・バイクアッド D の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C49 (15:8) (DAC バッファ A)
99	0000 0000	右 DAC プログラマブル・バイクアッド D の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C49 (7:0) (DAC バッファ A)
100	0000 0000	右 DAC プログラマブル・バイクアッド D の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C50 (15:8) (DAC バッファ A)
101	0000 0000	右 DAC プログラマブル・バイクアッド D の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C50 (7:0) (DAC バッファ A)

表6-4. ページ8レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
102	0000 0000	右 DAC プログラマブル・バイクアッド D の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C51 (15:8) (DAC バッファ A)
103	0000 0000	右 DAC プログラマブル・バイクアッド D の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C51 (7:0) (DAC バッファ A)
104	0000 0000	右 DAC プログラマブル・バイクアッド D の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C52 (15:8) (DAC バッファ A)
105	0000 0000	右 DAC プログラマブル・バイクアッド D の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C52 (7:0) (DAC バッファ A)
106	0111 1111	右 DAC プログラマブル・バイクアッド E の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C53 (15:8) (DAC バッファ A)
107	1111 1111	右 DAC プログラマブル・バイクアッド E の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C53 (7:0) (DAC バッファ A)
108	0000 0000	右 DAC プログラマブル・バイクアッド E の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C54 (15:8) (DAC バッファ A)
109	0000 0000	右 DAC プログラマブル・バイクアッド E の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C54 (7:0) (DAC バッファ A)
110	0000 0000	右 DAC プログラマブル・バイクアッド E の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C55 (15:8) (DAC バッファ A)
111	0000 0000	右 DAC プログラマブル・バイクアッド E の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C55 (7:0) (DAC バッファ A)
112	0000 0000	右 DAC プログラマブル・バイクアッド E の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C56 (15:8) (DAC バッファ A)
113	0000 0000	右 DAC プログラマブル・バイクアッド E の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C56 (7:0) (DAC バッファ A)
114	0000 0000	右 DAC プログラマブル・バイクアッド E の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C57 (15:8) (DAC バッファ A)
115	0000 0000	右 DAC プログラマブル・バイクアッド E の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C57 (7:0) (DAC バッファ A)
116	0111 1111	右 DAC プログラマブル・バイクアッド F の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C58 (15:8) (DAC バッファ A)
117	1111 1111	右 DAC プログラマブル・バイクアッド F の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C58 (7:0) (DAC バッファ A)
118	0000 0000	右 DAC プログラマブル・バイクアッド F の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C59 (15:8) (DAC バッファ A)
119	0000 0000	右 DAC プログラマブル・バイクアッド F の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C59 (7:0) (DAC バッファ A)
120	0000 0000	右 DAC プログラマブル・バイクアッド F の n2 係数の上位 8 ビット、または DAC miniDSP の係数 C60 (15:8) (DAC バッファ A)
121	0000 0000	右 DAC プログラマブル・バイクアッド F の n2 係数の下位 8 ビット、または DAC miniDSP の係数 C60 (7:0) (DAC バッファ A)
122	0000 0000	右 DAC プログラマブル・バイクアッド F の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C61 (15:8) (DAC バッファ A)
123	0000 0000	右 DAC プログラマブル・バイクアッド F の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C61 (7:0) (DAC バッファ A)
124	0000 0000	右 DAC プログラマブル・バイクアッド F の d2 係数の上位 8 ビット、または DAC miniDSP の係数 C62 (15:8) (DAC バッファ A)
125	0000 0000	右 DAC プログラマブル・バイクアッド F の d2 係数の下位 8 ビット、または DAC miniDSP の係数 C62 (7:0) (DAC バッファ A)
126	0000 0000	DAC miniDSP の係数 C63 (15:8) (DAC バッファ A)
127	0000 0000	DAC miniDSP の係数 C63 (7:0) (DAC バッファ A)

6.9 制御レジスタ、ページ9：DACデジタル・フィルタ係数

このページに対して示されているデフォルト値は、ハードウェアまたはソフトウェア・リセットから100 μ s後に有効になります。

ページ9/レジスタ0：ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

残りのページ9レジスタは、Reservedレジスタか、またはTSC2117内の各種フィルタの係数を設定するために使用されます。Reservedレジスタには書き込まないでください。

フィルタ係数レジスタはペアで使用され、1つのフィルタの16ビット係数が2つの連続した8ビット・レジスタに格納されます。係数の上位および下位レジスタに格納されている16ビット整数は、2の補数形式の整数として解釈され、可能な値の範囲は-32,768～32,767です。フィルタの係数値をプログラミングするときには、常に上位レジスタに先に書き込み、その直後に下位レジスタに書き込む必要があります。係数の上位または下位部分だけを変更する場合でも、両方のレジスタをこの順序で書き込む必要があります。表6-5に、上記のレジスタ0を除く、ページ9レジスタの一覧を示します。

表6-5. ページ9レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	Reserved。このレジスタには書き込まないでください。
2	0111 1111	左 DAC プログラマブル 1 次 IIR の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C65 (15:8) (DAC バッファ A)
3	1111 1111	左 DAC プログラマブル 1 次 IIR の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C65 (7:0) (DAC バッファ A)
4	0000 0000	左 DAC プログラマブル 1 次 IIR の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C66 (15:8) (DAC バッファ A)
5	0000 0000	左 DAC プログラマブル 1 次 IIR の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C66 (7:0) (DAC バッファ A)
6	0000 0000	左 DAC プログラマブル 1 次 IIR の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C67 (15:8) (DAC バッファ A)
7	0000 0000	左 DAC プログラマブル 1 次 IIR の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C67 (7:0) (DAC バッファ A)
8	0111 1111	右 DAC プログラマブル 1 次 IIR の n0 係数の上位 8 ビット、または DAC miniDSP の係数 C68 (15:8) (DAC バッファ A)
9	1111 1111	右 DAC プログラマブル 1 次 IIR の n0 係数の下位 8 ビット、または DAC miniDSP の係数 C68 (7:0) (DAC バッファ A)
10	0000 0000	右 DAC プログラマブル 1 次 IIR の n1 係数の上位 8 ビット、または DAC miniDSP の係数 C69 (15:8) (DAC バッファ A)
11	0000 0000	右 DAC プログラマブル 1 次 IIR の n1 係数の下位 8 ビット、または DAC miniDSP の係数 C69 (7:0) (DAC バッファ A)
12	0000 0000	右 DAC プログラマブル 1 次 IIR の d1 係数の上位 8 ビット、または DAC miniDSP の係数 C70 (15:8) (DAC バッファ A)
13	0000 0000	右 DAC プログラマブル 1 次 IIR の d1 係数の下位 8 ビット、または DAC miniDSP の係数 C70 (7:0) (DAC バッファ A)
14	0111 1111	DRC 1 次ハイパス・フィルタの n0 係数の上位 8 ビット、または DAC miniDSP の係数 C71 (15:8) (DAC バッファ A)
15	1111 0111	DRC 1 次ハイパス・フィルタの n0 係数の下位 8 ビット、または DAC miniDSP の係数 C71 (7:0) (DAC バッファ A)
16	1000 0000	DRC 1 次ハイパス・フィルタの n1 係数の上位 8 ビット、または DAC miniDSP の係数 C72 (15:8) (DAC バッファ A)

表6-5. ページ9レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
17	0000 1001	DRC 1 次ハイパス・フィルタの n1 係数の下位 8 ビット、または DAC miniDSP の係数 C72 (7:0) (DAC バッファ A)
18	0111 1111	DRC 1 次ハイパス・フィルタの d1 係数の上位 8 ビット、または DAC miniDSP の係数 C73 (15:8) (DAC バッファ A)
19	1110 1111	DRC 1 次ハイパス・フィルタの d1 係数の下位 8 ビット、または DAC miniDSP の係数 C73 (7:0) (DAC バッファ A)
20	0000 0000	DRC 1 次ローパス・フィルタの n0 係数の上位 8 ビット、または DAC miniDSP の係数 C74 (15:8) (DAC バッファ A)
21	0001 0001	DRC 1 次ローパス・フィルタの n0 係数の下位 8 ビット、または DAC miniDSP の係数 C74 (7:0) (DAC バッファ A)
22	0000 0000	DRC 1 次ローパス・フィルタの n1 係数の上位 8 ビット、または DAC miniDSP の係数 C75 (15:8) (DAC バッファ A)
23	0001 0001	DRC 1 次ローパス・フィルタの n1 係数の下位 8 ビット、または DAC miniDSP の係数 C75 (7:0) (DAC バッファ A)
24	0111 1111	DRC 1 次ローパス・フィルタの d1 係数の上位 8 ビット、または DAC miniDSP の係数 C76 (15:8) (DAC バッファ A)
25	1101 1110	DRC 1 次ローパス・フィルタの d1 係数の下位 8 ビット、または DAC miniDSP の係数 C76 (7:0) (DAC バッファ A)
26	0000 0000	DAC miniDSP の係数 C77 (15:8) (DAC バッファ A)
27	0000 0000	DAC miniDSP の係数 C77 (7:0) (DAC バッファ A)
28	0000 0000	DAC miniDSP の係数 C78 (15:8) (DAC バッファ A)
29	0000 0000	DAC miniDSP の係数 C78 (7:0) (DAC バッファ A)
30	0000 0000	DAC miniDSP の係数 C79 (15:8) (DAC バッファ A)
31	0000 0000	DAC miniDSP の係数 C79 (7:0) (DAC バッファ A)
32	0000 0000	DAC miniDSP の係数 C80 (15:8) (DAC バッファ A)
33	0000 0000	DAC miniDSP の係数 C80 (7:0) (DAC バッファ A)
34	0000 0000	DAC miniDSP の係数 C81 (15:8) (DAC バッファ A)
35	0000 0000	DAC miniDSP の係数 C81 (7:0) (DAC バッファ A)
36	0000 0000	DAC miniDSP の係数 C82 (15:8) (DAC バッファ A)
37	0000 0000	DAC miniDSP の係数 C82 (7:0) (DAC バッファ A)
38	0000 0000	DAC miniDSP の係数 C83 (15:8) (DAC バッファ A)
39	0000 0000	DAC miniDSP の係数 C83 (7:0) (DAC バッファ A)
40	0000 0000	DAC miniDSP の係数 C84 (15:8) (DAC バッファ A)
41	0000 0000	DAC miniDSP の係数 C84 (7:0) (DAC バッファ A)
42	0000 0000	DAC miniDSP の係数 C85 (15:8) (DAC バッファ A)
43	0000 0000	DAC miniDSP の係数 C85 (7:0) (DAC バッファ A)
44	0000 0000	DAC miniDSP の係数 C86 (15:8) (DAC バッファ A)
45	0000 0000	DAC miniDSP の係数 C86 (7:0) (DAC バッファ A)
46	0000 0000	DAC miniDSP の係数 C87 (15:8) (DAC バッファ A)
47	0000 0000	DAC miniDSP の係数 C87 (7:0) (DAC バッファ A)
48	0000 0000	DAC miniDSP の係数 C88 (15:8) (DAC バッファ A)
49	0000 0000	DAC miniDSP の係数 C88 (7:0) (DAC バッファ A)
50	0000 0000	DAC miniDSP の係数 C89 (15:8) (DAC バッファ A)
51	0000 0000	DAC miniDSP の係数 C89 (7:0) (DAC バッファ A)
52	0000 0000	DAC miniDSP の係数 C90 (15:8) (DAC バッファ A)
53	0000 0000	DAC miniDSP の係数 C90 (7:0) (DAC バッファ A)
54	0000 0000	DAC miniDSP の係数 C91 (15:8) (DAC バッファ A)
55	0000 0000	DAC miniDSP の係数 C91 (7:0) (DAC バッファ A)
56	0000 0000	DAC miniDSP の係数 C92 (15:8) (DAC バッファ A)

表6-5. ページ9レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
57	0000 0000	DAC miniDSPの係数C92 (7:0) (DACバッファA)
58	0000 0000	DAC miniDSPの係数C93 (15:8) (DACバッファA)
59	0000 0000	DAC miniDSPの係数C93 (7:0) (DACバッファA)
60	0000 0000	DAC miniDSPの係数C94 (15:8) (DACバッファA)
61	0000 0000	DAC miniDSPの係数C94 (7:0) (DACバッファA)
62	0000 0000	DAC miniDSPの係数C95 (15:8) (DACバッファA)
63	0000 0000	DAC miniDSPの係数C95 (7:0) (DACバッファA)
64	0000 0000	DAC miniDSPの係数C96 (15:8) (DACバッファA)
65	0000 0000	DAC miniDSPの係数C96 (7:0) (DACバッファA)
66	0000 0000	DAC miniDSPの係数C97 (15:8) (DACバッファA)
67	0000 0000	DAC miniDSPの係数C97 (7:0) (DACバッファA)
68	0000 0000	DAC miniDSPの係数C98 (15:8) (DACバッファA)
69	0000 0000	DAC miniDSPの係数C98 (7:0) (DACバッファA)
70	0000 0000	DAC miniDSPの係数C99 (15:8) (DACバッファA)
71	0000 0000	DAC miniDSPの係数C99 (7:0) (DACバッファA)
72	0000 0000	DAC miniDSPの係数C100 (15:8) (DACバッファA)
73	0000 0000	DAC miniDSPの係数C100 (7:0) (DACバッファA)
74	0000 0000	DAC miniDSPの係数C101 (15:8) (DACバッファA)
75	0000 0000	DAC miniDSPの係数C101 (7:0) (DACバッファA)
76	0000 0000	DAC miniDSPの係数C102 (15:8) (DACバッファA)
77	0000 0000	DAC miniDSPの係数C102 (7:0) (DACバッファA)
78	0000 0000	DAC miniDSPの係数C103 (15:8) (DACバッファA)
79	0000 0000	DAC miniDSPの係数C103 (7:0) (DACバッファA)
80	0000 0000	DAC miniDSPの係数C104 (15:8) (DACバッファA)
81	0000 0000	DAC miniDSPの係数C104 (7:0) (DACバッファA)
82	0000 0000	DAC miniDSPの係数C105 (15:8) (DACバッファA)
83	0000 0000	DAC miniDSPの係数C105 (7:0) (DACバッファA)
84	0000 0000	DAC miniDSPの係数C106 (15:8) (DACバッファA)
85	0000 0000	DAC miniDSPの係数C106 (7:0) (DACバッファA)
86	0000 0000	DAC miniDSPの係数C107 (15:8) (DACバッファA)
87	0000 0000	DAC miniDSPの係数C107 (15:8) (DACバッファA)
88	0000 0000	DAC miniDSPの係数C108 (7:0) (DACバッファA)
89	0000 0000	DAC miniDSPの係数C108 (7:0) (DACバッファA)
90	0000 0000	DAC miniDSPの係数C109 (15:8) (DACバッファA)
91	0000 0000	DAC miniDSPの係数C109 (7:0) (DACバッファA)
92	0000 0000	DAC miniDSPの係数C110 (15:8) (DACバッファA)
93	0000 0000	DAC miniDSPの係数C110 (7:0) (DACバッファA)
94	0000 0000	DAC miniDSPの係数C111 (15:8) (DACバッファA)
95	0000 0000	DAC miniDSPの係数C111 (7:0) (DACバッファA)
96	0000 0000	DAC miniDSPの係数C112 (15:8) (DACバッファA)
97	0000 0000	DAC miniDSPの係数C112 (7:0) (DACバッファA)
98	0000 0000	DAC miniDSPの係数C113 (15:8) (DACバッファA)
99	0000 0000	DAC miniDSPの係数C113 (7:0) (DACバッファA)
100	0000 0000	DAC miniDSPの係数C114 (15:8) (DACバッファA)
101	0000 0000	DAC miniDSPの係数C114 (7:0) (DACバッファA)
102	0000 0000	DAC miniDSPの係数C115 (15:8) (DACバッファA)

表6-5. ページ9レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
103	0000 0000	DAC miniDSPの係数C115 (7:0) (DACバッファA)
104	0000 0000	DAC miniDSPの係数C116 (15:8) (DACバッファA)
105	0000 0000	DAC miniDSPの係数C116 (7:0) (DACバッファA)
106	0000 0000	DAC miniDSPの係数C117 (15:8) (DACバッファA)
107	0000 0000	DAC miniDSPの係数C117 (7:0) (DACバッファA)
108	0000 0000	DAC miniDSPの係数C118 (15:8) (DACバッファA)
109	0000 0000	DAC miniDSPの係数C118 (7:0) (DACバッファA)
110	0000 0000	DAC miniDSPの係数C119 (15:8) (DACバッファA)
111	0000 0000	DAC miniDSPの係数C119 (7:0) (DACバッファA)
112	0000 0000	DAC miniDSPの係数C120 (15:8) (DACバッファA)
113	0000 0000	DAC miniDSPの係数C120 (7:0) (DACバッファA)
114	0000 0000	DAC miniDSPの係数C121 (15:8) (DACバッファA)
115	0000 0000	DAC miniDSPの係数C121 (7:0) (DACバッファA)
116	0000 0000	DAC miniDSPの係数C122 (15:8) (DACバッファA)
117	0000 0000	DAC miniDSPの係数C122 (7:0) (DACバッファA)
118	0000 0000	DAC miniDSPの係数C123 (15:8) (DACバッファA)
119	0000 0000	DAC miniDSPの係数C123 (7:0) (DACバッファA)
120	0000 0000	DAC miniDSPの係数C124 (15:8) (DACバッファA)
121	0000 0000	DAC miniDSPの係数C124 (7:0) (DACバッファA)
122	0000 0000	DAC miniDSPの係数C125 (15:8) (DACバッファA)
123	0000 0000	DAC miniDSPの係数C125 (7:0) (DACバッファA)
124	0000 0000	DAC miniDSPの係数C126 (15:8) (DACバッファA)
125	0000 0000	DAC miniDSPの係数C126 (7:0) (DACバッファA)
126	0000 0000	DAC miniDSPの係数C127 (15:8) (DACバッファA)
127	0000 0000	DAC miniDSPの係数C127 (7:0) (DACバッファA)

6.10 制御レジスタ、ページ10 : DACプログラマブル係数RAMバッファA (129:191)

表6-6. ページ10レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	予約済み。このレジスタには書き込まないください。
2	0000 0000	DACバッファAの係数C129 (15:8)
3	0000 0000	DACバッファAの係数C129 (7:0)
4	0000 0000	DACバッファAの係数C130 (15:8)
5	0000 0000	DACバッファAの係数C130 (7:0)
6	0000 0000	DACバッファAの係数C131 (15:8)
7	0000 0000	DACバッファAの係数C131 (7:0)
8	0000 0000	DACバッファAの係数C132 (15:8)
9	0000 0000	DACバッファAの係数C132 (7:0)
10	0000 0000	DACバッファAの係数C133 (15:8)
11	0000 0000	DACバッファAの係数C133 (7:0)
12	0000 0000	DACバッファAの係数C134 (15:8)
13	0000 0000	DACバッファAの係数C134 (7:0)
14	0000 0000	DACバッファAの係数C135 (15:8)
15	0000 0000	DACバッファAの係数C135 (7:0)

表6-6. ページ10レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
16	0000 0000	DACバッファAの係数C136 (15:8)
17	0000 0000	DACバッファAの係数C136 (7:0)
18	0000 0000	DACバッファAの係数C137 (15:8)
19	0000 0000	DACバッファAの係数C137 (7:0)
20	0000 0000	DACバッファAの係数C138 (15:8)
21	0000 0000	DACバッファAの係数C138 (7:0)
22	0000 0000	DACバッファAの係数C139 (15:8)
23	0000 0000	DACバッファAの係数C139 (7:0)
24	0000 0000	DACバッファAの係数C140 (15:8)
25	0000 0000	DACバッファAの係数C140 (7:0)
26	0000 0000	DACバッファAの係数C141 (15:8)
27	0000 0000	DACバッファAの係数C141 (7:0)
28	0000 0000	DACバッファAの係数C142 (15:8)
29	0000 0000	DACバッファAの係数C142 (7:0)
30	0000 0000	DACバッファAの係数C143 (15:8)
31	0000 0000	DACバッファAの係数C143 (7:0)
32	0000 0000	DACバッファAの係数C144 (15:8)
33	0000 0000	DACバッファAの係数C144 (7:0)
34	0000 0000	DACバッファAの係数C145 (15:8)
35	0000 0000	DACバッファAの係数C145 (7:0)
36	0000 0000	DACバッファAの係数C146 (15:8)
37	0000 0000	DACバッファAの係数C146 (7:0)
38	0000 0000	DACバッファAの係数C147 (15:8)
39	0000 0000	DACバッファAの係数C147 (7:0)
40	0000 0000	DACバッファAの係数C148 (15:8)
41	0000 0000	DACバッファAの係数C148 (7:0)
42	0000 0000	DACバッファAの係数C149 (15:8)
43	0000 0000	DACバッファAの係数C149 (7:0)
44	0000 0000	DACバッファAの係数C150 (15:8)
45	0000 0000	DACバッファAの係数C150 (7:0)
46	0000 0000	DACバッファAの係数C151 (15:8)
47	0000 0000	DACバッファAの係数C151 (7:0)
48	0000 0000	DACバッファAの係数C152 (15:8)
49	0000 0000	DACバッファAの係数C152 (7:0)
50	0000 0000	DACバッファAの係数C153 (15:8)
51	0000 0000	DACバッファAの係数C153 (7:0)
52	0000 0000	DACバッファAの係数C154 (15:8)
53	0000 0000	DACバッファAの係数C154 (7:0)
54	0000 0000	DACバッファAの係数C155 (15:8)
55	0000 0000	DACバッファAの係数C155 (7:0)
56	0000 0000	DACバッファAの係数C156 (15:8)
57	0000 0000	DACバッファAの係数C156 (7:0)
58	0000 0000	DACバッファAの係数C157 (15:8)
59	0000 0000	DACバッファAの係数C157 (7:0)
60	0000 0000	DACバッファAの係数C158 (15:8)
61	0000 0000	DACバッファAの係数C158 (7:0)

表6-6. ページ10レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
62	0000 0000	DACバッファAの係数C159 (15:8)
63	0000 0000	DACバッファAの係数C159 (7:0)
64	0000 0000	DACバッファAの係数C160 (15:8)
65	0000 0000	DACバッファAの係数C160 (7:0)
66	0000 0000	DACバッファAの係数C161 (15:8)
67	0000 0000	DACバッファAの係数C161 (7:0)
68	0000 0000	DACバッファAの係数C162 (15:8)
69	0000 0000	DACバッファAの係数C162 (7:0)
70	0000 0000	DACバッファAの係数C163 (15:8)
71	0000 0000	DACバッファAの係数C163 (7:0)
72	0000 0000	DACバッファAの係数C164 (15:8)
73	0000 0000	DACバッファAの係数C164 (7:0)
74	0000 0000	DACバッファAの係数C165 (15:8)
75	0000 0000	DACバッファAの係数C165 (7:0)
76	0000 0000	DACバッファAの係数C166 (15:8)
77	0000 0000	DACバッファAの係数C166 (7:0)
78	0000 0000	DACバッファAの係数C167 (15:8)
79	0000 0000	DACバッファAの係数C167 (7:0)
80	0000 0000	DACバッファAの係数C168 (15:8)
81	0000 0000	DACバッファAの係数C168 (7:0)
82	0000 0000	DACバッファAの係数C169 (15:8)
83	0000 0000	DACバッファAの係数C169 (7:0)
84	0000 0000	DACバッファAの係数C170 (15:8)
85	0000 0000	DACバッファAの係数C170 (7:0)
86	0000 0000	DACバッファAの係数C171 (15:8)
87	0000 0000	DACバッファAの係数C171 (7:0)
88	0000 0000	DACバッファAの係数C172 (15:8)
89	0000 0000	DACバッファAの係数C172 (7:0)
90	0000 0000	DACバッファAの係数C173 (15:8)
91	0000 0000	DACバッファAの係数C173 (7:0)
92	0000 0000	DACバッファAの係数C174 (15:8)
93	0000 0000	DACバッファAの係数C174 (7:0)
94	0000 0000	DACバッファAの係数C175 (15:8)
95	0000 0000	DACバッファAの係数C175 (7:0)
96	0000 0000	DACバッファAの係数C176 (15:8)
97	0000 0000	DACバッファAの係数C176 (7:0)
98	0000 0000	DACバッファAの係数C177 (15:8)
99	0000 0000	DACバッファAの係数C177 (7:0)
100	0000 0000	DACバッファAの係数C178 (15:8)
101	0000 0000	DACバッファAの係数C178 (7:0)
102	0000 0000	DACバッファAの係数C179 (15:8)
103	0000 0000	DACバッファAの係数C179 (7:0)
104	0000 0000	DACバッファAの係数C180 (15:8)
105	0000 0000	DACバッファAの係数C180 (7:0)
106	0000 0000	DACバッファAの係数C181 (15:8)
107	0000 0000	DACバッファAの係数C181 (7:0)

表6-6. ページ10レジスタ（続き）

レジスタ番号	リセット値	レジスタ名
108	0000 0000	DACバッファAの係数C182 (15:8)
109	0000 0000	DACバッファAの係数C182 (7:0)
110	0000 0000	DACバッファAの係数C183 (15:8)
111	0000 0000	DACバッファAの係数C183 (7:0)
112	0000 0000	DACバッファAの係数C184 (15:8)
113	0000 0000	DACバッファAの係数C184 (7:0)
114	0000 0000	DACバッファAの係数C185 (15:8)
115	0000 0000	DACバッファAの係数C185 (7:0)
116	0000 0000	DACバッファAの係数C186 (15:8)
117	0000 0000	DACバッファAの係数C186 (7:0)
118	0000 0000	DACバッファAの係数C187 (15:8)
119	0000 0000	DACバッファAの係数C187 (7:0)
120	0000 0000	DACバッファAの係数C188 (15:8)
121	0000 0000	DACバッファAの係数C188 (7:0)
122	0000 0000	DACバッファAの係数C189 (15:8)
123	0000 0000	DACバッファAの係数C189 (7:0)
124	0000 0000	DACバッファAの係数C190 (15:8)
125	0000 0000	DACバッファAの係数C190 (7:0)
126	0000 0000	DACバッファAの係数C191 (15:8)
127	0000 0000	DACバッファAの係数C191 (7:0)

6.11 制御レジスタ、ページ11：DACプログラマブル係数RAMバッファA（193:255）

表6-7. ページ11レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	予約済み。このレジスタには書き込まないください。
2	0000 0000	DACバッファAの係数C193 (15:8)
3	0000 0000	DACバッファAの係数C193 (7:0)
4	0000 0000	DACバッファAの係数C194 (15:8)
5	0000 0000	DACバッファAの係数C194 (7:0)
6	0000 0000	DACバッファAの係数C195 (15:8)
7	0000 0000	DACバッファAの係数C195 (7:0)
8	0000 0000	DACバッファAの係数C196 (15:8)
9	0000 0000	DACバッファAの係数C196 (7:0)
10	0000 0000	DACバッファAの係数C197 (15:8)
11	0000 0000	DACバッファAの係数C197 (7:0)
12	0000 0000	DACバッファAの係数C198 (15:8)
13	0000 0000	DACバッファAの係数C198 (7:0)
14	0000 0000	DACバッファAの係数C199 (15:8)
15	0000 0000	DACバッファAの係数C199 (7:0)
16	0000 0000	DACバッファAの係数C200 (15:8)
17	0000 0000	DACバッファAの係数C200 (7:0)
18	0000 0000	DACバッファAの係数C201 (15:8)
19	0000 0000	DACバッファAの係数C201 (7:0)
20	0000 0000	DACバッファAの係数C202 (15:8)

表6-7. ページ11レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
21	0000 0000	DACバッファAの係数C202 (7:0)
22	0000 0000	DACバッファAの係数C203 (15:8)
23	0000 0000	DACバッファAの係数C203 (7:0)
24	0000 0000	DACバッファAの係数C204 (15:8)
25	0000 0000	DACバッファAの係数C204 (7:0)
26	0000 0000	DACバッファAの係数C205 (15:8)
27	0000 0000	DACバッファAの係数C205 (7:0)
28	0000 0000	DACバッファAの係数C206 (15:8)
29	0000 0000	DACバッファAの係数C206 (7:0)
30	0000 0000	DACバッファAの係数C207 (15:8)
31	0000 0000	DACバッファAの係数C207 (7:0)
32	0000 0000	DACバッファAの係数C208 (15:8)
33	0000 0000	DACバッファAの係数C208 (7:0)
34	0000 0000	DACバッファAの係数C209 (15:8)
35	0000 0000	DACバッファAの係数C209 (7:0)
36	0000 0000	DACバッファAの係数C210 (15:8)
37	0000 0000	DACバッファAの係数C210 (7:0)
38	0000 0000	DACバッファAの係数C211 (15:8)
39	0000 0000	DACバッファAの係数C211 (7:0)
40	0000 0000	DACバッファAの係数C212 (15:8)
41	0000 0000	DACバッファAの係数C212 (7:0)
42	0000 0000	DACバッファAの係数C213 (15:8)
43	0000 0000	DACバッファAの係数C213 (7:0)
44	0000 0000	DACバッファAの係数C214 (15:8)
45	0000 0000	DACバッファAの係数C214 (7:0)
46	0000 0000	DACバッファAの係数C215 (15:8)
47	0000 0000	DACバッファAの係数C215 (7:0)
48	0000 0000	DACバッファAの係数C216 (15:8)
49	0000 0000	DACバッファAの係数C216 (7:0)
50	0000 0000	DACバッファAの係数C217 (15:8)
51	0000 0000	DACバッファAの係数C217 (7:0)
52	0000 0000	DACバッファAの係数C218 (15:8)
53	0000 0000	DACバッファAの係数C218 (7:0)
54	0000 0000	DACバッファAの係数C219 (15:8)
55	0000 0000	DACバッファAの係数C219 (7:0)
56	0000 0000	DACバッファAの係数C220 (15:8)
57	0000 0000	DACバッファAの係数C220 (7:0)
58	0000 0000	DACバッファAの係数C221 (15:8)
59	0000 0000	DACバッファAの係数C221 (7:0)
60	0000 0000	DACバッファAの係数C222 (15:8)
61	0000 0000	DACバッファAの係数C222 (7:0)
62	0000 0000	DACバッファAの係数C223 (15:8)
63	0000 0000	DACバッファAの係数C223 (7:0)
64	0000 0000	DACバッファAの係数C224 (15:8)
65	0000 0000	DACバッファAの係数C224 (7:0)
66	0000 0000	DACバッファAの係数C225 (15:8)

表6-7. ページ11レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
67	0000 0000	DACバッファAの係数C225 (7:0)
68	0000 0000	DACバッファAの係数C226 (15:8)
69	0000 0000	DACバッファAの係数C226 (7:0)
70	0000 0000	DACバッファAの係数C227 (15:8)
71	0000 0000	DACバッファAの係数C227 (7:0)
72	0000 0000	DACバッファAの係数C228 (15:8)
73	0000 0000	DACバッファAの係数C228 (7:0)
74	0000 0000	DACバッファAの係数C229 (15:8)
75	0000 0000	DACバッファAの係数C229 (7:0)
76	0000 0000	DACバッファAの係数C230 (15:8)
77	0000 0000	DACバッファAの係数C230 (7:0)
78	0000 0000	DACバッファAの係数C231 (15:8)
79	0000 0000	DACバッファAの係数C231 (7:0)
80	0000 0000	DACバッファAの係数C232 (15:8)
81	0000 0000	DACバッファAの係数C232 (7:0)
82	0000 0000	DACバッファAの係数C233 (15:8)
83	0000 0000	DACバッファAの係数C233 (7:0)
84	0000 0000	DACバッファAの係数C234 (15:8)
85	0000 0000	DACバッファAの係数C234 (7:0)
86	0000 0000	DACバッファAの係数C235 (15:8)
87	0000 0000	DACバッファAの係数C235 (7:0)
88	0000 0000	DACバッファAの係数C236 (15:8)
89	0000 0000	DACバッファAの係数C236 (7:0)
90	0000 0000	DACバッファAの係数C237 (15:8)
91	0000 0000	DACバッファAの係数C237 (7:0)
92	0000 0000	DACバッファAの係数C238 (15:8)
93	0000 0000	DACバッファAの係数C238 (7:0)
94	0000 0000	DACバッファAの係数C239 (15:8)
95	0000 0000	DACバッファAの係数C239 (7:0)
96	0000 0000	DACバッファAの係数C240 (15:8)
97	0000 0000	DACバッファAの係数C240 (7:0)
98	0000 0000	DACバッファAの係数C241 (15:8)
99	0000 0000	DACバッファAの係数C241 (7:0)
100	0000 0000	DACバッファAの係数C242 (15:8)
101	0000 0000	DACバッファAの係数C242 (7:0)
102	0000 0000	DACバッファAの係数C243 (15:8)
103	0000 0000	DACバッファAの係数C243 (7:0)
104	0000 0000	DACバッファAの係数C244 (15:8)
105	0000 0000	DACバッファAの係数C244 (7:0)
106	0000 0000	DACバッファAの係数C245 (15:8)
107	0000 0000	DACバッファAの係数C245 (7:0)
108	0000 0000	DACバッファAの係数C246 (15:8)
109	0000 0000	DACバッファAの係数C246 (7:0)
110	0000 0000	DACバッファAの係数C247 (15:8)
111	0000 0000	DACバッファAの係数C247 (7:0)
112	0000 0000	DACバッファAの係数C248 (15:8)

表6-7. ページ11レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
113	0000 0000	DACバッファAの係数C248 (7:0)
114	0000 0000	DACバッファAの係数C249 (15:8)
115	0000 0000	DACバッファAの係数C249 (7:0)
116	0000 0000	DACバッファAの係数C250 (15:8)
117	0000 0000	DACバッファAの係数C250 (7:0)
118	0000 0000	DACバッファAの係数C251 (15:8)
119	0000 0000	DACバッファAの係数C251 (7:0)
120	0000 0000	DACバッファAの係数C252 (15:8)
121	0000 0000	DACバッファAの係数C252 (7:0)
122	0000 0000	DACバッファAの係数C253 (15:8)
123	0000 0000	DACバッファAの係数C253 (7:0)
124	0000 0000	DACバッファAの係数C254 (15:8)
125	0000 0000	DACバッファAの係数C254 (7:0)
126	0000 0000	DACバッファAの係数C255 (15:8)
127	0000 0000	DACバッファAの係数C255 (7:0)

6.12 制御レジスタ、ページ12 : DACプログラマブル係数RAMバッファB (1:63)

表6-8. ページ12レジスタ

レジスタ番号	リセット値	レジスタ名
1	0000 0000	予約済み。このレジスタには書き込まないください。
2	0111 1111	DACバッファBの係数C1 (15:8)
3	1111 1111	DACバッファBの係数C1 (7:0)
4	0000 0000	DACバッファBの係数C2 (15:8)
5	0000 0000	DACバッファBの係数C2 (7:0)
6	0000 0000	DACバッファBの係数C3 (15:8)
7	0000 0000	DACバッファBの係数C3 (7:0)
8	0000 0000	DACバッファBの係数C4 (15:8)
9	0000 0000	DACバッファBの係数C4 (7:0)
10	0000 0000	DACバッファBの係数C5 (15:8)
11	0000 0000	DACバッファBの係数C5 (7:0)
12	0111 1111	DACバッファBの係数C6 (15:8)
13	1111 1111	DACバッファBの係数C6 (7:0)
14	0000 0000	DACバッファBの係数C7 (15:8)
15	0000 0000	DACバッファBの係数C7 (7:0)
16	0000 0000	DACバッファBの係数C8 (15:8)
17	0000 0000	DACバッファBの係数C8 (7:0)
18	0000 0000	DACバッファBの係数C9 (15:8)
19	0000 0000	DACバッファBの係数C9 (7:0)
20	0000 0000	DACバッファBの係数C10 (15:8)
21	0000 0000	DACバッファBの係数C10 (7:0)
22	0111 1111	DACバッファBの係数C11 (15:8)
23	1111 1111	DACバッファBの係数C11 (7:0)
24	0000 0000	DACバッファBの係数C12 (15:8)
25	0000 0000	DACバッファBの係数C12 (7:0)

表6-8. ページ12レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
26	0000 0000	DACバッファBの係数C13 (15:8)
27	0000 0000	DACバッファBの係数C13 (7:0)
28	0000 0000	DACバッファBの係数C14 (15:8)
29	0000 0000	DACバッファBの係数C14 (7:0)
30	0000 0000	DACバッファBの係数C15 (15:8)
31	0000 0000	DACバッファBの係数C15 (7:0)
32	0111 1111	DACバッファBの係数C16 (15:8)
33	1111 1111	DACバッファBの係数C16 (7:0)
34	0000 0000	DACバッファBの係数C17 (15:8)
35	0000 0000	DACバッファBの係数C17 (7:0)
36	0000 0000	DACバッファBの係数C18 (15:8)
37	0000 0000	DACバッファBの係数C18 (7:0)
38	0000 0000	DACバッファBの係数C19 (15:8)
39	0000 0000	DACバッファBの係数C19 (7:0)
40	0000 0000	DACバッファBの係数C20 (15:8)
41	0000 0000	DACバッファBの係数C20 (7:0)
42	0111 1111	DACバッファBの係数C21 (15:8)
43	1111 1111	DACバッファBの係数C21 (7:0)
44	0000 0000	DACバッファBの係数C22 (15:8)
45	0000 0000	DACバッファBの係数C22 (7:0)
46	0000 0000	DACバッファBの係数C23 (15:8)
47	0000 0000	DACバッファBの係数C23 (7:0)
48	0000 0000	DACバッファBの係数C24 (15:8)
49	0000 0000	DACバッファBの係数C24 (7:0)
50	0000 0000	DACバッファBの係数C25 (15:8)
51	0000 0000	DACバッファBの係数C25 (7:0)
52	0111 1111	DACバッファBの係数C26 (15:8)
53	1111 1111	DACバッファBの係数C26 (7:0)
54	0000 0000	DACバッファBの係数C27 (15:8)
55	0000 0000	DACバッファBの係数C27 (7:0)
56	0000 0000	DACバッファBの係数C28 (15:8)
57	0000 0000	DACバッファBの係数C28 (7:0)
58	0000 0000	DACバッファBの係数C29 (15:8)
59	0000 0000	DACバッファBの係数C29 (7:0)
60	0000 0000	DACバッファBの係数C30 (15:8)
61	0000 0000	DACバッファBの係数C30 (7:0)
62	0000 0000	DACバッファBの係数C31 (15:8)
63	0000 0000	DACバッファBの係数C31 (7:0)
64	0000 0000	DACバッファBの係数C32 (15:8)
65	0000 0000	DACバッファBの係数C32 (7:0)
66	0111 1111	DACバッファBの係数C33 (15:8)
67	1111 1111	DACバッファBの係数C33 (7:0)
68	0000 0000	DACバッファBの係数C34 (15:8)
69	0000 0000	DACバッファBの係数C34 (7:0)
70	0000 0000	DACバッファBの係数C35 (15:8)
71	0000 0000	DACバッファBの係数C35 (7:0)

表6-8. ページ12レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
72	0000 0000	DACバッファBの係数C36 (15:8)
73	0000 0000	DACバッファBの係数C36 (7:0)
74	0000 0000	DACバッファBの係数C37 (15:8)
75	0000 0000	DACバッファBの係数C37 (7:0)
76	0111 1111	DACバッファBの係数C38 (15:8)
77	1111 1111	DACバッファBの係数C38 (7:0)
78	0000 0000	DACバッファBの係数C39 (15:8)
79	0000 0000	DACバッファBの係数C39 (7:0)
80	0000 0000	DACバッファBの係数C40 (15:8)
81	0000 0000	DACバッファBの係数C40 (7:0)
82	0000 0000	DACバッファBの係数C41 (15:8)
83	0000 0000	DACバッファBの係数C41 (7:0)
84	0000 0000	DACバッファBの係数C42 (15:8)
85	0000 0000	DACバッファBの係数C42 (7:0)
86	0111 1111	DACバッファBの係数C43 (15:8)
87	1111 1111	DACバッファBの係数C43 (7:0)
88	0000 0000	DACバッファBの係数C44 (15:8)
89	0000 0000	DACバッファBの係数C44 (7:0)
90	0000 0000	DACバッファBの係数C45 (15:8)
91	0000 0000	DACバッファBの係数C45 (7:0)
92	0000 0000	DACバッファBの係数C46 (15:8)
93	0000 0000	DACバッファBの係数C46 (7:0)
94	0000 0000	DACバッファBの係数C47 (15:8)
95	0000 0000	DACバッファBの係数C47 (7:0)
96	0111 1111	DACバッファBの係数C48 (15:8)
97	1111 1111	DACバッファBの係数C48 (7:0)
98	0000 0000	DACバッファBの係数C49 (15:8)
99	0000 0000	DACバッファBの係数C49 (7:0)
100	0000 0000	DACバッファBの係数C50 (15:8)
101	0000 0000	DACバッファBの係数C50 (7:0)
102	0000 0000	DACバッファBの係数C51 (15:8)
103	0000 0000	DACバッファBの係数C51 (7:0)
104	0000 0000	DACバッファBの係数C52 (15:8)
105	0000 0000	DACバッファBの係数C52 (7:0)
106	0111 1111	DACバッファBの係数C53 (15:8)
107	1111 1111	DACバッファBの係数C53 (7:0)
108	0000 0000	DACバッファBの係数C54 (15:8)
109	0000 0000	DACバッファBの係数C54 (7:0)
110	0000 0000	DACバッファBの係数C55 (15:8)
111	0000 0000	DACバッファBの係数C55 (7:0)
112	0000 0000	DACバッファBの係数C56 (15:8)
113	0000 0000	DACバッファBの係数C56 (7:0)
114	0000 0000	DACバッファBの係数C57 (15:8)
115	0000 0000	DACバッファBの係数C57 (7:0)
116	0111 1111	DACバッファBの係数C58 (15:8)
117	1111 1111	DACバッファBの係数C58 (7:0)

表6-8. ページ12レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
118	0000 0000	DACバッファBの係数C59 (15:8)
119	0000 0000	DACバッファBの係数C59 (7:0)
120	0000 0000	DACバッファBの係数C60 (15:8)
121	0000 0000	DACバッファBの係数C60 (7:0)
122	0000 0000	DACバッファBの係数C61 (15:8)
123	0000 0000	DACバッファBの係数C61 (7:0)
124	0000 0000	DACバッファBの係数C62 (15:8)
125	0000 0000	DACバッファBの係数C62 (7:0)
126	0000 0000	DACバッファBの係数C63 (15:8)
127	0000 0000	DACバッファBの係数C63 (7:0)

6.13 制御レジスタ、ページ13 : DACプログラマブル係数RAMバッファB (65:127)

表6-9. ページ13レジスタ

レジスタ番号	リセット値	レジスタ名
1	0000 0000	Reserved。このレジスタには書き込まないください。
2	0111 1111	DACバッファBの係数C65 (15:8)
3	1111 1111	DACバッファBの係数C65 (7:0)
4	0000 0000	DACバッファBの係数C66 (15:8)
5	0000 0000	DACバッファBの係数C66 (7:0)
6	0000 0000	DACバッファBの係数C67 (15:8)
7	0000 0000	DACバッファBの係数C67 (7:0)
8	0111 1111	DACバッファBの係数C68 (15:8)
9	1111 1111	DACバッファBの係数C68 (7:0)
10	0000 0000	DACバッファBの係数C69 (15:8)
11	0000 0000	DACバッファBの係数C69 (7:0)
12	0000 0000	DACバッファBの係数C70 (15:8)
13	0000 0000	DACバッファBの係数C70 (7:0)
14	0111 1111	DACバッファBの係数C71 (15:8)
15	1111 0111	DACバッファBの係数C71 (7:0)
16	1000 0000	DACバッファBの係数C72 (15:8)
17	0000 1001	DACバッファBの係数C72 (7:0)
18	0111 1111	DACバッファBの係数C73 (15:8)
19	1110 1111	DACバッファBの係数C73 (7:0)
20	0000 0000	DACバッファBの係数C74 (15:8)
21	0001 0001	DACバッファBの係数C74 (7:0)
22	0000 0000	DACバッファBの係数C75 (15:8)
23	0001 0001	DACバッファBの係数C75 (7:0)
24	0111 1111	DACバッファBの係数C76 (15:8)
25	1101 1110	DACバッファBの係数C76 (7:0)
26	0000 0000	DACバッファBの係数C77 (15:8)
27	0000 0000	DACバッファBの係数C77 (7:0)
28	0000 0000	DACバッファBの係数C78 (15:8)
29	0000 0000	DACバッファBの係数C78 (7:0)
30	0000 0000	DACバッファBの係数C79 (15:8)

表6-9. ページ13レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
31	0000 0000	DACバッファBの係数C79 (7:0)
32	0000 0000	DACバッファBの係数C80 (15:8)
33	0000 0000	DACバッファBの係数C80 (7:0)
34	0000 0000	DACバッファBの係数C81 (15:8)
35	0000 0000	DACバッファBの係数C81 (7:0)
36	0000 0000	DACバッファBの係数C82 (15:8)
37	0000 0000	DACバッファBの係数C82 (7:0)
38	0000 0000	DACバッファBの係数C83 (15:8)
39	0000 0000	DACバッファBの係数C83 (7:0)
40	0000 0000	DACバッファBの係数C84 (15:8)
41	0000 0000	DACバッファBの係数C84 (7:0)
42	0000 0000	DACバッファBの係数C85 (15:8)
43	0000 0000	DACバッファBの係数C85 (7:0)
44	0000 0000	DACバッファBの係数C86 (15:8)
45	0000 0000	DACバッファBの係数C86 (7:0)
46	0000 0000	DACバッファBの係数C87 (15:8)
47	0000 0000	DACバッファBの係数C87 (7:0)
48	0000 0000	DACバッファBの係数C88 (15:8)
49	0000 0000	DACバッファBの係数C88 (7:0)
50	0000 0000	DACバッファBの係数C89 (15:8)
51	0000 0000	DACバッファBの係数C89 (7:0)
52	0000 0000	DACバッファBの係数C90 (15:8)
53	0000 0000	DACバッファBの係数C90 (7:0)
54	0000 0000	DACバッファBの係数C91 (15:8)
55	0000 0000	DACバッファBの係数C91 (7:0)
56	0000 0000	DACバッファBの係数C92 (15:8)
57	0000 0000	DACバッファBの係数C92 (7:0)
58	0000 0000	DACバッファBの係数C93 (15:8)
59	0000 0000	DACバッファBの係数C93 (7:0)
60	0000 0000	DACバッファBの係数C94 (15:8)
61	0000 0000	DACバッファBの係数C94 (7:0)
62	0000 0000	DACバッファBの係数C95 (15:8)
63	0000 0000	DACバッファBの係数C95 (7:0)
64	0000 0000	DACバッファBの係数C96 (15:8)
65	0000 0000	DACバッファBの係数C96 (7:0)
66	0000 0000	DACバッファBの係数C97 (15:8)
67	0000 0000	DACバッファBの係数C97 (7:0)
68	0000 0000	DACバッファBの係数C98 (15:8)
69	0000 0000	DACバッファBの係数C98 (7:0)
70	0000 0000	DACバッファBの係数C99 (15:8)
71	0000 0000	DACバッファBの係数C99 (7:0)
72	0000 0000	DACバッファBの係数C100 (15:8)
73	0000 0000	DACバッファBの係数C100 (7:0)
74	0000 0000	DACバッファBの係数C101 (15:8)
75	0000 0000	DACバッファBの係数C101 (7:0)
76	0000 0000	DACバッファBの係数C102 (15:8)

表6-9. ページ13レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
77	0000 0000	DACバッファBの係数C102 (7:0)
78	0000 0000	DACバッファBの係数C103 (15:8)
79	0000 0000	DACバッファBの係数C103 (7:0)
80	0000 0000	DACバッファBの係数C104 (15:8)
81	0000 0000	DACバッファBの係数C104 (7:0)
82	0000 0000	DACバッファBの係数C105 (15:8)
83	0000 0000	DACバッファBの係数C105 (7:0)
84	0000 0000	DACバッファBの係数C106 (15:8)
85	0000 0000	DACバッファBの係数C106 (7:0)
86	0000 0000	DACバッファBの係数C107 (15:8)
87	0000 0000	DACバッファBの係数C107 (7:0)
88	0000 0000	DACバッファBの係数C108 (15:8)
89	0000 0000	DACバッファBの係数C108 (7:0)
90	0000 0000	DACバッファBの係数C109 (15:8)
91	0000 0000	DACバッファBの係数C109 (7:0)
92	0000 0000	DACバッファBの係数C110 (15:8)
93	0000 0000	DACバッファBの係数C110 (7:0)
94	0000 0000	DACバッファBの係数C111 (15:8)
95	0000 0000	DACバッファBの係数C111 (7:0)
96	0000 0000	DACバッファBの係数C112 (15:8)
97	0000 0000	DACバッファBの係数C112 (7:0)
98	0000 0000	DACバッファBの係数C113 (15:8)
99	0000 0000	DACバッファBの係数C113 (7:0)
100	0000 0000	DACバッファBの係数C114 (15:8)
101	0000 0000	DACバッファBの係数C114 (7:0)
102	0000 0000	DACバッファBの係数C115 (15:8)
103	0000 0000	DACバッファBの係数C116 (7:0)
104	0000 0000	DACバッファBの係数C117 (15:8)
105	0000 0000	DACバッファBの係数C117 (7:0)
106	0000 0000	DACバッファBの係数C118 (15:8)
107	0000 0000	DACバッファBの係数C118 (7:0)
108	0000 0000	DACバッファBの係数C119 (15:8)
109	0000 0000	DACバッファBの係数C119 (7:0)
110	0000 0000	DACバッファBの係数C120 (15:8)
111	0000 0000	DACバッファBの係数C120 (7:0)
112	0000 0000	DACバッファBの係数C121 (15:8)
113	0000 0000	DACバッファBの係数C121 (7:0)
114	0000 0000	DACバッファBの係数C122 (15:8)
115	0000 0000	DACバッファBの係数C122 (7:0)
116	0000 0000	DACバッファBの係数C123 (15:8)
117	0000 0000	DACバッファBの係数C123 (7:0)
118	0000 0000	DACバッファBの係数C123 (15:8)
119	0000 0000	DACバッファBの係数C123 (7:0)
120	0000 0000	DACバッファBの係数C124 (15:8)
121	0000 0000	DACバッファBの係数C124 (7:0)
122	0000 0000	DACバッファBの係数C125 (15:8)

表6-9. ページ13レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
123	0000 0000	DACバッファBの係数C125 (7:0)
124	0000 0000	DACバッファBの係数C126 (15:8)
125	0000 0000	DACバッファBの係数C126 (7:0)
126	0000 0000	DACバッファBの係数C127 (15:8)
127	0000 0000	DACバッファBの係数C127 (7:0)

6.14 制御レジスタ、ページ14 : DACプログラマブル係数RAMバッファB (129:191)

表6-10. ページ14レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	予約済み。このレジスタには書き込まないください。
2	0000 0000	DACバッファBの係数C129 (15:8)
3	0000 0000	DACバッファBの係数C129 (7:0)
4	0000 0000	DACバッファBの係数C130 (15:8)
5	0000 0000	DACバッファBの係数C130 (7:0)
6	0000 0000	DACバッファBの係数C131 (15:8)
7	0000 0000	DACバッファBの係数C131 (7:0)
8	0000 0000	DACバッファBの係数C132 (15:8)
9	0000 0000	DACバッファBの係数C132 (7:0)
10	0000 0000	DACバッファBの係数C133 (15:8)
11	0000 0000	DACバッファBの係数C133 (7:0)
12	0000 0000	DACバッファBの係数C134 (15:8)
13	0000 0000	DACバッファBの係数C134 (7:0)
14	0000 0000	DACバッファBの係数C135 (15:8)
15	0000 0000	DACバッファBの係数C135 (7:0)
16	0000 0000	DACバッファBの係数C136 (15:8)
17	0000 0000	DACバッファBの係数C136 (7:0)
18	0000 0000	DACバッファBの係数C137 (15:8)
19	0000 0000	DACバッファBの係数C137 (7:0)
20	0000 0000	DACバッファBの係数C138 (15:8)
21	0000 0000	DACバッファBの係数C138 (7:0)
22	0000 0000	DACバッファBの係数C139 (15:8)
23	0000 0000	DACバッファBの係数C139 (7:0)
24	0000 0000	DACバッファBの係数C140 (15:8)
25	0000 0000	DACバッファBの係数C140 (7:0)
26	0000 0000	DACバッファBの係数C141 (15:8)
27	0000 0000	DACバッファBの係数C141 (7:0)
28	0000 0000	DACバッファBの係数C142 (15:8)
29	0000 0000	DACバッファBの係数C142 (7:0)
30	0000 0000	DACバッファBの係数C143 (15:8)
31	0000 0000	DACバッファBの係数C143 (7:0)
32	0000 0000	DACバッファBの係数C144 (15:8)
33	0000 0000	DACバッファBの係数C144 (7:0)
34	0000 0000	DACバッファBの係数C145 (15:8)
35	0000 0000	DACバッファBの係数C145 (7:0)

表6-10. ページ14レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
36	0000 0000	DACバッファBの係数C146 (15:8)
37	0000 0000	DACバッファBの係数C146 (7:0)
38	0000 0000	DACバッファBの係数C147 (15:8)
39	0000 0000	DACバッファBの係数C147 (7:0)
40	0000 0000	DACバッファBの係数C148 (15:8)
41	0000 0000	DACバッファBの係数C148 (7:0)
42	0000 0000	DACバッファBの係数C149 (15:8)
43	0000 0000	DACバッファBの係数C149 (7:0)
44	0000 0000	DACバッファBの係数C150 (15:8)
45	0000 0000	DACバッファBの係数C150 (7:0)
46	0000 0000	DACバッファBの係数C151 (15:8)
47	0000 0000	DACバッファBの係数C151 (7:0)
48	0000 0000	DACバッファBの係数C152 (15:8)
49	0000 0000	DACバッファBの係数C152 (7:0)
50	0000 0000	DACバッファBの係数C153 (15:8)
51	0000 0000	DACバッファBの係数C153 (7:0)
52	0000 0000	DACバッファBの係数C154 (15:8)
53	0000 0000	DACバッファBの係数C154 (7:0)
54	0000 0000	DACバッファBの係数C155 (15:8)
55	0000 0000	DACバッファBの係数C155 (7:0)
56	0000 0000	DACバッファBの係数C156 (15:8)
57	0000 0000	DACバッファBの係数C156 (7:0)
58	0000 0000	DACバッファBの係数C157 (15:8)
59	0000 0000	DACバッファBの係数C157 (7:0)
60	0000 0000	DACバッファBの係数C158 (15:8)
61	0000 0000	DACバッファBの係数C158 (7:0)
62	0000 0000	DACバッファBの係数C159 (15:8)
63	0000 0000	DACバッファBの係数C159 (7:0)
64	0000 0000	DACバッファBの係数C160 (15:8)
65	0000 0000	DACバッファBの係数C160 (7:0)
66	0000 0000	DACバッファBの係数C161 (15:8)
67	0000 0000	DACバッファBの係数C161 (7:0)
68	0000 0000	DACバッファBの係数C162 (15:8)
69	0000 0000	DACバッファBの係数C162 (7:0)
70	0000 0000	DACバッファBの係数C163 (15:8)
71	0000 0000	DACバッファBの係数C163 (7:0)
72	0000 0000	DACバッファBの係数C164 (15:8)
73	0000 0000	DACバッファBの係数C164 (7:0)
74	0000 0000	DACバッファBの係数C165 (15:8)
75	0000 0000	DACバッファBの係数C165 (7:0)
76	0000 0000	DACバッファBの係数C166 (15:8)
77	0000 0000	DACバッファBの係数C166 (7:0)
78	0000 0000	DACバッファBの係数C167 (15:8)
79	0000 0000	DACバッファBの係数C167 (7:0)
80	0000 0000	DACバッファBの係数C168 (15:8)
81	0000 0000	DACバッファBの係数C168 (7:0)

表6-10. ページ14レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
82	0000 0000	DACバッファBの係数C169 (15:8)
83	0000 0000	DACバッファBの係数C169 (7:0)
84	0000 0000	DACバッファBの係数C170 (15:8)
85	0000 0000	DACバッファBの係数C170 (7:0)
86	0000 0000	DACバッファBの係数C171 (15:8)
87	0000 0000	DACバッファBの係数C171 (7:0)
88	0000 0000	DACバッファBの係数C172 (15:8)
89	0000 0000	DACバッファBの係数C172 (7:0)
90	0000 0000	DACバッファBの係数C173 (15:8)
91	0000 0000	DACバッファBの係数C173 (7:0)
92	0000 0000	DACバッファBの係数C174 (15:8)
93	0000 0000	DACバッファBの係数C174 (7:0)
94	0000 0000	DACバッファBの係数C175 (15:8)
95	0000 0000	DACバッファBの係数C175 (7:0)
96	0000 0000	DACバッファBの係数C176 (15:8)
97	0000 0000	DACバッファBの係数C176 (7:0)
98	0000 0000	DACバッファBの係数C177 (15:8)
99	0000 0000	DACバッファBの係数C177 (7:0)
100	0000 0000	DACバッファBの係数C178 (15:8)
101	0000 0000	DACバッファBの係数C178 (7:0)
102	0000 0000	DACバッファBの係数C179 (15:8)
103	0000 0000	DACバッファBの係数C179 (7:0)
104	0000 0000	DACバッファBの係数C180 (15:8)
105	0000 0000	DACバッファBの係数C180 (7:0)
106	0000 0000	DACバッファBの係数C181 (15:8)
107	0000 0000	DACバッファBの係数C181 (7:0)
108	0000 0000	DACバッファBの係数C182 (15:8)
109	0000 0000	DACバッファBの係数C182 (7:0)
110	0000 0000	DACバッファBの係数C183 (15:8)
111	0000 0000	DACバッファBの係数C183 (7:0)
112	0000 0000	DACバッファBの係数C184 (15:8)
113	0000 0000	DACバッファBの係数C184 (7:0)
114	0000 0000	DACバッファBの係数C185 (15:8)
115	0000 0000	DACバッファBの係数C185 (7:0)
116	0000 0000	DACバッファBの係数C186 (15:8)
117	0000 0000	DACバッファBの係数C186 (7:0)
118	0000 0000	DACバッファBの係数C187 (15:8)
119	0000 0000	DACバッファBの係数C187 (7:0)
120	0000 0000	DACバッファBの係数C188 (15:8)
121	0000 0000	DACバッファBの係数C188 (7:0)
122	0000 0000	DACバッファBの係数C189 (15:8)
123	0000 0000	DACバッファBの係数C189 (7:0)
124	0000 0000	DACバッファBの係数C190 (15:8)
125	0000 0000	DACバッファBの係数C190 (7:0)
126	0000 0000	DACバッファBの係数C191 (15:8)
127	0000 0000	DACバッファBの係数C191 (7:0)

6.15 制御レジスタ、ページ15：DACプログラマブル係数RAMバッファB（193:255）

表6-11. ページ15レジスタ

レジスタ番号	リセット値	レジスタ名
1	XXXX XXXX	予約済み。このレジスタには書き込まないください。
2	0000 0000	DACバッファBの係数C193 (15:8)
3	0000 0000	DACバッファBの係数C193 (7:0)
4	0000 0000	DACバッファBの係数C194 (15:8)
5	0000 0000	DACバッファBの係数C194 (7:0)
6	0000 0000	DACバッファBの係数C195 (15:8)
7	0000 0000	DACバッファBの係数C195 (7:0)
8	0000 0000	DACバッファBの係数C196 (15:8)
9	0000 0000	DACバッファBの係数C196 (7:0)
10	0000 0000	DACバッファBの係数C197 (15:8)
11	0000 0000	DACバッファBの係数C197 (7:0)
12	0000 0000	DACバッファBの係数C198 (15:8)
13	0000 0000	DACバッファBの係数C198 (7:0)
14	0000 0000	DACバッファBの係数C199 (15:8)
15	0000 0000	DACバッファBの係数C199 (7:0)
16	0000 0000	DACバッファBの係数C200 (15:8)
17	0000 0000	DACバッファBの係数C200 (7:0)
18	0000 0000	DACバッファBの係数C201 (15:8)
19	0000 0000	DACバッファBの係数C201 (7:0)
20	0000 0000	DACバッファBの係数C202 (15:8)
21	0000 0000	DACバッファBの係数C202 (7:0)
22	0000 0000	DACバッファBの係数C203 (15:8)
23	0000 0000	DACバッファBの係数C203 (7:0)
24	0000 0000	DACバッファBの係数C204 (15:8)
25	0000 0000	DACバッファBの係数C204 (7:0)
26	0000 0000	DACバッファBの係数C205 (15:8)
27	0000 0000	DACバッファBの係数C205 (7:0)
28	0000 0000	DACバッファBの係数C206 (15:8)
29	0000 0000	DACバッファBの係数C206 (7:0)
30	0000 0000	DACバッファBの係数C207 (15:8)
31	0000 0000	DACバッファBの係数C207 (7:0)
32	0000 0000	DACバッファBの係数C208 (15:8)
33	0000 0000	DACバッファBの係数C208 (7:0)
34	0000 0000	DACバッファBの係数C209 (15:8)
35	0000 0000	DACバッファBの係数C209 (7:0)
36	0000 0000	DACバッファBの係数C210 (15:8)
37	0000 0000	DACバッファBの係数C210 (7:0)
38	0000 0000	DACバッファBの係数C211 (15:8)
39	0000 0000	DACバッファBの係数C211 (7:0)
40	0000 0000	DACバッファBの係数C212 (15:8)
41	0000 0000	DACバッファBの係数C212 (7:0)
42	0000 0000	DACバッファBの係数C213 (15:8)
43	0000 0000	DACバッファBの係数C213 (7:0)
44	0000 0000	DACバッファBの係数C214 (15:8)

表6-11. ページ15レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
45	0000 0000	DACバッファBの係数C214 (7:0)
46	0000 0000	DACバッファBの係数C215 (15:8)
47	0000 0000	DACバッファBの係数C215 (7:0)
48	0000 0000	DACバッファBの係数C216 (15:8)
49	0000 0000	DACバッファBの係数C216 (7:0)
50	0000 0000	DACバッファBの係数C217 (15:8)
51	0000 0000	DACバッファBの係数C217 (7:0)
52	0000 0000	DACバッファBの係数C218 (15:8)
53	0000 0000	DACバッファBの係数C218 (7:0)
54	0000 0000	DACバッファBの係数C219 (15:8)
55	0000 0000	DACバッファBの係数C219 (7:0)
56	0000 0000	DACバッファBの係数C220 (15:8)
57	0000 0000	DACバッファBの係数C220 (7:0)
58	0000 0000	DACバッファBの係数C221 (15:8)
59	0000 0000	DACバッファBの係数C221 (7:0)
60	0000 0000	DACバッファBの係数C222 (15:8)
61	0000 0000	DACバッファBの係数C222 (7:0)
62	0000 0000	DACバッファBの係数C223 (15:8)
63	0000 0000	DACバッファBの係数C223 (7:0)
64	0000 0000	DACバッファBの係数C224 (15:8)
65	0000 0000	DACバッファBの係数C224 (7:0)
66	0000 0000	DACバッファBの係数C225 (15:8)
67	0000 0000	DACバッファBの係数C225 (7:0)
68	0000 0000	DACバッファBの係数C226 (15:8)
69	0000 0000	DACバッファBの係数C226 (7:0)
70	0000 0000	DACバッファBの係数C227 (15:8)
71	0000 0000	DACバッファBの係数C227 (7:0)
72	0000 0000	DACバッファBの係数C228 (15:8)
73	0000 0000	DACバッファBの係数C228 (7:0)
74	0000 0000	DACバッファBの係数C229 (15:8)
75	0000 0000	DACバッファBの係数C229 (7:0)
76	0000 0000	DACバッファBの係数C230 (15:8)
77	0000 0000	DACバッファBの係数C230 (7:0)
78	0000 0000	DACバッファBの係数C231 (15:8)
79	0000 0000	DACバッファBの係数C231 (7:0)
80	0000 0000	DACバッファBの係数C232 (15:8)
81	0000 0000	DACバッファBの係数C232 (7:0)
82	0000 0000	DACバッファBの係数C233 (15:8)
83	0000 0000	DACバッファBの係数C233 (7:0)
84	0000 0000	DACバッファBの係数C234 (15:8)
85	0000 0000	DACバッファBの係数C234 (7:0)
86	0000 0000	DACバッファBの係数C235 (15:8)
87	0000 0000	DACバッファBの係数C235 (7:0)
88	0000 0000	DACバッファBの係数C236 (15:8)
89	0000 0000	DACバッファBの係数C236 (7:0)
90	0000 0000	DACバッファBの係数C237 (15:8)

表6-11. ページ15レジスタ (続き)

レジスタ番号	リセット値	レジスタ名
91	0000 0000	DACバッファBの係数C237 (7:0)
92	0000 0000	DACバッファBの係数C238 (15:8)
93	0000 0000	DACバッファBの係数C238 (7:0)
94	0000 0000	DACバッファBの係数C239 (15:8)
95	0000 0000	DACバッファBの係数C239 (7:0)
96	0000 0000	DACバッファBの係数C240 (15:8)
97	0000 0000	DACバッファBの係数C240 (7:0)
98	0000 0000	DACバッファBの係数C241 (15:8)
99	0000 0000	DACバッファBの係数C241 (7:0)
100	0000 0000	DACバッファBの係数C242 (15:8)
101	0000 0000	DACバッファBの係数C242 (7:0)
102	0000 0000	DACバッファBの係数C243 (15:8)
103	0000 0000	DACバッファBの係数C243 (7:0)
104	0000 0000	DACバッファBの係数C244 (15:8)
105	0000 0000	DACバッファBの係数C244 (7:0)
106	0000 0000	DACバッファBの係数C245 (15:8)
107	0000 0000	DACバッファBの係数C245 (7:0)
108	0000 0000	DACバッファBの係数C246 (15:8)
109	0000 0000	DACバッファBの係数C246 (7:0)
110	0000 0000	DACバッファBの係数C247 (15:8)
111	0000 0000	DACバッファBの係数C247 (7:0)
112	0000 0000	DACバッファBの係数C248 (15:8)
113	0000 0000	DACバッファBの係数C248 (7:0)
114	0000 0000	DACバッファBの係数C249 (15:8)
115	0000 0000	DACバッファBの係数C249 (7:0)
116	0000 0000	DACバッファBの係数C250 (15:8)
117	0000 0000	DACバッファBの係数C250 (7:0)
118	0000 0000	DACバッファBの係数C251 (15:8)
119	0000 0000	DACバッファBの係数C251 (7:0)
120	0000 0000	DACバッファBの係数C252 (15:8)
121	0000 0000	DACバッファBの係数C252 (7:0)
122	0000 0000	DACバッファBの係数C253 (15:8)
123	0000 0000	DACバッファBの係数C253 (7:0)
124	0000 0000	DACバッファBの係数C254 (15:8)
125	0000 0000	DACバッファBの係数C254 (7:0)
126	0000 0000	DACバッファBの係数C255 (15:8)
127	0000 0000	DACバッファBの係数C255 (7:0)

6.16 制御レジスタ、ページ32 : ADC DSPエンジン命令RAM (0:31)

ページ32/レジスタ0 : ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

ページ32/レジスタ1：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。このレジスタには、デフォルト値のみを書き込んでください。

ページ32/レジスタ2：Inst_0 (19:16)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D4	R/W	XXXX	Reserved
D3-D0	R/W	XXXX	ADC miniDSPの命令Inst_0 (19:16)

ページ32/レジスタ3：Inst_0 (15:8)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	ADC miniDSPの命令Inst_0 (15:8)

ページ32/レジスタ4：Inst_0 (7:0)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	ADC miniDSPの命令Inst_0 (7:0)

6.16.1 ページ32/レジスタ5-97

ページ32の残りのReservedでないレジスタは、3つのグループに分けられ、各グループに1つの命令のビットが格納されています。ビットの割り当ては、命令0に対するレジスタ2~4の場合と同じです。レジスタ5~7、8~10、11~13、...、95~97には、それぞれ命令1、2、3、...、31が格納されます。

ページ32/レジスタ98-127：Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	Reserved。このレジスタには、デフォルト値のみを書き込んでください。

6.17 制御レジスタ、ページ33-43：ADC DSPエンジン命令RAM (32:63) ~ (352:383)

ページ33~43のレジスタ構造は、ページ32と同じです。命令番号だけが異なります。各ページ内の命令の範囲を次の表に示します。

ページ	命令
33	32 to 63
34	64 to 95
35	96 to 127
36	128 to 159
37	160 to 191
38	192 to 223
39	224 to 255
40	256 to 287
41	288 to 319
42	320 to 351
43	352 to 383

6.18 制御レジスタ、ページ64：DAC DSPエンジン命令RAM (0:31)

ページ64/レジスタ0：ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

ページ64/レジスタ1：Reserved

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	予約済み。このレジスタには、デフォルト値のみを書き込んでください。

ページ64/レジスタ2：Inst_0 (23:16)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX	DAC miniDSPの命令Inst_0 (23:16)

ページ64/レジスタ3：Inst_0 (15:8)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	DAC miniDSPの命令Inst_0 (15:8)

ページ64/レジスタ4：Inst_0 (7:0)

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	DAC miniDSPの命令Inst_0 (7:0)

6.18.1 ページ64/レジスタ5-97

ページ64の残りのReservedでないレジスタは、3つのグループに分けられ、各グループに1つの命令のビットが格納されています。ビットの割り当ては、命令0に対するレジスタ2~4の場合と同じです。レジスタ5~7、8~10、11~13、...、95~97には、それぞれ命令1、2、3、...、31が格納されます。

ページ64/レジスタ98-127：予約済み

ビット	読み取り/ 書き込み	リセット値	説明
D7-D0	R/W	XXXX XXXX	予約済み。このレジスタには、デフォルト値のみを書き込んでください。

6.19 制御レジスタ、ページ65-95：DAC DSPエンジン命令RAM (32:63) ～ (992:1023)

ページ65～95のレジスタ構造は、ページ64と同じです。命令番号だけが異なります。各ページ内の命令の範囲を次の表に示します。

ページ	命令
65	32 ～ 63
66	64 ～ 95
67	96 ～ 127
68	128 ～ 159
69	160 ～ 191
70	192 ～ 223
71	224 ～ 255
72	256 ～ 287
73	288 ～ 319
74	320 ～ 351
75	352 ～ 383
76	384 ～ 415
77	416 ～ 447
78	448 ～ 479
79	480 ～ 511
80	512 ～ 543
81	544 ～ 575
82	576 ～ 607
83	608 ～ 639
84	640 ～ 671
85	672 ～ 703
86	704 ～ 735
87	736 ～ 767
88	768 ～ 799
89	800 ～ 831
90	832 ～ 863
91	864 ～ 895
92	896 ～ 927
93	928 ～ 959
94	960 ～ 991
95	992 ～ 1023

6.20 制御レジスタ、ページ252：SARバッファ・モード・データ

ページ252/レジスタ0：ページ制御レジスタ

ビット	読み取り/ 書き込み	リセット値	リセット値
D7-D0	R/W	0000 0000	0000 0000: ページ0を選択 0000 0001: ページ1を選択 ... 1111 1110: ページ254を選択 1111 1111: ページ255を選択

ページ252/レジスタ1：バッファ・モード・データ (MSB)

ビット	読み取り/ 書き込み	リセット値	リセット値
D7-D0	R	XXXX XXXX	このレジスタを読み取ると、RDPTRに基づいたバッファ・データの上位8ビットが返されます。

ページ252/レジスタ2：バッファ・モード・データ (LSB)

ビット	読み取り/ 書き込み	リセット値	リセット値
D7-D0	R	XXXX XXXX	このレジスタを読み取ると、RDPTRに基づいたバッファ・データの下部8ビットが返されます。

ページ252/レジスタ3～127：予約済み

ビット	読み取り/ 書き込み	リセット値	リセット値
D7-D0	R/W	XXXX XXXX	Reserved。これらのビットには、リセット値のみを書き込んでください。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TSC2117IRGZR	ACTIVE	VQFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TSC2117IRGZT	ACTIVE	VQFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

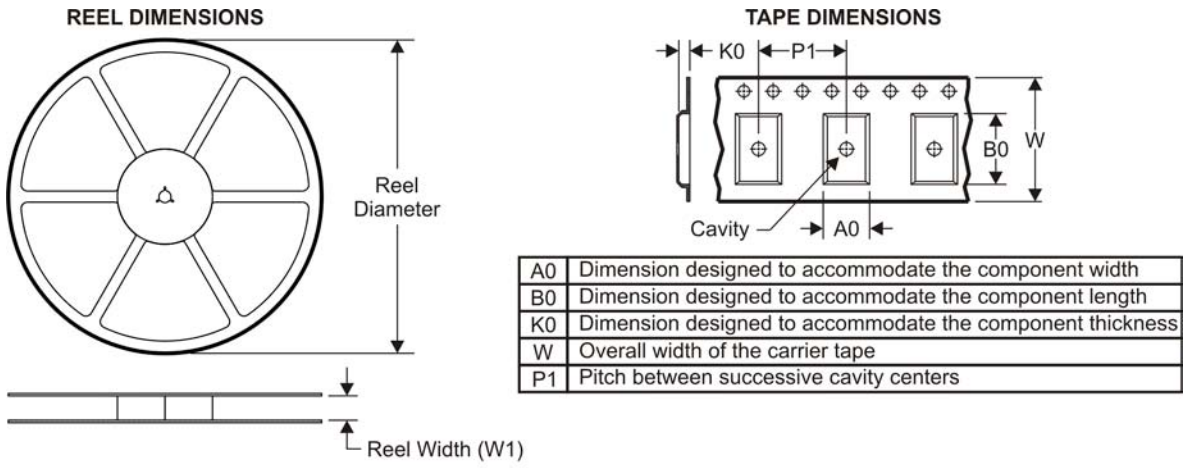
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

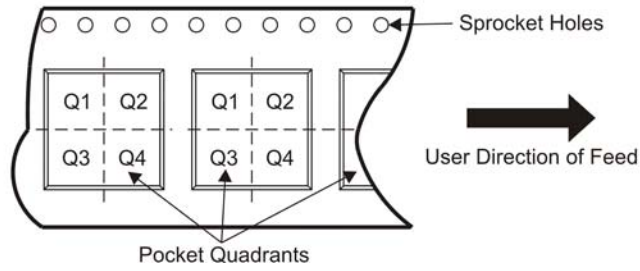
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたTIの責任は、このドキュメント発行時点でのTI製品の価格に基づくTIから顧客への合計購入価格（年次ベース）を超えることはありません。

TAPE AND REEL INFORMATION



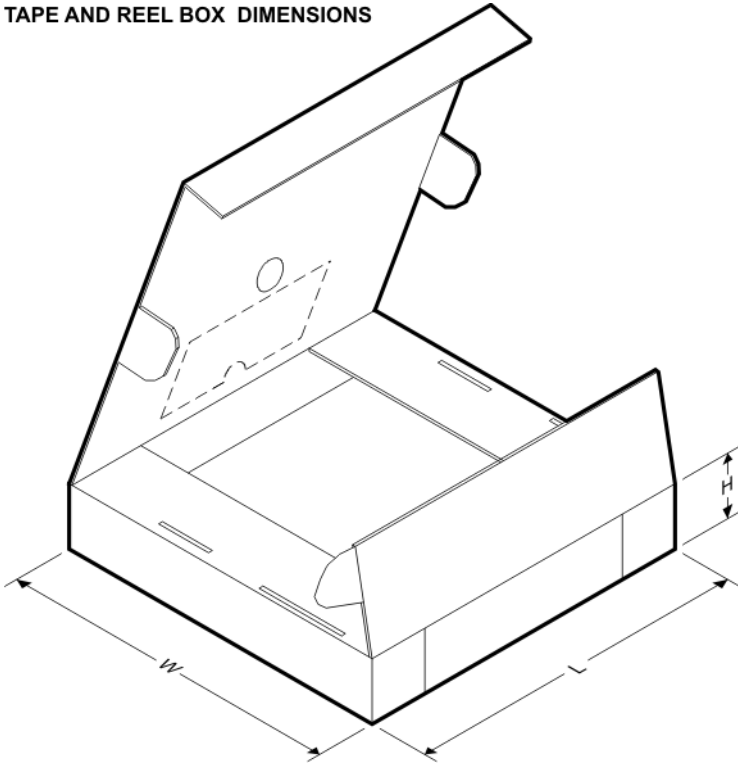
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

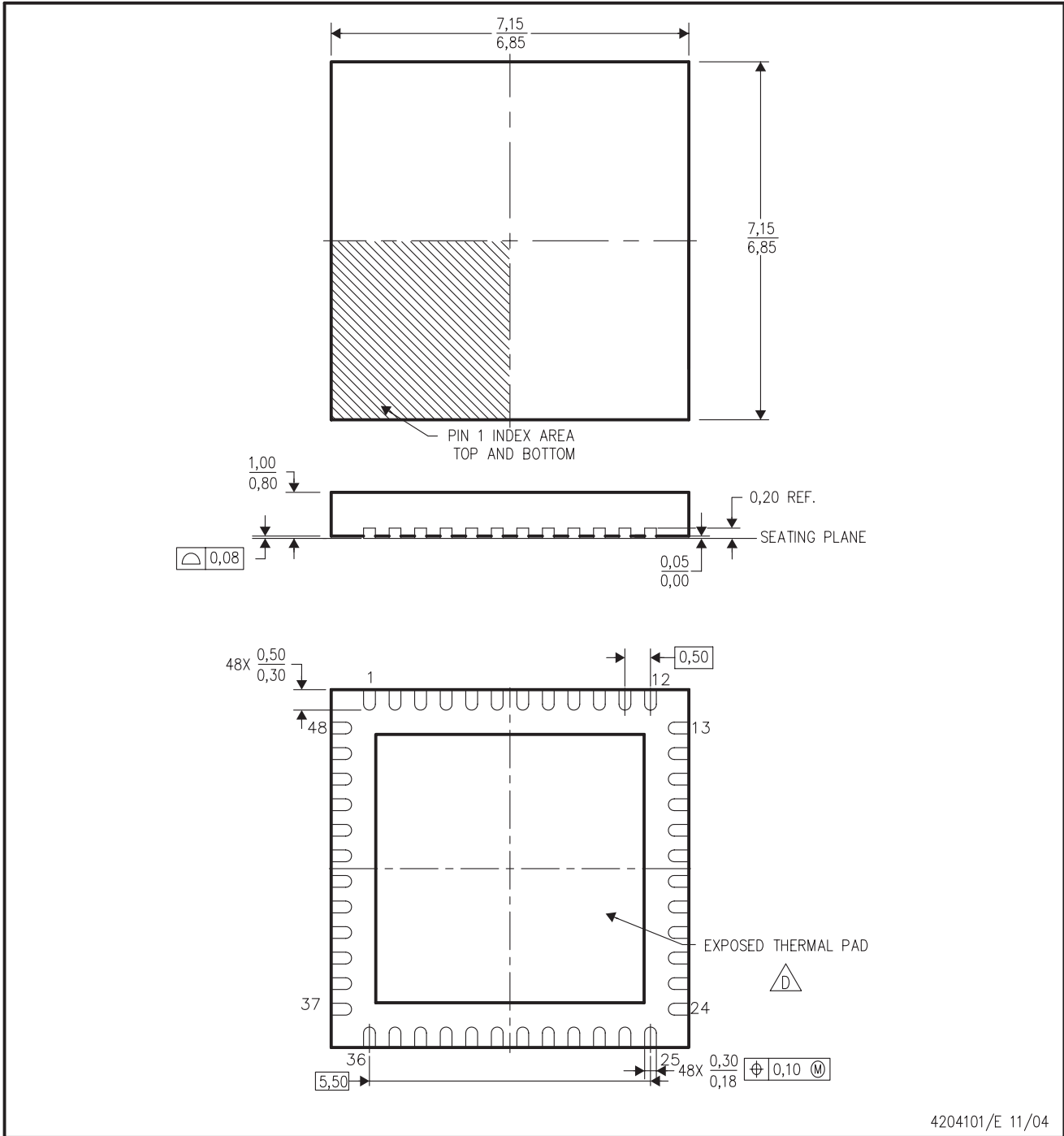
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TSC2117IRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
TSC2117IRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TSC2117IRGZR	VQFN	RGZ	48	2500	346.0	346.0	33.0
TSC2117IRGZT	VQFN	RGZ	48	250	190.5	212.7	31.8



注記:

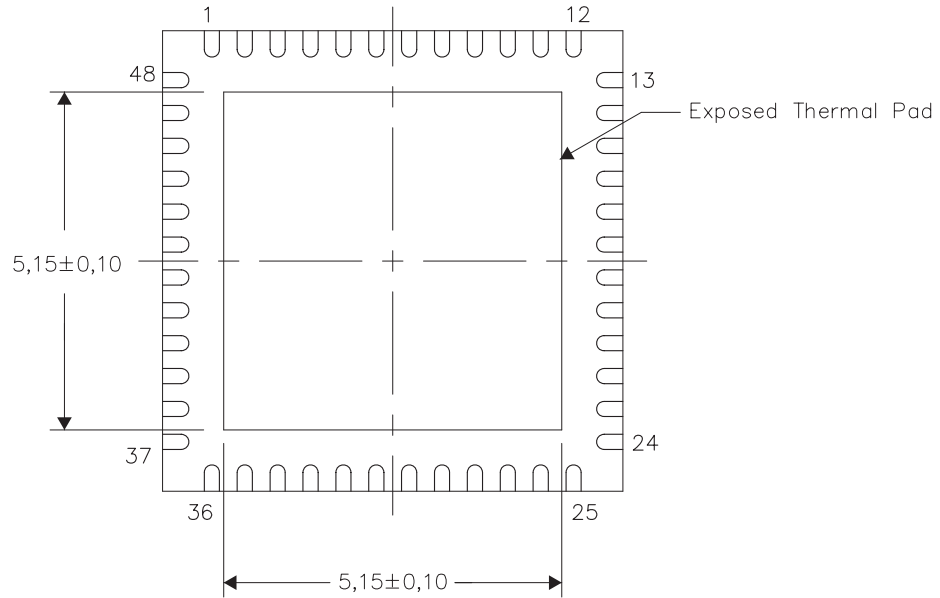
- A. 全ての線寸法の単位はミリメートルです。寸法および許容誤差は ASME Y14.5M-1994 によります。
- B. 図は予告なく変更することがあります。
- C. QFN (Quad Flatpack No-Lead) パッケージ構成。
- △ パッケージのサーマル・パッドは熱的 / 機械的特性のためボードにはんだ付けしなければなりません。露出サーマル・パッドの寸法についての詳細はデータシートを参照してください。
- E. JEDEC MO-220 に適合しています。

サーマル・インフォメーション

このPowerPAD™パッケージには、外付けヒートシンクに直に取り付けるように設計された露出放熱パッドを備えています。放熱パッドは、プリント基板 (PCB) に直接半田付けしなくてはなりません。半田付け終了後、PCBはヒートシンクとして使用可能です。さらに、サーマル・ビアを使用することで、放熱パッドは、デバイス用の電気回路図に示すように適正な銅プレーンに直に取り付けることができ、あるいは、PCB内に組み込むような特殊ヒートシンク構造に取り付けることができます。この設計により、集積回路 (IC) からの熱移動を最適化します。

PowerPADパッケージおよびその放熱機能の利用方法に関する追加情報については、技術資料、TI文献番号SLMA002、PowerPAD Thermally Enhanced Packageおよびアプリケーション資料、TI文献番号SLMA004、PowerPAD Made Easyをご覧ください。両文献は、www.ti.comにて入手可能です。

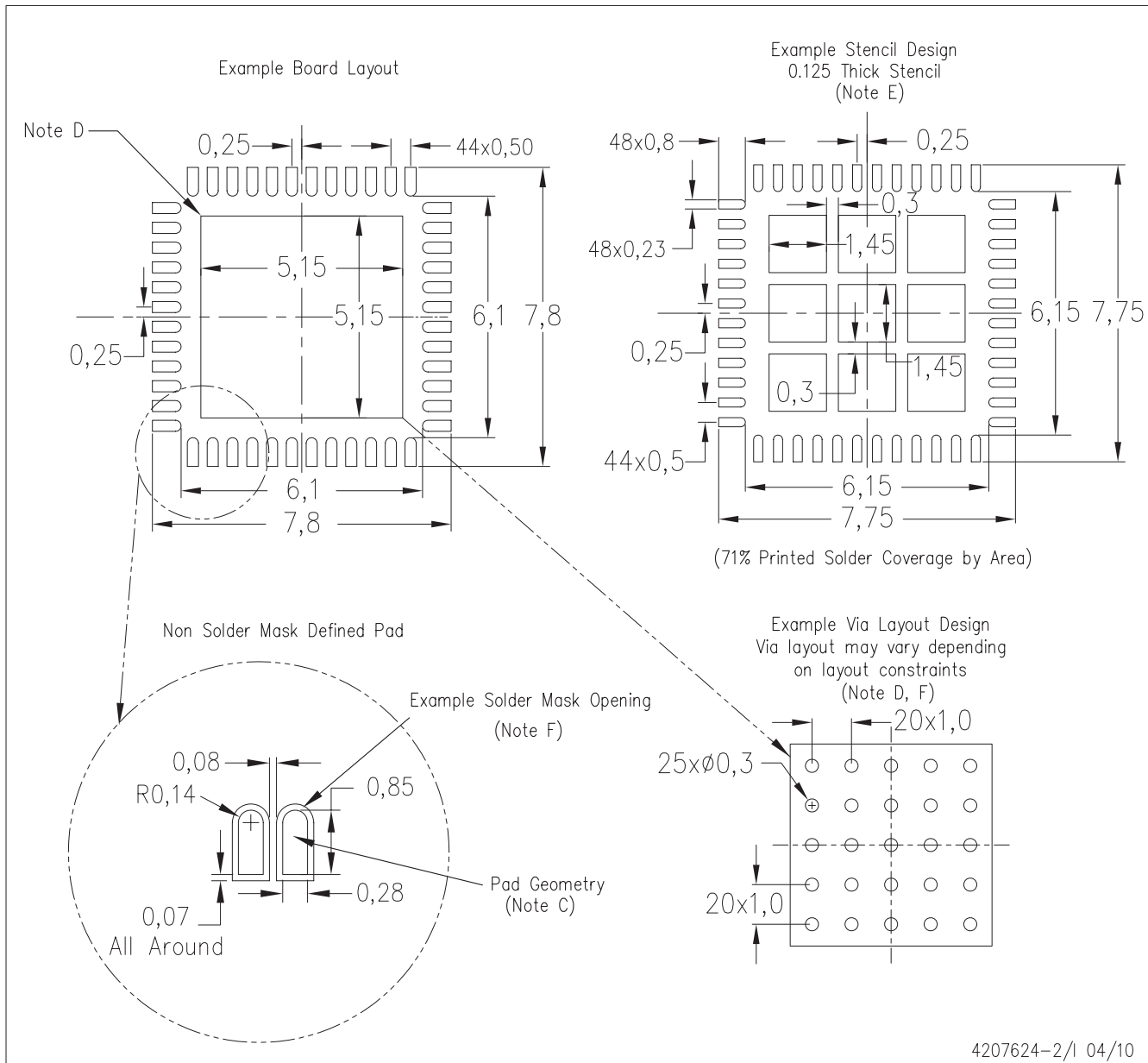
本パッケージ用の露出放熱パッドの寸法は、以下のイラストに記しています。



注記：
長さ寸法の単位すべてはミリメートルです。

露出放熱パッド寸法

4206354-2/L 03/10



4207624-2/1 04/10

注記:

- A. 全ての線寸法の単位はミリメートルです
- B. 図は予告なく変更することがあります。
- C. このパッケージはボード上のサーマル・パッドにはんだ付けされるよう設計されています。個また、具体的なサーマル情報、ビア要件、および推奨される基板レイアウトについては、アプリケーション・ノート "QFN Packages" TI 文献番号 SCBA017 と SLUA271、およびプロダクト・データシートを参照してください。これらの文献はホームページ www.ti.com で入手できます。
- D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525 を参照してください。
- E. 半田マスクの推奨許容差、およびサーマル・パッドに配置するビアのテンテンティングに関する推奨事項については、基板組み立て拠点にお問い合わせください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上