

36V、1A、低出力ノイズ 4.17 μ V_{RMS}、RF LDO電圧レギュレータ

特長

- 入力電圧範囲：+3V～+36V
- 超低出力電圧ノイズ
 - 4.17 μ V_{RMS} (10Hz、100kHz)
- 電源リップル除去比：
 - 82dB (100Hz)
 - \geq 55dB (10Hz、10MHz)
- ANY-OUT™ (PCB配線により出力電圧をユーザーで設定可能)
 - 外付け抵抗およびフィードフォワード・コンデンサは不要
 - 出力電圧範囲：+1.4V～+20.5V
- 出力電流：1A
- ドロップアウト電圧：307mV (1A時)
- CMOSロジック・レベル互換のイネーブル・ピン
- 固定の電流制限および過熱シャットダウン機能を内蔵
- 熱特性の優れたパッケージで供給：
 - 5mm×5mm QFN
- 動作温度範囲：-40°C～+125°C

アプリケーション

- 電圧制御発振器 (VCO)
- 周波数シンセサイザ
- 試験/計測アプリケーション
- 医療用アプリケーション
- RX、TX、およびPA回路
- オペアンプ、DAC、ADCなどの高精度アナログ回路用電源
- オーディオ・アプリケーション
- DC/DCコンバータ出力の後段安定化およびリップル・フィルタ
- 産業用計測機器
- ベース・ステーションおよび通信インフラ
- +12Vおよび+24Vの産業用電源バス

概要

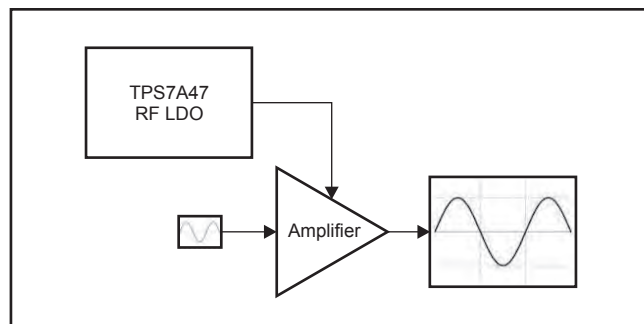
TPS7A47は、正電圧 (+36V)、超低ノイズ(4.17 μ V_{RMS})のリニアレギュレータであり、1Aの負荷供給能力を持ちます。

TPS7A47の出力電圧は、プリント基板 (PCB) のレイアウトにより完全にユーザーが設定可能であり、外付け抵抗やフィードフォワード・コンデンサは必要としないため、全体の部品数を削減できます。

TPS7A47は、バイポーラ・テクノロジーを使用して設計されており、システム性能を最大限に高めるためにクリーンな電圧レールを必要とする高精度計測アプリケーションに最適です。この機能により、TPS7A47は、重要度の高いアプリケーション (医療、RF、試験・測定など) で使用されるパワー・オペアンプ、A/Dコンバータ (ADC)、D/Aコンバータ (DAC)、その他の高精度アナログ回路への給電用に理想的なデバイスとなります。

さらに、TPS7A47は、DC/DCコンバータ出力の安定化にも適しています。DC/DCスイッチング変換に固有の出力電圧リップルをフィルタリングして除去することにより、敏感な計測、試験・測定、オーディオ、およびRFアプリケーションにおいて最高のシステム性能が得られます。

正負両方の低ノイズ・レールを必要とするアプリケーションに対しては、TIの高電圧、超低ノイズ、負電圧リニアレギュレータ、TPS7A33ファミリーを使用できます。



ANY-OUT、PowerPADは、テキサス・インスツルメンツの商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	パッケージ - リード	パッケージ・コード	規定温度範囲
TPS7A4700RGW	VQFN	RGW	-40°C ≤ T _J ≤ +125°C

(1) 最新のパッケージおよびご注文情報については、最新の英文データシートの巻末にある「PACKAGE OPTION ADDENDUM」を参照するか、www.ti.comでデバイスの製品フォルダをご覧ください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		VALUE		単位
		MIN	MAX	
Voltage ⁽²⁾	IN pin to GND pin	-0.4	+36	V
	EN pin to GND pin	-0.4	+36	V
	EN pin to IN pin	-36	+0.4	V
	OUT pin to GND pin	-0.4	+36	V
	NR pin to GND pin	-0.4	+36	V
	SENSE pin to GND pin	-0.4	+36	V
	0P1V pin to GND pin	-0.4	+36	V
	0P2V pin to GND pin	-0.4	+36	V
	0P4V pin to GND pin	-0.4	+36	V
	0P8V pin to GND pin	-0.4	+36	V
	1P6V pin to GND pin	-0.4	+36	V
	3P2V pin to GND pin	-0.4	+36	V
	6P4V1 pin to GND pin	-0.4	+36	V
	6P4V2 pin to GND pin	-0.4	+36	V
Current	Peak output	Internally limited		
Temperature	Operating virtual junction, T _J	-40	+125	°C
	Storage, T _{stg}	-65	+150	°C
Electrostatic discharge (ESD) ratings ⁽³⁾	Human body model (HBM) QSS 009-105 (JESD22-A114A)		1000	V
	Charge device model (CDM) QSS 009-147 (JESD22-C101B.01)		500	V

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) すべての電圧値は回路のグラウンド端子を基準としています。

(3) ESDテストは、該当するJEDEC規格に従って実施されています。

電気的特性

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです(特に記述のない限り)。

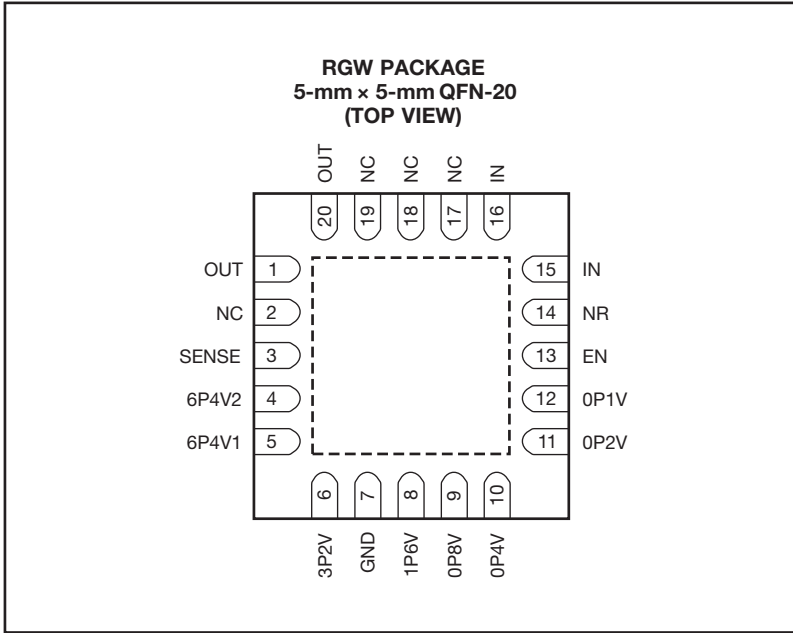
パラメータ		テスト条件	MIN	TYP	MAX	単位
V_{IN}	Input voltage range		3		35	V
V_{UVLO}	Under-voltage lockout threshold	V_{IN} rising		2.67		V
		V_{IN} falling		2.5		V
V_{UVLO_HYS}	Under-voltage lockout hysteresis			177		mV
V_{NR}	Noise reduction pin voltage			V_{OUT}		V
V_{OUT}	Output voltage range	$V_{IN} \geq V_{OUT(NOM)} + 1.0\text{V}$ or 3V (whichever is greater), $C_{OUT} = 20\mu\text{F}$	1.4		20.5	V
	Nominal accuracy	$T_J = +25^{\circ}\text{C}$, $C_{OUT} = 20\mu\text{F}$	-1.0		1.0	% V_{OUT}
	Overall accuracy	$V_{OUT(NOM)} + 1.0\text{V} \leq V_{IN} \leq 35\text{V}$, $0\text{mA} \leq I_{OUT} \leq 1\text{A}$, $C_{OUT} = 20\mu\text{F}$	-2.5		2.5	% V_{OUT}
$\frac{\Delta V_{OUT}(\Delta V_{IN})}{V_{OUT(NOM)}}$	Line regulation	$V_{OUT(NOM)} + 1.0\text{V} \leq V_{IN} \leq 35\text{V}$		0.092		% V_{OUT}
$\frac{\Delta V_{OUT}(\Delta I_{OUT})}{V_{OUT(NOM)}}$	Load regulation	$0\text{mA} \leq I_{OUT} \leq 1\text{A}$		0.3		% V_{OUT}
V_{DO}	Dropout voltage	$V_{IN} = 95\% V_{OUT(NOM)}$, $I_{OUT} = 0.5\text{A}$		216		mV
		$V_{IN} = 95\% V_{OUT(NOM)}$, $I_{OUT} = 1\text{A}$		307	450	mV
I_{CL}	Current limit	$V_{OUT} = 90\% V_{OUT(NOM)}$	1	1.26		A
I_{GND}	Ground pin current	$I_{OUT} = 0\text{mA}$		0.58	1.0	mA
		$I_{OUT} = 1\text{A}$		6.1		mA
I_{SHDN}	Shutdown supply current	$V_{EN} = 0.4\text{V}$		2.55	8	μA
		$V_{EN} = 0.4\text{V}$, $V_{IN} = 35\text{V}$		3.04	60	μA
I_{EN}	Enable pin current	$V_{EN} = V_{IN}$		0.78	2	μA
		$V_{IN} = V_{EN} = 35\text{V}$		0.81	2	μA
$V_{+EN(HI)}$	Enable high-level voltage		2.0		V_{IN}	V
$V_{+EN(LO)}$	Enable low-level voltage		0.0		0.4	V
V_{NOISE}	Output noise voltage	$V_{IN} = 3\text{V}$, $V_{OUT(NOM)} = 1.4\text{V}$, $C_{OUT} = 50\mu\text{F}$, $C_{NR} = 1\mu\text{F}$, BW = 10 Hz to 100 kHz		4.17		μV_{RMS}
		$V_{IN} = 6\text{V}$, $V_{OUT(NOM)} = 5\text{V}$, $C_{OUT} = 50\mu\text{F}$, $C_{NR} = 1\mu\text{F}$, BW = 10 Hz to 100 kHz		4.67		μV_{RMS}
PSRR	Power-supply rejection ratio	$V_{IN} = 16\text{V}$, $V_{OUT(NOM)} = 15\text{V}$, $C_{OUT} = 50\mu\text{F}$, $I_{OUT} = 500\text{mA}$, $C_{NR} = 1\mu\text{F}$, $f = 1\text{kHz}$		78		dB
T_J	Operating junction temperature		-40		+125	$^{\circ}\text{C}$
T_{SD}	Thermal shutdown temperature	Shutdown, temperature increasing		+170		$^{\circ}\text{C}$
		Reset, temperature decreasing		+150		$^{\circ}\text{C}$

熱特性について

熱特性 ⁽¹⁾		TPS7A47	単位
		RGW	
		20 PINS	
θ_{JA}	Junction-to-ambient thermal resistance	32.5	$^{\circ}\text{C}/\text{W}$
θ_{JCTop}	Junction-to-case (top) thermal resistance	27	
θ_{JB}	Junction-to-board thermal resistance	11.9	
ψ_{JT}	Junction-to-top characterization parameter	0.3	
ψ_{JB}	Junction-to-board characterization parameter	11.9	
θ_{JCbott}	Junction-to-case (bottom) thermal resistance	1.7	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。

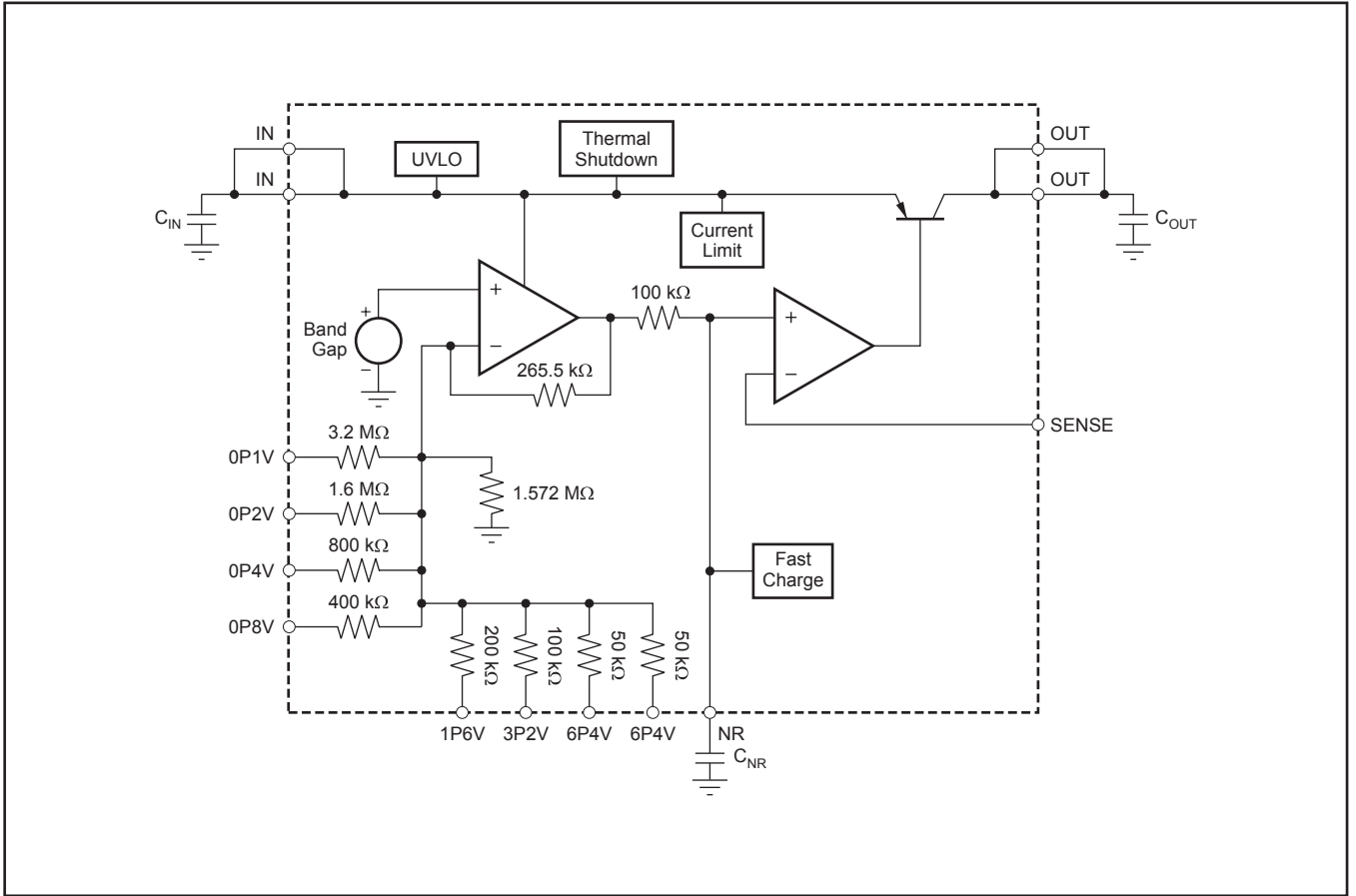
ピン構成



ピン説明

ピン		説明
名前	NO.	
0P1V	12	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.1Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
0P2V	11	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.2Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
0P4V	10	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.4Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
0P8V	9	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.8Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
1P6V	8	このピンをGNDに接続すると、レギュレータの公称出力電圧に1.6Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
3P2V	6	このピンをGNDに接続すると、レギュレータの公称出力電圧に3.2Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
6P4V1	5	このピンをGNDに接続すると、レギュレータの公称出力電圧に6.4Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
6P4V2	4	このピンをGNDに接続すると、レギュレータの公称出力電圧に6.4Vが加算されます。このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
EN	13	このピンは、レギュレータをオンまたはオフにします。
GND	7	グラウンド
IN	15, 16	入力電源。安定性確保のため、このピンとグラウンドの間に1 μ F以上のコンデンサを接続する必要があります。特に、長い入力パターンや高いソース・インピーダンスが含まれる場合には、プリント基板(PCB)のレイアウトによる回路への影響を小さくするため、INとGNDの間に(デバイスにできる限り近づけて)10 μ Fのコンデンサを接続することを推奨します。
NC	2, 17-19	このピンは、オープンにするか、またはGNDとINの間の任意の電圧に接続できます。
NR	14	ノイズ低減用ピン。このピンとGNDの間にコンデンサを接続すると、RMSノイズを非常に低いレベルまで低減できます。安定性確保のため、このピンとグラウンドの間に10nF以上のコンデンサを接続する必要があります。AC性能を最大限に高め、ノイズを最小限に抑えるため、NRとGNDの間に(デバイスにできる限り近づけて)1 μ Fのコンデンサを接続することを推奨します。
OUT	1, 20	レギュレータ出力。安定性確保のため、このピンとグラウンドの間に10 μ F以上のコンデンサを接続する必要があります。AC性能を最大限に高めるため、OUTとGNDの間に(デバイスにできる限り近づけて)47 μ Fのセラミック出力コンデンサを接続することを強く推奨します。
SENSE	3	制御ループの誤差増幅器入力。このピンはOUTに接続する必要があります。精度を最大限に高めるため、OUTは負荷上の点で接続することを推奨します。

機能ブロック図



標準的特性

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです(特に記述のない限り)。

ノイズ 対 出力電圧

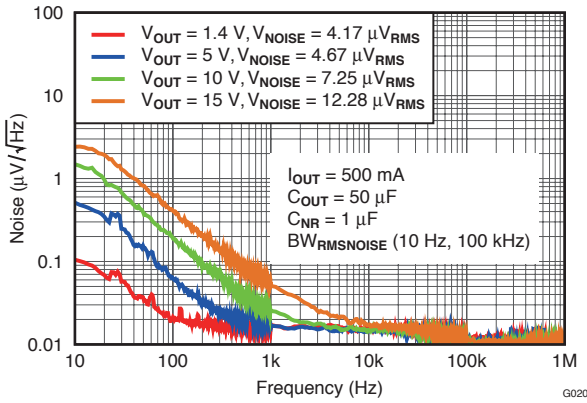


図 1

ライン・レギュレーション

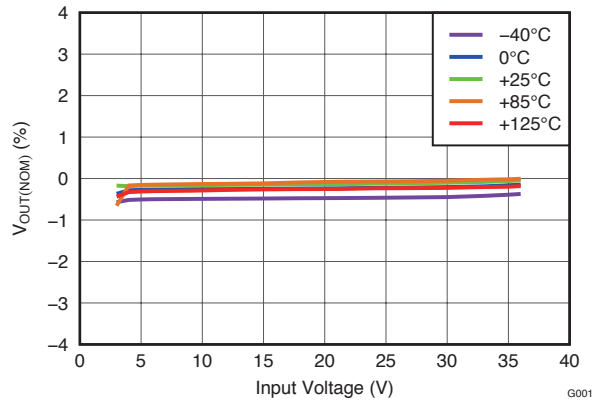


図 2

負荷レギュレーション

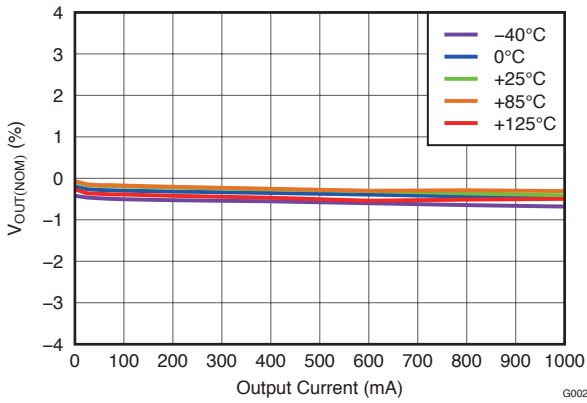


図 3

ドロップアウト電圧 対 出力電流

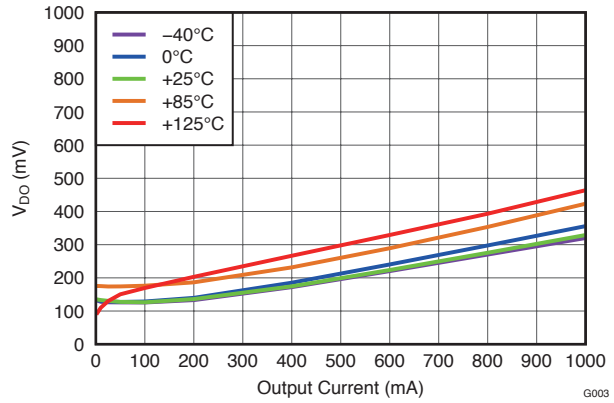


図 4

UVLOスレッシュホールド 対 温度

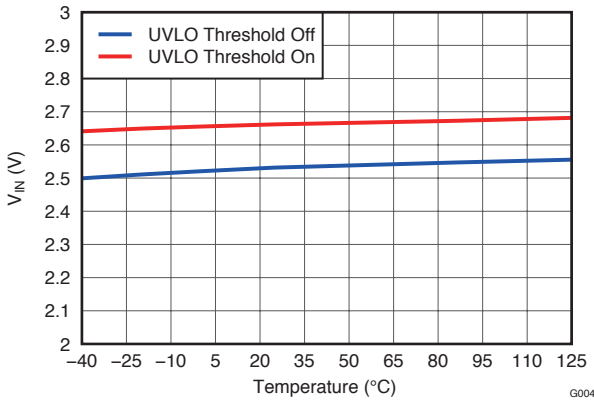


図 5

イネーブル電圧スレッシュホールド 対 温度

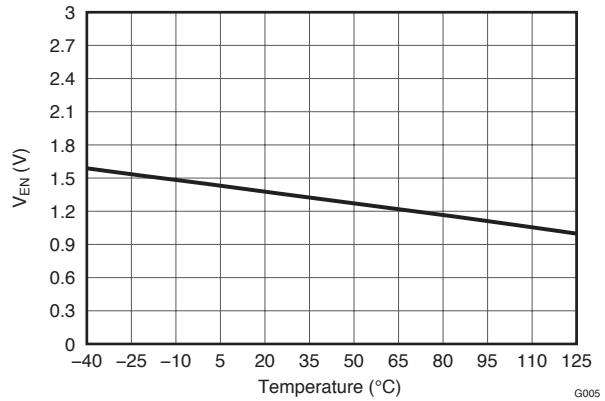


図 6

標準的特性 (続き)

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、OP1V、OP2V、OP4V、OP8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです (特に記述のない限り)。

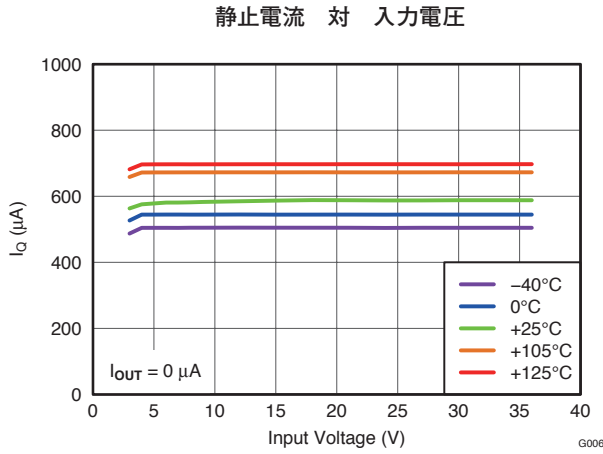


図 7

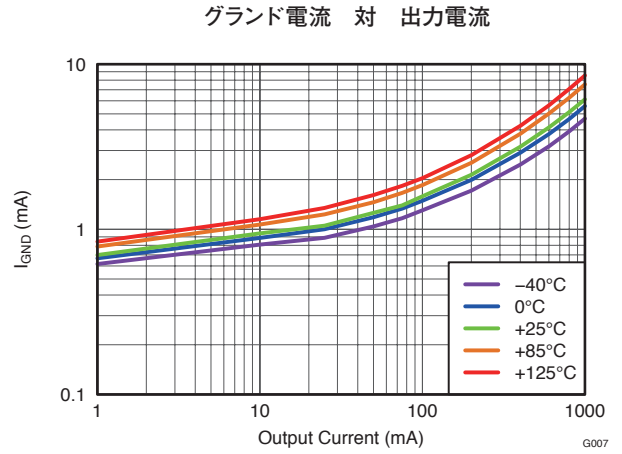


図 8

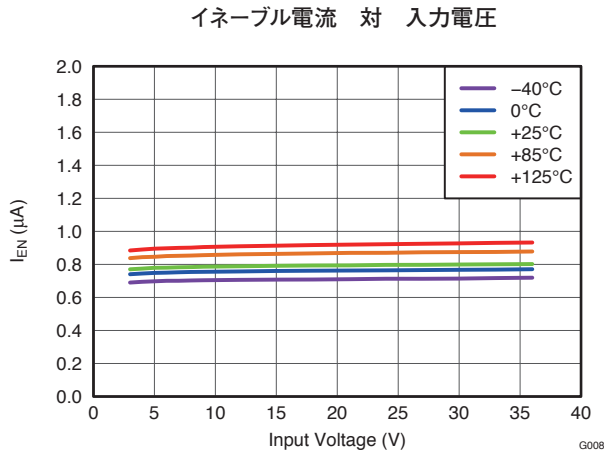


図 9

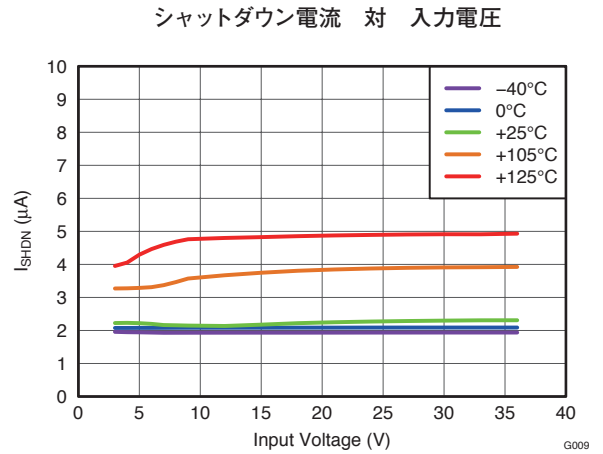


図 10

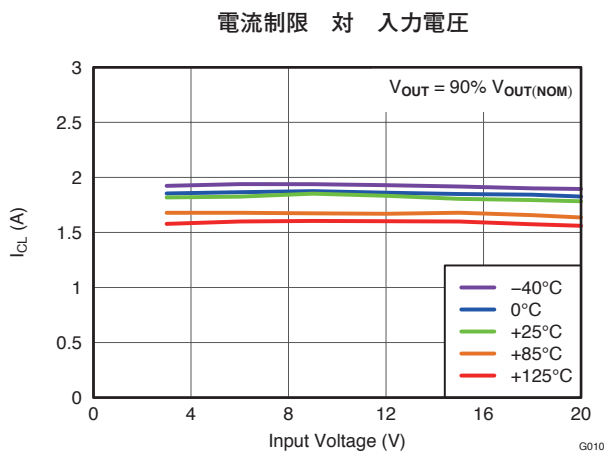


図 11

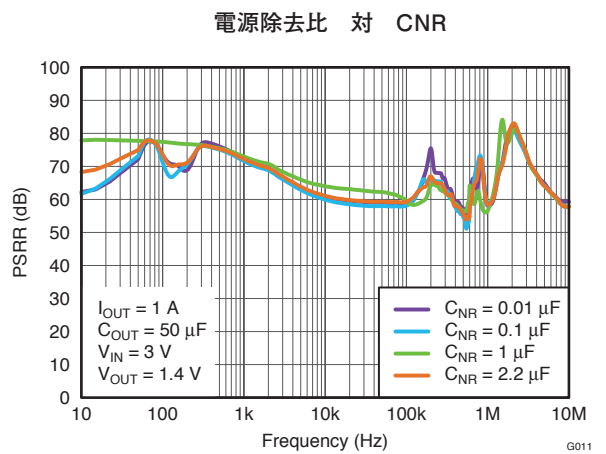


図 12

標準的特性 (続き)

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです (特に記述のない限り)。

電源除去比 対 CNR

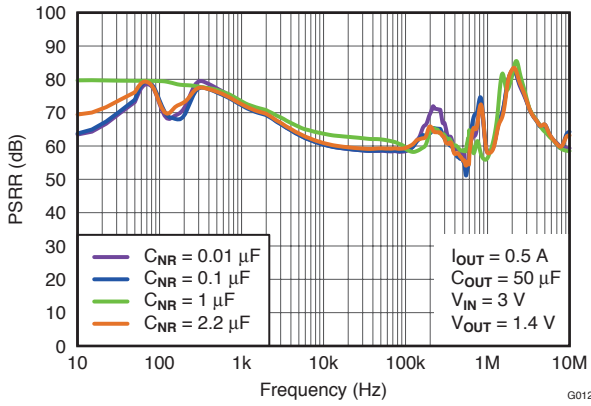


図 13

電源除去比 対 IOUT

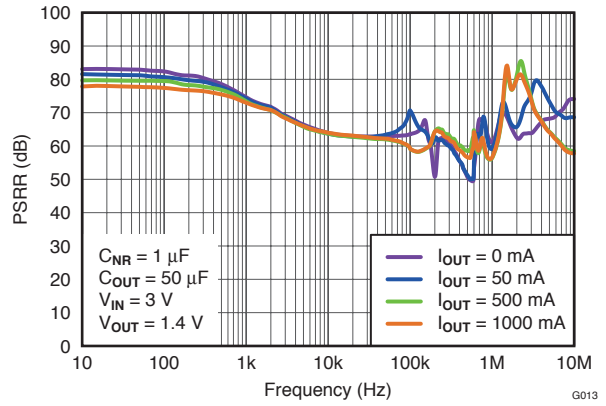


図 14

電源除去比 対 ドロップアウト

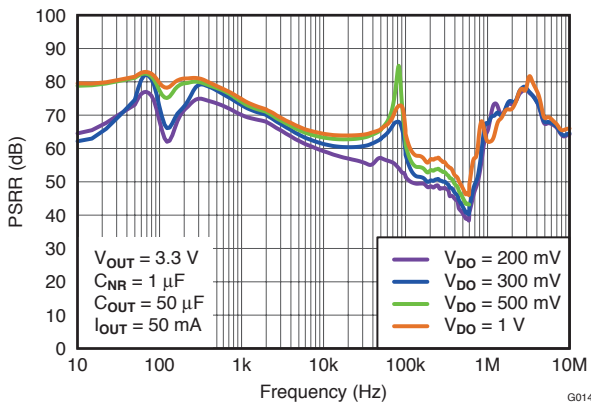


図 15

電源除去比 対 ドロップアウト

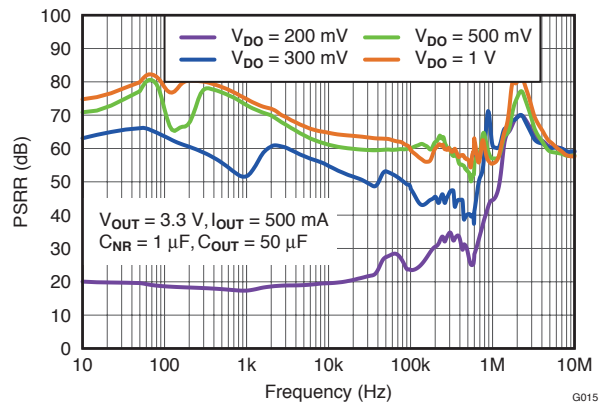


図 16

電源除去比 対 ドロップアウト

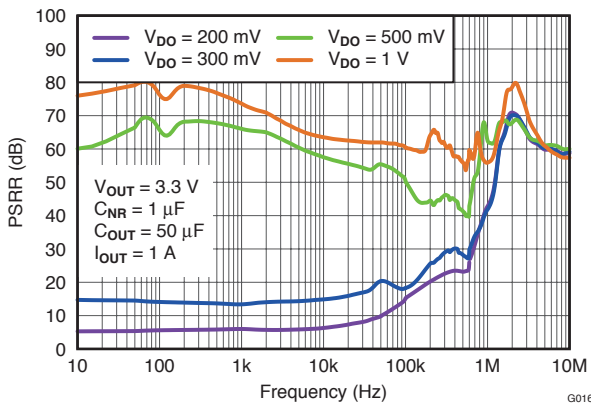


図 17

電源除去比 対 出力電圧

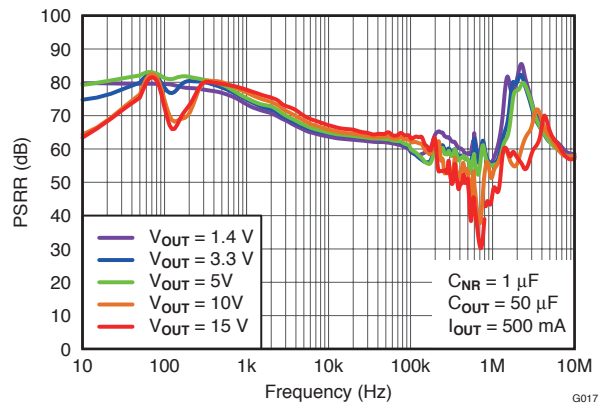


図 18

標準的特性 (続き)

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、OP1V、OP2V、OP4V、OP8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです (特に記述のない限り)。

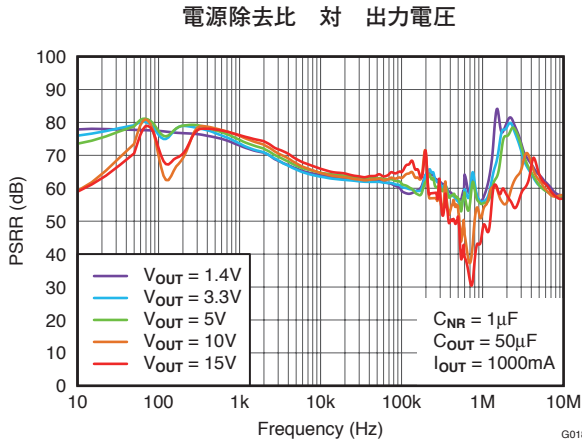


図 19

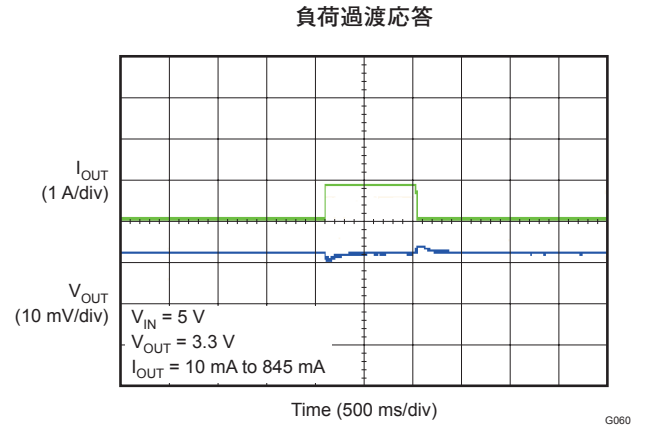


図 20

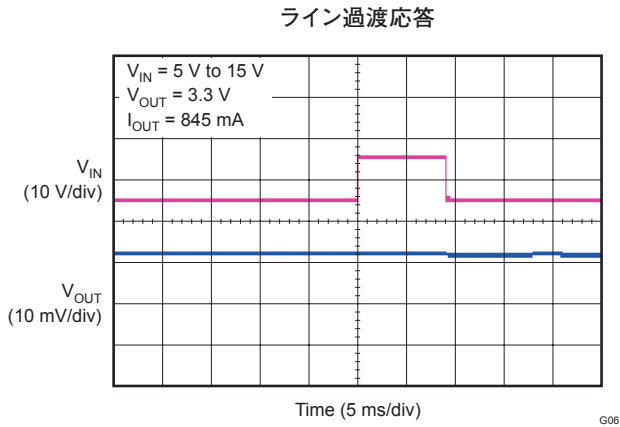


図 21

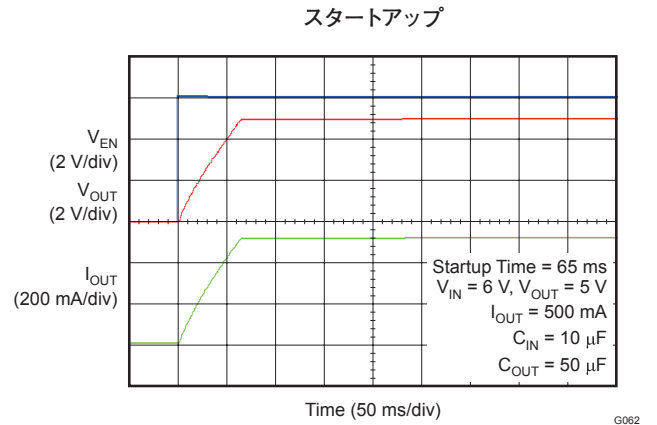


図 22

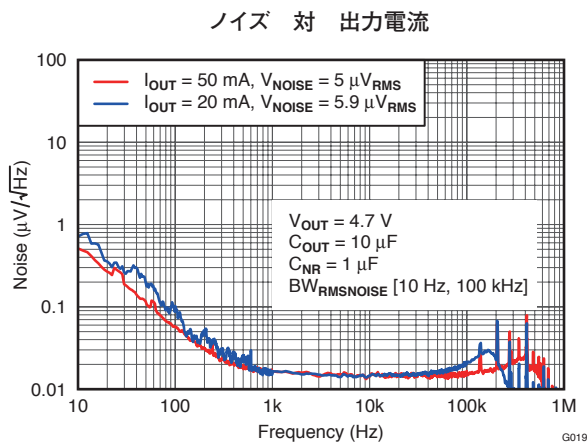


図 23

アプリケーション情報

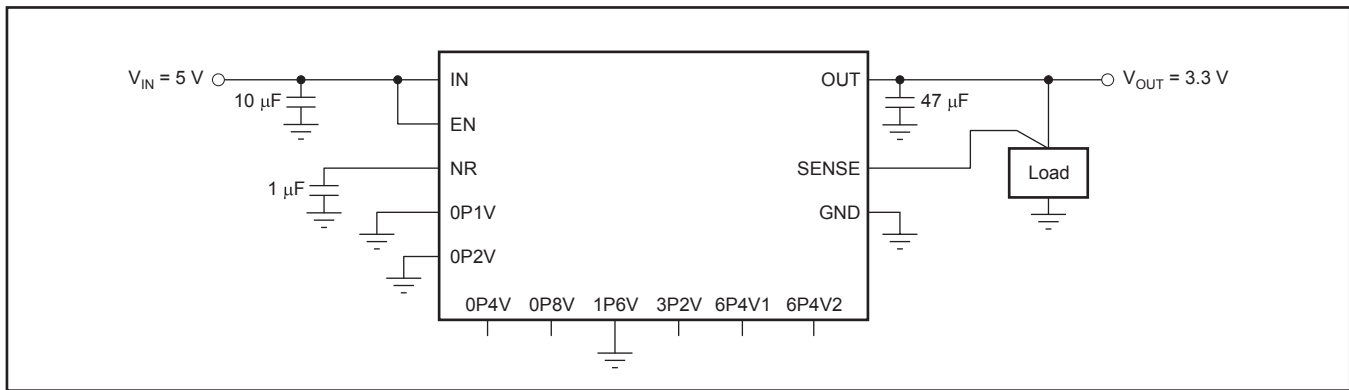


図 24. PSRR性能の最大化およびRMSノイズの最小化

標準アプリケーション回路

図24に示すように、出力電圧は適切な制御ピンを接地することにより設定されます。接地されると、各制御ピンは内部リファレンス電圧 ($V_{REF} = 1.4V$) に特定の電圧を加算します。例えば、ピン 0P1V、0P2V、1P6Vを接地した場合、式 (1) に示されるように、1.4Vの内部リファレンス電圧に電圧値0.1V、0.2V、1.6Vがそれぞれ加算され、 $V_{OUT(NOM)}$ は3.3Vとなります。

$$\begin{aligned} V_{OUT(NOM)} &= V_{REF} + 0.1V + 0.2V + 1.6V \\ &= 1.4V + 0.1V + 0.2V + 1.6V \\ &= 3.3V \end{aligned} \quad (1)$$

ANY-OUTによる出力電圧のプログラミング

TPS7A4700では、出力電圧を設定するために、一般的な低ドロップアウト・レギュレータ(LDO)のような外付け抵抗は使用せず、製品のピン4、5、6、8、9、10、11、12を使用してレギュレーションする出力電圧をプログラミングします。各ピンは、グラウンドに接続(アクティブ)するか、オープンまたはフローティング(非アクティブ)にします。ANY-OUTプログラミングは、式 (2) に基づき、アクティブな各ピンにそれぞれ割り当てられた電圧の合計を内部リファレンス電圧 ($V_{REF} = 1.4V$) に加算した結果として設定されます。電圧の割り当ては、100mV(ピン12)、200mV(ピン11)、400mV(ピン10)、800mV(ピン9)、1.6V(ピン8)、3.2V(ピン6)、6.4V(ピン5)、6.4V(ピン4)です。表1に、各アクティブ・ピン設定に関連付けられたこれらの電圧値をまとめています。すべてのプログラム・ピンをオープン(フローティング)にすると、出力は可能な最小の出力電圧 ($= V_{REF}$) にプログラミングされます。

$$V_{OUT} = V_{REF} + (\Sigma \text{ ANY-OUT Pins to Ground}) \quad (2)$$

ANY-OUTプログラム・ピン(アクティブ・ロー)	加算される出力電圧レベル
ピン4 (6P4V2)	6.4 V
ピン5 (6P4V1)	6.4 V
ピン6 (3P2)	3.2 V
ピン8 (1P6)	1.6 V
ピン9 (0P8)	800 mV
ピン10 (0P4)	400 mV
ピン11 (0P2)	200 mV
ピン12 (0P1)	100 mV

表 1. ANY-OUTによる出力電圧のプログラミング

出力電圧の設定には、いくつかの方法があります。プログラム・ピンを外部の汎用入出力ピン(GPIO)で駆動するか、0Ω抵抗を使って手動でグラウンドに接続する(またはオープンにする)か、プリント基板(PCB)のレイアウトにより固定配線を行うことで、ANY-OUT電圧を設定できます。www.ti.comからダウンロードできるTPS7A4700評価モジュール(EVM)では、ジャンパーを使用して出力電圧をプログラミングできます。

コンデンサに関する推奨事項

TPS7A4700は、入力、出力、およびノイズ低減ピン(NR、ピン14)に、等価直列抵抗(ESR)の低いセラミック・コンデンサを使用することにより安定して動作するよう設計されています。これらの用途に対しては多層セラミック・コンデンサが業界標準となっており、ここでも推奨されますが、使用する場合には適切な判断が必要です。X7R、X5R、およびCOG定格の誘電体を使用したセラミック・コンデンサは、温度範囲全体にわたって比較的良好な容量安定性を示しますが、Y5V定格のコンデンサは容量の変動幅が広いため推奨されません。いずれの場合も、セラミック・コンデンサは印加電圧による実容量の変動が大きいため、設計エンジニアはそれらの特性について把握しておく必要があります。経験則として、セラミック・コンデンサには50%のデレーティングの適用を推奨します。ここで推奨している入力および出力コンデンサは、50%の容量デレーティングを考慮しています。

TPS7A4700は負荷過渡応答が非常に高速であるため、負荷電流ステップ中に入力の過渡的な電圧降下が最小限に抑えられるよう、入力容量に注意を払う必要があります。大きな入力容量(10µF以上)を使用すると良い効果が得られ、安定性には影響し

ません。ただし、単に大きなセラミック入力容量を使用すると、入力コンデンサと配線リードのインダクタンスとの組み合わせによって過渡事象中に高Qピーキング効果が生じることで、出力に不要なリングングが発生する可能性があります。例えば、5nHのリード・インダクタンスと10μFの入力コンデンサによって、制御ループ帯域幅の端に712kHzの共振周波数を持つLCフィルタが形成されます。上流の電源との接続リードを短くして適切に設計することで、ダンピングを追加せずにこの効果を最小限に抑えることができます。不要なリングングのダンピングは、セラミック入力コンデンサと並列に、ESRが数百mΩのタンタル・コンデンサを使用することで実現できます。

入力および出力コンデンサの要件

TPS7A4700は、入力および出力に10μF以上のセラミック・コンデンサを使用した動作状態に対して設計され、特性が規定されています。最適なノイズ特性は、50μFの合計出力容量を使用して規定されています。特に、入力および出力容量は、それぞれの入力および出力ピンに実用的な範囲でできる限り近づけて配置する必要があります。ことに注意してください。

ノイズ低減コンデンサ(C_{NR})

LDOのNRピンに接続されるノイズ低減コンデンサは、RCフィルタを形成し、制御ループによって増幅されて出力電圧に現れる可能性のあるノイズをフィルタリングします。最大で1μFまでの大きな容量を使用すると、低周波数でのノイズ低減能力に影響を与えますが、高周波数でのノイズ低減能力は向上します。C_{NR}は、出力電圧のオン時の立ち上がり時間のプログラミングにも利用され、オン時のサージ電流を抑制します。

内部電流制限 (I_{CL})

内部電流制限回路は、高負荷電流または短絡の発生からLDOを保護するために使用されます。LDOは、電流制限状態で定常的に動作するようには設計されていません。電流制限が動作している間、LDOは一定の電流をソースします。したがって、負荷インピーダンスが低下すると出力電圧は低下します。また、電流制限が動作した結果、出力電圧が低くなる時、LDOでは過大な電力が消費され、出力が過熱シャットダウンとなる場合があります。

ドロップアウト電圧 (V_{DO})

一般的に言って、ドロップアウト電圧とは多くの場合、入力電圧と出力電圧の差を意味します (V_{DO} = V_{IN} - V_{OUT})。ただし、電気的特性表では、V_{DO}は定格電流 (I_{RATED}) におけるV_{IN} - V_{OUT}の電圧として定義されます。このとき、メインの電流パスFETは抵抗動作領域で、FETの典型的なR_{DS(ON)}の特性で完全にオン状態となっています。V_{DO}は、プログラミングされた公称出力電圧に加算する事により、最小の入力電圧を間接的に規定します。入力電圧がそれ以上であれば、出力電圧がその精度境界内に留まることが想定されます。入力がこのV_{DO}制限 (V_{IN} < V_{OUT} + V_{DO})を下回った場合、出力電圧は入力電圧に追従して低下します。

ドロップアウト電圧は常に、メイン・パスFETのR_{DS(ON)}によって決定されます。したがって、LDOが定格電流より低い電流で動作

している場合、その電流でのV_{DO}はそれに応じて低い値となります。TPS7A4700のR_{DS(ON)}は、式 (3) を使用して計算できます。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (3)$$

出力電圧精度

出力電圧精度は、期待される公称出力電圧を基準とした最小および最大の出力電圧の誤差をパーセントで示したものです。この精度誤差には一般に、内部リファレンスおよび負荷およびラインレギュレーションによって生じた誤差が含まれ、それらは温度に応じた負荷およびラインの定格動作状態の全範囲にわたる値です (電気的特性で別途規定される場合を除く)。また、出力電圧精度には、製造ロット間の変動もすべて考慮されています。

スタートアップ

イネーブル (EN) と低電圧誤動作防止 (UVLO)

TPS7A4700は、ENとUVLOの両方がそれぞれの電圧スレッシュホールドを上回った場合のみオンになります。UVLO回路は入力電圧 (V_{IN}) を監視し、V_{IN}が規定の電圧を超えるまではデバイスをオンにしません。また、UVLO回路は、V_{IN}が規定の電圧を下回るとデバイスをシャットダウンします。EN信号は、入力電圧が印加されているときに、LDOのオンおよびシャットダウンを論理レベルによって独立に行うために使用されます。独立したオン制御が必要ない場合は、ENを直接V_{IN}に接続できます。

ソフト・スタートと突入電流

ソフト・スタートは、ENおよびUVLOがスレッシュホールド電圧に達した後でLDOがオンになるときの出力電圧の上昇特性を制御します。ノイズ低減コンデンサは、出力ノイズの低減と、オン時のソフト・スタートのプログラミングという2つの目的に使用されます。

突入電流は、オン時の電圧上昇中にLDOのINからOUTへと流れる電流として定義されます。突入電流は主に、負荷電流と出力コンデンサへの充電電流の合計です。この電流は、入力コンデンサを除去する (推奨しません) 必要があるため、測定が困難です。ただし、このソフト・スタート電流は式 (4) で見積もることができます。

$$I_{OUT(t)} = \left[\frac{C_{OUT} \times dV_{OUT}(t)}{dt} \right] + \left[\frac{V_{OUT}(t)}{R_{LOAD}} \right] \quad (4)$$

ここで

V_{OUT}(t)は、オン時の上昇中の瞬時出力電圧です。

dV_{OUT}(t)/dtは、V_{OUT}の上昇の傾きです。

R_{LOAD}は、抵抗性負荷インピーダンスです。

AC性能

LDOのAC性能は一般に、電源除去比、負荷ステップ過渡応答、および出力ノイズを含むものとして理解されています。これらの指標は主に、開ループ・ゲインと帯域幅、位相マージン、およびリファレンス・ノイズによる関数となります。

電源除去比 (PSRR)

PSRRは、LDOの制御ループが入力ソースからリップル・ノイズを除去する度合いを示す指標です。それによって、周波数スペクトル全体 (10Hz~10MHz) にわたって直流出力電圧のノイズをできる限り低減します。したがってPSRRはノイズ信号振幅の減少幅 (入力リップルに対する出力リップル) を表しますが、電気的特性では便宜上、PSRRの逆数が正のデシベル (dB) 値としてプロットされています。式 (5) に、入力ノイズ電圧 $[V_{S(IN)}(f)]$ と出力ノイズ電圧 $[V_{S(OUT)}(f)]$ を純粋にAC信号と考えた場合の、周波数の関数としてのPSRRの計算式を示します。

$$PSRR \text{ (dB)} = 20 \text{ Log}_{10} \left[\frac{V_{S(IN)}(f)}{V_{S(OUT)}(f)} \right] \quad (5)$$

内部基準電圧から制御ループの入力に結合されるノイズも、PSRRの大きさと帯域幅が減少する主要な要因の1つです。この基準電源のノイズは、LDOのNRピンのノイズ低減コンデンサと内部フィルタ抵抗 (R_{SS}) の組み合わせによってフィルタリングされ、最適なPSRRが得られます。

LDOは多くの場合、DC/DCレギュレータとしてだけでなく、電源に敏感なシステム部品に対して、ノイズやリップルのない極めてクリーンな電源電圧を供給するためにも使用されます。この利用法は、TPS7A4700では特に有効です。

負荷ステップ過渡応答

負荷ステップ過渡応答は、負荷電流のステップ変化に対して、出力電圧のレギュレーションを維持した状態でのLDOの出力電圧応答です。ワーストケースの応答は10mAから1Aへの負荷ステップ (1A/ μ s) によって規定され、非常に安定したシステムでは大きくダンピングされた応答となります。電圧応答では、最初に出力コンデンサから電荷が放電された後、制御ループが自己調整を行って出力が回復するため、出力電圧に小さな一時的低下が見られます。負荷ステップ直後の電荷放電能力の大きさは、出力容量の大きさに直接比例します。ただし、ある程度までは、回復の速度はその同じ出力容量に対して逆比例します。つまり、出力容量が大きいほど、負荷ステップ中に生じる電圧の低下またはピークが小さくなりますが、制御ループの帯域幅が減少するため、応答が遅くなります。

ワーストケースのオフロード・ステップ特性は、1Aから0mAへの電流ステップ時に生じます。最初は、LDOループは十分に速く応答できないため、出力コンデンサの出力電圧の電荷がわずかに増加します。LDOは充電電流をシンクできないため、制御ループはメイン・パスFETをオフにして電荷が放電されるのを待つ必要があります。それによってオフ時のロード・ステップは標準的な単調減少 (三角形の波形) となります。

ノイズ

TPS7A4700は、特に、電源レールのノイズを最小限に抑えることがシステムの性能に対して不可欠であるようなシステム・アプリケーション用に設計されています。このシナリオは、例えば、PLL (フェーズ・ロック・ループ) ベースのクロック回路で、最小位相ノイズが重要である場合、または、試験/計測システムで、電源ノイズのわずかな変動でも瞬時に測定精度が劣化するような場合などで

す。TPS7A4700は高電圧の産業用アプリケーション向けにも設計されているため、ノイズ特性は、出力電圧の関数としてのノイズの増加を最小限に抑えるよう適切に設計されています。

LDOノイズは、半導体回路単独で生成される、内部生成固有ノイズとして定義されます。このノイズは、さまざまな種類のノイズの合計です (電流の流れるピン接合に関連したショット・ノイズ、電荷キャリアの熱擾乱によって生じる熱ノイズ、抵抗の特性の1つであり1/fの関数として低周波数で支配的となるフリッカ・ノイズ (1/fノイズ)、バースト・ノイズ、アバランシェ・ノイズなど)。

LDO RMS出力ノイズを計算するには、最初にスペクトル・アナライザで目的の帯域幅 (通常は μ V/ $\sqrt{\text{Hz}}$ 単位で10Hz~100kHz) にわたるスペクトル・ノイズを測定します。次に、通常の方法でRMSノイズを計算します。これは、帯域全体にわたるスペクトル・ノイズの2乗の総和の平方根を取り、帯域幅で平均化することで行います。

熱特性について

過熱保護

TPS7A4700には、LDOで過剰な熱が生じたときに出力電流をオフにする、過熱シャットダウン保護回路が内蔵されています。過熱シャットダウンは、メイン・パスFETの接合部温度 (T_J) が+170°C (標準) を超えた場合に発生します。過熱シャットダウンではヒステリシスによって、温度が+150°C (標準) に低下するとLDOが再度リセットされます (オンになります)。TPS7A4700は高い入力電圧をサポートできるため、出力電圧が低いとデバイスでかなり大きな電力を消費することが想定され、その結果、過熱シャットダウンが生じる場合があります。半導体のダイの熱時定数はかなり短いため、過熱シャットダウンに達すると、消費電力が低下するまでの間、出力が短い間隔でオン/オフを繰り返します。

動作の信頼性を高めるために、接合部温度は最大+125°Cに制限してください。特定のレイアウトで熱的な余裕度を評価するには、ワーストケースの負荷および最高入力電圧条件を使用し、過熱シャットダウンが作動するまで周囲温度を上昇させます。良好な信頼性のためには、アプリケーションの最大想定周囲温度よりも+45°C以上上昇した場合に過熱シャットダウンが作動するのが望ましい状態です。したがって、最大想定周囲温度およびワーストケース負荷でのワーストケース接合部温度は+125°Cとなります。

TPS7A4700の内部保護回路は、熱的過負荷状態に対して保護するように設計されています。この回路は、適切なヒートシンクの代わりとなるよう意図されたものではありません。TPS7A4700を過熱保護が作動するまで使用し続けると、デバイスの信頼性が低下します。

消費電力 (P_D)

回路の信頼性を維持するために、デバイスの消費電力、プリント基板 (PCB) 上での回路位置、およびサーマル・プレーンの適切なサイズについて、慎重に配慮する必要があります。レギュレータ周囲のPCB領域には、追加の熱ストレスを生じるような他の発熱デバイスをできる限り配置しないようにする必要があります。

レギュレータの消費電力は、入力電圧と出力電圧の差、および負荷条件に依存します。 P_D は、式 (6) で計算できます。

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (6)$$

システム電圧レールの適切な選択によって、消費電力を最小限に抑えることができ、より高い効率を実現できることに注意してください。適切な選択により、出力レギュレーションに必要な最小の入力電圧が得られます。

QFN (RGW) パッケージに対する主要な熱伝導パスは、サーマル・パッド経由でPCBへのパスです。サーマル・パッドは、デバイスの下に配置した銅パッド領域に半田付けする必要があります。このパッド領域には、めっきビアの配列を含める必要があります。これによって内層の熱拡散プレーン領域や裏面の銅プレーンへと熱を伝導します。

デバイスに許容される最大接合部温度 (T_J) によって最大消費電力が決まります。消費電力および接合部温度は、ほとんどの場合、PCBとデバイス・パッケージの組み合わせによる熱抵抗 (θ_{JA})、および周囲空気温度 (T_A) によって、式 (7) のように関係付けられます。

$$T_J = T_A + (\theta_{JA} \times P_D) \quad (7)$$

残念ながら、この熱抵抗 (θ_{JA}) は、特定のPCB設計に組み込まれた熱拡散機能に大きく依存するため、合計銅面積、銅重量、および拡散プレーンの位置によって変化します。「熱特性について」の表に示される θ_{JA} の値は、JEDEC規格のPCBおよび銅拡散領域によって決定され、パッケージ熱特性の相対的な尺度としてのみ使用されます。適切に設計された熱レイアウトでは、 θ_{JA} は実際に、QFNパッケージの接合部-ケース(底面)間熱抵抗 (θ_{JCbot}) にPCBの銅領域による熱抵抗の寄与を加えた値となります。 θ_{JCbot} がわかると、適切なヒート・シンクの最小量を使用して、図25で θ_{JA} を見積もることができます。 θ_{JCbot} は、「熱特性について」の表に示されています。

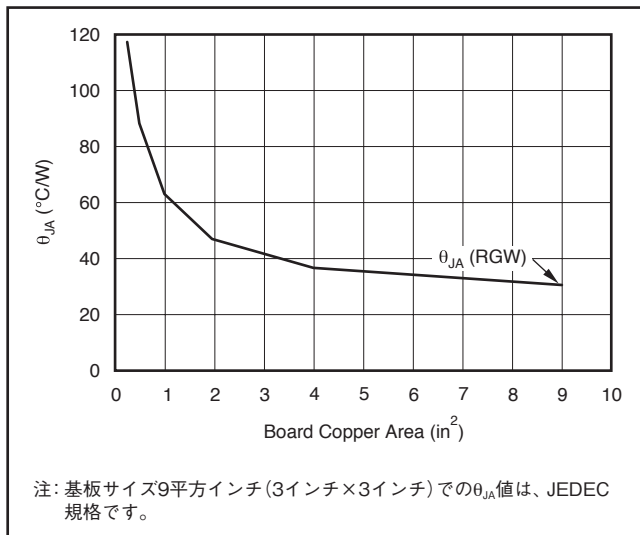


図 25. θ_{JA} 対 基板サイズ

接合部温度の見積もり

JEDEC規格では現在、PSI熱指標を使用して、標準的なPCB基板アプリケーション上の回路内でLDOの接合部温度を見積もることを推奨しています。これらの指標は厳密には熱抵抗ではなく、接合部温度の実際的かつ相対的な見積もり手段を提供するものです。これらのPSI指標は、銅拡散領域とはまったく独立して決定されます。主要な熱指標 (Ψ_{JT} および Ψ_{JB}) は「熱特性について」の表に示され、式 (8) に従って使用されます。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D$$

$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (8)$$

ここで

P_D は、式 (6) で説明される消費電力です。

T_T は、デバイス・パッケージの上部中央の温度です。

T_B は、パッケージの端部中央、デバイス・パッケージから1mmの位置で測定されたPCB表面温度です。

基板レイアウト

全体の性能を最大限に高めるため、すべての回路部品は回路基板の同じ側の実装し、それぞれのLDOピン接続に対して実用的な範囲でできる限り近づけて配置することを推奨します。入力および出力コンデンサおよびLDOグランド・ピンに対するグランド・リターン接続は、それぞれ互いにできる限り近づけて配置し、部品実装側の幅広い銅表面によって接続する必要があります。ビアや長いソリッドパターンを使用してLDO回路接続を作成することは、システムの性能に悪影響を与えるため、推奨しません。このグランドおよびレイアウト方式により、誘導性寄生成分が最小限に抑えられるため、負荷過渡電流およびノイズが低減され、回路の安定性が高まります。

また、グランド・リファレンス・プレーンの使用を推奨し、これはPCB自体に埋め込むか、またはPCB上で部品と反対側に配置する必要があります。このリファレンス・プレーンは、出力電圧の精度の確保およびノイズの遮蔽に役立ち、PowerPAD™と接続することで、サーマル・プレーンと同様にLDOデバイスからの熱の拡散(シンク)に役立ちます。ほとんどのアプリケーションでは、熱に関する要件を満足するためにこのグランド・プレーンが必要となります。

www.ti.comからダウンロードできるTPS7A4700EVM-094評価モジュール(EVM)をレイアウトおよびアプリケーション設計の基準として使用できます。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS7A4700RGWR	ACTIVE	VQFN	RGW	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS7A4700RGWT	ACTIVE	VQFN	RGW	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

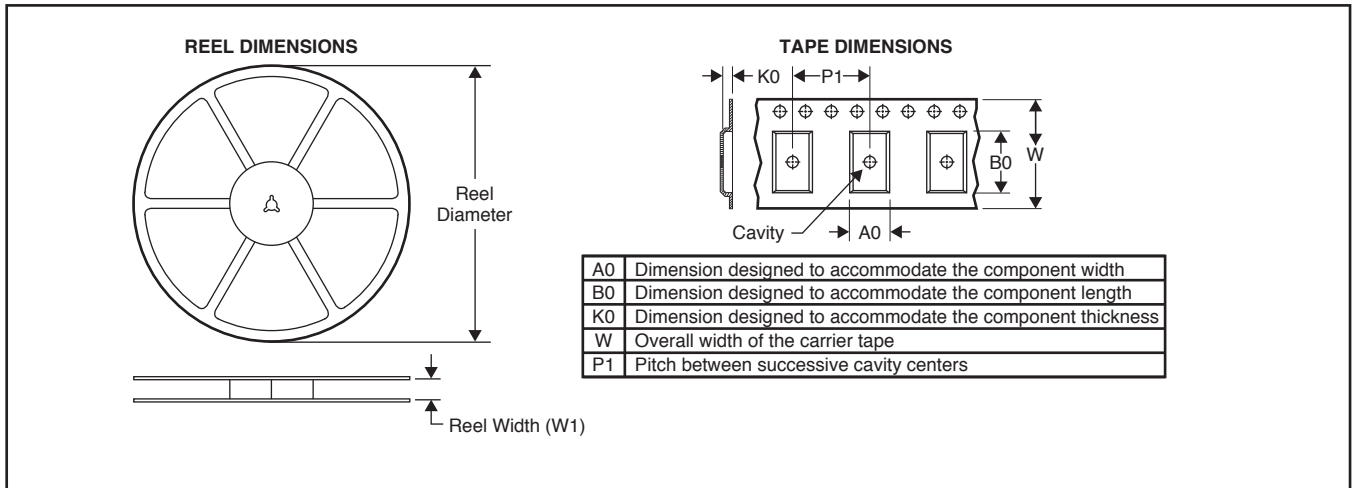
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

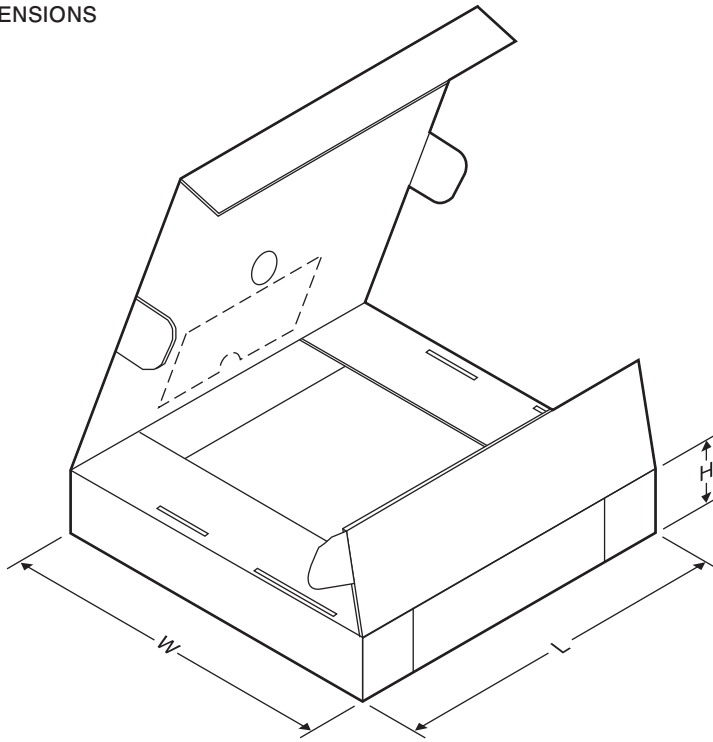


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A4700RGWR	VQFN	RGW	20	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
TPS7A4700RGWT	VQFN	RGW	20	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

パッケージ・材料情報

TAPE AND REEL BOX DIMENSIONS



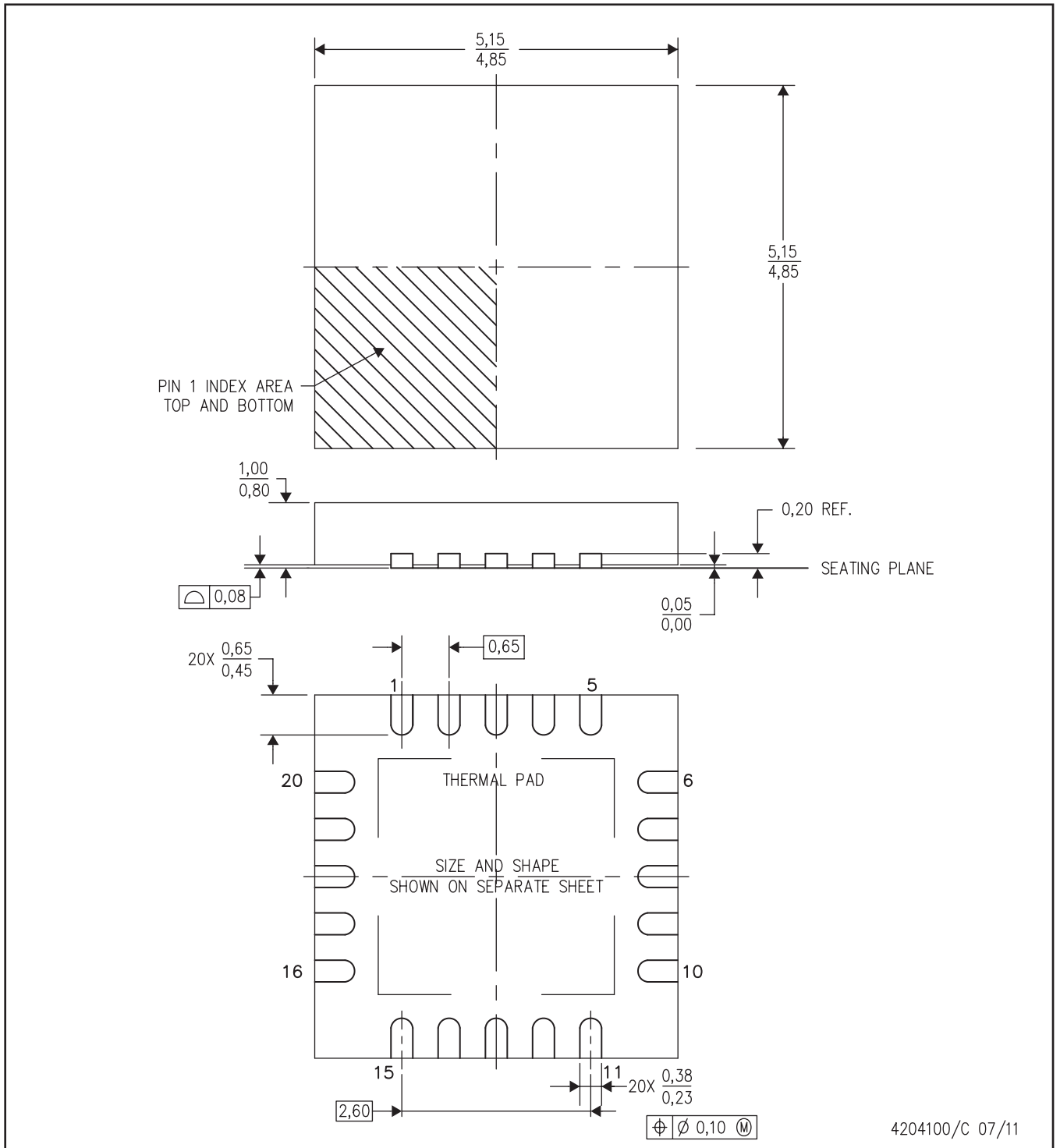
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A4700RGWR	VQFN	RGW	20	3000	367.0	367.0	35.0
TPS7A4700RGWT	VQFN	RGW	20	250	210.0	185.0	35.0

メカニカル・データ

RGW(S-PVQFN-N20)

PLASTIC QUAD FLATPACK NO-LEAD



4204100/C 07/11

- 注： A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 F. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

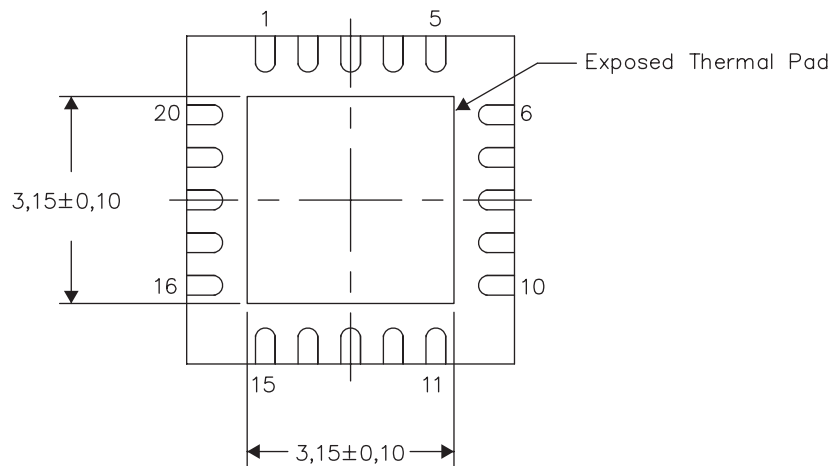
RGW(S-PVQFN-N20)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマル・ビアを使用することにより、サーマルパッドはグラウンドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



Bottom View

注：全ての線寸法の単位はミリメートルです。

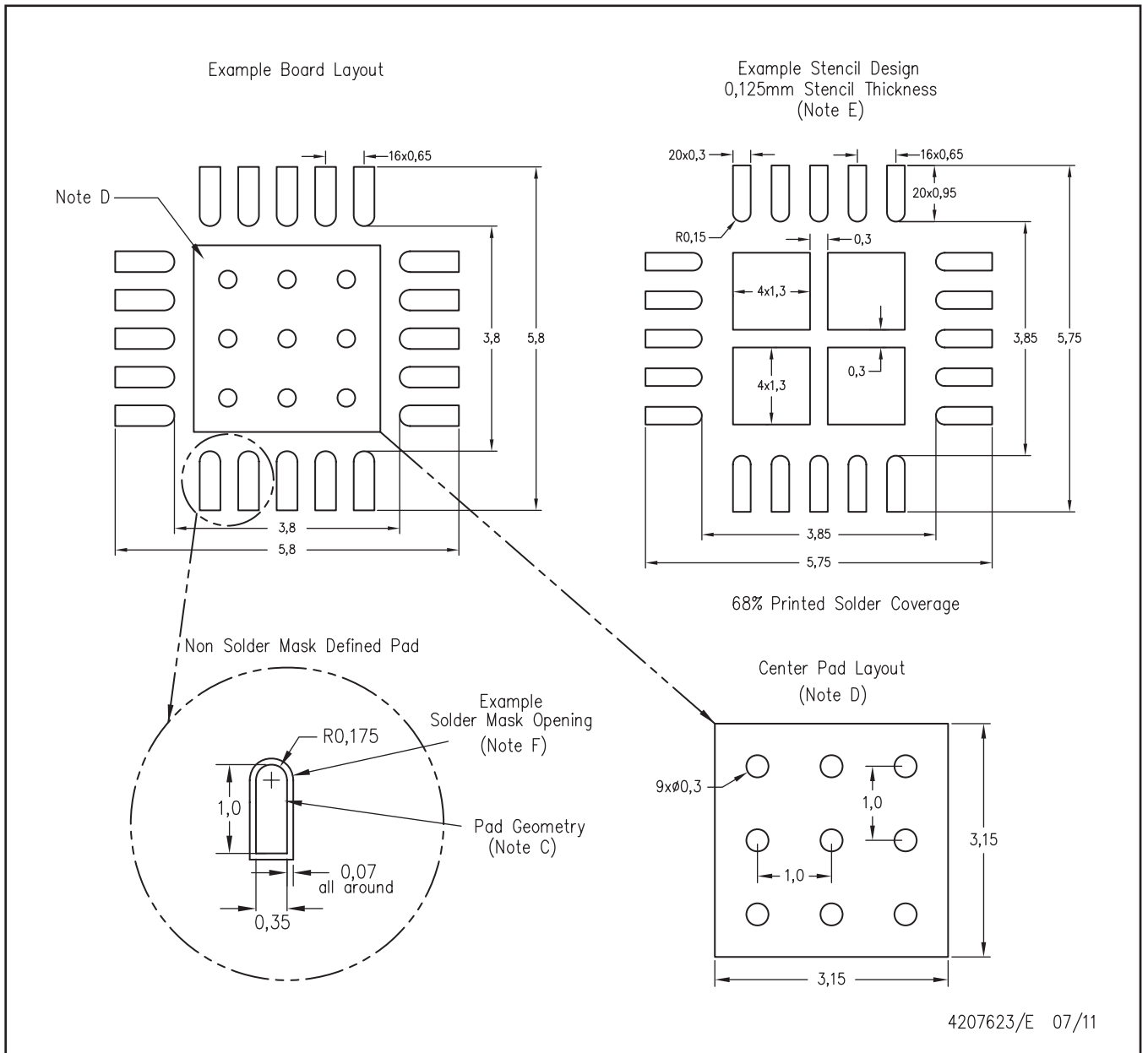
4206352-2/J 07/11

サーマルパッド寸法図

ランド・パターン

RGW(S-PVQFN-N20)

PLASTIC QUAD FLATPACK NO-LEAD



4207623/E 07/11

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.com <http://www.ti.com> で入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(JANS525)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関する全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上