

## Eco-Mode™搭載、4.5V~18V入力、3A同期整流降圧型SWIFT™コンバータ

### 特長

- 高速過渡応答を可能にするD-CAP2™モード
- 出力リップルが低く、セラミック出力コンデンサを使用可能
- 幅広いV<sub>CC</sub>入力電圧範囲：4.5V~18V
- 幅広いV<sub>IN</sub>入力電圧範囲：2V~18V
- 出力電圧範囲：0.76V~5.5V
- 低デューティ・サイクルのアプリケーションに対して最適化された高効率の内蔵FET
  - 120mΩ(ハイサイド) および70mΩ(ローサイド)
- 高効率、シャットダウン時10μA未満
- 自動スキップEco-Mode™により軽負荷時の効率を向上
- 高い初期バンドギャップ・リファレンス精度
- 調整可能なソフト・スタート
- プリバイアス付きソフト・スタート
- スイッチング周波数 (f<sub>SW</sub>)：700kHz
- サイクル毎の過電流制限
- パワー・グッド出力

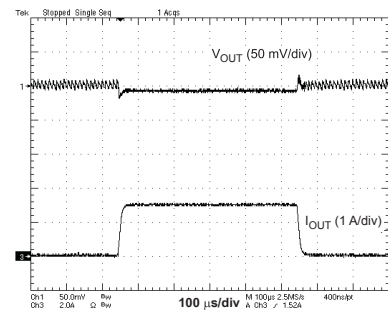
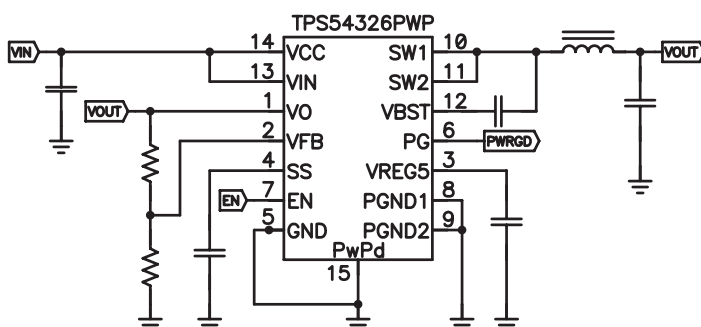
### アプリケーション

- 幅広い範囲の低電圧システム用アプリケーション
  - デジタル・テレビ用電源
  - 高精細Blu-ray Disc™プレーヤー
  - ネットワーク・ホーム・ターミナル
  - デジタル・セットトップ・ボックス(STB)

### 概要

TPS54326は、適応型オン時間D-CAP2™モードに対応した同期整流バック・コンバータです。TPS54326を採用することで、各種機器の電源バス・レギュレータに対して、コスト効果が高く、部品数の少ない、低スタンバイ電流のソリューションを実現できます。TPS54326の主制御ループではD-CAP2™モード制御を使用し、外部部品なしで高速な過渡応答が得られます。適応型オン時間制御により、重負荷時にはPWMモード動作、軽負荷時には低周波数Eco-Mode™動作にシームレスに移行することができ、高い効率を達成します。

また、TPS54326には、POSCAP/SP-CAPなどの低ESR(等価直列抵抗)出力コンデンサだけでなく、超低ESRのセラミック・コンデンサにも対応できる、独自の回路が採用されています。TPS54326は、4.5V~18VのV<sub>CC</sub>入力、および2V~18VのV<sub>IN</sub>入力電源電圧により動作します。出力電圧は、0.76V~5.5Vの範囲でプログラミングできます。また、調整可能なスロー・スタート時間と、パワー・グッド機能も備えています。TPS54326は14ピンHTSSOPまたは16ピンQFNパッケージで提供され、-40℃~85℃の温度範囲で動作するように設計されています。



SWIFT, D-CAP2, Eco-Mode, PowerPADは、テキサス・インスツルメンツの登録商標です。  
Blu-ray DiscはBlu-ray Disc Association社の登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### ご発注の手引き<sup>(1)</sup>

T <sub>A</sub>	パッケージ <sup>(2)</sup> <sup>(3)</sup>	オーダー可能な部品番号	ピン	出荷形態、数量
-40°C ~ 85°C	PowerPAD™ (HTSSOP) – PWP	TPS54326PWP	14	チューブ
		TPS54326PWPR		テープ・リール
	プラスチックQFN (Quad Flat Pack)	TPS54326RGTT	16	テープ・リール
		TPS54326RGTR		テープ・リール

(1) 最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録:パッケージ・オプション」を参照するか、TIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。

(2) パッケージ図面、熱特性データ、記号の意味については、www.ti.com/packagingを参照してください。

(3) すべてのパッケージ・オプションがCu NIPdAuリード/ボール仕上げとなっています。

### 絶対最大定格

動作温度範囲内(特に記述のない限り)<sup>(1)</sup>

		VALUE	単位	
V <sub>I</sub>	Input voltage range	V <sub>IN</sub> , V <sub>CC</sub> , EN	-0.3 ~ 20	V
		V <sub>BST</sub>	-0.3 ~ 26	V
		V <sub>BST</sub> (vs SW1, SW2)	-0.3 ~ 6.5	V
		V <sub>FB</sub> , V <sub>O</sub> , SS, PG	-0.3 ~ 6.5	V
		SW1, SW2	-2 ~ 20	V
		SW1, SW2 (10 ns transient)	-3 ~ 20	V
V <sub>O</sub>	Output voltage range	V <sub>REG5</sub>	-0.3 ~ 6.5	V
		P <sub>GND1</sub> , P <sub>GND2</sub>	-0.3 ~ 0.3	V
V <sub>diff</sub>	Voltage from GND to POWERPAD	-0.2 ~ 0.2	V	
ESD rating	Electrostatic discharge	Human Body Model (HBM)	2	kV
		Charged Device Model (CDM)	500	V
T <sub>J</sub>	Operating junction temperature	-40 ~ 150	°C	
T <sub>stg</sub>	Storage temperature	-55 ~ 150	°C	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 熱特性について

THERMAL METRIC <sup>(1)</sup>		TPS54326	TPS54326	UNITS
		PWP	RGT	
		14 PINS	16 PINS	
θ <sub>JA</sub>	Junction-to-ambient thermal resistance	55.6	46.1	°C/W
θ <sub>JCtop</sub>	Junction-to-case (top) thermal resistance	51.3	58.1	
θ <sub>JB</sub>	Junction-to-board thermal resistance	26.4	18.8	
ψ <sub>JT</sub>	Junction-to-top characterization parameter	1.8	1.3	
ψ <sub>JB</sub>	Junction-to-board characterization parameter	20.6	18.8	
θ <sub>JCbot</sub>	Junction-to-case (bottom) thermal resistance	4.3	4.8	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

## 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		MIN	MAX	単位	
V <sub>CC</sub>	Supply input voltage range	4.5	18	V	
V <sub>IN</sub>	Power input voltage range	2	18	V	
V <sub>I</sub>	Input voltage range	V <sub>BST</sub>	-0.1	24	V
		V <sub>BST</sub> (vs SW1, SW2)	-0.1	5.7	
		SS, PG	-0.1	5.7	
		EN	-0.1	18	
		V <sub>O</sub> , V <sub>FB</sub>	-0.1	5.5	
		SW1, SW2	-1.8	18	
		SW1, SW2 (10 ns transient)	-3	18	
	P <sub>GND1</sub> , P <sub>GND2</sub>	-0.1	0.1		
V <sub>O</sub>	Output voltage range	V <sub>REG5</sub>	-0.1	5.7	V
I <sub>O</sub>	Output current range	I <sub>VREG5</sub>	0	10	mA
T <sub>A</sub>	Operating free-air temperature	-40	85	°C	
T <sub>J</sub>	Operating junction temperature	-40	125	°C	

## 電気的特性

動作温度範囲内、V<sub>CC</sub>, V<sub>IN</sub> = 12V (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>SUPPLY CURRENT</b>						
I <sub>VCC</sub>	Operating - non-switching supply current	V <sub>CC</sub> current, T <sub>A</sub> = 25°C, EN = 5 V, V <sub>FB</sub> = 0.8 V		850	1300	μA
I <sub>VCCSDN</sub>	Shutdown supply current	V <sub>CC</sub> current, T <sub>A</sub> = 25°C, EN = 0 V		1.8	10	μA
<b>LOGIC THRESHOLD</b>						
V <sub>ENH</sub>	EN high-level input voltage	EN	2			V
V <sub>ENL</sub>	EN low-level input voltage	EN			0.4	V
<b>V<sub>FB</sub> VOLTAGE AND DISCHARGE RESISTANCE</b>						
V <sub>FB</sub>	Voltage light load mode	T <sub>A</sub> = 25°C, V <sub>O</sub> = 1.05 V, I <sub>O</sub> = 10 mA		771		mV
V <sub>FB</sub>	Threshold voltage, continuous mode	T <sub>A</sub> = 25°C, V <sub>O</sub> = 1.05 V	757	765	773	mV
		T <sub>A</sub> = 0°C to 85°C, V <sub>O</sub> = 1.05 V <sup>(1)</sup>	753		777	
		T <sub>A</sub> = -40°C to 85°C, V <sub>O</sub> = 1.05 V <sup>(1)</sup>	751		779	
I <sub>VFB</sub>	Input current	V <sub>FB</sub> = 0.8 V, T <sub>A</sub> = 25°C		0	±0.1	μA
R <sub>Dischg</sub>	V <sub>O</sub> discharge resistance	EN = 0 V, V <sub>O</sub> = 0.5 V, T <sub>A</sub> = 25°C		50	100	Ω
<b>V<sub>REG5</sub> OUTPUT</b>						
V <sub>VREG5</sub>	Output voltage	T <sub>A</sub> = 25°C, 6 V < V <sub>CC</sub> < 18 V, 0 < I <sub>VREG5</sub> < 5 mA	5.3	5.5	5.7	V
V <sub>LN5</sub>	Line regulation	6 V < V <sub>CC</sub> < 18 V, I <sub>VREG5</sub> = 5 mA			20	mV
V <sub>LD5</sub>	Load regulation	0 mA < I <sub>VREG5</sub> < 5 mA			100	mV
I <sub>VREG5</sub>	Output current	V <sub>CC</sub> = 6 V, V <sub>REG5</sub> = 4 V, T <sub>A</sub> = 25°C		70		mA
<b>MOSFET</b>						
R <sub>DS(on)h</sub>	High side switch resistance	25°C, V <sub>BST</sub> - SW1, SW2 = 5.5 V		120		mΩ
R <sub>DS(on)l</sub>	Low side switch resistance	25°C		70		mΩ
<b>CURRENT LIMIT</b>						
I <sub>ocl</sub>	Current limit	L <sub>OUT</sub> = 1.5μH <sup>(1)</sup>	3.5	4.1	5.5	A
<b>THERMAL SHUTDOWN</b>						
T <sub>SDN</sub>	Thermal shutdown threshold	Shutdown temperature <sup>(1)</sup>		150		°C
		Hysteresis <sup>(1)</sup>		25		

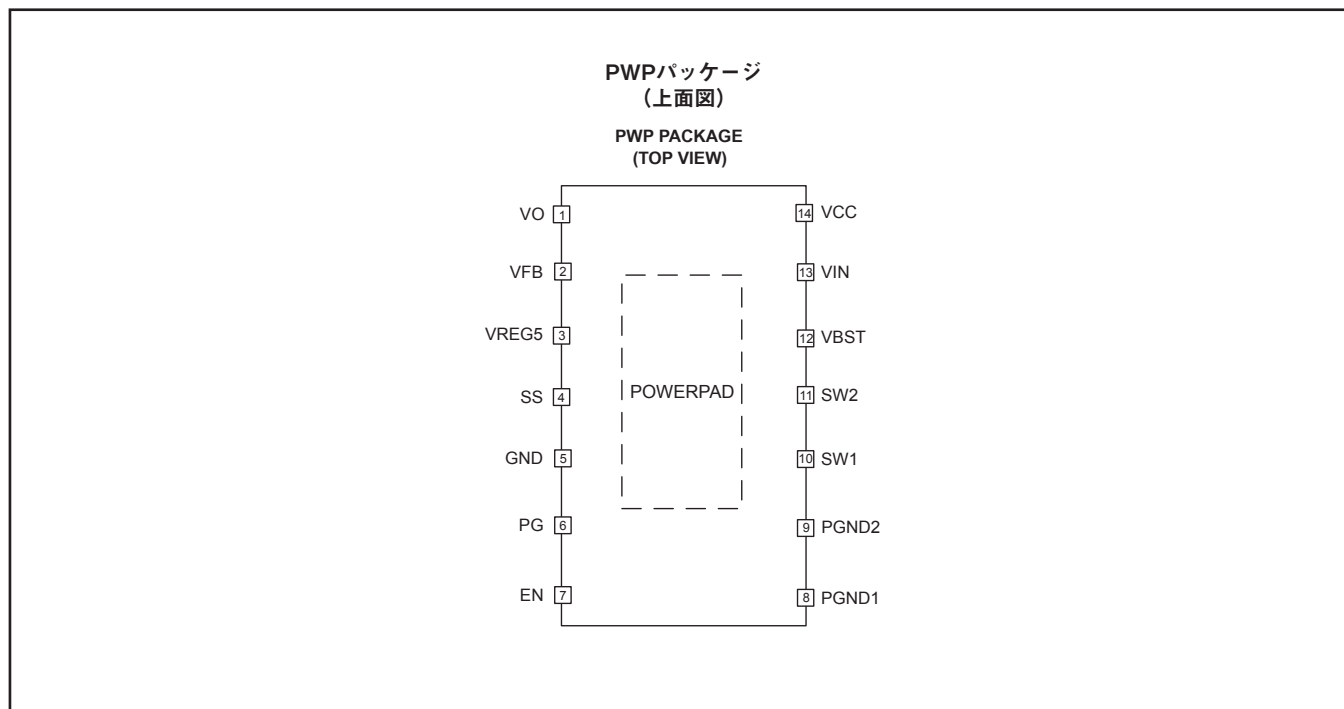
(1) 設計で規定されていますが、製品テストは行っていません。

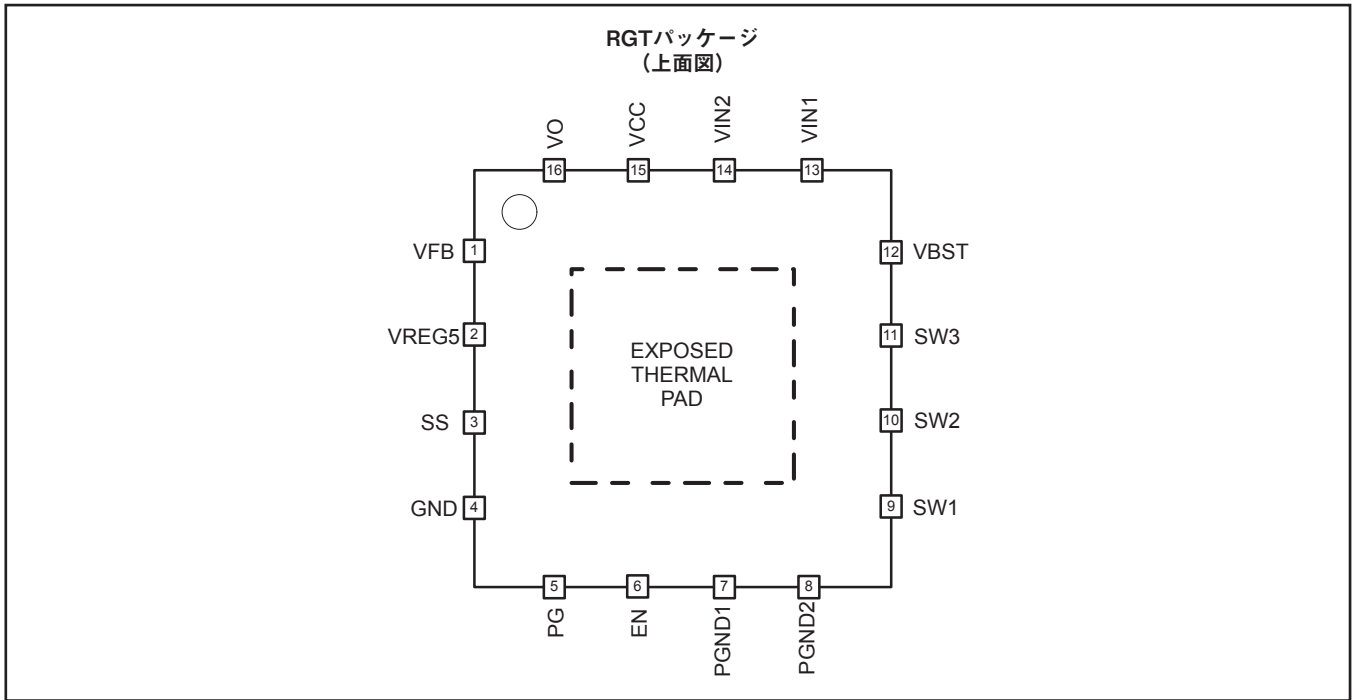
## 電気的特性

動作温度範囲内、 $V_{CC}$ ,  $V_{IN} = 12V$ (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
<b>ON-TIME TIMER CONTROL</b>						
$t_{ON}$	On time	$V_{IN} = 12 V$ , $V_O = 1.05 V$		145		ns
$t_{OFF(MIN)}$	Minimum off time	$T_A = 25^\circ C$ , $V_{FB} = 0.7 V$		260	310	ns
<b>SOFT START</b>						
$I_{SSC}$	SS charge current	$V_{SS} = 0 V$	1.4	2	2.6	$\mu A$
$I_{SSD}$	SS discharge current	$V_{SS} = 0.5 V$	0.1	0.2		mA
<b>POWER GOOD</b>						
$V_{THPG}$	Threshold	$V_{FB}$ rising (good)	85	90	95	%
		$V_{FB}$ falling (fault)		85		
$I_{PG}$	Sink current	$PG = 0.5 V$	2.5	5		mA
<b>OUTPUT UNDERVOLTAGE AND OVERVOLTAGE PROTECTION</b>						
$V_{OVP}$	Output OVP trip threshold	OVP detect	115	120	125	%
$t_{OVPDEL}$	Output OVP prop delay			5		$\mu s$
$V_{UVP}$	Output UVP trip threshold	UVP detect	65	70	75	%
		Hysteresis		10		
$t_{UVPDEL}$	Output UVP delay			0.25		ms
$t_{UVPEN}$	Output UVP enable delay	Relative to soft-start time		x 1.7		
<b>UVLO</b>						
UVLO	Threshold	Wake up $V_{REG5}$ voltage	3.55	3.8	4.05	V
		Hysteresis $V_{REG5}$ voltage	0.23	0.35	0.47	

## 製品情報

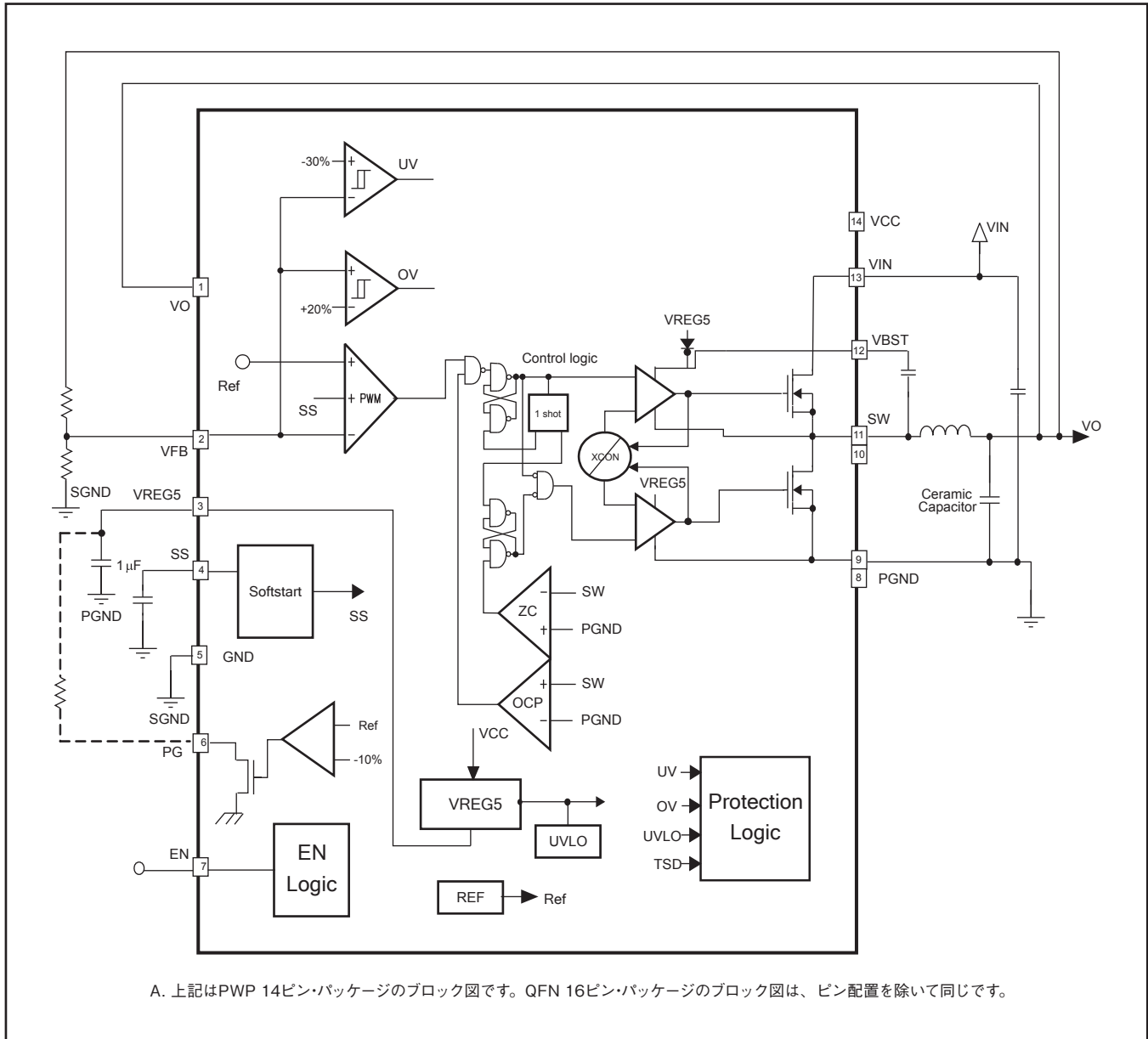




### ピン機能

名前	ピン		説明
	PWP 14	RGT 16	
VO	1	16	コンバータの出力に接続します。このピンは、オン時間の調整に使用されます。
VFB	2	1	コンバータの帰還入力。帰還分圧抵抗を接続します。
VREG5	3	2	5.5V電源出力。GNDとの間にコンデンサ(標準1 $\mu$ F)を接続する必要があります。
SS	4	3	ソフト・スタート制御。GNDとの間に外付けコンデンサを接続する必要があります。
GND	5	4	信号グランド・ピン。
PG	6	5	オープン・ドレインのパワー・ゲット出力。
EN	7	6	イネーブル制御入力。
PGND1, PGND2	8, 9	7, 8	ローサイドMOSFETのグランド・リターン。電流コンバータの入力としても機能します。PGNDとGNDは、ICの近くでまとめて確実に接続する必要があります。
SW1, SW2	10, 11	9, 10, 11	ハイサイドNFETおよびローサイドNFET用のスイッチ・ノード接続。電流コンバータへの入力としても機能します。
VBST	12	12	ハイサイドNFETゲート・ドライバの電源入力(昇圧端子)。このピンと、対応するSW1、SW2ピンとの間に、コンデンサを接続します。VREG5ピンとVBSTピンの間には、内部でPNダイオードが接続されています。
VIN	13	13, 14	パワー入力であり、ハイサイドNFETのドレインに接続されています。
VCC	14	15	制御回路用の5V内部リニアレギュレータの電源入力。
露出した サーマル・パッド または PowerPAD™	裏側	裏側	パッケージのサーマル・パッド。適切な放熱を実現するために、半田付けする必要があります。PGNDに接続してください。

## 機能ブロック図



## 概要

TPS54326は、2つのNチャンネルMOSFETを内蔵した、3Aの同期整流降圧型 (バック) コンバータです。軽負荷時の効率を向上させる自動スキップEco-Mode™を備えています。D-CAP2™モード制御を使用して動作します。D-CAP2™制御の高速過渡応答により、特定レベルの性能を満たすために必要な出力容量が小さくて済みます。独自の内部回路により、セラミックおよび特殊なポリマー・タイプを含めた低ESR出力コンデンサを使用可能です。

## 詳細説明

### PWM動作

TPS54326のメイン制御ループは、独自のD-CAP2™モード制御をサポートする適応型オン時間パルス幅変調 (PWM) コントローラとなっています。D-CAP2™モード制御は、一定オン時間制御を、擬似固定周波数で外部部品数の少ない構成を可能にする内

部補償回路と組み合わせたもので、低ESRコンデンサとセラミック出力コンデンサの両方を使用できます。出力にほとんどリップルがない状態でも安定して動作します。

各サイクルの開始時に、ハイサイドMOSFETがオンになります。内部のワンショット・タイマが終了すると、このMOSFETがオフになります。このワンショット・タイマの時間は、入力電圧範囲内で擬似固定周波数を維持するために、コンバータの入力電圧 ( $V_{IN}$ ) と出力電圧 ( $V_O$ ) によって設定されます。そのため、これは適応型オン時間制御と呼ばれます。帰還電圧がリファレンス電圧を下回ると、ワンショット・タイマがリセットされ、ハイサイドMOSFETが再度オンになります。出力リップルをシミュレートするために、リファレンス電圧に内部ランプが追加され、これにより、D-CAP2™モード制御ではESRによる出力リップルが不要になります。

### PWM周波数と適応型オン時間制御

TPS54326は、適応型オン時間制御方式を採用し、専用の発振器は内蔵していません。入力電圧および出力電圧を使用して

オン時間ワンショット・タイマを設定することにより、700kHzの擬似定周波数で動作します。オン時間は、入力電圧に逆比例し、出力電圧に比例します。実際の周波数は、オフ時間に応じて700kHzから変化する場合があります。オフ時間は、出力電圧の帰還部分がV<sub>FB</sub>スレッシュホールド電圧まで降下した時点で終了します。

## オートスキップEco-Mode™制御

TPS54326は、軽負荷時の効率を向上させるオートスキップEco-Mode™を備えています。重負荷状態から出力電流が減少すると、インダクタ電流も減少し、最終的にはそのリップル付きの“谷”がゼロ・レベルに達する点まで至ります。これは、連続導通モードと不連続導通モードの境界に当たります。ゼロインダクタ電流が検出されると、整流MOSFETがオフになります。負荷電流がさらに減少すると、コンバータは不連続導通モードに入ります。オン時間は連続導通モードのときとほぼ同じに保持されるため、出力コンデンサを小さな負荷電流でリファレンス電圧レベルまで放電するには、より長い時間がかかります。軽負荷動作へ遷移する負荷電流点(I<sub>OUT(LL)</sub>)は、式(1)で計算できます。

$$I_{OUT(LL)} = \frac{1}{2 \cdot L \cdot f_{ws}} \cdot \frac{(V_{IN} - V_{OUT}) \cdot V_{OUT}}{V_{IN}} \quad (1)$$

## ソフト・スタートおよびプリバイアス付きソフト・スタート

ソフト・スタート機能は調整可能です。ENピンが“High”になると、SSピンとGNDの間に接続されているコンデンサの充電が2μAの電流によって開始されます。スタートアップ中には出力電圧のスムーズな制御が維持されます。スロー・スタート時間は式(2)で計算されます。V<sub>FB</sub>電圧は0.765V、SSピンのソース電流は2μAです。

$$\begin{aligned} T_{ss}(ms) &= \frac{C6(nF) \cdot V_{ref}}{I_{ss}(\mu A)} \\ &= \frac{C6(nF) \cdot 0.765}{2} \end{aligned} \quad (2)$$

出力がプリバイアスされている状態で、スタートアップ中に出力から電流が引き抜かれるのを防止するために、独自の回路が搭載されています。ソフト・スタートでプリバイアス・レベルよりも高い電圧が指定される(内部ソフト・スタートが帰還電圧V<sub>FB</sub>よりも大きくなる)と、コントローラは、最初のローサイドFETゲート・ドライバパルスを狭いオン時間で開始することにより、ゆっくりと同期整流を起動します。次に、そのオン時間が(1-D)で示される時間と一致するまで(Dはコンバータのデューティ・サイクル)、オン時間をサイクルごとにインクリメントします。この方式により、プリバイアス出力の初期シンクを防ぐとともに、出力電圧(V<sub>O</sub>)は立ち上がり後スムーズにレギュレーション状態まで上昇し、また、制御ループがプリバイアス・スタートアップから通常モード動作へと遷移するために十分な時間が確保されます。

## パワー・グッド

パワー・グッド機能はソフト・スタートの終了後に起動されます。ソフト・スタート時間の1.7倍の時間が経過した後でパワー・グッド機能が有効となります。出力電圧が目標値の90%以上に達すると、内部のコンパレータによりパワー・グッド状態が検出され、パワー・グッド信号が“High”になります。パワー・グッド出力PGには、V<sub>REG5</sub>に対して20kΩ~150kΩのプルアップ抵抗が必要となります。帰還電圧が目標値の85%を下回った場合、内部で10msの遅延が加えられた後、パワー・グッド信号が“Low”になります。

## 出力放電制御

TPS54326では、ENが“Low”の場合、または保護機能(OVP、UVP、UVLO、過熱保護)によってコントローラがオフになった場合、出力が放電されます。VOとPGNDの間に接続されている内部の50Ω MOSFETを使用して出力を放電します。出力に負電圧が生じることを避けるために、出力放電中は内部ローサイドMOSFETがオンになりません。

## 電流保護

出力過電流保護(OCP)は、サイクル毎のバレー検出制御回路を使用して実現されています。SWピンとGNDの間のローサイドFETスイッチ電圧を測定することで、スイッチ電流がモニタされます。この電圧は、スイッチ電流に比例します。精度を向上させるため、電圧センスは温度補償されます。

ハイサイドFETスイッチのオン時間中、スイッチ電流は、V<sub>in</sub>、V<sub>out</sub>、オン時間、および出力インダクタ値によって決定されるリニアなレートで増加します。ローサイドFETスイッチのオン時間中は、この電流はリニアに減少します。スイッチ電流の平均値が、負荷電流I<sub>out</sub>です。測定された電圧が、電流制限に比例した電圧よりも高い場合、デバイスはローサイドFETのオン時間の間、スイッチ電流に比例するローサイドFETスイッチ電圧を継続的にモニタします。

測定された電圧が電流制限に対応した電圧を下回るまで、コンバータはローサイド・スイッチをオンに維持します。下回った時点で、スイッチング・サイクルが終了し、新しいスイッチング・サイクルが開始されます。以降のスイッチング・サイクルでは、オン時間が固定値に設定され、同じ方法で電流がモニタされます。

このようなタイプの過電流保護には、いくつかの重要な考慮事項があります。負荷電流は、ピーク・ツー・ピーク・インダクタ電流の1/2だけ過電流スレッシュホールドよりも高くなります。また、電流が制限されている間は、出力電圧が低下する傾向があります。これは、必要な負荷電流が、コンバータから供給される電流よりも高い場合があるためです。それにより、出力低電圧保護回路が作動する場合があります。過電流状態が解消されると、出力電圧がレギュレーション電圧に戻ります。これは非ラッチ方式の保護です。

## 過電圧/低電圧保護

TPS54326は、帰還電圧 (VFB) を監視することによって、過電圧および低電圧状態を検出します。この機能は、約 (1.7×ソフト・スタート時間) 後にイネーブルになります。帰還電圧が目標電圧の120%を超過すると、OVPコンパレータの出力が“High”になり、ハイサイドMOSFETドライバがオフ、ローサイドMOSFETがオンになるようにラッチされます。帰還電圧が目標電圧の70%より低くなると、UVPコンパレータ出力が“High”になり、内部のUVP遅延カウンタが動作を開始します。250 $\mu$ s経過後、上側と下側の両方の内部MOSFETがオフにラッチされます。

## UVLO保護

低電圧ロックアウト保護 (UVLO) は、 $V_{REG5}$ ピンの電圧を監視します。 $V_{REG5}$ 電圧がUVLOスレッシュホールド電圧を下回ると、TPS54326がオフになります。これは、非ラッチ方式の保護です。

## 過熱シャットダウン

過熱保護は、自動的にアクティブになります。接合部温度がスレッシュホールド値 (標準150°C) を超えると、TPS54326がシャットダウンされます。これは非ラッチ方式の保護です。



# 標準的特性

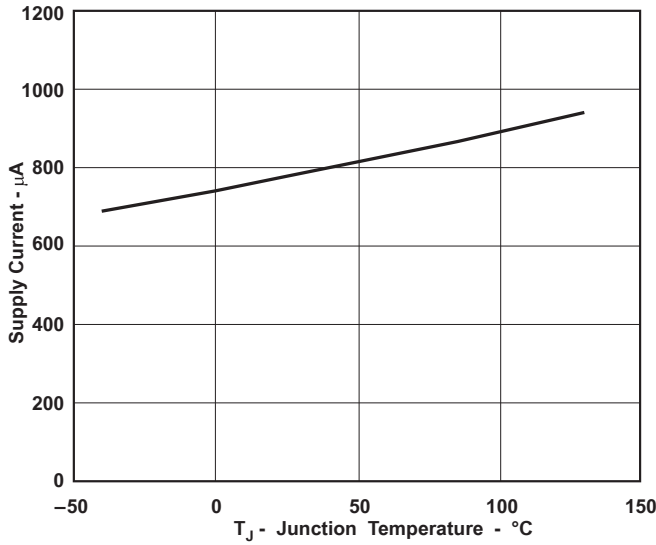


図 1.  $V_{CC}$ 電源電流 対 接合部温度

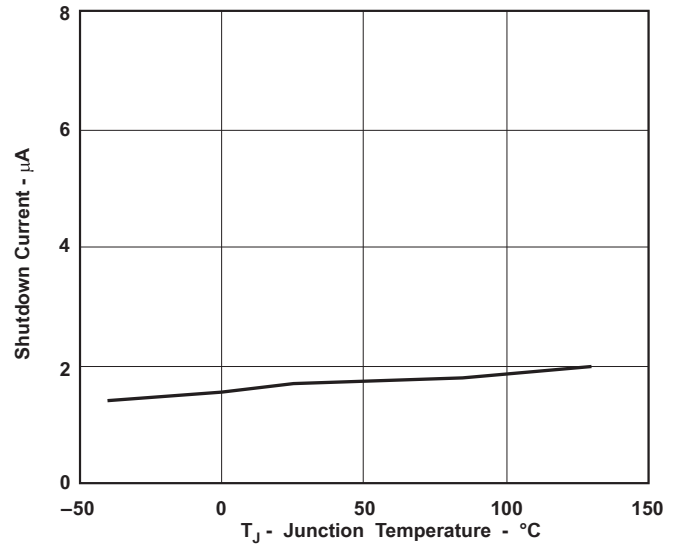


図 2.  $V_{CC}$ シャットダウン電流 対 接合部温度

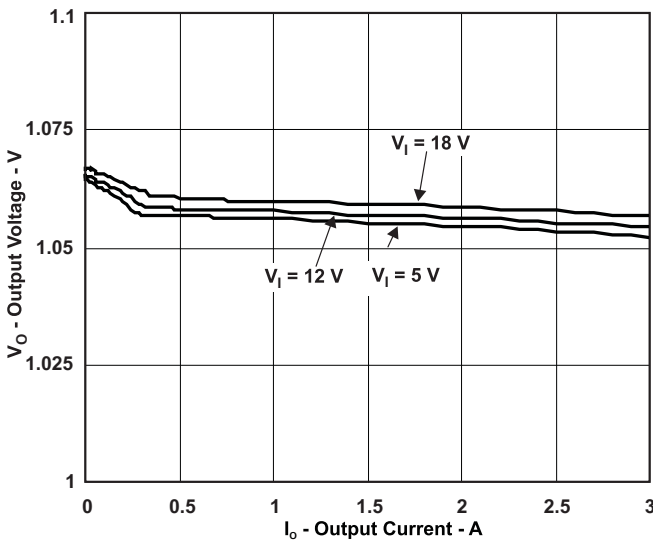


図 3. 1.05V出力電圧 対 出力電流

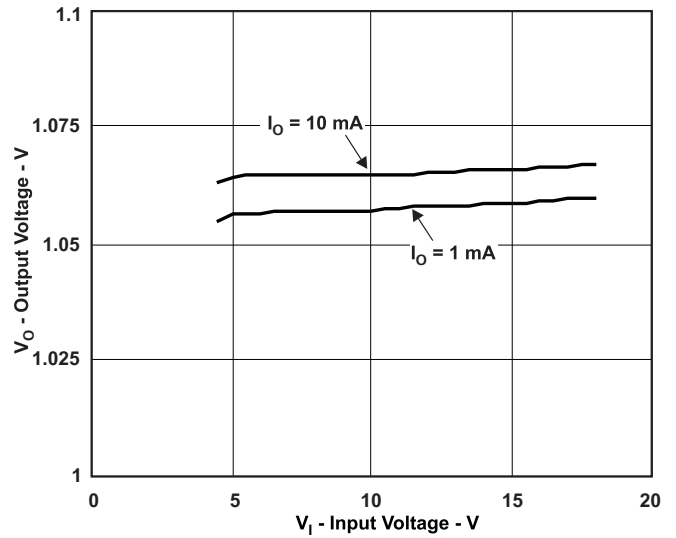


図 4. 1.05V出力電圧 対 入力電圧

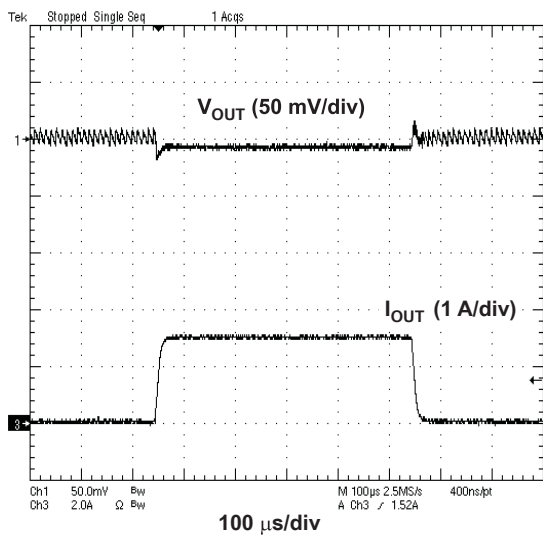


図 5. 1.05V、0A~3A負荷過渡応答

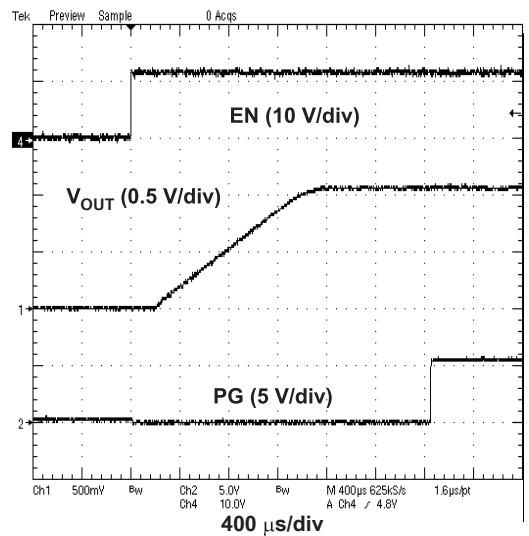


図 6. スタートアップ波形

# 標準的特性

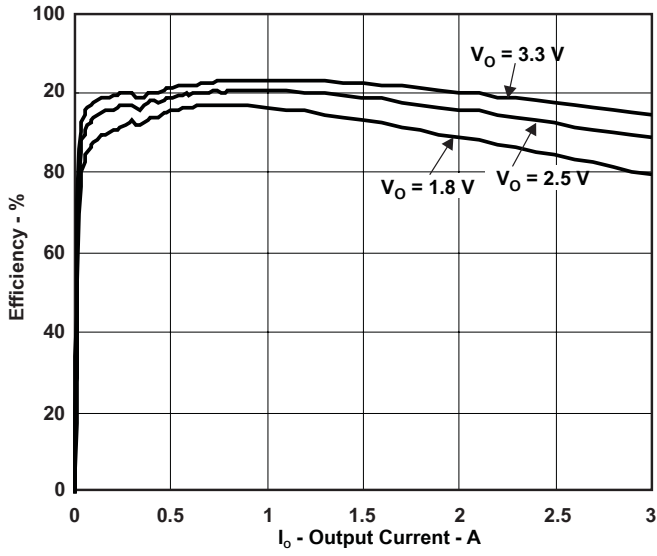


図 7. 効率 対 出力電流 ( $V_{IN} = 12V$ )

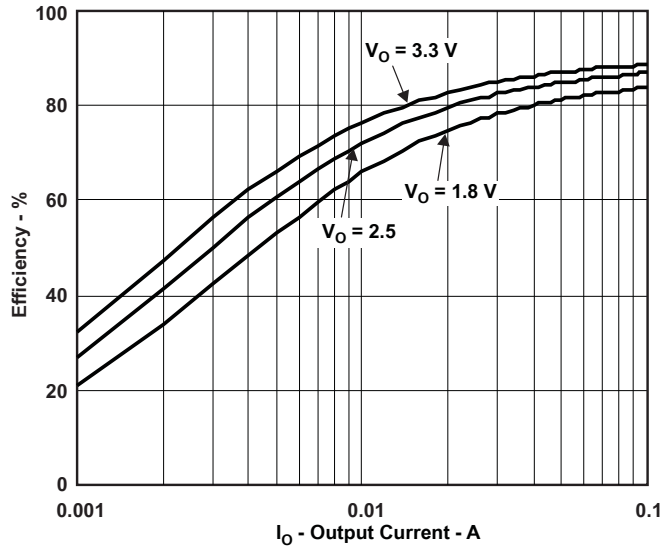


図 8. 軽負荷効率 対 出力電流

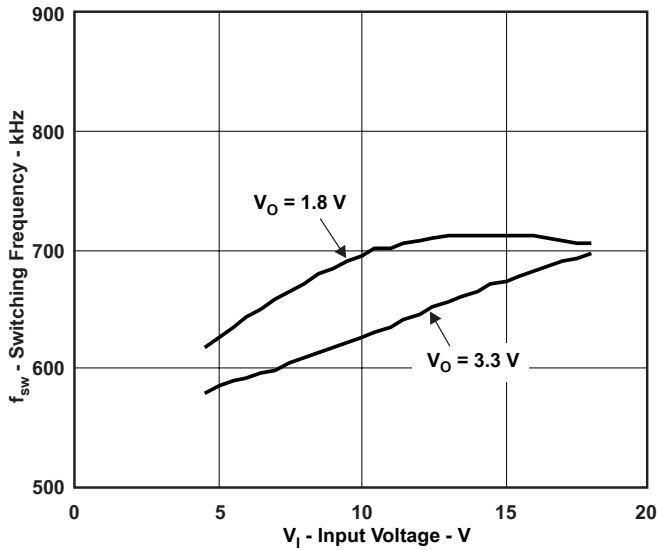


図 9. スイッチング周波数 対 入力電圧

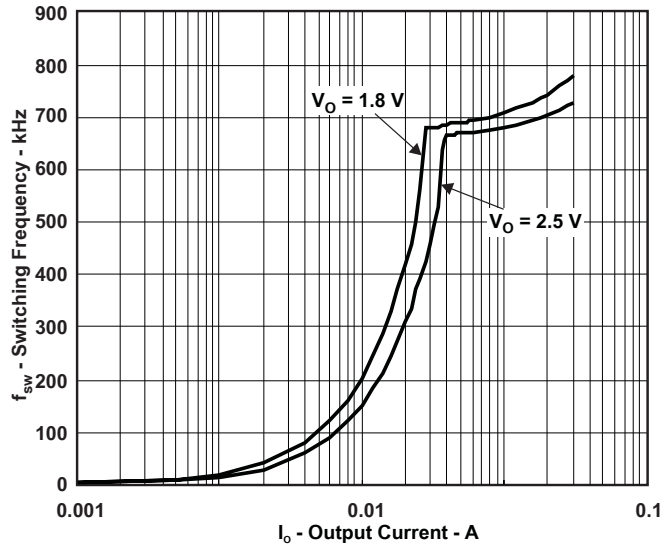


図 10. スイッチング周波数 対 出力電流

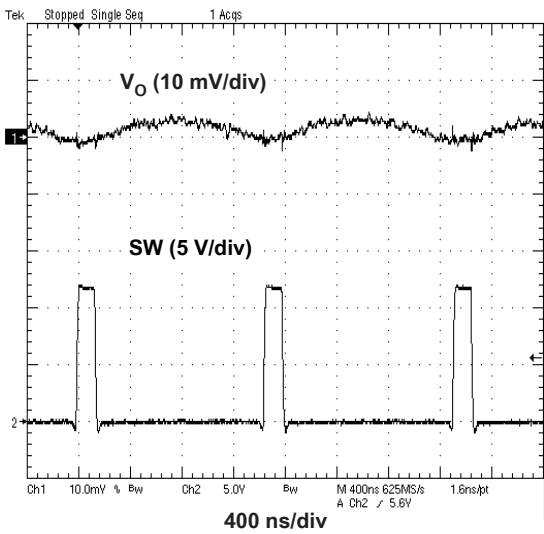


図 11. 出力電圧リップル

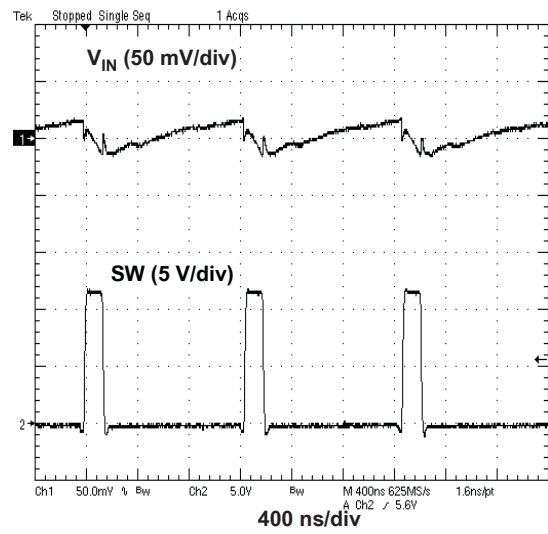


図 12. 入力電圧リップル

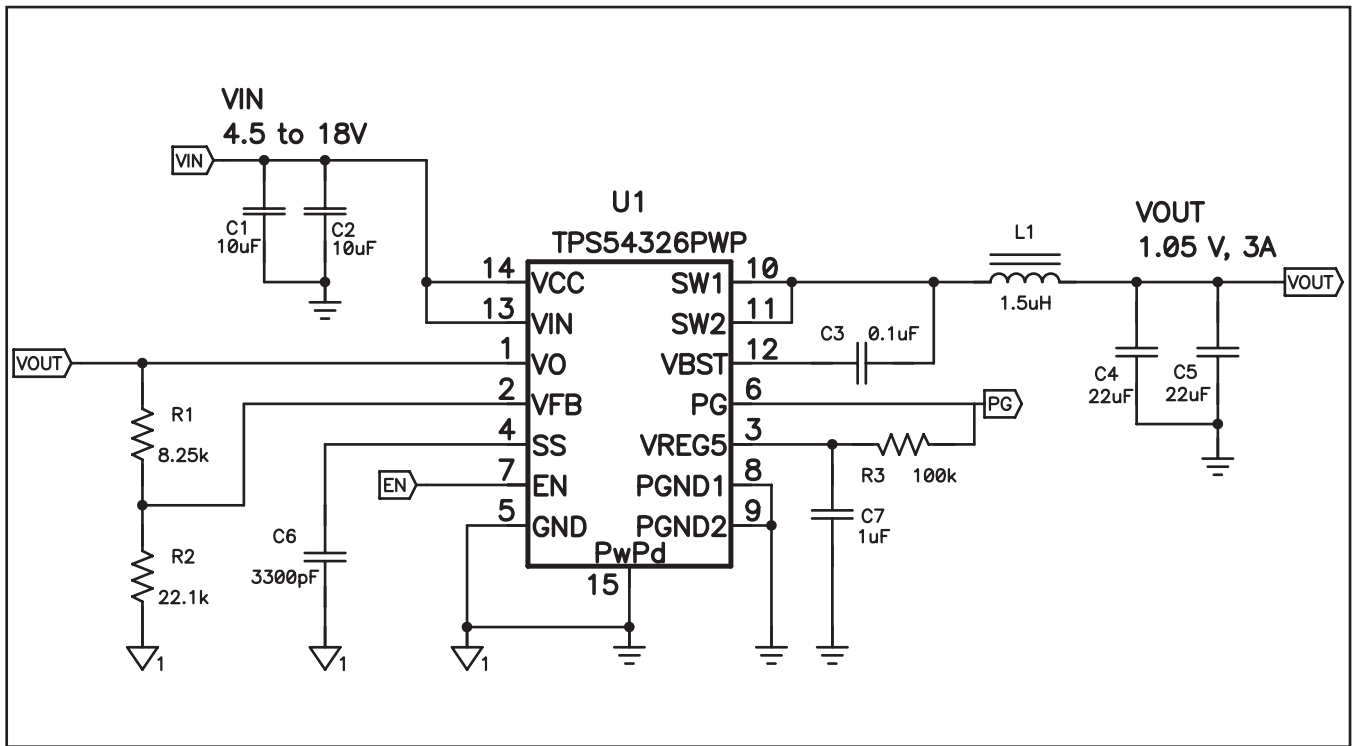


図 13. 回路図

## 設計ガイド

### ステップ毎の設計手順

設計プロセスを開始するには、以下のアプリケーションパラメータについて知っておく必要があります。

- 入力電圧範囲
- 出力電圧
- 出力電流
- 出力電圧リップル
- 入力電圧リップル

図13に、この設計例の回路図を示します。

### 出力電圧抵抗の選択

出力電圧は、出力ノードとVFBピンとの間の抵抗分圧回路によって設定されます。公差1%以内の分圧抵抗を使用することを推奨します。最初は、式 (3) および式 (4) を使用して  $V_{OUT}$  を計算します。

軽負荷での効率を向上させるには、より大きな値の抵抗の使用を考慮します。ただし、抵抗が大きすぎると、ノイズの影響を受けやすくなり、VFB入力電流からの電圧誤差が目立つようになります。

出力電圧が0.76V~2.5Vの場合:

$$V_{OUT} = 0.765 \cdot \left(1 + \frac{R1}{R2}\right) \quad (3)$$

出力電圧が2.5V以上の場合:

$$V_{OUT} = (0.763 + 0.0017 \cdot V_{OUT}) \left(1 + \frac{R1}{R2}\right) \quad (4)$$

ここで

$$V_{OUT\_SET} = \text{Target } V_{OUT} \text{ voltage}$$

### 出力フィルタの選択

TPS54326で使用する出力フィルタは、LC回路です。このLCフィルタは、下記の周波数に二重極を持ちます。

$$F_P = \frac{1}{2\pi\sqrt{L_{OUT} \times C_{OUT}}} \quad (5)$$

低周波数では、出力設定点分圧抵抗回路、およびTPS54326の内部ゲインによって、全体のループゲインが設定されます。低周波数での位相は180度です。出力フィルタの極周波数では、ディケードごとにゲインが-40dBロールオフし、位相は急速に減少します。D-CAP2™によって高周波数のゼロが導入されることで、ゲインのロールオフがディケードあたり-20dBに減り、位相はゼロ周波数の1ディケード上で90度に増加します。出力フィルタに対して選択されるインダクタとコンデンサは、式 (5) の二重極が高周波ゼロより低く、かつ十分近い値 (位相ブーストが得られ、高周波ゼロによって回路安定化のための十分な位相マージンが得られるように) となるよう選択する必要があります。この要件を満足するための推奨値を表1に示します。

出力電圧 (V)	R1 (kΩ)	R2 (kΩ)	C4 (pF) <sup>(1)</sup>	L1 (μH)	C8 + C9 (μF)
1	6.81	22.1		1.5	22 - 68
1.05	8.25	22.1		1.5	22 - 68
1.2	12.7	22.1		1.5	22 - 68
1.8	30.1	22.1	10 - 47	2.2	22 - 68
2.5	49.9	22.1	10 - 47	2.2	22 - 68
3.3	73.2	22.1	10 - 47	2.2	22 - 68
5	121	22.1	10 - 47	3.3	22 - 68

表 1. 推奨部品値

(1) オプション

1.8V以上の高出力電圧では、R1と並列にフィードフォワード・コンデンサ(C4)を追加することにより、追加の位相ブーストを実現できます。

インダクタのピーク・ツー・ピーク・リップル電流、ピーク電流、およびRMS電流は、式(6)、式(7)、および式(8)で求めることができます。インダクタの飽和電流定格は、ピーク電流の計算値より大きい必要があります。RMSまたは加熱電流定格は、RMS電流の計算値より大きい必要があります。f<sub>SW</sub>には700kHzを使用します。

$$\Delta I_{p-p} = \frac{V_{OUT}}{V_{IN(max)}} \cdot \frac{V_{IN(max)} - V_{OUT}}{L_O \cdot f_{SW}} \quad (6)$$

$$I_{peak} = I_O + \frac{\Delta I_{p-p}}{2} \quad (7)$$

$$I_{Lo(RMS)} = \sqrt{I_O^2 + \frac{1}{12} \Delta I_{p-p}^2} \quad (8)$$

この設計例では、ピーク電流の計算値が3.47A、RMS電流の計算値が3.01Aです。ここでは、インダクタとしてTDKのSPM6530-1R5M100を使用し、ピーク電流定格は11.5A、RMS電流定格は11Aです。

コンデンサの値とESRによって、出力電圧リップルの大きさが決まります。TPS54326は、セラミックまたは他の低ESRコンデンサとともに使用するよう設計されています。推奨値の範囲は22μF～68μFです。出力コンデンサに対して必要なRMS電流定格は、式9で求められます。

$$I_{CO(RMS)} = \frac{V_{OUT} \cdot (V_{IN} - V_{OUT})}{\sqrt{12} \cdot V_{IN} \cdot L_O \cdot f_{SW}} \quad (9)$$

この設計では、出力コンデンサとしてTDKのC3216X5R0J226M(22μF)を2個使用します。標準ESRはそれぞれ2mΩです。RMS電流の計算値は0.271Aであり、各出力コンデンサの定格は4Aです。

## 入力コンデンサの選択

デバイスには、入力デカップリング・コンデンサと、アプリケーションによってはバルク・コンデンサが必要となります。デカップリング・コンデンサには、10μF以上のセラミック・コンデンサを推奨

します。さらに、過電流制限の機能の能力を改善するために、14ピンとGND間には0.1μFのコンデンサを追加することを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

## ブートストラップ・コンデンサの選択

適切な動作のためには、VBSTピンとSWピンの間に0.1μFのセラミック・コンデンサを接続する必要があります。セラミック・コンデンサの使用を推奨します。

## VREG5コンデンサの選択

適切な動作のためには、VREG5ピンとGNDピンの間に1μFのセラミック・コンデンサを接続する必要があります。セラミック・コンデンサの使用を推奨します。

## 熱特性について

PWP 14ピン・パッケージには露出したPowerPAD™が搭載され、QFN 16ピン・パッケージにも同様な露出したサーマル・パッドが搭載されています。これらの露出したサーマル・パッドは、外部ヒートシンクに接続するように設計されています。サーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報およびその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD™ Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD™ Made Easy』(TI文献番号SLMA004)を参照してください。

PWP 14ピンおよびQFN 16ピン・パッケージの露出したサーマル・パッドの寸法は、このデータ・シートの「Thermal Pad Mechanical Data」セクションに示されています。

## レイアウトについての考慮事項

以下に示すレイアウトのガイドラインは、PWP 14ピン・パッケージを例としています。一般的なガイドラインおよび配線は、QFN 16ピン・パッケージにも適用されます。レイアウトの際には、パッケージのピン構成の違いを考慮に入れる必要があります。

1. 入力スイッチング電流ループは可能な限り小さくします。
2. 寄生容量およびインダクタンスを低減し、放射を最小限に抑えるために、SWノードは物理的に可能な限り小さく、かつ短くします。出力とデバイスの帰還ピンとの間に、ケルビン接続を使用してください。
3. アナログ部品と非スイッチング部品は、スイッチング部品から離して配置します。
4. 信号グランドと電源グランドは一点接続します。
5. デバイスの下をスイッチング電流が流れないようにしてください。
6. VINおよびPGNDのパターン・ラインを幅広くします。
7. デバイスの露出したパッドは、PGNDに半田付けする必要があります。
8. VREG5コンデンサは、デバイスの近くに配置し、PGNDに接続する必要があります。

9. 出力コンデンサは、PGNDの幅広いパターンに接続する必要があります。
10. 電圧帰還ループはできる限り短くし、可能であればグラウンド・シールドを使用します。
11. VFBピンに接続される分圧回路の下側の抵抗は、SGNDに接続する必要があります。
12. VIN、SW、およびPGND接続に対しては、十分なビアを設けることを推奨します。
13. VIN、SW、およびPGNDのPCBパターンは、可能な限り幅広くします。
14. VINとVCCを短絡する場合、VINのパターンとVCCのパターンを幅広いパターン・ラインで接続する必要があります。
15. VINコンデンサは、可能な限りデバイスの近くに配置します。

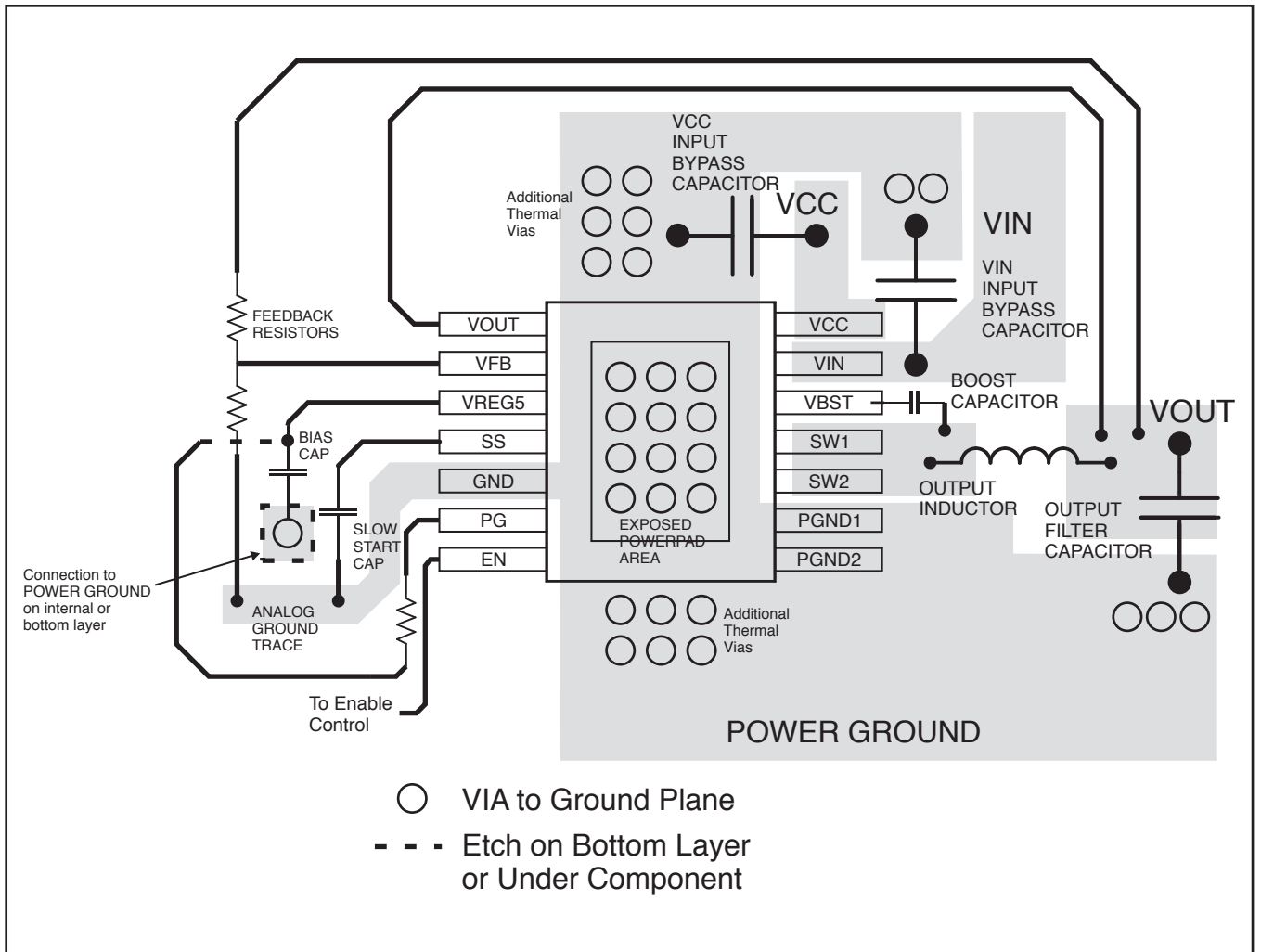


図 14. TPS54326のレイアウト

# パッケージ情報

## 製品情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>	Samples (Requires Login)
TPS54326PWP	ACTIVE	HTSSOP	PWP	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Contact TI Distributor or Sales Office
TPS54326PWPR	ACTIVE	HTSSOP	PWP	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
TPS54326RGTR	ACTIVE	QFN	RGT	16	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
TPS54326RGTT	ACTIVE	QFN	RGT	16	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples

<sup>(1)</sup> マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

<sup>(2)</sup> エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

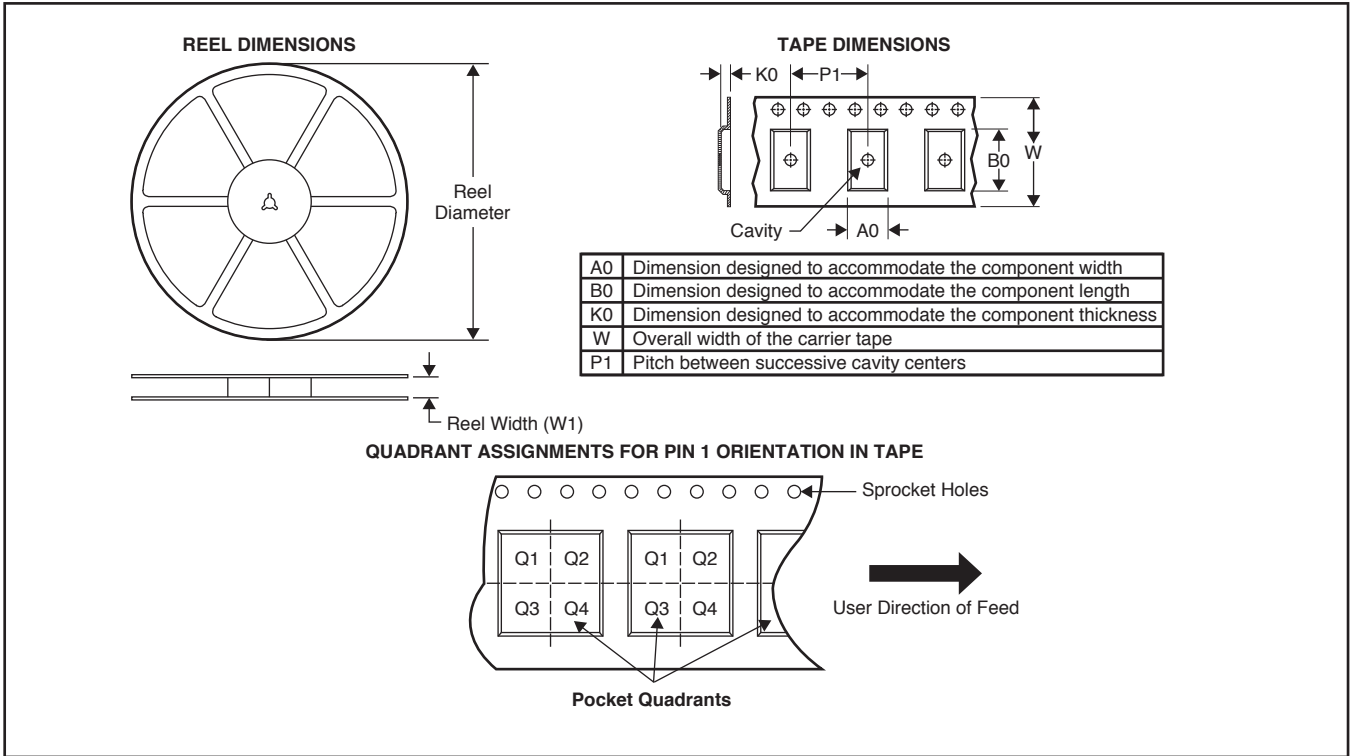
<sup>(3)</sup> MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報

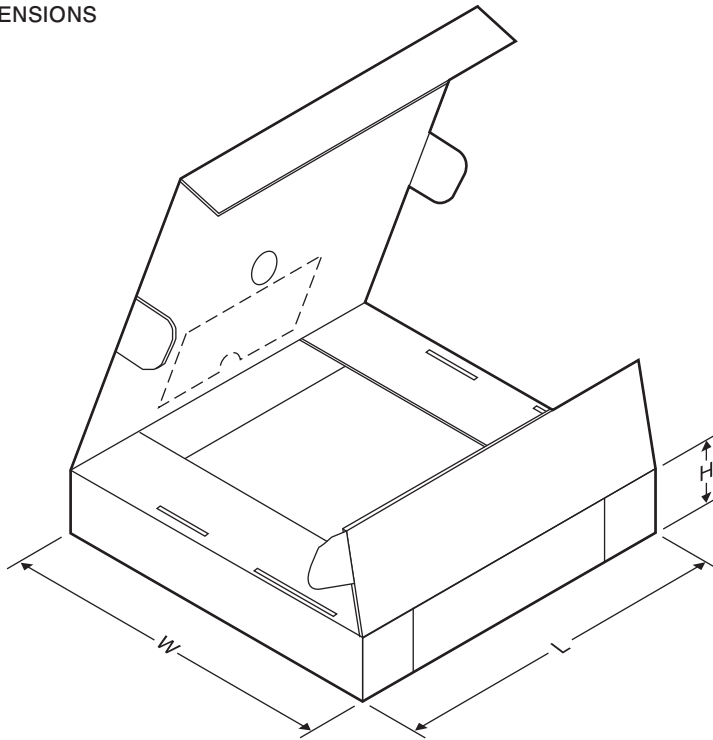


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54326PWPR	HTSSOP	PWP	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPS54326RGTR	QFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS54326RGTT	QFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

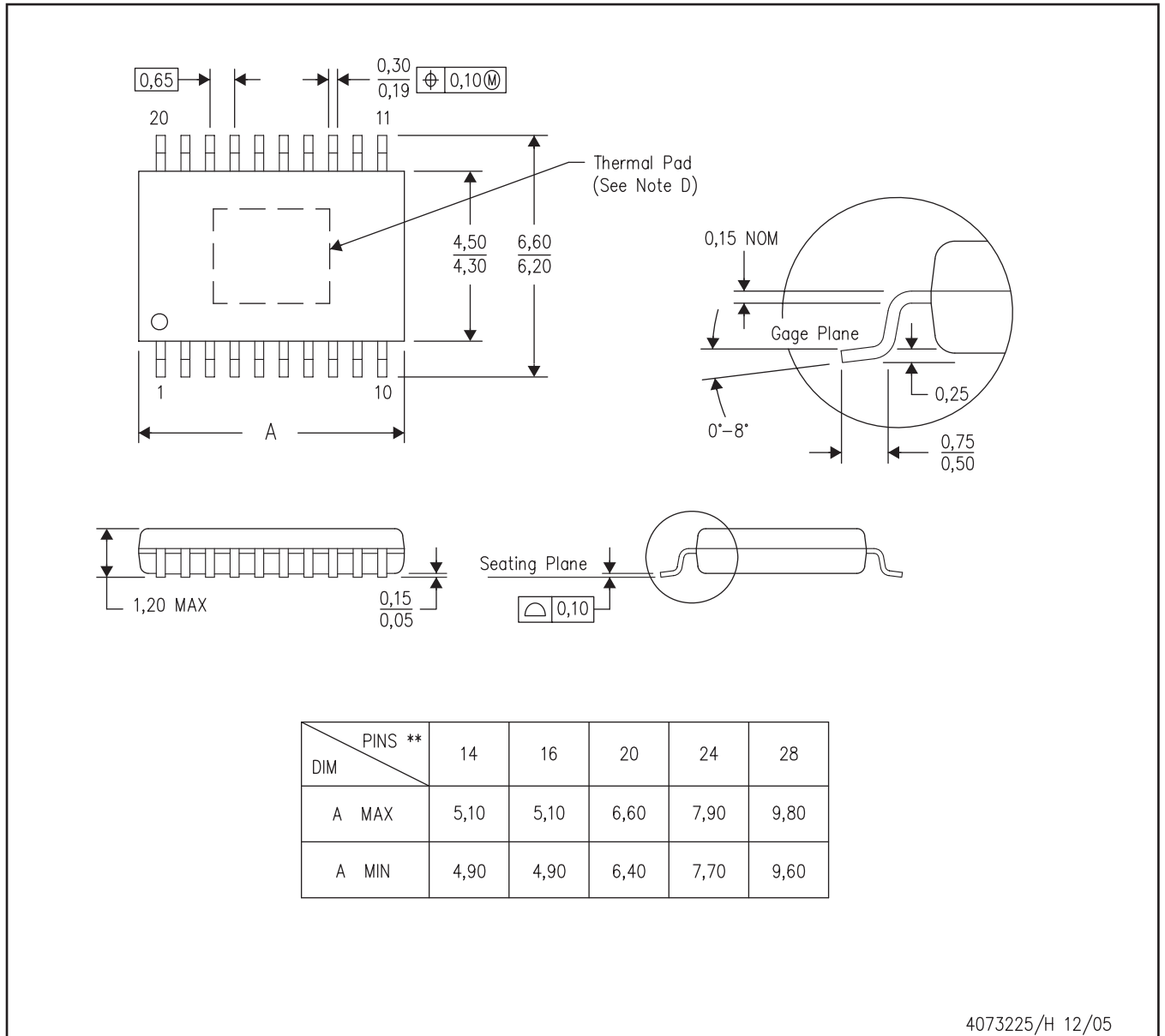
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54326PWPR	HTSSOP	PWP	14	2000	346.0	346.0	29.0
TPS54326RGTR	QFN	RGT	16	3000	346.0	346.0	29.0
TPS54326RGTT	QFN	RGT	16	250	190.5	212.7	31.8



# メカニカル・データ

PWP(R-PDSO-G\*\*)  
20 PIN SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



4073225/H 12/05

- 注: A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。  
 D. このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。  
 E. JEDEC MO-153に適合しています。

# サーマルパッド・メカニカル・データ

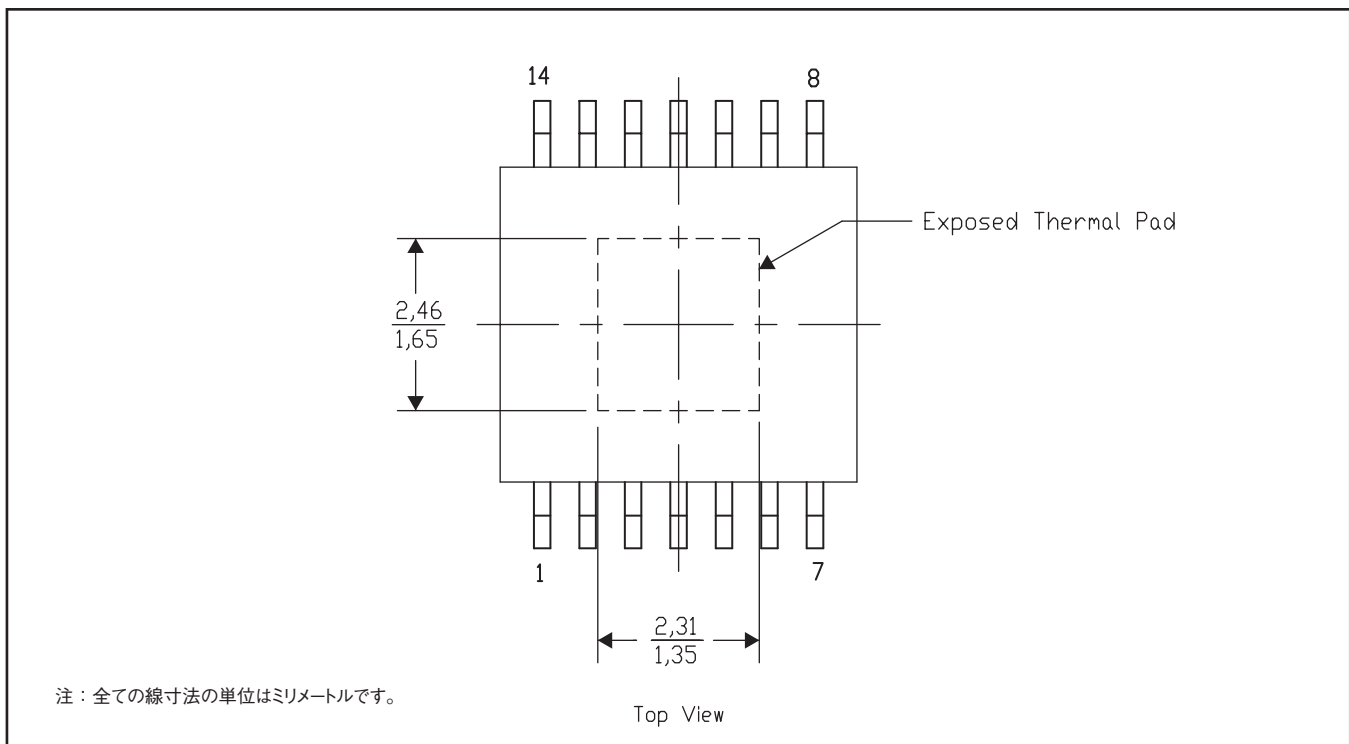
PWP(R-PDSO-G14)

## 熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLMA002を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。

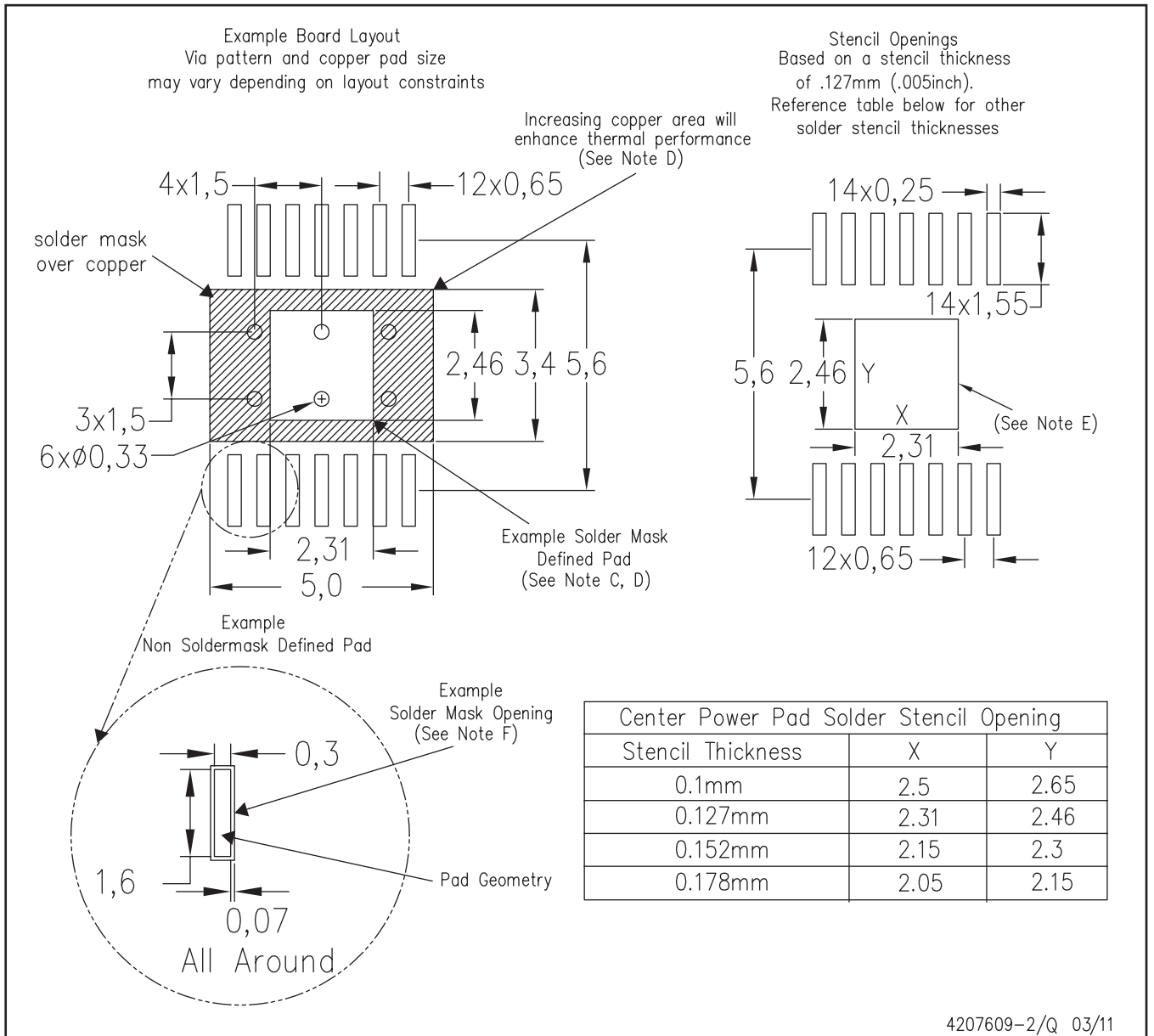


サーマルパッド寸法図

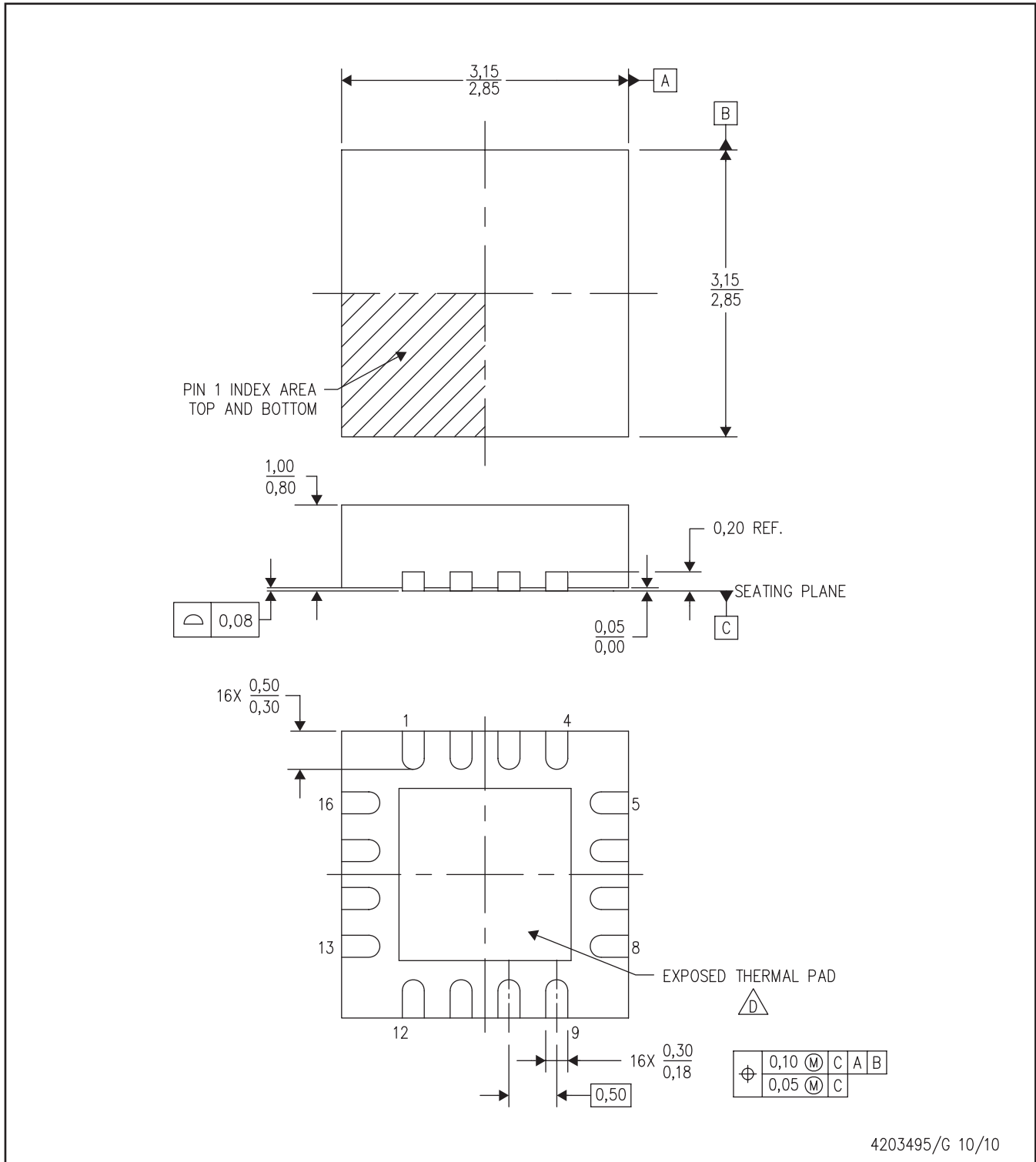
# ランド・パターン

PWP(R-PDSO-G14)

PowerPAD™ PLASTIC SMALL OUTLINE



- 注：A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。  
 D. このパッケージは、基板上的のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。  
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。



4203495/G 10/10

- 注: A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。  
 B. 本図は予告なしに変更することがあります。  
 C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。  
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。  
 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。  
 E. JEDEC MO-220に準拠します。

# サーマルパッド・メカニカル・データ

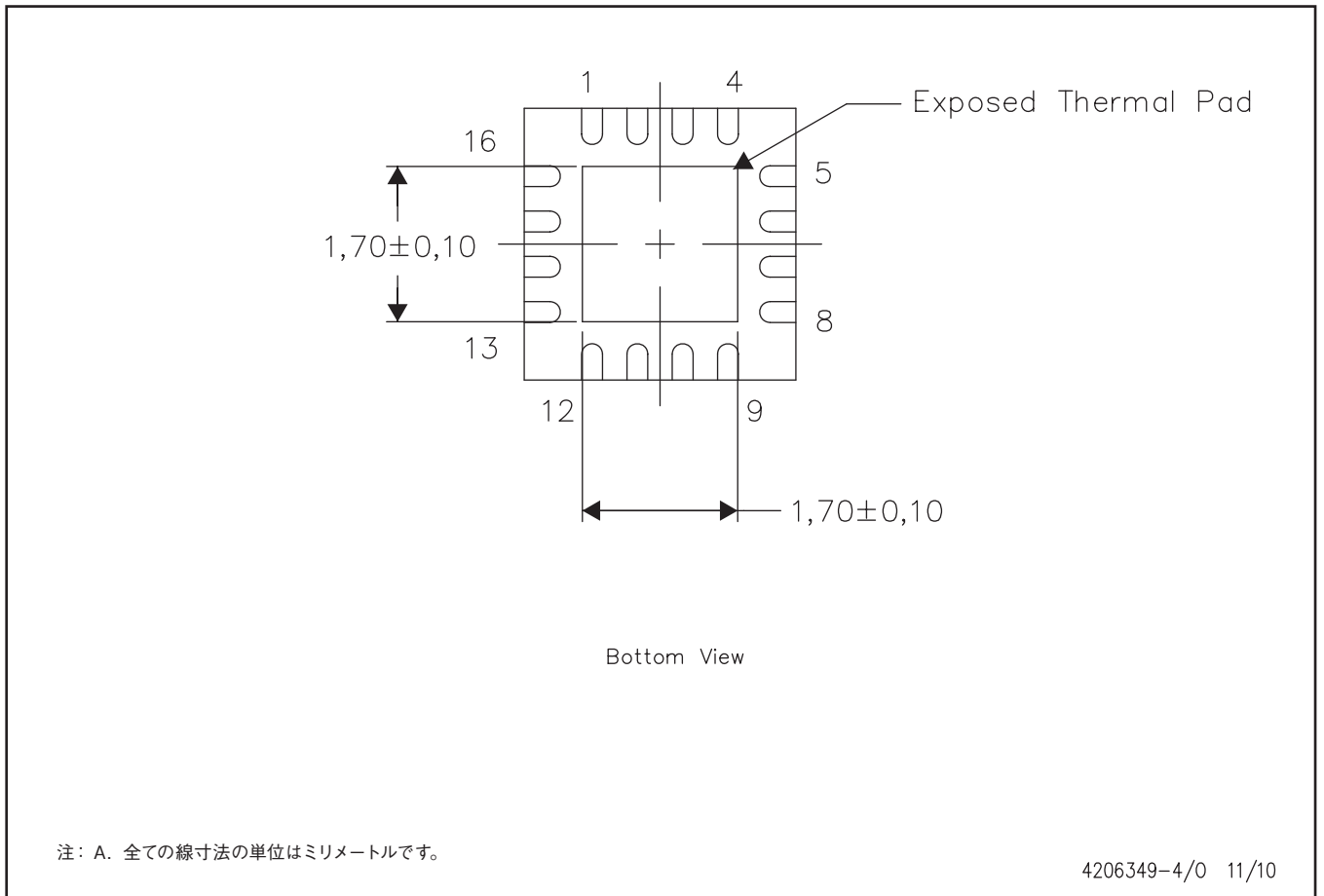
RGT(S-PVQFN-N16)

## 熱的特性に関する資料

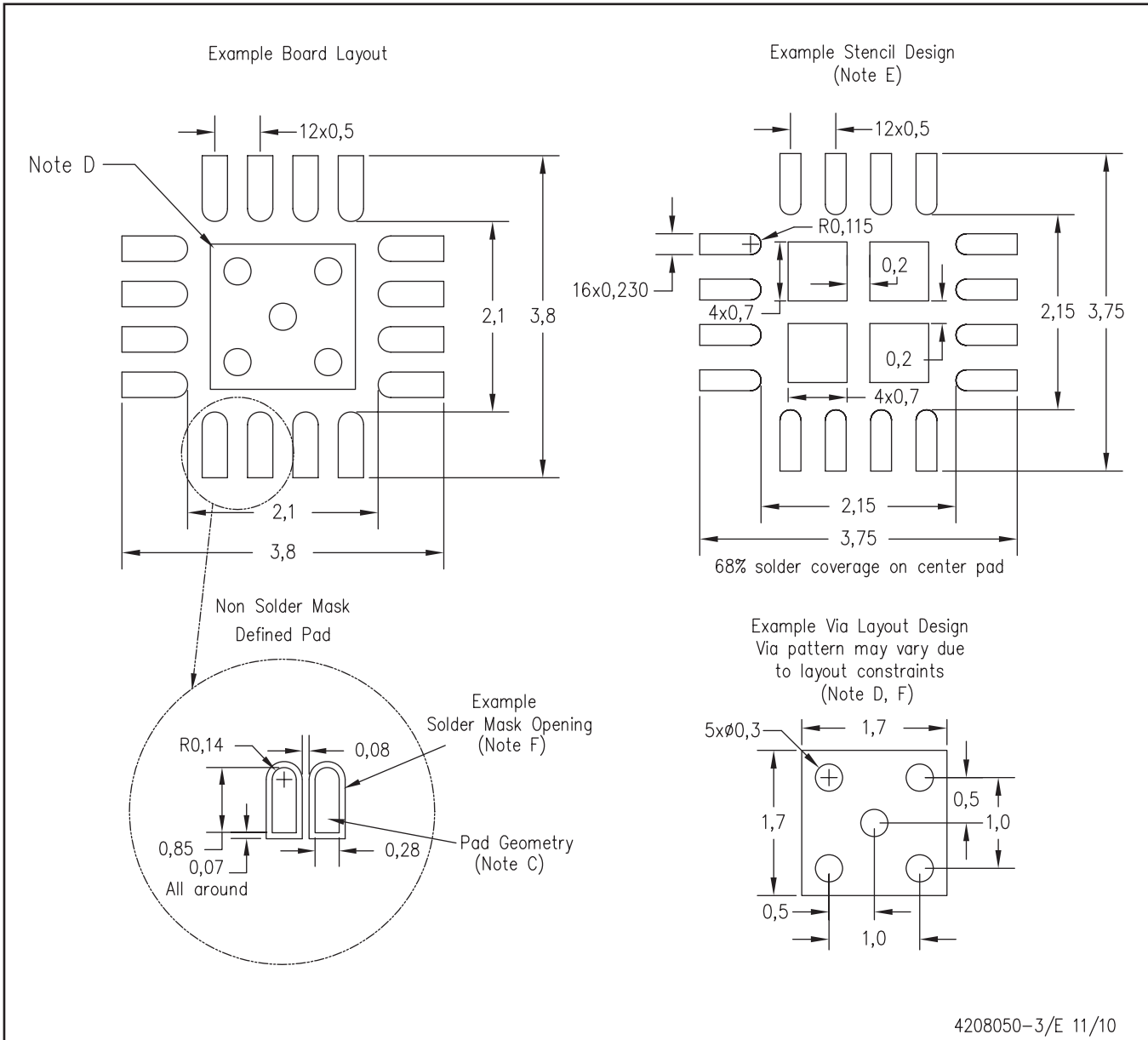
このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



サーマルパッド寸法図



4208050-3/E 11/10

- 注: A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。  
 D. このパッケージは、基板上的のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLUA271)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。  
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。  
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLVSA13D)

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上