

DC-DCコンバータおよび 低ドロップアウト・レギュレータ内蔵、低ノイズ1A電源

特長

- 低ノイズ出力：17 μ V_{RMS} (100Hz～1MHz)
- 広い入力電圧範囲：4.5V～17V
- 高効率：72% (1A、12V入力)
- 優れた負荷/ライン過渡応答
- 外部クロックに同期可能：200kHz～1.2MHz
- 小さなパッケージ：3.5mm×5.5mmのQFN-24

アプリケーション

- 通信インフラ
- ピコセル/フェムトセル基地局
- ノイズに敏感なクロック配信回路への電源供給
- 試験機器、計測機器
- RF部品への電源供給：VCO、レシーバ、ADC
- プロ用オーディオ

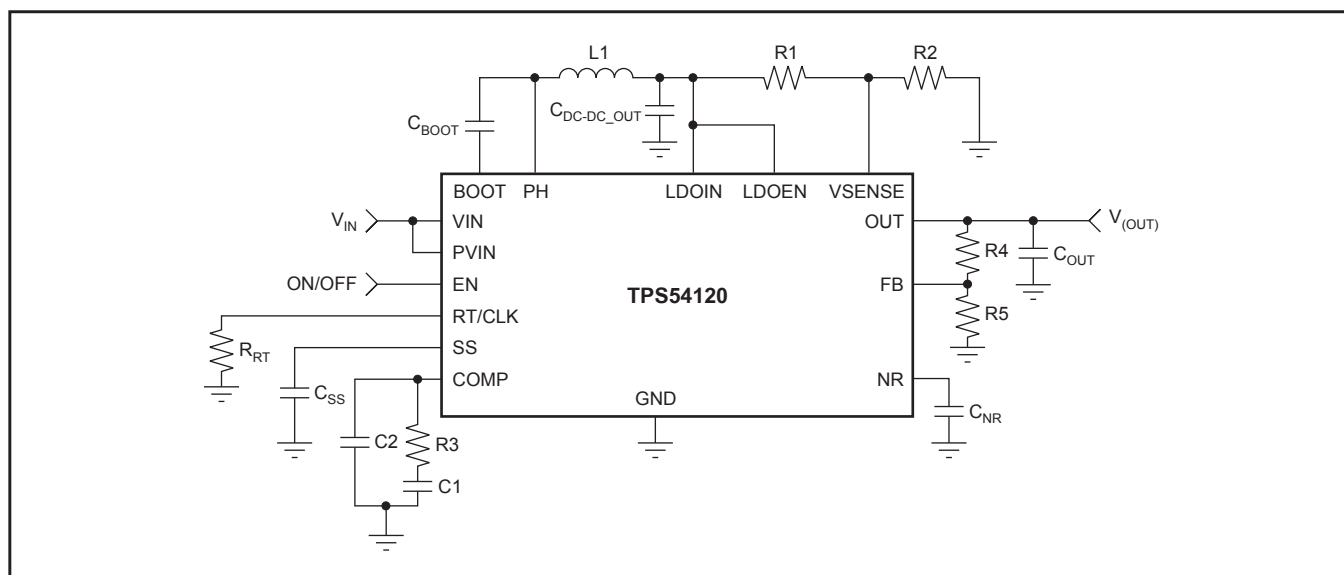
概要

TPS54120は、高効率の降圧型スイッチング(DC/DC)コンバータを、電源除去比(PSR)が高く、低ノイズの低ドロップアウト・レギュレータ(LDO)と組み合わせることで、ノイズに敏感なアプリケーションに対してクリーンな電源レールを提供する超低ノイズ電源を実現します。

TPS54120は、4.5V～17Vと入力電圧範囲が広いため、12Vの電源バスを使用するシステムに最適であり、1Aの連続出力電流をサポートします。出力電圧は、外付け抵抗によって0.8V～6.0Vの範囲で設定できます。DC/DCコンバータとLDOはそれぞれ柔軟な設定が可能であるため、TPS54120は幅広い範囲の低ノイズ・アプリケーションに利用できます。また、ソフトスタート、スイッチング周波数同期、パワー・グッド信号などの機能も搭載しています。

このデバイスは3.5mm×5.5mmの省スペースQFNパッケージで供給され、-40℃～+125℃の接合部温度範囲で仕様が規定されています。

アプリケーション概略図





静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

パッケージ情報⁽¹⁾

製品名	パッケージ・リード	パッケージ・コード	規定接合部 温度範囲
TPS54120	QFN-24	RGY	-40°C ~ +125°C

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、www.ti.comでデバイスの製品フォルダをご覧ください。

絶対最大定格⁽¹⁾

動作温度範囲内 (特に記述のない限り)

		VALUE		単位
		MIN	MAX	
Voltage	VIN, PVIN	-0.3	20	V
	PH	-1	20	V
	PH (10ns transient)	-3	-1	V
	BOOT	-0.3	27	V
	BOOT - PH	0	7	V
	LDOIN, OUT	-0.3	7	V
	LDOEN	-0.3	$V_{LDOIN} + 0.3^{(2)}$	V
	EN, RT/CLK, PWRGD	-0.3	6	V
	VSENSE, COMP, SS	-0.3	3	V
	FB, NR	-0.3	3.6	V
Current	OUT	Internally limited		A
	RT/CLK	±100		μA
	PH	Internally limited		A
	PVIN	Internally limited		A
	COMP	±200		μA
	PWRGD (sinking)	-0.1	5	mA
Temperature	Operating junction, T _J	-40	+150	°C
	Storage, T _{stg}	-55	+150	°C
Electrostatic discharge ratings	Human body model (HBM)	2		kV
	Charged device model (CDM)	500		V

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) V_{EN}の絶対最大定格は、(V_{LDOIN} + 0.3V)または+7.0Vのうち、いずれか小さい方の値です。

熱情報

熱特性 ⁽¹⁾		TPS54120	単位
		RGY (QFN)	
		24 PINS	
θ _{JA}	Junction-to-ambient thermal resistance	45.1	°C/W
θ _{JC(top)}	Junction-to-case(top) thermal resistance	48.2	
θ _{JB}	Junction-to-board thermal resistance	22.0	
ψ _{JT}	Junction-to-top characterization parameter	2.1	
ψ _{JB}	Junction-to-board characterization parameter	21.9	
θ _{JC(bottom)}	Junction-to-case(bottom) thermal resistance	8.6	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート「IC Package Thermal Metrics」(SPRA953)を参照してください。

電気的特性⁽¹⁾

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{(PVIN)} = V_{(VIN)} = 12\text{V}$ 、 $V_{(LDOIN)} = \text{DC-DC_OUT}^{(1)} = 4.1\text{V}$ 、 $V_{(OUT)} = 3.3\text{V}$ 、 $I_{(OUT)} = 10\text{mA}$ 、 $V_{(EN)} = \text{フローティング}$ 、 $C_{(OUT)} = 100\mu\text{F}$ (特に記述のない限り)

パラメータ	テスト条件	TPS54120			単位		
		最小	標準	最大			
POWER SUPPLY (VIN AND PVIN PINS)							
$V_{(PVIN)}$	PVIN pin input voltage range	1.6		17	V		
$V_{(VIN)}$	VIN pin input voltage range	4.5		17	V		
	UVLO threshold		VIN rising	4.0	4.5	V	
	UVLO hysteresis			150		mV	
$I_{SD(VIN)}$	VIN pin shutdown current		$V_{(EN)} = 0\text{ V}$	2	5	μA	
I_{OP}	VIN pin operating current (no switching)		$V_{(VSENSE)} = 810\text{ mV}$	600	800	μA	
DC-DC BOOT (BOOT PIN)							
	$(V_{BOOT} - V_{PH})$ UVLO			2.1	3	V	
DC-DC CONVERTER ENABLE (EN PIN)							
$V_{L(EN)}$	EN pin low-level input voltage	Falling		1.10	1.17	V	
$V_{H(EN)}$	EN pin threshold	Rising		1.21	1.26	V	
$I_{(EN)}$	EN pin input current	$V_{(EN)} = 1.1\text{ V}$		1.15		μA	
	EN pin hysteresis current	$V_{(EN)} = 1.3\text{ V}$		3.4		μA	
DC-DC CONVERTER VOLTAGE REFERENCE							
V_{ref}	Reference voltage	$0\text{ A} \leq I_{(OUT)} \leq 1\text{ A}$		0.792	0.800	0.808	V
DC-DC MOSFET							
R_{HS}	High-side switch resistance	$V_{(BOOT)} - V_{(PH)} = 3\text{ V}$		77		$\text{m}\Omega$	
		$V_{(BOOT)} - V_{(PH)} = 6\text{ V}$		57	103	$\text{m}\Omega$	
R_{LS}	Low-side switch resistance	$V_{(VIN)} = 12\text{ V}$		50	87	$\text{m}\Omega$	
DC-DC ERROR AMPLIFIER							
g_M	Error amplifier transconductance	$-2\ \mu\text{A} \leq I_{(COMP)} \leq 2\ \mu\text{A}$, $V_{(COMP)} = 1\text{ V}$		1300		μMho	
	Error amplifier dc gain	$V_{(SENSE)} = 0.8\text{ V}$		1000	3100	V/V	
$I_{(COMP)}$	Error amplifier output current	$V_{(COMP)} = 1\text{ V}$, 100-mV input overdrive		± 110		μA	
	Switching start threshold			0.25		V	
	COMP pin to I_{SWITCH} g_M			12		A/V	
DC-DC CURRENT LIMIT							
$I_{LIM(HS)}$	High-side switch current limit			4.2	6.2	A	
$I_{LIM(LS)}$	Low-side switch current limit	Sourcing		3.8	5.8	A	
		Sinking		1	2.6	A	
	Wait time before triggering protection			512		cycles	
	Wait time before start			16384		cycles	
DC-DC SOFT-START (SS PIN)							
	SS pin charge current			2.3		μA	
	SS pin to VSENSE pin matching	$V_{(SS)} = 0.4\text{ V}$		29	60	mV	
DC-DC POWER GOOD (PWRGD PIN)							
VSENSE pin threshold	VSENSE falling (fault, undervoltage)			$0.91V_{ref}$		V	
	VSENSE rising (good, undervoltage)			$0.94V_{ref}$		V	
	VSENSE rising (fault, overvoltage)			$1.09V_{ref}$		V	
	VSENSE falling (good, overvoltage)			$1.06V_{ref}$		V	
	High-level output leakage current	$V_{(VSENSE)} = V_{ref}$, $V_{(PWRGD)} = 5.5\text{ V}$		30	100	nA	
	Low-level output voltage	$I_{(PWRGD)} = 2\text{ mA}$			0.3	V	
	Minimum VIN voltage for valid output	$V_{(PWRGD)} < 0.5\text{ V}$ at $100\ \mu\text{A}$		0.6	1	V	
	Minimum SS voltage for PWRGD valid			1.2	1.4	V	

(1) DC-DC_OUTは、スイッチングレギュレータのレギュレーション出力電圧を示します (図28を参照)。

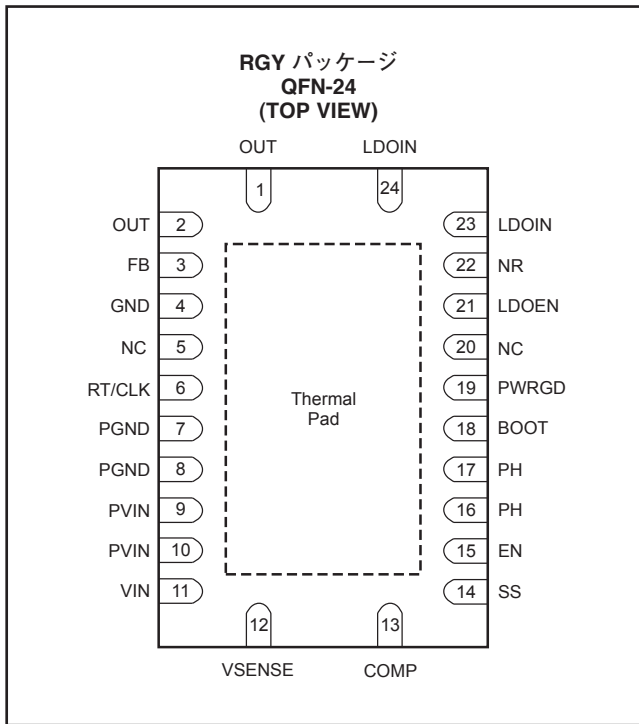
電気的特性⁽¹⁾

$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{(PVIN)} = V_{(VIN)} = 12\text{V}$ 、 $V_{(LDOIN)} = \text{DC-DC_OUT}^{(1)} = 4.1\text{V}$ 、 $V_{(OUT)} = 3.3\text{V}$ 、 $I_{(OUT)} = 10\text{mA}$ 、 $V_{(EN)}$ = フローティング、 $C_{(OUT)} = 100\mu\text{F}$ (特に記述のない限り)

パラメータ	テスト条件	TPS54120			単位
		最小	標準	最大	
LDO					
$V_{(LDOIN)}$	LDO input voltage range	2.2		6.5	V
$V_{(FB)}$	FB pin voltage		0.8		V
$V_{(OUT)}$	OUT pin voltage range	$V_{(FB)}$		6.0	V
	OUT pin voltage accuracy	$I_{(OUT)} \leq 1\text{ A}$, $V_{(OUT_nom)} + 0.5\text{ V} \leq V_{(LDOIN)} \leq 6.5\text{ V}$, $V_{(FB)} \leq V_{(OUT)} < 6.0\text{ V}$	-3.0%	$\pm 0.3\%$	3.0%
$\Delta V_{O(\Delta IL)}$	Load regulation	$100\text{ mA} \leq I_{(OUT)} \leq 1\text{ A}$		5	$\mu\text{V}/\text{mA}$
$\Delta V_{O(\Delta VI)}$	Line regulation	$I_{(OUT)} = 100\text{ mA}$, $V_{(OUT_nom)} + 0.5\text{ V} \leq V_{(LDOIN)}$, $4.5\text{ V} \leq V_{(VIN)} \leq 17\text{ V}$		100	$\mu\text{V}/\text{V}$
V_{DO}	LDO dropout voltage	$I_{(OUT)} \leq 1\text{ A}$, $2.5\text{ V} \leq V_{(LDOIN)} \leq 6.5\text{ V}$, $V_{(FB)} = \text{GND}$		500	mV
I_{LIM}	Output current limit	$V_{(OUT)} = 0.85 \times V_{(OUT_nom)}$	1.1	1.4	2
$I_{(GND)}$	GND pin current	$I_{(OUT)} \leq 1\text{ A}$			350
$I_{L(sd_LDO)}$	Shutdown current ($I_{(GND)}$)	$V_{(EN)} < 0.3\text{ V}$		2	μA
$I_{(FB)}$	FB pin current				1.0
$I_{(LDOEN)}$	LDOEN pin input current	$V_{(EN)} = V_{(LDOIN)}$		20	nA
$V_{IL(LDOEN)}$	LDOEN pin low-level input voltage (disable)			0.4	V
$V_{IH(LDOEN)}$	LDOEN pin high-level input voltage (enable)		1.4		V
DC-DC TIMING RESISTOR AND EXTERNAL CLOCK (RT/CLK PIN)					
	Switching frequency range (RT mode set point and PLL mode)		200		1200
	Minimum switching frequency	$R_{(RT)} = 240\text{ k}\Omega$ (1%)	160	200	240
	Switching frequency	$R_{(RT)} = 100\text{ k}\Omega$ (1%)	400	480	560
	Maximum switching frequency	$R_{(RT)} = 40.2\text{ k}\Omega$ (1%)	1080	1200	1320
	RT/CLK high threshold		2		V
	RT/CLK low threshold			0.8	V
	Minimum pulse width			20	ns
	RT/CLK falling edge to PH rising edge delay	Measure at 500 kHz with RT resistor in series		62	ns
PH PIN					
	minimum on time	Measured at 90% of PH, $T_A = 25^{\circ}\text{C}$, $I_{PH} = 2\text{ A}$		97	ns
	minimum off time	BOOT – PH > 3 V		0	ns
THERMAL SHUTDOWN					
T_{SD}	Thermal shutdown temperature	Shutdown, temperature increasing		+160	$^{\circ}\text{C}$
		Reset, temperature decreasing		+140	$^{\circ}\text{C}$
NOISE					
V_n	Output noise voltage	$BW = 100\text{ Hz to } 100\text{ kHz}$, $C_{(OUT)} = 100\text{ }\mu\text{F}$, $C_{(NR)} = 0.01\text{ }\mu\text{F}$, $C_{(FB)} = 0.01\text{ }\mu\text{F}$, $I_{(OUT)} = 100\text{ mA}$		9	μV_{RMS}
		$BW = 100\text{ Hz to } 1\text{ MHz}$, $C_{(OUT)} = 100\text{ }\mu\text{F}$, $C_{(NR)} = 0.01\text{ }\mu\text{F}$, $C_{(FB)} = 0.01\text{ }\mu\text{F}$, $I_{(OUT)} = 100\text{ mA}$		17	μV_{RMS}
		$BW = 10\text{ Hz to } 1\text{ MHz}$, $C_{(OUT)} = 100\text{ }\mu\text{F}$, $C_{(NR)} = 0.01\text{ }\mu\text{F}$, $C_{(FB)} = 0.01\text{ }\mu\text{F}$, $I_{(OUT)} = 100\text{ mA}$		21	μV_{RMS}
		$BW = 10\text{ Hz to } 10\text{ MHz}$, $C_{(OUT)} = 100\text{ }\mu\text{F}$, $C_{(NR)} = 0.01\text{ }\mu\text{F}$, $C_{(FB)} = 0.01\text{ }\mu\text{F}$, $I_{(OUT)} = 100\text{ mA}$		38	μV_{RMS}

(1) DC-DC_OUTは、スイッチングレギュレータのレギュレーション出力電圧を示します (図28を参照)。

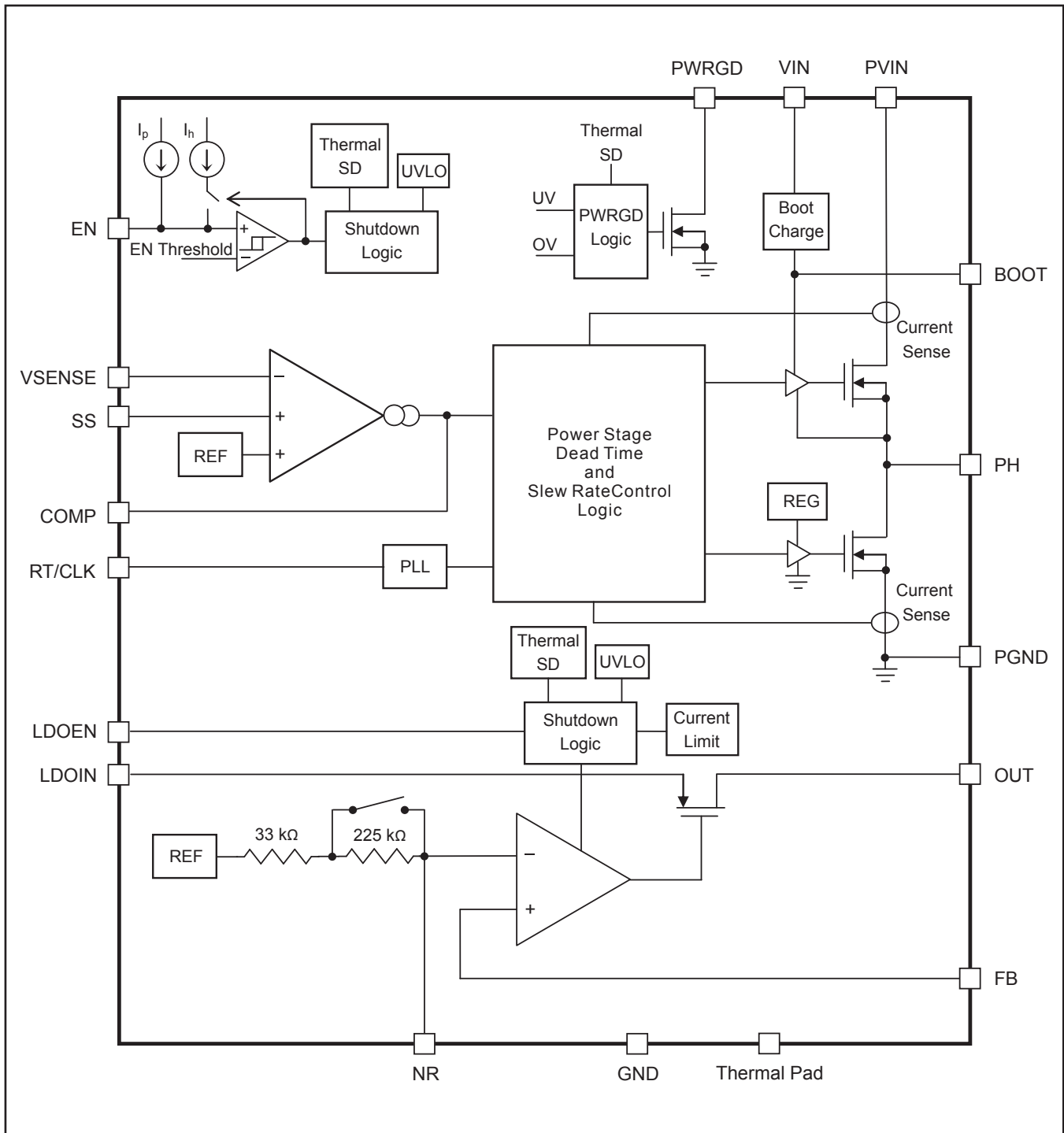
ピン構成



ピン機能

ピン		説明
名前	番号	
BOOT	18	BOOTピンとPHピンの間にブートストラップ・コンデンサが必要です。このコンデンサの電圧が、DC-DCコンバータのハイサイドMOSFETのゲート駆動電圧となります。
COMP	13	DC-DC誤差増幅器の出力、および出力スイッチ電流コンバータの入力。このピンに周波数補償部品を接続します。
EN	15	DC-DCコンバータのイネーブル・ピン(アクティブ・ハイ)。イネーブルにするには、このピンをフローティングにします。2個の抵抗を使用して入力の高電圧誤動作防止を調整します。
FB	3	このピンはLDOの制御ループ誤差増幅器への入力であり、その出力電圧を設定するために使用されます。
GND	4	LDOグラウンド
LDOEN	21	このピンをHighにすると、LDOレギュレータがオンになります。このピンをLowにすると、LDOレギュレータはシャットダウン・モードになります。LDOENピンをフローティングにすることはできません。未使用時はLDOINに接続できます。
LDOIN	23, 24	LDO入力
NC	5, 20	内部接続なし
NR	22	LDOのノイズ低減用ピン。このピンとグラウンドの間に外付けコンデンサを接続すると、出力ノイズが非常に低いレベルまで低減されます。また、LDOのVOUTの上昇が減速されます(RCソフト・スタート)。
OUT	1, 2	LDO出力。安定性確保のため、4.7 μ F以上のコンデンサを接続する必要があります。
PGND	7, 8	DC-DC制御回路用、およびDC-DCコンバータのローサイド・パワー・MOSFET用のリターン端子。
PH	16, 17	DC-DCコンバータのスイッチ・ノード
PVIN	9, 10	DC-DCコンバータの電源入力。DC-DCコンバータのパワー・スイッチに電源を供給します。
PWRGD	19	DC-DCコンバータ出力のパワー・グッド・フォールト・ピン(オープン・ドレイン)。過熱シャットダウン、低電圧、過電圧、ENピン・シャットダウンの発生時、またはDC-DCコンバータのソフト・スタート中に、Lowにアサートされます。
RT/CLK	6	RTモードとCLKモードの間で自動的に切り替わります。外付けタイミング抵抗でデバイスのスイッチング周波数を調整します。CLKモードでは、デバイスが外部クロックに同期されます。
SS	14	DC-DCコンバータのソフト・スタート・ピン。このピンに接続する外付けコンデンサによって、DC-DCコンバータの内部リファレンス電圧の立ち上がり時間が設定されます。このピンの電圧は、DC-DCコンバータの内部リファレンスよりも優先されます。
VIN	11	DC-DCコンバータの制御回路に電源を供給します。
VSENSE	12	DC-DCコンバータの g_m 誤差増幅器の反転入力。
サーマル・パッド		GNDです。最適なノイズ性能を得るには、このサーマル・パッドをLDOのGNDおよび放熱用の大きなグラウンド・パッドに接続する必要があります。

ブロック図



標準的特性

$V_{(PVIN)} = V_{(VIN)} = 12V$, $V_{(LDOIN)} = DC-DC_OUT = 4.1V$, $V_{(OUT)} = 3.3V$, $I_{(OUT)} = 10mA$, $V_{(EN)} =$ フローティング,
 $C_{OUT} = 100\mu F$, $C_{SS} = C_{NR} = 0.01\mu F$ (図28を参照) (特に記述のない限り)

負荷レギュレーション

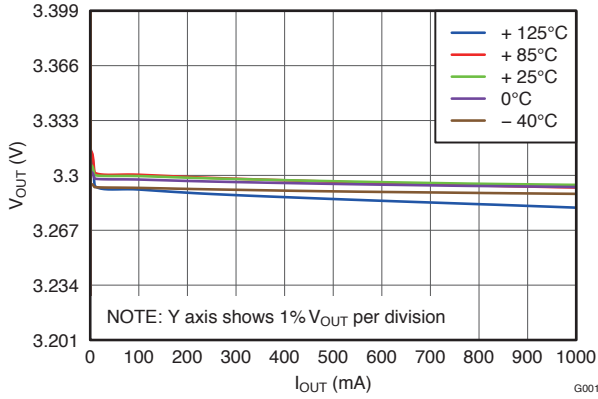


図 1

軽負荷時の負荷レギュレーション

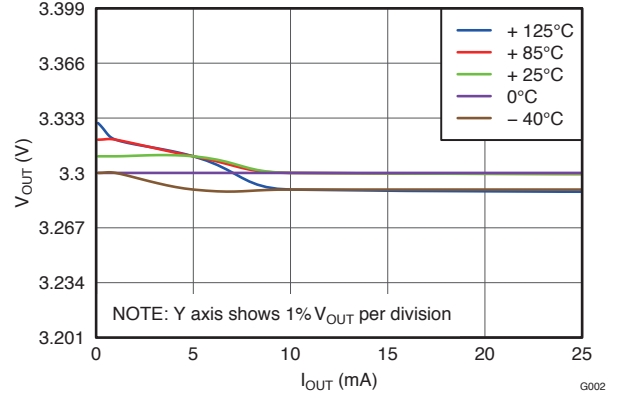


図 2

ラインレギュレーション

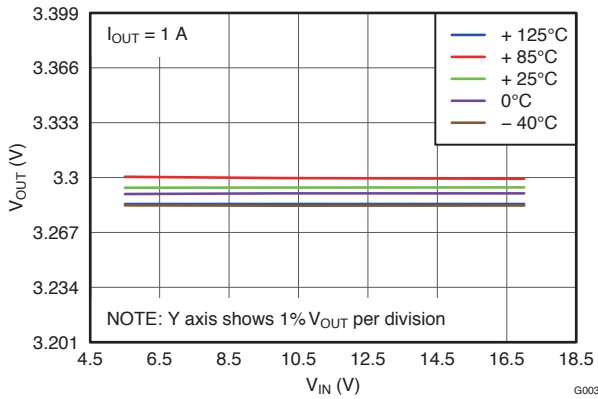


図 3

軽負荷時のラインレギュレーション

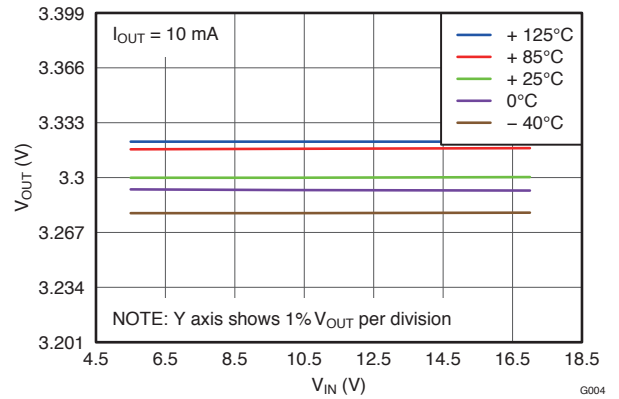


図 4

LDOドロップアウト電圧 対 LDO入力電圧

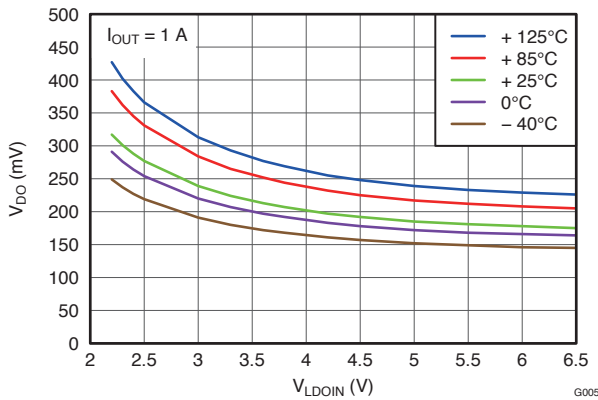


図 5

電源リップル除去比 対 LDOドロップアウト電圧

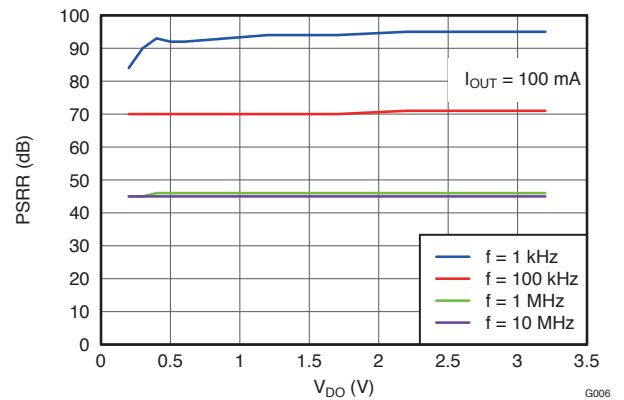


図 6

標準的特性

$V_{(PVIN)} = V_{(VIN)} = 12V$, $V_{(LDOIN)} = DC-DC_OUT = 4.1V$, $V_{(OUT)} = 3.3V$, $I_{(OUT)} = 10mA$, $V_{(EN)} =$ フローティング,
 $C_{OUT} = 100\mu F$, $C_{SS} = C_{NR} = 0.01\mu F$ (図28を参照) (特に記述のない限り)

電源リップル除去比 対 LDOドロップアウト電圧

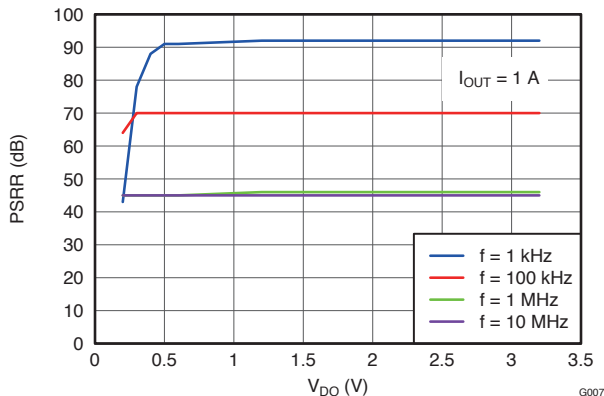


図 7

電源リップル除去比 対 周波数

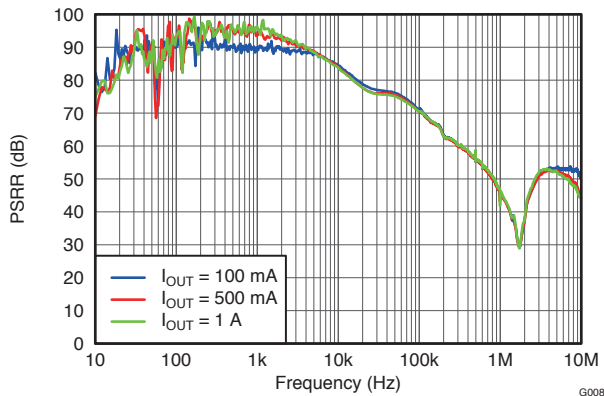


図 8

LDO出力電流制限 対 温度

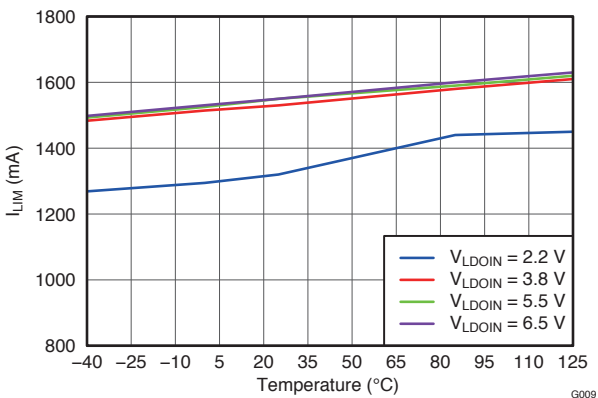


図 9

出力スペクトル・ノイズ密度 対 周波数

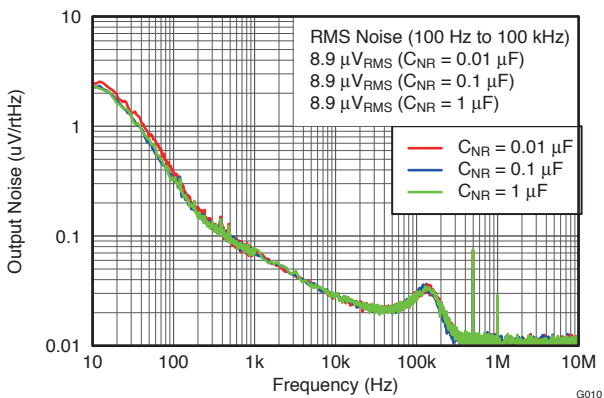


図 10

出力スペクトル・ノイズ密度 対 周波数

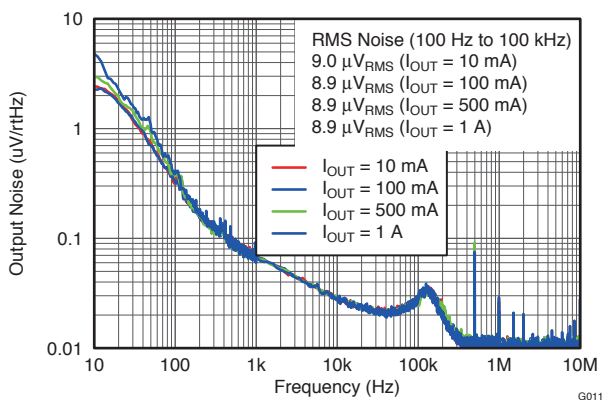


図 11

出力スペクトル・ノイズ密度 対 周波数

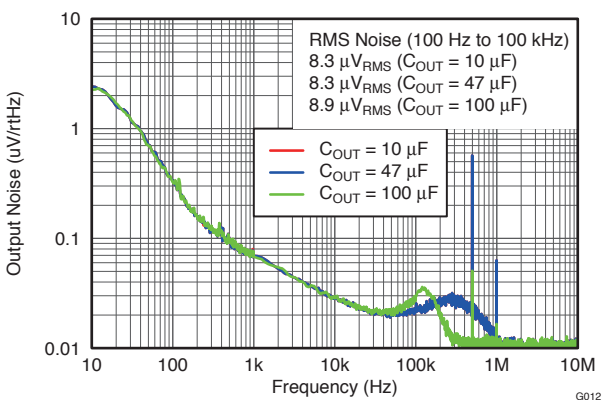


図 12

標準的特性

$V_{(PVIN)} = V_{(VIN)} = 12V$ 、 $V_{(LDOIN)} = DC-DC_OUT = 4.1V$ 、 $V_{(OUT)} = 3.3V$ 、 $I_{(OUT)} = 10mA$ 、 $V_{(EN)} =$ フローティング、 $C_{OUT} = 100\mu F$ 、 $C_{SS} = C_{NR} = 0.01\mu F$ (図28を参照) (特に記述のない限り)

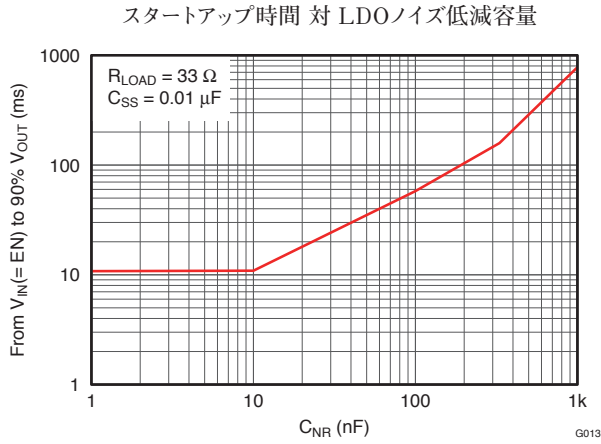


図 13

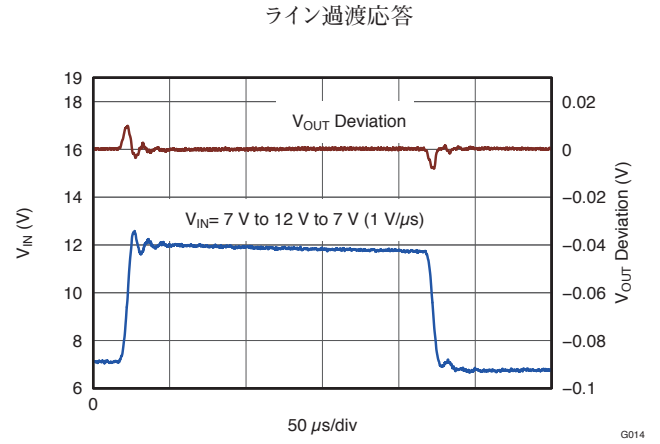


図 14

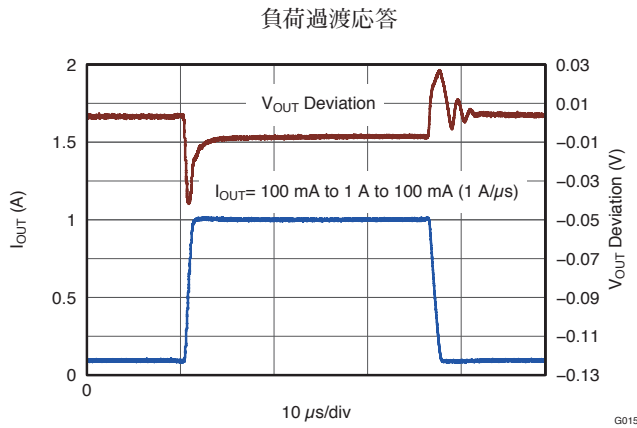


図 15

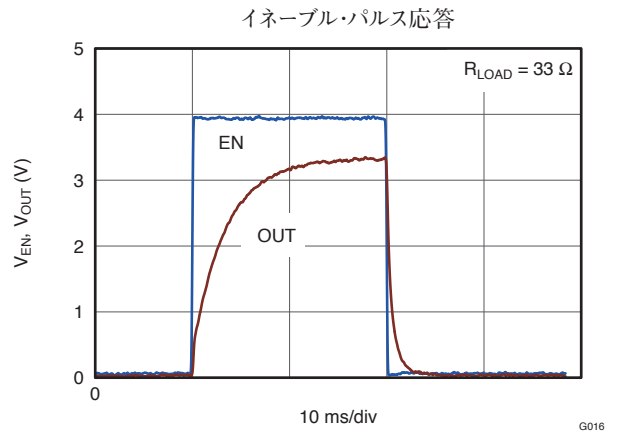


図 16

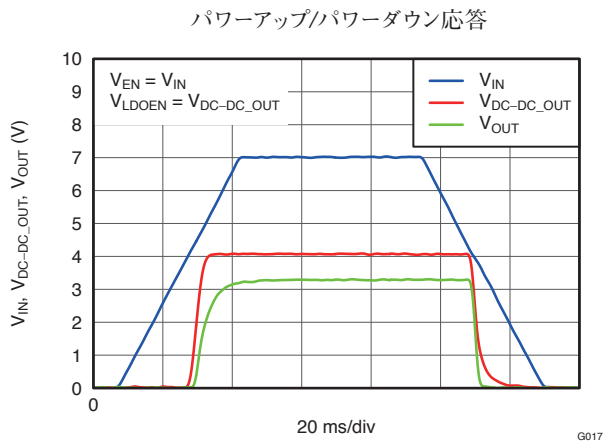


図 17

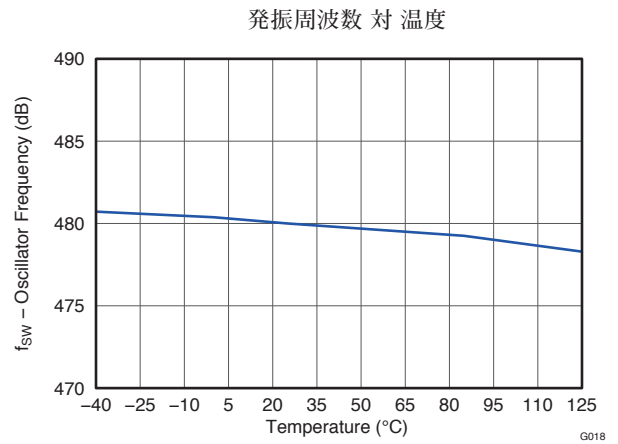


図 18

標準的特性

$V_{(PVIN)} = V_{(VIN)} = 12V$, $V_{(LD0IN)} = DC-DC_OUT = 4.1V$, $V_{(OUT)} = 3.3V$, $I_{(OUT)} = 10mA$, $V_{(EN)} =$ フローティング、 $C_{OUT} = 100\mu F$, $C_{SS} = C_{NR} = 0.01\mu F$ (図28を参照) (特に記述のない限り)

ENピン・ヒステリシス電流 対 温度

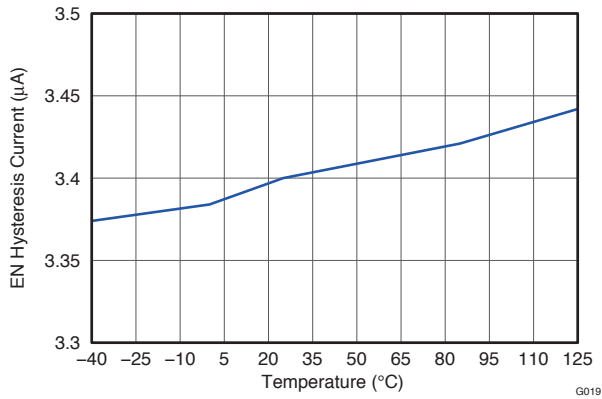


図 19

ENピン・プルアップ電流 対 温度

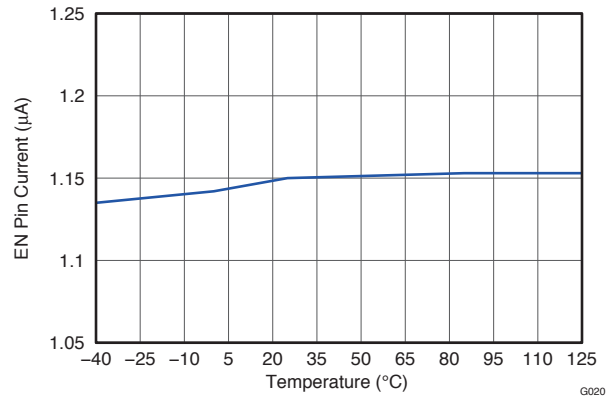


図 20

ENピンUVLOスレッシュホールド 対 温度

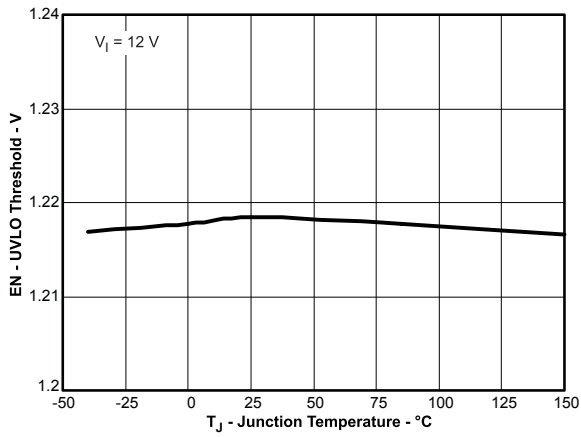


図 21

スロー・スタート充電電流 対 温度

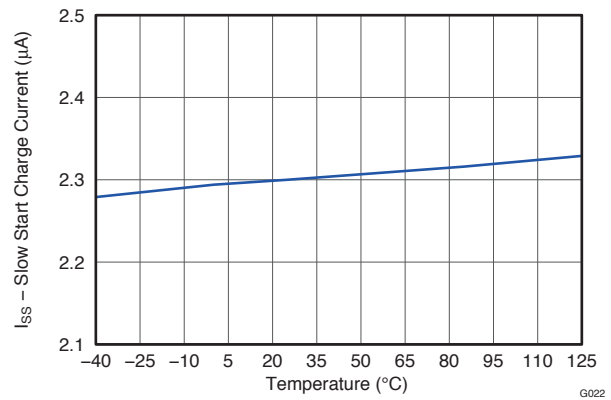


図 22

標準的特性

$V_{(PVIN)} = V_{(VIN)} = 12V$, $V_{(LDOIN)} = DC-DC_OUT = 4.1V$, $V_{(OUT)} = 3.3V$, $I_{(OUT)} = 10mA$, $V_{(EN)} =$ フローティング,
 $C_{OUT} = 100\mu F$, $C_{SS} = C_{NR} = 0.01\mu F$ (図28を参照) (特に記述のない限り)

PWRGDピン・スレッシュホールド 対 温度

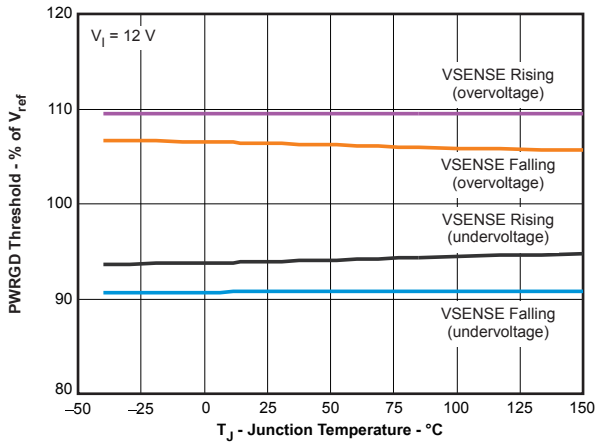


図 23

ハイサイド電流制限 対 温度

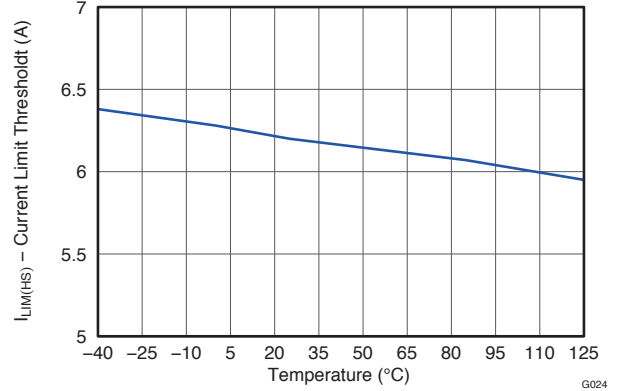


図 24

最小制御可能オン時間 対 温度

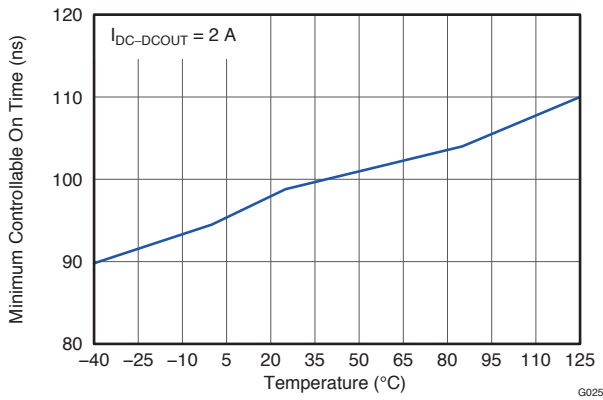


図 25

最小制御可能デューティ比 対 温度

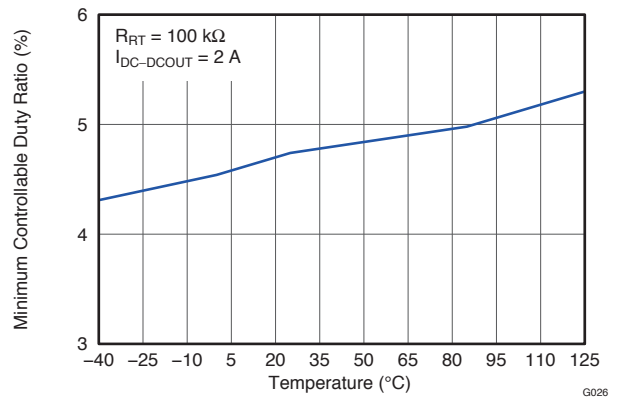


図 26

効率 対 負荷電流

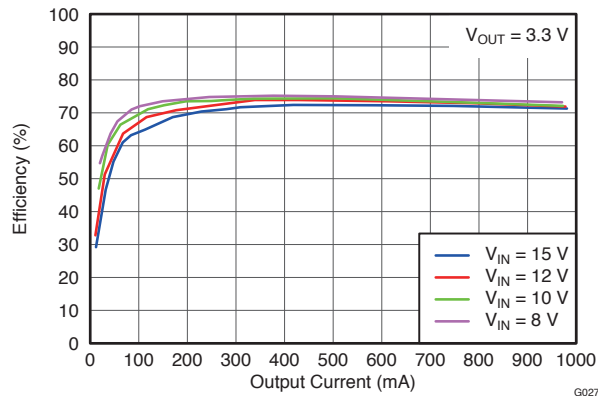


図 27

詳細説明

標準アプリケーション

図28に、TPS54120の標準アプリケーション図を示します。

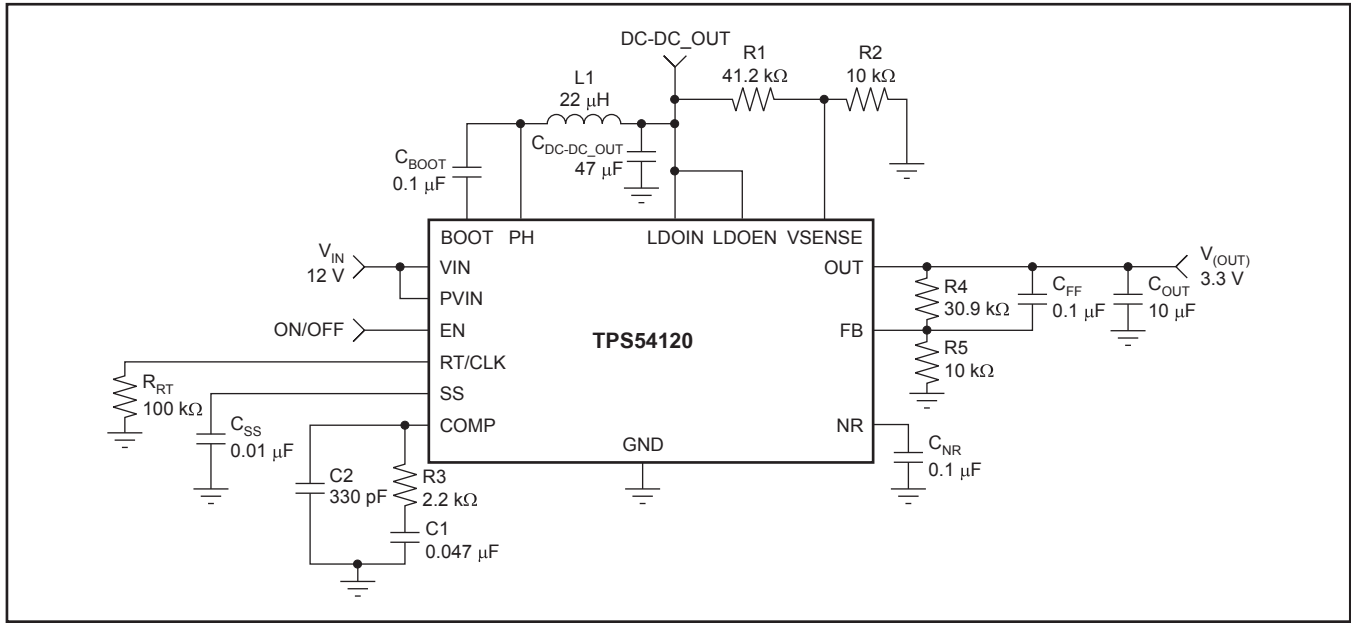


図 28. 標準アプリケーション

概要

TPS54120は、ノイズに敏感な部品に対してクリーンな電源レールを提供する低ノイズ電源です。電流モード制御のDC-DC降圧型(バック)レギュレータと、低ノイズ、広帯域幅の低ドロップアウト(LDO)レギュレータを組み合わせることで、効率が高く安定した低ノイズ電源を実現します。TPS54120は、ノイズ性能の向上に特化した設計により、低ノイズの電源を簡単に構築することができます。ソフト・スタート、クロック同期、パワー・グッド信号などの機能を搭載し、通信、試験・測定、オーディオ機器アプリケーションなどの電源として最適です。内蔵スイッチング・レギュレータとLDOはいずれもきめ細かい設定が可能であり、設計に高い柔軟性をもたらします。さらに、単純化された設計手順によって、特定の要件に合わせたカスタム電源を迅速に開発することが可能です。

入力電圧範囲

VINとパワー-VIN(PVIN)

TPS54120は、VINピンとPVINピンを一緒にまたは別々に使用することで、さまざまなアプリケーションに対応できます。VINピンの電圧は、スイッチング・レギュレータの内部制御回路に電源を供給します。PVINピンの電圧は、スイッチング・レギュレータのパワー・コンバータ・システムに入力電圧を提供します。

これらのピンを互いに接続する場合、VINおよびPVINの入力電圧範囲は4.5V~17Vとなります。VINをPVINと別個に使用する場合、VINピンの範囲は4.5V~17V、PVINピンの範囲は1.6V~17Vとなります。ENピンに接続する分圧回路によって、どちらかの入力電圧のUVLOを適切に調整できます。PVINピンの入力電圧UVLOを調整することで、一貫したパワーアップ動作を実現できます。詳細については、「デバイスのイネーブルと低電圧誤動作防止の調整」を参照してください。

LDO入力電圧 (LDOIN)

TPS54120のLDOに印加できる最小入力電圧は、 $LDOVIN = (V_{OUT} + V_{DO})$ または2.2Vのうちいずれか大きい方です。このピンに対する最大定格電圧は、6.5Vです。このピンは、内蔵スイッチャの出力インダクタに接続されるよう設計されており、GNDピンとの間は1.0μFのセラミック・コンデンサを使用してデカップリングする必要があります。

出力電圧の調整

スイッチャとLDOの出力電圧はいずれも調整可能です。これらの出力電圧は、出力電圧と帰還センス・ピンとの間の分圧抵抗回路によって設定されます。最高の精度を得るには、公差1%以内の分圧抵抗を使用してください。

LDO帰還抵抗の値は、式 (1) で計算できます。

$$V_{(OUT)} = (R_4 + R_5) V_{ref} / R_5 \quad (1)$$

ここで

$$V_{ref} = 0.8V$$

R4 = LDOの出力とFBピンとの間の抵抗

R5 = LDOのFBピンとグラウンドとの間の抵抗

スイッチング・レギュレータ帰還抵抗の値は、式 (2) で計算できます。

$$DC-DC_OUT = (R_1 + R_2) V_{ref} / R_2 \quad (2)$$

ここで

$$V_{ref} = 0.8V$$

R1 = インダクタでのスイッチャ出力とスイッチング・レギュレータのVSENSEピンとの間の抵抗

R2 = スwitchング・レギュレータのVSENSEピンとグラウンドとの間の抵抗

軽負荷時の効率を向上させるには、より大きな値の抵抗の使用を検討します。ただし、値の大きな抵抗を使用すると、VSENSEピンおよびFBピンがノイズの影響を受けやすくなり、VSENSEピンとFBピンの入力電流の誤差が増大する可能性があります。R2とR5に10kΩの抵抗を使用すると、この2つの問題の間で適切なバランスを取ることができます。

電力変換効率と出力ノイズ

TPS54120は、スイッチングレギュレータとそれに続くLDOから構成されています。スイッチングレギュレータで発生したノイズをLDOで除去し、LDOからの出力に現れないようにする能力は、LDOの電源除去比 (PSR) によって決定されます。LDOのPSRは、LDOの入力-出力間の電圧差に依存します。電圧差が大きいほど、LDOが入力でノイズを除去する能力が高くなります。TPS54120のLDOは、最小の入力 - 出力電圧差で高い広帯域幅PSRを実現するよう設計されています。1Aで最高のPSR性能を得るには、入力 - 出力電圧差を0.8V以上に設定する必要があります。

LDO電圧差は、TPS54120全体の電力損失の主要因の1つでもあります。電力損失に対するLDOの入力-出力電圧差の寄与は、式 (3) に示すように、出力電流と入力-出力電圧差の積として定義されます。

$$LDOでの電力損失 = I_{(OUT)} \times (V_{(LDOIN)} - V_{(OUT)}) \quad (3)$$

したがって、1Aで電圧降下が0.8Vの場合、この損失は0.8Wとなります。電力損失の影響は V_{D0} を低くすることで低減できますが、LDOのPSRが影響を受ける可能性があります。「標準的特性」の図6と図7に、各種の出力電流レベルおよび周波数に対するPSRと V_{D0} のトレードオフを示しています。電流が500mA未満の場合、 V_{D0} が0.5Vであれば、PSR性能に大きな影響を与えることなく、 V_{D0} による電力損失が大きく改善されます。

ブートストラップ電圧と低ドロップアウト動作

TPS54120にはブートレギュレータが内蔵され、ハイサイドMOSFETのゲート駆動電圧を提供するために、BOOTピンとPHピンの間に小さなセラミックコンデンサが必要です。このブートコンデンサは、BOOTピンの電圧がVIN未満で、BOOT-PH間電圧がレギュレーションに達していないときに充電されます。セラミックコンデンサの値は、0.1μFとしてください。温度および電圧に対して安定した特性を持つため、X7RまたはX5Rクラスの誘電体を持つ電圧定格10V以上のセラミックコンデンサを推奨します。

ドロップアウトを改善するため、このデバイスは、BOOT-PHピン間の電圧がBOOT-PH UVLOスレッショルド(標準2.1V)を上回っていれば、100%のデューティサイクルで動作するよう設計されています。BOOT-PH間の電圧がBOOT-PH UVLOスレッショルドを下回ると、ハイサイドMOSFETがオフになり、ローサイドMOSFETがオンになってブートコンデンサが再充電されます。分割入力電圧レールを使用するアプリケーションの場合、 $(VIN - PVIN) > 4V$ および $(V_{(BOOT)} - V_{(PH)}) > 2.1V$ (BOOTピンのUVLOスレッショルド)が満たされていれば、100%デューティサイクルの動作を実現できます。

注

TPS54120では、ブートコンデンサと直列にブート抵抗を使用することは避けてください。

出力過電圧保護 (OVP)

TPS54120には、スイッチャ出力のオーバーシュートを最小限に抑える過電圧保護 (OVP) 回路が搭載されています。この回路は、LDOの入力で定格値を超えるオーバーシュートが発生するのも防ぎます。

注意

LDOINピンに絶対最大定格入力電圧を超える電圧が印加された場合、デバイスの損傷につながるおそれがあります。

電源出力が過負荷となった場合、誤差増幅器によって実際の出力電圧が内部リファレンス電圧と比較されます。VSENSEピンの電圧が内部リファレンス電圧よりも一定時間にわたって低くなった場合、誤差増幅器の出力では最大出力電流が必要となります。この状態が解消されると、レギュレータの出力が上昇し、誤差増幅器の出力は定常状態電圧に遷移します。出力容量の小さい一部のアプリケーションでは、DC-DC出力電圧が誤差増幅器よりも高速で応答する場合があります。その場合、スイッチャ出力にオーバーシュートが生じる可能性があります。

OVP機能では、VSENSEピンの電圧をOVPスレッショルドと比較することで、このオーバーシュートを最小限に抑えます。VSENSEピンの電圧がOVPスレッショルドより高い場合は、ハイサイドMOSFETがオフになり、出力に電流が流れるのを防いで、出力オーバーシュートを抑えます。VSENSE電圧がOVPスレッショルドを下回ると、次のクロックサイクルでハイサイドMOSFETがオンになります。

過電流保護

スイッチャの過電流保護

TPS54120の内蔵スイッチャは、ローサイドとハイサイドの両方のMOSFETでサイクル毎に電流を制限することで、過電流状態から保護されます。

ハイサイドMOSFETの過電流保護

ハイサイドMOSFETの過電流保護は、ハイサイドMOSFETの電流をサイクル毎に監視する内部電流コンパレータによって実現されます。この電流が電流制限スレッショルドを超えた場合には、そのスイッチングサイクルの残り時間にわたってハイサイドMOSFETがオフになります。通常動作中は、電流モード制御が適用されます。電流モード制御では、COMPピンの電圧を使用して、ハイサイドMOSFETのオフとローサイドMOSFETのオンをサイクル毎に制御できます。各サイクルで、スイッチ電流が、COMPピン電圧によって生成された電流リファレンスと比較されます。ピークスイッチ電流が電流リファレンスを超えた場合、ハイサイドスイッチがオフになります。

ローサイドMOSFETの過電流保護

ローサイドMOSFETがオンの間、その導通電流が内部回路で監視されます。通常動作中は、ローサイドMOSFETから負荷に電流がソースされます。各クロック・サイクルの終わりに、ローサイドMOSFETのソース電流が、内部で設定されたローサイド・ソース電流制限と比較されます。ローサイド・ソース電流が制限を超えた場合、ハイサイドMOSFETはオンにならず、ローサイドMOSFETは次のサイクルにわたってオンに保持されます。サイクルの開始時にローサイド電流がローサイド・ソース電流制限を下回っている場合、ハイサイドMOSFETが再度オンになります。ローサイドMOSFETは、負荷から電流をシンクすることもできます。ローサイド・シンク電流が制限を超えた場合、ローサイドMOSFETは直ちにオフとなり、そのクロック・サイクルの終わりまでオフに保持されます。この状況では、次のサイクルの開始まで両方のMOSFETがオフとなります。

出力過負荷状態 (COMPピン電圧によって測定) が、電流制限保護モードの待ち時間 (512スイッチング・サイクルに設定) よりも長く続いた場合には、デバイスがシャットダウンされ、電流制限保護モード時間 (16384サイクルに設定) の経過後に再起動されます。電流制限保護モードは、大きな過電流の発生時にデバイスの消費電力を低減するために役立ちます。

LDOの内部電流制限

スイッチャの過電流保護に加えて、TPS54120は内蔵LDOに対する内部電流制限も備えています。LDOの内部電流制限により、異常発生時にLDOを保護することができます。電流制限中、出力からは、出力電圧にほとんど依存しない一定量の電流がソースされます。信頼性の高い動作のためには、デバイスを長時間にわたって電流制限状態で動作させないでください。内蔵LDOのPMOSパス素子には、ボディダイオードが内蔵され、OUTの電圧がLDOINの電圧を上回ったときに電流を流します。この電流は制限されないため、長時間の逆方向電圧動作が予期される場合には、外部での制限が必要になる場合があります。

熱特性について

デバイスの内部保護回路は、過負荷状態に対して保護を行うよう設計されています。ただし、この回路は適切なヒートシンクの代わりとなるよう意図されたものではありません。過熱保護が作動するまで使用し続けると、デバイスの信頼性が低下します。TPS54120ではスイッチャとLDOの両方に対して過熱保護機能が用意され、それぞれ独立して動作します。

スイッチャの過熱保護

スイッチャの接合部温度が標準で+175°Cを超えると、内部の過熱シャットダウン回路によってデバイスのスイッチングが強制的に停止されます。接合部温度が標準で+165°Cを下回ると、デバイスは再度オンになります。

LDOの過熱保護

内蔵LDOの過熱保護機能により、接合部温度が約+160°Cに上昇するとTPS54120の出力がディスエーブルになり、デバイスの温度が下がるまで待ちます。接合部温度が約+140°Cまで低下すると、出力回路がイネーブルになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。これによりレギュレータの消費電力が制限され、過熱による損傷から保護されます。

調整可能なスイッチング周波数および同期 (RT/CLK)

RT/CLKピンを使用して、デバイスのスイッチング周波数をRTとCLKの2つのモードで設定できます。

RTモード

RT/CLKピンとGNDの間に抵抗R(RT)が接続されます。最大240kΩから最小40.2kΩまでの抵抗を使用することにより、デバイスのスイッチング周波数を200kHzから1200kHzまで調整可能です。特定のスイッチング周波数 (f_{SW}) に対するRT抵抗の値を決定するには、式 (4) を用いるか、図29の曲線を使用します。

$$R_{RT} \text{ (k}\Omega\text{)} = 60281 f_{SW}^{-1.033} \text{ (kHz)} \quad (4)$$

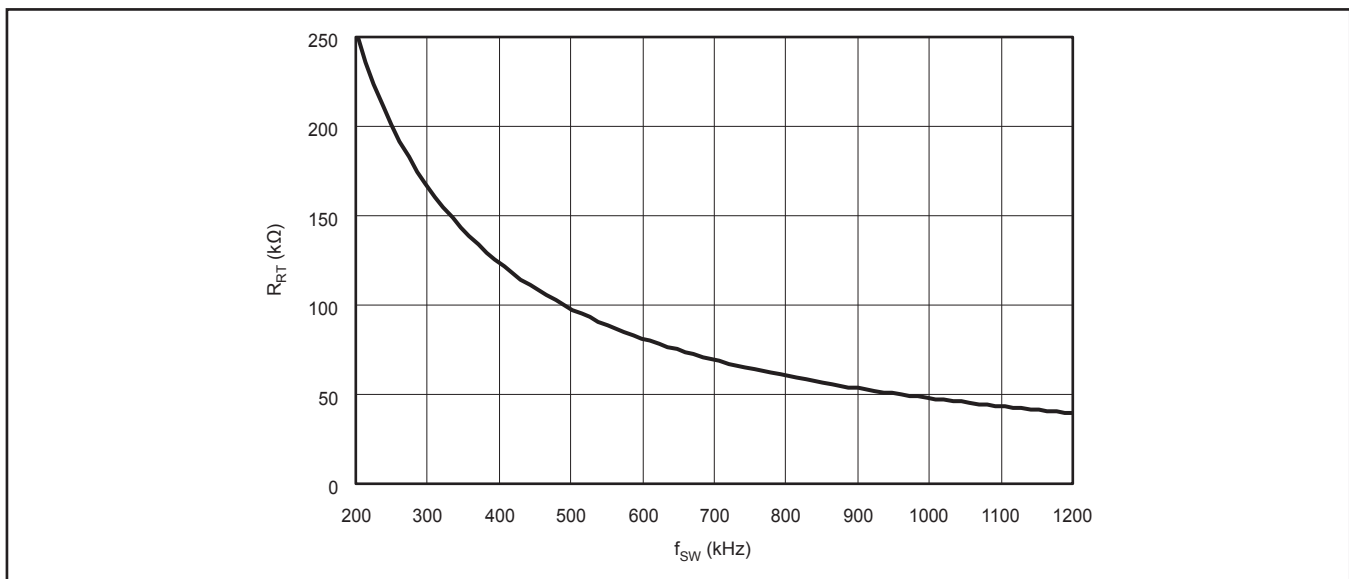


図 29. RT設定抵抗 対 スwitchング周波数

CLKモード

CLKモードでは、外部クロックを直接RT/CLKピンに接続します。デバイスはフェーズ・ロック・ループ(PLL)によって外部クロックに同期されます。CLKモードは、RTモードよりも優先されます。デバイスは、必要なモードを自動的に検出して、RTモードからCLKモードに切り替えることができます。内部のPLLによって、200kHz~1.2MHzでの同期が可能になり、RTモードからCLKモードへと簡単に切り替えることができます。同期機能を実装するには、20%~80%のデューティ・サイクルでRT/CLKピンに方形波クロック信号を接続します。クロック信号の振幅は、0.8Vより低い電圧と2.0Vより高い電圧の間で遷移する必要があります。スイッチング・サイクルの開始は、RT/CLKピン信号の立ち下がりエッジに同期します。RTモードとCLKモードの両方を必要とするアプリケーションの場合は、RT/CLKピンにRT抵抗と外部クロックを同時に接続することができます。外部クロックが供給される前は、デバイスはRTモードで動作し、スイッチング周波数はRT抵抗で設定されます。外部クロックが供給されると、CLKモードがRTモードよりも優先され、RT抵抗は無視されます。SYNCピンが最初にRT/CLKのHighスレッシュホールド(2.0V)を上回ると、デバイスはRTモードからCLKモードに切り替わり、RT/CLKピンはハイ・インピーダンスとなって、外部クロックの周波数へのPLLロックが開始されます。CLKモードから再度RTモードに切り替えることは推奨しません。なぜなら、RT抵抗で設定されたスイッチング周波数に戻る前に、内部のスイッチング周波数がいったん100kHzに降下するためです。

スタートアップ時間

スイッチャのソフト・スタート

スタートアップ・フェーズ中にスイッチャの出力電圧が完全動作レベルまで上昇する際のレートは、SSピンによって制御されます。SSピンとICのグラウンドとの間に、コンデンサ C_{SS} を接続します。このコンデンサの値により、ソフト・スタート上昇時間(t_{SS} 、10%~90%)が式(5)で計算されます。

$$t_{SS} \text{ (ms)} = C_{SS} \text{ (nF)} V_{ref} \text{ (V)} / I_{SS} \text{ (}\mu\text{A)} \quad (5)$$

このデバイスには、外部のソフト・スタート・コンデンサ C_{SS} を充電する $2.3\mu\text{A}$ ($= I_{SS}$)のプルアップ電流源が内蔵されています。このデバイスの電圧リファレンス V_{ref} は0.8Vです。それにより、コンデンサに一定の電流をソースすることで、デバイスはSSピンの電圧を直線的に上昇させます。この電圧は、FBピンの電圧に対応し、したがってスイッチャの出力電圧に対応しています。

入力UVLOが作動するか、ENピンが1.21V未満にプルダウンされるか、または過熱シャットダウン・イベントが発生すると、デバイスはスイッチングを停止し、低電流動作に遷移します。次のパワーアップ時に、シャットダウン条件が解消されている場合、デバイスはSS/TRピンがグラウンドに放電されるまでスイッチングを開始せず、適切なソフト・スタート動作が保証されます。

NRソフト・スタート時間とLDOのスタートアップ

NRコンデンサの主な目的は、LDOバンドギャップからのノイズをフィルタリングして、LDOの出力ノイズを低減することです。ただし、これらのコンデンサは、LDOのスタートアップ時間にも影響

を与えます。TPS54120には、 $C_{(NR)}$ (使用されている場合)を高速に充電するためのクイック・スタート回路が搭載されています。機能ブロック図を参照してください。スタートアップ時には、このクイック・スタート・スイッチは閉じた状態で、バンドギャップ・リファレンスとNRピンとの間の抵抗は33k Ω のみとなっています。デバイスをイネーブルにする何らかの事象が発生すると、約2ms後にクイック・スタート・スイッチが開き、バンドギャップ・リファレンスとNRピンの間の抵抗値が増加して(約250k Ω)、非常に優れたローパス(RC)フィルタを形成します。このローパス・フィルタは、リファレンス電圧に対して大きなノイズ低減を実現します。

多くのアプリケーションでは、突入電流が問題となる場合があります。スタートアップ期間中の33k Ω の抵抗は、リファレンス電圧の上昇を遅くして突入電流を低減させるために、意図的に追加されています。例えば、33k Ω の抵抗とともに、推奨 $C_{(NR)}$ 値の0.01 μF を接続すると、RC遅延が約1msとなります。他の $C_{(NR)}$ 値を使用した場合のLDOのスタートアップ時間は、図13を用いて決定するか、または式(6)で計算できます。

$$t_{STR}(s) = 76000 \times C_{(NR)} \text{ (F)} \quad (6)$$

ノイズ低減効果は0.01 μF でほぼ飽和しますが、0.01 μF より大きな $C_{(NR)}$ 値を接続すると、さらにわずかにノイズを低減できる場合があります。ただし、クイック・スタート・スイッチは約2ms後に開くため、スタートアップ時間が長くなる可能性があります。つまり、CNRがこの2msの期間で完全に充電されなかった場合、C(NR)はより大きな250k Ω の抵抗を通して充電を完了させるため、完全な充電までずっと長い時間がかかります。低リークのC(NR)を使用してください。ほとんどのセラミック・コンデンサが適しています。

パワー・グッド(PWRGD)

PWRGDピンは、オープン・ドレイン出力です。VSENSEピンが内部電圧リファレンスの94%~106%になると、PWRGDピンのプルダウンが解除されてフローティングになります。5.5V以下の電圧源に対して10k Ω ~100k Ω のプルアップ抵抗を使用することを推奨します。VIN入力電圧が1Vを超えると、PWRGDは、電流シンク能力は低いですが有効となります。VIN入力電圧が4.5Vを超えると、PWRGDピンの電流シンク能力は最大になります。

VSENSEが公称入力リファレンス電圧の91%を下回るか、または109%を上回ると、PWRGDピンはLowになります。入力UVLOまたは過熱シャットダウンがアサートされた場合、またはENピンがLowになるかSS/TRピンが1.2V(標準)を下回った場合にも、PWRGDはLowになります。

デバイスのイネーブルと低電圧誤動作防止の調整

スイッチャのイネーブルと低電圧誤動作防止

ENピンを使用してスイッチャをオンまたはオフにできます。ENピンの電圧がスレッショルド電圧を超えると、デバイスが動作を開始します。ENピンの電圧がスレッショルド電圧を下回った場合、レギュレータはスイッチングを停止し、低I_Q状態になります。

ENピンには内部プルアップ電流源があり、ENピンをフローティングにしてもデバイスをイネーブルにできます。アプリケーションでENピンの制御が必要な場合は、ENピンとのインターフェイスにオープン・ドレインまたはオープン・コレクタの出力ロジックを使用します。

TPS54120のVINピンには、内部UVLO回路が実装されています。VINピンの電圧が内部のVIN UVLOスレッショルドを下回ると、デバイスはディスエーブルになります。VINの内部UVLOスレッショルドには、150mVのヒステリシスがあります。

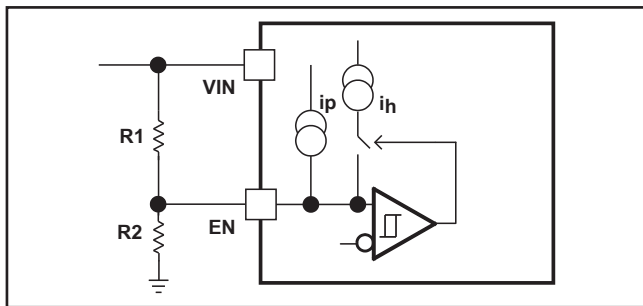


図 30. 調整可能なVIN低電圧誤動作防止

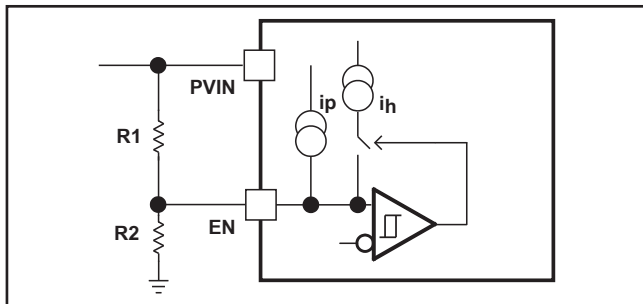


図 31. 調整可能なPVIN低電圧誤動作防止、VIN ≥ 4.5V

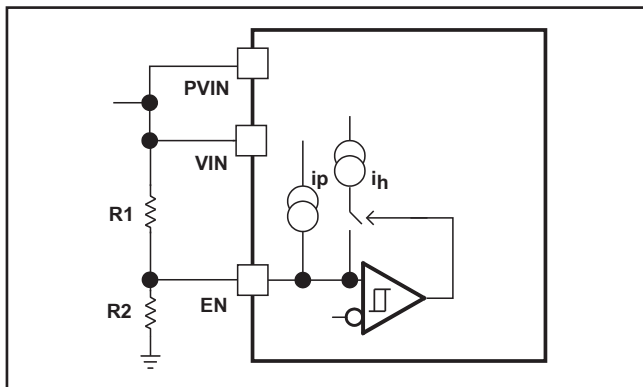


図 32. 調整可能なVINおよびPVIN低電圧誤動作防止

アプリケーションで、より高いUVLOスレッショルドがVINピンに必要な場合、または分割レール・アプリケーションでPVINピンに第2のUVLOが必要である場合には、ENピンを図30、図31、お

よび図32のように構成できます。外部UVLO機能を使用する際には、ヒステリシスを500mV以上に設定することを推奨します。

ENピンでは、小さなプルアップ電流 (I_p) によって、外部部品を接続しないときにピンの状態がイネーブル (デフォルト) に設定されます。また、このプルアップ電流は、ENピンがイネーブル・スレッショルドを通過するとI_hだけ増加するため、UVLO機能の電圧ヒステリシスの制御にも使用されます。UVLOスレッショルドの値は、式 (7) および式 (8) で計算できます。

$$R1 = \frac{V_{START} \left(\frac{V_{ENFALLING}}{V_{ENRISING}} \right) - V_{STOP}}{I_p \left(1 - \frac{V_{ENFALLING}}{V_{ENRISING}} \right) + I_h} \quad (7)$$

$$R2 = \frac{R1 \times V_{ENFALLING}}{V_{STOP} - V_{ENFALLING} + R1(I_p + I_h)} \quad (8)$$

LDOのイネーブルと低電圧誤動作防止

LDOのイネーブル・ピン (LDOEN) は、アクティブ・ハイであり、標準および低電圧のTTL-CMOSレベルと互換性があります。シャットダウン機能が必要な場合、ENをINに接続することができます。

LDOでは固定されたUVLOを使用して、LDOの内部回路が適切に動作するまで出力をオフに保持します。LDO UVLO回路にはデグリッチ機能があり、LDO入力でのアンダーシュートが50μs未満である場合には無視します。

シーケンシング

TPS54120は使いやすいデバイスであり、トラッキングやシーケンシングを必要とするアプリケーションに適しています。デバイスのステータスを示すパワー・グッド機能、スタートアップ中の出力電圧の上昇を制御するソフト・スタート回路、LDOのノイズ低減とスタートアップ時間、LDOとスイッチャの両方のスタートアップを独立して制御するイネーブル機能などが搭載されています。これらの機能のそれぞれが、アプリケーションでのトラッキングやシーケンシングに有用です。アプリケーションでのシーケンシング用にTPS54120を設定する方法の詳細については、アプリケーションレポート『TPS54120 Sequencing and Tracking』(SLVA497)を参照してください。

スイッチャのPWM制御および連続電流モード動作 (CCM)

TPS54120の内蔵スイッチャは、調整可能な固定周波数のピーク電流モード制御を使用します。COMPピンを駆動する誤差増幅器により、出力電圧がVSENSEピンの外付け抵抗を通して内部電圧リファレンスと比較されます。内部発振器によってハイサイド・パワー・スイッチがオンになり、誤差増幅器の出力が電流リファレンスに変換されて、ハイサイド・パワー・スイッチ電流と比較されます。パワー・スイッチ電流が、COMP電圧レベルによって生成された電

流リファレンスの値に達すると、ハイサイド・パワー・スイッチがオフになり、ローサイド・パワー・スイッチがオンになります。このデバイスは、すべての負荷条件で通常は連続導通モード (CCM) で動作します。

ループ応答の小信号モデル

図33に、デバイスの制御ループの等価モデルを示します。このモデルを回路シミュレーション・プログラムで実行することにより、周波数応答と過渡応答をチェックできます。この誤差増幅器は gM が 1300mA/V のトランスコンダクタンス・アンプであり、理想的な電圧制御電流源を使用してモデル化できます。抵抗 R_{oea} ($2.38\text{M}\Omega$) およびコンデンサ C_{oea} (20.7pF) により、誤差増幅器の開ループ・ゲインと周波数応答がモデル化されます。

ノードaとbの間の 1mV のAC電圧源は、周波数応答測定のために制御ループを実質的に分断します。a/cおよびc/bのプロットは、それぞれパワー段および周波数補償の小信号応答を示します。a/bのプロットは、ループ全体の小信号応答を示します。 R_L の代わりに、時間ドメイン分析で適切な負荷ステップ振幅およびステップ・プレートを持つ電流源を使用すれば、動的ループ応答をチェック

できます。TPS54120の小信号モデルと補償の扱いについて詳しくは、アプリケーション・レポート『Understanding Compensation Network for the TPS54120』(SLVA503)を参照してください。

アプリケーション情報

設計方法

TPS54120は、最大 1A の出力電流で $0.8\text{V}\sim 6.0\text{V}$ の低ノイズ出力電圧を提供します。TPS54120を使用した設計作業を単純化するために、図34に示す標準回路図に基づき、一般的なアプリケーションに対する標準設計を表1に示します。TPS54120を使用した設計の詳細については、アプリケーション・レポート『Design Procedure for the TPS54120』(SLVA506)および『TPS54120 Design Tool Calculator』(SLVC411)を参照してください。

TPS54120は、2つの別々の電源レールを提供するようにも構成できます。1つはスイッチング・レギュレータから、もう1つはLDOからの電源レールです。TPS54120でデュアル・レール電源を作成する方法の詳細については、アプリケーション・レポート『Design Guidelines for TPS54120 as a 3-A Switcher and 1-A Switcher Plus LDO』(SLVA502)を参照してください。

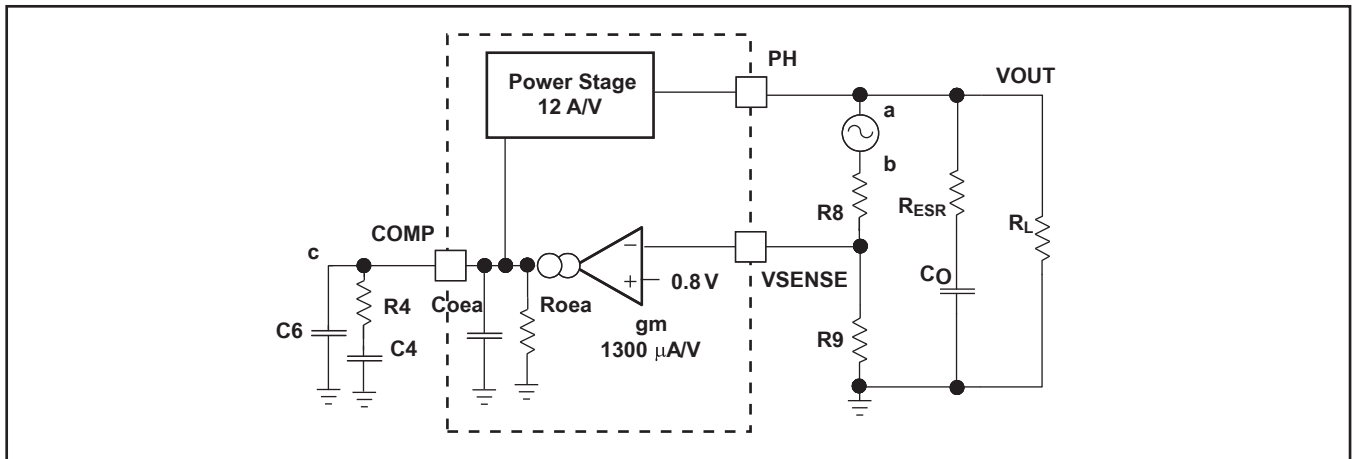


図 33. ループ応答の小信号モデル

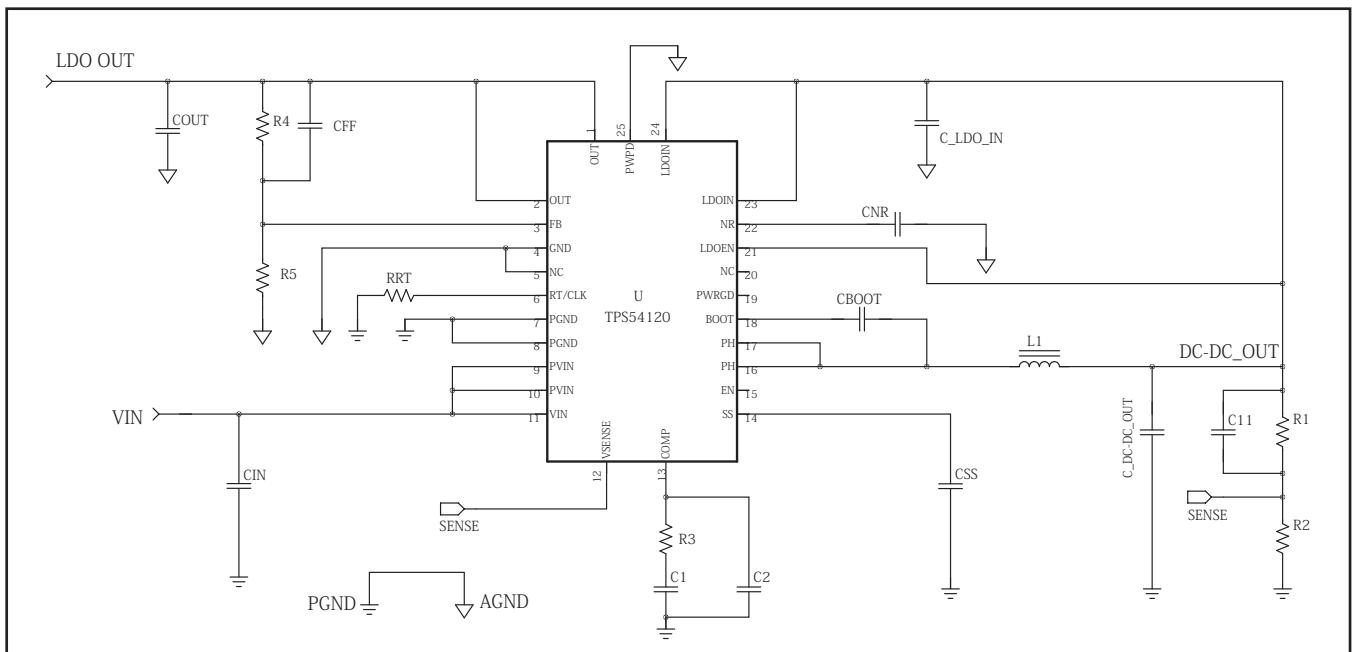


図 34. アプリケーション回路

図34に、TPS54120の標準アプリケーション図を示します。設計プロセスの最初の手順は、レギュレータのスイッチング周波数を選択することです。高いスイッチング周波数では、低周波数でスイッチングする電源と比較して、低い値のインダクタと小さな出力コンデンサを使用した小サイズのソリューションを実現できます。ただし、スイッチング周波数が高いと、スイッチング損失が増加し、コンバータの効率および熱特性に悪影響を与えます。

スイッチング周波数を決定した後は、スイッチャのインダクタと出力コンデンサの値を選択します。この2つの部品の値は互いに関連し合っていて、スイッチャの入力電圧と出力電圧、および電流定格に依存します。また、大きなインダクタ・リップル電流を選択すると、それ以上のリップル電流定格を持つ出力コンデンサが必要となるため、出力コンデンサの選択に影響が及びます。

TPS54120は、各入力電圧レールに4.7 μ Fの高品質セラミック(タイプX5RまたはX7R)入力デカップリング・コンデンサを必要とします。アプリケーションによっては、PVIN入力に追加のバルク容量も必要となる場合があります。入力コンデンサの電圧定格は、最大入力電圧よりも高い必要があります。

TPS54120の内部LDOは、4.7 μ F以上の値を持つ標準的なセラミック出力コンデンサで安定して動作するよう設計されています。ノイズ性能を高めるには、より大きな値のコンデンサを推奨します。

適切な動作のためには、BOOTピンとPHピンの間に0.1 μ Fのセラミック・コンデンサを接続する必要があります。X5R以上の誘電体を持つセラミック・コンデンサの使用を推奨します。コンデンサの電圧定格は10V以上である必要があります。

スイッチャとLDOの出力電圧はいずれも、外部抵抗帰還回路を使用して調整できます。また、LDOとスイッチャはともにソフト・スタート機能を備え、図34に示すようにコンデンサC_{SS}およびC_{NR}を使用して外部で調整できます。

DC-DCレギュレータの補償には業界でいくつかの手法が使用されています。TPS54120に対するさまざまな補償回路の詳細については、アプリケーション・レポートSLVA503を参照してください。

単純化された設計方法

TPS54120は、最大1Aの出力電流で0.8V~6.0Vの低ノイズ出力電圧を実現します。TPS54120を使用した設計作業を単純化するために、一般的なアプリケーションに対する標準設計を表1に示します。セラミック・コンデンサの実際の容量値は、バイアス電圧が増すことによって標準容量値より低下していきます。このため、セラミック・コンデンサを使用した設計での安定動作の解析においては、容量値の適切なデイレージングを考慮することが推奨されます。完全なアプリケーション設計を実施するには、アプリケーション・レポート『Design Procedures for the TPS54120』(SLVA506)を参照してください。

表 1. 単純化された設計表

V _{IN} (V)	DC-DC_ OUT (V)	V _{OUT} (V)	I _{OUT} (最大) (A)	f _{sw} (kHz)	L ₁ (μ H)	C _{DC-DC OUT} (μ F)	R ₁ (k Ω)	R ₂ (k Ω)	R ₃ (k Ω)	R ₄ (k Ω)	R ₅ (k Ω)	R _{RT} (k Ω)	C ₁ (μ F)	C ₂ (pF)	C _{OUT} (μ F)	C ₁₁ (pF)	C _{FF} (μ F)	RMSノイズ 100 Hz~ 100 kHz (100mA時) (μ Vrms)	効率 (%)
5	3	1.8	1.0	480	18	47	27.4	10	1.58	12.4	10	100	0.047	330	100	270	0.1	7.32	56.35
7	2.5	1.8	0.25	300	100	47	21.5	10	0.887	12.4	10	165	0.220	1000	100	499	0.1	7.83	67.35
8	2.5	1.8	1.0	480	15	47	21.5	10	1.33	12.4	10	100	0.047	330	100	330	0.1	7.22	66.25
12	3.7	3.0	1.0	480	20	47	36.5	10	1.96	27.4	10	100	0.047	330	100	200	0.1	8.27	75.42
12	4.1	3.3	0.5	480	43	47	41.2	10	2.2	30.9	10	100	0.100	330	100	180	0.1	8.3	73.38
12	4.1	3.3	1.0	480	22	47	41.2	10	2.2	30.9	10	100	0.047	330	100	180	0.1	7.52	74.67
12	5.5	5.0	1.0	480	27	47	59.0	10	2.94	52.3	10	100	0.047	330	100	120	0.1	10.61	80.95
12	6	5.0	0.5	1000	27	47	64.9	10	7.15	52.3	10	47.5	0.033	33	100	51	0.1	10.71	73.33
12	6	5.5	1.0	480	27	47	64.9	10	3.16	59.0	10	100	0.047	330	100	110	0.1	11.47	83.91
16	6	5.0	1.0	480	27	47	64.9	10	3.16	52.3	10	100	0.047	330	100	110	0.1	10.69	74.59
17	6	5.0	0.2	480	130	47	64.9	10	3.16	52.3	10	100	0.220	330	100	110	0.1	10.81	76.84

PCBレイアウトのガイドライン

パッケージの実装

TPS54120での半田パッドのフットプリントに関する推奨事項については、この製品データシートの巻末、およびwww.ti.comを参照してください。

高PSRおよび低ノイズ性能のための推奨基板レイアウト

プリント基板 (PCB) の適切なレイアウトは、優れた電源設計に不可欠な要素の1つであり、TPS54120の高PSRおよび低ノイズ性能に対しては特に重要です。以下に一般的なガイドラインを示します。詳細については、TPS54120EVMのユーザー・ガイド (SLVU641) を参照してください。

- DC-DCコンバータのインダクタ、ブート・コンデンサ、および出力コンデンサは、基板上的LDO領域へのスイッチング・ノイズの拡散が最小限に抑えられる基板の層 (最下層など) に配置する必要があります。
- ブート・コンデンサおよびインダクタL1は、PHピンのできるだけ近くに接続することで、長いパターンによる寄生インダクタンスを低減します。
- 補償部品、ソフト・スタート・コンデンサ、CLK/RT抵抗、およびDC-DC帰還抵抗は、ノイズの影響を避けるため、高電流グラウンド・プレーンから遮蔽されたパワー・グラウンドに接続する必要があります。この遮蔽は、PGNDピンへのパターンを個別に用意することで実現できます。

- RT/CLKピンはノイズの影響を受けやすいため、RTの抵抗はデバイスにできるだけ近づけて配置し、短い接続で配線する必要があります。
- LDOリファレンスへのノイズの侵入を避けるため、ノイズ低減用コンデンサはデバイスにできるだけ近づけて配置する必要があります。
- 入力と出力のグラウンド・プレーンは互いに分離し、DC-DC出力からLDO入力への電源ループ配線と並行する個別のパターン配線を通して接続する必要があります。
- LDO回路 (電圧設定点分圧回路、LDO入力、出力コンデンサなど) の低ノイズ・アナログ・グラウンドは、パワー・グラウンド・プレーンとは別の幅広いグラウンド・パターンを使用してグラウンドに終端する必要があります。
- LDOの入力コンデンサおよび出力コンデンサは、デバイスにできるだけ近づけて配置する必要があります。
- VINピンおよびPVINピンは、X5RまたはX7R誘電体を使用した低ESRのセラミック・コンデンサを使用してグラウンドにバイパスする必要があります。これらのコンデンサは、VIN、PVIN、およびPGNDピンにできるだけ近づけて配置します。
- 全定格負荷で動作を行うには、上面のグラウンド領域と内部のグラウンド・プレーンが合わせて十分な放熱能力を持つ必要があります。
- 過度の容量性結合を避けるため、PCBの導体プレーンはできる限り小さくする必要があります。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/ Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS54120RGYR	ACTIVE	VQFN	RGY	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS54120RGYT	ACTIVE	VQFN	RGY	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンパ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

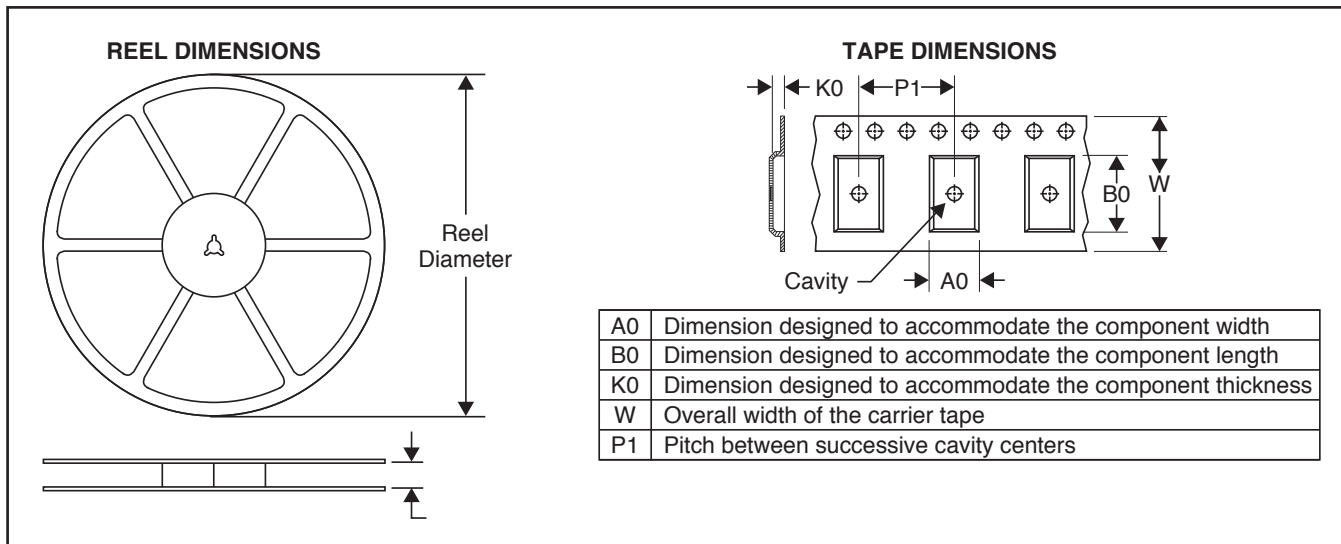
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

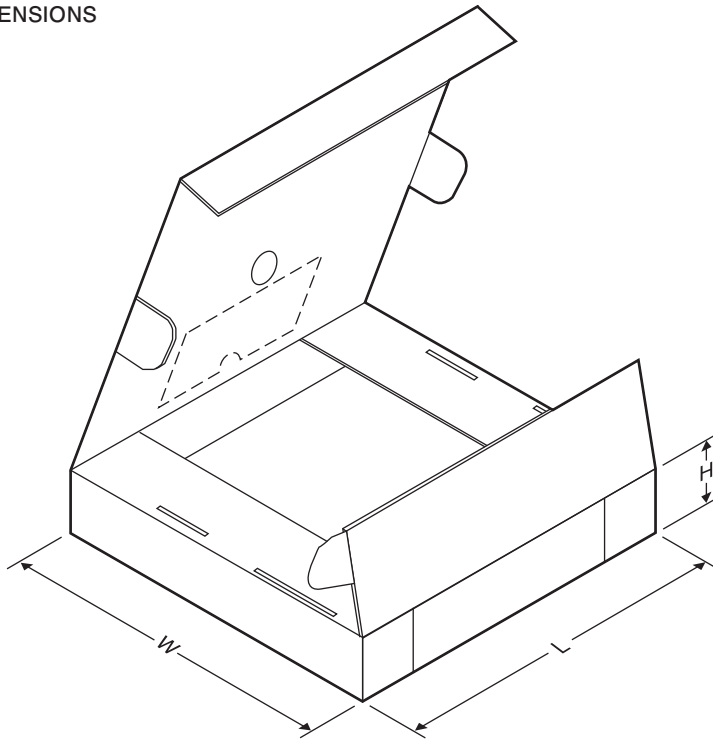


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54120RGYR	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
TPS54120RGYT	VQFN	RGY	24	250	180.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1

パッケージ・材料情報

TAPE AND REEL BOX DIMENSIONS



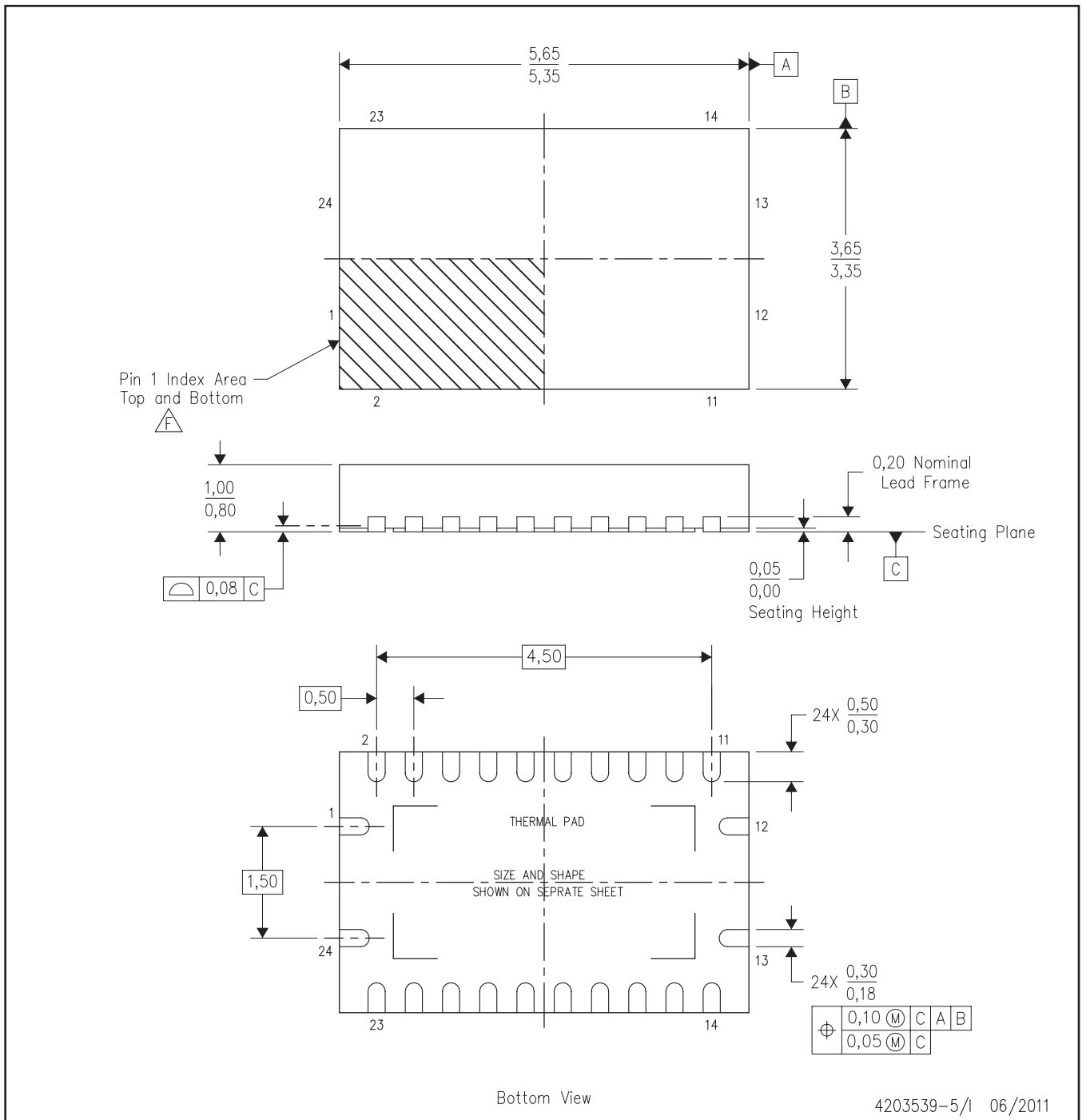
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54120RGYR	VQFN	RGY	24	3000	367.0	367.0	35.0
TPS54120RGYT	VQFN	RGY	24	250	210.0	185.0	35.0

メカニカル・データ

RGY(R-PVQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。

B. 本図は予告なしに変更することがあります。

C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。

D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。

E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。

F. ピン1識別は、パッケージの上下両面の示された領域内にあります。

G. JEDEC MO-241 バージョンBAに適合しています。

サーマルパッド・メカニカル・データ

RGY(R-PVQFN-N24)

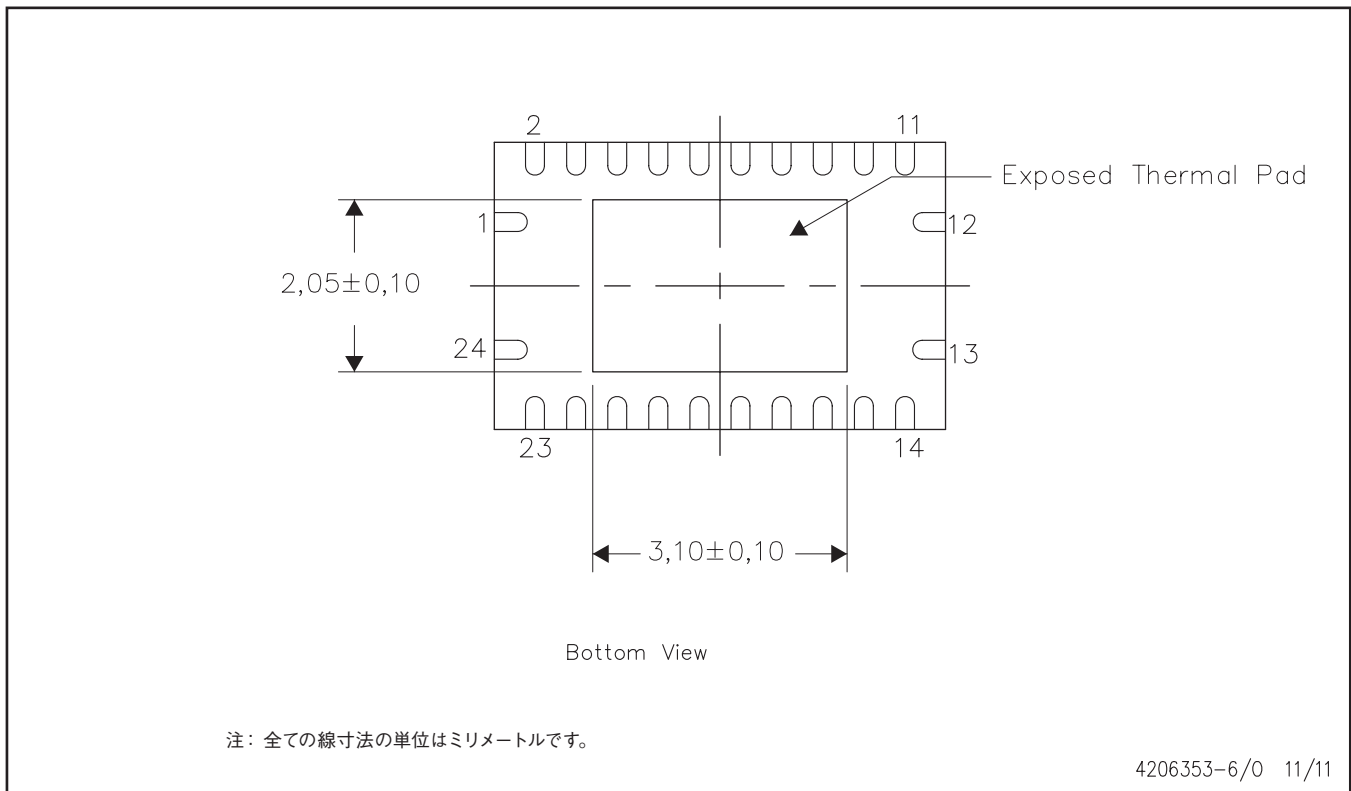
PLASTIC QUAD FLATPACK NO-LEAD

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。

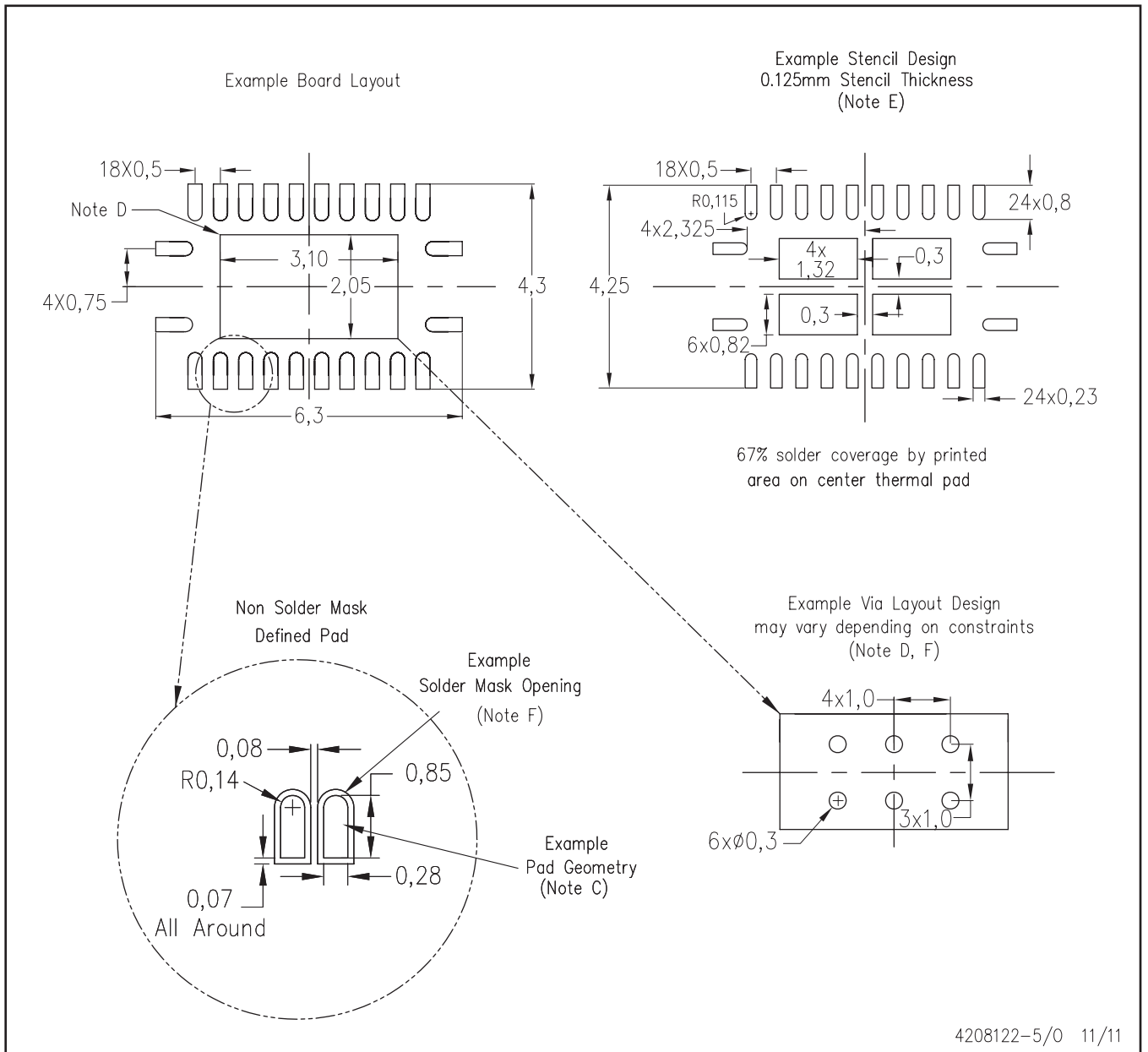


サーマルパッド寸法図

ランド・パターン

RGY(R-PVQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.com <http://www.ti.com> で入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SBVS180C)

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということが明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用を使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上