

TPS22960 低入力電圧、ターンオン制御付きデュアルロードスイッチ

1 特長

- 統合型デュアルロードスイッチ
- 入力電圧範囲: 1.62V~5.5V
- 低いオン抵抗
 - $r_{ON} = 342m\Omega$ ($V_{IN} = 5.5V$ の場合)
 - $r_{ON} = 435m\Omega$ ($V_{IN} = 3.3V$ の場合)
 - $r_{ON} = 523m\Omega$ ($V_{IN} = 2.5V$ の場合)
 - $r_{ON} = 737m\Omega$ ($V_{IN} = 1.8V$ の場合)
- 最大連続スイッチ電流: 500mA
- 低い静止電流とシャットダウン電流
- 制御されたスイッチ出力立ち上がり時間: 75 μ s または 660 μ s
- クイック出力放電トランジスタ内蔵
- JESD 22 準拠で ESD 性能を試験済み
 - 人体モデルで 2000V (A114-B, クラス II)
 - 1000V、デバイス帯電モデル (C101)
- 8ピン SOT (DCN) パッケージ: 3mm × 3mm
- 8ピン UQFN (RSE) パッケージ: 1.5mm × 1.5mm

2 アプリケーション

- GPS デバイス
- 携帯電話 /PDA
- MP3 プレーヤー
- デジタル カメラ

3 概要

TPS22960 は、ターンオン制御機能を搭載した、小型で低オン抵抗 (R_{ON}) のデュアルチャンネルロードスイッチです。このデバイスは、1.62V~5.5V の入力電圧範囲で動作できる P チャンネル MOSFET を 2 個内蔵しています。各スイッチは、低電圧制御信号と直接インターフェイス可能なオン/オフ入力 (ON1 および ON2) により個別に制御されます。TPS22960 では、スイッチをオフにした際に出力を速やかに放電させるための 85 Ω のオンチップ負荷抵抗が追加されています。

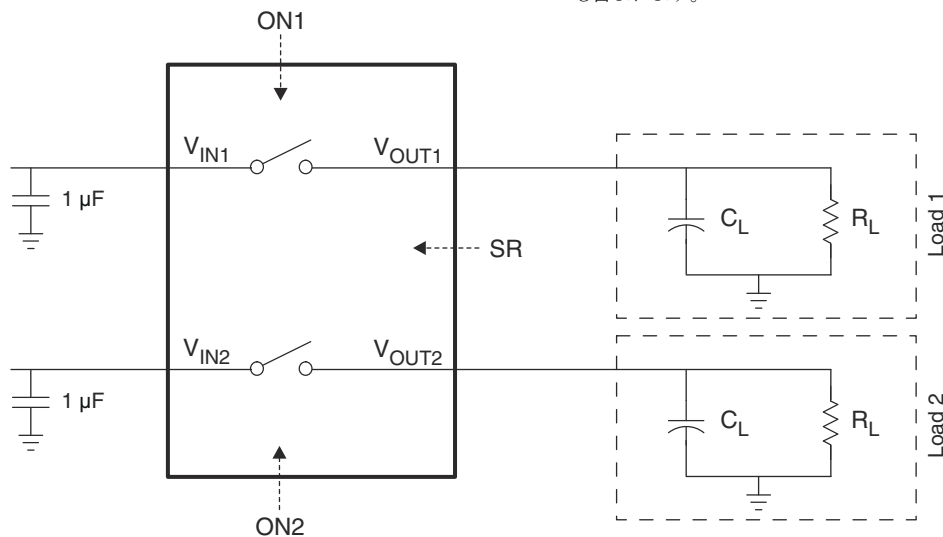
突入電流を避けるためにデバイスの立ち上がり時間 (スルーレート) は内部で制御され、SR ピンを使用して必要に応じて低速化できます。3.3V で動作する TPS22960 は、SR ピンをグラウンドに接続した場合には 660 μ s、SR ピンを High に接続した場合には 75 μ s の立ち上がり時間になります。

TPS22960 は、省スペースの 8 ピン UQFN パッケージおよび 8 ピン SOT パッケージで供給されます。このデバイスは、-40°C~85°C の周囲温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TPS22960	DCN (SOT, 8)	2.90mm × 1.63mm
	RSE (UQFN, 8)	1.50mm × 1.50mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



簡略ブロック図



Table of Contents

1 特長	1	7.3 Feature Description.....	14
2 アプリケーション	1	7.4 Device Functional Modes.....	14
3 概要	1	8 Application and Implementation	15
4 Pin Configuration and Functions	3	8.1 Application Information.....	15
5 Specifications	4	8.2 Typical Application.....	15
5.1 Absolute Maximum Ratings.....	4	8.3 Power Supply Recommendations.....	17
5.2 ESD Ratings.....	4	8.4 Layout.....	17
5.3 Recommended Operating Conditions.....	4	9 Device and Documentation Support	20
5.4 Thermal Information.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	20
5.5 Electrical Characteristics.....	5	9.2 サポート・リソース.....	20
5.6 Switching Characteristics.....	5	9.3 Trademarks.....	20
5.7 Typical DC Characteristics.....	6	9.4 静電気放電に関する注意事項.....	20
5.8 Typical Switching Characteristics.....	7	9.5 用語集.....	20
6 Parameter Measurement Information	12	10 Revision History	20
7 Detailed Description	13	11 Mechanical, Packaging, and Orderable Information	20
7.1 Overview.....	13		
7.2 Functional Block Diagram.....	13		

4 Pin Configuration and Functions

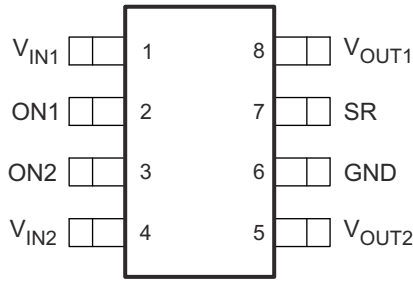


図 4-1. DCN Package, 8-pin SOT (Top View)

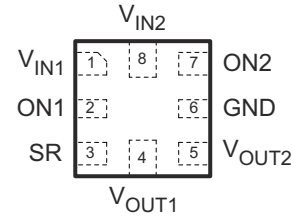


図 4-2. RSE Package, 8-pin UQFN (Top View)

表 4-1. Pin Functions

NAME	PIN		I/O	DESCRIPTION
	SOT	UQFN		
V _{IN1}	1	1	I	Switch 1 input; bypass this input with a ceramic capacitor to GND.
ON1	2	2	I	Switch 1 control input, active high. Do not leave floating.
ON2	3	7	I	Switch 2 control input, active high. Do not leave floating.
V _{IN2}	4	8	I	Switch 2 input; bypass this input with a ceramic capacitor to GND.
V _{OUT2}	5	5	O	Switch 2 output.
GND	6	6	—	Ground.
SR	7	3	I	Slew rate control pin. SR = GND translates into a 75- μ s rise time; SR = high translates into a 660- μ s rise time.
V _{OUT1}	8	4	O	Switch 1 output.

5 Specifications

5.1 Absolute Maximum Ratings

(see ⁽¹⁾)

		MIN	MAX	UNIT
V _{IN}	Input voltage	-0.3	6	V
V _{OUT}	Output voltage		V _{IN} + 0.3	V
V _{ON}	Input voltage	-0.3	6	V
I _{MAX}	Maximum continuous switch current		0.5	A
T _A	Operating free-air temperature	-40	85	°C
T _J	Maximum junction temperature		125	°C
T _{stg}	Storage temperature	-65	150	°C

(1) Stresses beyond those listed under absolute maximum ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	2000
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	1000

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

			MIN	MAX	UNIT
V _{IN}	Input voltage		1.62	5.5	V
V _{OUT}	Output voltage			V _{IN}	V
V _{IH}	High-level input voltage: ON1, ON2, SR	V _{INx} = 3.0 V to 5.5 V	1.5	5.5	V
		V _{INx} = 1.62 V to 3.0 V	1.4	5.5	
V _{IL}	Low-level input voltage: ON1, ON2, SR	V _{INx} = 3.0 V to 5.5 V		0.5	V
		V _{INx} = 1.62 V to 3.0 V		0.4	
C _{IN}	Input capacitor		1 ⁽¹⁾		μF

(1) See [セクション 8.1](#).

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾	DCN (SOT)	RSE (UQFN)	UNIT	
	8 PINS	8 PINS		
R _{θJA}	Junction-to-ambient thermal resistance	254	124	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	122	67	°C/W
R _{θJB}	Junction-to-board thermal resistance	181	31.5	°C/W
ψ _{JT}	Junction-to-top characterization parameter	22	2.9	°C/W
ψ _{JB}	Junction-to-board characterization parameter	178	31.5	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	—	—	°C/W

(1) For more information about traditional and new thermal metrics, see *Semiconductor and IC Package Thermal Metrics* (SPRA953).

5.5 Electrical Characteristics

$V_{IN} = 1.62\text{ V to }5.5\text{ V}$, $T_A = -40^\circ\text{C to }85^\circ\text{C}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS	T_A	MIN	TYP ⁽¹⁾	MAX	UNIT			
I_{IN}	Quiescent current (each switch)	$I_{OUTx} = 0$, $V_{INx} = V_{ON}$	$V_{INx} = 5.5\text{ V}$	Full	0.64	2	μA			
			$V_{INx} = 3.3\text{ V}$	Full	0.35	1.2				
			$V_{INx} = 2.5\text{ V}$	Full	0.24	0.8				
			$V_{INx} = 1.8\text{ V}$	Full	0.15	0.5				
$I_{IN(OFF)}$	OFF-state supply current (each switch)	$V_{ON} = \text{GND}$, $V_{OUTx} = \text{Open}$	$V_{INx} = 5.5\text{ V}$	Full	0.47	3.6	μA			
			$V_{INx} = 3.3\text{ V}$	Full	0.25	1.8				
			$V_{INx} = 2.5\text{ V}$	Full	0.18	1.3				
			$V_{INx} = 1.8\text{ V}$	Full	0.11	1.2				
r_{ON}	ON-state resistance (each switch)	$I_{OUT} = -200\text{ mA}$	$V_{INx} = 5.5\text{ V}$	25°C	342	400	$\text{m}\Omega$			
				Full		465				
			$V_{INx} = 3.3\text{ V}$	25°C	435	500				
				Full		595				
			$V_{INx} = 2.5\text{ V}$	25°C	523	620				
				Full		720				
			$V_{INx} = 1.8\text{ V}$	25°C	737	1100				
				Full		1300				
			$V_{INx} = 1.62\text{ V}$	25°C	848	1300				
				Full		1500				
			r_{PD}	Output pulldown resistance	$V_{IN} = 3.3\text{ V}$, $V_{ON} = 0$, $I_{OUT} = 30\text{ mA}$	25°C		85	120	Ω
			I_{ON}	ON-state input leakage current	$V_{ON} = 1.62\text{ V to }5.5\text{ V or GND}$	Full			0.25	μA

(1) Typical values are at $T_A = 25^\circ\text{C}$.

5.6 Switching Characteristics

$V_{IN} = 3.3\text{ V}$, $T_A = 25^\circ\text{C}$, $R_{L_CHIP} = 85\ \Omega$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
t_{ON}	Turn-ON time	$R_L = 33\ \Omega$, $C_L = 0.1\ \mu\text{F}$	$SR = V_{IN}$		635	μs
			$SR = \text{GND}$		67	
t_{OFF}	Turn-OFF time	$R_L = 33\ \Omega$, $C_L = 0.1\ \mu\text{F}$	$SR = V_{IN}$		4.5	μs
			$SR = \text{GND}$		4.2	
t_r	V_{OUT} rise time	$R_L = 33\ \Omega$, $C_L = 0.1\ \mu\text{F}$	$SR = V_{IN}$		660	μs
			$SR = \text{GND}$		75	
t_f	V_{OUT} fall time	$R_L = 33\ \Omega$, $C_L = 0.1\ \mu\text{F}$	$SR = V_{IN}$		4.5	μs
			$SR = \text{GND}$		4.5	

(1) Typical values are at the specified $V_{IN} = 3.3\text{ V}$ and $T_A = 25^\circ\text{C}$.

5.7 Typical DC Characteristics

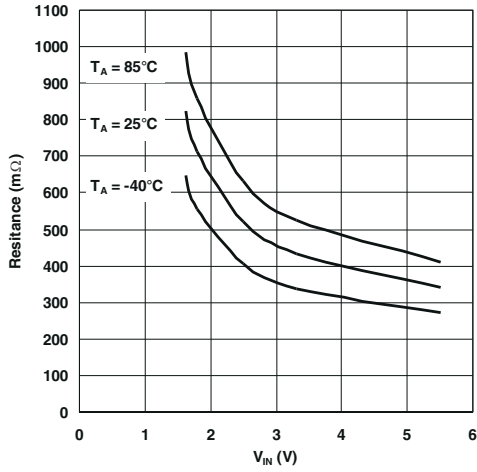


図 5-1. ON Resistance vs Input Voltage

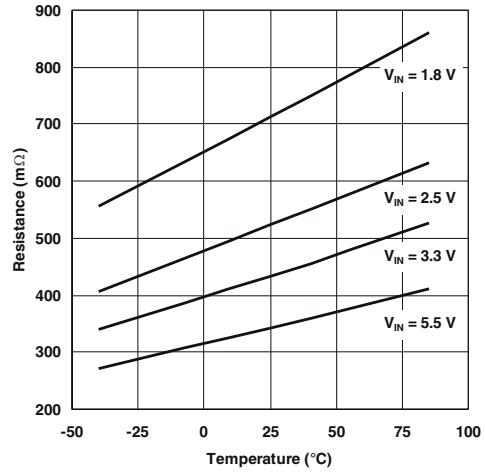


図 5-2. ON Resistance vs Temperature

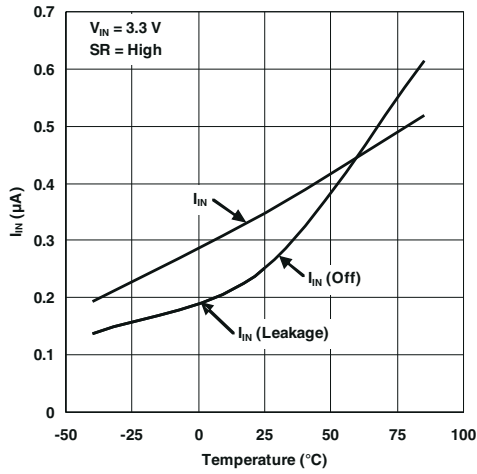


図 5-3. Quiescent Current vs Temperature

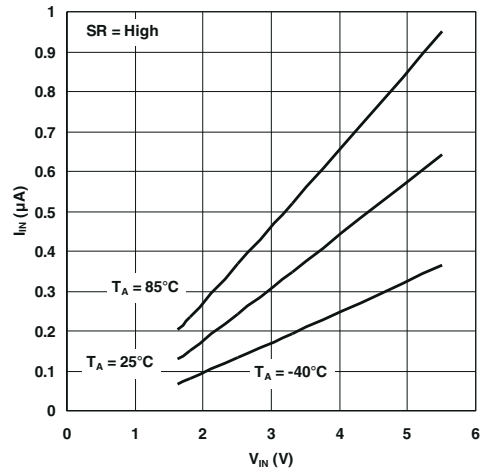


図 5-4. Quiescent Current vs Input Voltage

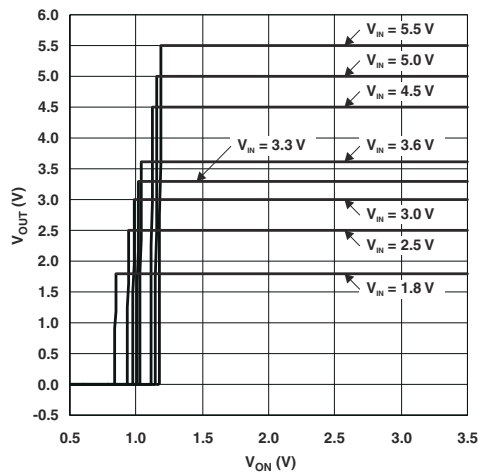


図 5-5. ON Threshold

5.8 Typical Switching Characteristics

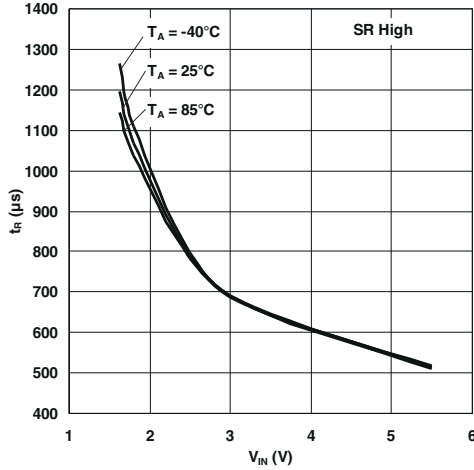


图 5-6. Rise Time vs Input Voltage

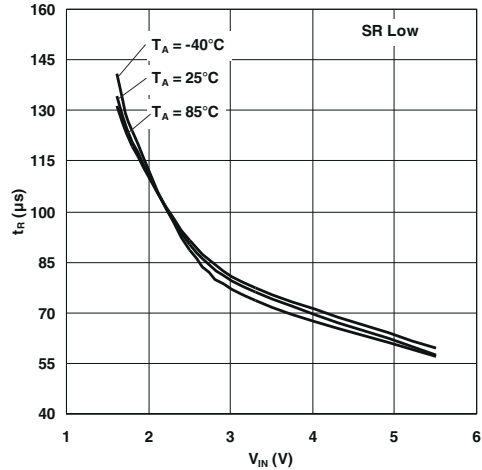


图 5-7. Rise Time vs Input Voltage

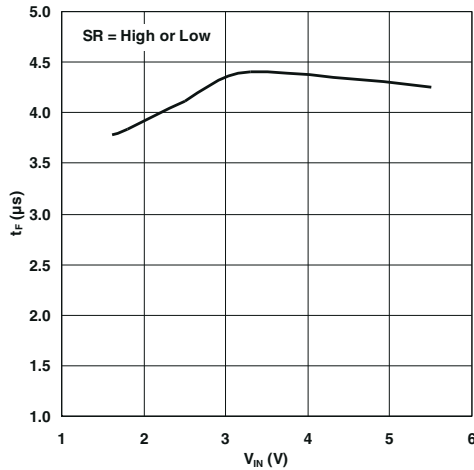


图 5-8. Fall Time vs Input Voltage

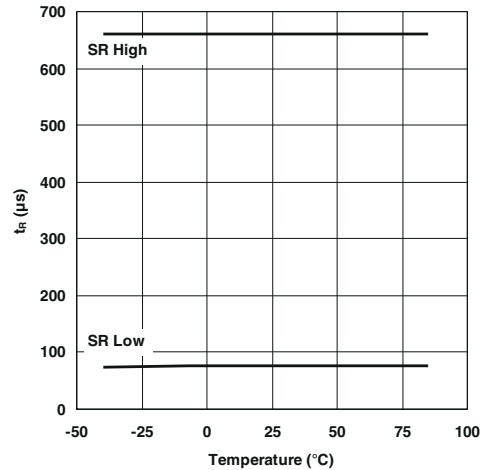


图 5-9. Rise Time vs Temperature

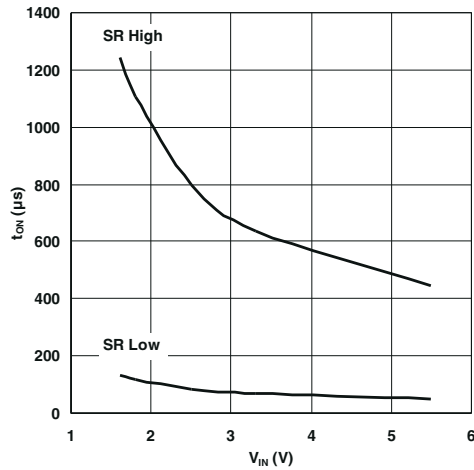


图 5-10. On Time vs Input Voltage

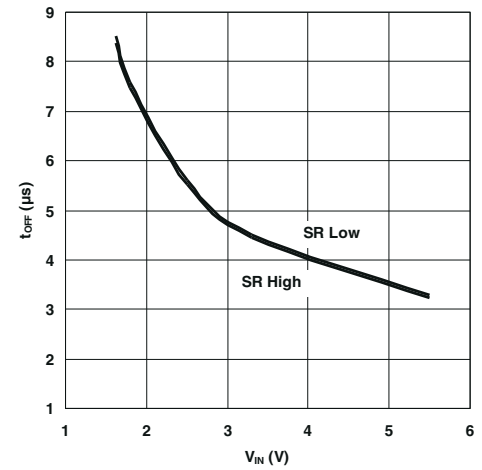
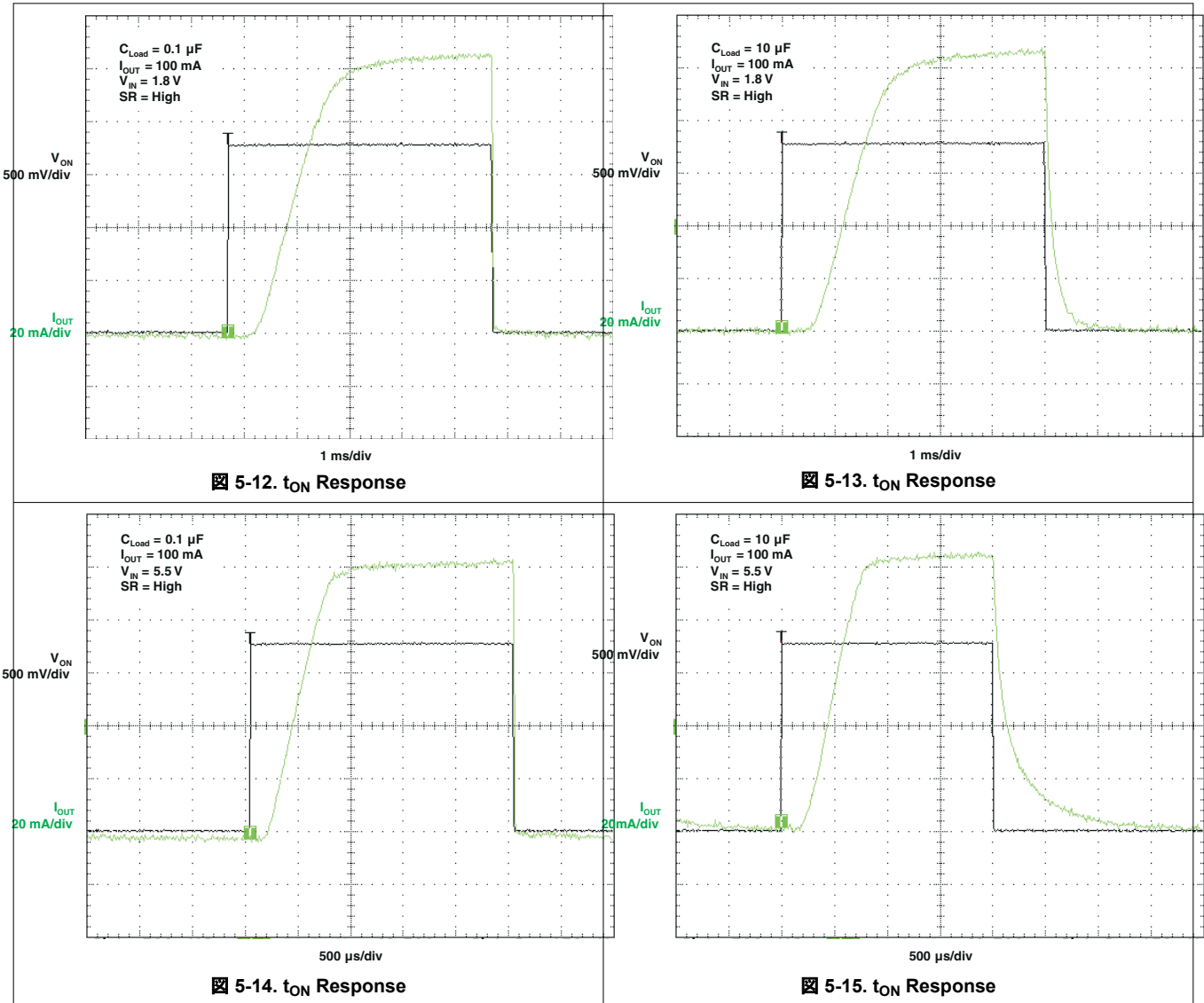
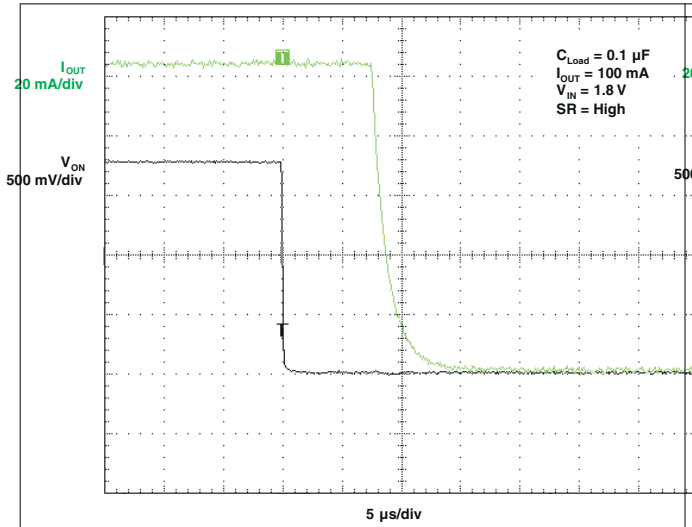


图 5-11. Off Time vs Input Voltage

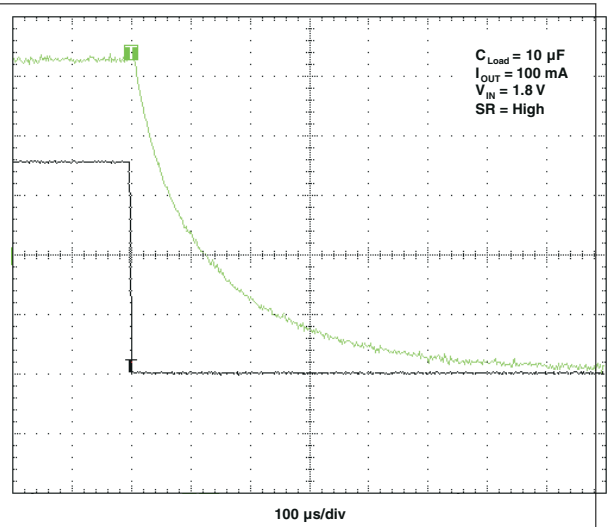
5.8 Typical Switching Characteristics (continued)



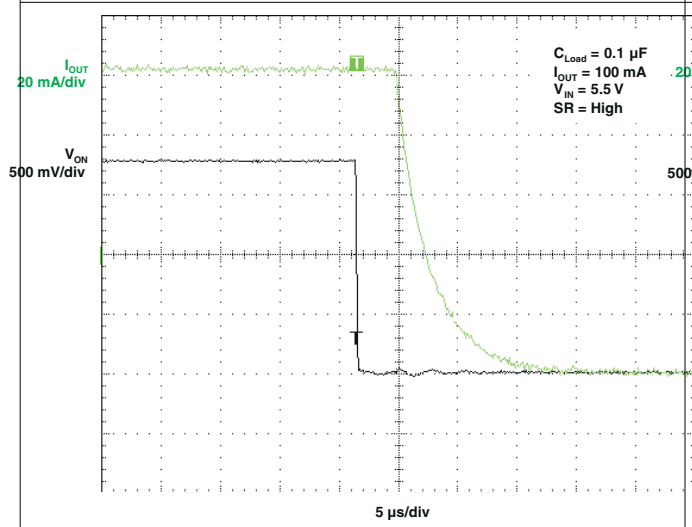
5.8 Typical Switching Characteristics (continued)



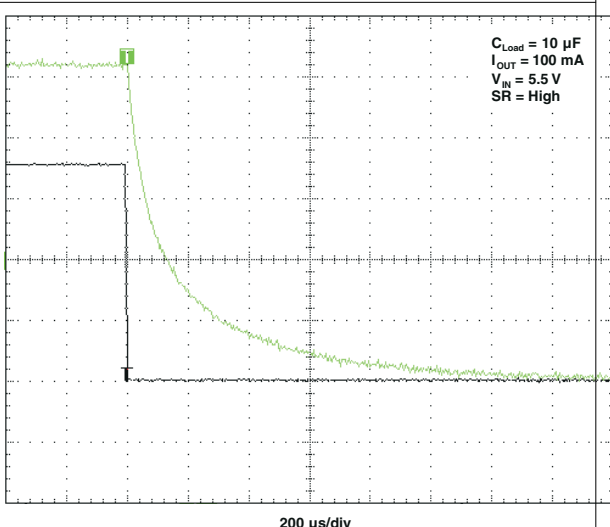
5-16. t_{OFF} Response



5-17. t_{OFF} Response

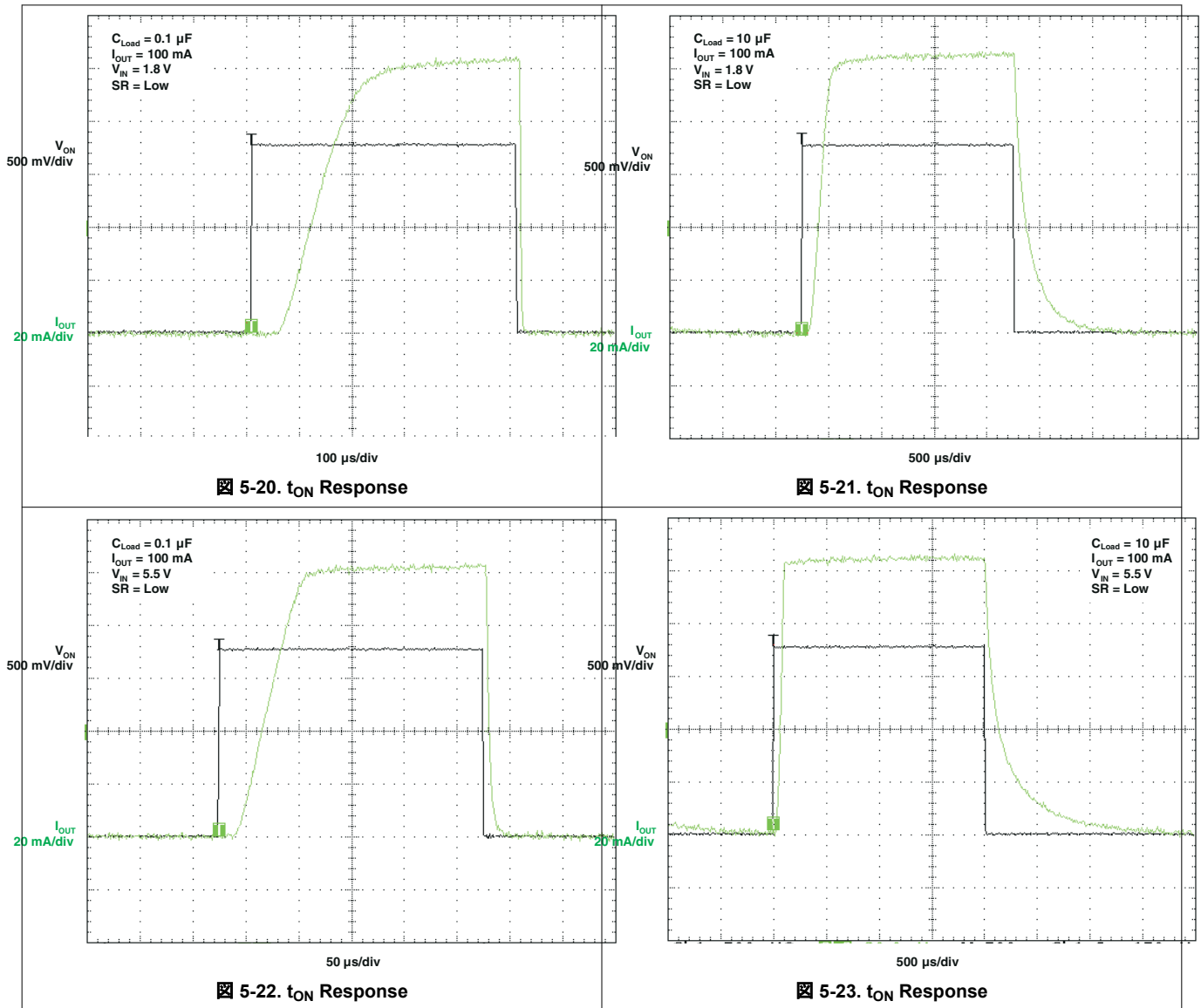


5-18. t_{OFF} Response

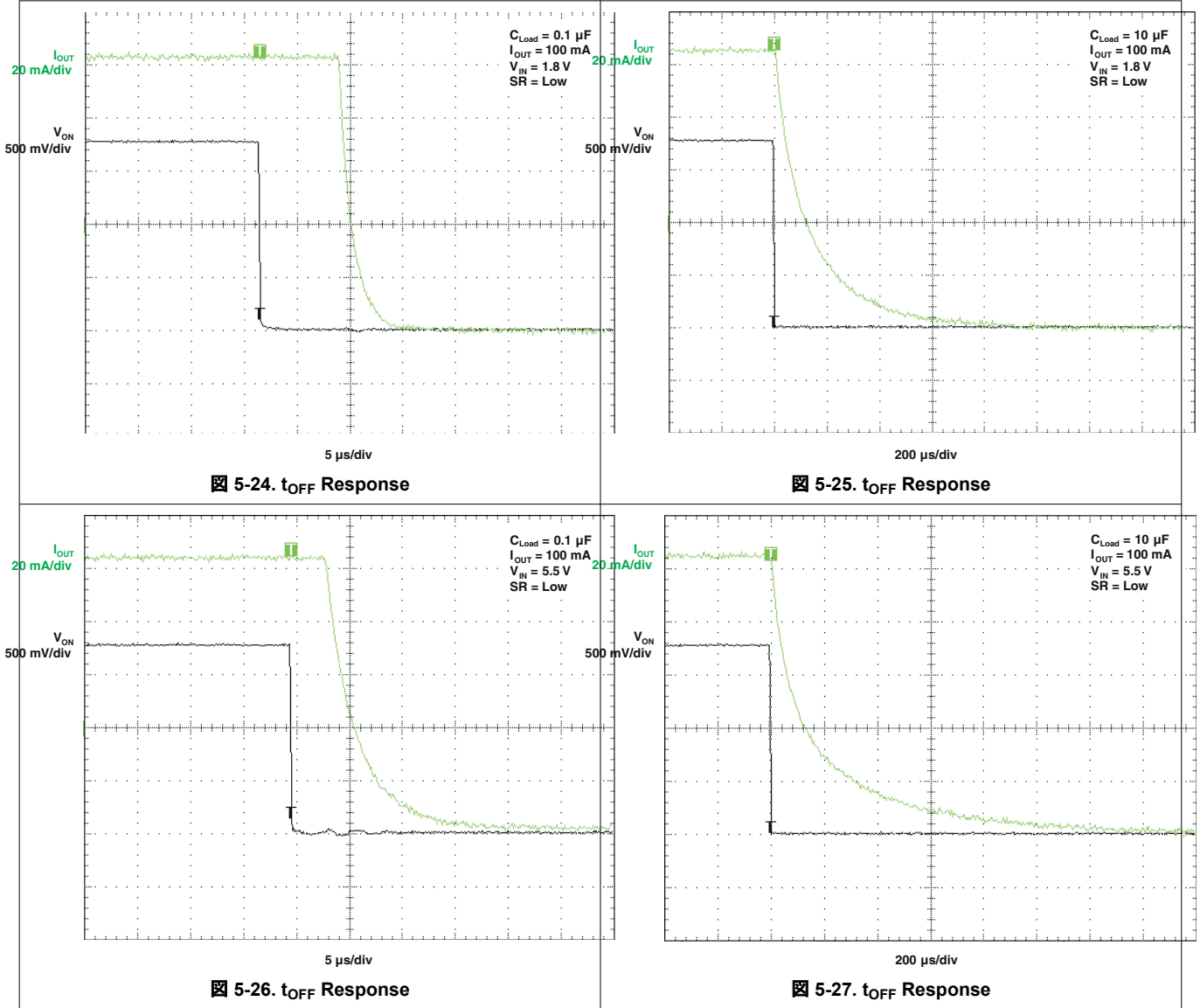


5-19. t_{OFF} Response

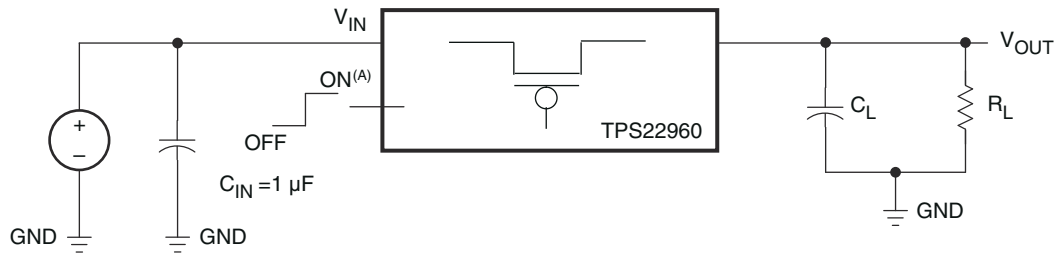
5.8 Typical Switching Characteristics (continued)



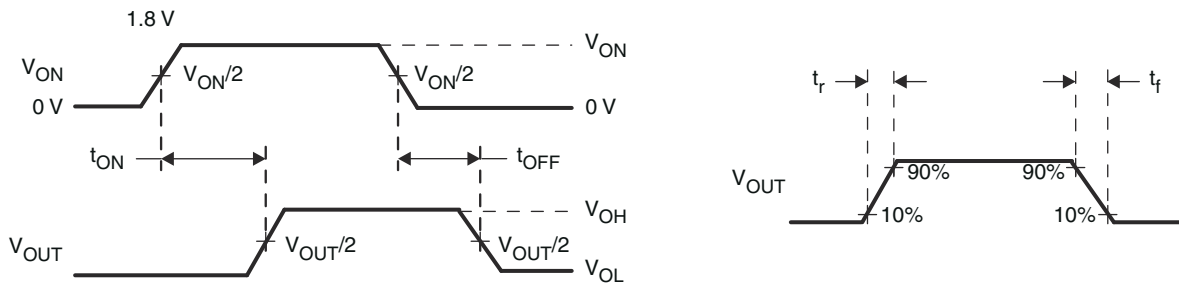
5.8 Typical Switching Characteristics (continued)



6 Parameter Measurement Information



TEST CIRCUIT



t_{ON}/t_{OFF} WAVEFORMS

A. t_{rise} and t_{fall} of the control signal is 100ns.

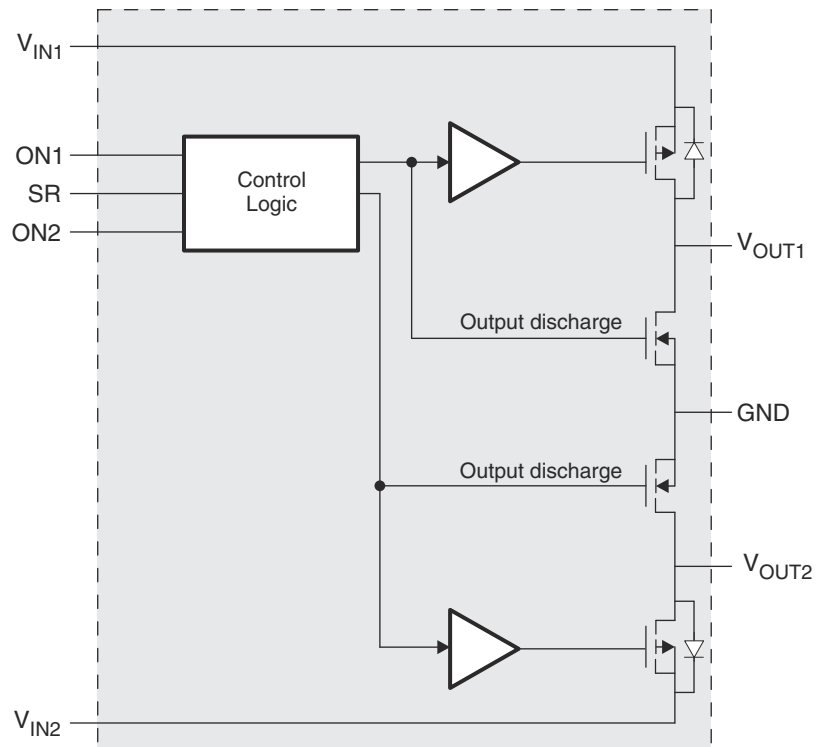
图 6-1. Test Circuit and t_{ON}/t_{OFF} Waveforms

7 Detailed Description

7.1 Overview

The TPS22960 is a dual-channel load switch. The two channels can be independently controlled using the ONx pins. Each channel has an 85-Ω quick discharge resistance from V_{OUTX} to GND when disabled. A single control pin (SR) is used to set the slew rate for both channels..

7.2 Functional Block Diagram



7.3 Feature Description

This section will discuss the features of the TPS22960 which have been summarized in [表 7-1](#).

表 7-1. Feature Summary

DEVICE	r_{ON} AT 3.3 V (TYP)	SLEW RATE AT 3.3 V (TYP)	QUICK OUTPUT DISCHARGE ⁽¹⁾	MAX OUTPUT CURRENT	ENABLE
TPS22960	435 mΩ	75 μs with SR = low 660 μs with SR = high	Yes	500 mA	Active High

(1) This feature discharges the output of the switch to ground through an 85-Ω resistor, preventing the output from floating.

7.3.1 Output Slew Rate (SR) Control

The slew rate (rise time) of the device is internally controlled in order to avoid inrush current, and it can be slowed down if needed using the SR pin. At 3.3 V, TPS22960 features a 75-μs rise time with the SR pin tied to ground, and a 660-μs rise time with the SR pin tied high. Both channels will have the same slew rate set by the SR pin.

7.3.2 Quick Output Discharge (QOD)

Each channel of the TPS22960 includes an independent QOD feature. When the channel is disabled, a discharge resistor is connected between VOUTx and GND. This resistor has a typical value of 85 Ω and prevents the output from floating while the switch is disabled.

7.4 Device Functional Modes

表 7-2. Configurable Logic Function Table

ONx	V _{INx} TO V _{OUTx}	V _{OUTx} TO GND
L	OFF	ON
H	ON	OFF

8.2.1 Design Requirements

For this design example, use input parameters in 表 8-1.

表 8-1. Design Parameters

PARAMETER	EXAMPLE VALUE
V _{IN}	3.3 V
C _L	22 μF
Maximum acceptable inrush current	200 mA

8.2.2 Detailed Design Procedure

8.2.2.1 Inrush Current

When the switch is enabled, the output capacitors must be charged up from 0 V to the set value (in this example, 3.3 V). This charge arrives in the form of inrush current. Inrush current can be calculated using the following equation:

$$\text{Inrush Current} = C \times dV / dt \tag{1}$$

Where:

C = output capacitance

dV = output voltage

dt = rise time

The TPS22960 offers selectable rise time control for V_{OUT}. This feature allows the user to control the inrush current during turnon. 式 1 can be used to find the required rise time to limit the inrush current to the design requirements

$$200 \text{ mA} = 22 \text{ μF} \times (3.3 \text{ V} \times 80\%) / dt \tag{2}$$

$$dt = 290 \text{ μs} \tag{4}$$

To ensure an inrush current of less than 200 mA, SR must be set high for a rise time greater than 290 μs. The following application curves show the different inrush for each SR setting in this design example.

8.2.3 Application Curves

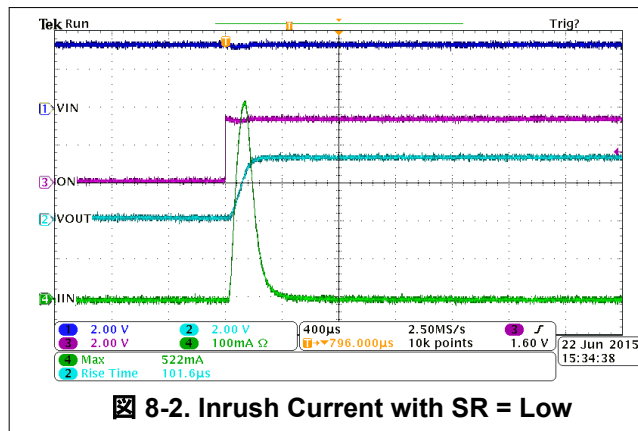


図 8-2. Inrush Current with SR = Low

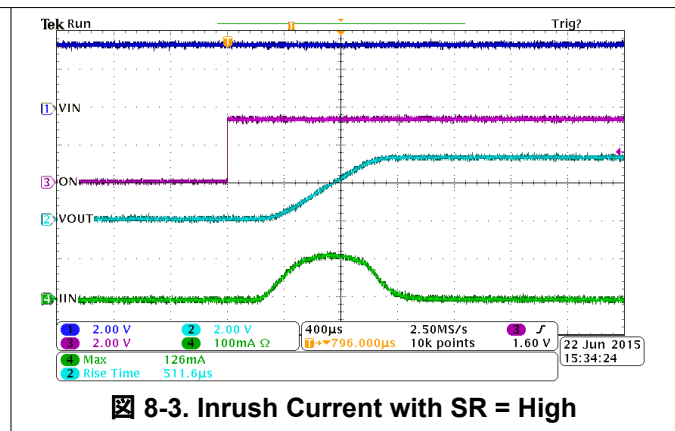


図 8-3. Inrush Current with SR = High

8.3 Power Supply Recommendations

The device is designed to operate from an input voltage range of 1.62 V to 5.5 V. The power supply should be well-regulated and placed as close to the device terminals as possible. It must be able to withstand all transient and load current steps. In most situations, using an input capacitance of 1 μ F is sufficient to prevent the supply voltage from dipping when the switch is turned on. In cases where the power supply is slow to respond to a large transient current or large load current step, additional bulk capacitance may be required on the input.

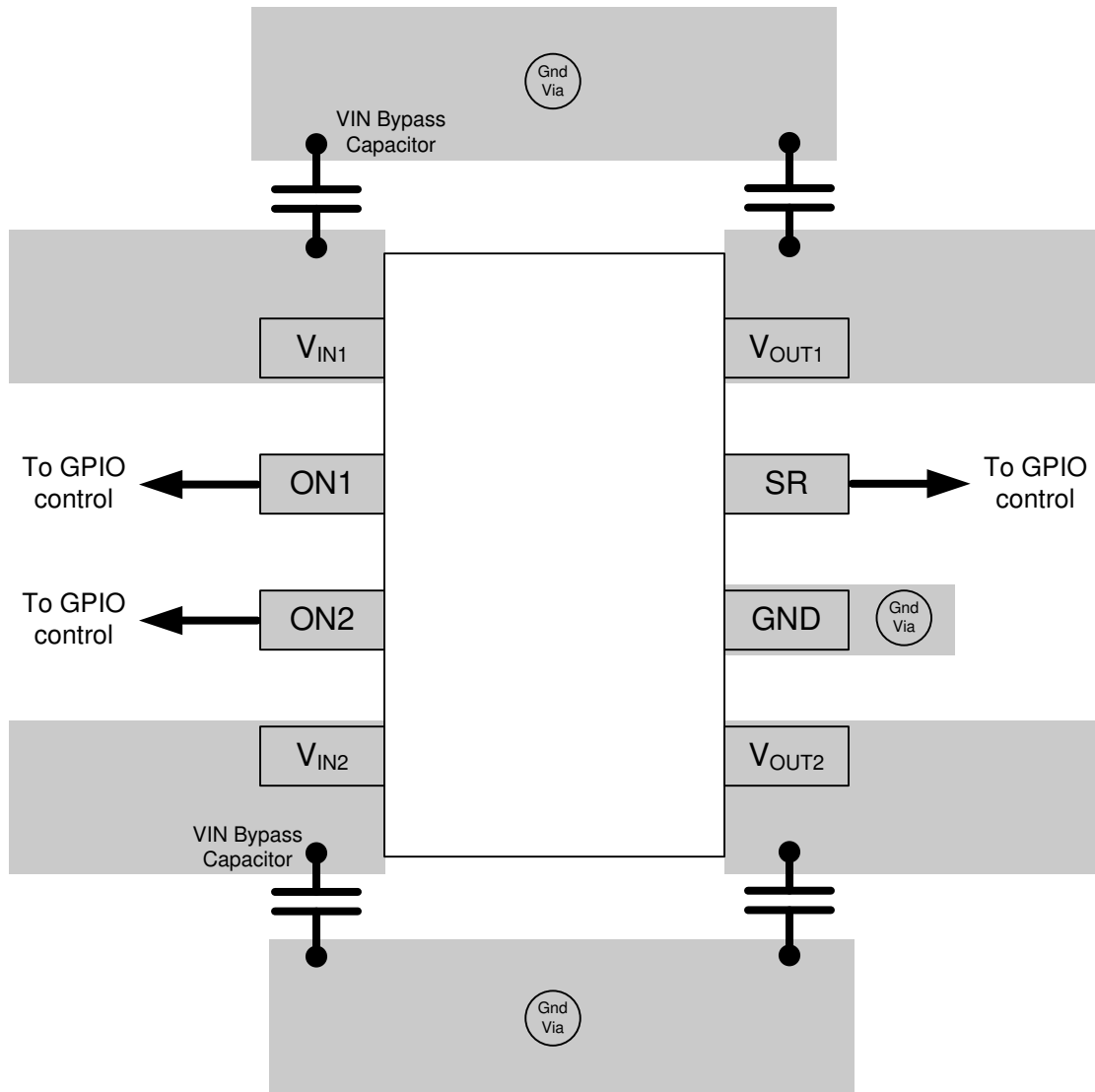
The requirements for larger input capacitance can be mitigated by selecting the slower slew rate +SR=high. This will cause the load switch to turn on more slowly and limit the inrush current.

8.4 Layout

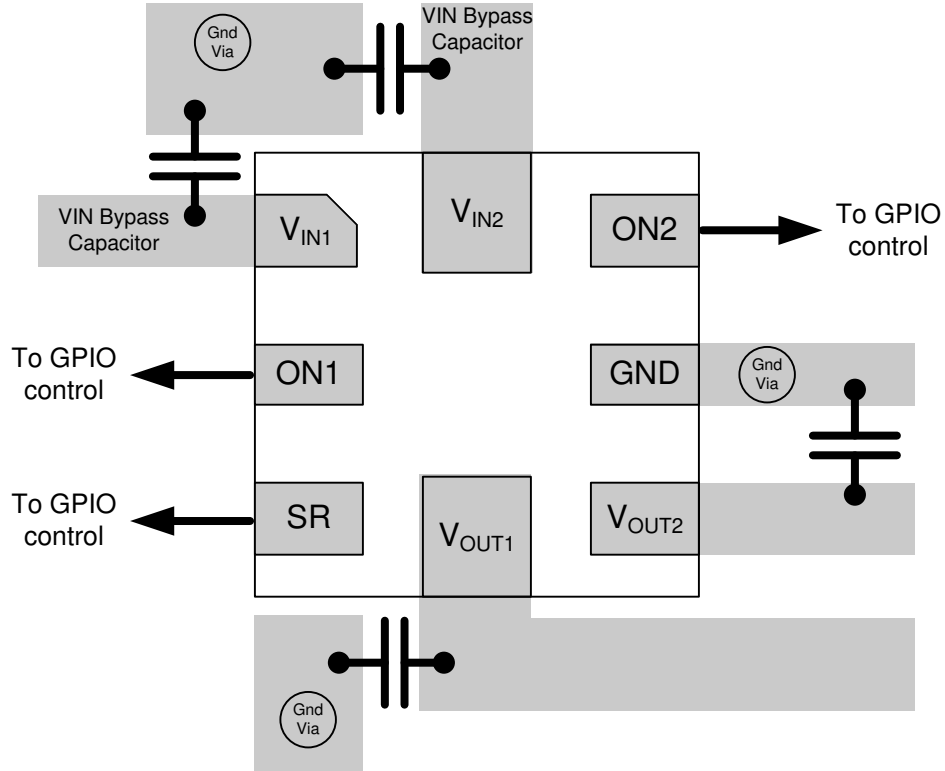
8.4.1 Layout Guidelines

For best performance, all traces should be as short as possible. To be most effective, the input and output capacitors should be placed close to the device to minimize the effects that parasitic trace inductances may have on normal and short-circuit operation. Using wide traces for V_{IN} , V_{OUT} , and GND will help minimize the parasitic electrical effects along with minimizing the case to ambient thermal impedance.

8.4.2 Layout Example



☒ 8-4. DCN Package Layout



 8-5. RSE Package Layout

9 Device and Documentation Support

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (February 2016) to Revision E (April 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
Changed maximum $I_{IN(OFF)}$ at $V_{IN}=1.8V$ from $0.9\mu A$: to $1.2\mu A$ in the <i>Electrical Characteristics</i> section.....	4

Changes from Revision C (July 2015) to Revision D (February 2016)	Page
セクション 8.1 を変更.....	1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS22960DCNR	ACTIVE	SOT-23	DCN	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(NFRO, NFRR)	Samples
TPS22960RSER	ACTIVE	UQFN	RSE	8	3000	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72	Samples
TPS22960RSET	ACTIVE	UQFN	RSE	8	250	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	72	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS22960DCNR	SOT-23	DCN	8	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
TPS22960RSER	UQFN	RSE	8	3000	180.0	8.4	1.7	1.7	0.7	4.0	8.0	Q2
TPS22960RSET	UQFN	RSE	8	250	180.0	8.4	1.6	1.6	0.66	4.0	8.0	Q2

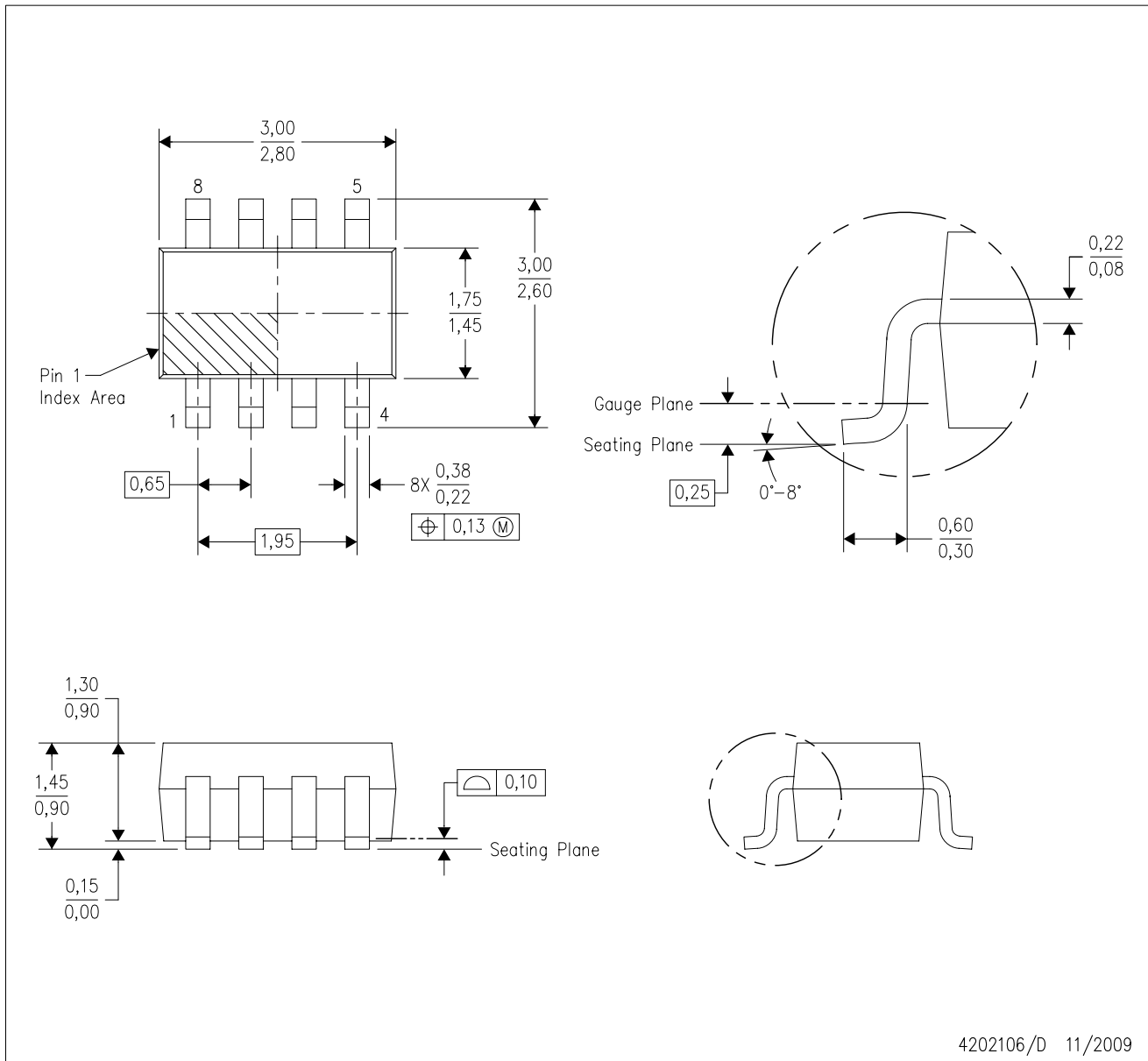
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS22960DCNR	SOT-23	DCN	8	3000	183.0	183.0	20.0
TPS22960RSER	UQFN	RSE	8	3000	183.0	183.0	20.0
TPS22960RSET	UQFN	RSE	8	250	183.0	183.0	20.0

DCN (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)



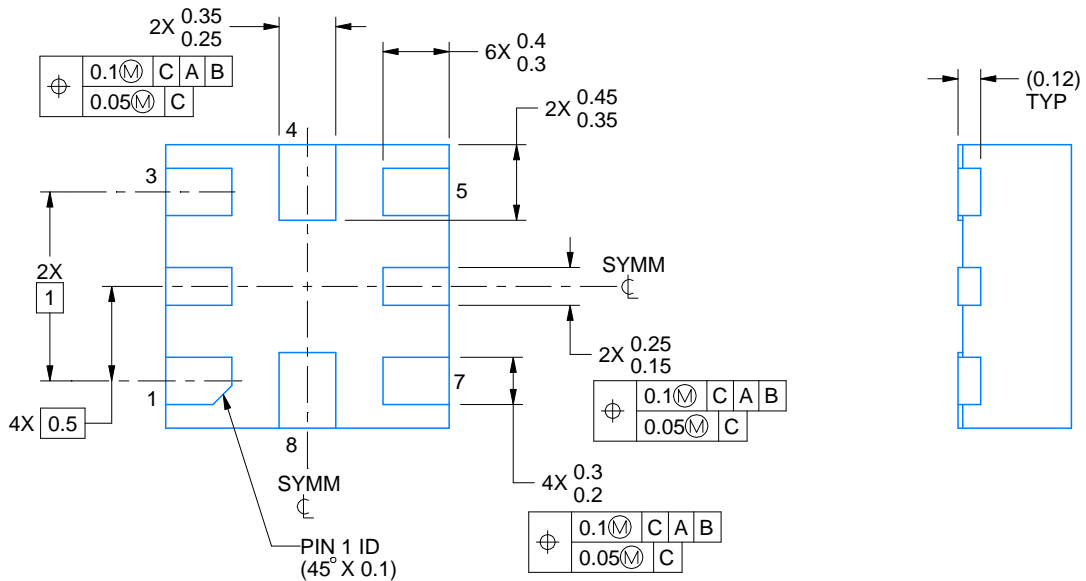
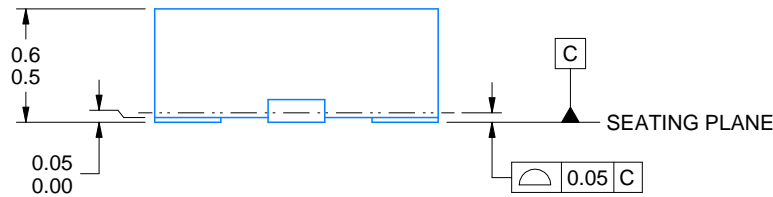
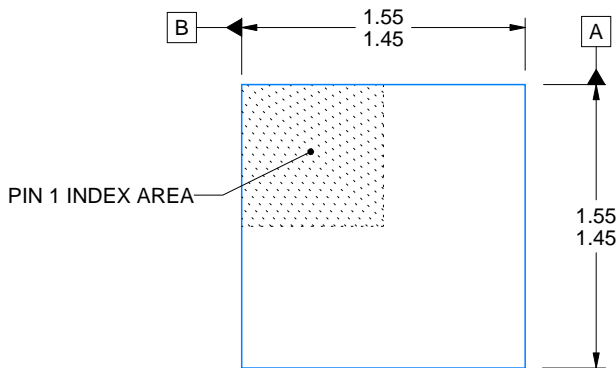
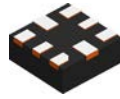
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Package outline exclusive of metal burr & dambar protrusion/intrusion.
 - D. Package outline inclusive of solder plating.
 - E. A visual index feature must be located within the Pin 1 index area.
 - F. Falls within JEDEC MO-178 Variation BA.
 - G. Body dimensions do not include flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.

DCN (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE (DIE DOWN)



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



4220323/B 03/2018

NOTES:

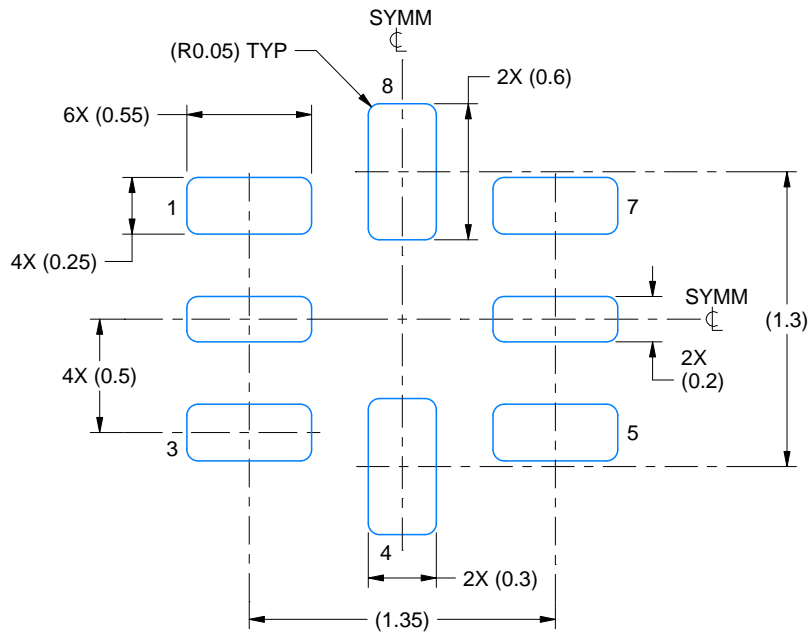
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

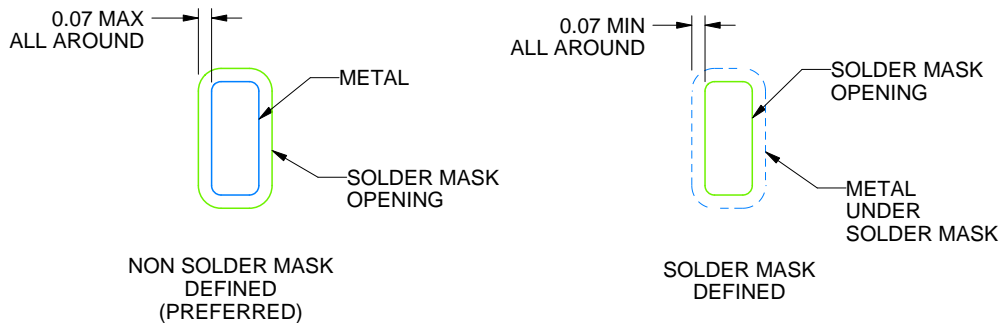
RSE0008A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS
NOT TO SCALE

4220323/B 03/2018

NOTES: (continued)

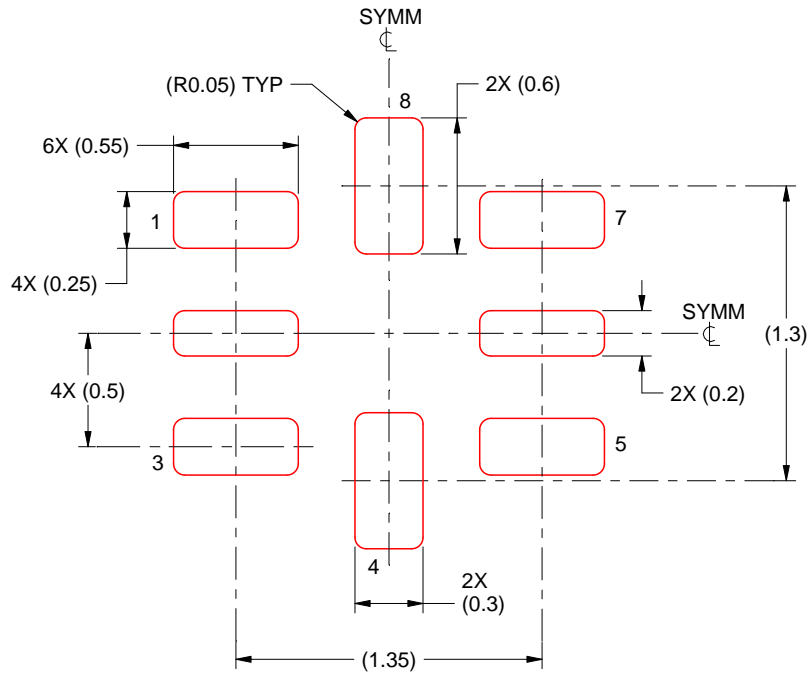
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RSE0008A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICKNESS
SCALE: 30X

4220323/B 03/2018

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated