

TCA9517A レベル変換 I²C バス リピータ

1 特長

- 2 チャンネルの双方向バッファ
- I²C バスおよび SMBus 互換
- A 側の動作電源電圧範囲: 0.9V~5.5V
- B 側の動作電源電圧範囲: 2.7V~5.5V
- 0.9V~5.5V と 2.7V~5.5V の電圧レベル変換
- フットプリントと機能において PCA9515B を代替可能
- アクティブ HIGH のリピーター イネーブル入力
- オープンドレインの I²C I/O
- 5.5V 許容の I²C およびイネーブル入力で、混在モードの信号動作に対応
- 標準モードおよびファスト モード I²C デバイスおよび複数のマスタに対応
- 電源オフ時に I²C ピンが高インピーダンス
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 を超える ESD 保護
 - 5500V、人体モデル (A114-A)
 - 200V、マシン モデル(A115-A)
 - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- サーバー
- ルーター (テレコム スイッチング機器)
- 産業用機器
- 多くの I²C スレーブや長い PCB 配線を持つ製品

3 概要

TCA9517A は、I²C および SMBus システム用の、レベルシフト機能付き双方向バッファです。混在モード アプリケーションで、低電圧 (最低 0.9V) と、より高い電圧 (2.7V~5.5V) との間の双方向電圧レベル変換 (昇圧変換/降圧変換) を行います。このデバイスにより、I²C および SMBus システムを拡張でき、レベル変換時にも性能劣化を防ぐことができます。

TCA9517A は、I²C バス上でシリアル データ (SDA) 信号とシリアル クロック (SCL) 信号の両方をバッファするため、最大 400pF のバス容量を持つ 2 つのバスを I²C アプリケーション内で接続できます。

TCA9517A は、次の 2 種類のドライバを備えています。(A 側ドライバと B 側ドライバ) を備えています。すべての入力と I/O は、デバイスの電源がオフのとき (V_{CCB} と V_{CCA} の両方またはどちらかが 0V)、5.5V までの過電圧を許容します。

TCA9517A は、競合レベル スレッショルド (V_{ILC}) が TCA9517 よりも高いため、プルダウン能力が小さいスレーブに接続できます。

B 側のバッファ設計のタイプに起因して、本デバイスは、静的電圧オフセットを使用するデバイスと直列にして使用することはできません。これは、これらのデバイスがバッファされた LOW 信号を有効な LOW とは認識せず、バッファされた LOW として再伝搬しないことが理由です。

B 側のドライバは、2.7V~5.5V で動作します。この内部バッファの出力 Low レベルは約 0.5V ですが、出力が内部で Low に駆動されるとき、入力電圧は出力 Low レベルよりも 70mV 以上低い必要があります。より電圧の高い LOW 信号は、バッファされた LOW と呼ばれます。B 側の I/O が内部で Low に駆動されるとき、この LOW は入力によって Low と認識されません。この機能により、入力 Low 条件が解除されたとき、ロックアップ状況が発生することが防止されます。



A 側のドライバは 0.9V~5.5V で動作し、より大きな電流を駆動します。これらのドライバには、バッファされた LOW の機能 (または、静的なオフセット電圧) が必要ありません。つまり、B 側の LOW 信号は、A 側でほぼ 0V の LOW に変換され、低電圧ロジックの小さな電圧スイングにも対応できるということです。A 側の出力プルダウンがハード Low を駆動するようにし、入力レベルを $0.3 \times V_{CCA}$ に設定することで、低電圧側の電源電圧が低いシステム (最小 0.9V) でより低い Low レベルが必要な場合に対応できます。

2 つ以上の TCA9517A の A 側を互いに接続することで、A 側を共通バスとして多くの回路構成を実現できます (図 8-2 および図 8-3 を参照)。また、A 側は静的または動的オフセット電圧を持つ他の任意のバッファに直接接続できます。複数の TCA9517A を A 側から B 側へ直列に接続できます。この場合、オフセット電圧の増加を考慮する必要はなく、タイム オブ フライ遅延のみを考慮すれば十分です。B 側からのバッファされた Low 電圧の関係で、TCA9517A を B 側から B 側に接続することはできません。B 側は、立ち上がり時間アクセラレータを持つデバイスには接続できません。

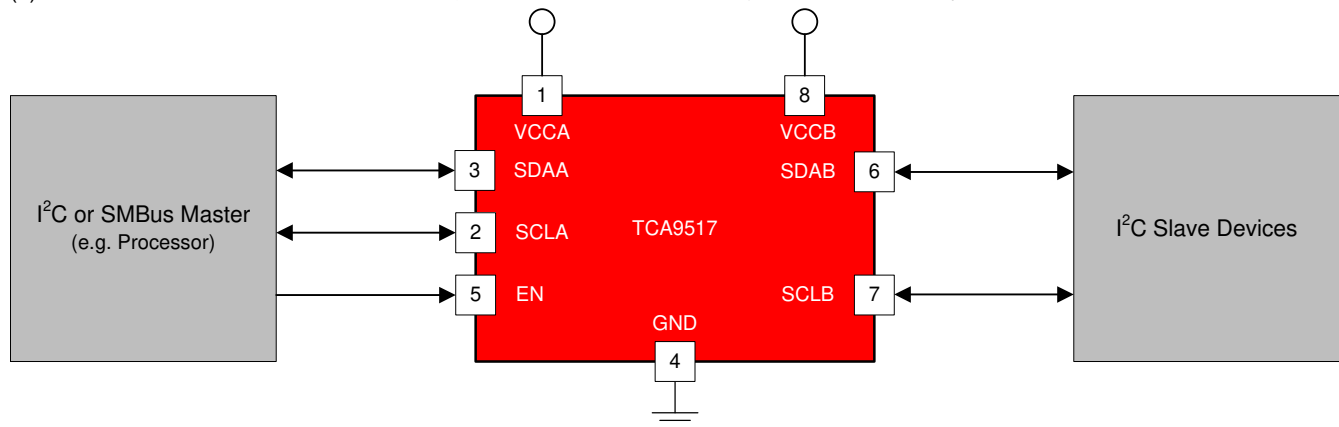
V_{CCA} は、A 側の入力コンパレータに $0.3 \times V_{CCA}$ の基準電圧を供給するためと、パワー グッド検出回路にのみ使用されます。TCA9517A のロジックおよびすべての I/O は、 V_{CCB} ピンから電力を供給されます。

標準の I²C システムと同様に、バッファされたバスにロジック High レベルを与えるにはプルアップ抵抗が必要です。TCA9517A は、I²C バスの標準的なオープンドレイン構成を持っています。これらのプルアップ抵抗のサイズはシステムに依存しますが、リピータの各側にプルアップ抵抗が必要です。このデバイスは、SMBus デバイスに加えて、標準モードおよびファースト モードの I²C デバイスとともに動作するように設計されています。標準モードの I²C デバイスは一般的な I²C システムで 3mA のみが規定されており、標準モード デバイスと複数のマスタを使用可能です。特定の条件では、より大きな終端電流を使用できます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TCA9517A	VSSOP (8)	3.00mm × 3.00 mm
TCA9517	VSSOP (8)	3.00mm × 3.00 mm
	SOIC (8)	4.90mm × 3.91mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

Table of Contents

<p>1 特長..... 1</p> <p>2 アプリケーション..... 1</p> <p>3 概要..... 1</p> <p>4 Pin Configuration and Functions..... 4</p> <p>5 Specifications..... 5</p> <p> 5.1 Absolute Maximum Ratings..... 5</p> <p> 5.2 ESD Ratings..... 5</p> <p> 5.3 Recommended Operating Conditions..... 5</p> <p> 5.4 Thermal Information..... 6</p> <p> 5.5 Thermal Information..... 6</p> <p> 5.6 Electrical Characteristics..... 7</p> <p> 5.7 Timing Requirements..... 7</p> <p> 5.8 I²C Interface Switching Characteristics..... 8</p> <p> 5.9 Typical Characteristics..... 9</p> <p>6 Parameter Measurement Information..... 10</p> <p>7 Detailed Description..... 11</p> <p> 7.1 Overview..... 11</p> <p> 7.2 Functional Block Diagram..... 11</p> <p> 7.3 Feature Description..... 12</p>	<p> 7.4 Device Functional Modes..... 12</p> <p>8 Application and Implementation..... 13</p> <p> 8.1 Application Information..... 13</p> <p> 8.2 Typical Application..... 13</p> <p>9 Power Supply Recommendations..... 17</p> <p>10 Layout..... 18</p> <p> 10.1 Layout Guidelines..... 18</p> <p> 10.2 Layout Example..... 18</p> <p>11 Device and Documentation Support..... 19</p> <p> 11.1 ドキュメントの更新通知を受け取る方法..... 19</p> <p> 11.2 サポート・リソース..... 19</p> <p> 11.3 商標..... 19</p> <p> 11.4 静電気放電に関する注意事項..... 19</p> <p> 11.5 用語集..... 19</p> <p>12 Revision History..... 20</p> <p>13 Mechanical, Packaging, and Orderable Information..... 20</p> <p> 13.1 Tape and Reel Information..... 21</p> <p> 13.2 Mechanical Data..... 23</p>
--	---

4 Pin Configuration and Functions

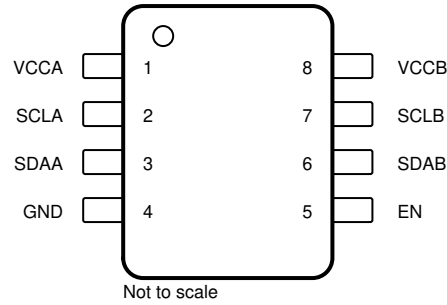


図 4-1. DGK Package, 8-Pin VSSOP
(Top View)

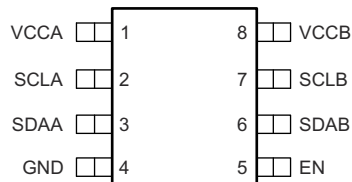


図 4-2. D Packages, 8-Pin SOIC
Top View

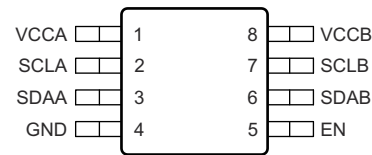


図 4-3. DGK Package, 8-Pin VSSOP
Top View

表 4-1. Pin Functions

PIN		TYPE	DESCRIPTION
NO.	NAME		
1	VCCA	Supply	A-side supply voltage (0.9 V to 5.5 V)
2	SCLA	Input/Output	Serial clock bus, A-side. Connect to V_{CCA} through a pull-up resistor. If unused, connect directly to ground.
3	SDAA	Input/Output	Serial data bus, A-side. Connect to V_{CCA} through a pull-up resistor. If unused, connect directly to ground.
4	GND	Ground	Ground
5	EN	Input	Active-high repeater enable input
6	SDAB	Input/Output	Serial data bus, B-side. Connect to V_{CCB} through a pull-up resistor. If unused, connect directly to ground.
7	SCLB	Input/Output	Serial clock bus, B-side. Connect to V_{CCB} through a pull-up resistor. If unused, connect directly to ground.
8	VCCB	Supply	B-side and device supply voltage (2.7 V to 5.5 V)

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CCB}	Supply voltage range	-0.5	7	V
V _{CCA}	Supply voltage range	-0.5	7	V
V _I	Enable input voltage range ⁽²⁾	-0.5	7	V
V _{I/O}	I ² C bus voltage range ⁽²⁾	-0.5	7	V
I _{IK}	Input clamp current		-50	mA
I _{OK}	Output clamp current	V _I < 0 V _O < 0	-50	
I _O	Continuous output current		±50	mA
	Continuous current through V _{CC} or GND		±100	
T _{stg}	Storage temperature range	-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The input negative-voltage and output voltage ratings may be exceeded if the input and output current ratings are observed.

5.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	
		Machine model (A115-A)	

- (1) JEDEC document JEP155 states that 500 V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250 V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

		MIN	MAX	UNIT
V _{CCA}	Supply voltage, A-side bus	0.9 ⁽²⁾	5.5	V
V _{CCB}	Supply voltage, B-side bus	2.7	5.5	V
V _{IH}	High-level input voltage	SDAA, SCLA	0.7 × V _{CCA}	V
		SDAB, SCLB	0.7 × V _{CCB}	
		EN	0.7 × V _{CCB}	
V _{IL}	Low-level input voltage	SDAA, SCLA	0.3 × V _{CCA}	V
		SDAB, SCLB ⁽¹⁾	0.3 × V _{CCB}	
		EN	0.3 × V _{CCB}	
I _{OL}	Low-level output current		6	mA
T _A	Operating free-air temperature	-40	85	°C

- (1) V_{IL} specification is for the first low level seen by the SDAB and SCLB lines. V_{ILC} is for the second and subsequent low levels seen by the SDAB and SCLB lines. See [セクション 8.2.2.2](#) for V_{ILC} application information
- (2) Low-level supply voltage

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TCA9517		UNIT
		DGK (VSSOP)	D (SOIC)	
		8 PINS	8 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	187.6	133.6	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	59.3	87.6	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	108.6	74.2	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	3.4	36.9	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	106.9	73.7	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Thermal Information

THERMAL METRIC ⁽¹⁾		TCA9517A		UNIT
		DGK (VSSOP)		
		8 PINS		
$R_{\theta JA}$	Junction-to-ambient thermal resistance	187.6		°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	59.3		°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	108.6		°C/W
Ψ_{JT}	Junction-to-top characterization parameter	3.4		°C/W
Ψ_{JB}	Junction-to-board characterization parameter	106.9		°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.6 Electrical Characteristics

$V_{CCB} = 2.7\text{ V to }5.5\text{ V}$, $GND = 0\text{ V}$, $T_A = -40^\circ\text{C to }85^\circ\text{C}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS	V_{CCB}	MIN	TYP	MAX	UNIT		
V_{IK}	Input clamp voltage	$I_I = -18\text{ mA}$	2.7 V to 5.5 V			-1.2	V		
V_{OL}	Low-level output voltage	SDAB, SCLB $I_{OL} = 100\text{ }\mu\text{A or }6\text{ mA}$, $V_{ILA} = V_{ILB} = 0\text{ V}$	2.7 V to 5.5 V	0.45	0.52	0.6	V		
		SDAA, SCLA $I_{OL} = 6\text{ mA}$			0.1	0.2			
$V_{OL} - V_{ILC}$	Low-level input voltage below low-level output voltage	SDAB, SCLB ensured by design	2.7 V to 5.5 V		70		mV		
V_{ILC}	SDA and SCL low-level input voltage contention	SDAB, SCLB	2.7 V to 5.5 V	0.45	0.4		V		
I_{CC}	Quiescent supply current for V_{CCA}	Both channels low, SDAA = SCLA = GND and SDAB = SCLB = open, or SDAA = SCLA = open and SDAB = SCLB = GND				1	mA		
I_{CC}	Quiescent supply current	Both channels high, SDAA = SCLA = V_{CCA} and SDAB = SCLB = V_{CCB} and EN = V_{CCB}	5.5 V		1.5	5	mA		
		Both channels low, SDAA = SCLA = GND and SDAB = SCLB = open			1.5	5			
		In contention, SDAA = SCLA = GND and SDAB = SCLB = GND			3	5			
I_I	Input leakage current	SDAB, SCLB	2.7 V to 5.5 V			$V_I = V_{CCB}$	± 1	μA	
						$V_I = 0.2\text{ V}$	10		
		SDAA, SCLA				$V_I = V_{CCB}$	± 1		
						$V_I = 0.2\text{ V}$	10		
		EN				$V_I = V_{CCB}$	± 1		
						$V_I = 0.2\text{ V}$	-10 -30		
I_{OH}	High-level output leakage current	SDAB, SCLB	2.7 V to 5.5 V			10	μA		
		SDAA, SCLA				10			
C_I	Input capacitance	EN	3.3 V			6	10	pF	
		SCLA, SCLB				$V_I = 3\text{ V or }0\text{ V}$	8		13
						$V_I = 0\text{ V}$	7		11
C_{IO}	Input/output capacitance	SDAA, SDAB	3.3 V			8	13	pF	
			0 V			7	11		

5.7 Timing Requirements

over recommended operating free-air temperature range (unless otherwise noted)

	MIN	MAX	UNIT
t_{su} Setup time, EN high before Start condition ⁽¹⁾	100		ns
t_h Hold time, EN high after Stop condition ⁽¹⁾	100		ns

(1) EN should change state only when the global bus and the repeater port are in an idle state.

5.8 I²C Interface Switching Characteristics

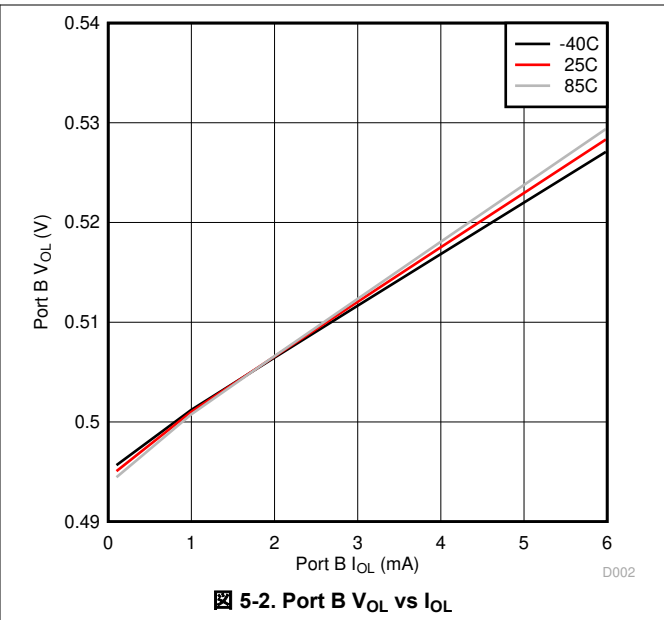
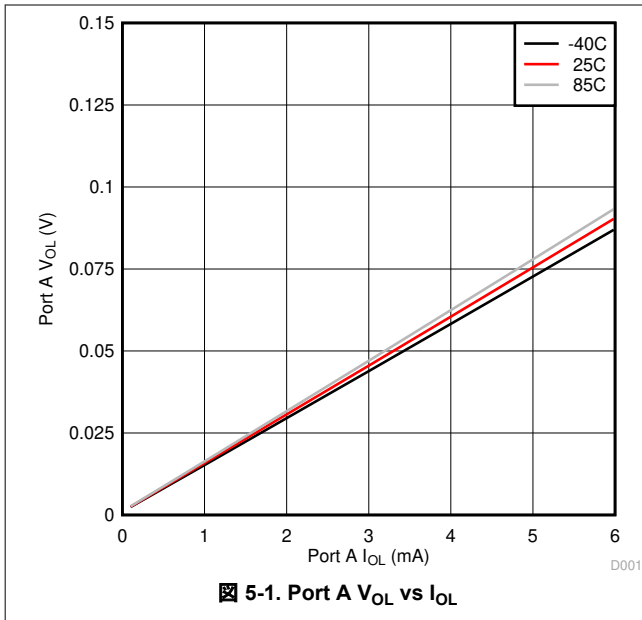
$V_{CCB} = 2.7\text{ V to }5.5\text{ V}$, $GND = 0\text{ V}$, $T_A = -40^\circ\text{C to }85^\circ\text{C}$ (unless otherwise noted)^{(1) (4)}

PARAMETER		FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP ⁽⁵⁾	MAX	UNIT	
t_{PLZ}	Propagation delay	SDAB, SCLB ⁽³⁾ (see 6-4)	SDAA, SCLA ⁽³⁾ (see 6-4)		80	141	350 250	ns	
		SDAA, SCLA ⁽²⁾ (see 6-3)	SDAB, SCLB ⁽²⁾ (see 6-3)		25	74	110		
t_{PZL}	Propagation delay	SDAB, SCLB	SDAA, SCLA	$V_{CCA} \leq 2.7\text{ V}$ (see 6-2)	30	76 ⁽⁶⁾	110	ns	
				$V_{CCA} \geq 3\text{ V}$ (see 6-2)	10	86	230		
		SDAA, SCLA ⁽²⁾ (see 6-3)	SDAB, SCLB ⁽²⁾ (see 6-3)		60	107	230		
t_{TLH}	Transition time	B-side to A side	80%	20%	$V_{CCA} \leq 2.7\text{ V}$ (see 6-3)	10	12	15	ns
					$V_{CCA} \geq 3\text{ V}$ (see 6-3)	40	42	45	
					A side to B-side (see 6-2)	110	125	140	
t_{THL}	Transition time	B-side to A side	80%	20%	$V_{CCA} \leq 2.7\text{ V}$ (see 6-3)	1	52 ⁽⁶⁾	105	ns
					$V_{CCA} \geq 3\text{ V}$ (see 6-3)	20	67	175	
					A side to B-side (see 6-2)	30	48	90	

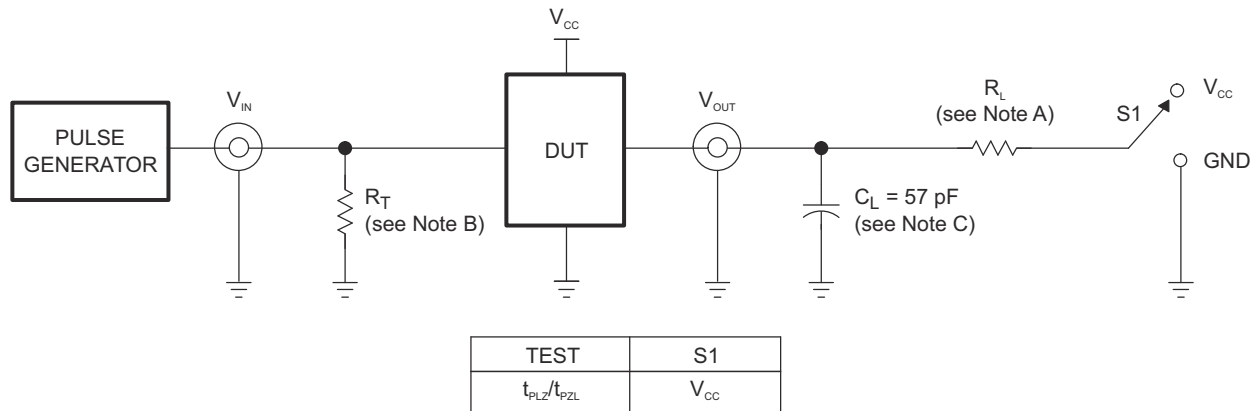
- Times are specified with loads of 1.35-k Ω pull-up resistance and 50-pF load capacitance on the B-side and 167- Ω pull-up and 57-pF load capacitance on the A side. Different load resistance and capacitance alter the RC time constant, thereby changing the propagation delay and transition times.
- The proportional delay data from A to B-side is measured at 0.3 V_{CCA} on the A side to 1.5 V on the B-side.
- The t_{PLH} delay data from B to A side is measured at 0.4 V on the B-side to 0.5 V_{CCA} on the A side when V_{CCA} is less than 2 V, and 1.5 V on the A side if V_{CCA} is greater than 2 V.
- pull-up voltages are V_{CCA} on the A side and V_{CCB} on the B-side.
- Typical values were measured with $V_{CCA} = V_{CCB} = 3.3\text{ V}$ at $T_A = 25^\circ\text{C}$, unless otherwise noted.
- Typical value measured with $V_{CCA} = 2.7\text{ V}$ at $T_A = 25^\circ\text{C}$

5.9 Typical Characteristics

$V_{CCA} = 0.9\text{ V}$, $V_{CCB} = 2.7\text{ V}$



6 Parameter Measurement Information

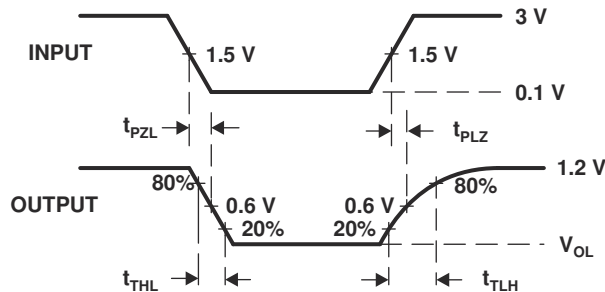


TEST CIRCUIT FOR OPEN-DRAIN OUTPUT

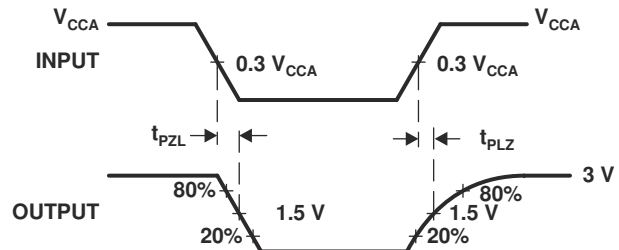
Copyright © 2017, Texas Instruments Incorporated

- A. $R_L = 167 \Omega$ (0.9 V to 2.7 V) and $R_L = 450 \Omega$ (3.0 V to 5.5 V) on the A side and 1.35 k Ω on the B-side
- B. R_T termination resistance should be equal to Z_{OUT} of pulse generators.
- C. C_L includes probe and jig capacitance.
- D. All input pulses are supplied by generators having the following characteristics: $PRR \leq 10$ MHz, $Z_O = 50 \Omega$, slew rate ≥ 1 V/ns.
- E. The outputs are measured one at a time, with one transition per measurement.
- F. t_{PLH} and t_{PHL} are the same as t_{pd} .
- G. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
- H. t_{PZL} and t_{PZH} are the same as t_{en} .

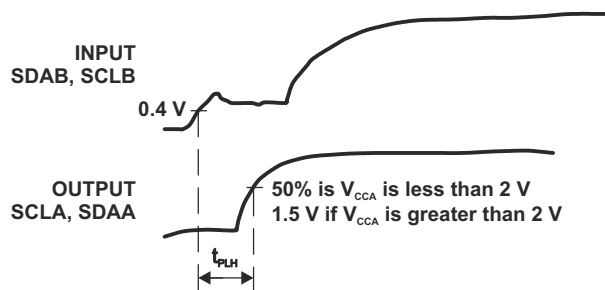
6-1. Test Circuit



6-2. Waveform 1 – Propagation Delay and Transition Times for B-side to A-side



6-3. Waveform 2 – Propagation Delay and Transition Times for A-side to B-side



6-4. Waveform 3 – Propagation Delay for B-side to A-side

7 Detailed Description

7.1 Overview

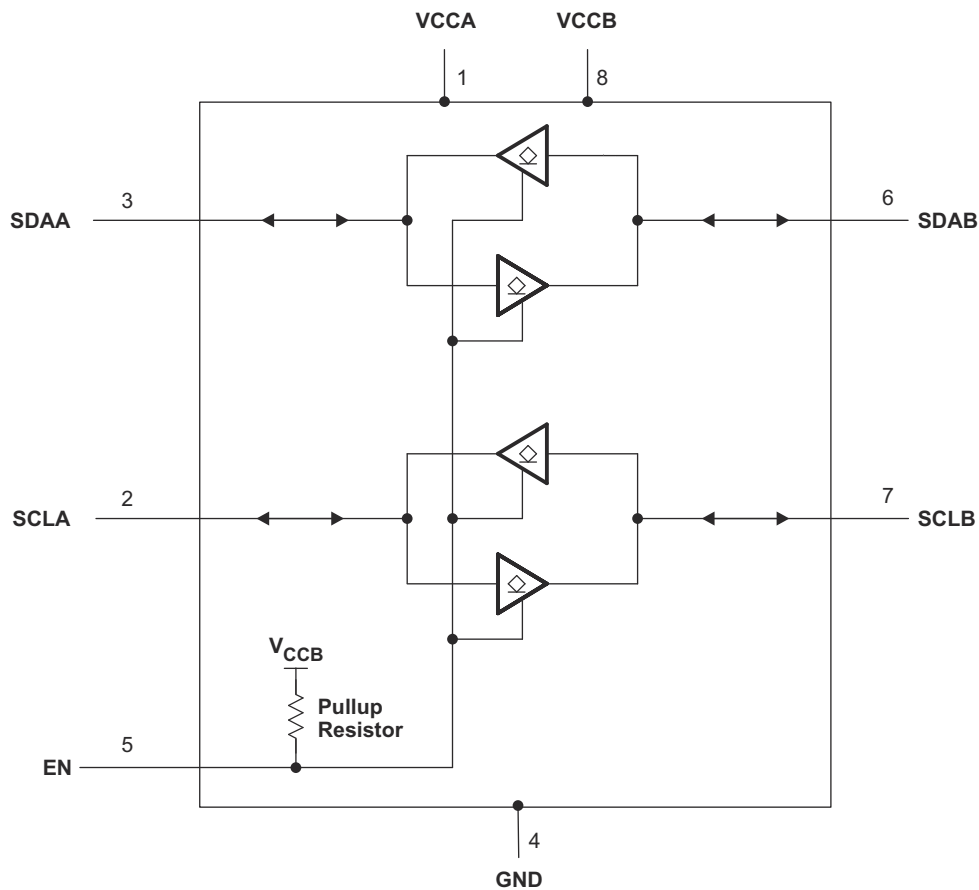
The TCA9517 TCA9517A is a bidirectional buffer with level shifting capabilities for I²C and SMBus systems. It provides bidirectional voltage-level translation (up-translation/down-translation) between low voltages (down to 0.9 V) and higher voltages (2.7 V to 5.5 V) in mixed-mode applications. This device enables I²C and SMBus systems to be extended without degradation of performance, even during level shifting.

The TCA9517 TCA9517A buffers both the serial data (SDA) and the serial clock (SCL) signals on the I²C bus, thus allowing two buses of up to 400-pF bus capacitance to be connected in an I²C application.

The TCA9517 TCA9517A has two types of drivers: A-side drivers and B-side drivers. All inputs and I/Os are over-voltage tolerant to 5.5 V, even when the device is unpowered (V_{CCB} and/or $V_{CCA} = 0$ V).

The TCA9517A offers a higher contention level threshold, V_{ILC} , than the TCA9517, which allows connections to slaves which have weaker pull-down ability.

7.2 Functional Block Diagram



7.3 Feature Description

7.3.1 Two-Channel Bidirectional Buffer

The TCA9517 TCA9517A is a two-channel bidirectional buffer with level-shifting capabilities

7.3.2 Active-High Repeater-Enable Input

The TCA9517 TCA9517A has an active-high enable (EN) input with an internal pull-up to V_{CCB} , which allows the user to select when the repeater is active. This can be used to isolate a badly behaved slave on power-up reset. The EN input should change state only when the global bus and repeater port are in an idle state, to prevent system failures.

7.3.3 V_{OL} B-Side Offset Voltage

The B-side drivers operate from 2.7 V to 5.5 V. The output low level for this internal buffer is approximately 0.5 V, but the input voltage must be 70 mV or more below the output low level when the output internally is driven low. The higher-voltage low signal is called a buffered low. When the B-side I/O is driven low internally, the low is not recognized as a low by the input. This feature prevents a lockup condition from occurring when the input low condition is released. This type of design prevents 2 B-side ports from being connected to each other.

7.3.4 Standard Mode and Fast Mode Support

The TCA9517 TCA9517A supports standard mode as well as fast mode I²C. The maximum system operating frequency will depend on system design and the delays added by the repeater.

7.3.5 Clock Stretching Support

The TCA9517 TCA9517A can support clock stretching, but care needs to be taken to minimize the overshoot voltage presented during the hand-off between the slave and master. This is best done by increasing the pull-up resistor value.

7.4 Device Functional Modes

表 7-1. Function Table

INPUT EN	FUNCTION
L	Outputs disabled
H	SDAA = SDAB SCLA = SCLB

8 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

8.1 Application Information

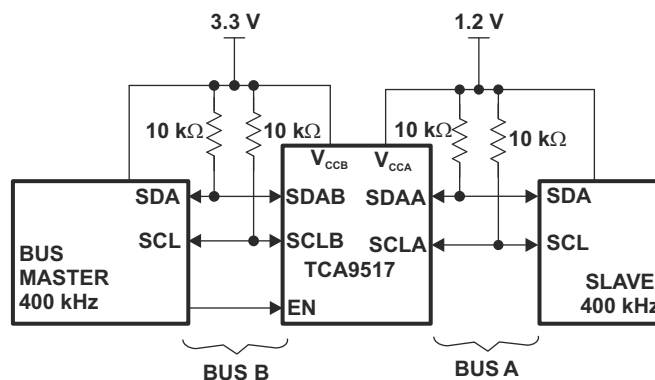
A typical application is shown in [Figure 8-1](#). In this example, the system master is running on a 3.3 V I²C bus, and the slave is connected to a 1.2 V I²C bus. Both buses run at 400 kHz. Master devices can be placed on either bus.

The TCA9517 TCA9517A is 5-V tolerant, so it does not require any additional circuitry to translate between 0.9 V to 5.5 V bus voltages and 2.7 V to 5.5 V bus voltages.

When the A side of the TCA9517 TCA9517A is pulled low by a driver on the I²C bus, a comparator detects the falling edge when it goes below $0.3 \times V_{CCA}$ and causes the internal driver on the B-side to turn on, causing the B-side to pull down to about 0.5 V. When the B-side of the TCA9517 TCA9517A falls, first a CMOS hysteresis-type input detects the falling edge and causes the internal driver on the A side to turn on and pull the A-side pin down to ground. In order to illustrate what would be seen in a typical application, refer to [Figure 8-3](#) and [Figure 8-4](#). If the bus master in [Figure 8-1](#) were to write to the slave through the TCA9517 TCA9517A, waveforms shown in [Figure 8-3](#) would be observed on the A bus. This looks like a normal I²C transmission, except that the high level may be as low as 0.9 V, and the turn on and turn off of the acknowledge signals are slightly delayed.

On the B-side bus of the TCA9517 TCA9517A, the clock and data lines would have a positive offset from ground equal to the V_{OL} of the TCA9517 TCA9517A. After the eighth clock pulse, the data line is pulled to the V_{OL} of the slave device, which is very close to ground in this example. At the end of the acknowledge, the level rises only to the low level set by the driver in the TCA9517 TCA9517A for a short delay, while the A-bus side rises above $0.3 \times V_{CCA}$ and then continues high.

8.2 Typical Application



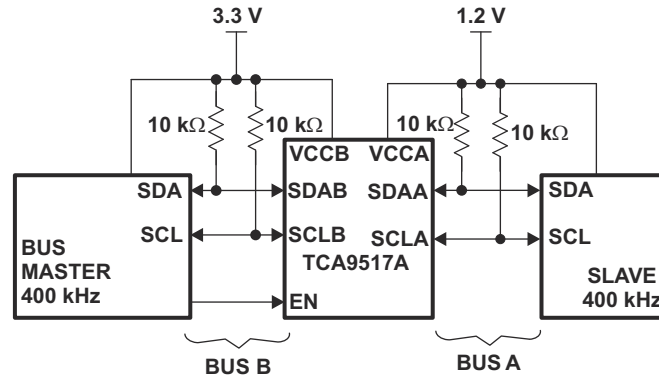


図 8-1. Typical Application Schematic

8.2.1 Design Requirements

For the level translating application, the following should be true:

- $V_{CCA} = 0.9\text{ V to }5.5\text{ V}$
- $V_{CCB} = 2.7\text{ to }5.5\text{ V}$
- B-side ports must not be connected together

8.2.2 Detailed Design Procedure

8.2.2.1 Clock Stretching Support

The TCA9517 TCA9517A can support clock stretching, but care needs to be taken to minimize the overshoot voltage presented during the hand-off between the slave and master. This is best done by increasing the pull-up resistor value.

8.2.2.2 V_{ILC} and Pullup Resistor Sizing

For the TCA9517 TCA9517A to function correctly, all devices on the B-side must be able to pull the B-side below the voltage input low contention level (V_{ILC}). This means that the V_{OL} of any device on the B-side must be below 0.4 0.45 V.

V_{OL} of a device can be adjusted by changing the I_{OL} through the device which is set by the pull-up resistance value. The pull-up resistance on the B-side must be carefully selected to ensure that logic levels will be transferred correctly to the A-side.

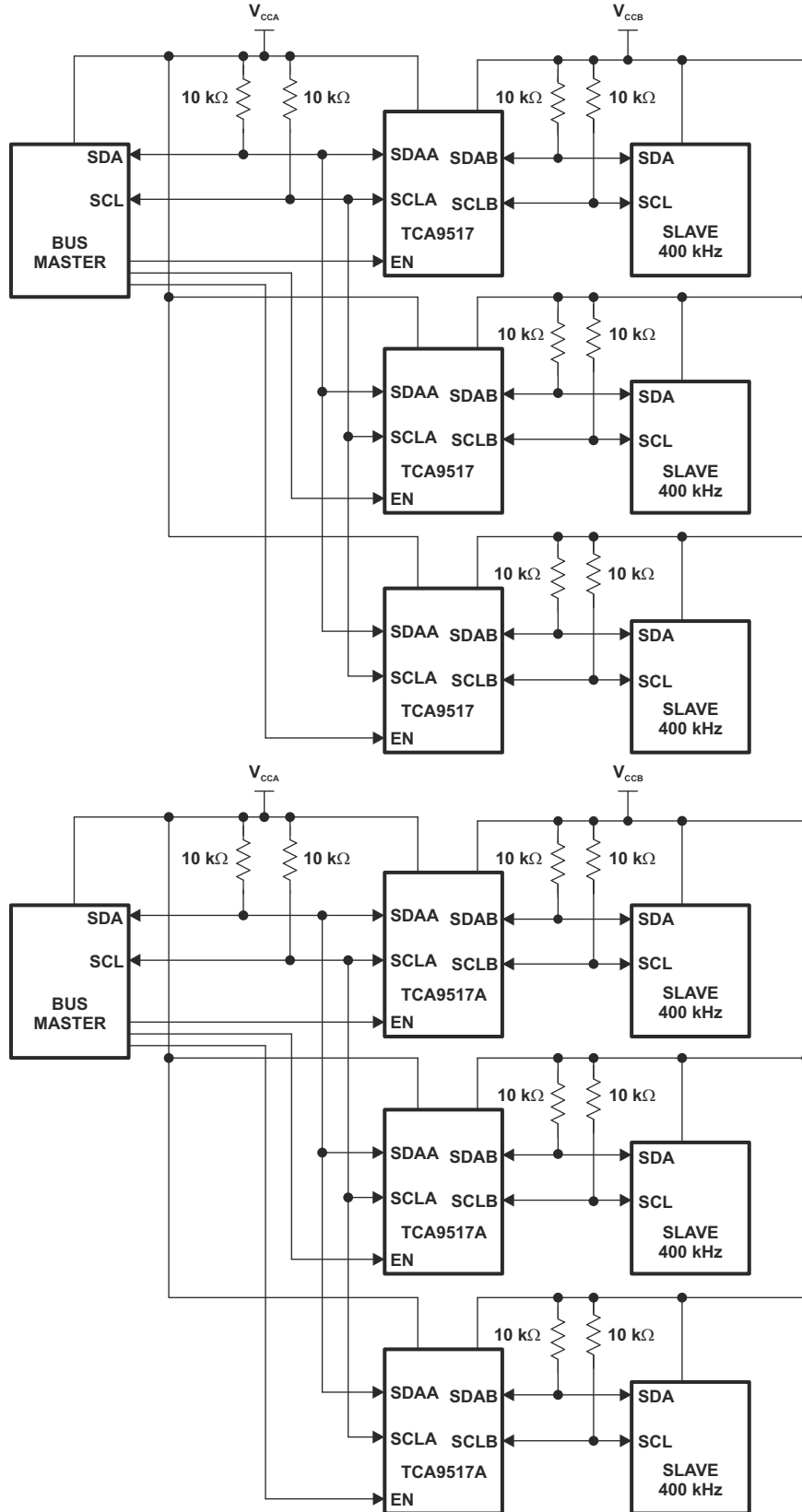
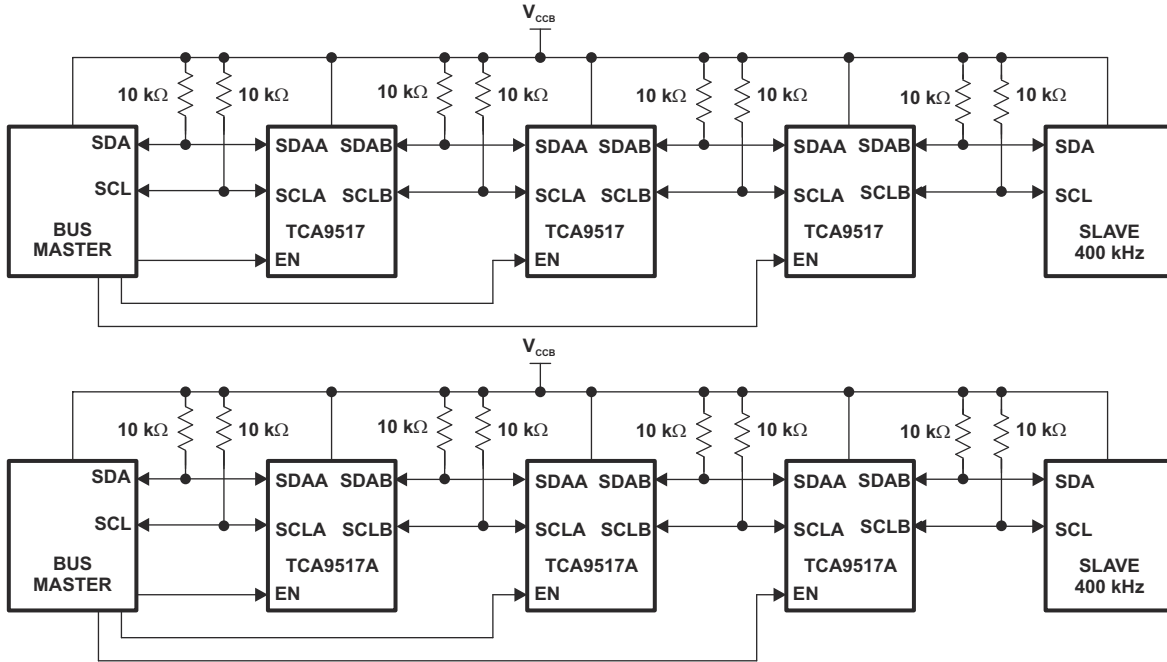


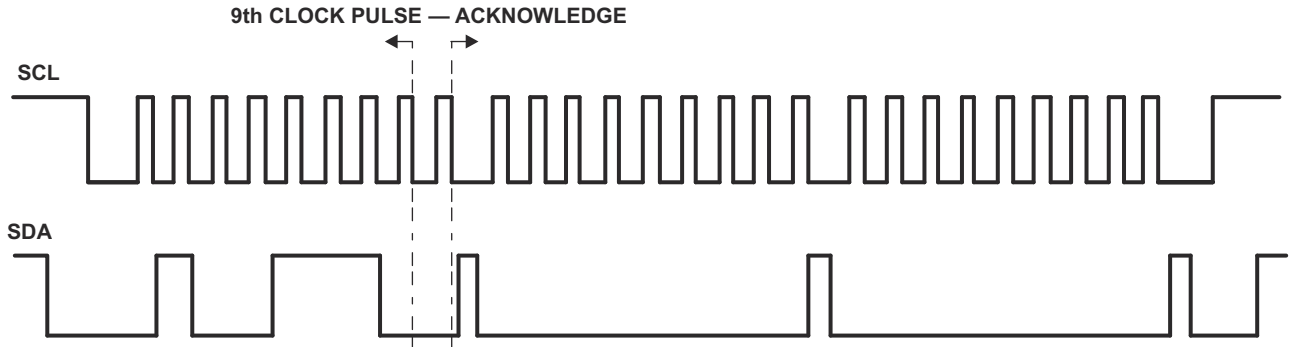
図 8-2. Typical Star Application

Multiple A sides of TCA9517 TCA9517As can be connected in a star configuration, allowing all nodes to communicate with each other.

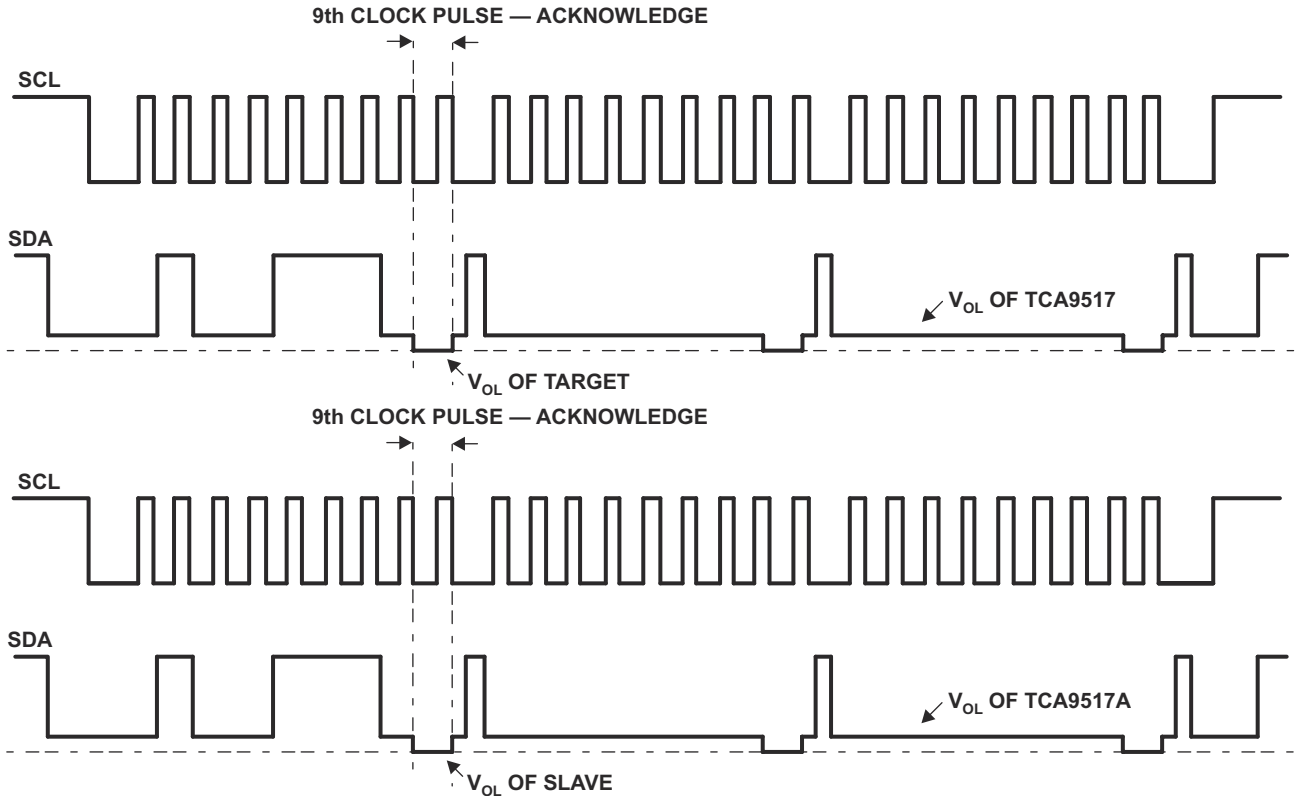


8-3. Typical Series Application

To further extend the I²C bus for long traces/cables, multiple TCA9517 TCA9517As can be connected in series as long as the A-side is connected to the B-side. I²C bus slave devices can be connected to any of the bus segments. The number of devices that can be connected in series is limited by repeater delay/time-of-flight considerations on the maximum bus speed requirements.

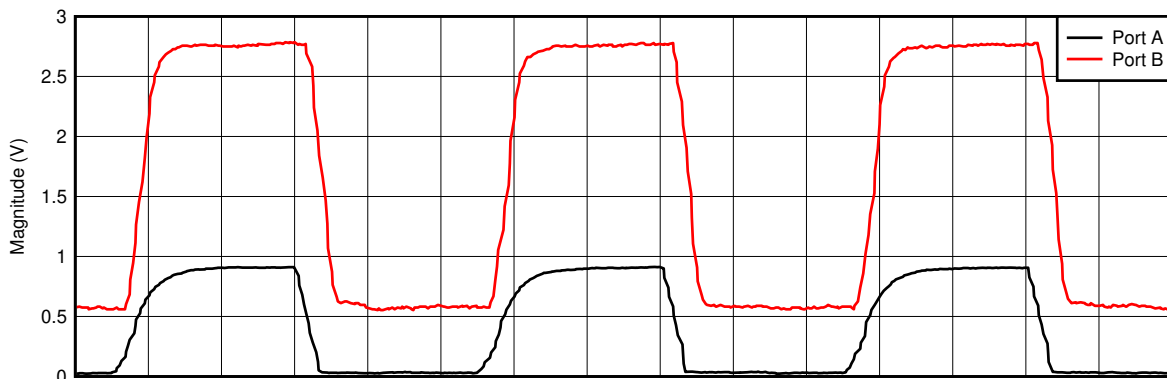


8-4. Bus A (0.9 V to 5.5 V Bus) Waveform



8-5. Bus B (2.7 V to 5.5 V Bus) Waveform

8.2.3 Application Curve



D003

8-6. Voltage Translation at 400 kHz, $V_{CCA} = 0.9\text{ V}$, $V_{CCB} = 2.7\text{ V}$

9 Power Supply Recommendations

V_{CCB} and V_{CCA} can be applied in any sequence at power up. The TCA9517 TCA9517A includes a power-up circuit that keeps the output drivers turned off until V_{CCB} is above 2.5 V and the V_{CCA} is above 0.8 V. After power up and with the EN high, a low level on the A-side (below $0.3 \times V_{CCA}$) turns the corresponding B-side driver (either SDA or SCL) on and drives the B-side down to approximately 0.5 V. When the A-side rises above $0.3 \times V_{CCA}$, the B-side pull-down driver is turned off and the external pull-up resistor pulls the pin high. When the B-side falls first and goes below $0.3 \times V_{CCB}$, the A-side driver is turned on and the A-side pulls down to 0 V. The B-side pull-down is not enabled unless the B-side voltage goes below 0.4 V. If the B-side low voltage does not go

below 0.5 V, the A-side driver turns off when the B-side voltage is above $0.7 \times V_{CCB}$. If the B-side low voltage goes below 0.4 V, the B-side pull-down driver is enabled, and the B-side is able to rise to only 0.5 V until the A-side rises above $0.3 \times V_{CCA}$.

TI recommends using a decoupling capacitor and placing it close to the VCCA and VCCB pins of a value of about 100 nF.

10 Layout

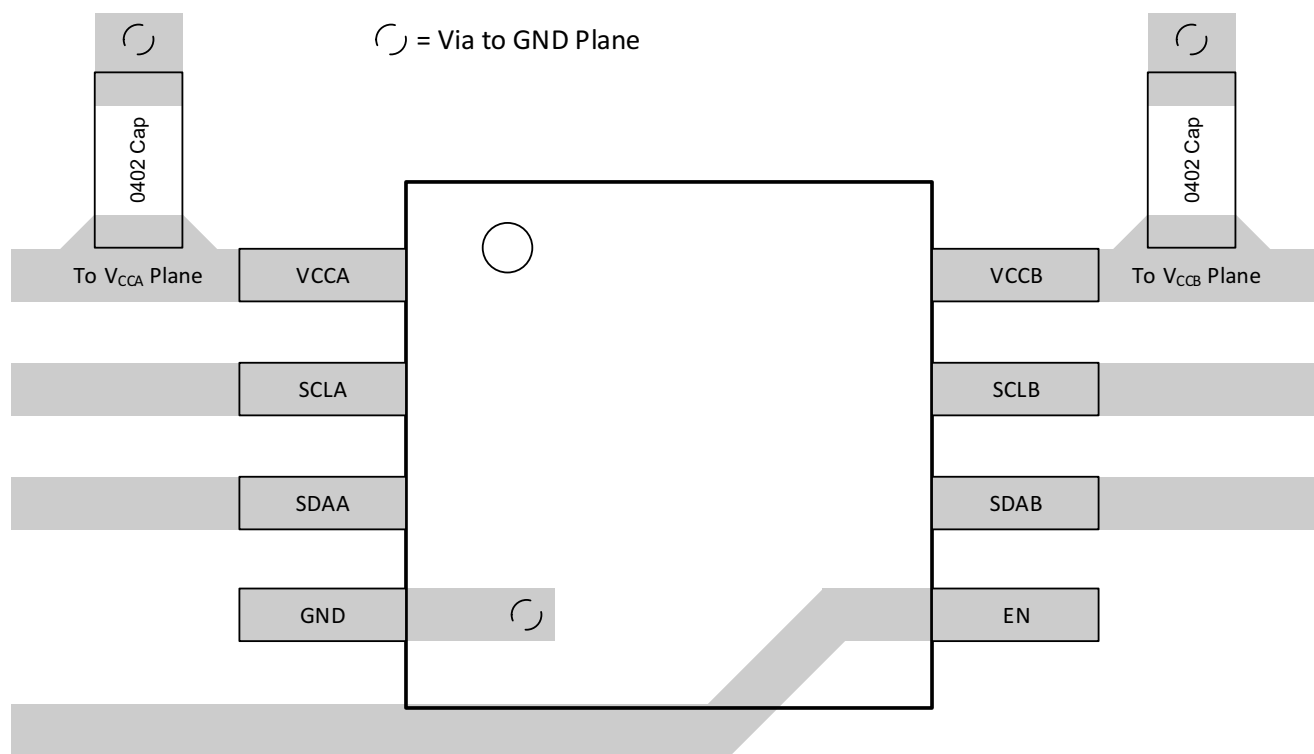
10.1 Layout Guidelines

There are no special layout procedures required for the TCA9517 TCA9517A.

It is recommended that the decoupling capacitors be placed as close to the VCC pins as possible.

10.2 Layout Example

☒ 10-1 shows an example layout of the DGK package.



☒ 10-1. TCA9517A Layout Example

11 Device and Documentation Support

11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

11.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.5 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

12 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (December 2018) to Revision D (September 2024)	Page
• Deleted $V_{CCA} < V_{CCB}$ from the <i>Design Requirements</i> list	14
• Updated Tape and Reel Information.....	21
• Updated Mechanical Data.....	23

Changes from Revision B (June 2015) to Revision C (December 2018)	Page
• 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• Changed the appearance of the DGK pin out image.....	4
• Deleted $V_{CCA} < V_{CCB}$ from the <i>Design Requirements</i> list	14

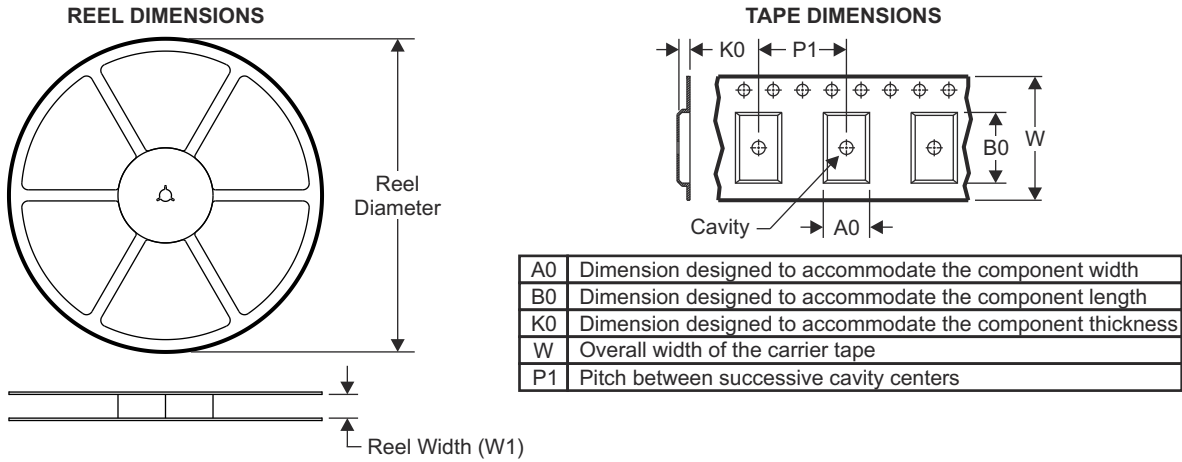
Changes from Revision A (April 2013) to Revision B (June 2015)	Page
• 「ピン構成および機能」セクション、ESD 定格の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• 注文情報の表の「上面のマーキング」列を更新。	1

Changes from Revision * (December 2012) to Revision A (April 2013)	Page
• ドキュメントに D パッケージを追加。	1
• 「注文情報」表の「上面のマーキング」列を更新。	1

13 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

13.1 Tape and Reel Information

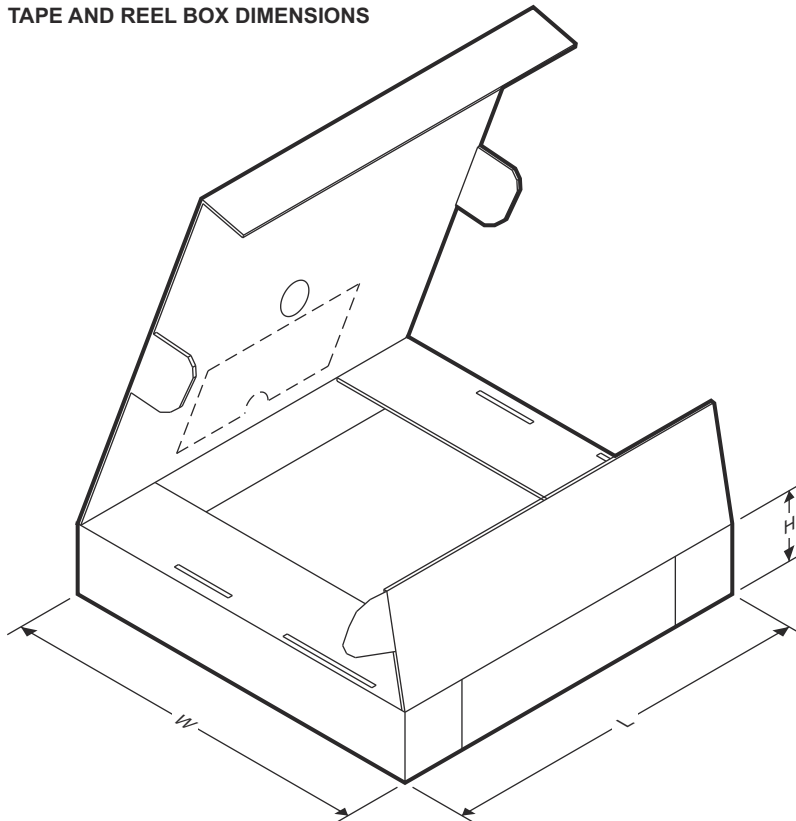


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCA9517ADGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCA9517ADGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0

13.2 Mechanical Data

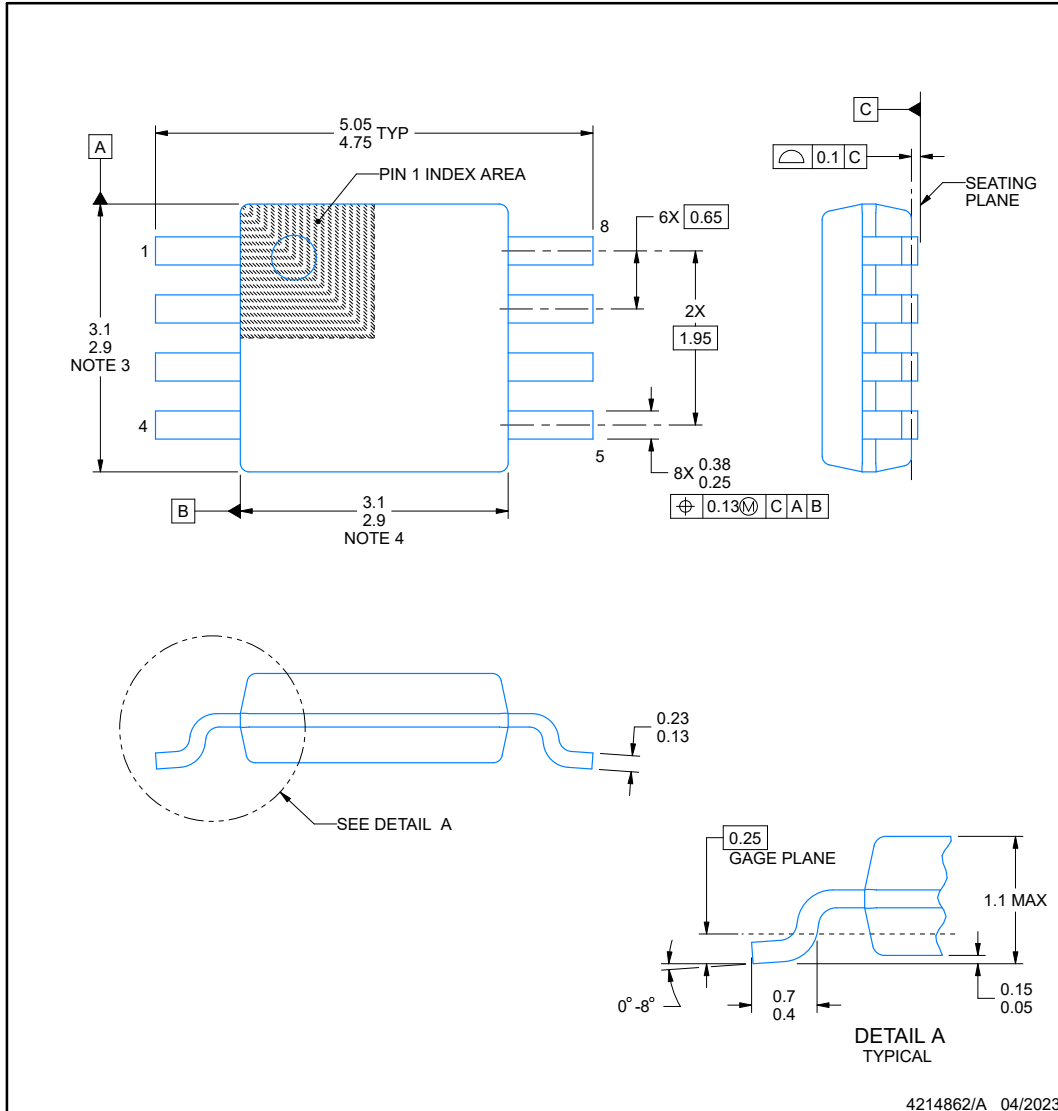
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

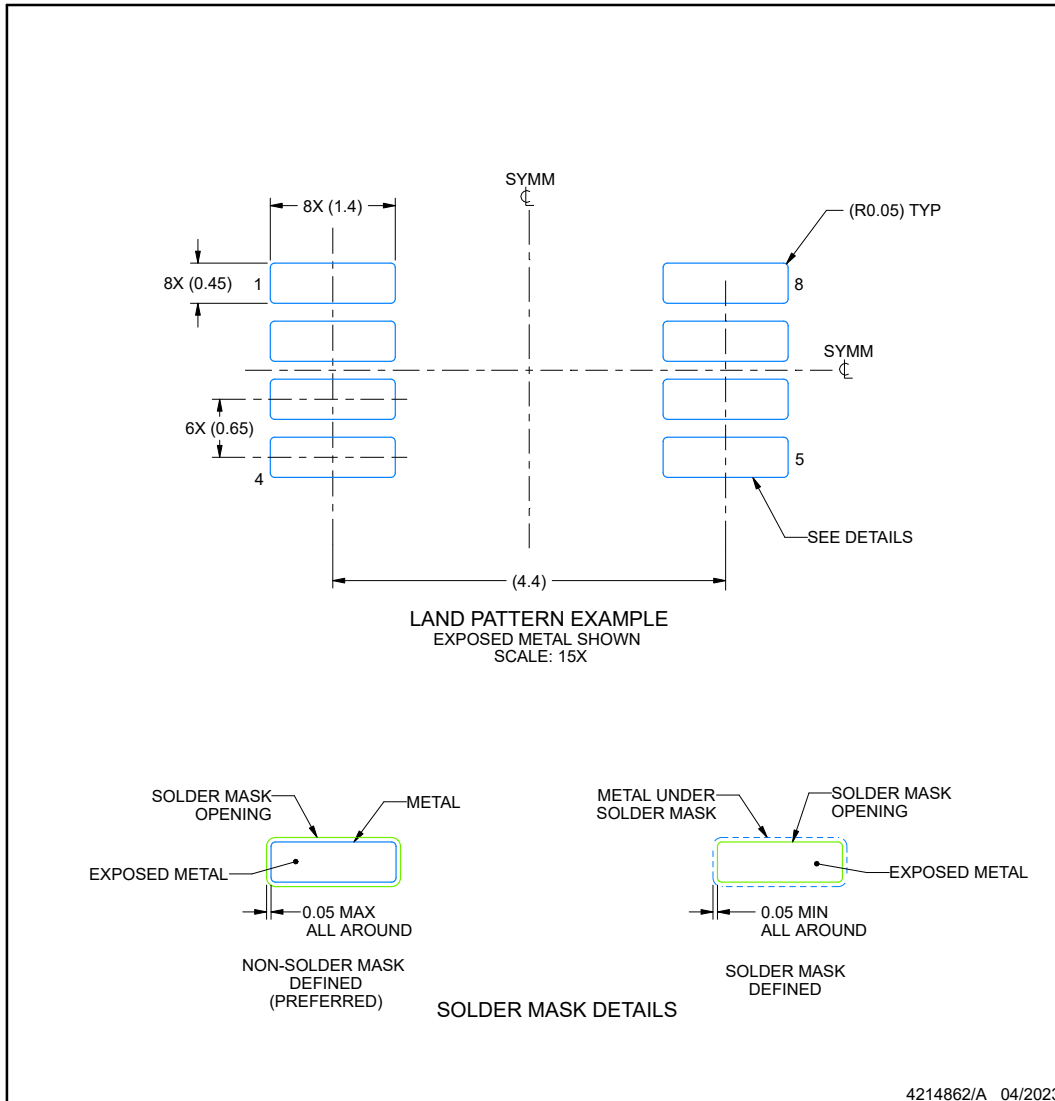
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

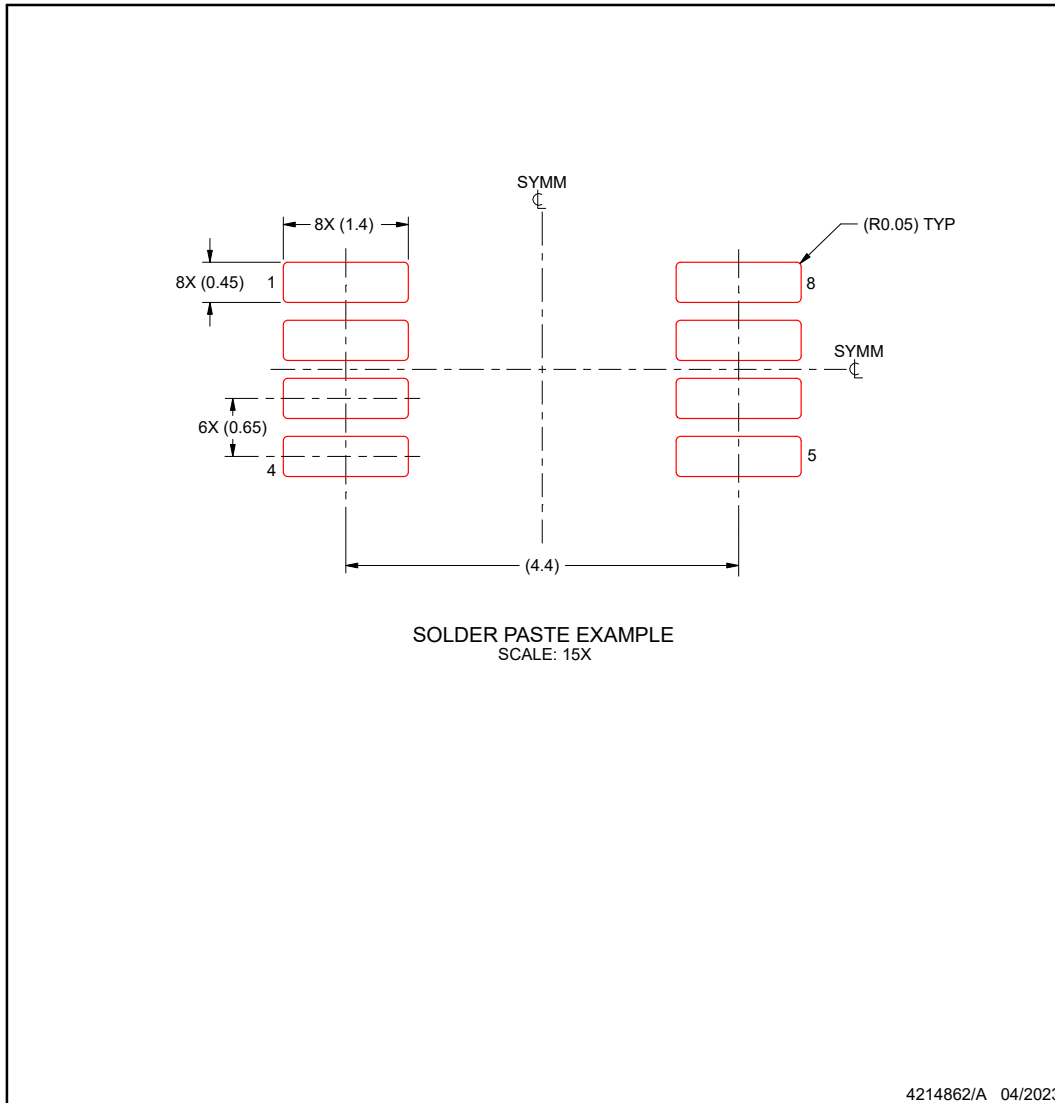
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TCA9517ADGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAUAG SN	Level-1-260C-UNLIM	-40 to 85	BSK	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated