

SN74LVC257A-Q1 3 ステート出力、車載用、クワッド、2 ライン入力 1 ライン出力、 出力、 データ セレクタ / マルチプレクサ

1 特長

- 車載アプリケーション認定済み
- MIL-STD-883, method 3015 に準拠した 2000V を超える ESD 保護
- 2V~3.6V で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 4.6ns (3.3V 時)
- V_{OLP} 標準値 (出力グランド バウンス) $< 0.8V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)
- V_{OHV} 標準値 (出力 V_{OH} アンダーシュート) $> 2V$ ($V_{CC} = 3.3V$, $T_A = 25^\circ C$)

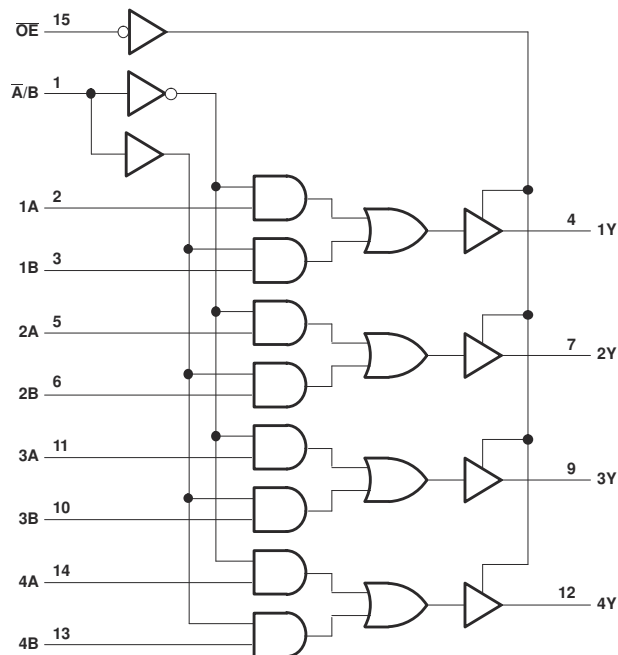
2 概要

SN74LVC257A クワッド 2 ライン入力 1 ライン出力、データ セレクタ / マルチプレクサは、2.7V~3.6V の V_{CC} で動作するように設計されています。

パッケージ情報

| 部品番号 | パッケージ ⁽¹⁾ | パッケージ サイズ ⁽²⁾ | 本体サイズ ⁽³⁾ |
|----------------|----------------------|--------------------------|----------------------|
| SN74LVC257A-Q1 | BQB (WQFN, 16) | 3.5mm × 2.5mm | 3.5mm × 2.5mm |
| | D (SOIC, 16) | 9.90mm × 6mm | 9.90mm × 3.90mm |
| | PW (TSSOP, 16) | 5.00mm × 6.4mm | 5.00mm × 4.40mm |

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



Table of Contents

| | | | |
|--|---|--|----|
| 1 特長 | 1 | 6.3 Device Functional Modes..... | 8 |
| 2 概要 | 1 | 7 Application and Implementation | 9 |
| 3 Pin Configuration and Functions | 3 | 7.1 Power Supply Recommendations..... | 9 |
| 4 Specifications | 4 | 7.2 Layout..... | 9 |
| 4.1 Absolute Maximum Ratings..... | 4 | 8 Device and Documentation Support | 10 |
| 4.2 ESD Ratings..... | 4 | 8.1 Documentation Support (Analog)..... | 10 |
| 4.3 Recommended Operating Conditions..... | 4 | 8.2 ドキュメントの更新通知を受け取る方法..... | 10 |
| 4.4 Thermal Information..... | 4 | 8.3 サポート・リソース..... | 10 |
| 4.5 Electrical Characteristics..... | 5 | 8.4 Trademarks..... | 10 |
| 4.6 Switching Characteristics..... | 5 | 8.5 静電気放電に関する注意事項..... | 10 |
| 4.7 Operating Characteristics..... | 5 | 8.6 用語集..... | 10 |
| 5 Parameter Measurement Information | 6 | 9 Revision History | 10 |
| 6 Detailed Description | 7 | 10 Mechanical, Packaging, and Orderable Information | 11 |
| 6.1 Overview..... | 7 | | |
| 6.2 Functional Block Diagram..... | 7 | | |

3 Pin Configuration and Functions

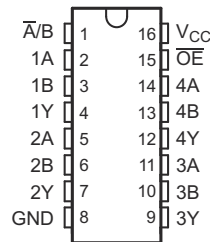


図 3-1. D or PW Package, 16-Pin SOIC or TSSOP (Top View)

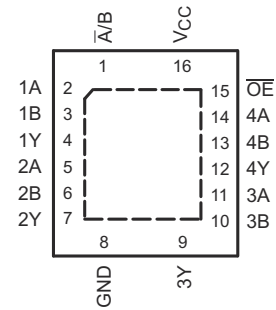


図 3-2. BQB Package, 16-Pin WQFN with Exposed Thermal Pad (Top View)

表 3-1. Pin Functions

| PIN | | I/O | DESCRIPTION |
|-------------------|----------------------|-----|---|
| NAME | SOIC, TSSOP, or WQFN | | |
| A/B | 1 | I | Select Pin, Low selects A, High selects B |
| 1A | 2 | I/O | Multiplexer Signal Input |
| 1B | 3 | I/O | Multiplexer Signal Input |
| 1Y | 4 | I/O | Multiplexer Output |
| 2A | 5 | I/O | Multiplexer Signal Input |
| 2B | 6 | I/O | Multiplexer Signal Input |
| 2Y | 7 | I/O | Multiplexer Output |
| 3A | 11 | I/O | Multiplexer Signal Input |
| 3B | 10 | I/O | Multiplexer Signal Input |
| 3Y | 9 | I/O | Multiplexer Output |
| 4A | 14 | I/O | Multiplexer Signal Input |
| 4B | 13 | I/O | Multiplexer Signal Input |
| 4Y | 12 | I/O | Multiplexer Output |
| GND | 8 | — | Ground |
| NC ⁽¹⁾ | — | — | No connect |
| OE | 15 | I/O | Active low Output enable |
| V _{CC} | 16 | — | Power pin |

(1) NC – no internal connection

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)

| | | MIN | MAX | UNIT |
|------------------|---|--------------------|-----------------------|------|
| V _{CC} | Supply voltage range | -0.5 | 6.5 | V |
| V _I | Input voltage range ⁽¹⁾ | -0.5 | 6.5 | V |
| V _O | Output voltage range ^{(1) (2)} | -0.5 | V _{CC} + 0.5 | V |
| I _{IK} | Input clamp current | V _I < 0 | -50 | mA |
| I _{OK} | Output clamp current | V _O < 0 | -50 | mA |
| I _O | Continuous output current | | ±50 | mA |
| | Continuous current through V _{CC} or GND | | ±100 | mA |
| T _{stg} | Storage temperature range | -65 | 150 | °C |

(1) The input and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.

(2) The value of V_{CC} is provided in the recommended operating conditions table.

4.2 ESD Ratings

| | | | VALUE | UNIT |
|--------------------|-------------------------|---|-------|------|
| V _(ESD) | Electrostatic discharge | Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾ | ±2000 | V |

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

4.3 Recommended Operating Conditions

over recommended operating free-air temperature range (unless otherwise noted)

| | | MIN | MAX | UNIT | | |
|-----------------|------------------------------------|----------------------------------|-----------------|------|------|---|
| V _{CC} | Supply voltage | Operating | 2 | 3.6 | V | |
| | | Data retention only | 1.5 | | | |
| V _{IH} | High-level input voltage | V _{CC} = 2.7 V to 3.6 V | | 2 | V | |
| V _{IL} | Low-level input voltage | V _{CC} = 2.7 V to 3.6 V | | | 0.8 | V |
| V _I | Input voltage | 0 | 5.5 | | V | |
| V _O | Output voltage | 0 | V _{CC} | | V | |
| I _{OH} | High-level output current | V _{CC} = 2.7 V | | -12 | mA | |
| | | V _{CC} = 3 V | | -24 | | |
| I _{OL} | Low-level output current | V _{CC} = 2.7 V | | 12 | mA | |
| | | V _{CC} = 3 V | | 24 | | |
| Δt/Δv | Input transition rise or fall rate | | 10 | | ns/V | |
| T _A | Operating free-air temperature | -40 | 125 | | °C | |

4.4 Thermal Information

| THERMAL METRIC ⁽¹⁾ | SN74LVC257A-Q1 | | | UNIT | |
|-------------------------------|--|----------|------------|------|------|
| | BQB (WQFN) | D (SOIC) | PW (TSSOP) | | |
| | 16 PINS | | | | |
| R _{θJA} | Junction-to-ambient thermal resistance | 98.8 | 73 | 108 | °C/W |

(1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

4.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

| PARAMETER | TEST CONDITIONS | V _{CC} | MIN | TYP ⁽¹⁾ | MAX | UNIT |
|------------------|--|-----------------|-----------------------|--------------------|------|------|
| V _{OH} | I _{OH} = -100 μA | 2.7 V to 3.6 V | V _{CC} - 0.2 | | | V |
| | I _{OH} = -12 mA | 2.7 V | 2.2 | | | |
| | | 3 V | 2.4 | | | |
| | I _{OH} = -24 mA | 3 V | 2.2 | | | |
| V _{OL} | I _{OL} = 100 μA | 2.7 V to 3.6 V | | | 0.2 | V |
| | I _{OL} = 12 mA | 2.7 V | | | 0.4 | |
| | I _{OL} = 24 mA | 3 V | | | 0.55 | |
| I _I | V _I = 5.5 V or GND | 3.6 V | | | ±5 | μA |
| I _{OZ} | V _O = V _{CC} or GND | 3.6 V | | | ±15 | μA |
| I _{CC} | V _I = V _{CC} or GND, I _O = 0 | 3.6 V | | | 10 | μA |
| ΔI _{CC} | One input at V _{CC} - 0.6 V, Other inputs at V _{CC} or GND | 2.7 V to 3.6 V | | | 500 | μA |
| C _i | V _I = V _{CC} or GND | 3.3 V | | 5 | | pF |
| C _o | V _O = V _{CC} or GND | 3.3 V | | 5 | | pF |

(1) All typical values are at V_{CC} = 3.3 V, T_A = 25°C.

4.6 Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see [Load Circuit and Voltage Waveforms](#))

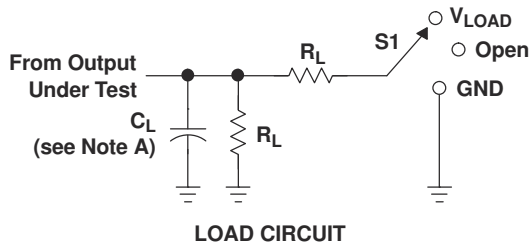
| PARAMETER | FROM (INPUT) | TO (OUTPUT) | V _{CC} = 2.7 V | | V _{CC} = 3.3 V ± 0.3 V | | UNIT |
|--------------------|-------------------|-------------|-------------------------|-----|---------------------------------|-----|------|
| | | | MIN | MAX | MIN | MAX | |
| t _{pd} | A or B | Y | 5.4 | | 1 | 4.6 | ns |
| | \bar{A}/\bar{B} | | 7.5 | | 1 | 6.4 | |
| t _{en} | $\bar{O}E$ | Y | 6.7 | | 1 | 5.6 | ns |
| t _{dis} | $\bar{O}E$ | Y | 4.7 | | 0.5 | 4.3 | ns |
| t _{sk(o)} | | | | | 1 | | ns |

4.7 Operating Characteristics

T_A = 25°C

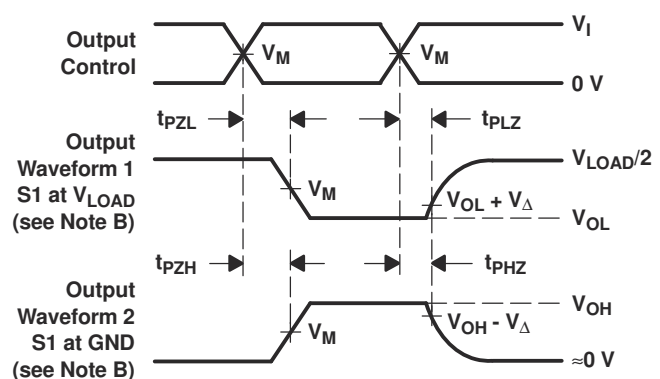
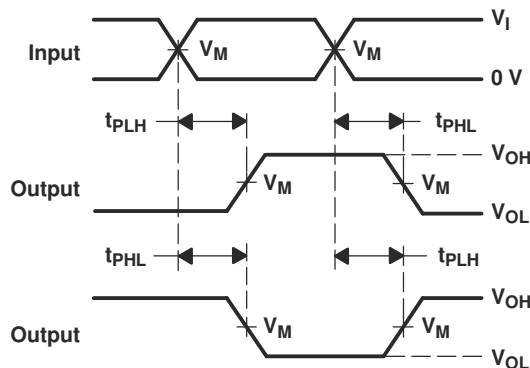
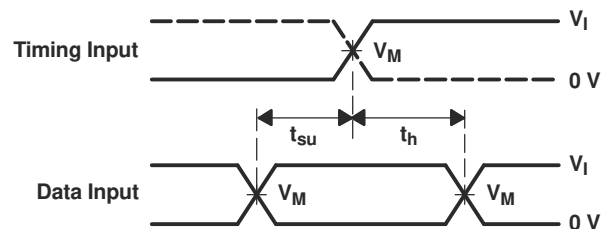
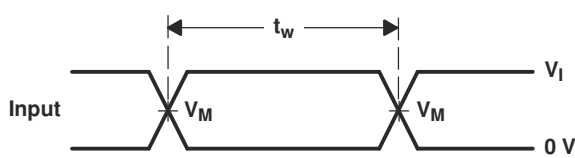
| PARAMETER | TEST CONDITIONS | V _{CC} = 2.5 V | V _{CC} = 3.3 V | UNIT |
|---|-----------------|-------------------------|-------------------------|------|
| | | TYP | TYP | |
| C _{pd} Power dissipation capacitance | f = 10 MHz | 14.5 | 15.5 | pF |

5 Parameter Measurement Information



| TEST | S1 |
|-------------------|------------|
| t_{PLH}/t_{PHL} | Open |
| t_{PLZ}/t_{PZL} | V_{LOAD} |
| t_{PHZ}/t_{PZH} | GND |

| V_{CC} | INPUTS | | V_M | V_{LOAD} | C_L | R_L | V_{Δ} |
|-------------------|--------|---------------|-------|------------|-------|--------------|--------------|
| | V_I | t_r/t_f | | | | | |
| 2.7 V | 2.7 V | ≤ 2.5 ns | 1.5 V | 6 V | 50 pF | 500 Ω | 0.3 V |
| 3.3 V \pm 0.3 V | 2.7 V | ≤ 2.5 ns | 1.5 V | 6 V | 50 pF | 500 Ω | 0.3 V |



- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics: PRR \leq 10 MHz, $Z_O = 50 \Omega$.
 - D. The outputs are measured one at a time, with one transition per measurement.
 - E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - F. t_{PZL} and t_{PZH} are the same as t_{en} .
 - G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 - H. All parameters and waveforms are not applicable to all devices.

5-1. Load Circuit and Voltage Waveforms

6 Detailed Description

6.1 Overview

The device is designed to multiplex signals from 4-bit data sources to 4-output data lines in bus-organized systems. The 3-state outputs do not load the data lines when the output-enable (\overline{OE}) input is at a high logic level.

Inputs can be driven from either 3.3V or 5V devices. This feature allows the use of this device as a translator in a mixed 3.3V/5V system environment.

To ensure the high-impedance state during power up or power down, \overline{OE} should be tied to V_{CC} through a pullup resistor; the minimum value of the resistor is determined by the current-sinking capability of the driver.

6.2 Functional Block Diagram

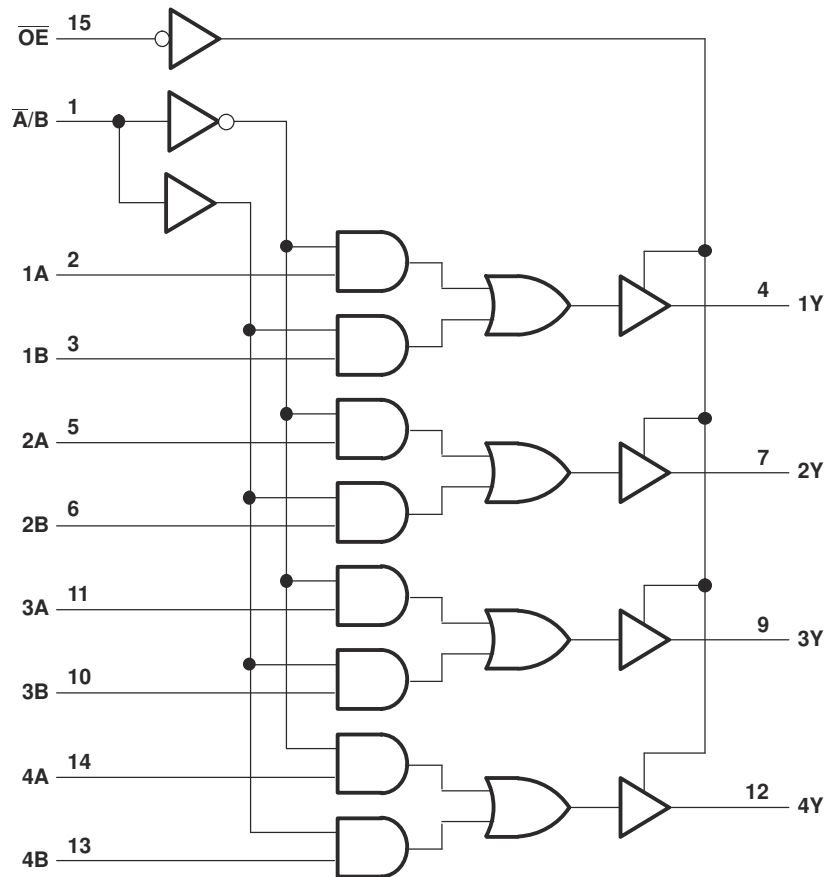


图 6-1. Logic Diagram (Positive Logic)

6.3 Device Functional Modes

[Function Table](#) lists the functional modes for the SN74LVC257A-Q1 devices.

Function Table

| INPUTS | | | | OUTPUT Y |
|--------|-------------|---|---|-------------|
| OE | \bar{A}/B | A | B | |
| H | X | X | X | Z |
| L | L | L | X | L |
| L | L | H | X | H |
| L | H | X | L | L |
| L | H | X | H | H |

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the [セクション 4.3](#) table.

Each V_{CC} terminal must have a good bypass capacitor to prevent power disturbance. For devices with a single supply, a 0.1- μF capacitor is recommended. If there are multiple V_{CC} terminals then 0.01- μF or 0.022- μF capacitors are recommended for each power terminal. It is ok to parallel multiple bypass capacitors to reject different frequencies of noise. Multiple bypass capacitors may be paralleled to reject different frequencies of noise. The bypass capacitor must be installed as close to the power terminal as possible for the best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple bit logic devices, inputs must not float. In many cases, functions or parts of functions of digital logic devices are unused. Some examples are when only two inputs of a triple-input AND gate are used, or when only 3 of the 4-buffer gates are used. Such input pins must not be left unconnected because the undefined voltages at the outside connections result in undefined operational states.

Specified in [Layout Example for the SN74LVC257A-Q1](#) are rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that must be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} , whichever makes more sense or is more convenient.

7.2.2 Layout Example

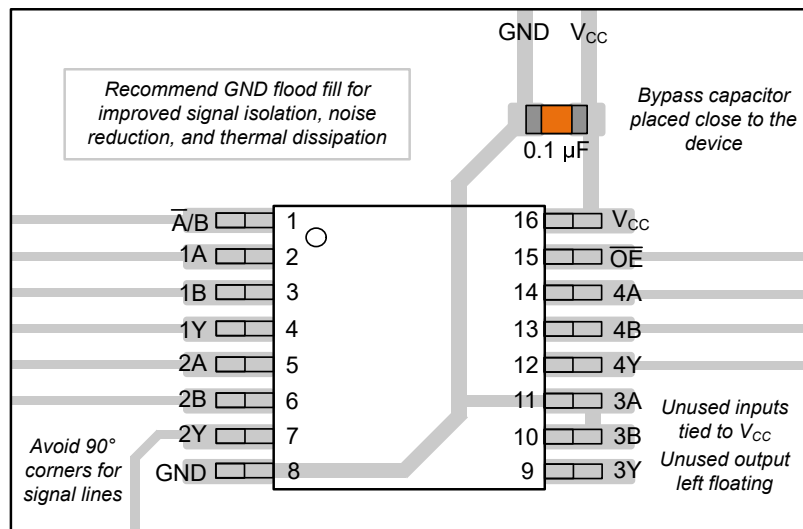


図 7-1. Example Layout for the SN74LVC257A-Q1

8 Device and Documentation Support

8.1 Documentation Support (Analog)

8.1.1 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

| PARTS | PRODUCT FOLDER | SAMPLE & BUY | TECHNICAL DOCUMENTS | TOOLS & SOFTWARE | SUPPORT & COMMUNITY |
|----------------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|
| SN74LVC257A-Q1 | Click here | Click here | Click here | Click here | Click here |

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision B (February 2008) to Revision C (May 2024) | Page |
|---|------|
| • 「パッケージ情報」表、「ピン構成および機能」セクション、および「熱に関する情報」表に BQA パッケージを追加 1 | 1 |
| • 「パッケージ情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加 1 | 1 |
| • データシート全体にわたってマシン モデルへの参照を削除..... 1 | 1 |

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

| Orderable Device | Status (1) | Package Type | Package Drawing | Pins | Package Qty | Eco Plan (2) | Lead finish/ Ball material (6) | MSL Peak Temp (3) | Op Temp (°C) | Device Marking (4/5) | Samples |
|--------------------|---------------|--------------|-----------------|------|-------------|-----------------|--------------------------------------|----------------------|--------------|-------------------------|---------|
| CLVC257AQPWRG4Q1 | ACTIVE | TSSOP | PW | 16 | 2000 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | L257AQ1 | Samples |
| SN74LVC257APWRQ1 | ACTIVE | TSSOP | PW | 16 | 3000 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | LVC257Q | Samples |
| SN74LVC257AQDRG4Q1 | ACTIVE | SOIC | D | 16 | 2500 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | L257AQ1 | Samples |
| SN74LVC257AWBQRQ1 | ACTIVE | WQFN | BQB | 16 | 3000 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | LC257Q | Samples |

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC257A-Q1 :

- Catalog : [SN74LVC257A](#)
- Enhanced Product : [SN74LVC257A-EP](#)
- Military : [SN54LVC257A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| CLVC257AQPWRG4Q1 | TSSOP | PW | 16 | 2000 | 330.0 | 12.4 | 6.9 | 5.6 | 1.6 | 8.0 | 12.0 | Q1 |
| SN74LVC257APWRQ1 | TSSOP | PW | 16 | 3000 | 330.0 | 12.4 | 6.9 | 5.6 | 1.6 | 8.0 | 12.0 | Q1 |
| SN74LVC257AWBQBRQ1 | WQFN | BQB | 16 | 3000 | 180.0 | 12.4 | 2.8 | 3.8 | 1.2 | 4.0 | 12.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|--------------------|--------------|-----------------|------|------|-------------|------------|-------------|
| CLVC257AQPWRG4Q1 | TSSOP | PW | 16 | 2000 | 356.0 | 356.0 | 35.0 |
| SN74LVC257APWRQ1 | TSSOP | PW | 16 | 3000 | 353.0 | 353.0 | 32.0 |
| SN74LVC257AWBQBRQ1 | WQFN | BQB | 16 | 3000 | 210.0 | 185.0 | 35.0 |

GENERIC PACKAGE VIEW

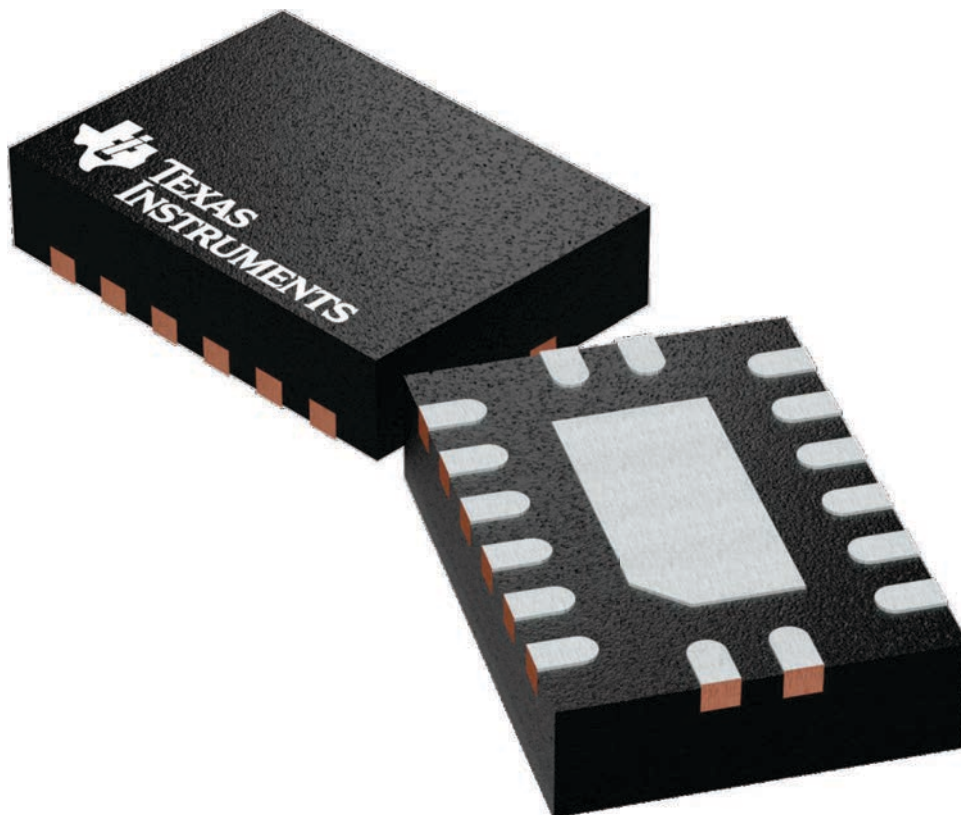
BQB 16

WQFN - 0.8 mm max height

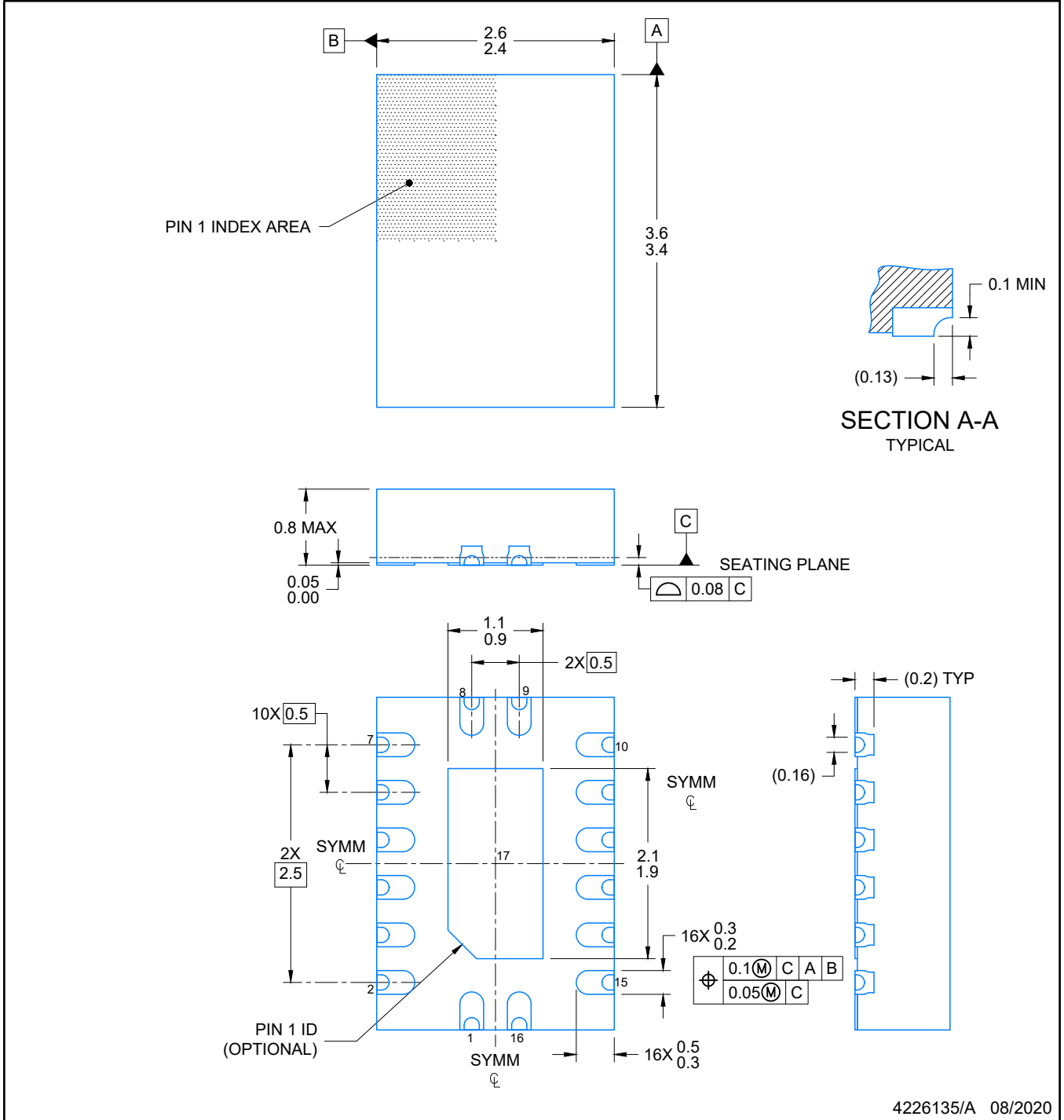
2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



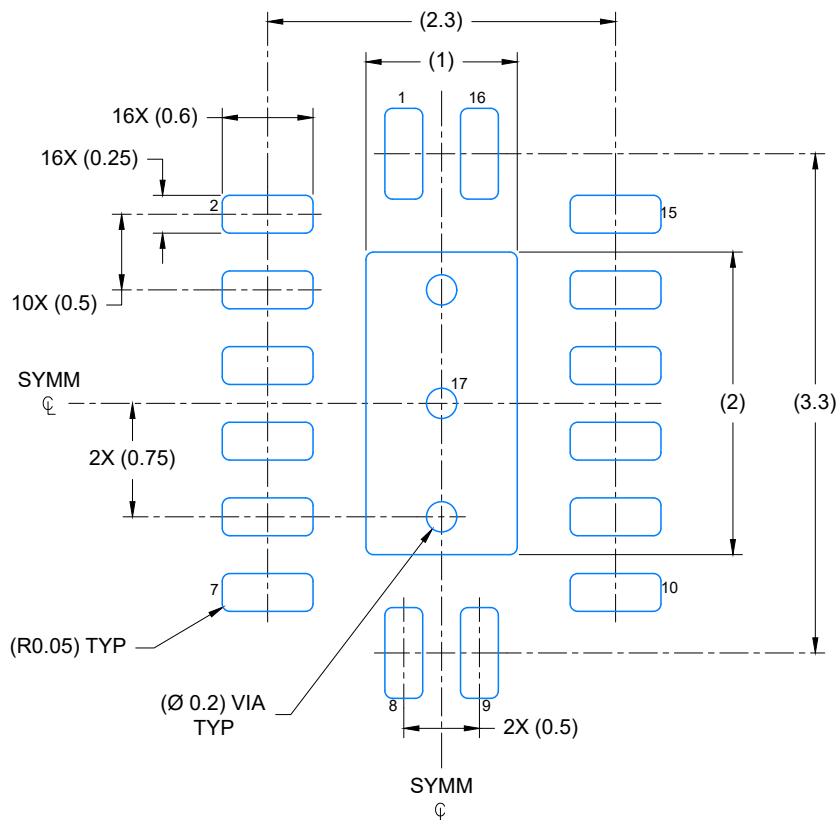
4226161/A



4226135/A 08/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

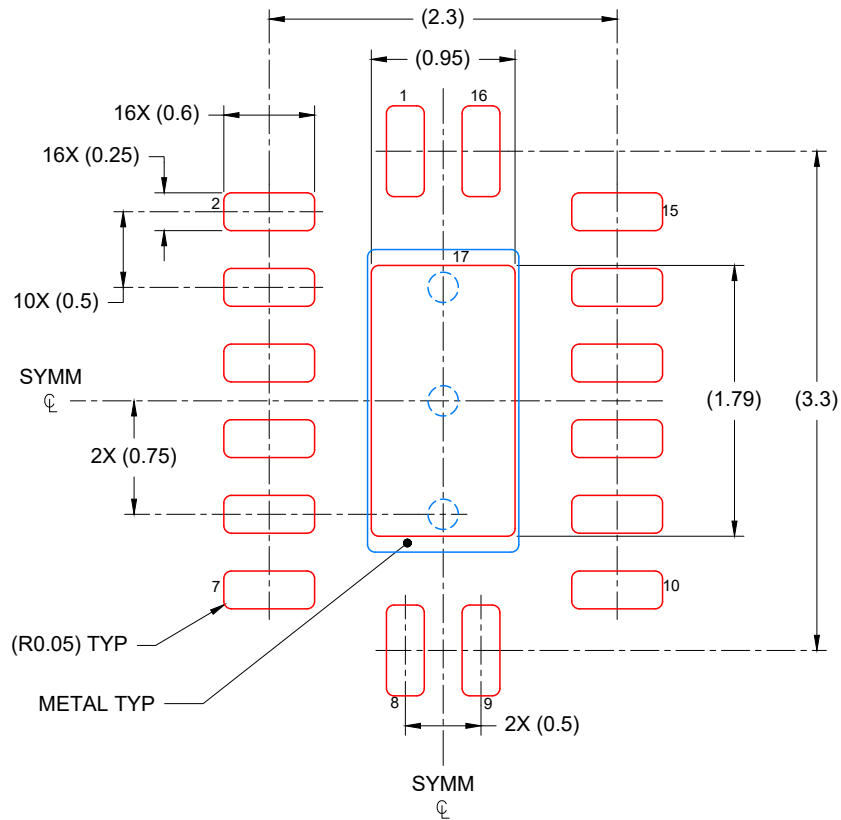


LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
 85% PRINTED COVERAGE BY AREA
 SCALE: 20X

4226135/A 08/2020

NOTES: (continued)

- 6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated