

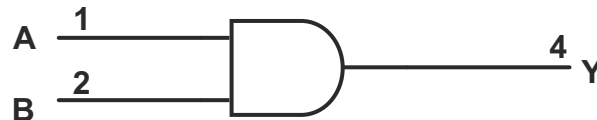
SN74LV1T08-Q1 車載用 2 入力正論理 AND ゲート、統合変換機能付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 幅広い動作範囲: 1.8V ~ 5.5V
- 単一電源電圧トランスレータ (「LVxT 拡張入力電圧」を参照):
 - 昇圧変換:
 - 1.2V から 1.8V
 - 1.5V から 2.5V
 - 1.8V から 3.3V
 - 3.3V から 5.0V
 - 降圧変換:
 - 5.0V、3.3V、2.5V から 1.8V
 - 5.0V、3.3V から 2.5V
 - 5.0V から 3.3V
- 5.5V 許容入力ピン
- 標準ピン配置をサポート
- 5V または 3.3V の V_{CC} で最大 150Mbps
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- 通信モジュールとシステム・コントローラ間の変換



概略論理図 (正論理)

3 概要

SN74LV1T08-Q1 は 2 入力 AND ゲートです。各ゲートはブール関数 $Y = A \times B$ を正論理で実行します。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

低電圧 CMOS 入力の昇圧変換 (例: 1.2V 入力から 1.8V 出力、1.8V 入力から 3.3V 出力) をサポートするため、低スレッショルド回路を使って入力を設計しました。また、5V 許容入力ピンにより、降圧変換 (例: 3.3V から 2.5V 出力) が可能です。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ (公称) ⁽³⁾
SN74LV1T08-Q1	DCK (SC-70, 5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23, 5)	2.9mm × 2.8mm	2.9mm × 1.6mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージサイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



目次

1 特長	1	7.2 機能ブロック図.....	12
2 アプリケーション	1	7.3 機能説明.....	12
3 概要	1	7.4 デバイスの機能モード.....	14
4 ピン構成および機能	3	8 アプリケーションと実装	15
5 仕様	4	8.1 アプリケーション情報.....	15
5.1 絶対最大定格.....	4	8.2 代表的なアプリケーション.....	15
5.2 ESD 定格.....	4	8.3 電源に関する推奨事項.....	17
5.3 推奨動作条件.....	5	8.4 レイアウト.....	17
5.4 熱に関する情報.....	6	9 デバイスおよびドキュメントのサポート	19
5.5 電気的特性.....	7	9.1 ドキュメントのサポート.....	19
5.6 スイッチング特性: 1.8V V_{CC}	8	9.2 ドキュメントの更新通知を受け取る方法.....	19
5.7 スイッチング特性: 2.5V V_{CC}	8	9.3 サポート・リソース.....	19
5.8 スイッチング特性: 3.3V V_{CC}	8	9.4 商標.....	19
5.9 スイッチング特性: 5.0V V_{CC}	8	9.5 静電気放電に関する注意事項.....	19
5.10 代表的特性.....	8	9.6 用語集.....	19
6 パラメータ測定情報	11	10 改訂履歴	19
7 詳細説明	12	11 メカニカル、パッケージ、および注文情報	20
7.1 概要.....	12		

4 ピン構成および機能

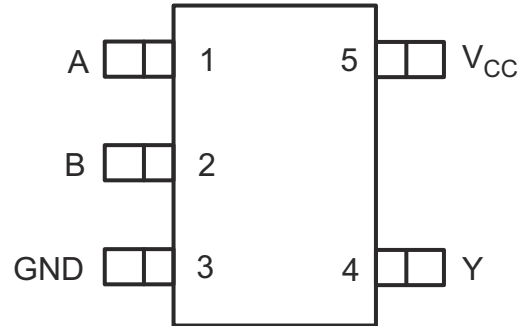


図 4-1. SN74LV1T08-Q1 DBV Package, 5-Pin SOT-23; DCK Package, 5-Pin SC-70 (Top View)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
A	1	I	Input A
B	2	I	Input B
GND	3	G	Ground
Y	4	O	Output Y
V _{CC}	5	P	Positive Supply

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧	-0.5	7	V
V _I	入力電圧範囲	-0.5	7	V
V _O	出力電圧範囲	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流 ⁽²⁾	V _I < -0.5V		-20 mA
I _{OK}	出力クランプ電流 ⁽²⁾	V _O < -0.5V または V _O > V _{CC} + 0.5V		±20 mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		±25 mA
I _O	V _{CC} または GND を通過する連続出力電流			±50 mA
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内で、一時的に推奨動作条件の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入出力の電圧定格を超えることがあります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000
		荷電デバイス・モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4B 準拠	±1000

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
V_{CC}	電源電圧	1.6	5.5	V
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
V_{IH}	High レベル入力電圧	$V_{CC} = 1.65V \sim 2V$	1.1	V
		$V_{CC} = 2.25V \sim 2.75V$	1.28	
		$V_{CC} = 3V \sim 3.6V$	1.45	
		$V_{CC} = 4.5V \sim 5.5V$	2.00	
V_{IL}	Low レベル入力電圧	$V_{CC} = 1.65V \sim 2V$	0.50	V
		$V_{CC} = 2.25V \sim 2.75V$	0.65	
		$V_{CC} = 3V \sim 3.6V$	0.75	
		$V_{CC} = 4.5V \sim 5.5V$	0.85	
I_O	出力電流	$V_{CC} = 1.65V \sim 2V$	± 3	mA
		$V_{CC} = 2.25V \sim 2.75V$	± 7	
		$V_{CC} = 3V \sim 5.5V$	± 15	
$\Delta t/\Delta v$	入力遷移の立ち上がりレートと立ち下がりレート	$V_{CC} = 1.65V \sim 5.5V$	20	ns/V
T_A	自由気流での動作温度	-40	125	°C

5.4 熱に関する情報

熱評価基準 (1)		DBV (SOT-23)	DCK (SC-70)	単位
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	278.0	293.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	180.5	208.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	184.4	180.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	115.4	120.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	183.4	179.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			-40°C~125°C			単位	
			最小値	代表値	最大値	最小値	代表値	最大値		
V _{OH}	I _{OH} = -50μA	1.65V~5.5V	V _{CC} - 0.1			V _{CC} - 0.1			V	
	I _{OH} = -2mA	1.65V	1.28	1.7 ⁽¹⁾	1.21					
	I _{OH} = -3mA	2.25V	2	2.4 ⁽¹⁾	1.93					
	I _{OH} = -5.5mA	3.0V	2.6	3.08 ⁽¹⁾	2.49					
	I _{OH} = -8mA	4.5V	4.1	4.65 ⁽¹⁾	3.95					
V _{OL}	I _{OH} = 50μA	1.65V~5.5V				0.1	0.1		V	
	I _{OH} = 2mA	1.65V	0.1 ⁽¹⁾			0.2	0.25			
	I _{OH} = 3mA	2.25V	0.1 ⁽¹⁾			0.15	0.2			
	I _{OH} = 5.5mA	3.0V	0.2 ⁽¹⁾			0.2	0.25			
	I _{OH} = 8mA	4.5V	0.3 ⁽¹⁾			0.3	0.35			
I _{CC}	V _I = V _{CC} または GND、I _O = 0	5V				0.12	±1		μA	
		3.3V				1	10			
		2.5V				1	10			
		1.8V				1	10			
ΔI _{CC}	1つの入力は 0.3V または 3.4V、他の入力は V _{CC} または GND	5.5V				1.35	1.5		mA	
	1つの入力は 0.3V または 1.1V、他の入力は V _{CC} または GND	1.8V				10	10		μA	
I _I	V _I = 0V~V _{CC}					0.12	±1		μA	
C _i	V _I = V _{CC} または GND	3.3V				2	10	2	10	pF
C _O	V _O = V _{CC} または GND	3.3V				2.5	2.5			pF
C _{PD} ^{(2) (3)}	F = 1MHz および 10MHz	1.65V~5.5V				14				pF

- (1) 最も近い公称電圧 (1.8V、2.5V、3.3V、5V) での代表値
(2) C_{PD} は、チャネルごとのダイナミック消費電力を決定するために使用されます。
(3) P_D = V_{CC}² × F_I × (C_{PD} + C_L)、F_I = 入力周波数、C_L = 出力負荷容量、V_{CC} = 電源電圧

5.6 スイッチング特性 : 1.8V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			-40°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t _{PD}	A または B	Y	CL = 15pF	8.8	12.7		1	10.4	14.9	ns
			CL = 50pF	10.8	15.7		1	12.7	18.3	

5.7 スイッチング特性 : 2.5V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			-40°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t _{PD}	A または B	Y	CL = 15pF	6.3	7.9		7.4	9.5		ns
			CL = 50pF	7.4	9.6		8.9	11.5		

5.8 スイッチング特性 : 3.3V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			-40°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t _{PD}	A または B	Y	CL = 15pF	4.9	5.9		6	7.3		ns
			CL = 50pF	5.9	7.2		7.1	8.8		

5.9 スイッチング特性 : 5.0V V_{CC}

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	負荷容量	T _A = 25°C			-40°C~125°C			単位
				最小値	代表値	最大値	最小値	代表値	最大値	
t _{PD}	A または B	Y	CL = 15pF	3.4	4.1		4.1	4.7		ns
			CL = 50pF	3.9	5.3		4.9	6.3		

5.10 代表的特性

T_A = 25°C (特に記述のない限り)

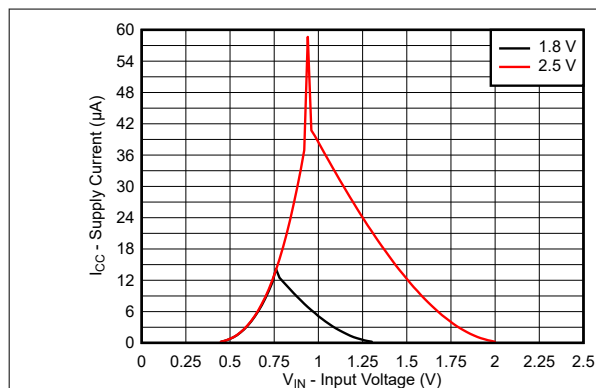


図 5-1. 入力電圧 1.8V および 2.5V 電源間の電源電流

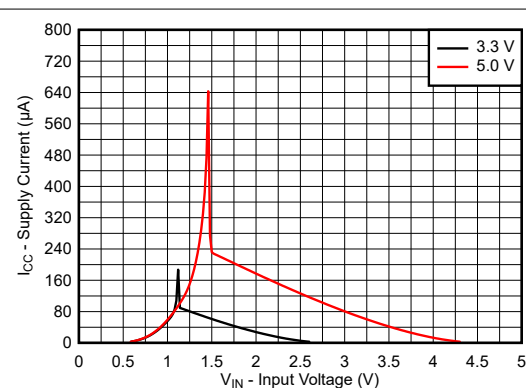


図 5-2. 入力電圧 3.3V および 5.0V 電源間の電源電流

5.10 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

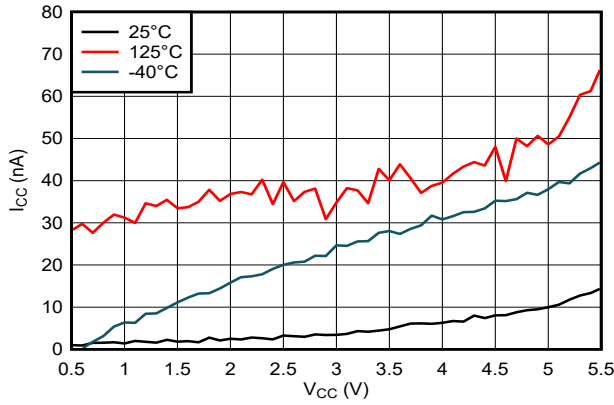


図 5-3. 電源電圧間の電源電流

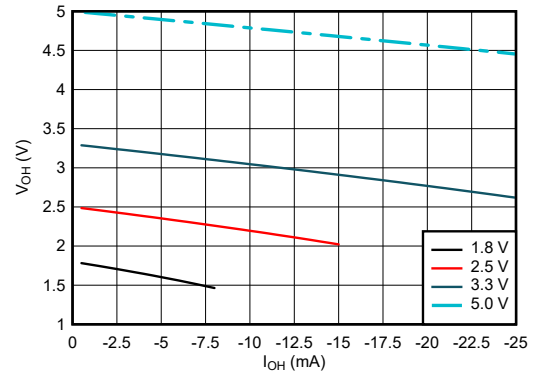


図 5-4. HIGH 状態での出力電圧と電流との関係

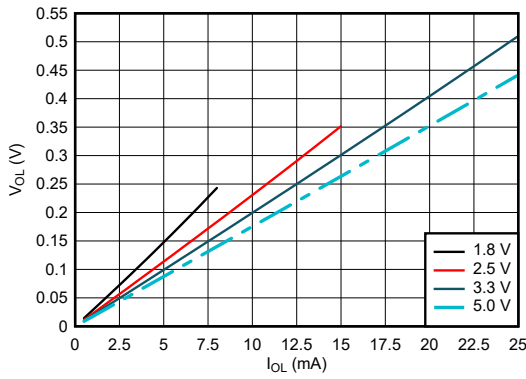


図 5-5. LOW 状態での出力電圧と電流との関係

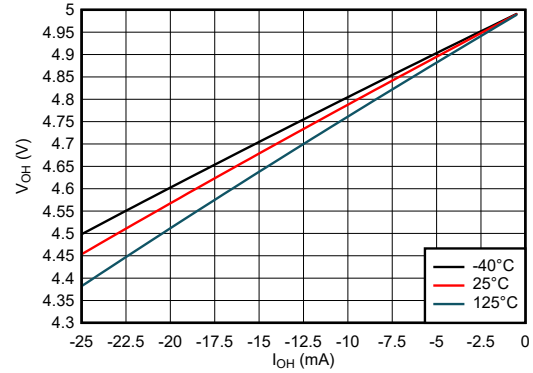


図 5-6. HIGH 状態での出力電圧と電流との関係、5V 電源

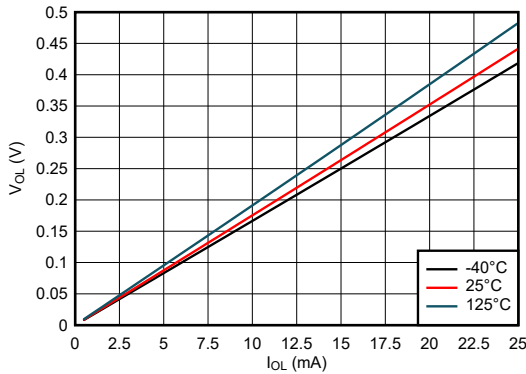


図 5-7. LOW 状態での出力電圧と電流との関係、5V 電源

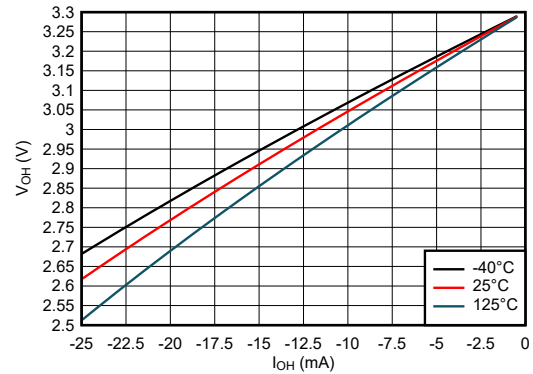


図 5-8. HIGH 状態での出力電圧と電流との関係、3.3V 電源

5.10 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

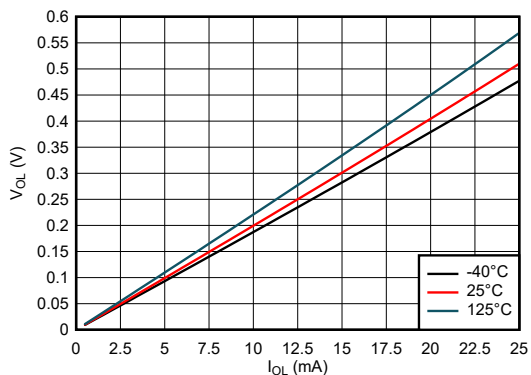


図 5-9. LOW 状態での出力電圧と電流との関係、3.3V 電源

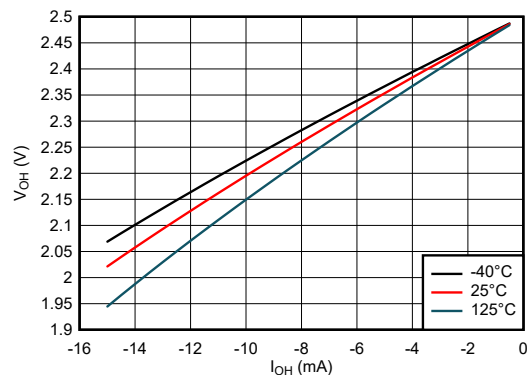


図 5-10. HIGH 状態での出力電圧と電流との関係、2.5V 電源

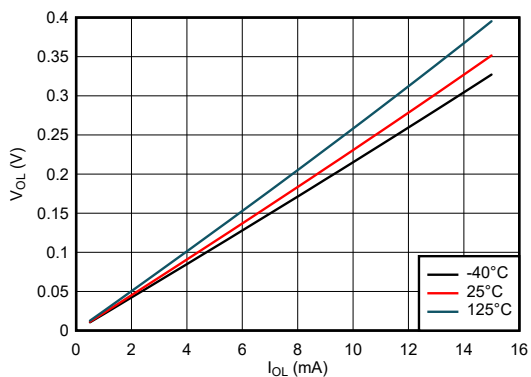


図 5-11. LOW 状態での出力電圧と電流との関係、2.5V 電源

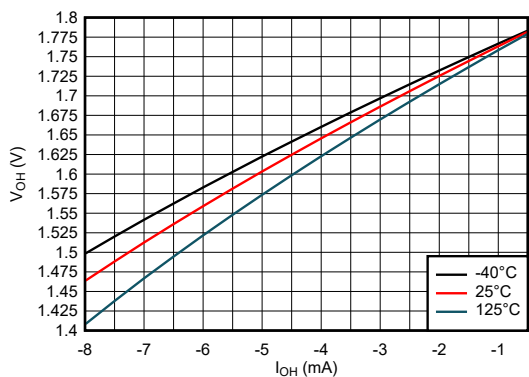


図 5-12. HIGH 状態での出力電圧と電流との関係、1.8V 電源

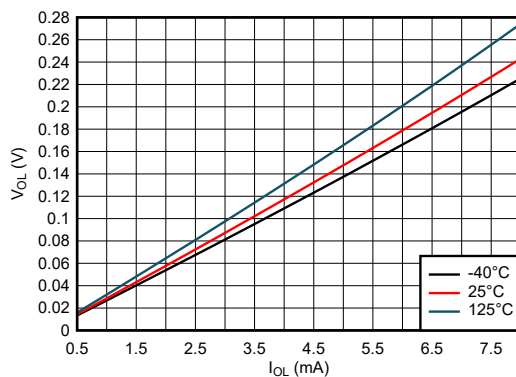


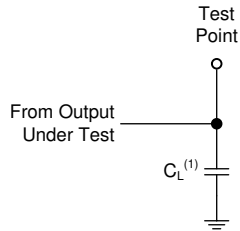
図 5-13. LOW 状態での出力電圧と電流との関係、1.8V 電源

6 パラメータ測定情報

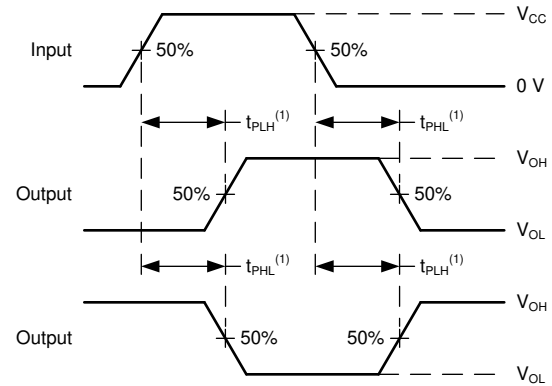
波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータから供給されます: $PRR \leq 1\text{MHz}$ 、 $Z_O = 50\Omega$ 、 $t_f < 3\text{ns}$ 。

クロック入力では、入力デューティ・サイクルが **50%** のときの f_{max} が測定されます。

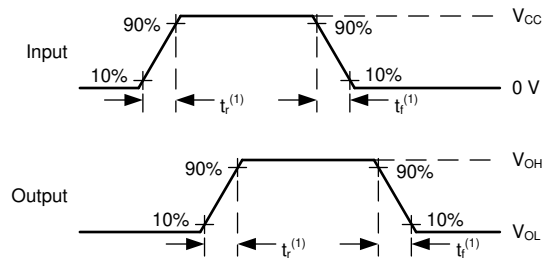
出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。
図 6-1. プッシュプル出力用負荷回路



(1) t_{PLH} と t_{PHL} の間の大きい方が t_{pd} と同じになります。
図 6-2. 電圧波形の伝搬遅延



(1) t_r と t_f の大きい方が t_t と同じになります。
図 6-3. 電圧波形、入力と出力の遷移時間

7 詳細説明

7.1 概要

SN74LV1T08-Q1 は 2 入力 AND ゲートです。各ゲートはブール関数 $Y = A \times B$ を正論理で実行します。出力レベルは電源電圧 (V_{CC}) を基準としており、1.8V、2.5V、3.3V、5V の CMOS レベルをサポートしています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.2 LVxT 拡張入力電圧

SN74LV1T08-Q1 は、電圧レベル変換機能を内蔵したテキサス・インスツルメンツの LVxT ロジック・デバイス・ファミリの製品です。このファミリのデバイスは、昇圧変換をサポートするため入力電圧スレッシュホールドを低くし、降圧変換をサポートするため最大 5.5V レベルの信号入力に対応するように設計されています。出力電圧は、「電気的特性」表に記載されているように、常に電源電圧 (V_{CC}) を基準とします。正常に機能させるには、入力信号を HIGH 入力状態では規定の $V_{IH(MIN)}$ レベル以下、LOW 入力状態では規定の $V_{IL(MAX)}$ 以下に維持する必要があります。図 7-1 に、LVxT ファミリのデバイスの標準的な V_{IH} および V_{IL} レベルと、比較のため標準 CMOS デバイスの電圧レベルを示します。

入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されているように、入力信号が有効なロジック状態間で迅速に遷移する必要があります。この仕様が満たされない場合、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーション・レポートを参照してください。

動作中は、入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端する必要があります。システムが常に入力をアクティブに駆動しない場合は、プルアップまたはプルダウン抵抗を追加して、これらの期間中に有効な入力電圧を供給できます。抵抗値には複数の要因が関係しますが、10kΩ の抵抗が推奨され、通常はすべての要件が満たされます。

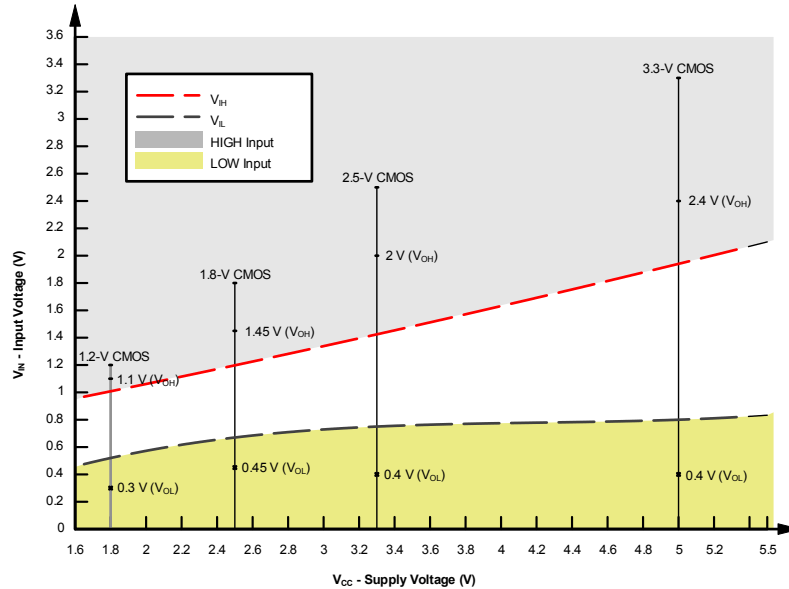


図 7-1. LVxT の入力電圧レベル

7.3.2.1 降圧変換

信号は、SN74LV1T08-Q1 を使用して降圧変換できます。「推奨動作条件」および「電気的特性」の表に記載されているように、V_{CC} に印加される電圧によって出力電圧と入力スレッショルドが決まります。

高インピーダンスの入力に接続すると、出力電圧は HIGH 状態では約 V_{CC}、LOW 状態で 0V になります。図 7-1 に示すように、HIGH 状態の入力信号は V_{IH(MIN)} と 5.5V の間、LOW 状態の入力信号は V_{IL(MAX)} を下回るようにしてください。

たとえば図 7-2 に示すように、5.0V、3.3V、2.5V で動作するデバイスの標準 CMOS 入力、1.8V V_{CC} で動作する場合、1.8V CMOS 信号と一致するように降圧変換できます。

降圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 2.5V、3.3V、5.0V からの入力
- 2.5V V_{CC} – 3.3V および 5.0V からの入力
- 3.3V V_{CC} – 5.0V からの入力

7.3.2.2 昇圧変換

入力信号は、SN74LV1T08-Q1 を使用して昇圧変換できます。「推奨動作条件」および「電気的特性」の表に記載されているように、V_{CC} に印加される電圧によって出力電圧と入力スレッショルドが決まります。高インピーダンスの入力に接続すると、出力電圧は HIGH 状態では約 V_{CC}、LOW 状態で 0V になります。

代表値よりもはるかに低い入力 HIGH 状態レベルに対応できるように、入力のスレッショルドは低減されています。たとえば、5V 電源で動作するデバイスの標準 CMOS 入力の V_{IH(MIN)} は 3.5V になります。SN74LV1T08-Q1 の場合、5V 電源での V_{IH(MIN)} はわずか 2V であるため、標準的な 2.5V から 5V 信号への昇圧変換が可能です。

図 7-2 に示すように、HIGH 状態の入力信号は V_{IH(MIN)} を上回るようにし、LOW 状態の入力信号は V_{IL(MAX)} を下回るようにしてください。

昇圧変換の組み合わせは次のとおりです。

- 1.8V V_{CC} – 1.2V からの入力
- 2.5V V_{CC} – 1.8V からの入力
- 3.3V V_{CC} – 1.8V および 2.5V からの入力
- 5.0V V_{CC} – 2.5V および 3.3V からの入力

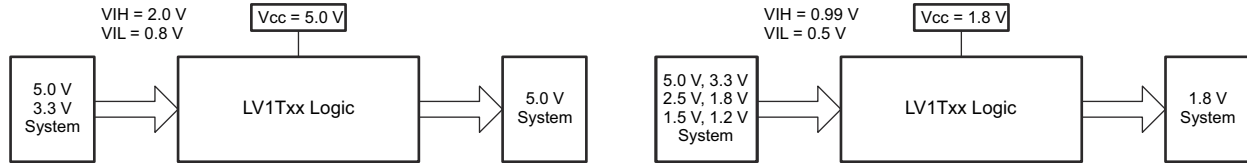


図 7-2. LVxT の昇圧変換および降圧変換の例

7.3.3 クランプ・ダイオード構造

図 7-3 に示すように、このデバイスの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。

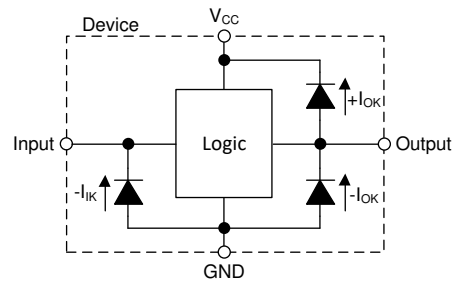


図 7-3. 各入力と出力に対するクランプ・ダイオードの電氣的配置

7.4 デバイスの機能モード

表 7-1 に、SN74LV1T08-Q1 の機能モードを示します。

表 7-1. 機能表

入力 ⁽¹⁾		出力 Y
A	B	
L	X	L
X	L	L
H	H	H

(1) H = HIGH 電圧レベル、L = LOW 電圧レベル、X = ドントケア、Z = ハイ・インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、[図 8-1](#) に示すように、3 つの 2 入力 AND ゲートを組み合わせて 4 入力 AND ゲート機能を実現します。複数の SN74LV1T08-Q1 を使用して、モーター・コントローラの $\overline{\text{RESET}}$ ピンを直接制御します。コントローラをイネーブルにするには、4 つの入力信号がすべて HIGH である必要があり、いずれか 1 つでも LOW になった場合はディセーブルする必要があります。4 入力 AND ゲート機能は、4 つの個別のリセット信号を 1 つのアクティブ LOW リセット信号に結合します。

8.2 代表的なアプリケーション

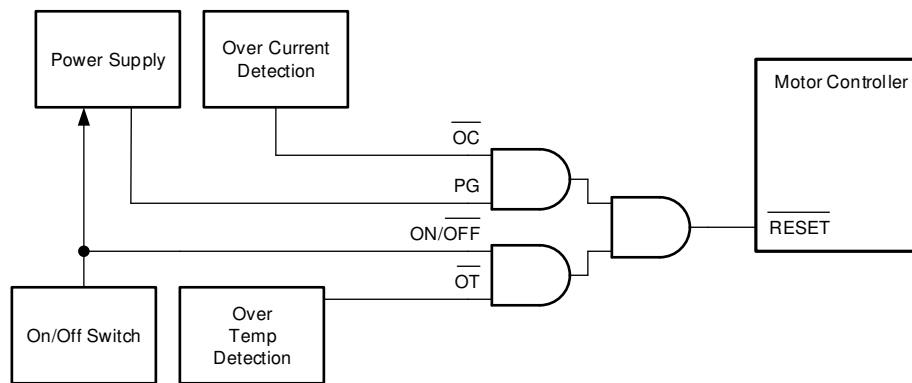


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で指定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧はデバイスの電気的特性を設定します。

正の電圧電源は、「電気的特性」に示されている最大静的電源電流 I_{CC} に SN74LV1T08-Q1 のすべての出力のソースになる合計電流を加えた電流と、スイッチングに必要な過渡電流をソースできる必要があります。ロジック・デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載されている V_{CC} を流れる最大合計電流を超えないようにしてください。

グラウンドは、SN74LV1T08-Q1 のすべての出力がシンクする合計電流に「電気的特性」に記載されている最大電源電流 I_{CC} を加えた電流と、スイッチングに必要な過渡電流をシンクできる必要があります。ロジック・デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載されている GND を流れる最大合計電流を超えないようにしてください。

SN74LV1T08-Q1 は、データシートのすべての仕様を満たしながら、合計容量が 50pF 以下の負荷を駆動できます。より大きな容量性負荷を印加することもできますが、50pF を超えないようにすることを推奨します。

SN74LV1T08-Q1の負荷電流特性表に、HIGH状態で出力電圧が V_{OH} の電流(電圧は測定された出力電圧)と V_{CC} で記述されている消費電力は、『CMOSの消費電力とCPDの計算』アプリケーション・ノートに記載されている情報を使用して計算できます。

熱の上昇は、『標準リニアおよびロジック (SLL) パッケージとデバイスの熱特性』アプリケーション・ノートに記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載されている最大接合部温度 $T_{J(max)}$ は、デバイスの損傷を防止するための追加の制限です。「絶対最大定格」に記載されている値を超えないようにしてください。これらの制限値は、デバイスの損傷を防止するために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号がロジック LOW と見なされるには $V_{IL(max)}$ を下回る必要があり、ロジック HIGH と見なされるには $V_{IH(min)}$ を上回る必要があります。「絶対最大定格」に記載されている最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端する必要があります。入力がまったく使用されていない場合は、未使用の入力を直接終端できます。入力が時々使用される場合、または常には使用されない場合は、プルアップ抵抗またはプルダウン抵抗を使用して接続できます。デフォルト状態が HIGH の場合はプルアップ抵抗を使用し、デフォルト状態が LOW の場合はプルダウン抵抗を使用します。コントローラの駆動電流、SN74LV1T08-Q1 へのリーク電流(「電気的特性」で規定)、および必要な入力遷移レートによって、抵抗のサイズが制限されます。これらの要因により、多くの場合は $10k\Omega$ の抵抗値が使用されます。

SN74LV1T08-Q1 には CMOS 入力があるため、正しく動作させるためには、「推奨動作条件」表に定義されているように、入力遷移が高速である必要があります。入力遷移が遅いと、発振が発生し、消費電力が増加して、デバイスの信頼性が低下する可能性があります。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

出力 HIGH 電圧は、正の電源電圧を使用して生成します。「電気的特性」の V_{OH} 仕様に規定されているように、出力から電流を引き込むと出力電圧が低下します。出力 LOW 電圧は、グランド電圧を使用して生成します。「電気的特性」の V_{OL} 仕様に規定されているように、出力に電流をシンクすると出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力同士は、直接接続しないでください。これにより過電流が発生し、デバイスが損傷する可能性があります。

同じデバイス内で、同じ入力信号を持つ 2 つのチャンネルを並列に接続すると、出力駆動能力を高めることができます。

未使用の出力はフローティングのままにできます。出力を直接 V_{CC} またはグランドに接続しないでください。

このデバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例は、「レイアウト」セクションにあります。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは絶対的な制限ではありませんが、最適なパフォーマンスが保証されます。これは、SN74LV1T08-Q1 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズのものにすることで実現できます。
3. 「絶対最大定格」の最大出力電流に違反しないように、出力の抵抗性負荷が $(V_{CC} / I_{O(max)})\Omega$ より大きいことを確認します。ほとんどの CMOS 入力では、前に計算した最小値よりもはるかに大きい MΩ 単位で測定される抵抗性負荷があります。
4. 熱の問題がロジック・ゲートで懸念となることはほとんどありませんが、消費電力と熱の上昇は『CMOS 消費電力と CPD の計算』アプリケーション・ノートに記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

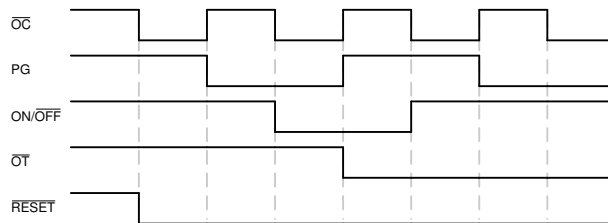


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサをお勧めします。異なる周波数のノイズを除去するため、複数のバイパス・コンデンサを並列に配置できます。0.1μF と 1μF のコンデンサを並列に使用するのが一般的です。最良の結果を得るには、次のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置する必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック・デバイスを使用する場合、入力をフローティングのままにしないでください。多くの場合、デジタル・ロジック・デバイスの機能または機能の一部は使用されません (トリプル入力 AND ゲートの 2 入力のみを使用する、4 つのバッファ・ゲートの 3 つのみを使用するなど)。このような未使用の入力ピンを未接続のままにしないでください。未接続にすると、外部接続の未定義電圧が未定義の動作状態となります。デジタル・ロジック・デバイスの未使用入力はすべて、入力電圧の仕様で定義されているロジック HIGH またはロジック LOW 電圧に接続して、フローティングにならないようにします。未使用入力に適用する必要があるロジック・レベルは、デバイスの機能によって異なります。一般に、ロジック機能または利便性に応じて、入力は GND または V_{CC} に接続されます。

8.4.2 レイアウト例

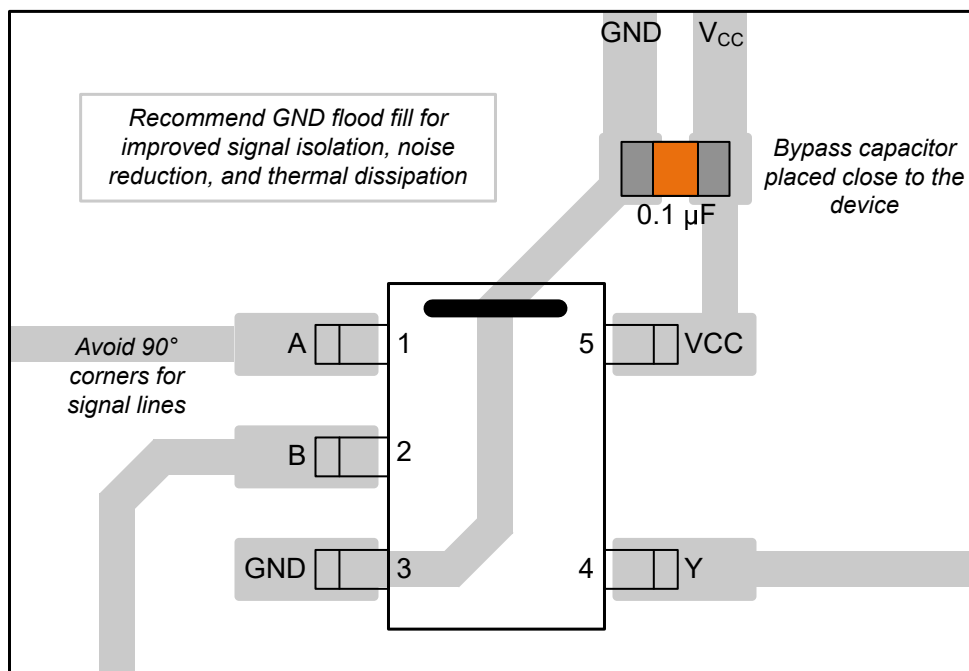


図 8-3. SN74LV1T08-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介いたします。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の消費電力と CPD の計算](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[ロジックの設計](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージとデバイスの熱特性](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (July 2023) to Revision A (January 2024)	Page
• 「パッケージ情報」表に DBV パッケージを追加	1
• 「ピン構成および機能」セクションに DBV パッケージを追加	3
• DBV パッケージの熱特性値を追加: R θ JA = 278.0, R θ JC(top) = 180.5, R θ JB = 184.4, Ψ JT = 115.4, Ψ JB = 183.4, R θ JC(bot) = N/A、値はすべて°C/W.....	6

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV1T08QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	39SH	Samples
SN74LV1T08QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PH	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV1T08-Q1 :

- Catalog : [SN74LV1T08](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV1T08QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LV1T08QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV1T08QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LV1T08QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0

DCK0005A



PACKAGE OUTLINE

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE: 18X

4214834/G 11/2024

NOTES: (continued)

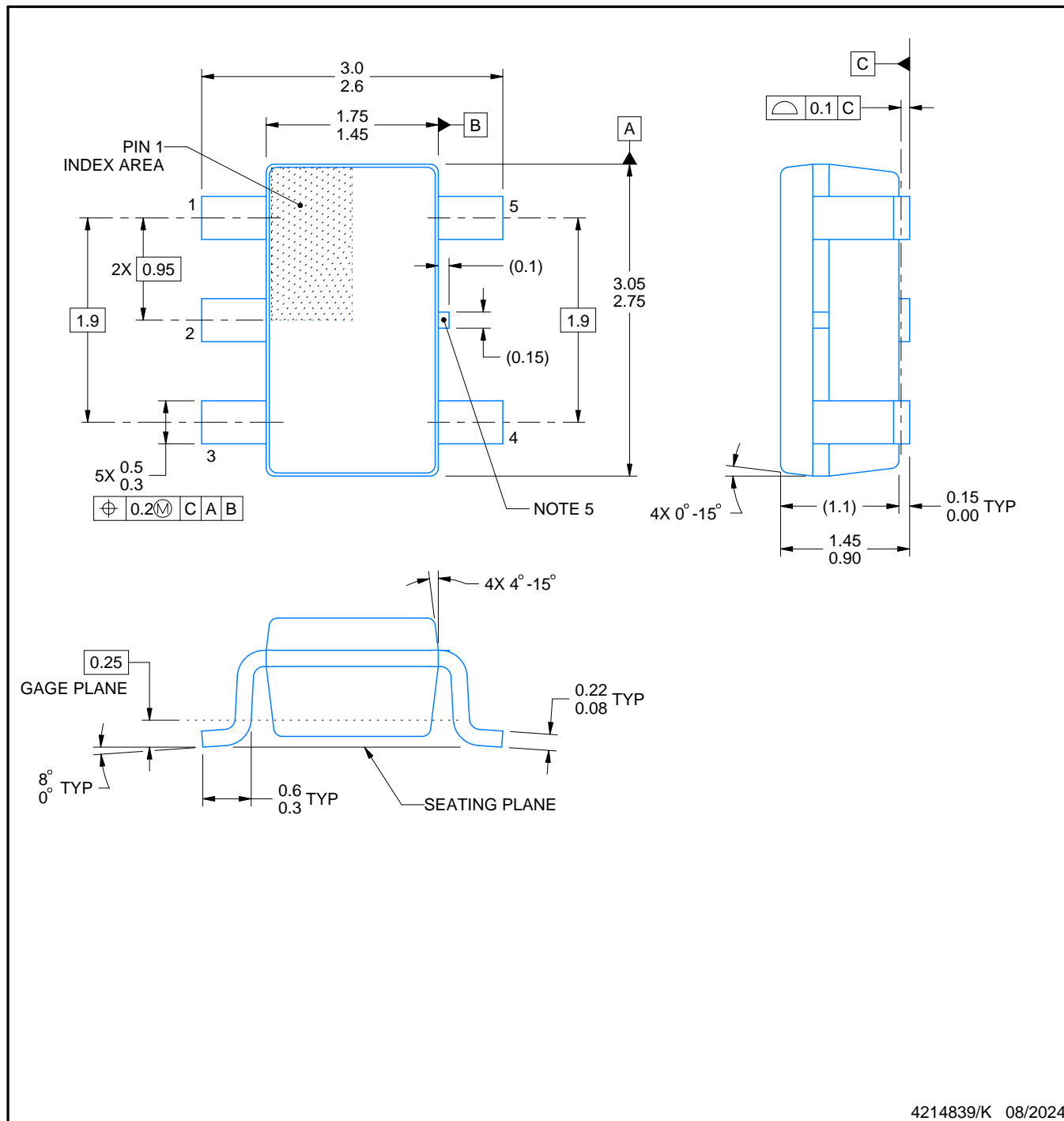
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

DBV0005A



PACKAGE OUTLINE
SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

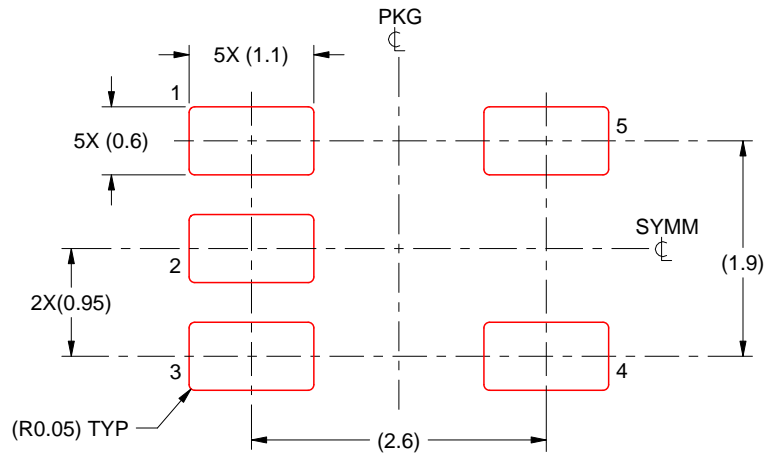
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated