

# SN74HC4851 8 チャンネル アナログ マルチプレクサ / デマルチプレクサ 、インジェクション電流効果制御付

## 1 特長

- インジェクション電流クロス カップリング <math>< 1\text{mV}/\text{mA}</math> (「アプリケーション情報」の [セクション 8.1](#) を参照)
- スイッチ間の低いクロストーク
- SN74HC4051、SN74LV4051A、および CD4051B デバイスと端子互換
- 2V~5.5V の  $V_{CC}$  で動作
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能

## 2 アプリケーション

- アナログおよびデジタルの多重化 / 多重分離
- 診断および監視
- データ センター向けスイッチ
- リモート無線ユニット (RRU)
- ラック サーバー
- 電気メーター
- 電化製品
- エアコン
- マルチファンクション プリンタ
- スtring インバータ
- IP ネットワーク カメラ
- 貨幣計数機
- オフハイウェイ車両向け制御システム
- [デジタル ラジオ](#)

## 3 概要

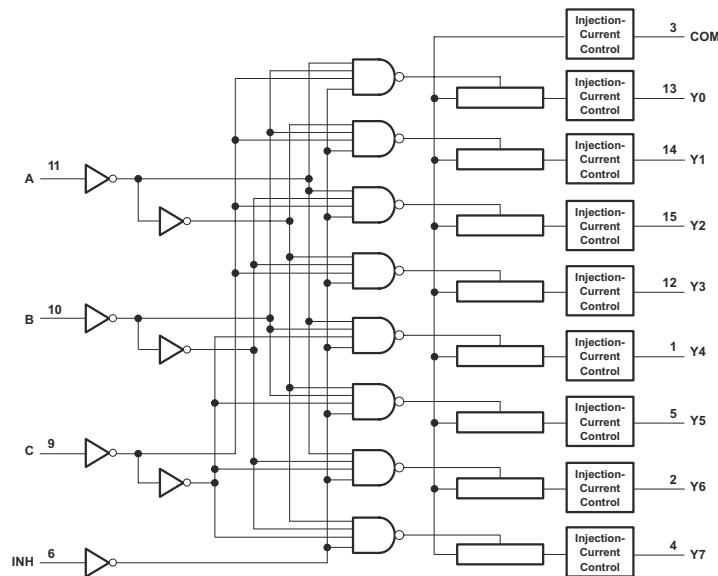
この 8 チャンネル CMOS アナログ マルチプレクサ / デマルチプレクサは、'4051 デバイスの機能と端子互換であり、インジェクション電流効果制御を備えており、通常の電源電圧を超える電圧が一般的な車載アプリケーションで優れた価値を発揮します。

インジェクション電流効果制御により、ディスエーブルされたアナログ入力の信号が電源電圧を上回っても、イネーブルされたアナログ チャンネルの信号に影響を与えません。この機能により、アナログ チャンネル信号を電源電圧範囲内に維持するために通常使用される外付けのダイオード / 抵抗ネットワークが不要になります。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
SN74HC4851	PW (TSSOP, 16)	5mm × 6.4mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



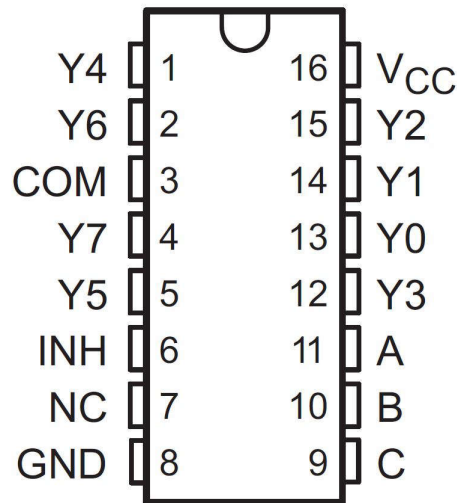
論理図 (正論理)



## Table of Contents

<b>1 特長</b> .....	1	<b>7 Detailed Description</b> .....	9
<b>2 アプリケーション</b> .....	1	7.1 Functional Block Diagram.....	9
<b>3 概要</b> .....	1	<b>8 Application and Implementation</b> .....	10
<b>4 Pin Configuration and Functions</b> .....	2	8.1 Application Information.....	10
<b>5 Specifications</b> .....	3	<b>9 Device and Documentation Support</b> .....	12
5.1 Absolute Maximum Ratings.....	3	9.1 ドキュメントの更新通知を受け取る方法.....	12
5.2 ESD Ratings.....	3	9.2 サポート・リソース.....	12
5.3 Thermal Information: SN74HC485x.....	3	9.3 Trademarks.....	12
5.4 Recommended Operating Conditions.....	4	9.4 静電気放電に関する注意事項.....	12
5.5 Electrical Characteristics.....	5	9.5 用語集.....	12
5.6 Timing Characteristics.....	6	<b>10 Revision History</b> .....	12
5.7 Injection Current Coupling.....	6	<b>11 Mechanical, Packaging, and Orderable Information</b> .....	12
<b>6 Parameter Measurement Information</b> .....	7		

## 4 Pin Configuration and Functions



NC – No internal connection

図 4-1. SN74HC4851 PW Package, 16-Pin TSSOP (Top View)

表 4-1. Function Table

Inputs				On Channel
INH	C	B	A	Yx
L	L	L	L	Y0
L	L	L	H	Y1
L	L	H	L	Y2
L	L	H	H	Y3
L	H	L	L	Y4
L	H	L	H	Y5
L	H	H	L	Y6
L	H	H	H	Y7
H	X	X	X	None

## 5 Specifications

### 5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)<sup>(1) (2)</sup>

		MIN	MAX	UNIT
V <sub>CC</sub>	Supply voltage	-0.5	6	V
V <sub>SEL</sub> or V <sub>EN</sub>	Logic control input pin voltage (EN, A0, A1, A2)	-0.5	V <sub>CC</sub> +0.5V	V
V <sub>S</sub> or V <sub>D</sub>	Source or drain voltage (Sx, D)	-0.5	V <sub>CC</sub> +0.5V	V
I <sub>IK</sub>	Input clamp current (V <sub>I</sub> < 0 or V <sub>I</sub> > V <sub>CC</sub> )	-20	20	mA
I <sub>IOK</sub>	I/O diode current (V <sub>IO</sub> < 0 or V <sub>IO</sub> > V <sub>CC</sub> )	-20	20	mA
I <sub>T</sub>	Switch through current (V <sub>IO</sub> = 0 to V <sub>CC</sub> )	-25	25	mA
I <sub>GND</sub>	Continuous current through V <sub>CC</sub> or GND	-50	50	mA
T <sub>stg</sub>	Storage temperature	-65	150	°C
T <sub>J</sub>	Junction temperature		150	

- (1) Operation outside the *Absolute Maximum Ratings* may cause permanent device damage. Absolute maximum ratings do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Conditions*. If briefly operating outside the *Recommended Operating Conditions* but within the *Absolute Maximum Ratings*, the device may not sustain damage, but it may not be fully functional. Operating the device in this manner may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

### 5.2 ESD Ratings

			VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 <sup>(1)</sup>	±2000	V
		Charged device model (CDM), per AEC Q100-011	±750	

- (1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

### 5.3 Thermal Information: SN74HC485x

THERMAL METRIC <sup>(1)</sup>		SN74HC485x	UNIT
		PW (TSSOP)	
		PINS	
R <sub>θJA</sub>	Junction-to-ambient thermal resistance	139.6	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

## 5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V <sub>CC</sub>	Supply voltage		2		5.5	V
V <sub>IH</sub>	Input logic high	2V	1.5			V
		2.5V	2.1			
		3.3V	2.3			
		4.5V	3.15			
		5.5V	4.2			
V <sub>IL</sub>	Input logic low	2V	0		0.5	V
		2.5V	0		0.7	
		3.3V	0		0.8	
		4.5V	0		0.95	
		5.5V	0		1.05	
V <sub>SEL</sub> or V <sub>EN</sub>	Logic control input pin voltage ( $\overline{EN}$ , A0, A1, A2)		0		V <sub>CC</sub>	V
V <sub>S</sub> or V <sub>D</sub>	Signal path input/output voltage (source or drain pin) (Sx, D)		0		V <sub>CC</sub>	V
$\Delta t/\Delta v$	Input transition rise or fall time	V <sub>CC</sub> = 2V			1000	ns
		V <sub>CC</sub> = 3V			800	
		V <sub>CC</sub> = 3.3V			700	
		V <sub>CC</sub> = 4.5V			500	
		V <sub>CC</sub> = 5.5V			400	
T <sub>A</sub>	Ambient temperature		–40		125	°C

## 5.5 Electrical Characteristics

At specified  $V_{CC} \pm 10\%$

Typical values measured at nominal  $V_{CC}$ .

PARAMETER		TEST CONDITIONS	$V_{CC}$	Operating free-air temperature ( $T_A$ )									UNIT
				25°C			–40°C to 85°C			–40°C to 125°C			
				MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
$R_{ON}$	On-state switch resistance	$V_S = 0V$ to $V_{CC}$ $I_{SD} = 0.5mA$	2V	500	650		670		700			$\Omega$	
			3V	215	280		320		360				
			3.3V	210	270		305		345				
			4.5V	160	210		240		270				
$\Delta_{RON}$	On-state switch resistance matching between inputs	$V_S = V_{CC} / 2$ $I_{SD} = 0.5mA$	2V	4	10		15		20		$\Omega$		
			3V	2	8		12		16				
			3.3V	2	8		12		16				
			4.5V	2	8		12		16				
$I_I$	Control input current	$V_I = V_{CC}$ or GND	5V		$\pm 0.1$		$\pm 0.1$		$\pm 1$	$\mu A$			
$I_{S(OFF)}$	Off-state switch leakage current (any one channel)	Switch Off $V_{INH} = V_{IH}$ $V_D = V_{CC} / GND$ $V_S = GND / V_{CC}$	5V		$\pm 0.1$		$\pm 0.5$		$\pm 1$	$\mu A$			
	Off-state switch leakage current (common channel)				$\pm 0.2$		$\pm 2$		$\pm 4$	$\mu A$			
$I_{S(ON)}$	Channel on-state leakage current	Switch Off $V_{INH} = V_{IL}$ $V_D = V_{CC} / GND$ $V_S = GND / V_{CC}$	5V		$\pm 0.1$		$\pm 0.5$		$\pm 1$	$\mu A$			
$I_{DD}$	$V_{CC}$ supply current	Logic inputs = 0V or $V_{CC}$	5V		2		20		40	$\mu A$			
$C_{IC}$	Control input capacitance	A, B, C, INH		3.5	10		10		10	pF			
$C_{IS}$	Common terminal capacitance	Switch off		22	40		40		40	pF			
$C_{OS}$	Switch terminal capacitance	Switch off		6.7	15		15		15	pF			
$C_{PD}$	Power Dissipation Capacitance	No Load $t_r = t_f = 1ns$ $f = 1MHz$	3.3V	32						pF			
			5V	37									

## 5.6 Timing Characteristics

At specified  $V_{CC} \pm 10\%$

Typical values measured at nominal  $V_{CC}$ .

PARAMETER	TEST CONDITIONS	$V_{CC}$	Operating free-air temperature ( $T_A$ )									UNIT
			25°C			-40°C to 85°C			-40°C to 125°C			
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
SWITCHING CHARACTERISTICS <sup>(1)</sup>												
$t_{PD}$	Propagation delay	$C_L = 50\text{pF}$ Sx to D, D to Sx	2V	19.5	25		29		32		ns	
			3V	12	15.5		17.5		19.5			
			3.3V	11	14.5		16.5		18.5			
			5V	8.6	11.5		12.5		13.5			
$t_{TRAN}$	Transition-time between inputs	$R_L = 10\text{k}\Omega$ , $C_L = 50\text{pF}$ Ax to D, Ax to Sx	2V	44	94		103		103		ns	
			3V	30	63		67		67			
			3.3V	23	51		54		54			
			5V	18	43		46		46			
$t_{ON(EN)}$	Turnon-time from enable	$R_L = 10\text{k}\Omega$ , $C_L = 50\text{pF}$ EN to D, EN to Sx	2V		95		105		115		ns	
			3V		90		100		110			
			3.3V		85		95		105			
			5V		80		90		100			
$t_{OFF(EN)}$	Turnoff time from enable	$R_L = 10\text{k}\Omega$ , $C_L = 50\text{pF}$ EN to D, EN to Sx	2V		95		105		115		ns	
			3V		90		100		110			
			3.3V		85		95		105			
			5V		80		90		100			

(1)  $t_{PLH}/t_{PHL} = t_{PD}$  propagation delay time,  $t_{PZH}/t_{PZL} = t_{ON(EN)}$  enable delay time,  $t_{PHZ}/t_{PLZ} = t_{OFF(EN)}$  disable delay time,  $t_{PLH}/t_{PHL}$  Channel select =  $t_{TRAN}$

## 5.7 Injection Current Coupling

At specified  $V_{CC} \pm 10\%$

Typical values measured at nominal  $V_{CC}$  and  $T_A = 25^\circ\text{C}$ .

PARAMETER	$V_{CC}$	TEST CONDITIONS	-40°C to 125°C			UNIT	
			MIN	TYP	MAX		
INJECTION CURRENT COUPLING							
$\Delta V_{OUT}$	Maximum shift of output voltage of enabled analog input <sup>(1)</sup>	3.3V	$R_S \leq 3.9\text{k}\Omega$	$I_{INJ} \leq 1\text{mA}$	0.05	1	mV
		5V			0.1	1	
		3.3V		$I_{INJ} \leq 10\text{mA}$	0.345	5	
		5V			0.067	5	
		3.3V	$R_S \leq 20\text{k}\Omega$	$I_{INJ} \leq 1\text{mA}$	0.05	2	
		5V			0.11	2	
		3.3V		$I_{INJ} \leq 10\text{mA}$	0.05	20	
		5V			0.024	20	

(1)  $I_{INJ}$  = total current injected into all disabled channels

## 6 Parameter Measurement Information

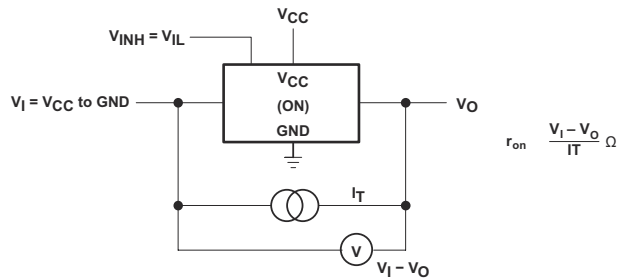


図 6-1. On-State-Resistance Test Circuit

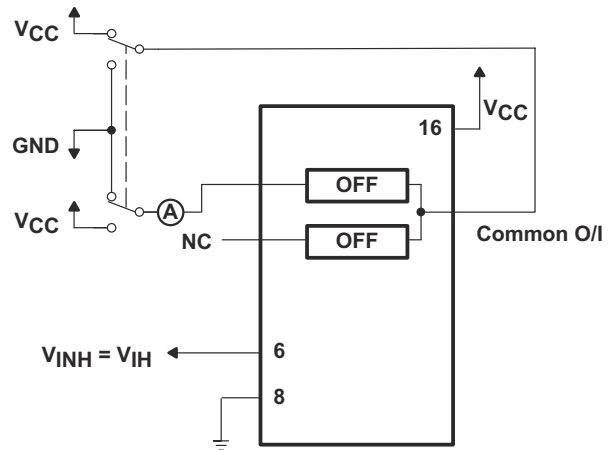


図 6-2. Maximum Off-Channel Leakage Current, Any One Channel, Test Setup

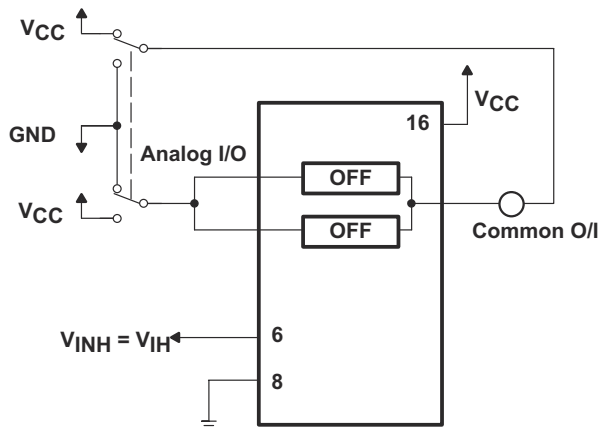


図 6-3. Maximum Off-Channel Leakage Current, Common Channel, Test Setup

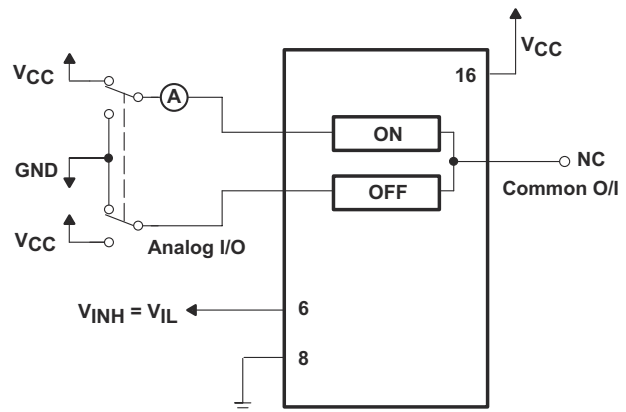


図 6-4. Maximum On-Channel Leakage Current, Channel To Channel, Test Setup

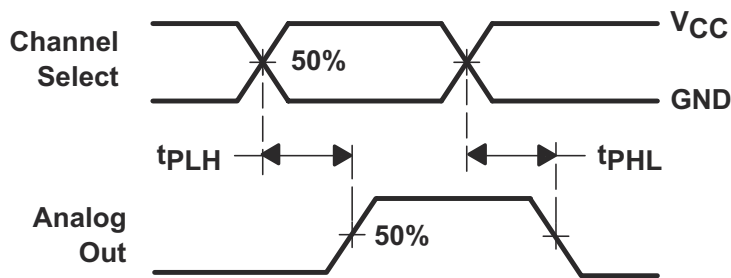
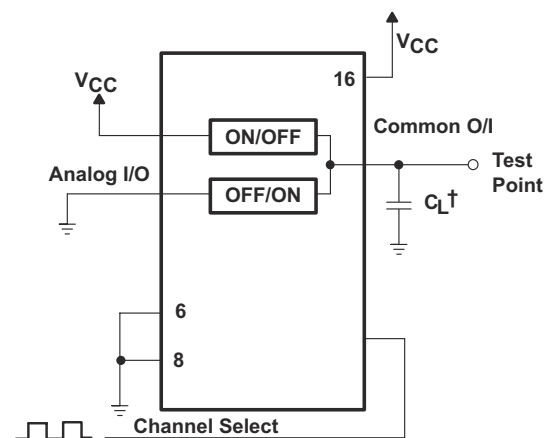
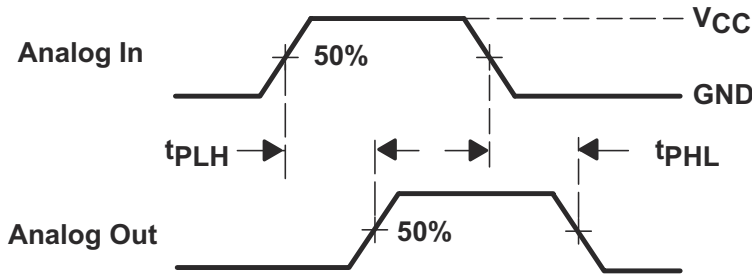


図 6-5. Propagation Delays, Channel Select to Analog Out

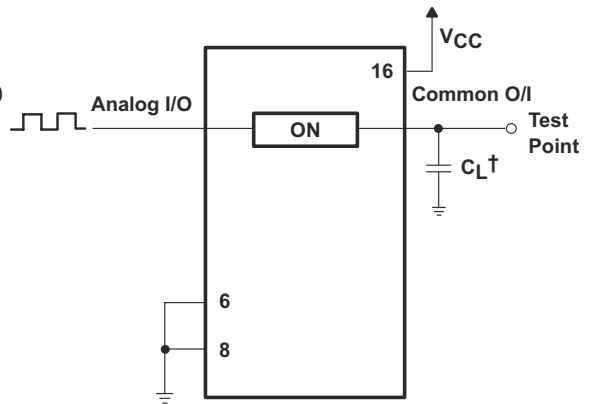


† Includes all probe and jig capacitance

図 6-6. Propagation-Delay Test Setup, Channel Select to Analog Out

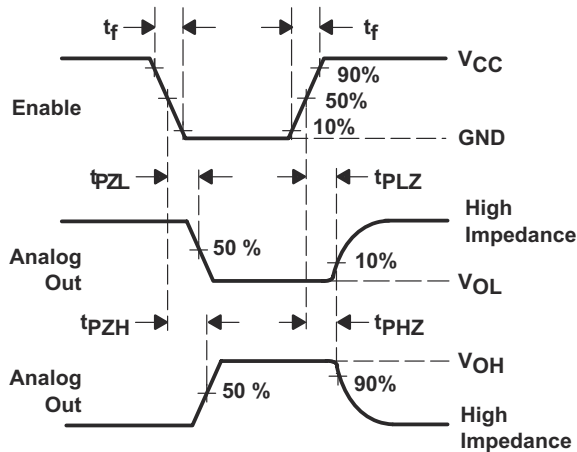


☒ 6-7. Propagation Delays, Analog In to Analog Out

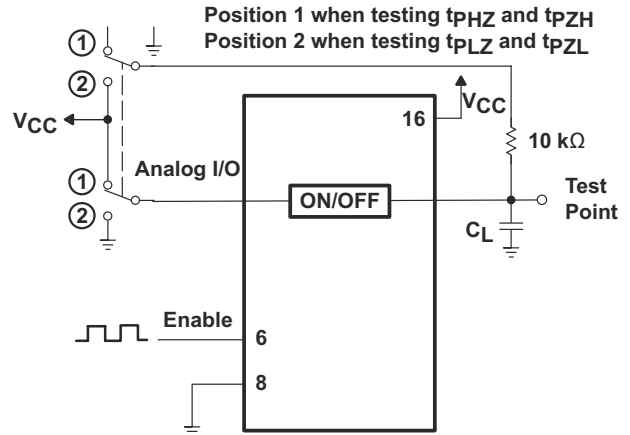


† Includes all probe and jig capacitance

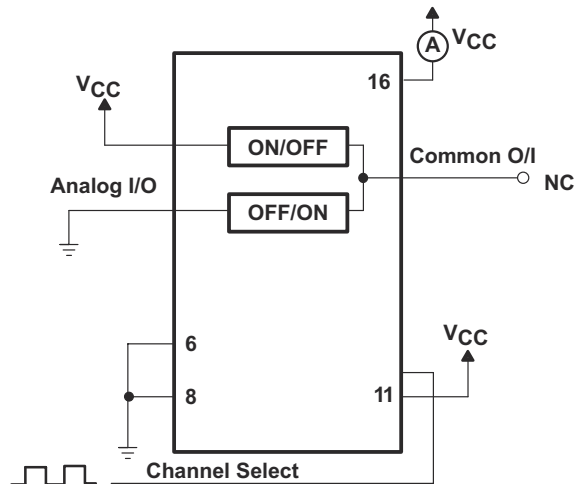
☒ 6-8. Propagation-Delay Test Setup, Analog In to Analog Out



☒ 6-9. Propagation Delays, Enable to Analog Out



☒ 6-10. Propagation-Delay Test Setup, Enable to Analog Out



☒ 6-11. Power-Dissipation Capacitance Test Setup



## 7 Detailed Description

### 7.1 Functional Block Diagram

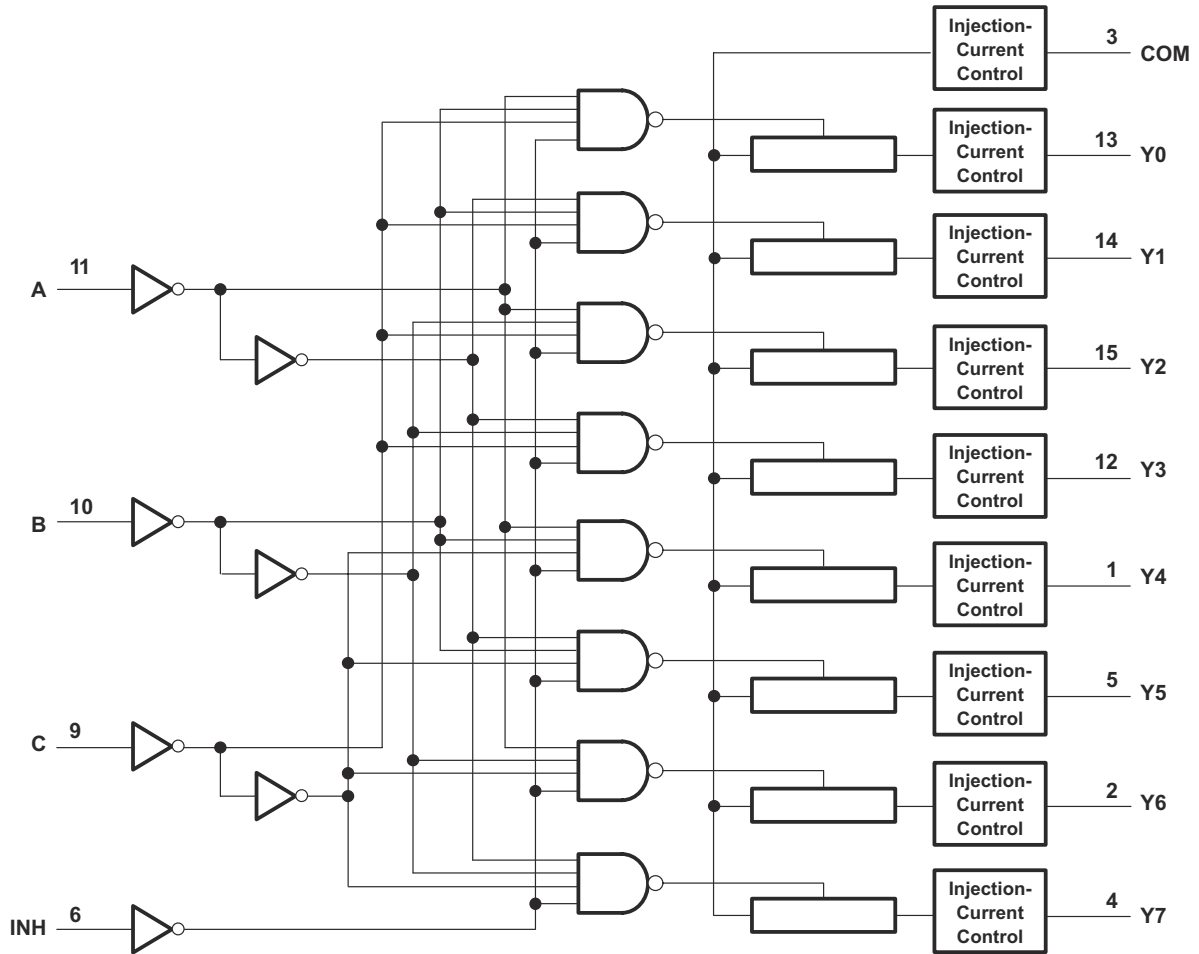


図 7-1. Logic Diagram (Positive Logic)

## 8 Application and Implementation

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

### 8.1 Application Information

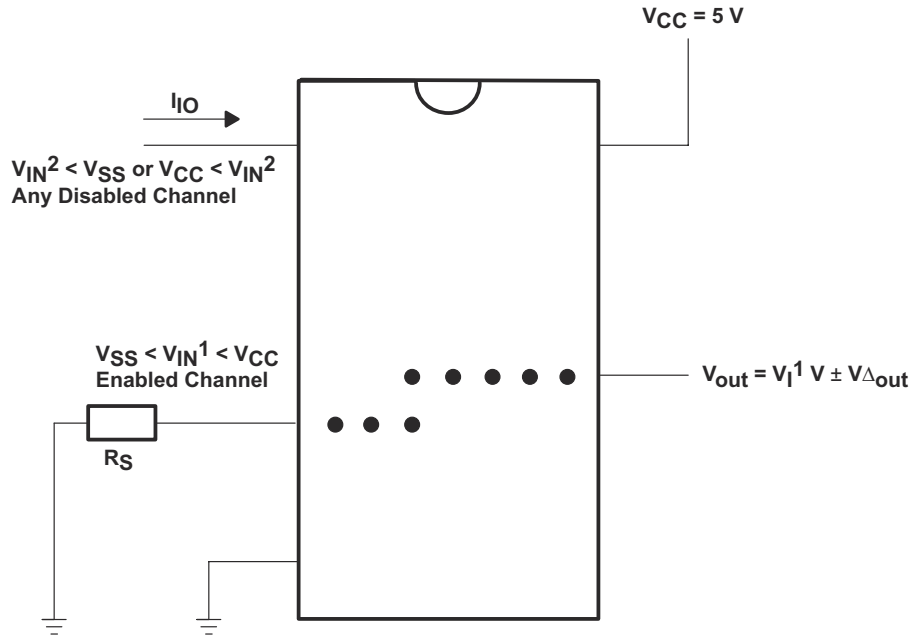


図 8-1. Injection-Current Coupling Specification

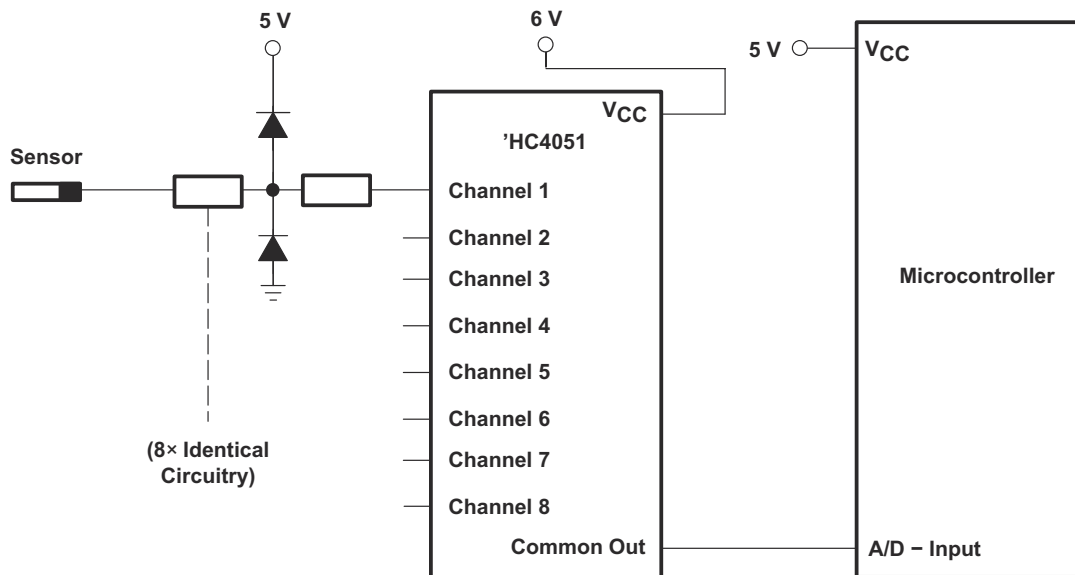


図 8-2. Alternate Solution Requires 32 Passive Components and One Extra 6-V Regulator to Suppress Injection Current Into a Standard 'HC4051 Multiplexer

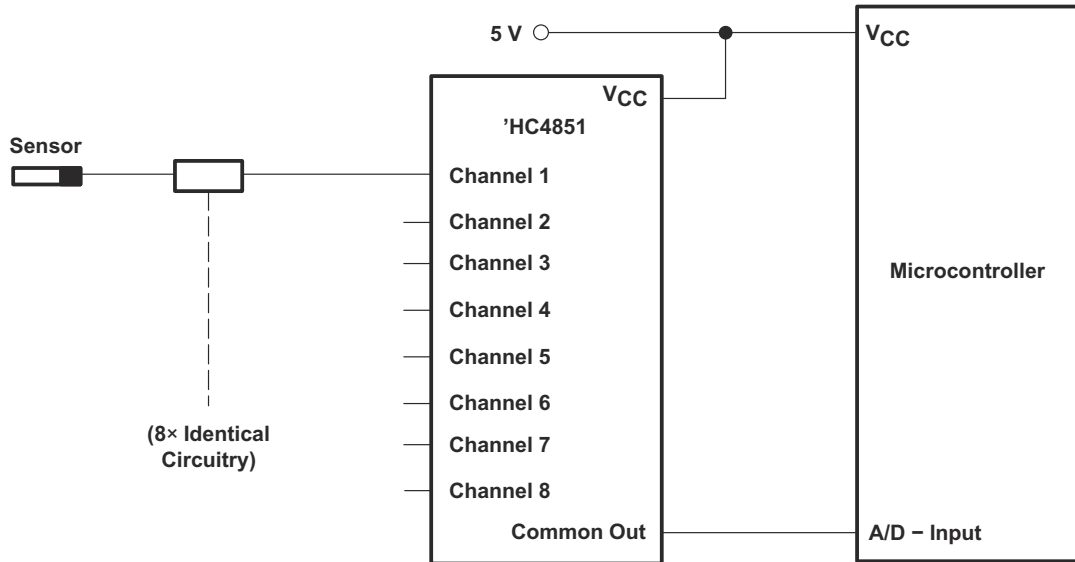


図 8-3. Solution by Applying the 'HC4851 Multiplexer

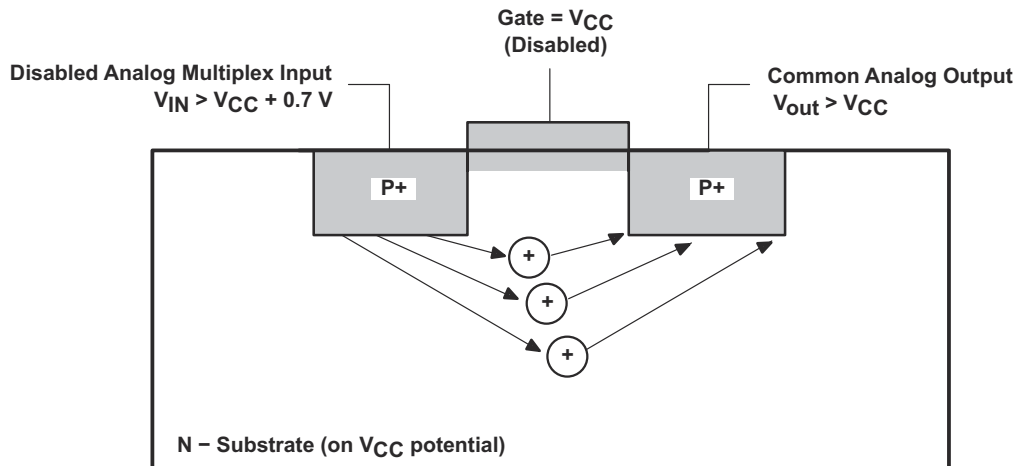


図 8-4. Diagram of Bipolar Coupling Mechanism (Appears if  $V_{IN}$  Exceeds  $V_{CC}$ , Driving Injection Current Into the Substrate)

## 9 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2004) to Revision C (June 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
Changed VCC ABS Max from 7V to 6V.....	3
Changed RθJA.....	3
Recommended supply changed from 6V to 5.5V and all test conditions using 6V were removed.....	4
Changed ttran, tON, tOFF parameters.....	6
Added Mechanical, Packaging, and Orderable Information section.....	12

## 11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser based versions of this data sheet, refer to the left hand navigation.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74HC4851D	NRND	SOIC	D	16	40	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4851	
SN74HC4851DGVR	NRND	TVSOP	DGV	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4851	
SN74HC4851DR	NRND	SOIC	D	16	2500	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 125	HC4851	
SN74HC4851DRG4	NRND	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4851	
SN74HC4851N	NRND	PDIP	N	16	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 125	SN74HC4851N	
SN74HC4851PW	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4851	Samples
SN74HC4851PWR	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4851	Samples
SN74HC4851PWRG4	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4851	Samples

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74HC4851 :**

- Automotive : [SN74HC4851-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC4851DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74HC4851DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC4851DRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC4851PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC4851PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC4851PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1



**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC4851DGVR	TVSOP	DGV	16	2000	356.0	356.0	35.0
SN74HC4851DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74HC4851DRG4	SOIC	D	16	2500	353.0	353.0	32.0
SN74HC4851PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74HC4851PWR	TSSOP	PW	16	2000	210.0	185.0	35.0
SN74HC4851PWRG4	TSSOP	PW	16	2000	356.0	356.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74HC4851D	D	SOIC	16	40	507	8	3940	4.32
SN74HC4851N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC4851PW	PW	TSSOP	16	90	530	10.2	3600	3.5

N (R-PDIP-T\*\*)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - $\triangle C$  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
  - $\triangle D$  The 20 pin end lead shoulder width is a vendor option, either half or full width.

DGV (R-PDSO-G\*\*)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.  
 B. This drawing is subject to change without notice.  
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.  
 D. Falls within JEDEC: 24/48 Pins – MO-153  
 14/16/20/56 Pins – MO-194

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
  -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
  - E. Reference JEDEC MS-012 variation AC.



4220204/A 02/2017

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated