

SN74HC125A 3ステート出力、バッファ・ゲート4回路内蔵

JULY 1989—REVISED JULY 1998

SN74HC125Aは、1チップに3ステート出力を持つバッファ・ゲートを4回路内蔵した製品です。

各バッファ・ゲートの3ステート出力は、独立した3ステート・コントロール入力 (\overline{G}) によってコントロールすることができます。

SN74HC125Aは、3ステート・コントロール入力 (\overline{G}) を“H”レベルにすることによって、出力が高インピーダンスになります。

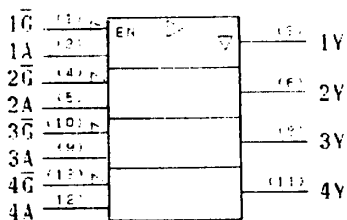
■特徴

- TTLのSN74LS125と同一ピン配置
- 3ステート出力及びバッファ出力
- 動作電源電圧範囲 2V~6V
- 入力端子に保護ダイオード内蔵

真理値表
(各バッファ・ゲート共)

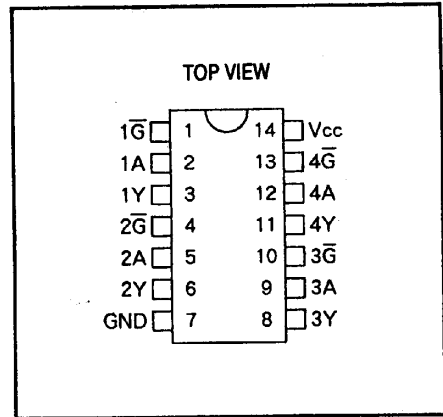
入 力		出 力
\overline{G}	A	Y
L	H	H
L	L	L
H	X	Z

LOGIC SYMBOL

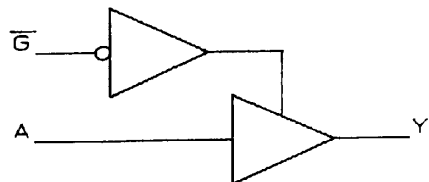


This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

PIN ASSIGNMENT



LOGIC DIAGRAM
(1/4 CIRCUIT)



巻末に、製品を発注する場合に事前に確認していただきたい事項、および製品の標準保証条件、ならびに人身、環境等への深刻な影響を及ぼす危険性を包含する用途への製品の使用に関するご注意がおりますので、必ずお読み下さい。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお願いいたします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましても如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましても如何なる責任も負いません。



JULY 1989 – REVISED JULY 1998

■絶対最大定格

項 目	記号		単位
電源電圧	V_{CC}	-0.5 ~ +7.0	V
入力ダイオード・ピーク電流	I_{IK}	±20	mA
出力ダイオード・ピーク電流	I_{OK}	±20	mA
出力電流	I_o	±35	mA
V_{CC} 及び GND電流		±70	mA
端子印加温度 : Nパッケージ (10秒)		260	°C
保存温度	T_{STG}	-65 ~ +150	°C

■推奨動作範囲

項 目	記 号	電源電圧 (V)	$T_A = -40 \sim +85^\circ\text{C}$			単位
			MIN	TYP	MAX	
供給電源電圧	V_{CC}		2.0	5.0	6.0	V
“H” レベル入力電圧	V_{IH}	2.0 4.5 6.0	1.50 3.15 4.20			V
“L” レベル入力電圧	V_{IL}	2.0 4.5 6.0	0 0 0	0.5 1.35 1.8		V
入力電圧	V_I		0	V_{CC}		V
出力電圧	V_o		0	V_{CC}		V
“H” レベル出力電流	I_{OH}	4.5 6.0		-6.0 -7.8		mA
“L” レベル出力電流	I_{OL}	4.5 6.0		6.0 7.8		mA
入力立ち上り /立ち下り時間	t_i	2.0 4.5 6.0	0 0 0	1000 500 400		nS
動作温度範囲	T_A		-40	85		°C

JULY 1989—REVISED JULY 1998

■電気的特性

項 目	測 定 条 件	電源電圧 (V)	$T_A = 25^\circ\text{C}$			$T_A = -40 \sim +85^\circ\text{C}$		単位
			MIN	TYP	MAX	MIN	MAX	
V_{OH} 出力電圧 ハイ・レベル	$I_o = -20 \mu\text{A} *$	2.0	1.90			1.90	V	
		4.5	4.40			4.40		
		6.0	5.90			5.90		
	$I_o = -6\text{mA} *$ $I_o = -7.8\text{mA} *$	4.5	3.98			3.84		
		6.0	5.48			5.34		
V_{OL} 出力電圧 ロー・レベル	$I_o = 20 \mu\text{A} *$	2.0				0.10	V	
		4.5				0.10		
		6.0				0.10		
	$I_o = 6\text{mA} *$ $I_o = 7.8\text{mA} *$	4.5				0.26		
		6.0				0.26		
I_I 入力電流	$V_I = V_{CC}$ 又はGND	6.0	± 0.1	± 100		± 1000	n A	
I_{OZ} 出力オフ時の リーク電流	$V_o = V_{CC}$ 又はGND	6.0		± 0.5		± 5	μA	
I_{CC} 静止電源電流	$V_I = V_{CC}$ 又はGND, $I_o = 0$	6.0		8.0		80	μA	

* : $V_I = V_{IH}$ 又は V_{IL}

TYPE SN74HC125A

QUADRUPLE BUS BUFFER GATES

WITH 3-STATE OUTPUTS

JULY 1989—REVISED JULY 1998

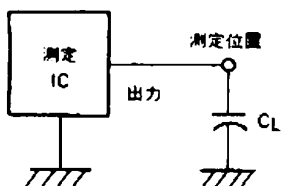
■スイッチング特性

項目	測定条件			$T_A = 25^\circ\text{C}$			$T_A = -40 \sim +85^\circ\text{C}$		単位
	FROM	TO	CL $V_{CC}(V)$	MIN	TYP	MAX	MIN	MAX	
t_{PLH} 伝搬遅延時間	A	Y	50pF	2.0	39	90		115	n S
				4.5	12	18	23		
6.0			9	15	20				
150pF			2.0	55	130		165		
	4.5	16	26		33				
6.0	13	22		28					
t_{PHL} 伝搬遅延時間	A	Y	50pF	2.0	39	90		115	n S
				4.5	12	18	23		
6.0			9	15	20				
150pF			2.0	55	130		165		
	4.5	16	26		33				
6.0	13	22		28					
t_{PZL} 出力イネーブル時間	\bar{G}	Y	50pF	2.0	42	90		115	n S
				4.5	11	18	23		
6.0			9	15	20				
150pF			2.0	60	130		165		
	4.5	16	26		33				
6.0	13	22		28					
t_{PZH} 出力イネーブル時間	\bar{G}	Y	50pF	2.0	42	90		115	n S
				4.5	11	18	23		
6.0			9	15	20				
150pF			2.0	60	130		165		
	4.5	16	26		33				
6.0	13	22		28					
t_{PLZ} 出力ディセーブル時間	\bar{G}	Y	50pF	2.0	27	100		125	n S
4.5				14	20	25			
6.0	11	17	21						
t_{PHZ} 出力ディセーブル時間	\bar{G}	Y	50pF	2.0	27	100		125	
4.5				14	20	25			
6.0	11	17	21						
t_r 立ち上り時間		各出力	50pF	2.0	19	60		75	n S
4.5				6	12	15			
6.0	5	10	13						
t_f 立ち下り時間		各出力	50pF	2.0	19	60		75	
4.5				6	12	15			
6.0	5	10	13						
C_i 入力容量					3	10		10	p F
C_{PD} 消費電力容量/ゲート: 無負荷時					45	—		—	p F

注) 測定回路及び条件は別紙を参照して下さい。

HIGH-SPEED CMOS LOGIC AC特性の測定回路及び条件

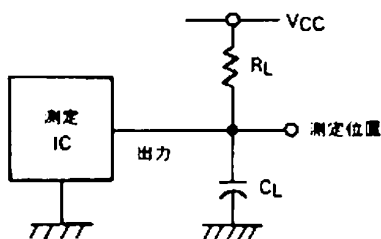
■ トーテム・ポール出力



測定項目		CL†
TPLH, TPHL	標準出力・タイプ	50pF
tr, tf	バッファ出力・タイプ	50pF, 150pF

(注)†: CLは、プローブ容量及び測定治具の浮遊容量を含みます。

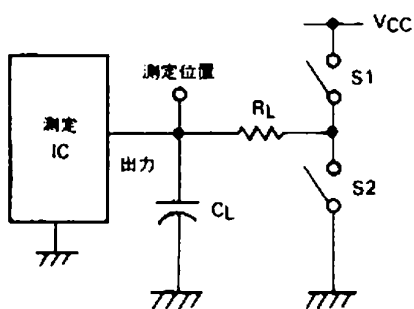
■ オープン・ドレイン出力



測定項目	RL	CL†
TPLH, TPHL, tr, tf	1kΩ	50pF

(注)†: CLは、プローブ容量及び測定治具の浮遊容量を含みます。

■ 3-ステート出力

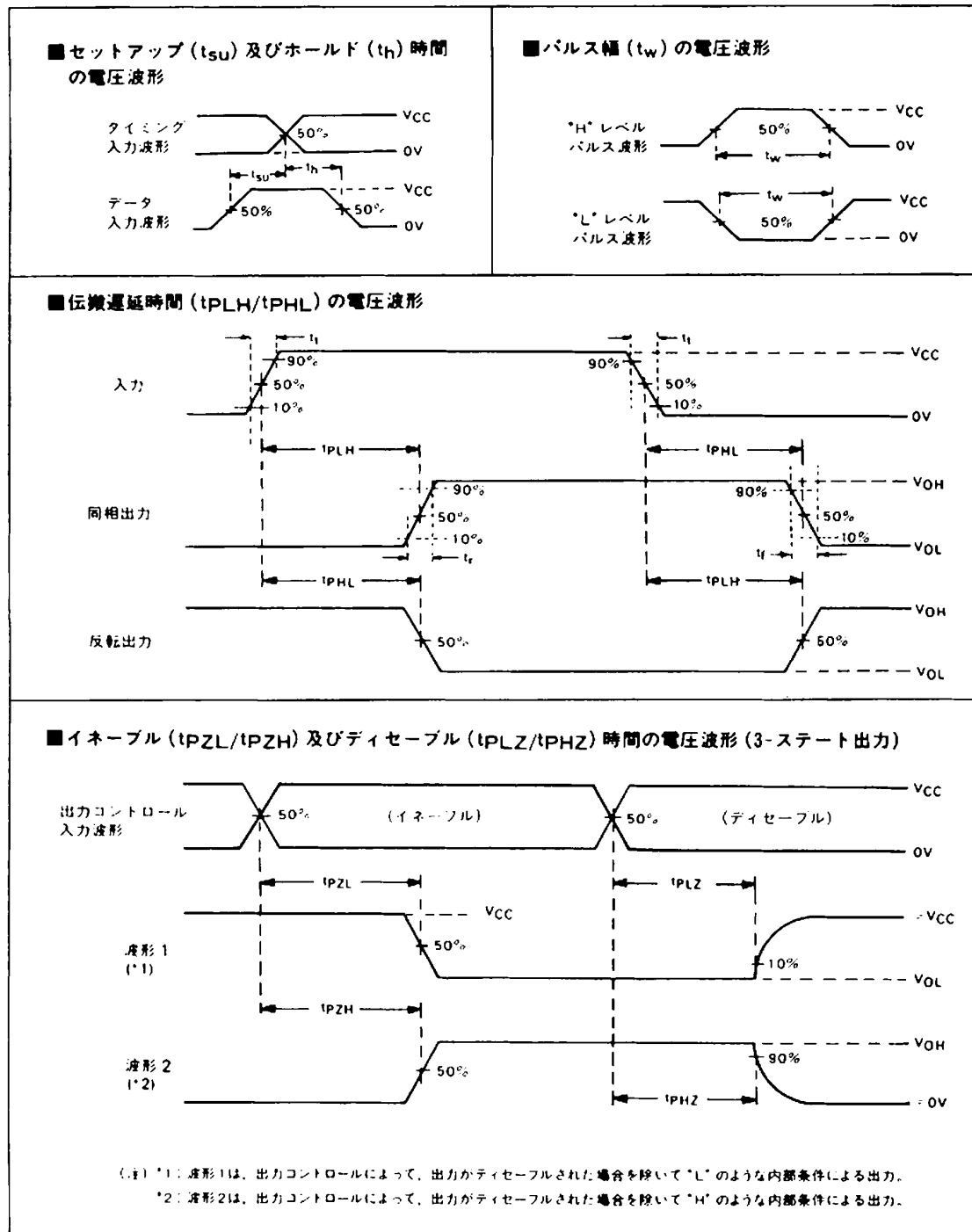


測定項目	RL	CL†	S1	S2
TPZH	1kΩ	50pF	開	閉
TPZL		150pF	閉	開
TPHZ	1kΩ	50pF	開	閉
TPLZ			閉	開
TPLH, TPHL, tr, tf		50pF, 150pF	開	開

(注)†: CLは、プローブ容量及び測定治具の浮遊容量を含みます。

HIGH-SPEED CMOS LOGIC AC特性の測定回路及び条件

HCタイプ

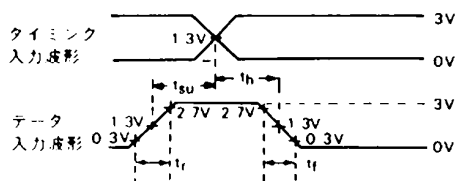


(注) AC特性を測定する場合、入力波形の基本的な条件は、立ち上がり時間及び落下時間 (t_f) = 6nS、繰り返し周波数 (PRF) ≤ 1MHz、デューティ・サイクル 50%、パルス幅とパルスの出力インピーダンス (Z_{out}) = 50Ωです。

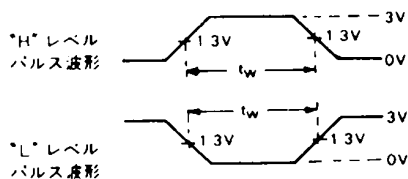
HIGH-SPEED CMOS LOGIC AC 特性の測定回路及び条件

HCT タイプ

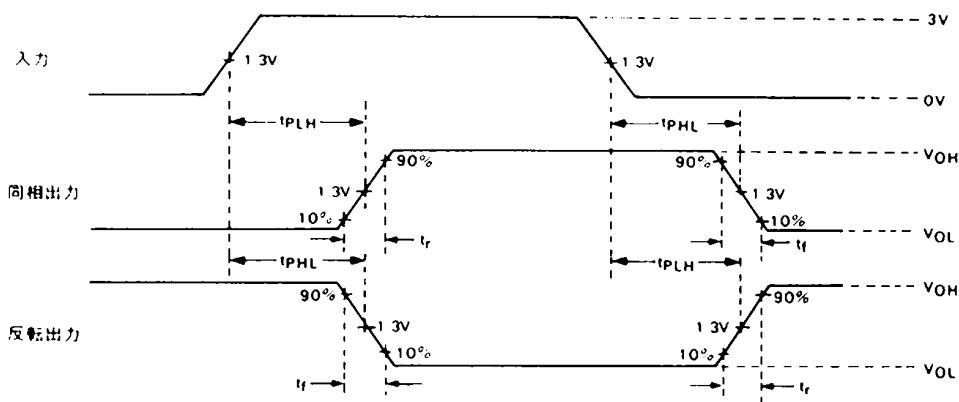
■ セットアップ (t_{su}) 及びホールド (t_h) 時間の電圧波形



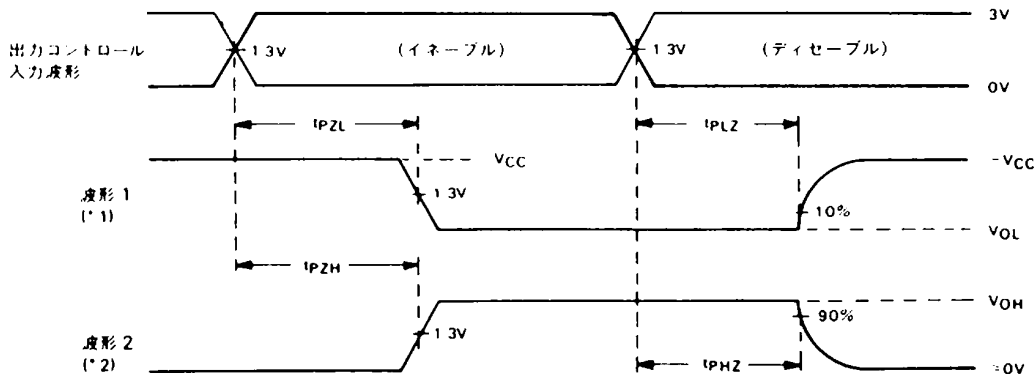
■ パルス幅 (t_w) の電圧波形



■ 伝搬遅延時間 (t_{PLH}/t_{PHL}) の電圧波形



■ イネーブル (t_{PZL}/t_{PZH}) 及びディセーブル (t_{PLZ}/t_{PHZ}) 時間の電圧波形 (3-ステート出力)



(注) *1: 波形1は、出力コントロールによって、出力がディセーブルされた場合を除いて「L」のような内部条件による出力。
 *2: 波形2は、出力コントロールによって、出力がディセーブルされた場合を除いて「H」のような内部条件による出力。

(注) AC 特性を測定する場合、入力波形の基本的な条件は、立ち上がり時間及び落下時間 (t_f) = 6ns、繰り返し周波数 (PRR) \leq 1MHz、デューティサイクル 50%、パルスジェネレータの出力インピーダンス (Z_{out}) = 50 Ω です。

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated