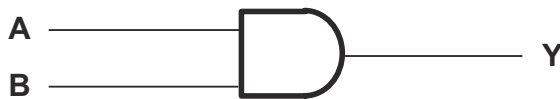


## SN74AUP1G08 低電力シングル 2 入力、正論理 AND ゲート

### 1 特長

- 0.64mm<sup>2</sup>、0.5mm ピッチの超小型パッケージ (DPW) で供給
- 低い静的消費電流:  
 $I_{CC} = 0.9\mu\text{A}$  (最大値)
- 低い動的消費電力:  
 $C_{pd} = 4.3\text{pF}$  (3.3V の場合、標準値)
- 低い入力容量:  $C_i = 1.5\text{pF}$  (標準値)
- 低ノイズ: オーバーシュートおよびアンダーシュートは  $V_{CC}$  の <10%
- $I_{off}$  により活線挿抜、部分的パワーダウン モード、バックドライブ保護をサポート
- シュミットトリガ アクションにより、低速の入力遷移が可能で、入力におけるスイッチング ノイズ耐性が向上 (3.3V で  $V_{hys} = 250\text{mV}$ 、標準値)
- 広い動作  $V_{CC}$  範囲: 0.8V~3.6V
- 3.3V 動作に最適化
- 3.6V I/O 許容で混在モードの信号動作に対応
- 3.3V で  $t_{pd} = 4.3\text{ns}$  (最大値)
- ポイント ツー ポイントのアプリケーションに好適
- JESD 78、Class II 準拠で 100mA 超のラッチアップ性能
- JESD 22 準拠で ESD 性能をテスト済み
  - 人体モデルで 2000V (A114-B、クラス II)
  - 1000V、デバイス帯電モデル (C101)



概略回路図

### 2 アプリケーション

- ATCA ソリューション
- アクティブ ノイズ キャンセレーション (ANC)
- バーコード スキャナ
- 血圧計
- CPAP マシン
- ケーブル ソリューション
- DLP 3D マシン ビジョン、ハイパースペクトル画像処理、光ネットワーク、分光法
- eBook (電子書籍)
- 内蔵 PC
- フィールドトランスミッタ: 温度センサ、圧力センサ
- 指紋認証
- HVAC: 暖房、換気、空調
- ネットワーク接続ストレージ (NAS)
- サーバーのマザーボードおよび PSU
- ソフトウェア ラジオ (SDR)
- テレビ: 高解像度 (HDTV)、LCD、デジタル
- ビデオ通信システム
- ワイヤレス データ アクセス カード、ヘッドセット、キーボード、マウス、LAN カード
- X 線: 手荷物スキャナ、医療用、歯科用

### 3 概要

このシングル 2 入力正論理 AND ゲートは 0.8V~3.6V の  $V_{CC}$  動作用に設計されており、ブール関数  $Y = A \cdot B$  or  $Y = \overline{A+B}$  を正論理で実行します。

#### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
SN74AUP1G08DBV	SOT-23 (5)	2.90mm × 1.60mm
SN74AUP1G08DRL	SOT (5)	1.60 mm × 1.20mm
SN74AUP1G08DRY	SON (6)	1.45 mm × 1.00mm
SN74AUP1G08DPW	X2SON (5)	0.80 mm × 0.80mm
SN74AUP1G08YZP	DSBGA (5)	1.37 mm × 0.88mm
SN74AUP1G08DCK	SC70 (5)	1.25 mm × 2.00mm
SN74AUP1G08DSF	SON (6)	1.00 mm × 1.00mm
SN74AUP1G08YFP	DSBGA (6)	1.16 mm × 0.76mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



## 目次

<b>1 特長</b> .....	1	7.1 概要.....	12
<b>2 アプリケーション</b> .....	1	7.2 機能ブロック図.....	12
<b>3 概要</b> .....	1	7.3 機能説明.....	12
<b>4 ピン構成および機能</b> .....	3	7.4 デバイスの機能モード.....	12
<b>5 仕様</b> .....	5	<b>8 アプリケーションと実装</b> .....	13
5.1 絶対最大定格.....	5	8.1 アプリケーション情報.....	13
5.2 ESD 定格.....	5	8.2 代表的なアプリケーション.....	13
5.3 推奨動作条件.....	5	<b>9 電源に関する推奨事項</b> .....	14
5.4 熱に関する情報.....	6	<b>10 レイアウト</b> .....	14
5.5 電気的特性.....	7	10.1 レイアウトのガイドライン.....	14
5.6 スイッチング特性、 $C_L = 5\text{pF}$ .....	7	10.2 レイアウト例.....	14
5.7 スイッチング特性、 $C_L = 10\text{pF}$ .....	8	<b>11 デバイスおよびドキュメントのサポート</b> .....	15
5.8 スイッチング特性、 $C_L = 15\text{pF}$ .....	8	11.1 ドキュメントの更新通知を受け取る方法.....	15
5.9 スイッチング特性、 $C_L = 30\text{pF}$ .....	8	11.2 サポート・リソース.....	15
5.10 動作特性.....	8	11.3 商標.....	15
5.11 代表的特性.....	9	11.4 静電気放電に関する注意事項.....	15
<b>6 パラメータ測定情報</b> .....	10	11.5 用語集.....	15
6.1 伝搬遅延、セットアップ時間とホールド時間、パルス幅..	10	<b>12 改訂履歴</b> .....	15
6.2 イネーブルおよびディセーブル時間.....	11	<b>13 メカニカル、パッケージ、および注文情報</b> .....	16
<b>7 詳細説明</b> .....	12		

## 4 ピン構成および機能

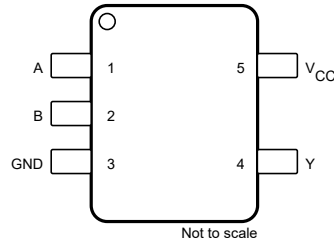
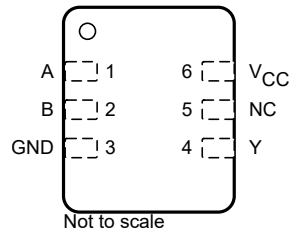
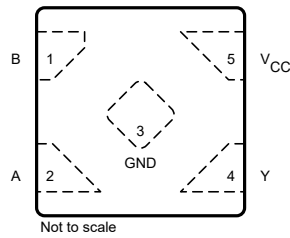


図 4-1. DRL、DCK または DBV パッケージ、5 ピン SOT、SC70 または SOT-23 (上面図)



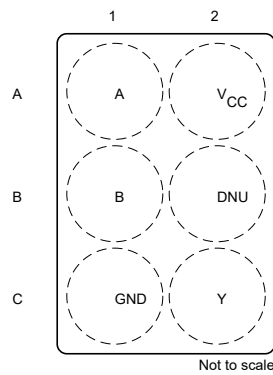
N.C.– 内部接続なし

図 4-2. DRY または DSF パッケージ、6 ピン SON (上面図)



寸法については機械図面を参照してください。

図 4-3. DPW パッケージ、5 ピン X2SON (上面図)



DNU – 使用しないでください。

図 4-4. YFP パッケージ、6 ピン DSBGA 上面図

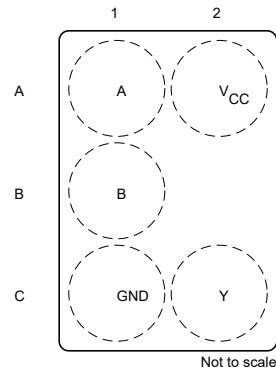


図 4-5. YZP パッケージ、5 ピン DSBGA 上面図

表 4-1. ピンの機能

名称	ピン					I/O	説明
	DRL、DCK、DBV	DPW	DRY、DSF	YZP	YFP		
A	1	2	1	A1	A1	I	入力 A
B	2	1	2	B1	B1	I	入力 B
DNU	–	–	–	–	B2	-	使用できません。
GND	3	3	3	C1	C1	-	グラウンド
N.C.	–	–	5	-	-	-	内部接続なし
V <sub>CC</sub>	5	5	6	A2	A2	-	パワー ピン
Y	4	4	4	C2	C2	O	出力 Y

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧	-0.5	4.6	V
V <sub>I</sub>	入力電圧 <sup>(2)</sup>	-0.5	4.6	V
V <sub>O</sub>	高インピーダンスまたは電源オフ状態で出力に印加される電圧範囲 <sup>(2)</sup>	-0.5	4.6	V
V <sub>O</sub>	High または Low 状態の出力電圧範囲 <sup>(2)</sup>	-0.5	V <sub>CC</sub> + 0.5	V
I <sub>IK</sub>	入力クランプ電流	V <sub>I</sub> < 0	-50	mA
I <sub>OK</sub>	出力クランプ電流	V <sub>O</sub> < 0	-50	mA
I <sub>O</sub>	連続出力電流		±20	mA
	V <sub>CC</sub> または GND を通過する連続電流		±50	mA
T <sub>J</sub>	最大接合部温度		150	°C
T <sub>stg</sub>	保管温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流の定格を順守しても、入力の負電圧と出力電圧の定格を超えることがあります。

### 5.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電		
	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	2000	V
	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧	0.8	3.6	V
V <sub>IH</sub>	High レベル入力電圧	V <sub>CC</sub> = 0.8 V	V <sub>CC</sub>	V
		V <sub>CC</sub> = 1.1 V ~ 1.95 V	0.65 × V <sub>CC</sub>	
		V <sub>CC</sub> = 2.3 V ~ 2.7 V	1.6	
		V <sub>CC</sub> = 3 V ~ 3.6 V	2	
V <sub>IL</sub>	Low レベル入力電圧	V <sub>CC</sub> = 0.8 V	0	V
		V <sub>CC</sub> = 1.1 V ~ 1.95 V	0.35 × V <sub>CC</sub>	
		V <sub>CC</sub> = 2.3 V ~ 2.7 V	0.7	
		V <sub>CC</sub> = 3 V ~ 3.6 V	0.9	
V <sub>I</sub>	入力電圧	0	3.6	V
V <sub>O</sub>	出力電圧	0	V <sub>CC</sub>	V

### 5.3 推奨動作条件 (続き)

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
I <sub>OH</sub>	High レベル出力電流	V <sub>CC</sub> = 0.8 V	-20	μA
		V <sub>CC</sub> = 1.1 V	-1.1	mA
		V <sub>CC</sub> = 1.4 V	-1.7	
		V <sub>CC</sub> = 1.65 V	-1.9	
		V <sub>CC</sub> = 2.3 V	-3.1	
		V <sub>CC</sub> = 3 V	-4	
I <sub>OL</sub>	Low レベル出力電流	V <sub>CC</sub> = 0.8 V	20	μA
		V <sub>CC</sub> = 1.1 V	1.1	mA
		V <sub>CC</sub> = 1.4 V	1.7	
		V <sub>CC</sub> = 1.65 V	1.9	
		V <sub>CC</sub> = 2.3 V	3.1	
		V <sub>CC</sub> = 3 V	4	
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	V <sub>CC</sub> = 0.8 V ~ 3.6 V	200	ns/V
T <sub>A</sub>	自由空気での動作温度	-40	85	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V<sub>CC</sub> または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

### 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>	SN74AUP1G08						単位	
	DBV (SOT-23)	DCK (SC70)	DRL (SOT)	DSF (SON)	DRY (SON)	DPW (X2SON)		
	5 ピン	5 ピン	5 ピン	6 ピン	6 ピン	5 ピン		
R <sub>θJA</sub>	接合部から周囲への熱抵抗	298.6	314.4	349.7	407.1	554.9	291.8	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	240.2	128.7	120.5	232	385.4	224.2	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	134.6	100.6	171.4	306.9	388.2	245.8	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	114.5	7.1	10.8	40.3	159	245.6	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	133.9	99.8	169.4	306	384.1	195.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

## 5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V <sub>CC</sub>	T <sub>A</sub> = 25°C			T <sub>A</sub> = -40°C~+85°C		単位
			最小値	代表値	最大値	最小値	最大値	
V <sub>OH</sub>	I <sub>OH</sub> = -20 μA	0.8 V~ 3.6 V	V <sub>CC</sub> - 0.1			V <sub>CC</sub> - 0.1		V
	I <sub>OH</sub> = -1.1 mA	1.1 V	0.75 × V <sub>CC</sub>			0.7 × V <sub>CC</sub>		
	I <sub>OH</sub> = -1.7 mA	1.4 V	1.11			1.03		
	I <sub>OH</sub> = -1.9 mA	1.65 V	1.32			1.3		
	I <sub>OH</sub> = -2.3 mA	2.3 V	2.05			1.97		
	I <sub>OH</sub> = -3.1 mA		1.9			1.85		
	I <sub>OH</sub> = -2.7 mA	3 V	2.72			2.67		
	I <sub>OH</sub> = -4 mA		2.6			2.55		
V <sub>OL</sub>	I <sub>OL</sub> = 20 μA	0.8 V~ 3.6 V	0.1			0.1		V
	I <sub>OL</sub> = 1.1 mA	1.1 V	0.3 × V <sub>CC</sub>			0.3 × V <sub>CC</sub>		
	I <sub>OL</sub> = 1.7 mA	1.4 V	0.31			0.37		
	I <sub>OL</sub> = 1.9 mA	1.65 V	0.31			0.35		
	I <sub>OL</sub> = 2.3 mA	2.3 V	0.31			0.33		
	I <sub>OL</sub> = 3.1 mA		0.44			0.45		
	I <sub>OL</sub> = 2.7 mA	3 V	0.31			0.33		
	I <sub>OL</sub> = 4 mA		0.44			0.45		
I <sub>I</sub>	A または B 入力	V <sub>I</sub> = GND~3.6 V	0 V~ 3.6 V	0.1			0.5	μA
I <sub>off</sub>	V <sub>I</sub> または V <sub>O</sub> = 0 V~3.6 V	0 V	0.2			0.6	μA	
ΔI <sub>off</sub>	V <sub>I</sub> または V <sub>O</sub> = 0 V~3.6 V	0 V~ 0.2 V	0.2			0.6	μA	
I <sub>CC</sub>	V <sub>I</sub> = GND または (V <sub>CC</sub> ~3.6 V) I <sub>O</sub> = 0	0.8 V~ 3.6 V	0.5			0.9	μA	
ΔI <sub>CC</sub>	V <sub>I</sub> = V <sub>CC</sub> - 0.6V <sup>(1)</sup> I <sub>O</sub> = 0	3.3 V	40			50	μA	
C <sub>i</sub>	V <sub>I</sub> = V <sub>CC</sub> または GND	0 V	1.5					pF
		3.6 V	1.5					
C <sub>O</sub>	V <sub>O</sub> = GND	0 V	3					pF

(1) 1つの入力は V<sub>CC</sub> - 0.6V、その他の入力は V<sub>CC</sub> または GND

## 5.6 スイッチング特性、C<sub>L</sub> = 5pF

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 1-1 および 図 1-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	V <sub>CC</sub>	T <sub>A</sub> = 25°C			T <sub>A</sub> = -40°C~+85°C		単位
				最小値	代表値	最大値	最小値	最大値	
t <sub>pd</sub>	A または B	Y	0.8 V	18					ns
			1.2 V ± 0.1 V	2.6	7.3	12.8	2.1	15.6	
			1.5 V ± 0.1 V	1.4	5.2	8.7	0.9	10.3	
			1.8 V ± 0.15 V	1	4.2	6.6	0.5	8.2	
			2.5 V ± 0.2 V	1	3	4.4	0.5	5.5	
			3.3 V ± 0.3 V	1	2.4	3.5	0.5	4.3	

### 5.7 スイッチング特性、 $C_L = 10\text{pF}$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 1-1 および 図 1-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	$V_{CC}$	$T_A = 25^\circ\text{C}$			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		単位
				最小値	代表値	最大値	最小値	最大値	
$t_{pd}$	A または B	Y	0.8 V		21				ns
			$1.2\text{ V} \pm 0.1\text{ V}$	1.5	8.5	14.7	1	17.2	
			$1.5\text{ V} \pm 0.1\text{ V}$	1	6.2	10	0.5	11.3	
			$1.8\text{ V} \pm 0.15\text{ V}$	1	5	7.7	0.5	9	
			$2.5\text{ V} \pm 0.2\text{ V}$	1	3.6	5.2	0.5	6.1	
			$3.3\text{ V} \pm 0.3\text{ V}$	1	2.9	4.2	0.5	4.7	

### 5.8 スイッチング特性、 $C_L = 15\text{pF}$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 1-1 および 図 1-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	$V_{CC}$	$T_A = 25^\circ\text{C}$			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		単位
				最小値	代表値	最大値	最小値	最大値	
$t_{pd}$	A または B	Y	0.8 V		24				ns
			$1.2\text{ V} \pm 0.1\text{ V}$	3.6	9.9	16.3	3.1	19.9	
			$1.5\text{ V} \pm 0.1\text{ V}$	2.3	7.2	11.1	1.8	13.2	
			$1.8\text{ V} \pm 0.15\text{ V}$	1.6	5.8	8.7	1.1	10.6	
			$2.5\text{ V} \pm 0.2\text{ V}$	1	4.3	5.9	0.5	7.3	
			$3.3\text{ V} \pm 0.3\text{ V}$	1	3.4	4.8	0.5	5.9	

### 5.9 スイッチング特性、 $C_L = 30\text{pF}$

自由空気での推奨動作温度範囲内 (特に記述のない限り) (図 1-1 および 図 1-1 を参照)

パラメータ	始点 (入力)	終点 (出力)	$V_{CC}$	$T_A = 25^\circ\text{C}$			$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$		単位
				最小値	代表値	最大値	最小値	最大値	
$t_{pd}$	A または B	Y	0.8 V		32.8				ns
			$1.2\text{ V} \pm 0.1\text{ V}$	4.9	13.1	20.9	4.4	25.5	
			$1.5\text{ V} \pm 0.1\text{ V}$	3.4	9.5	14.2	2.9	16.9	
			$1.8\text{ V} \pm 0.15\text{ V}$	2.5	7.7	11	2	13.5	
			$2.5\text{ V} \pm 0.2\text{ V}$	1.8	5.7	7.6	1.3	9.4	
			$3.3\text{ V} \pm 0.3\text{ V}$	1.5	4.7	6.2	1	7.5	

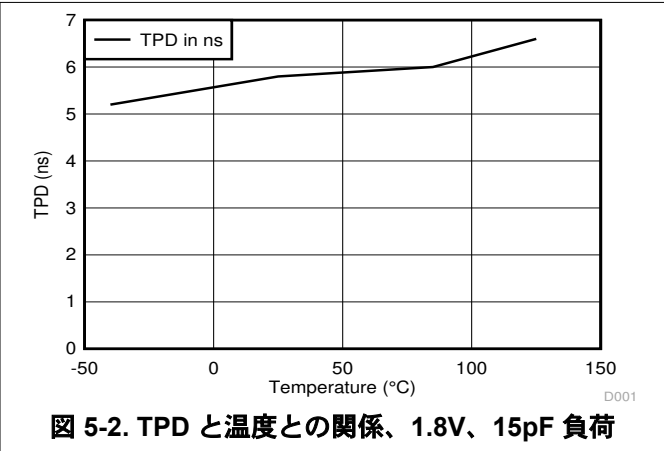
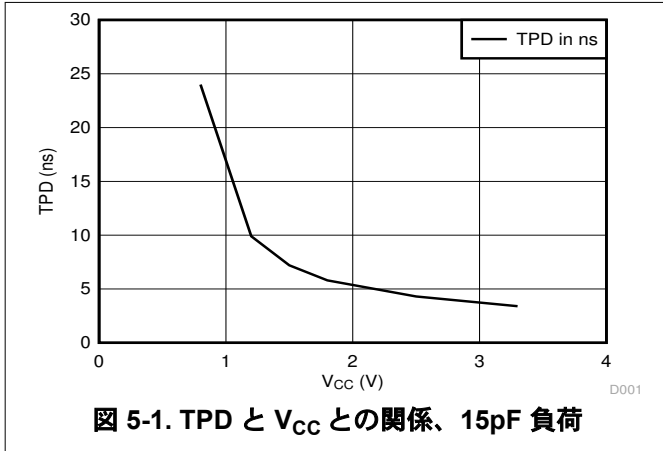
### 5.10 動作特性

$T_A = 25^\circ\text{C}$

パラメータ		テスト条件	$V_{CC}$	標準値	単位
$C_{pd}$	電力散逸容量	$f = 10\text{ MHz}$	0.8 V	4	pF
			$1.2\text{ V} \pm 0.1\text{ V}$	4	
			$1.5\text{ V} \pm 0.1\text{ V}$	4	
			$1.8\text{ V} \pm 0.15\text{ V}$	4	
			$2.5\text{ V} \pm 0.2\text{ V}$	4.1	
			$3.3\text{ V} \pm 0.3\text{ V}$	4.3	

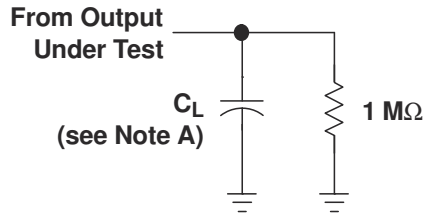


### 5.11 代表的特性



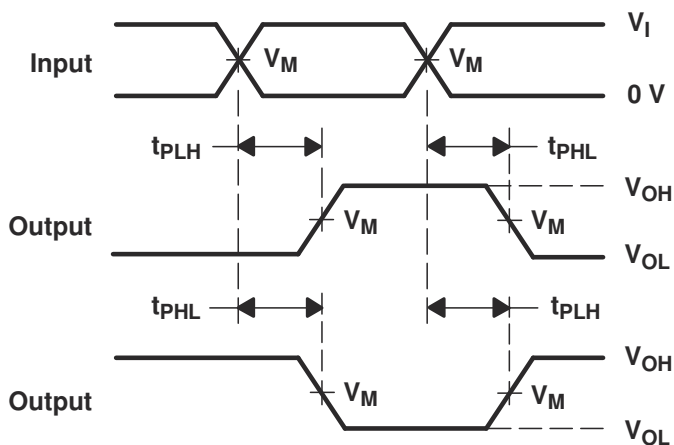
## 6 パラメータ測定情報

### 6.1 伝搬遅延、セットアップ時間とホールド時間、パルス幅

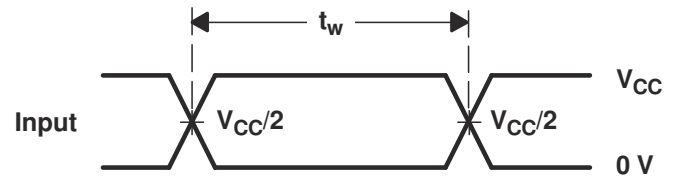


LOAD CIRCUIT

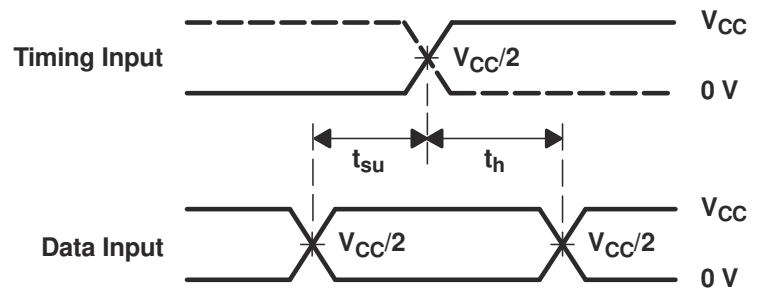
	$V_{CC} = 0.8\text{ V}$	$V_{CC} = 1.2\text{ V}$ $\pm 0.1\text{ V}$	$V_{CC} = 1.5\text{ V}$ $\pm 0.1\text{ V}$	$V_{CC} = 1.8\text{ V}$ $\pm 0.15\text{ V}$	$V_{CC} = 2.5\text{ V}$ $\pm 0.2\text{ V}$	$V_{CC} = 3.3\text{ V}$ $\pm 0.3\text{ V}$
$C_L$	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF
$V_M$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$
$V_I$	$V_{CC}$	$V_{CC}$	$V_{CC}$	$V_{CC}$	$V_{CC}$	$V_{CC}$



VOLTAGE WAVEFORMS  
PROPAGATION DELAY TIMES  
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS  
PULSE DURATION

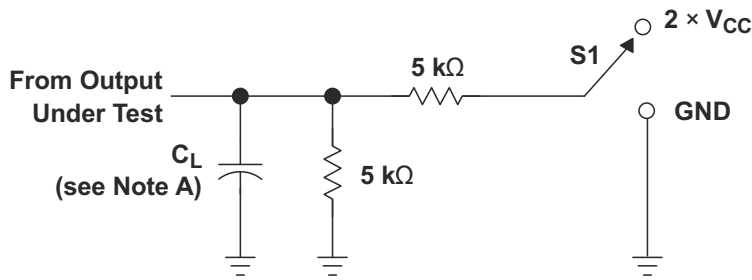


VOLTAGE WAVEFORMS  
SETUP AND HOLD TIMES

- NOTES: A.  $C_L$  includes probe and jig capacitance.  
 B. All input pulses are supplied by generators having the following characteristics: PRR  $\leq 10\text{ MHz}$ ,  $Z_O = 50\ \Omega$ , slew rate  $\geq 1\text{ V/ns}$ .  
 C. The outputs are measured one at a time, with one transition per measurement.  
 D.  $t_{PLH}$  and  $t_{PHL}$  are the same as  $t_{pd}$ .  
 E. All parameters and waveforms are not applicable to all devices.

図 6-1. 負荷回路および電圧波形

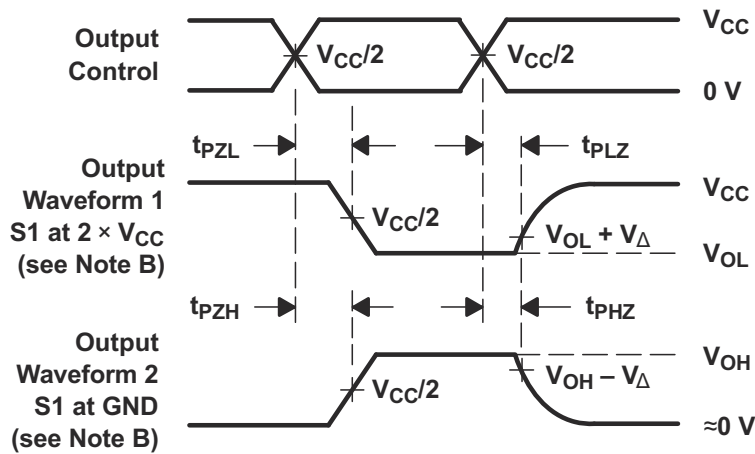
## 6.2 イネーブルおよびディセーブル時間



TEST	S1
$t_{PLZ}/t_{PZL}$	$2 \times V_{CC}$
$t_{PHZ}/t_{PZH}$	GND

LOAD CIRCUIT

	$V_{CC} = 0.8\text{ V}$	$V_{CC} = 1.2\text{ V}$ $\pm 0.1\text{ V}$	$V_{CC} = 1.5\text{ V}$ $\pm 0.1\text{ V}$	$V_{CC} = 1.8\text{ V}$ $\pm 0.15\text{ V}$	$V_{CC} = 2.5\text{ V}$ $\pm 0.2\text{ V}$	$V_{CC} = 3.3\text{ V}$ $\pm 0.3\text{ V}$
$C_L$	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF	5, 10, 15, 30 pF
$V_M$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$	$V_{CC}/2$
$V_I$	$V_{CC}$	$V_{CC}$	$V_{CC}$	$V_{CC}$	$V_{CC}$	$V_{CC}$
$V_{\Delta}$	0.1 V	0.1 V	0.1 V	0.15 V	0.15 V	0.3 V



VOLTAGE WAVEFORMS  
ENABLE AND DISABLE TIMES  
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- A.  $C_L$  includes probe and jig capacitance.
  - B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
  - C. All input pulses are supplied by generators having the following characteristics:  $PRR \leq 10\text{ MHz}$ ,  $Z_O = 50\ \Omega$ , slew rate  $\geq 1\text{ V/ns}$ .
  - D. The outputs are measured one at a time, with one transition per measurement.
  - E.  $t_{PLZ}$  and  $t_{PHZ}$  are the same as  $t_{dis}$ .
  - F.  $t_{PZL}$  and  $t_{PZH}$  are the same as  $t_{en}$ .
  - G. All parameters and waveforms are not applicable to all devices.

図 6-2. 負荷回路および電圧波形

## 7 詳細説明

### 7.1 概要

このシングル 2 入力正論理 AND ゲートは 0.8V～3.6V の  $V_{CC}$  動作用に設計されており、ブール関数  $Y = A \cdot B$  or  $Y = \overline{\overline{A} + \overline{B}}$  を正論理で実行します。

AUP ファミリのデバイスは、静止時消費電力が 1 $\mu$ A 未満で、超小型の DPW パッケージで提供されます。DPW パッケージテクノロジーは、IC パッケージングにおける大きなブレイクスルーです。フットプリントが 0.64mm<sup>2</sup> と超小型であり、従来の製造に適した 0.5mm のリードピッチを保持しながら、その他のパッケージオプションに比べて基板面積を大幅に節約できます。

このデバイスは、 $I_{off}$  を使用する部分的パワーダウン アプリケーション用の動作が完全に規定されています。 $I_{off}$  回路で出力をディセーブルすることにより、電源投入時にデバイスに電流が逆流して損傷するのを回避できます。 $I_{off}$  機能により、活線挿入も可能になります。

### 7.2 機能ブロック図



### 7.3 機能説明

- 広い動作  $V_{CC}$  範囲:0.8V～3.6V
- 3.6V I/O 許容で降圧変換に対応
- 入力ヒステリシスにより、低速な入力遷移と、入力のスイッチング ノイズ耐性強化を実現
- $I_{off}$  機能により、 $V_{CC}$  が 0V のときに入力と出力に電圧をかけることが可能
- 低速エッジレートによる低ノイズ

### 7.4 デバイスの機能モード

表 7-1. 機能表

入力		出力 Y
A	B	
L	L	L
L	H	L
H	L	L
H	H	H

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

AUP ファミリーは、バッテリー駆動のポータブル アプリケーションに対する低消費電力ニーズに応える最適ソリューションです。このファミリーは、 $V_{CC}$  範囲全体の 0.8V から 3.6V にわたって静的消費電力および動的消費電力を抑えることでバッテリー寿命を延長します。また、この製品はシグナル インテグリティを良好に維持します。小さなヒステリシスが内蔵されているため、低速またはノイズの多い入力信号にも対応できます。駆動が低下するとエッジが低速になり、出力のオーバーシュートとアンダーシュートが防止されます。

シングル ゲート ロジックの AUP ファミリーは、通常 0.8V~1.2V で動作する新しい低電圧マイクロプロセッサ用の優れたトランスレータです。これらは、依然として 3.3V で動作するペリフェラル ドライバやアクセサリの電圧を、新しい  $\mu C$  の電力レベルまで降圧することができます。

### 8.2 代表的なアプリケーション

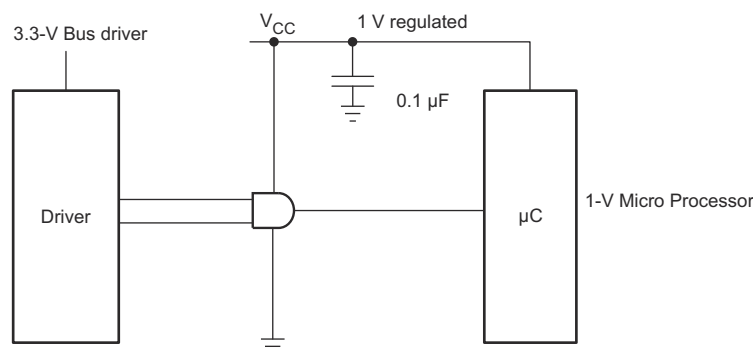


図 8-1. 代表的なアプリケーション回路図

#### 8.2.1 設計要件

SN74AUP1G08 デバイスは CMOS 技術を採用しており、平衡型出力ドライバを備えています。上限値を超える電流が流れる可能性があるため、バスが競合しないように注意します。

#### 8.2.2 詳細な設計手順

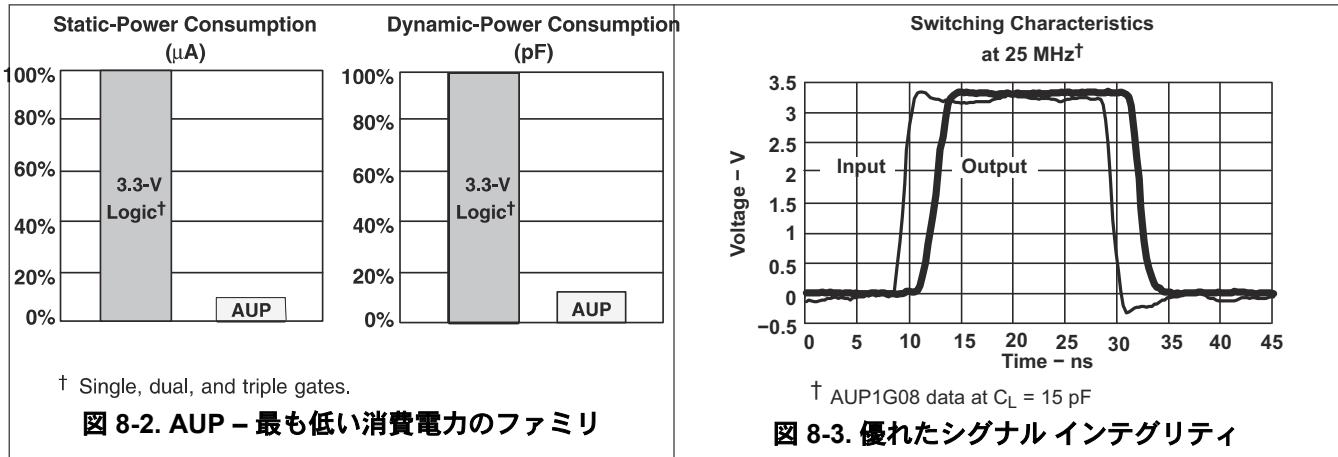
##### 1. 推奨入力条件

- 立ち上がり時間と立ち下がり時間の仕様。「推奨動作条件」表の  $(\Delta t/\Delta V)$  を参照してください。
- High レベルと Low レベルを規定。「推奨動作条件」表の  $(V_{IH}$  および  $V_{IL})$  を参照してください。
- 入力は過電圧許容で、任意の有効な  $V_{CC}$  において最大 3.6 V に対応できます。

##### 2. 推奨出力条件

- 負荷電流は、出力で 20mA、部品の合計で 50mA を超えないようにする必要があります。
- 出力は、 $V_{CC}$  を超えてプルされないようにしてください。

### 8.2.3 アプリケーション曲線



## 9 電源に関する推奨事項

電源には、「[推奨動作条件](#)」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の外乱を防止するため、各  $V_{CC}$  端子に適切なバイパス コンデンサを配置する必要があります。単一電源のデバイスの場合は、 $0.1\mu\text{F}$  のコンデンサを推奨します。複数の  $V_{CC}$  端子がある場合は、各電源端子に対して  $0.01\mu\text{F}$  または  $0.022\mu\text{F}$  のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することもできます。 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサを並列に使用するのが一般的です。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

## 10 レイアウト

### 10.1 レイアウトのガイドライン

多ビット ロジック デバイスを使用する場合、入力をフローティングにしないでください。

多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、3 入力 AND ゲートの 2 つの入力のみを使用したり、4 つのバッファ ゲートのうち 3 つのみを使用したりする場合)。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。図 1-1 に規定された規則は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジックレベルは、デバイスの機能により異なります。一般に、GND または  $V_{CC}$  のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、一般的に、出力をフローティングにすることが許容されます。トランシーバに出カイネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

### 10.2 レイアウト例

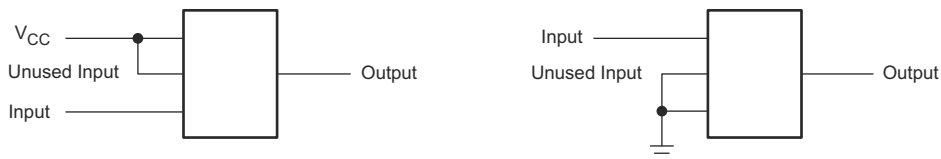


図 10-1. レイアウトの例

## 11 デバイスおよびドキュメントのサポート

### 11.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 11.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 11.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 11.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 11.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision P (June 2016) to Revision Q (March 2024) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... 1

### Changes from Revision O (June 2014) to Revision P (June 2016) Page

- 「アプリケーション」と「製品情報」表を更新..... 1
- ピン配置の図と「ピン機能」の表を更新..... 3
- 「絶対最大定格」に、保管温度 ( $T_{stg}$ ) と接合部温度 ( $T_J$ ) の温度範囲を追加 ..... 5
- 「取り扱い定格」を「ESD 定格」に変更し、「最小、最大」列を「値」列に変更 ..... 5

### Changes from Revision N (November 2012) to Revision O (June 2014) Page

- ドキュメントを新しい テキサス・インスツルメンツのデータシートのフォーマットに更新..... 1
- 注文情報を削除..... 1
- 「アプリケーション」を追加。..... 1
- YFP パッケージの図面の誤字を修正。..... 3
- 「取り扱い定格」表を追加 ..... 5

• 「熱に関する情報」表を追加.....	6
• 「代表的特性」を追加.....	9

---

**Changes from Revision M (September 2012) to Revision N (November 2012)**
**Page**

• DPW パッケージのピン配置を変更.....	3
--------------------------	---

---

**Changes from Revision K (October 2011) to Revision L (May 2012)**
**Page**

• パッケージの付録の問題を修正するためにドキュメントを改訂.....	1
-------------------------------------	---

---

### 13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションリンクを参照してください。



## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74AUP1G08DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(H08F, H08R)	<a href="#">Samples</a>
SN74AUP1G08DBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(H08F, H08R)	<a href="#">Samples</a>
SN74AUP1G08DCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU   SN	Level-1-260C-UNLIM	-40 to 85	(HE5, HEF, HEK, HE R) (HEH, HEP, HES)	<a href="#">Samples</a>
SN74AUP1G08DCKRE4	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(HE5, HEF, HEK, HE R) (HEH, HEP, HES)	<a href="#">Samples</a>
SN74AUP1G08DCKT	ACTIVE	SC70	DCK	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(HE5, HER)	<a href="#">Samples</a>
SN74AUP1G08DPWR	ACTIVE	X2SON	DPW	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(E, E4)	<a href="#">Samples</a>
SN74AUP1G08DRLR	ACTIVE	SOT-5X3	DRL	5	4000	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(HE7, HER)	<a href="#">Samples</a>
SN74AUP1G08DRY2	ACTIVE	SON	DRY	6	5000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HE	<a href="#">Samples</a>
SN74AUP1G08DRYR	ACTIVE	SON	DRY	6	5000	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	HE	<a href="#">Samples</a>
SN74AUP1G08DSF2	ACTIVE	SON	DSF	6	5000	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(HE, HER) HEH	<a href="#">Samples</a>
SN74AUP1G08DSFR	ACTIVE	SON	DSF	6	5000	RoHS & Green	NIPDAU   NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(HE, HER) HEH	<a href="#">Samples</a>
SN74AUP1G08YFPR	ACTIVE	DSBGA	YFP	6	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM		HEN	<a href="#">Samples</a>
SN74AUP1G08YZPR	ACTIVE	DSBGA	YZP	5	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	HEN	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of  $\leq 1000$ ppm threshold. Antimony trioxide based flame retardants must also meet the  $\leq 1000$ ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

#### OTHER QUALIFIED VERSIONS OF SN74AUP1G08 :

- Automotive : [SN74AUP1G08-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AUP1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74AUP1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74AUP1G08DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
SN74AUP1G08DCKRE4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74AUP1G08DCKT	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74AUP1G08DCKT	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74AUP1G08DPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3
SN74AUP1G08DRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
SN74AUP1G08DRY2	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q3
SN74AUP1G08DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74AUP1G08DSF2	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q3
SN74AUP1G08DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74AUP1G08YFPR	DSBGA	YFP	6	3000	178.0	9.2	0.89	1.29	0.62	4.0	8.0	Q1
SN74AUP1G08YZPR	DSBGA	YZP	5	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AUP1G08DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74AUP1G08DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74AUP1G08DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74AUP1G08DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74AUP1G08DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74AUP1G08DCKRE4	SC70	DCK	5	3000	180.0	180.0	18.0
SN74AUP1G08DCKT	SC70	DCK	5	250	202.0	201.0	28.0
SN74AUP1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74AUP1G08DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
SN74AUP1G08DRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
SN74AUP1G08DRY2	SON	DRY	6	5000	184.0	184.0	19.0
SN74AUP1G08DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74AUP1G08DSF2	SON	DSF	6	5000	210.0	185.0	35.0
SN74AUP1G08DSFR	SON	DSF	6	5000	210.0	185.0	35.0
SN74AUP1G08YFPR	DSBGA	YFP	6	3000	220.0	220.0	35.0
SN74AUP1G08YZPR	DSBGA	YZP	5	3000	220.0	220.0	35.0

## GENERIC PACKAGE VIEW

DPW 5

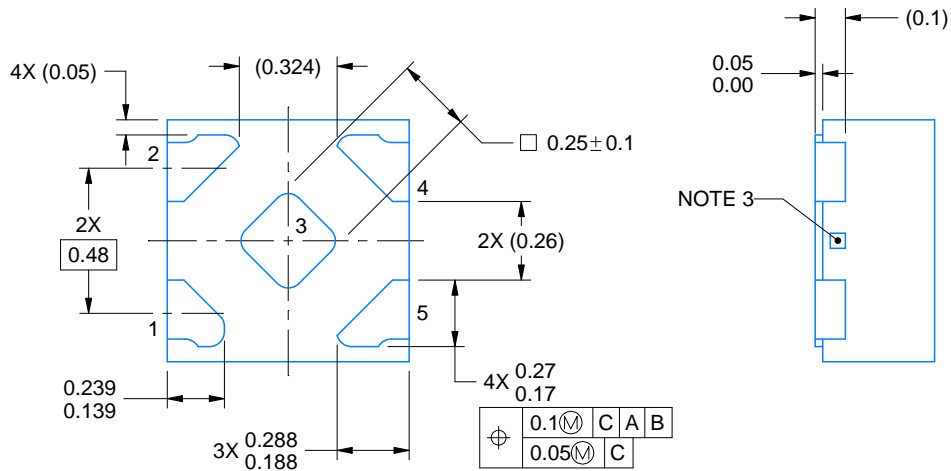
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4211218-3/D



4223102/D 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

# EXAMPLE BOARD LAYOUT

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
SOLDER MASK DEFINED  
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).



# EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



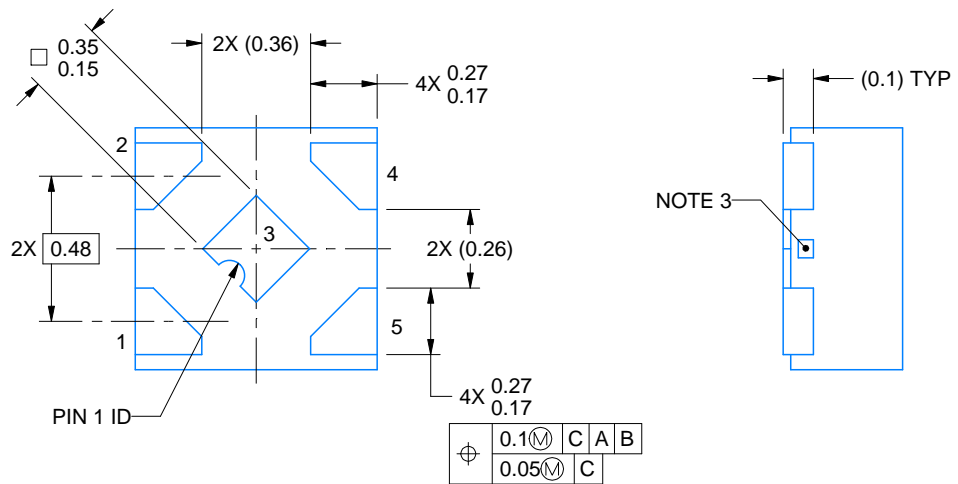
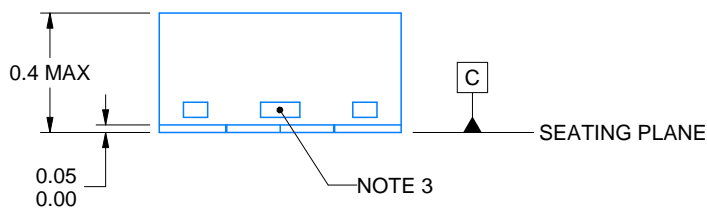
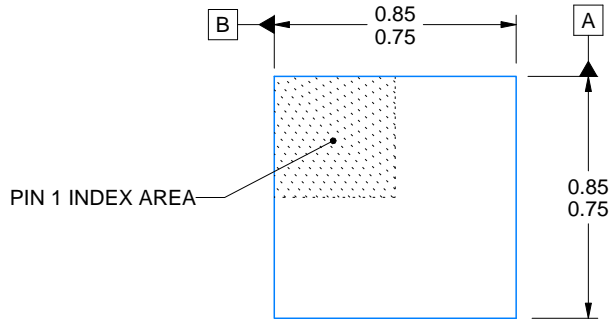
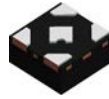
SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3  
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4228233/D 09/2023

NOTES:

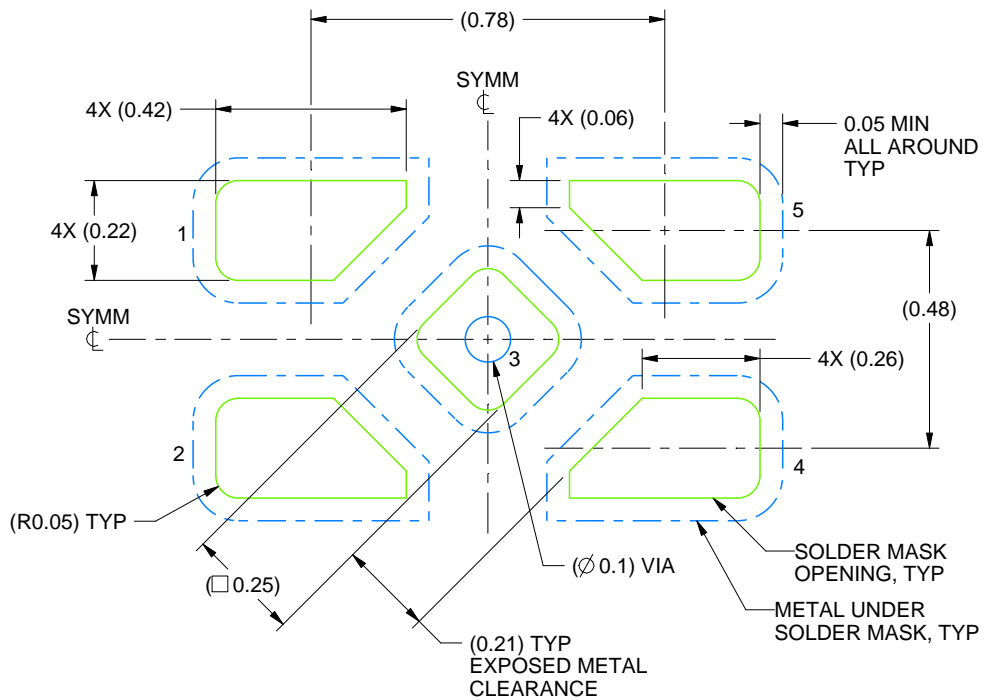
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

# EXAMPLE BOARD LAYOUT

DPW0005B

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
SOLDER MASK DEFINED  
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

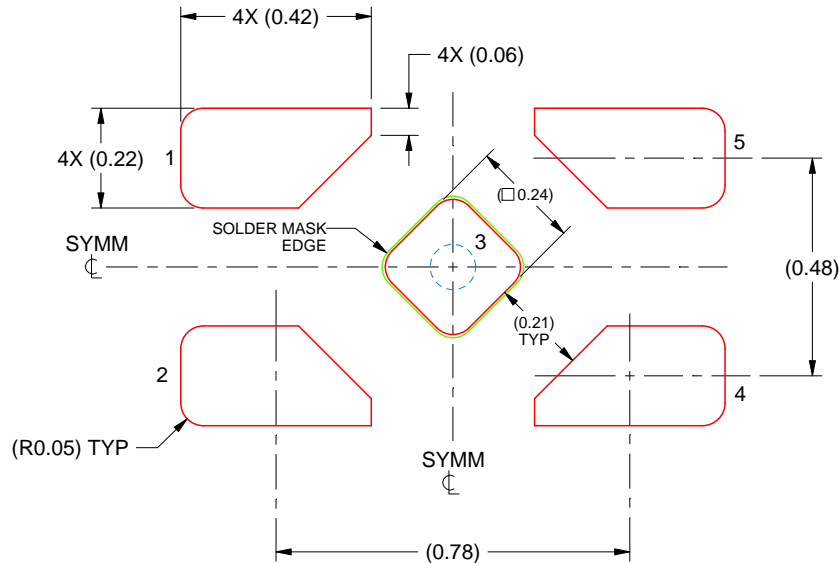
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 ([www.ti.com/lit/sl原因271](http://www.ti.com/lit/sl原因271)).

# EXAMPLE STENCIL DESIGN

DPW0005B

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 5  
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

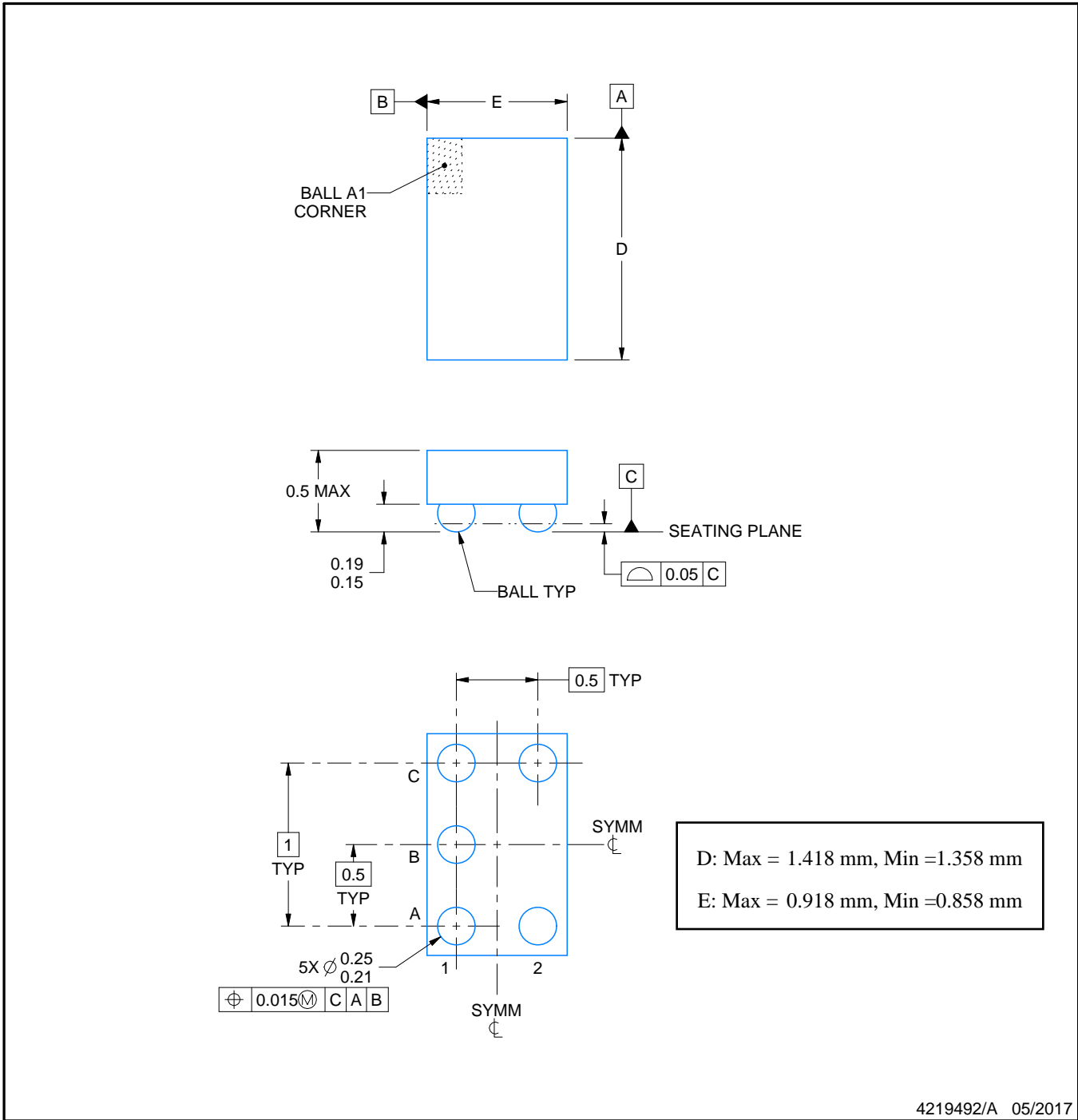
YZP0005



# PACKAGE OUTLINE

## DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

YZP0005

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
SCALE:40X



SOLDER MASK DETAILS  
NOT TO SCALE

4219492/A 05/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).

# EXAMPLE STENCIL DESIGN

YZP0005

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:40X

4219492/A 05/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

YFP0006



# PACKAGE OUTLINE

## DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



4223410/A 11/2016

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



# EXAMPLE BOARD LAYOUT

YFP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE  
SCALE:50X



SOLDER MASK DETAILS  
NOT TO SCALE

4223410/A 11/2016

NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 ([www.ti.com/lit/snva009](http://www.ti.com/lit/snva009)).

# EXAMPLE STENCIL DESIGN

YFP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:50X

4223410/A 11/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.





LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:18X



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

- 7. Publication IPC-7351 may have alternate designs.
- 8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 THICK STENCIL  
SCALE:18X

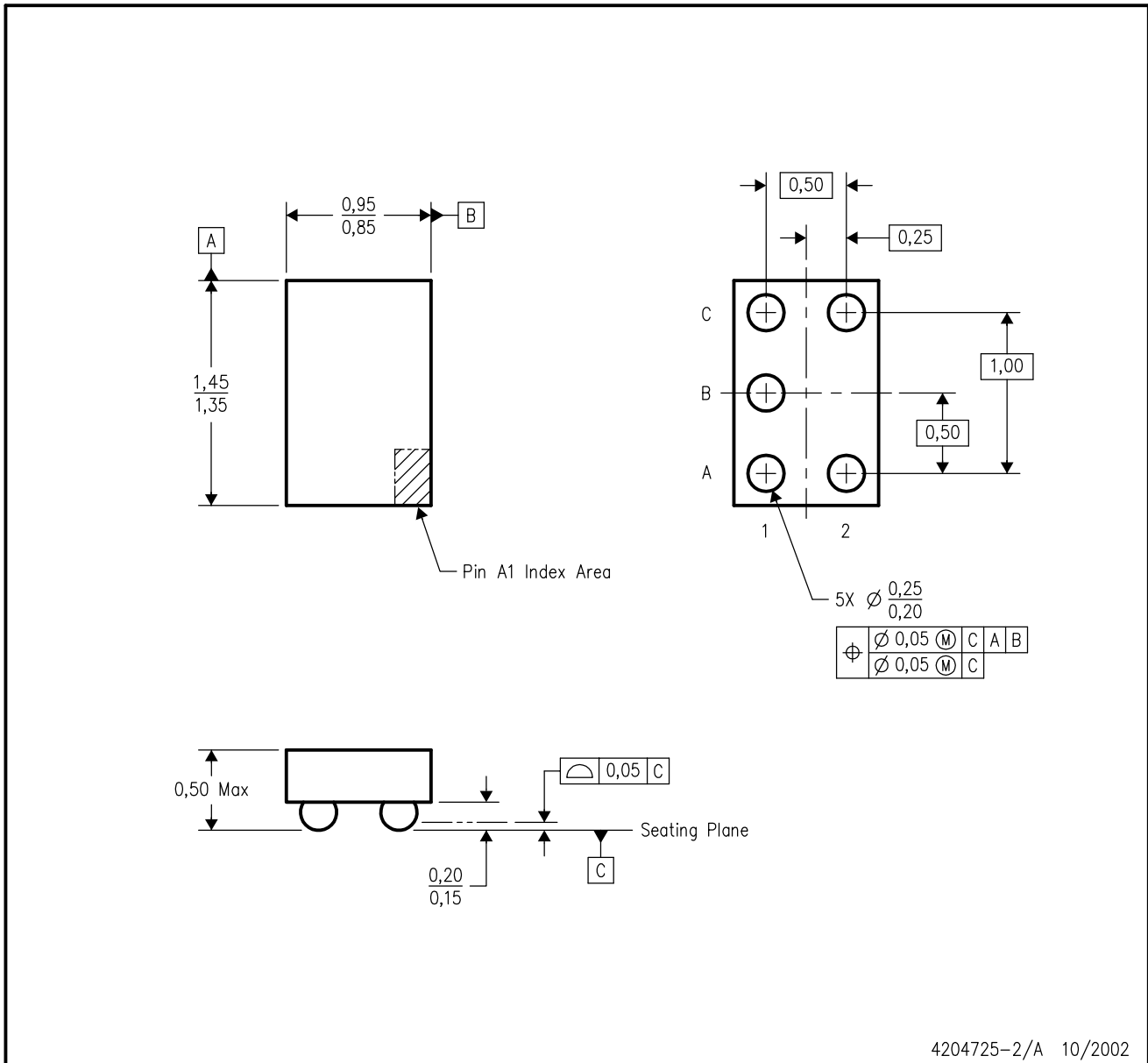
4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

YEP (R-XBGA-N5)

DIE-SIZE BALL GRID ARRAY



4204725-2/A 10/2002

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. NanoStar™ package configuration.
  - D. This package is tin-lead (SnPb). Refer to the 5 YZP package (drawing 4204741) for lead-free.

NanoStar is a trademark of Texas Instruments.



# EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



# EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

**DRY 6**

**USON - 0.6 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4207181/G

DRY0006A



# PACKAGE OUTLINE

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



**LAND PATTERN EXAMPLE**  
1:1 RATIO WITH PKG SOLDER PADS  
EXPOSED METAL SHOWN  
SCALE:40X



**SOLDER MASK DETAILS**

4222894/A 01/2018

NOTES: (continued)

3. For more information, see QFN/SON PCB application report in literature No. SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.075 - 0.1 mm THICK STENCIL  
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



**DSF0006A**

**PACKAGE OUTLINE**

**X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.

# EXAMPLE BOARD LAYOUT

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

# EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



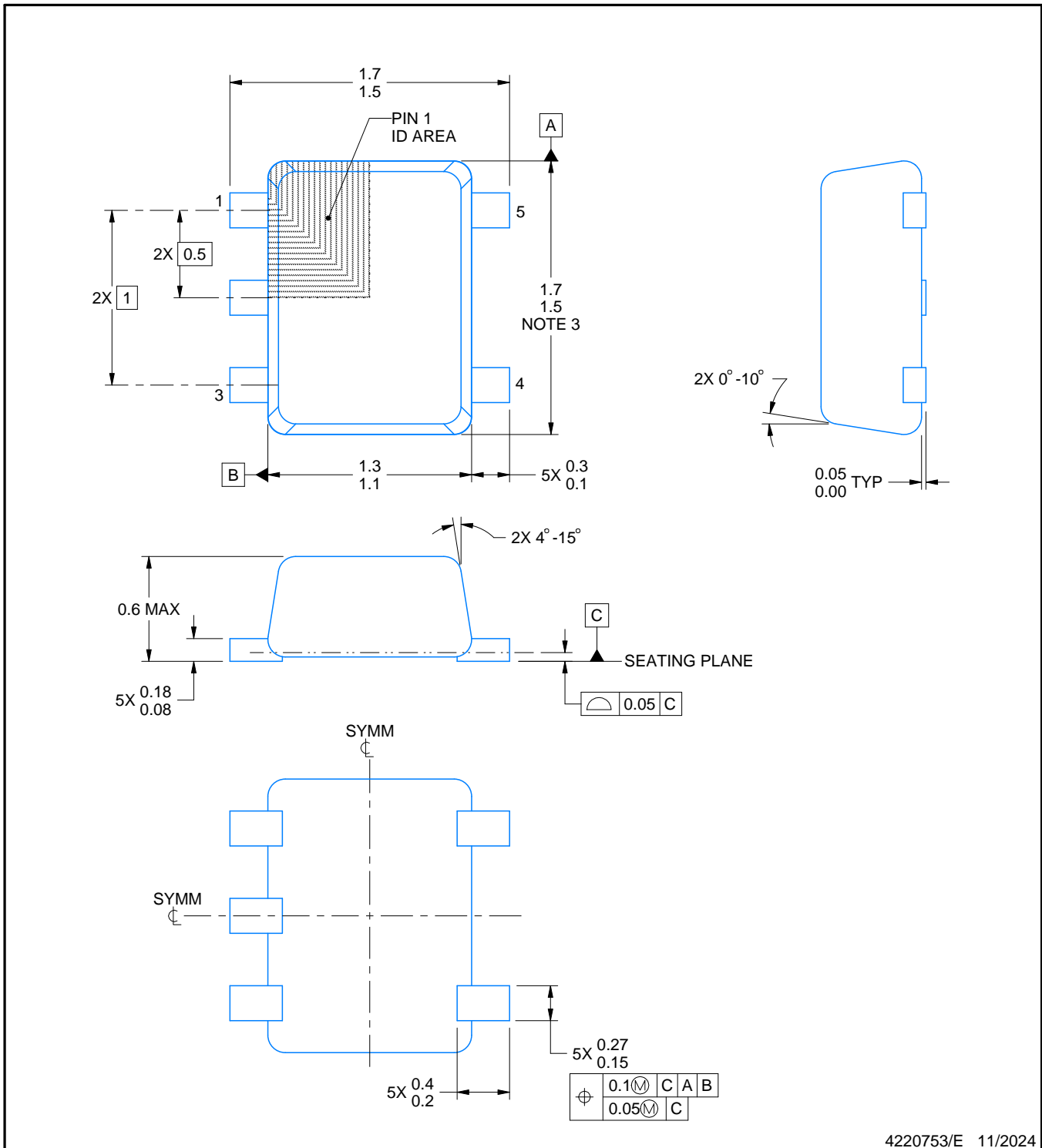
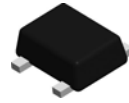
SOLDER PASTE EXAMPLE  
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:40X

4220597/B 06/2022

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.





4220753/E 11/2024

NOTES:

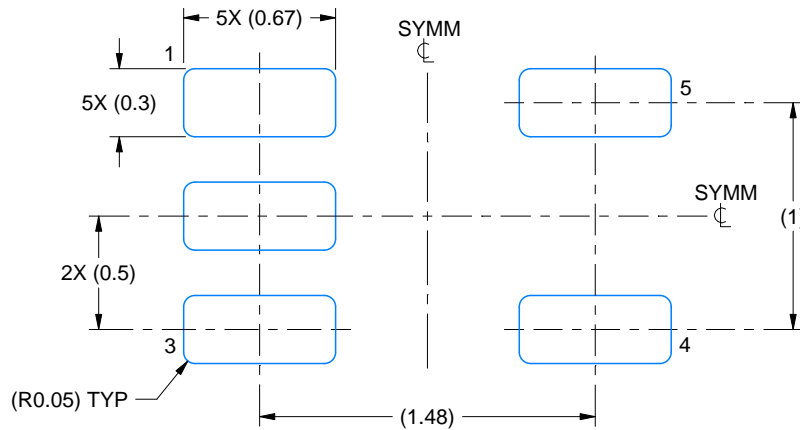
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1

# EXAMPLE BOARD LAYOUT

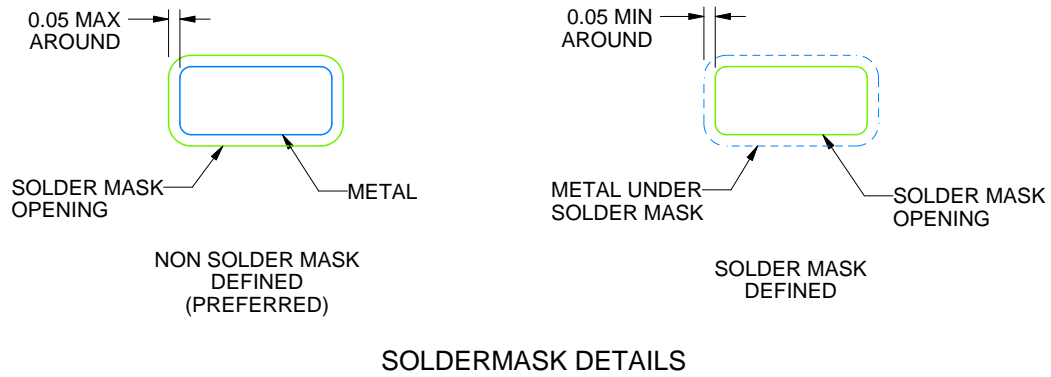
DRL0005A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:30X



SOLDERMASK DETAILS

4220753/E 11/2024

NOTES: (continued)

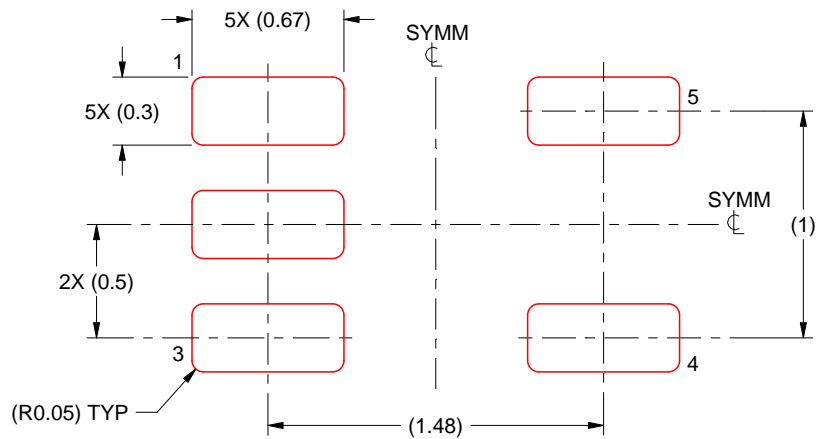
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DRL0005A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE:30X

4220753/E 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated