

SNx4ACT08 クワッド、2 入力、正論理 AND ゲート

1 特長

- 4.5V~5.5V の V_{CC} で動作
- 5.5V までの入力電圧に対応
- 最大 t_{pd} 10 ns (5V 時)
- 入力は TTL 電圧互換

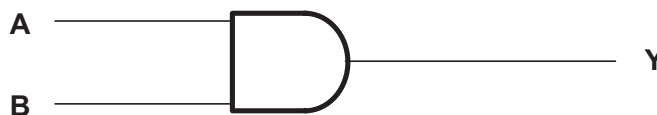
2 概要

'ACT08 デバイスは、クワッド 2 入力正論理 AND ゲートです。これらのデバイスは、ブール関数 $Y = A \cdot B$ を正論理で実行します。

製品情報

部品番号	パッケージ (1)	パッケージサイズ (2)	本体サイズ (3)
SNx4ACT08	N (PDIP, 14)	19.3mm × 9.4 mm	19.3mm × 6.35 mm
	NS (SOP, 14)	12.60 mm × 7.8mm	12.60mm × 5.30 mm
	DB (SSOP, 14)	6.20 mm × 7.8mm	6.20 mm × 5.30mm
	PW (TSSOP, 14)	5.00mm × 6.4 mm	5.00mm × 4.40 mm
	D (SOIC, 14)	8.65mm × 6 mm	8.65mm × 3.91 mm
	J (CDIP, 14)	19.56mm × 7.9 mm	19.56mm × 6.67 mm
	W (CFP, 14)	9.21mm × 9mm	9.21mm × 6.3 mm
	FK (LCCC, 20)	8.9mm × 8.9 mm	8.9mm × 8.9 mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)



目次

1 特長.....	1	6.1 機能ブロック図.....	8
2 概要.....	1	6.2 デバイスの機能モード.....	8
3 ピン構成および機能.....	3	7 アプリケーションと実装.....	9
4 仕様.....	4	7.1 電源に関する推奨事項.....	9
4.1 絶対最大定格.....	4	7.2 レイアウト.....	9
4.2 推奨動作条件.....	4	8 デバイスおよびドキュメントのサポート.....	10
4.3 熱に関する情報.....	4	8.1 ドキュメントのサポート.....	10
4.4 電気的特性.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	10
4.5 スイッチング特性.....	5	8.3 サポート・リソース.....	10
4.6 動作特性.....	5	8.4 静電気放電に関する注意事項.....	10
4.7 代表的特性.....	6	8.5 用語集.....	10
5 パラメータ測定情報.....	7	9 改訂履歴.....	10
6 詳細説明.....	8	10 メカニカル、パッケージ、および注文情報.....	10

3 ピン構成および機能

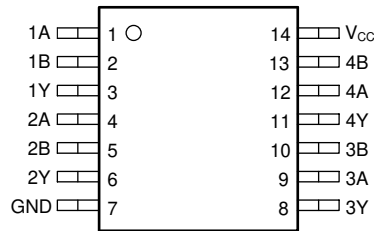


図 3-1. SN54ACT08 J または W パッケージ、14 ピン CDIP または CFP。SN74ACT08 D、DB、N、NS、PW パッケージ、14 ピン SOIC、SSOP、PDIP、SOP、TSSOP

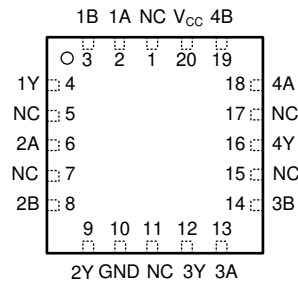


図 3-2. FK パッケージ、20 ピン LCCC

ピンの機能

ピン		I/O	説明
名称	番号		
1A	1	入力	チャンネル 1、入力 A
1B	2	入力	チャンネル 1、入力 B
1Y	3	出力	チャンネル 1、出力 Y
2A	4	入力	チャンネル 2、入力 A
2B	5	入力	チャンネル 2、入力 B
2Y	6	出力	チャンネル 2、出力 Y
GND	7	—	グラウンド
3Y	8	出力	チャンネル 3、出力 Y
3A	9	入力	チャンネル 3、入力 A
3B	10	入力	チャンネル 3、入力 B
4Y	11	出力	チャンネル 4、出力 Y
4A	12	入力	チャンネル 4、入力 A
4B	13	入力	チャンネル 4、入力 B
V _{CC}	14	—	正の電源
サーマル パッド ⁽¹⁾		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力。

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	7	V
V _I	入力電圧範囲 ⁽²⁾	-0.5	V _{CC} + 0.5	V
V _O	出力電圧範囲 ⁽²⁾	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < 0 または V _I > V _{CC}		±20 mA
I _{OK}	出力クランプ電流	V _O < 0 または V _O > V _{CC}		±20 mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		±50 mA
V _{CC} または GND を通過する連続電流				±200 mA
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 推奨動作条件

	SN54ACT08		SN74ACT08		単位	
	最小値	最大値	最小値	最大値		
V _{CC}	電源電圧	4.5	5.5	4.5	5.5	V
V _{IH}	High レベル入力電圧	2		2		V
V _{IL}	Low レベル入力電圧		0.8		0.8	V
V _I	入力電圧	0	V _{CC}	0	V _{CC}	V
V _O	出力電圧	0	V _{CC}	0	V _{CC}	V
I _{OH}	High レベル出力電流		-24		-24	mA
I _{OL}	Low レベル出力電流		24		24	mA
Δt/Δv	入力遷移の立ち上がりおよび立ち下がりレート		8		8	ns/V
T _A	自由空気での動作温度	-55	125	-40	85	°C

4.3 熱に関する情報

熱評価基準 ⁽¹⁾	SN74ACT08					単位	
	DB (SSOP)	D (SOIC)	N (PDIP)	NS (PDIP)	PW (TSSOP)		
	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン		
R _{θJA}	接合部から周囲への熱抵抗	96	86	80	76	145.7	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

4.4 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25°C			SN54ACT08		SN74ACT08		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
V _{OH}	I _{OH} = -50 μA	4.5 V	4.4	4.49		4.4		4.4	V	
		5.5 V	5.4	5.49		5.4		5.4		
	I _{OH} = -24 mA	4.5 V	3.86			3.7		3.76		
		5.5 V	4.86			4.7		4.76		
	I _{OH} = -50mA ⁽¹⁾	5.5 V				3.85				
I _{OH} = -75mA ⁽¹⁾	5.5 V						3.85			
V _{OL}	I _{OL} = 50 μA	4.5 V		0.001	0.1		0.1		0.1	
		5.5 V		0.001	0.1		0.1		0.1	
	I _{OL} = 24 mA	4.5 V			0.36		0.5		0.44	
		5.5 V			0.36		0.5		0.44	
	I _{OL} = 50mA ⁽¹⁾	5.5 V					1.65			
I _{OL} = 75mA ⁽¹⁾	5.5 V							1.65		
I _I	V _I = V _{CC} または GND	5.5 V			±0.1		±1		±1	μA
I _{CC}	V _I = V _{CC} または GND、I _O = 0	5.5 V			2		80		20	μA
ΔI _{CC} ⁽²⁾	1つの入力は 3.4V、 他の入力は GND または V _{CC}	5.5V		0.6			1.6		1.5	mA
C _i	V _I = V _{CC} または GND	5 V		4.5						pF

(1) 一度に複数の出力をテストすることはできません。また、テスト期間は 2ms を超えないようにしてください。

(2) これは、0V や V_{CC} ではなく、規定された TTL 電圧レベルのいずれかにおける各入力電源電流の増加量です。

4.5 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5 V ± 0.5 V (特に記述のない限り) (負荷回路および電圧波形を参照)

パラメータ	始点 (入力)	終点 (出力)	T _A = 25°C			SN54ACT08		SN74ACT08		単位
			最小値	代表値	最大値	最小値	最大値	最小値	最大値	
t _{PLH}	A または B	Y	1	6.5	9	1	10	1	10	ns
t _{PHL}			1	6.5	9	1	10	1	10	

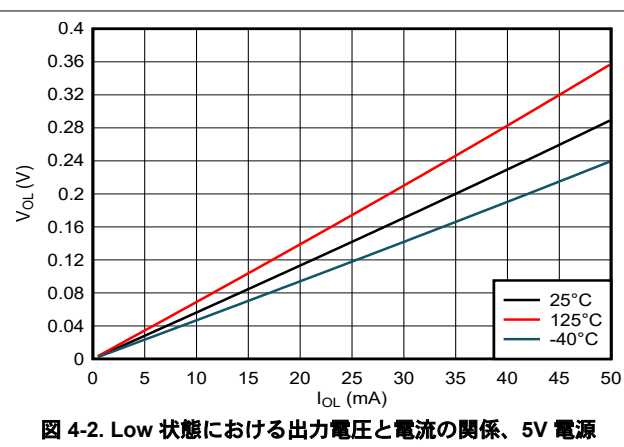
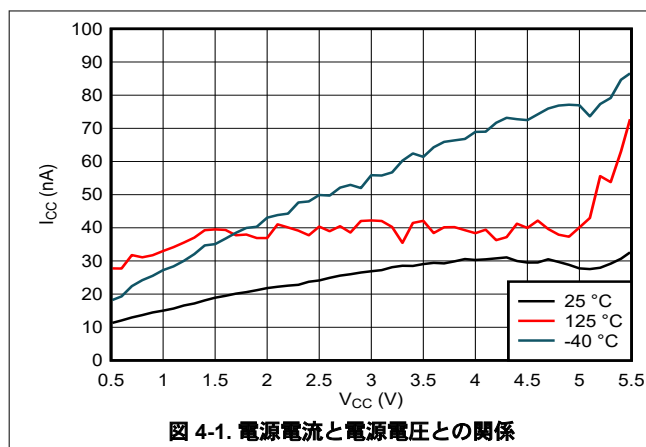
4.6 動作特性

V_{CC} = 5V、T_A = 25°C

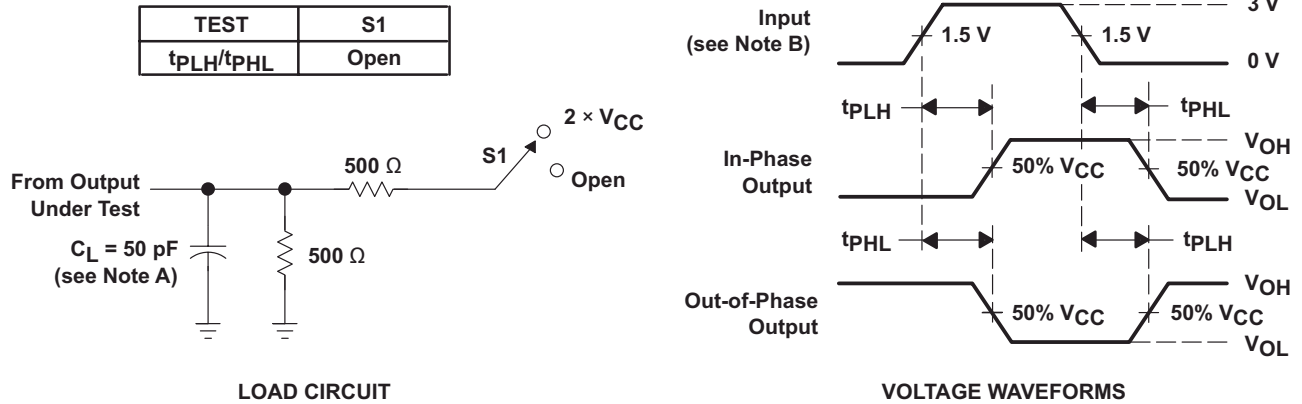
パラメータ	テスト条件	標準値	単位
C _{pd} 電力散逸容量	C _L = 50pF、 f = 1MHz	20	pF

4.7 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)



5 パラメータ測定情報

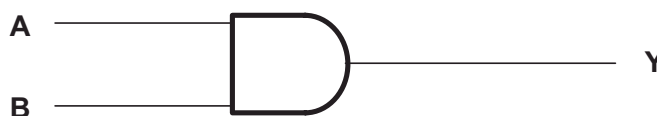


- A. C_L にはプローブと治具の容量が含まれます。
- B. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_r \leq 2.5\text{ns}$ 、 $t_f \leq 2.5\text{ns}$ 。
- C. 出力は一度に1つずつ測定され、測定するたびに入力が1回遷移します。

図 5-1. 負荷回路および電圧波形

6 詳細説明

6.1 機能ブロック図



各ゲートの論理図 (正論理)

6.2 デバイスの機能モード

機能表
(各ゲート)

入力		出力 Y
A	B	
H	H	H
L	X	L
X	L	L

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「**推奨動作条件**」表に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。

電源の障害を防止するため、各 V_{CC} ピンに適切なバイパス コンデンサを配置する必要があります。単電源のデバイスには、 $0.1\mu\text{F}$ を推奨します。 V_{CC} ピンが複数ある場合、各電源ピンに対して $0.01\mu\text{F}$ または $0.022\mu\text{F}$ を推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサを並列に使用するのが一般的です。最良の結果を得るため、バイパス コンデンサは電源ピンのできるだけ近くに配置してください。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

多ビットロジック デバイスを使用する場合、入力をフローティングにしないでください。多くの場合、デジタル ロジック デバイスの機能または機能の一部は使用されません。例えば、トリプル入力 AND ゲートの 2 入力のみを使用する場合や、4 バッファ ゲートのうち 3 入力のみを使用する場合です。このような入力ピンを未接続のままにしないでください。外部接続の電圧が未確定の場合、動作状態が不定になるためです。**セクション 7.2.2** に規定された規則は、あらゆる状況で遵守する必要があります。デジタル ロジック デバイスの未使用の入力はすべて、フローティングにならないように、High または Low バイアスに接続する必要があります。特定の未使用の入力に対して適用が必要となるロジック レベルは、デバイスの機能により異なります。一般に、GND または V_{CC} のうち、より適切であるかより利便性の高い方に接続されます。本部品がトランシーバでない限り、出力をフローティングにすることが許容されます。トランシーバに出力イネーブル ピンがある場合、アサートされると本部品の出力セクションがディセーブルになります。これによって I/O の入力セクションはディセーブルされないため、ディセーブル時にもフローティングにできません。

7.2.2 レイアウト例

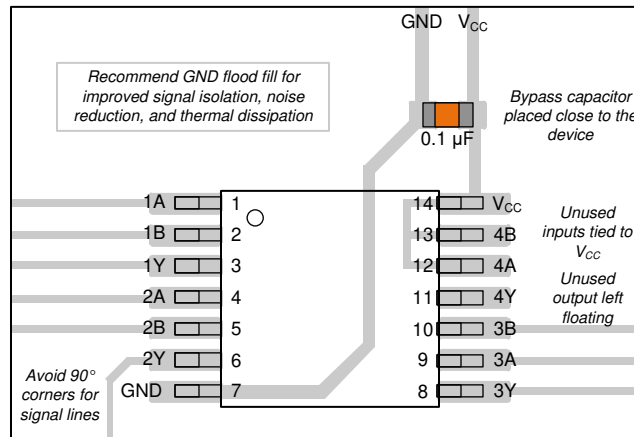


図 7-1. SN74ACT08 のレイアウト例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

8.1 ドキュメントのサポート

8.1.1 関連資料

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (October 2003) to Revision D (August 2024)	Page
<ul style="list-style-type: none"> 製品情報の表、ピンの機能の表、熱に関する情報の表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加..... 	1
<ul style="list-style-type: none"> RθJA の値を更新: PW = 113~145.7、値はすべて°C/W..... 	4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-89547022A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-89547022A SNJ54ACT 08FK	Samples
5962-8954702CA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-8954702CA SNJ54ACT08J	Samples
5962-8954702DA	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-8954702DA SNJ54ACT08W	Samples
SN74ACT08D	OBSOLETE	SOIC	D	14		TBD	Call TI	Call TI	-40 to 85	ACT08	
SN74ACT08DBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD08	Samples
SN74ACT08DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT08	Samples
SN74ACT08DRG3	ACTIVE	SOIC	D	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 85	ACT08	Samples
SN74ACT08DRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT08	Samples
SN74ACT08N	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74ACT08N	Samples
SN74ACT08NSR	ACTIVE	SOP	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	ACT08	Samples
SN74ACT08PW	OBSOLETE	TSSOP	PW	14		TBD	Call TI	Call TI	-40 to 85	AD08	
SN74ACT08PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD08	Samples
SN74ACT08PWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AD08	Samples
SNJ54ACT08FK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-89547022A SNJ54ACT 08FK	Samples
SNJ54ACT08J	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-8954702CA SNJ54ACT08J	Samples
SNJ54ACT08W	ACTIVE	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-8954702DA SNJ54ACT08W	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54ACT08, SN74ACT08 :

- Catalog : [SN74ACT08](#)
- Automotive : [SN74ACT08-Q1](#), [SN74ACT08-Q1](#)
- Enhanced Product : [SN74ACT08-EP](#), [SN74ACT08-EP](#)
- Military : [SN54ACT08](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74ACT08DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74ACT08DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74ACT08DRG3	SOIC	D	14	2500	330.0	16.8	6.5	9.5	2.1	8.0	16.0	Q1
SN74ACT08DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74ACT08DRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74ACT08NSR	SOP	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74ACT08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74ACT08PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74ACT08PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74ACT08PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74ACT08DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74ACT08DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74ACT08DRG3	SOIC	D	14	2500	364.0	364.0	27.0
SN74ACT08DRG4	SOIC	D	14	2500	356.0	356.0	35.0
SN74ACT08DRG4	SOIC	D	14	2500	340.5	336.1	32.0
SN74ACT08NSR	SOP	NS	14	2000	356.0	356.0	35.0
SN74ACT08PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74ACT08PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74ACT08PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74ACT08PWRG4	TSSOP	PW	14	2000	356.0	356.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-89547022A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8954702DA	W	CFP	14	25	506.98	26.16	6220	NA
SN74ACT08N	N	PDIP	14	25	506	13.97	11230	4.32
SN74ACT08N	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54ACT08FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54ACT08W	W	CFP	14	25	506.98	26.16	6220	NA



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package can be hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only.
 - Falls within MIL STD 1835 GDFP1-F14

DB0014A



PACKAGE OUTLINE

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220762/A 05/2024

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0014A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PW0014A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated