

SN74AC2G101 クリア搭載、デュアル構成可能なクロック フリップフロップ

1 特長

- 幅広い動作範囲: 1.5V~6V
- 6V までの入力電圧に対応
- 連続 $\pm 24\text{mA}$ 出力駆動 (5V 時)
- 短いバーストで最大 $\pm 75\text{mA}$ の出力駆動 (5V 時) に対応
- 50 Ω 伝送ラインを駆動
- 5V、50pF 負荷時の最大値で $t_{pd} = 11.3\text{ns}$

2 アプリケーション

- コントローラリセット時の信号保持
- 低速エッジレート信号の入力
- ノイズの多い環境での動作

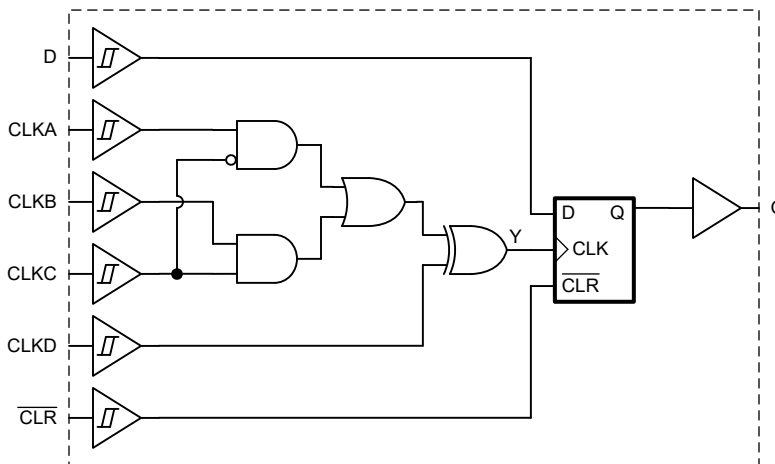
3 概要

SN74AC2G101 は、立ち上がりエッジトリガの構成可能ロジック クロック、アクティブ Low のクリア、データ入力を備えた 2 つの独立した D タイプ フリップ フロップを内蔵しています。クロック入力は、バッファ、インバータ、AND、OR、NAND、NOR、XOR、XNOR など、多くの 1 および 2 入力ロジック機能に構成できます。すべての入力はシュミットトリガ アーキテクチャを備えているため、低速またはノイズの多い入力信号にも対応できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾	本体サイズ ⁽³⁾
SN74AC2G101	BQB (WQFN, 16)	3.6mm × 2.6 mm	3.6mm × 2.6 mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます
- (3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



論理図 (正論理)



目次

1 特長.....	1	7.3 機能説明.....	13
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	15
3 概要.....	1	8 アプリケーションと実装.....	16
4 ピン構成および機能.....	3	8.1 アプリケーション情報.....	16
5 仕様.....	4	8.2 代表的なアプリケーション.....	16
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	19
5.2 ESD 定格.....	4	8.4 レイアウト.....	19
5.3 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート.....	21
5.4 熱に関する情報.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	21
5.5 電気的特性.....	5	9.2 サポート・リソース.....	21
5.6 タイミング特性.....	6	9.3 商標.....	21
5.7 スイッチング特性.....	8	9.4 静電気放電に関する注意事項.....	21
5.8 代表的特性.....	8	9.5 用語集.....	21
6 パラメータ測定情報.....	11	10 改訂履歴.....	21
7 詳細説明.....	12	11 メカニカル、パッケージ、および注文情報.....	21
7.1 概要.....	12	11.1 テープおよびリール情報.....	22
7.2 機能ブロック図.....	12	11.2 メカニカル データ.....	24

4 ピン構成および機能

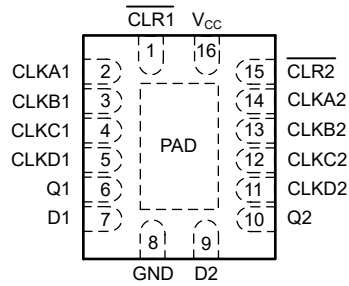


図 4-1. BQB パッケージ、16 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
CLR1	1	I	チャンネル 1、クリア、アクティブ Low
CLKA1	2	I	チャンネル 1、クロック入力 A
CLKB1	3	I	チャンネル 1、クロック入力 B
CLKC1	4	I	チャンネル 1、クロック入力 C
CLKD1	5	I	チャンネル 1、クロック入力 D
Q1	6	O	チャンネル 1、非反転出力
D1	7	I	チャンネル 1、データ入力
GND	8	G	グラウンド
D2	9	I	チャンネル 2、データ入力
Q2	10	O	チャンネル 2、非反転出力
CLKD2	11	I	チャンネル 2、クロック入力 D
CLKC2	12	I	チャンネル 2、クロック入力 C
CLKB2	13	I	チャンネル 2、クロック入力 B
CLKA2	14	I	チャンネル 2、クロック入力 A
CLR2	15	I	チャンネル 2、クリア、アクティブ Low
V _{cc}	16	P	正電源
サーマル パッド ⁽²⁾		—	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。

(2) BQB パッケージに限定

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	7	V
V _I	入力電圧範囲 ⁽²⁾	-0.5	V _{CC} + 0.5	V
V _O	出力電圧範囲 ⁽²⁾	-0.5	V _{CC} + 0.5	V
I _{IK}	入力クランプ電流	V _I < -0.5V または V _I > V _{CC} + 0.5V		±20 mA
I _{OK}	出力クランプ電流	V _O < -0.5V または V _O > V _{CC} + 0.5V		±50 mA
I _O	連続出力電流	V _O = 0 ~ V _{CC}		±50 mA
	V _{CC} または GND を通過する連続出力電流			±200 mA
T _J	接合部温度			150 °C
T _{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V _{CC}	電源電圧	1.5	6	V
V _I	入力電圧	0	V _{CC}	V
V _O	出力電圧	0	V _{CC}	V
I _{OH}	High レベル出力電流	V _{CC} = 1.8V	-1	mA
		V _{CC} = 2.5V	-2	
		V _{CC} = 3V	-12	
		V _{CC} = 4.5V ~ 6V	-24	
I _{OL}	Low レベル出力電流	V _{CC} = 1.8V	1	mA
		V _{CC} = 2.5V	2	
		V _{CC} = 3V	12	
		V _{CC} = 4.5V ~ 6V	24	
T _A	自由空気での動作温度	-40	125	°C

5.4 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
BQB (WQFN)	16	91.2	95.1	61.4	18.0	61.2	38.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	最小値	標準値	最大値	単位
V _{T+}	正方向入力スレッショルド電圧	1.5 V	0.71		1.06	V
		1.8 V	0.82		1.22	
		2.5 V	1.08		1.51	V
		3 V	1.19		1.72	
		4.5 V	1.61		2.37	
		6 V	1.87		2.82	
V _{T-}	負方向入力スレッショルド電圧	1.5 V	0.33		0.68	V
		1.8 V	0.42		0.68	
		2.5 V	0.59		0.8	V
		3 V	0.68		0.95	
		4.5 V	0.98		1.36	
		6 V	1.14		1.63	
ΔV _T	ヒステリシス (V _{T+} - V _{T-})	1.5 V	0.31		0.66	V
		1.8 V	0.37		0.66	
		2.5 V	0.45		0.74	V
		3 V	0.47		0.84	
		4.5 V	0.62		1.06	
		6 V	0.71		1.23	
V _{OH}	I _{OH} = -50μA	1.5 V	1.4	1.49	V	
		1.8 V	1.7	1.79		
		2.5 V	2.4	2.49		
		3 V	2.9	2.99		
		4.5 V	4.4	4.49		
		6 V	5.4	5.99		
	I _{OH} = -1mA	1.8 V	1.44			
		2.5 V	2			
		3 V	2.4			
		4.5 V	3.7			
		6 V	4.7			
		6 V	3.85			

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	最小値	標準値	最大値	単位
V _{OL}	I _{OL} = 50μA	1.5 V		0.01	0.1	V
		1.8 V		0.01	0.1	
		2.5 V		0.01	0.1	
		3 V		0.01	0.1	
		4.5 V		0.01	0.1	
		6 V		0.01	0.1	
	I _{OL} = 1mA	1.8 V			0.36	
	I _{OL} = 2mA	2.5 V			0.5	
	I _{OL} = 12mA	3 V			0.5	
	I _{OL} = 24mA	4.5 V			0.5	
I _{OL} = 24mA	6 V			0.5		
I _{OL} = 75mA	6 V			1.65		
I _I	V _I = 6 V または GND	0V~6V			±1	μA
I _{CC}	V _I = V _{CC} または GND、I _O = 0	6 V			20	μA
C _I	V _I = V _{CC} または GND	5 V		2		pF

5.6 タイミング特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V _{CC}	-40°C~ 125°C		単位
				最小値	最大値	
f _{clock}	クロック周波数		1.5 V		22	MHz
			3.3V ± 0.3V		80	
			5V ± 0.5V		140	
			6 V		175	
t _w	パルス幅	$\overline{\text{CLR}}$ が Low	1.5 V		4.1	ns
			3.3V ± 0.3V		3.3	
			5V ± 0.5V			
			6 V		3.3	
		CLKx	1.5 V		4.1	
			3.3V ± 0.3V		3.3	
			5V ± 0.5V			
			6 V		3.3	
t _{SU}	セットアップ時間	任意の CLKx より前の D	1.5 V		8.3	ns
			3.3V ± 0.3V		6.02	ns
			5V ± 0.5V			
			6 V		6.02	ns
		CLKx より前の $\overline{\text{CLR}}$ High	1.5 V		8.3	ns
			3.3V ± 0.3V		6.02	ns
			5V ± 0.5V			
			6 V		6.02	ns

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	説明	条件	V _{CC}	-40°C～ 125°C		単位
				最小 値	最大 値	
t _{CLKX_SU}	CLKx 入力間のセットアップ時間	CLKA 入力ピンは CLKB、CLKC、CLKD ピンに対する相対基準	1.5 V	8.3	ns	
			3.3V ± 0.3V	6.02	ns	
			5V ± 0.5V			
			6 V	6.02	ns	
		CLKB 入力ピンは CLKA、CLKC、CLKD ピンに対する相対基準	1.5 V	1	ns	
			3.3V ± 0.3V	1	ns	
			5V ± 0.5V			
			6 V	1	ns	
		CLKC 入力ピンは CLKA、CLKB、CLKD ピンに対する相対基準	1.5 V	1	ns	
			3.3V ± 0.3V	1	ns	
			5V ± 0.5V			
			6 V	1	ns	
CLKD 入力ピンは CLKA、CLKB、CLKC ピンに対する相対基準	1.5 V	1	ns			
	3.3V ± 0.3V	1	ns			
	5V ± 0.5V					
	6 V	1	ns			
t _H	ホールド時間	任意の CLKx 後の D	1.5 V	8.3	ns	
			3.3V ± 0.3V	6.02	ns	
			5V ± 0.5V			
			6 V	6.02	ns	

ADVANCE INFORMATION

5.7 スイッチング特性

自由空気での動作温度範囲内、 $C_L = 50\text{pF}$ 、 $T_A = 25^\circ\text{C}$ で測定した代表値 (特に記述のない限り)。「パラメータ測定情報」参照

パラメータ	始点 (入力)	終点 (出力)	V _{CC}	-40°C~125°C			単位
				最小値	標準値	最大値	
t _{pd}	CLKA	Q	1.5 V	50.2			ns
			3.3V ± 0.3V	16.4			ns
			5V ± 0.5V	11.3			ns
			6 V	9.1			ns
	CLKB	Q	1.5 V	50.1			ns
			3.3V ± 0.3V	16.4			ns
			5V ± 0.5V	11.2			ns
			6 V	9.2			ns
	CLKC	Q	1.5 V	50.3			ns
			3.3V ± 0.3V	15			ns
			5V ± 0.5V	10.4			ns
			6 V	8.7			ns
	CLKD	Q	1.5 V	45.9			ns
			3.3V ± 0.3V	15.3			ns
			5V ± 0.5V	10.5			ns
			6 V	8.5			ns
CLR	Q	1.5 V	36.1			ns	
		3.3V ± 0.3V	13.1			ns	
		5V ± 0.5V	9.7			ns	
		6 V	8.2			ns	
t _{sk(o)}		Q	1.5 V	4			ns
			6 V	1			ns
C _{PD} ⁽¹⁾	CLK または CLK INH	Q _H	5 V	50			pF

(1) $C_L = 50\text{pF}$ 、 $F = 1\text{MHz}$ で測定した電力散逸容量

5.8 代表的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

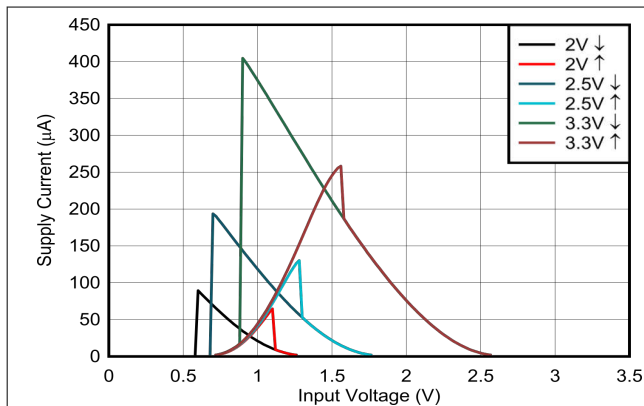


図 5-1. 入力電圧に対する電源電流、1.8V および 2.5V 電源

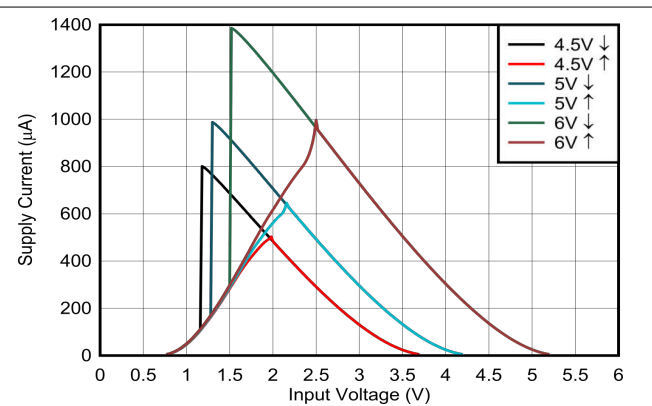


図 5-2. 入力電圧に対する電源電流、3.3V および 5.0V 電源

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

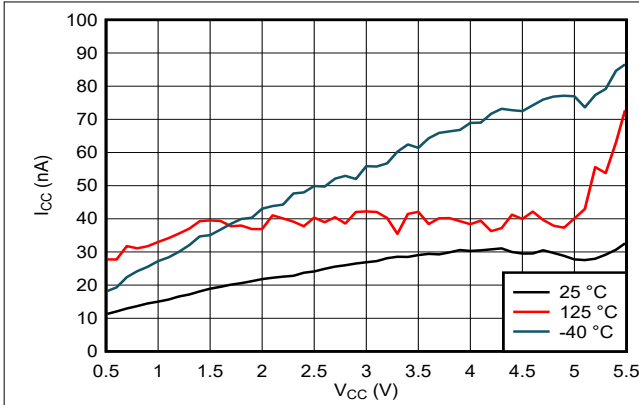


図 5-3. 電源電流と電源電圧との関係

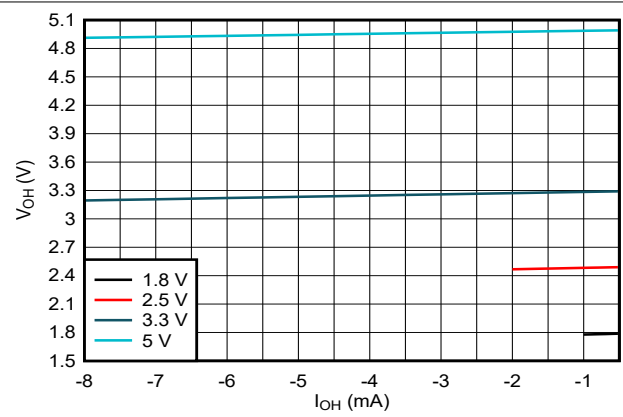


図 5-4. High 状態における出力電圧と電流との関係

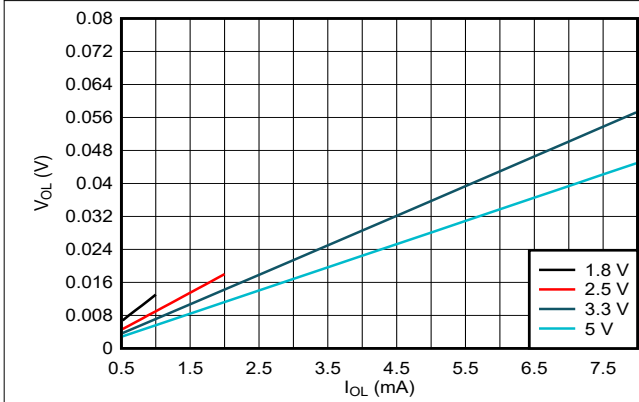


図 5-5. Low 状態における出力電圧と電流との関係

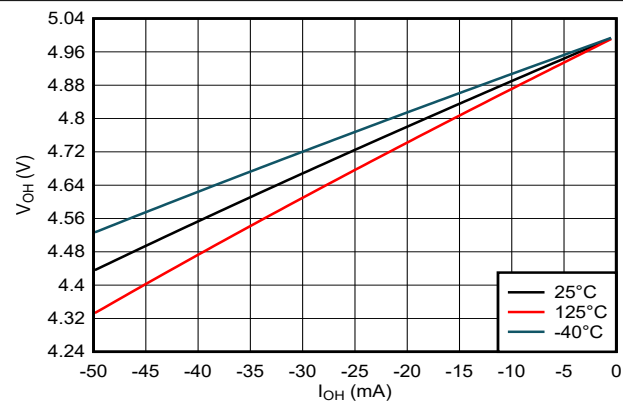


図 5-6. High 状態における出力電圧と電流との関係、5V 電源

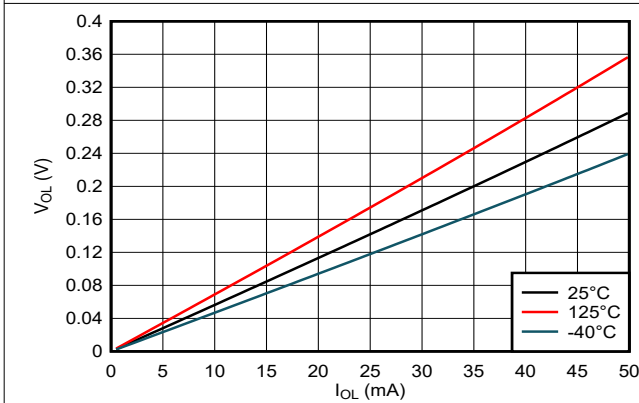


図 5-7. Low 状態における出力電圧と電流との関係、5V 電源

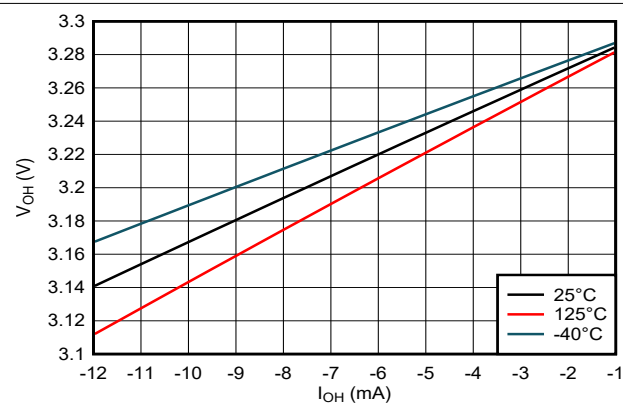


図 5-8. High 状態における出力電圧と電流との関係、3.3V 電源

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

ADVANCE INFORMATION

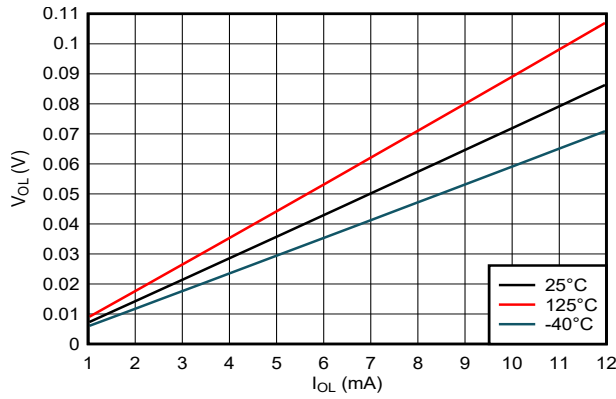


図 5-9. Low 状態における出力電圧と電流との関係、3.3V 電源

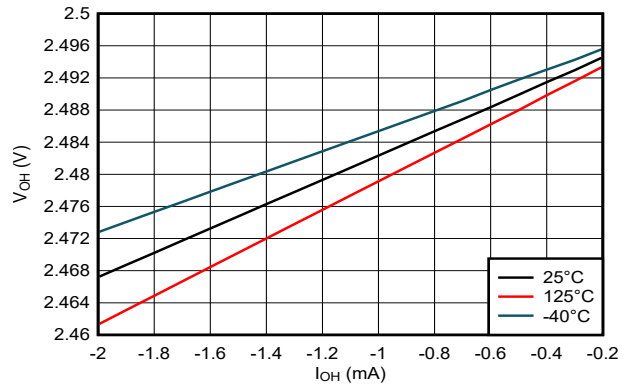


図 5-10. High 状態における出力電圧と電流との関係、2.5V 電源

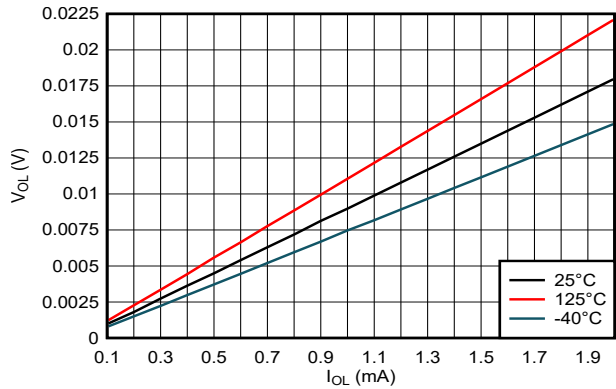


図 5-11. Low 状態における出力電圧と電流との関係、2.5V 電源

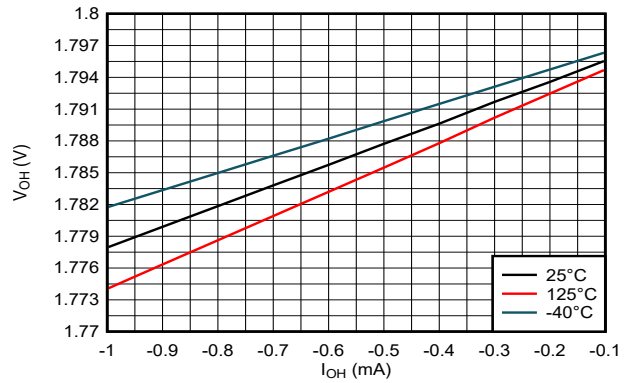


図 5-12. High 状態における出力電圧と電流との関係、1.8V 電源

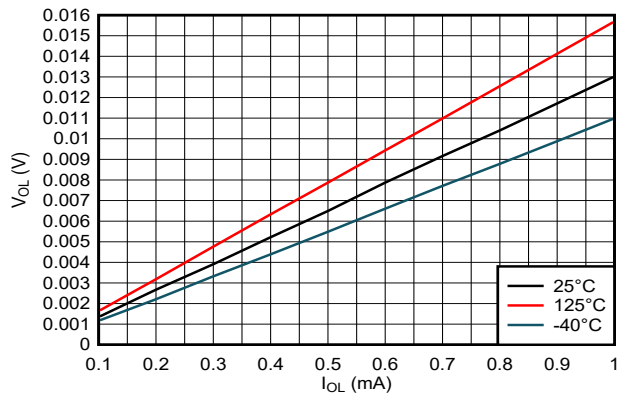
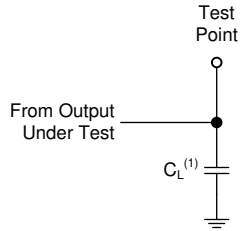


図 5-13. Low 状態における出力電圧と電流との関係、1.8V 電源

6 パラメータ測定情報

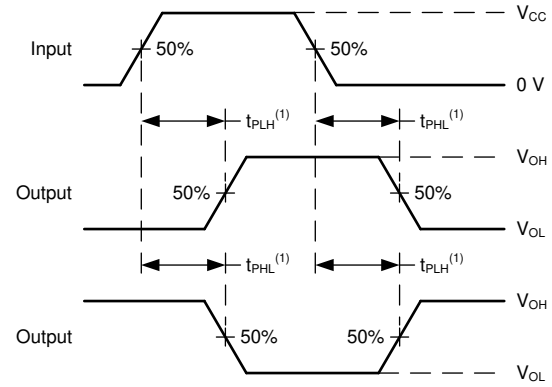
以下の表に示す例では、波形間の位相関係を任意に選択しました。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR ≤ 1MHz、 $Z_O = 50\Omega$ 、 $t_f < 2.5\text{ns}$ 。

出力は個別に測定され、測定するたびに入力が 1 回遷移します。



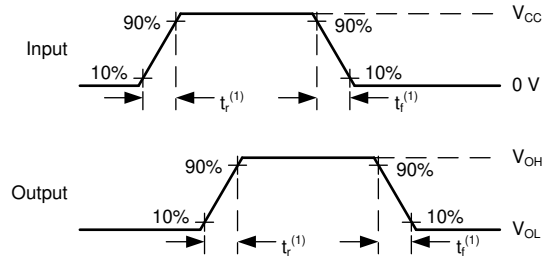
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-2. 電圧波形、伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-3. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SN74AC2G101 は 2 つの独立した D タイプ フリップ フロップを搭載しています。各チャンネルは独立したデータ (D) と非同期アクティブ Low クリア (CLR) 入力、出力 (Q) に加えて、構成可能なクロック入力 (CLKA、CLKB、CLKC、CLKD) を備えています。クロック入力は組み合わせロジックを利用し、一般的な 2 入力ゲートから反転および非反転構成まで、考えられるさまざまなロジックの組み合わせを実現します。

7.2 機能ブロック図

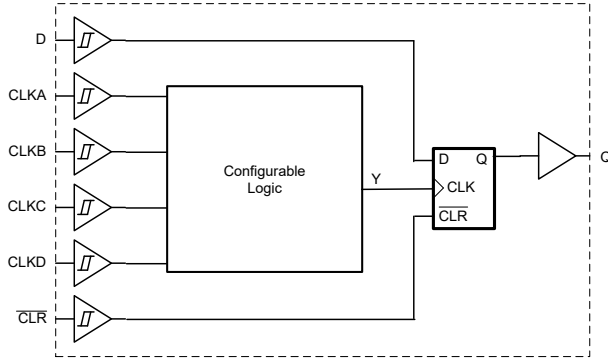


図 7-1. Each channel

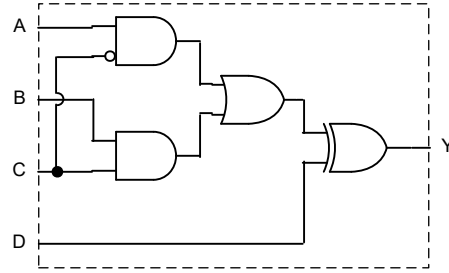


図 7-2. 構成可能ロジック

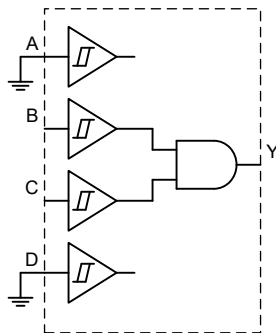


図 7-3. 2 入力 AND 構成

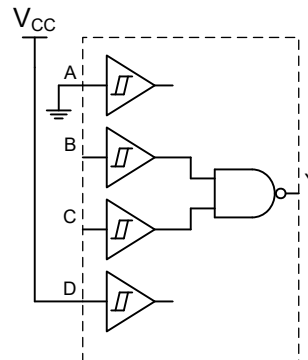


図 7-4. 2 入力 NAND 構成

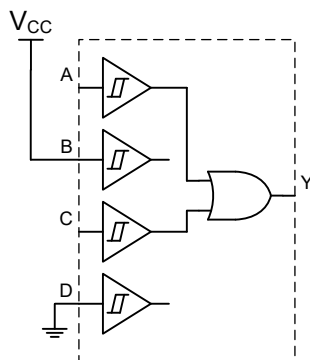


図 7-5. 2 入力 OR 構成

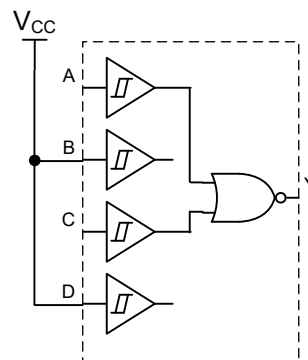


図 7-6. 2 入力 NOR 構成

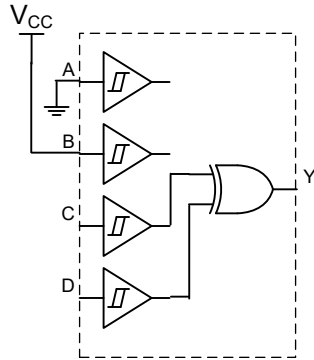


図 7-7. 2 入力 XOR 構成

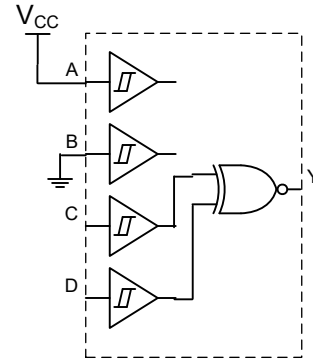


図 7-8. 2 入力 XNOR 構成

7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リンギングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 CMOS シュミットトリガ入力

このデバイスには、シュミットトリガアーキテクチャによる入力 that 搭載されています。これらの入力は高インピーダンスであり、「電気的特性」表に示されている入力静電容量と並列に配置された、入力からグランドまでの抵抗として、通常はモデル化されます。最悪条件下の抵抗値は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

シュミットトリガ入力アーキテクチャのヒステリシスは、「電気的特性」表の ΔV_T で定義されるため、このデバイスは低速またはノイズの多い入力に対する耐性が非常に優れています。入力は標準 CMOS 入力よりもはるかに低速で駆動できますが、未使用の入力を適切に終端することをお勧めします。入力を低速の遷移信号と共に駆動すると、デバイスの動的な電流消費が増加します。シュミットトリガ入力の詳細については、『シュミットトリガについて』を参照してください。

7.3.3 ラッチロジック

このデバイスには、ラッチ論理回路が内蔵されています。ラッチ回路には一般に D タイプ ラッチと D タイプ フリップフロップが含まれていますが、揮発性メモリとして機能するすべての論理回路が含まれています。

デバイスの電源がオンのとき、各ラッチの状態は不明です。スタートアップ時の各ラッチには、デフォルト状態はありません。

各ラッチ論理回路の出力状態は、推奨動作条件の表に規定された電源電圧範囲内でデバイスに電力が供給されている限り、安定した状態を保ちます。

7.3.4 クランプダイオード構造

図 7-9 に示すように、このデバイスの入力と出力には正と負の両方のクランプダイオードがあります。

注意

絶対最大定格の表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

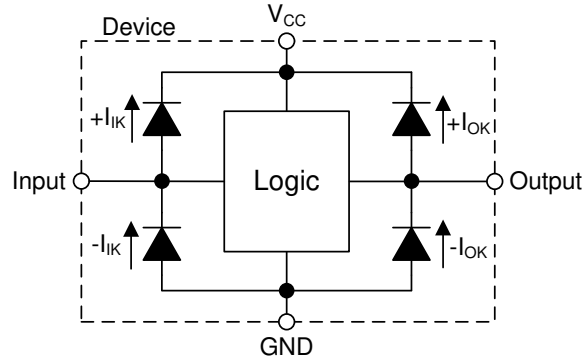


図 7-9. 各入力と出力に対するクランプ ダイオードの電氣的配置

7.4 デバイスの機能モード

表 7-1. フリップフロップ機能表

入力 ⁽¹⁾			出力 ⁽²⁾
CLR	CLK ⁽³⁾	D	Q
L	X	X	L
H	L、H、↓	X	Q ₀
H	↑	L	L
H	↑	H	H

- (1) L = 入力 Low、H = 入力 High、↑ = 入力が Low から High に遷移、↓ = 入力が High から Low に遷移、X = ドントケア
- (2) L = 出力 Low、H = 出力 High、Q₀ = 前の状態
- (3) 機能ブロック図で Y と表記される内部フリップフロップ入力

表 7-2. 組み合わせ論理機能表

入力				出力
A	B	C	D	Y
L	L	L	L	L
L	L	L	H	H
L	L	H	L	L
L	L	H	H	H
L	H	L	L	L
L	H	L	H	H
L	H	H	L	H
L	H	H	H	L
H	L	L	L	H
H	L	L	H	L
H	L	H	L	L
H	L	H	H	H
H	H	L	L	H
H	H	L	H	L
H	H	H	L	H
H	H	H	H	L

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、SN74AC2G101 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジック デバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グラウンドは、SN74AC2G101 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された **GND** 総電流の最大値を超えないようにしてください。

SN74AC2G101 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74AC2G101 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、『[CMOS の消費電力と Cpd の計算](#)』に記載されている情報を使用して計算できます。

熱上昇は、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』に記載されている情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{t(min)}$ を超えるとロジック Low と見なされ、 $V_{t(max)}$ を超えるとロジック High と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AC2G101 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により 10k Ω の抵抗値がしばしば使用されます。

SN74AC2G101 にはシュミットトリガ入力があるため、入力信号遷移レートの要件はありません。

シュミットトリガ入力を採用するもう 1 つの利点は、ノイズを除去できることです。振幅の大きなノイズの場合でも、問題が発生することがあります。問題を発生させる可能性があるノイズの大きさについては、「電気的特性」の $\Delta V_{T(min)}$ を参照してください。このヒステリシス値により、ピークツーピーク制限が得られます。

標準的な CMOS 入力とは異なり、シュミットトリガ入力は、消費電力を大幅に増加させることなく、任意の有効な値に保持できます。 V_{CC} でもグランドでもない値に入力を保持した場合に発生する追加の電流（代表値）を「代表的特性」のグラフに示します。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャンネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、SN74AC2G101 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を ($V_{CC}/I_{O(max)}$) Ω より大きくします。これを行うと、「絶対最大定格」の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、M Ω 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、アプリケーション レポート『CMOS 消費電力と CPD の計算』に記載されている手順を使用して計算できます。

8.2.3 リファレンス

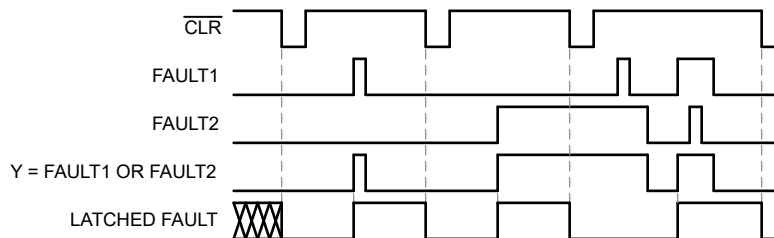


図 8-2. アプリケーション タイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1 μ F のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1 μ F と 1 μ F のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパス コンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電氣的に短いグラウンド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - 8mil~12mil のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグラウンド プレーンを使用
 - 信号トレース周辺のフラッド フィル領域
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

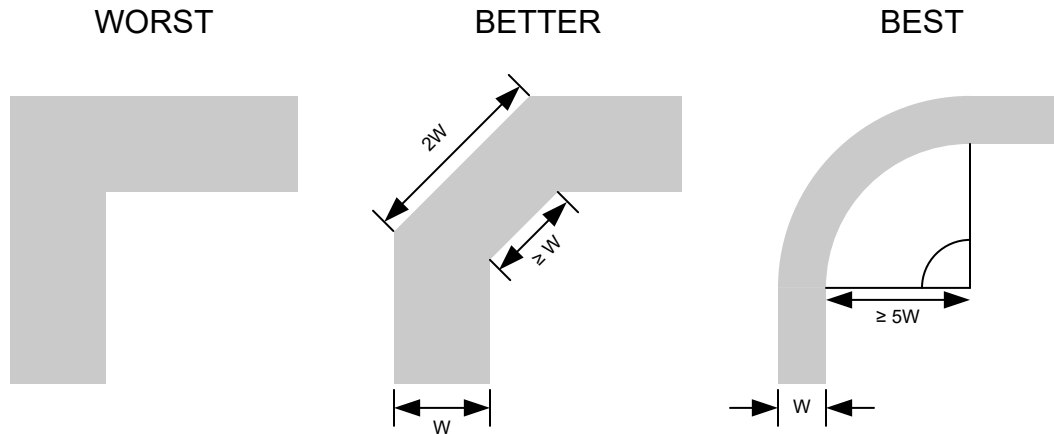


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

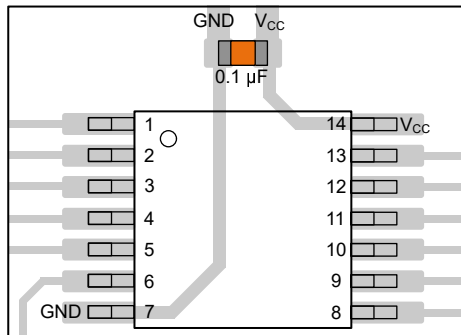


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

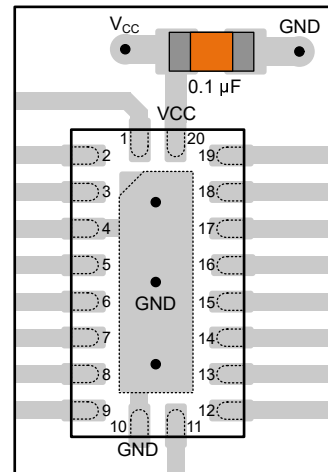


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

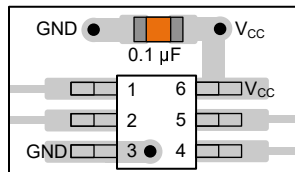


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

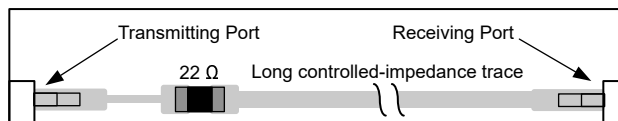


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

ADVANCE INFORMATION

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

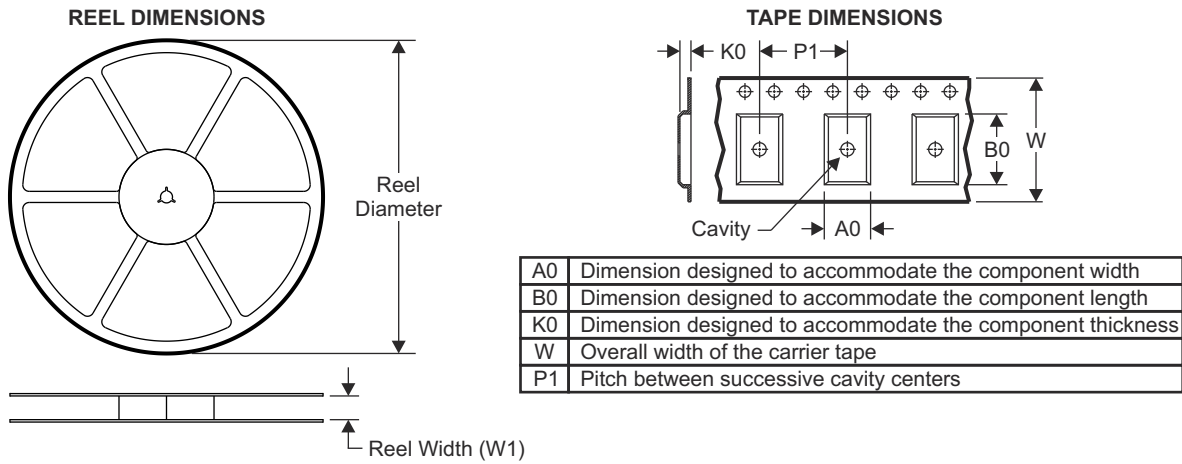
10 改訂履歴

日付	改訂	注
2024 年 9 月	*	事前情報のリリース

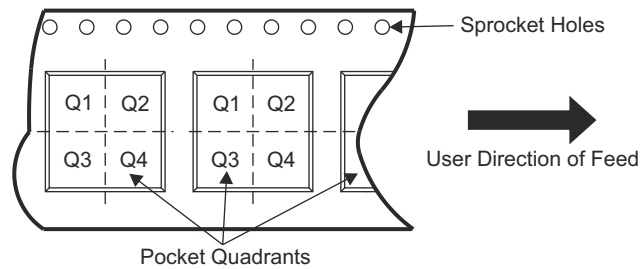
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報



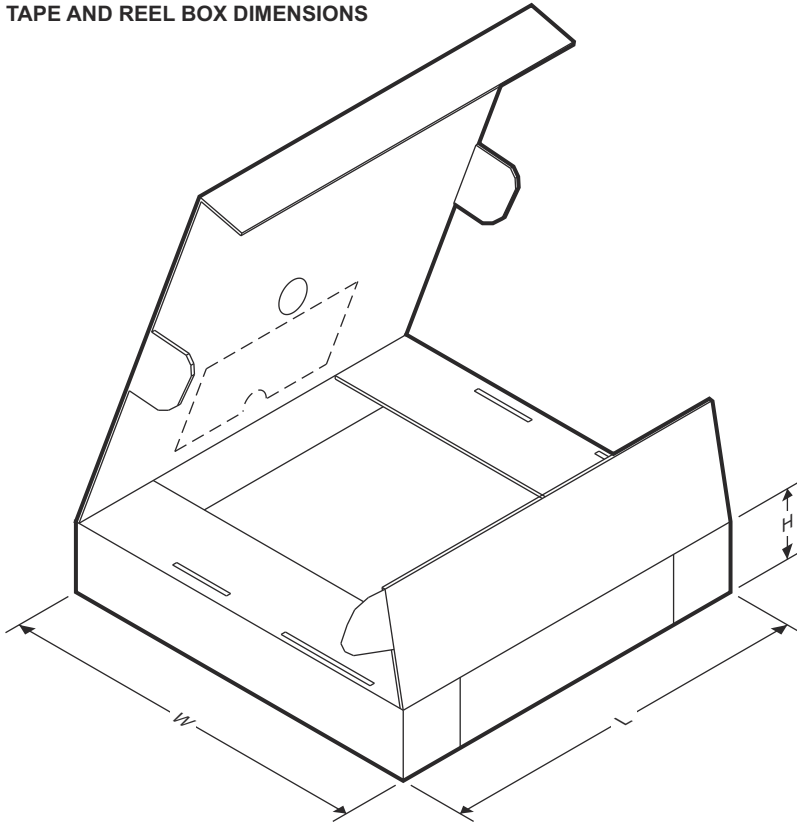
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の象限
SN74AC165BQBR	WQFN	BQB	16	SPQ	180mm	12.4mm	2.8mm	3.8mm	1.2mm	P1	W	Q1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン数	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
SN74AC165BQBR	WQFN	BQB	16	SPQ	210mm	185mm	35mm

ADVANCE INFORMATION

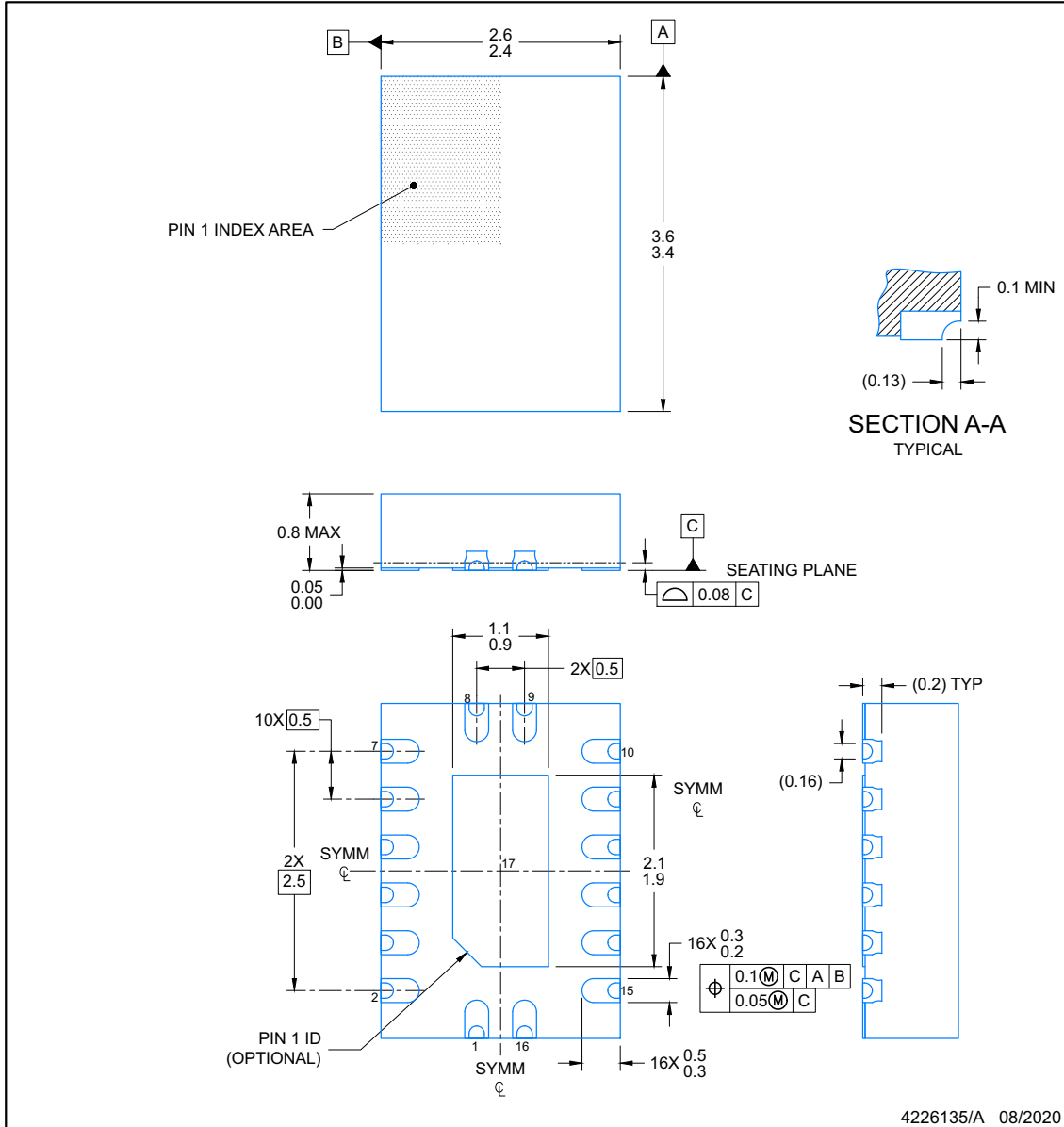
11.2 メカニカル データ

PACKAGE OUTLINE
WQFN - 0.8 mm max height

BQB0016B

INDSTNAME

ADVANCE INFORMATION



NOTES:

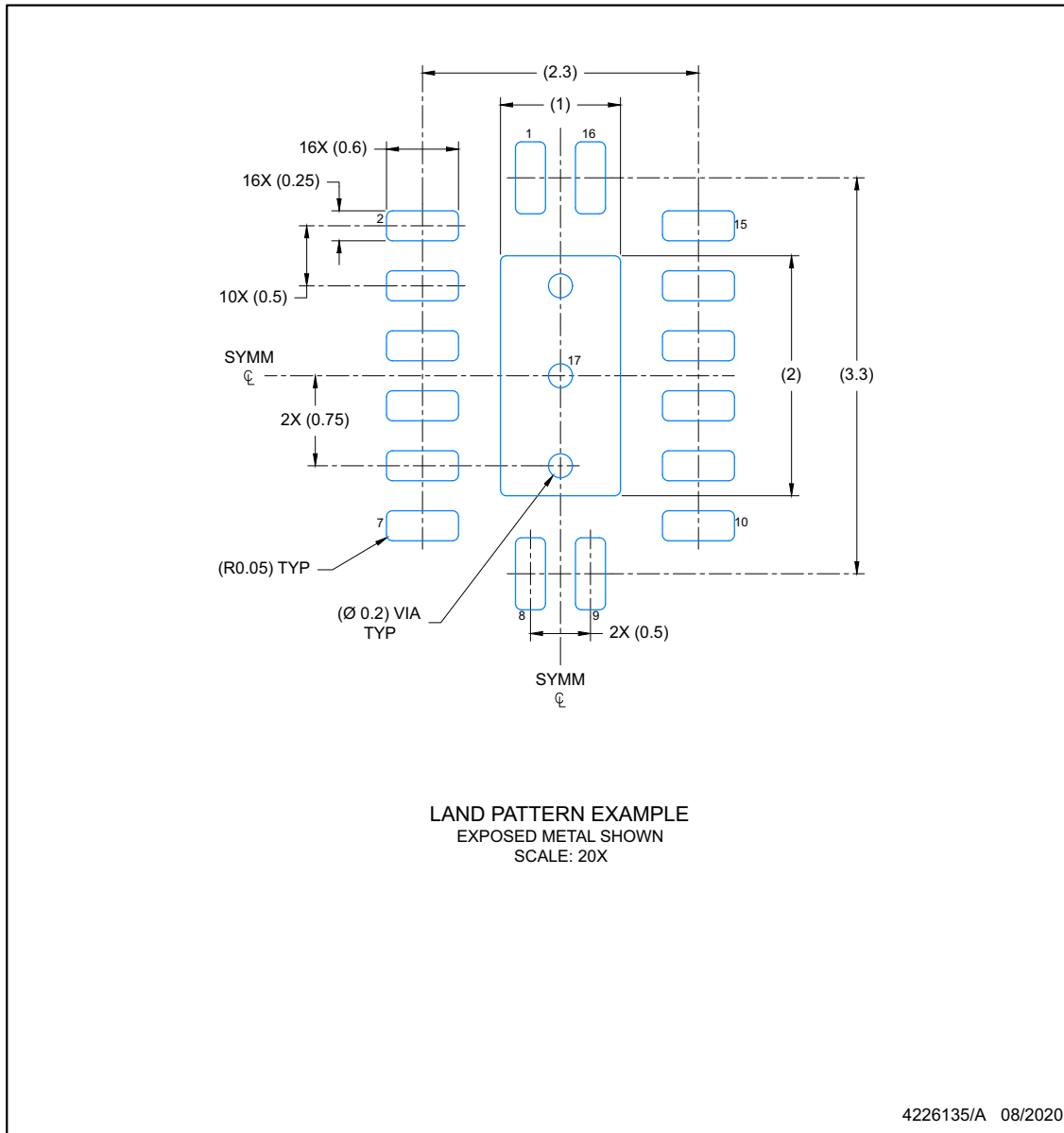
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

BQB0016B

WQFN - 0.8 mm max height

INDSTNAME



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

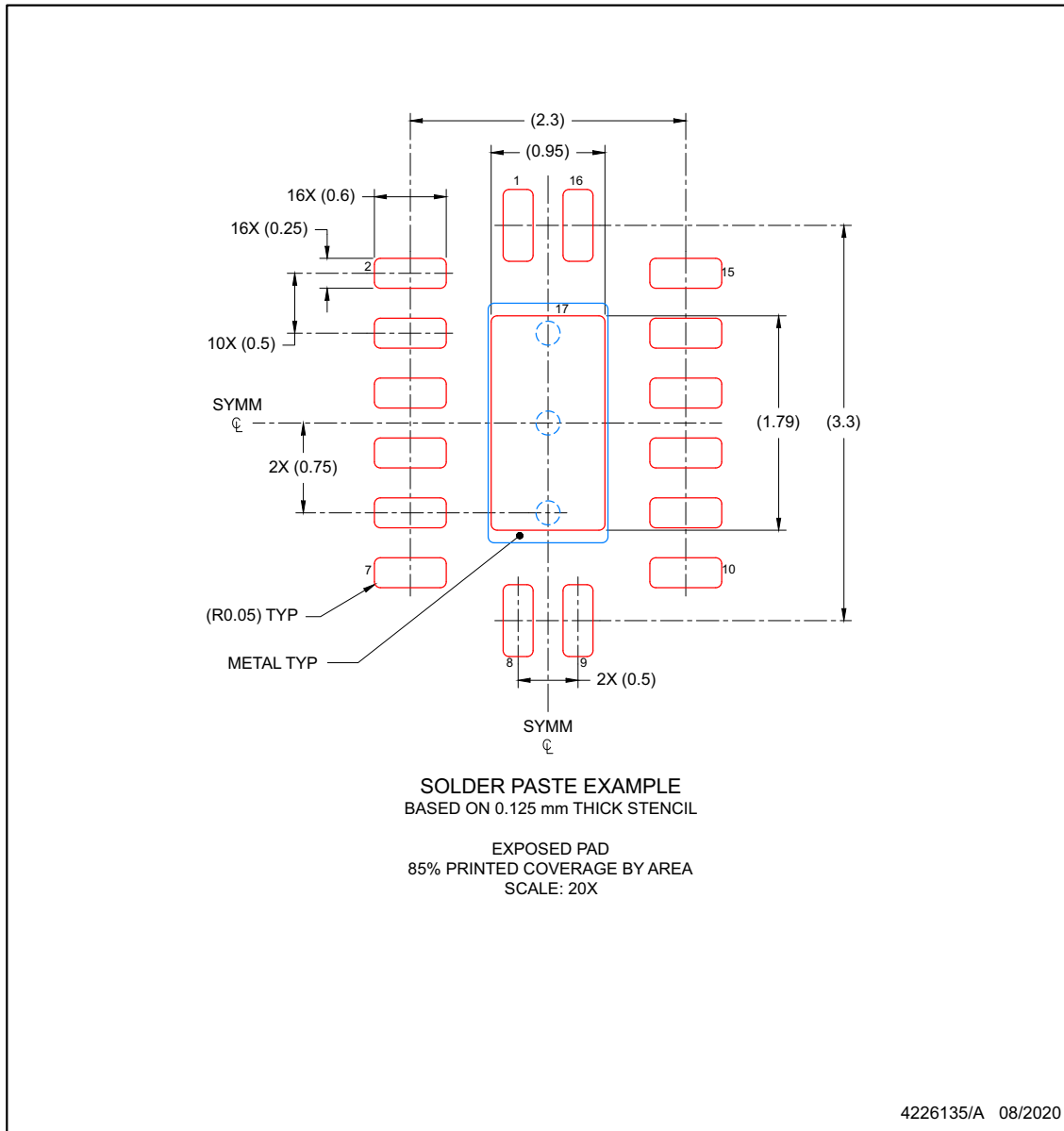
EXAMPLE STENCIL DESIGN

BQB0016B

WQFN - 0.8 mm max height

INDSTNAME

ADVANCE INFORMATION



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PSN74AC2G101BQBR	ACTIVE	WQFN	BQB	16	3000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

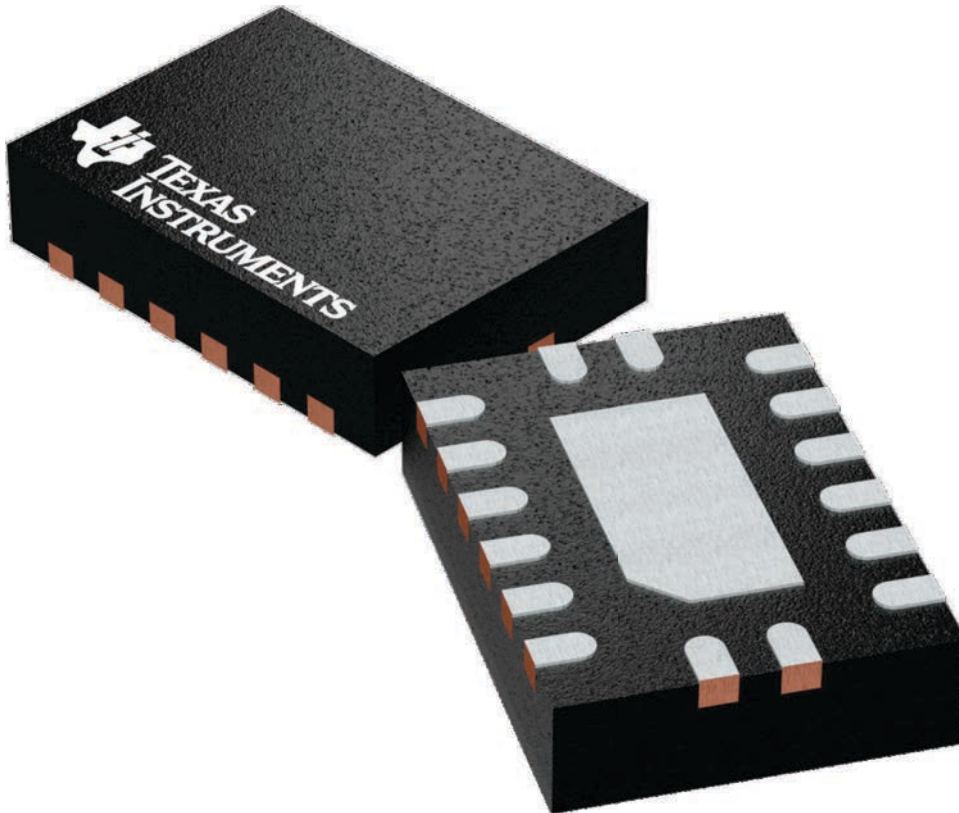
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226161/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated