

SN54AC00-SP 耐放射線特性クワッド 2 入力 NAND ゲート

1 特長

- 5962R87549:
 - 放射線耐性保証 (RHA): TID 最大 100krad (Si)
 - SEL 耐性: 86MeV×cm²/mg
- 5962-87549:
 - 総照射線量耐性: 50krad (Si)
- 2V~6V の V_{CC} で動作
- 6V までの入力電圧に対応
- 最大 t_{pd} 7ns (5V 時)

2 アプリケーション

- 衛星観測機器
- 衛星パワー・オン・リセット・ロジック
- 宇宙ハイブリッド向け RHA 品質保証のベア・ダイ (KGD)

ピン機能 (各ゲート)

入力		出力 Y
A	B	
H	H	L
L	X	H
X	L	H



論理図 (正論理)

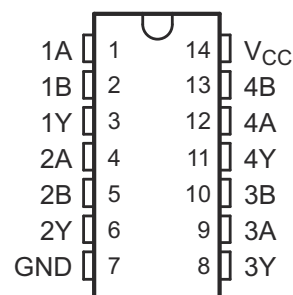
3 概要

SN54AC00 デバイスには、4 つの独立した 2 入力 NAND ゲートが内蔵されています。各ゲートは、ブール関数 $Y = \overline{A \cdot B}$ または $Y = \overline{A} + \overline{B}$ を正論理で実行します。

製品情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
SN54AC00-SP	CDIP (14)	5.97mm × 9.21mm
	CFP (14)	6.67mm × 19.56mm
	KGD (0)	該当なし

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



J または W パッケージ (上面図)

Table of Contents

1 特長.....	1	6.6 Switching Characteristics, $V_{CC} = 5 V$	6
2 アプリケーション.....	1	6.7 Operating Characteristics.....	6
3 概要.....	1	7 Parameter Measurement Information.....	7
4 Revision History.....	2	8 Device and Documentation Support.....	8
5 Bare Die Information.....	3	8.1 Receiving Notification of Documentation Updates.....	8
6 Specifications.....	4	8.2 サポート・リソース.....	8
6.1 Absolute Maximum Ratings.....	4	8.3 Trademarks.....	8
6.2 Recommended Operating Conditions.....	4	8.4 Electrostatic Discharge Caution.....	8
6.3 Thermal Information.....	5	8.5 Glossary.....	8
6.4 Electrical Characteristics.....	5	9 Mechanical, Packaging, and Orderable Information....	8
6.5 Switching Characteristics, $V_{CC} = 3.3 V$	6		

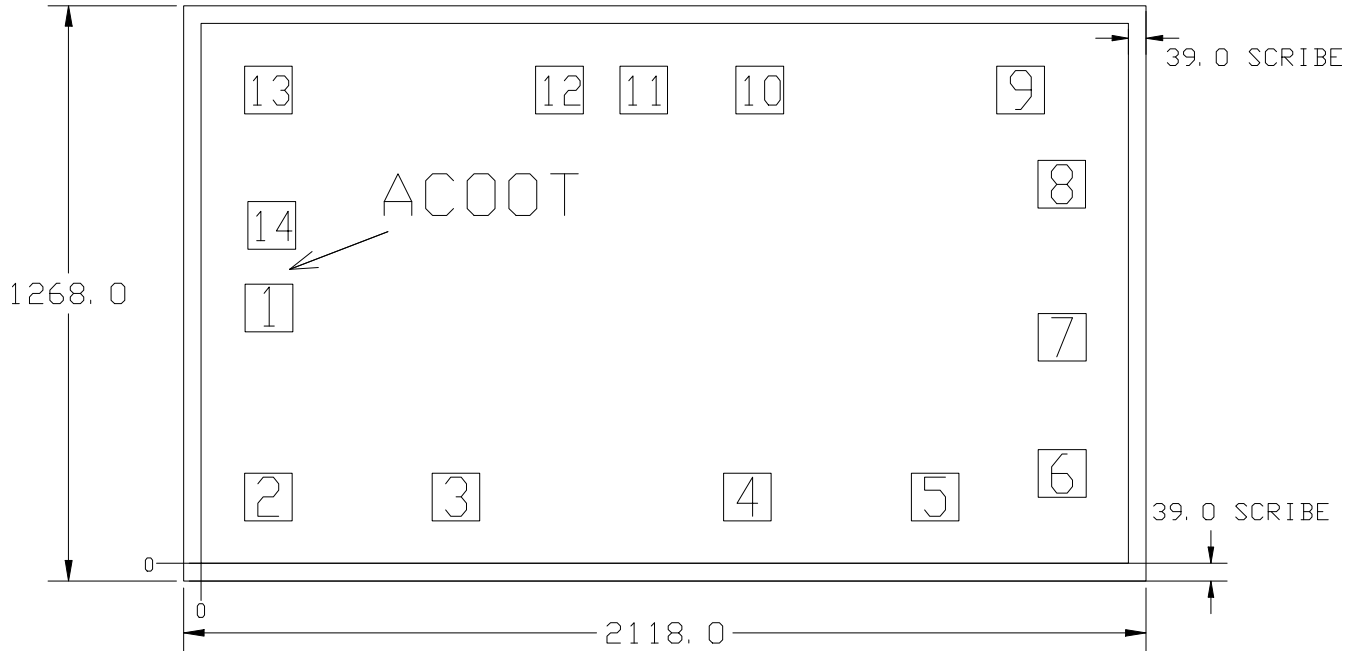
4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2015) to Revision C (April 2022)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「特長」セクションから SEU を削除.....	1
• SEL 耐性を $86\text{MeV}\times\text{cm}^2/\text{mg}$ に変更.....	1
Changes from Revision A (December 2013) to Revision B (February 2015)	Page
• KGD パッケージ情報を追加.....	1
• 「デバイスおよびドキュメントのサポート」セクションと「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• Added <i>Bare Die Information</i> , image, and <i>Bond Pad Coordinates in Microns</i>	3
• Added parameter information for KGD to セクション 6.5 and セクション 6.6	6
Changes from Revision * (October 2008) to Revision A (December 2013)	Page
• 「特長」の箇条書きを変更.....	1
• 「注文情報」表を削除.....	1

5 Bare Die Information

DIE THICKNESS	BACKSIDE FINISH	BACKSIDE POTENTIAL	BOND PAD METALLIZATION COMPOSITION	BOND PAD THICKNESS
15 mils	Silicon with backgrind	Floating	TiW/AlCu2	15800 nm



Bond Pad Coordinates in Microns

DESCRIPTION	PAD NUMBER	X MIN	Y MIN	X MAX	Y MAX
1A	1	96.3	510.5	201.3	615.5
1B	2	95	94	200	199
1Y	3	508	94	613	199
2A	4	1149	94	1254	199
2B	5	1562	94	1667	199
2Y	6	1841.5	145.5	1946.5	250.5
GND	7	1841.5	445.5	1946.5	550.5
3Y	8	1841	783	1946	888
3A	9	1750.5	991	1855.5	1096
3B	10	1176.5	991	1281.5	1096
4Y	11	921	991	1026	1096
4A	12	736	991	841	1096
4B	13	95	991	200	1096
VCC	14	102.5	692	207.5	797

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage	-0.5	7	V
V _I	Input voltage ⁽²⁾	-0.5	V _{CC} + 0.5	V
V _O	Output voltage ⁽²⁾	-0.5	V _{CC} + 0.5	V
I _{IK}	Input clamp current	V _I < 0 or V _I > V _{CC}		±20 mA
I _{OK}	Output clamp current	V _O < 0 or V _O > V _{CC}		±20 mA
I _O	Continuous output current	V _O = 0 to V _{CC}		±50 mA
	Continuous current through V _{CC} or GND			±200 mA
T _J	Junction temperature			150 °C
T _{stg}	Storage temperature	-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

6.2 Recommended Operating Conditions

		MIN	MAX	UNIT
V _{CC}	Supply voltage	2	6	V
V _{IH}	High-level input voltage	V _{CC} = 3 V	2.1	V
		V _{CC} = 4.5 V	3.15	
		V _{CC} = 5.5 V	3.85	
V _{IL}	Low-level input voltage	V _{CC} = 3 V	0.9	V
		V _{CC} = 4.5 V	1.35	
		V _{CC} = 5.5 V	1.65	
V _I	Input voltage	0	V _{CC}	V
V _O	Output voltage	0	V _{CC}	V
I _{OH}	High-level output current	V _{CC} = 3 V	12	mA
		V _{CC} = 4.5 V	24	
		V _{CC} = 5.5 V	24	
I _{OL}	Low-level output current	V _{CC} = 3 V	12	mA
		V _{CC} = 4.5 V	24	
		V _{CC} = 5.5 V	24	
Δt/Δv	Input transition rise or fall rate		8	ns/V
T _A	Operating free-air temperature	-55	125	°C

6.3 Thermal Information

THERMAL METRIC ^{(1) (2)}		SN54AC00-SP		UNIT
		J	W	
		14 PINS	14 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	83.1	125.4	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	26.6	30.85	
R _{θJB}	Junction-to-board thermal resistance	47.9	43.4	
ψ _{JT}	Junction-to-top characterization parameter	N/A	N/A	
ψ _{JB}	Junction-to-board characterization parameter	N/A	N/A	
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, [SPRA953](#).

(2) The package thermal impedance is calculated in accordance with JESD 51-7 and Mil Std 883 method 1012.1 (see [www.JEDEC.org](#)).

6.4 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
V _{OH}	I _{OH} = -50 μA	3 V	2.9			2.9	V	
		4.5 V	4.4			4.4		
		5.5 V	5.4			5.4		
	I _{OH} = -12 mA	3 V	2.56			2.4		
		4.5 V	3.86			3.7		
		5.5 V	4.86			4.7		
I _{OH} = -50 mA ⁽¹⁾	5.5 V				3.85			
V _{OL}	I _{OL} = 50 μA	3 V	0.1			0.1	V	
		4.5 V	0.1			0.1		
		5.5 V	0.1			0.1		
	I _{OL} = 12 mA	3 V	0.36			0.5		
		4.5 V	0.36			0.5		
		5.5 V	0.36			0.5		
I _{OL} = 50 mA ⁽¹⁾	5.5 V				1.65			
I _I	V _I = V _{CC} or GND	5.5 V	±0.1			±1	μA	
I _{CC}	V _I = V _{CC} or GND, I _O = 0	5.5 V	4			40	μA	
C _i	V _I = V _{CC} or GND	5 V	2.6				pF	

(1) Not more than one output should be tested at a time, and the duration of the test should not exceed 2 ms.

6.5 Switching Characteristics, $V_{CC} = 3.3\text{ V}$

over recommended operating free-air temperature range, $V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$ (unless otherwise noted) (see [7-1](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	2	7	9.5	1	11	ns
t_{PHL}			1.5	5.5	8	1	9	
t_{PLH} (KGD only) ⁽¹⁾	A or B	Y	1	7	9.5	1	11	ns
t_{PHL} (KGD only) ⁽¹⁾			1	5.5	9.5	1	11	

(1) Specification limits for KGD are based on SMD 5962-8754903

6.6 Switching Characteristics, $V_{CC} = 5\text{ V}$

over recommended operating free-air temperature range, $V_{CC} = 5\text{ V} \pm 0.5\text{ V}$ (unless otherwise noted) (see [7-1](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
			MIN	TYP	MAX			
t_{PLH}	A or B	Y	1.5	6	8	1	8.5	ns
t_{PHL}			1.5	4.5	6.5	1	7	
t_{PLH} (KGD only) ⁽¹⁾	A or B	Y	1.5	6	8	1	8.5	ns
t_{PHL} (KGD only) ⁽¹⁾			1.5	4.5	8	1	8.5	

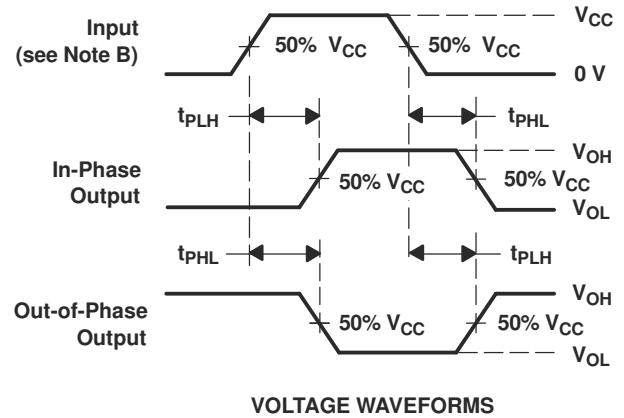
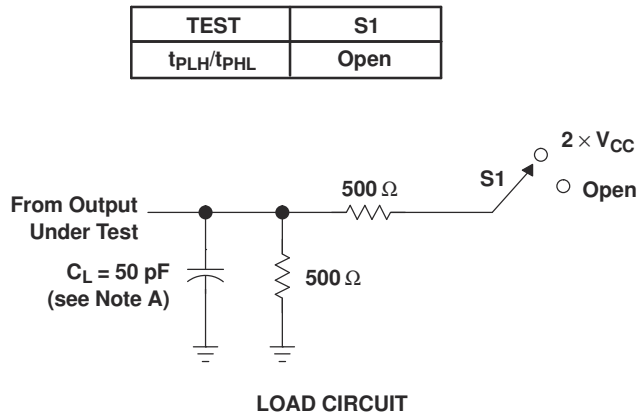
(1) Specification limits for KGD are based on SMD 5962-8754903

6.7 Operating Characteristics

$V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	TEST CONDITIONS	TYP	UNIT
C_{pd} Power dissipation capacitance	$C_L = 50\text{ pF}$, $f = 1\text{ MHz}$	40	pF

7 Parameter Measurement Information



- NOTES: A. C_L includes probe and jig capacitance.
 B. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1 \text{ MHz}$, $Z_O = 50 \Omega$, $t_r \leq 2.5 \text{ ns}$, $t_f \leq 2.5 \text{ ns}$.
 C. The outputs are measured one at a time with one input transition per measurement.

 **7-1. Load Circuit and Voltage Waveforms**

8 Device and Documentation Support

8.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](https://www.ti.com). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

8.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

8.3 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

8.5 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
5962-8754903VDA	W	CFP	14	25	506.98	26.16	6220	NA
5962R8754903VCA	J	CDIP	14	25	506.98	15.24	13440	NA
5962R8754903VDA	W	CFP	14	25	506.98	26.16	6220	NA

W (R-GDFP-F14)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package can be hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only.
 - E. Falls within MIL STD 1835 GDFP1-F14

J 14

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



4214771/A 05/2017

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated