

- 低電源電圧範囲：1.8 V ~ 3.6 V
- 超低消費電力：
  - アクティブ・モード：250  $\mu$ A (1 MHz、2.2 V)
  - スタンバイ・モード：0.7  $\mu$ A
  - オフ・モード (RAM データ保持)：0.1  $\mu$ A
- スタンバイ・モードから 1  $\mu$ s 以下の超高速ウェークアップ
- 16 ビット RISC アーキテクチャ、65 ns インストラクション・サイクル・タイム
- Basic Clock モジュール構成
  - 16 MHz までの内部周波数 (4 つの $\pm$ 1% に校正された周波数)
  - 32 kHz クリスタル
  - 16 MHz までの高周波数クリスタル
  - レゾネータ
  - 外部デジタル・クロック源
- 16 ビット タイマ<sub>A</sub> (3 つのキャプチャ/コンペア・レジスタ付き)
- アナログ信号コンペア機能又はスロープ A/D 変換のためのオン・チップ・コンパレータ
- ブラウンアウト検出
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- ブートストラップ・ローダ
- オン・チップ・エミュレーション・モジュール
- ファミリ製品：
  - MSP430F2101: 1KB + 256B フラッシュ・メモリ、128B RAM
  - MSP430F2111: 2KB + 256B フラッシュ・メモリ、128B RAM
  - MSP430F2121: 4KB + 256B フラッシュ・メモリ、256B RAM
  - MSP430F2131: 8KB + 256B フラッシュ・メモリ、256B RAM
- 20 ピン プラスチック SOWB、20 ピン プラスチック TSSOP、20 ピン TVSOP、及び 24 ピン QFN パッケージ
- モジュールの詳細は、MSP430x2xx ファミリ ユーザーズ・ガイドを参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 1  $\mu$ s 以内で行われます。

MSP430x21x1 シリーズは、16 ビット タイマ、多用途アナログ・コンパレータ、及び 16 個の I/O 端子を内蔵した超低消費電力ミックスト・シグナル・マイクロコントローラです。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、表示のため又はホスト・システムへの送信のためにデータを処理するセンサ・システムがあります。もう 1 つのアプリケーションの分野では、スタンド・アロン RF センサ・フロント・エンドがあります。アナログ・コンパレータにより、スロープ A/D 変換が可能です。

製品オプション

T <sub>A</sub>	パッケージ・デバイス			
	プラスチック 20 ピン SOWB (DW)	プラスチック 20 ピン TSSOP (PW)	プラスチック 20 ピン TVSOP (DGV)	プラスチック 24 ピン QFN (RGE)
-40°C ~ 85°C	MSP430F2101IDW MSP430F2111IDW MSP430F2121IDW MSP430F2131IDW	MSP430F2101IPW MSP430F2111IPW MSP430F2121IPW MSP430F2131IPW	MSP430F2101IDGV MSP430F2111IDGV MSP430F2121IDGV MSP430F2131IDGV	MSP430F2101IRGE MSP430F2111IRGE MSP430F2121IRGE MSP430F2131IRGE



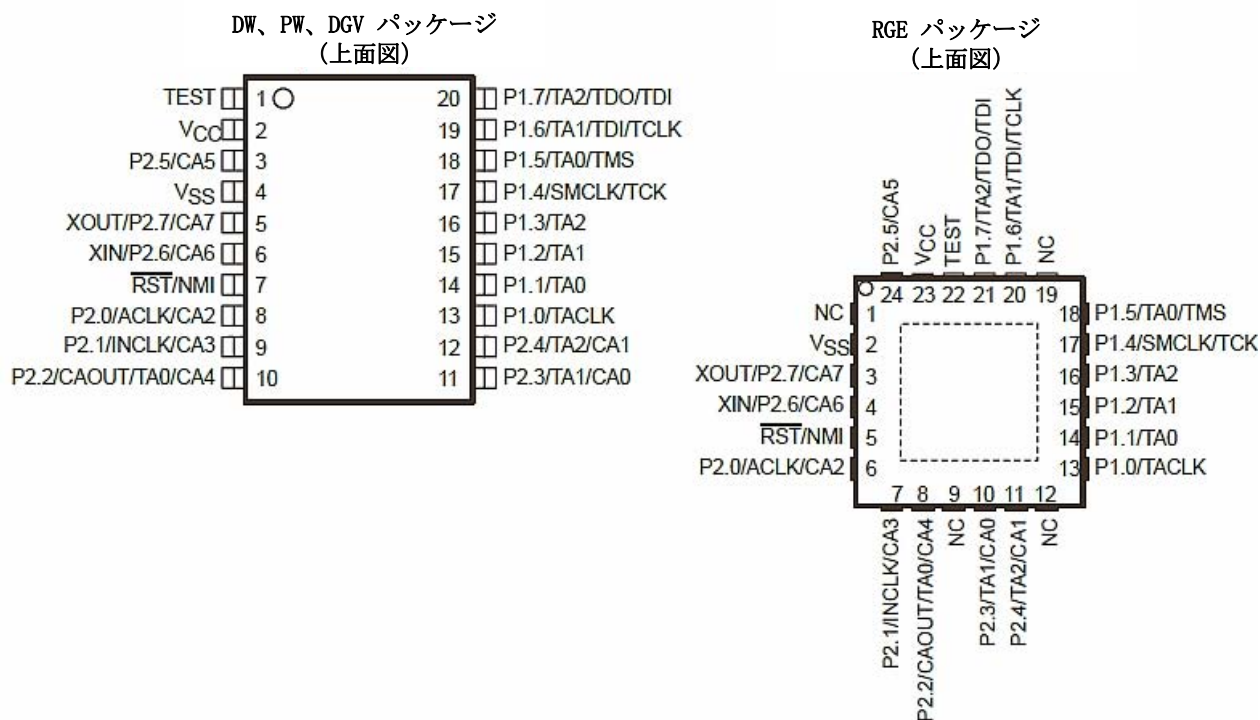
テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご購入及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



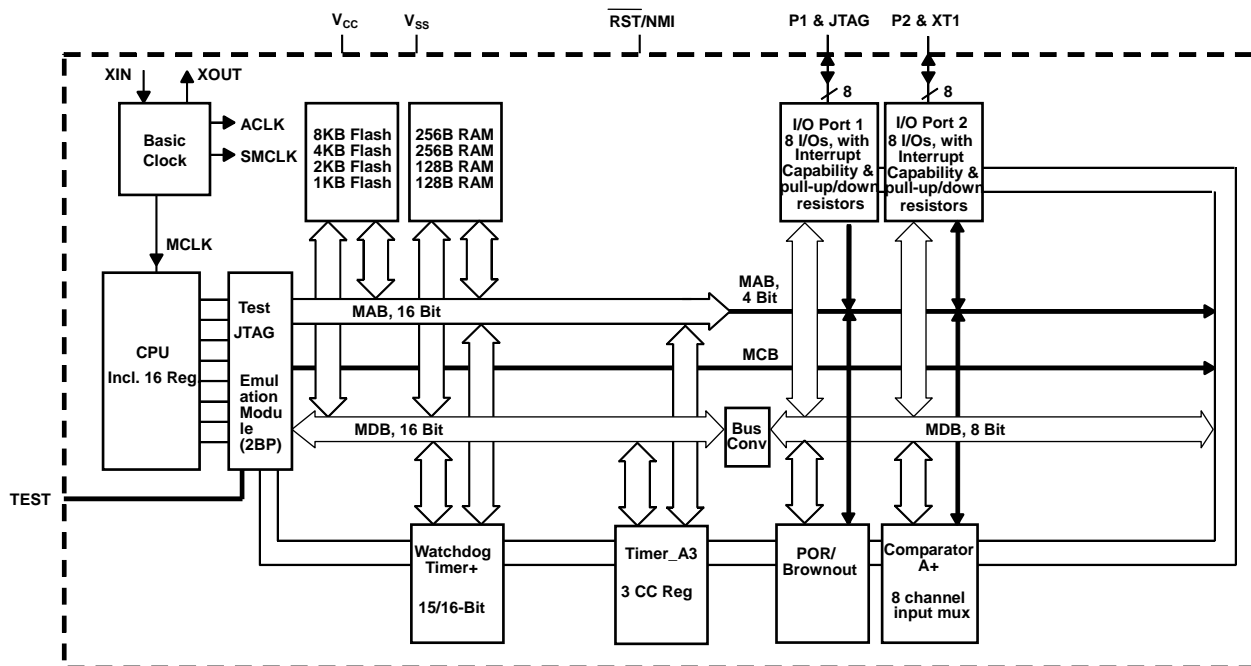
著作権© 2005 日本テキサス・インスツルメンツ株式会社

デバイス ピン配置



(注) NC 端子は内部で接続されていません。  
 放熱パッドは V<sub>SS</sub> に接続することを推奨します。

機能ブロック図



(注) I/O 情報の詳細は、ポート図のセクションを参照して下さい。

端子機能表

端 子				機 能
名 前	DW、PW、DGV 番号	RGE 番号	I/O	
P1.0/TACLK	13	13	I/O	汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力
P1.1/TA0	14	14	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信
P1.2/TA1	15	15	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力
P1.3/TA2	16	16	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力
P1.4/SMCLK/TCK	17	17	I/O	汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力
P1.5/TA0/TMS	18	18	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力
P1.6/TA1/TDI/TCLK	19	20	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力
P1.7/TA2/TDO/TDI †	20	21	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力
P2.0/ACLK/CA2	8	6	I/O	汎用デジタル I/O / ACLK 出力 / コンパレータ_A+, CA2 入力
P2.1/INCLK/CA3	9	7	I/O	汎用デジタル I/O / タイマ_A、INCLK クロック信号 / コンパレータ_A+, CA3 入力
P2.2/CAOUT/TA0/CA4	10	8	I/O	汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A+ 出力 / コンパレータ_A+, CA4 入力 / BSL 受信
P2.3/CA0/TA1	11	10	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A+, CA0 入力
P2.4/CA1/TA2	12	11	I/O	汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A+, CA1 入力
P2.5/CA5	3	24	I/O	汎用デジタル I/O / コンパレータ_A+, CA5 入力
XIN/P2.6/CA6	6	4	I/O	クリスタル・オシレータ入力 / 汎用デジタル I/O / コンパレータ_A+, CA6 入力
XOUT/P2.7/CA7	5	3	I/O	クリスタル・オシレータ出力 / 汎用デジタル I/O / コンパレータ_A+, CA7 入力
RST/NMI	7	5	I	リセット又はマスク不可能な割り込み入力
TEST	1	22	I	ポート1 JTAG 端子のテスト・モードの選択入力。デバイス保護ヒューズが TEST に接続されています。
V <sub>CC</sub>	2	23		電源
V <sub>SS</sub>	4	2		グランド基準
QFN パッド	NA	パッケ ージ・ パッド	NA	QFN パッケージのパッドは V <sub>SS</sub> に接続することを推奨します。

† TDO 又は TDI は JTAG 命令によって選択されます。

(注) XOUT/P2.7/CA7 が入力として使用されている場合は、P2SEL.7 がクリアされるまでは過剰な電流が流れます。これは、リセットの後、オシレータの出力ドライバがこの端子に接続されるためです。

## 概要説明

## CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

## 命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。各々の命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

プログラム・カウンタ	PC/R0
スタック・ポインタ	SP/R1
ステータス・レジスタ	SR/CG1/R2
コンスタント・ジェネレータ	CG2/R3
汎用レジスタ	R4
汎用レジスタ	R5
汎用レジスタ	R6
汎用レジスタ	R7
汎用レジスタ	R8
汎用レジスタ	R9
汎用レジスタ	R10
汎用レジスタ	R11
汎用レジスタ	R12
汎用レジスタ	R13
汎用レジスタ	R14
汎用レジスタ	R15

表 1. 命令ワード・フォーマット

デュアル・オペランド (ソース-デスティネーション)	例、ADD R4, R5	R4 + R5 → R5
シングル・オペランド (デスティネーションのみ)	例、CALL R8	PC → (TOS), R8 → PC
相対ジャンプ (無条件/条件付き)	例、JNE	Jump-on-equal bit = 0

表 2 アドレス・モード

アドレス・モード	S	D	構文	例	動作
レジスタ	●	●	MOV Rs, Rd	MOV R10, R11	R10 → R11
インデックス	●	●	MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2+R5) → M(6+R6)
シンボリック (PC 対応)	●	●	MOV EDE, TONI		M(EDE) → M(TONI)
絶対	●	●	MOV &MEM, &TCDAT		M(MEM) → M(TCDAT)
間接	●		MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) → M(Tab+R6)
間接 (自動インクリメント)	●		MOV @Rn+, Rm	MOV @R10+, R11	M(R10) → R11 R10 + 2 → R10
即時	●		MOV #X, TONI	MOV #45, TONI	#45 → M(TONI)

(注) S = ソース、D = デスティネーション

## 動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェイクアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
  - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
  - CPU はディスエーブル  
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
  - CPU はディスエーブル  
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル  
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ;
  - CPU はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はイネーブルのまま  
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
  - CPU はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はディスエーブル  
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
  - CPU はディスエーブル  
ACLK はディスエーブル  
MCLK 及び SMCLK はディスエーブル  
DCO の DC 発生回路はディスエーブル  
クリスタル・オシレータは停止

## 割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 0FFFh ~ 0FFC0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

もし、リセット・ベクタ（アドレス 0FFFEh に配置）が 0FFFFh を含む（すなわち、フラッシュ・メモリがプログラムされていない）場合、CPU はパワー・アップの直後に LPM4 に移行します。

割り込みソース	割り込みフラグ	システム割り込み	ワード・アドレス	優先順位
パワー・アップ 外部リセット ウォッチドッグ フラッシュ・キー違反 PC アウト・オブ・レンジ (注 1)	PORIFG RSTIFG WDTIFG KEYV (注 2)	リセット	0FFFEh	31 (最上位)
NMI オシレータ障害 フラッシュ・メモリ アクセス違反	NMIIFG OFIFG ACCVIFG (注 2、4)	マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能)	0FFFCh	30
			0FFFAh	29
			0FFF8h	28
コンパレータ_A+	CAIFG	マスク可能	0FFF6h	27
ウォッチドッグ・タイマ	WDTIFG	マスク可能	0FFF4h	26
タイマ_A2	TACCRO CCIFG (注 3)	マスク可能	0FFF2h	25
タイマ_A2	TACCR1 CCIFG、 TAIFG (注 2、3)	マスク可能	0FFF0h	24
			0FFEEh	23
			0FFECh	22
			0FFEAh	21
			0FFE8h	20
I/O ポート P2 (8 つのフラグ)	P2IFG.0 ~ P2IFG.7 (注 2、3)	マスク可能	0FFE6h	19
I/O ポート P1 (8 つのフラグ)	P1IFG.0 ~ P1IFG.7 (注 2、3)	マスク可能	0FFE4h	18
			0FFE2h	17
			0FFE0h	16
(注 5)			0FFDEh	15
(注 6)			0FFDCh ... 0FFC0h	14 ... 0 (最下位)

(注 1) CPU が、モジュールのレジスタ・メモリ・アドレス範囲 (0h ~ 01FFh) から命令をフェッチしようとした場合に、リセットが生成されます。

(注 2) 複数のソース・フラグ

(注 3) 割り込みフラグはモジュールの中にあります。

(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

(注 5) この場所は、ブートストラップ・ローダ・セキュリティ・キー (BSLSKEY) として使用されます。

この場所を 0AA55h の値にすると、BSL は完全にディスエーブルになります。

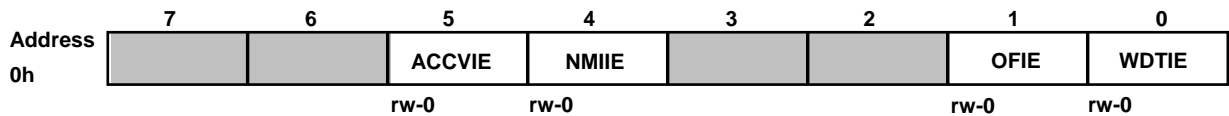
この場所を 0h の値にすると、無効なパスワードが入力された場合にフラッシュの消去をディスエーブルにします。

(注 6) アドレス 0FFDCh ~ 0FFC0h までの割り込みベクタは、このデバイスでは使用されませんが、必要な場合は通常のプログラム・コードとして使用することができます。

スペシャル・ファンクション・レジスタ

ほとんどの割り込み及びモジュール・イネーブル・ビットは、最も低いアドレス空間に集められています。機能の目的で割り当てられていないスペシャル・ファンクション・レジスタ・ビットは、物理的にデバイスの中に存在しませんので、この配列によってソフトウェアのアクセスが簡単になります。

割り込みイネーブル 1、2

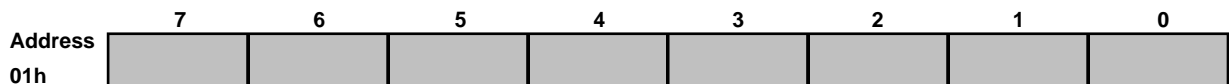


WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

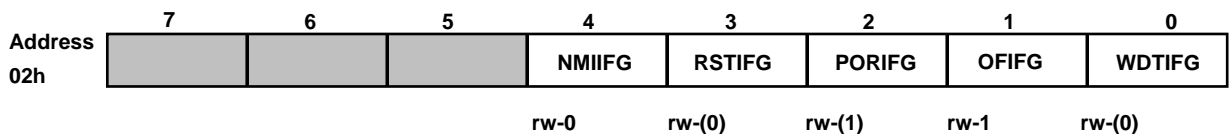
OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な (不可能な) 割り込みイネーブル

ACCVIE : フラッシュ・アクセス違反割り込みイネーブル



割り込みフラグ・レジスタ 1、2



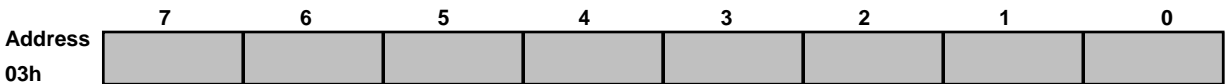
WDTIFG : ウォッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード) 又はセキュリティ・キー違反でセットされます。  
 $V_{CC}$  パワー・アップ又はリセット・モードでの  $\overline{RST}/NMI$  端子のリセット条件でリセットされます。

OFIFG : オシレータ障害でフラグがセットされます。

RSTIFG : 外部リセット割り込みフラグ。リセット・モードでの  $\overline{RST}/NMI$  端子のリセット条件でセットされます。 $V_{CC}$  パワー・アップでリセットされます。

PORIFG : パワー・オン・リセット割り込みフラグ。 $V_{CC}$  パワー・アップでセットされます。

NMIIFG :  $\overline{RST}/NMI$  端子でセットされます。




説明

rw: ビットは、読み出し及び書き込みをすることができます。

rw-0,1: ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。

rw-(0,1): ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。

 デバイスには、SFR ビットが存在しません。

## メモリ構成

		MSP430F2101	MSP430F2111	MSP430F2121	MSP430F2131
メモリ メイン: 割り込みベクタ メイン: コード・メモリ 情報メモリ	サイズ フラッシュ フラッシュ	1KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0FC00h	2KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0F800h	4KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0F000h	8KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0E000h
	サイズ フラッシュ	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h	256 バイト 010FFh - 01000h
起動メモリ	サイズ ROM	1KB 0FFFh - 0C00h	1KB 0FFFh - 0C00h	1KB 0FFFh - 0C00h	1KB 0FFFh - 0C00h
RAM	サイズ	128 バイト 027Fh - 0200h	128 バイト 027Fh - 0200h	256 バイト 02FFh - 0200h	256 バイト 02FFh - 0200h
ペリフェラル	16 ビット	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8 ビット	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8 ビット SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h

## ブートストラップ・ローダ (BSL)

MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL を完全にディスエーブルにしたり、無効なパスワードが入力された場合にフラッシュの消去をディスエーブルにしたりするために、ブートストラップ・ローダ・セキュリティ・キーがアドレス 0FFDEh に用意されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 "Features of the MSP430 Bootstrap Loader"* (資料番号 SLAA089) を参照して下さい。

BSLKEY	動作
00000h	無効なパスワードが入力された場合、ディスエーブルされたフラッシュ・メモリを消去
0AA55h	BSL はディスエーブル
その他の値	BSL はイネーブル

BSL 機能	DW、PW、DGV パッケージ・ピン	RGE パッケージ・ピン
データ送信	14 - P1.1	14 - P1.1
データ受信	10 - P2.2	8 - P2.2

## フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 4 セグメントのそれぞれ 64 バイトの情報メモリ (A ~ D) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A ~ D は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A ~ D は、*情報メモリ*とも呼ばれます。
- セグメント A にはキャリブレーション・データが含まれています。リセットの後、セグメント A はプログラミング又は消去に対して保護されています。そのロックは外すことができますが、キャリブレーション・データが必要な場合は、このセグメントを消去しないように注意しなければなりません。



## ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、MSP430x2xx ファミリー ユーザーズ・ガイドを参照して下さい。

## オシレータ及びシステム・クロック

クロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波数クリスタル・オシレータのサポートを含む basic clock モジュールで構成されています。basic clock モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、1 µs 以内に安定します。basic clock モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波数クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック

DCO キャリブレーション・データ (フラッシュ情報メモリ・セグメント A に入れてメーカーから供給されます。)			
DCO 周波数	キャリブレーション・レジスタ	サイズ	アドレス
1 MHz	CALBC1_1MHz	バイト	010FFh
	CALDCO_1MHz	バイト	010FEh
8 MHz	CALBC1_8MHz	バイト	010FDh
	CALDCO_8MHz	バイト	010FCh
12 MHz	CALBC1_12MHz	バイト	010FBh
	CALDCO_12MHz	バイト	010FAh
16 MHz	CALBC1_16MHz	バイト	010F9h
	CALDCO_16MHz	バイト	010F8h

## ブラウンアウト

ブラウンアウト回路は、パワー・オン及びパワー・オフ時にデバイスに適切な内部リセット信号を供給するために内蔵されています。

## デジタル I/O

2 つの 8 ビット I/O ポート内蔵：ポート P1 及び P2

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 のすべての 8 ビットは、エッジ選択可能な割り込み入力です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。
- それぞれの I/O ポートには、個別にプログラム可能なプルアップ/プルダウン抵抗があります。

## WDT+ ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT+) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が不要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生させることができます。

## コンパレータ\_A+

コンパレータ\_A+ モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

## タイマ\_A3

タイマ\_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ\_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ\_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

タイマ_A3 信号の接続							
入力端子番号		デバイス 入力信号	モジュール 入力名	モジュール・ ブロック	モジュール 出力信号	出力端子番号	
DW、PW、DGV	RGE					DW、PW、DGV	RGE
13 - P1.0	13 - P1.0	TACLK	TACLK	タイマ	NA		
		ACLK	ACLK				
		SMCLK	SMCLK				
9 - P2.1	7 - P2.1	INCLK	INCLK				
14 - P1.1	14 - P1.1	TA0	CCI0A	CCR0	TA0	14 - P1.1	14 - P1.1
10 - P2.2	8 - P2.2	TA0	CCI0B			18 - P1.5	18 - P1.5
		V <sub>SS</sub>	GND				
		V <sub>CC</sub>	V <sub>CC</sub>				
15 - P1.2	15 - P1.2	TA1	CCI1A	CCR1	TA1	11 - P2.3	10 - P2.3
		CAOUT (内部)	CCI1B			15 - P1.2	15 - P1.2
		V <sub>SS</sub>	GND			19 - P1.6	20 - P1.6
		V <sub>CC</sub>	V <sub>CC</sub>				
16 - P1.3	16 - P1.3	TA2	CCI2A	CCR2	TA2	12 - P2.4	11 - P2.4
		ACLK (内部)	CCI2B			16 - P1.3	16 - P1.3
		V <sub>SS</sub>	GND			20 - P1.7	21 - P1.7
		V <sub>CC</sub>	V <sub>CC</sub>				

## ペリフェラル・ファイル・マップ

ワード・アクセスによるペリフェラル			
タイマ_A	キャプチャ/コンペア・レジスタ	TACCR2	0176h
	キャプチャ/コンペア・レジスタ	TACCR1	0174h
	キャプチャ/コンペア・レジスタ	TACCR0	0172h
	タイマ_A レジスタ	TAR	0170h
	キャプチャ/コンペア制御	TACCTL2	0166h
	キャプチャ/コンペア制御	TACCTL1	0164h
	キャプチャ/コンペア制御	TACCTL0	0162h
	タイマ_A 制御	TACTL	0160h
	タイマ_A 割り込みベクタ	TAIV	012Eh
フラッシュ・メモリ	フラッシュ制御 3	FCTL3	012Ch
	フラッシュ制御 2	FCTL2	012Ah
	フラッシュ制御 1	FCTL1	0128h
ウォッチドッグ+	ウォッチドッグ・タイマ制御	WDTCTL	0120h
バイト・アクセスによるペリフェラル			
コンパレータ_A+	コンパレータ_A ポート ディスエーブル	CAPD	05Bh
	コンパレータ_A 制御 2	CACTL2	05Ah
	コンパレータ_A 制御 1	CACTL1	059h
Basic Clock	Basic clock システム制御 3	BCSCTL3	053h
	Basic clock システム制御 2	BCSCTL2	058h
	Basic clock システム制御 1	BCSCTL1	057h
	DCO クロック周波数制御	DCOCTL	056h
ポート P2	ポート P2 抵抗イネーブル	P2REN	02Fh
	ポート P2 選択	P2SEL	02Eh
	ポート P2 割り込みイネーブル	P2IE	02Dh
	ポート P2 割り込みエッジ選択	P2IES	02Ch
	ポート P2 割り込みフラグ	P2IFG	02Bh
	ポート P2 方向	P2DIR	02Ah
	ポート P2 出力	P2OUT	029h
	ポート P2 入力	P2IN	028h
	ポート P1	ポート P1 抵抗イネーブル	P1REN
ポート P1 選択		P1SEL	026h
ポート P1 割り込みイネーブル		P1IE	025h
ポート P1 割り込みエッジ選択		P1IES	024h
ポート P1 割り込みフラグ		P1IFG	023h
ポート P1 方向		P1DIR	022h
ポート P1 出力		P1OUT	021h
ポート P1 入力		P1IN	020h
スペシャル・ファンクション		SFR 割り込みフラグ 2	IFG2
	SFR 割り込みフラグ 1	IFG1	002h
	SFR 割り込みイネーブル 2	IE2	001h
	SFR 割り込みイネーブル 1	IE1	000h

## 絶対最大定格 (特記無き場合) †

印加電圧 ( $V_{CC} \sim V_{SS}$ 間)		-0.3 ~ 4.1	V
印加電圧 (全端子) (注 1)		-0.3 ~ $V_{CC} + 0.3$	V
ダイオード電流 (全端子)		±2	mA
保存温度範囲	未プログラムのデバイス (注 2)	$T_{stg}$	-55 ~ 150 °C
保存温度範囲	プログラム済みデバイス (注 2)	$T_{stg}$	-40 ~ 85 °C

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(注 1) すべての電圧は  $V_{SS}$  を基準とします。JTAG ヒューズ切断電圧  $V_{FB}$  は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

(注 2) ピーク リフロー温度が、出荷箱又はリール上のデバイス ラベルで規定された温度より高くならない状態で、現在の JEDEC J-STD-020 規格に従ってプリント基板にはんだ付けする工程では、もっと高い温度を印加しても構いません。

## 推奨動作条件

項目	最小	標準	最大	単位
電源電圧 (プログラム実行時)、 $V_{CC}$ (注 1)	1.8		3.6	V
電源電圧 (フラッシュ・メモリ プログラム/消去時)、 $V_{CC}$	2.2		3.6	V
電源電圧、 $V_{SS}$		0		V
動作周囲温度、 $T_A$	-40		85	°C
プロセッサ周波数 $f_{SYSTEM}$ (最大 MCLK 周波数) (注 1、2 及び図 1 参照)	$V_{CC} = 1.8$ V、 デューティ比 = 50% ±10%	0	6	MHz
	$V_{CC} = 2.7$ V、デューティ比 = 50% ±10% (注 3)	0	12	
	$V_{CC} = 3.3$ V、デューティ比 = 50% ±10% (注 4)	0	16	

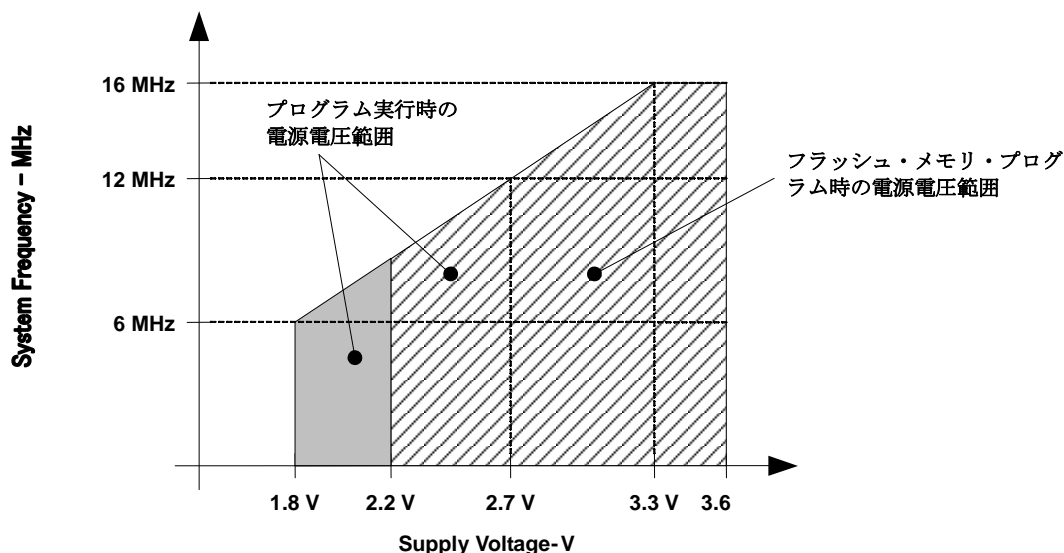
(注 1) MSP430 CPU は、MCLK で直接クロックされます。

MCLK の上側及び下側位相は、規定された最大周波数のパルス幅を越えてはいけません。

(注 2) モジュールによって最大入力クロック周波数の規格が異なることがあります。このデータ・シートの各モジュールの規格を参照して下さい。

(注 3) これは、 $V_{CC} = 2.7$  V ~ 3.6 V 及び  $T_A = -40$  °C ~ 85 °C の時の 12 MHz 用に提供された DCO キャリブレーション値を使用した場合です。

(注 4) これは、 $V_{CC} = 3.3$  V ~ 3.6 V 及び  $T_A = -40$  °C ~ 85 °C の時の 16 MHz 用に提供された DCO キャリブレーション値を使用した場合です。



(注) 最小プロセッサ周波数は、システム・クロックによって決まります。フラッシュ・プログラム又は消去は、2.2 V の最小  $V_{CC}$  が必要です。

図 1. 動作範囲

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合)

アクティブ・モード電源電流 ( $V_{CC}$ ) (外部電流を除く) (注 1、2)

項目	測定条件	$V_{CC}$	最小	標準	最大	単位
$I_{AM, 1MHz}$ アクティブ・モード (AM) 電流 (1 MHz)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 1 \text{ MHz}$ 、 $f_{ACLK} = 32,768 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 0、SCG0 = 0、SCG1 = 0、OSCOFF = 0	2.2 V		250	300	$\mu\text{A}$
		3 V		350	410	
$I_{AM, 1MHz}$ アクティブ・モード (AM) 電流 (1 MHz)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 1 \text{ MHz}$ 、 $f_{ACLK} = 32,768 \text{ Hz}$ 、 RAM のプログラム実行時、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 0、SCG0 = 0、SCG1 = 0、OSCOFF = 0	2.2 V		200		$\mu\text{A}$
		3 V		300		
$I_{AM, 4kHz}$ アクティブ・モード (AM) 電流 (4 kHz)	$f_{MCLK} = f_{SMCLK} = f_{ACLK} = 32,768 \text{ Hz}/8 = 4,096 \text{ Hz}$ 、 $f_{DCO} = 0 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時、 SELMx = 11、SELS = 1、DIVMx = DIVSx = DIVAx = 11、 CPUOFF = 0、SCG0 = 1、SCG1 = 0、OSCOFF = 0	2.2 V		2	5	$\mu\text{A}$
		3 V		3	9	
$I_{AM, 100kHz}$ アクティブ・モード (AM) 電流 (100 kHz)	$f_{MCLK} = f_{SMCLK} = f_{DCO(0,0)} \approx 100 \text{ kHz}$ 、 $f_{ACLK} = 0 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時、 RSELx = 0、DCOx = 0、 CPUOFF = 0、SCG0 = 0、SCG1 = 0、OSCOFF = 1	2.2 V		60	85	$\mu\text{A}$
		3 V		72	95	

(注 1) すべての入力は、0 V 又は  $V_{CC}$  に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) 電流は、負荷容量 9 pF の Micro Crystal CC4V-T1A SMD で特性評価されています。  
内部及び外部負荷容量は、必要とされている 9 pF に厳密にマッチするように選ばれます。

代表特性 - アクティブ・モード電源電流 ( $V_{CC}$ )

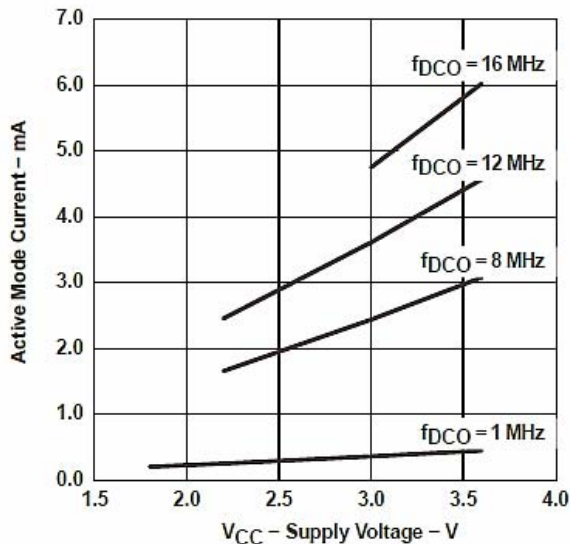


図 2.  $V_{CC}$  対アクティブ・モード電源電流、 $T_A = 25^\circ\text{C}$

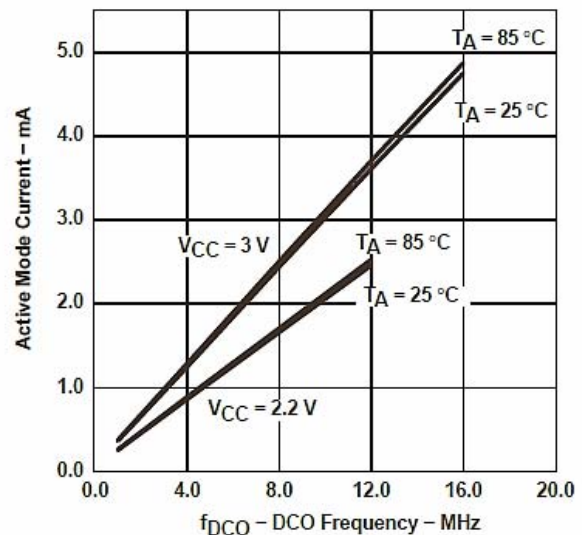


図 3. DCO 周波数対アクティブ・モード電源電流

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合)

ロー・パワー・モード電源電流 ( $V_{CC}$ ) (外部電流を除く) (注 1、2)

項目	測定条件	$V_{CC}$	最小	標準	最大	単位
$I_{LPM0, 1MHz}$ ロー・パワー・モード 0 電流 (LPM0) (注 3)	$f_{MCLK} = 0$ MHz、 $f_{SMCLK} = f_{DCO} = 1$ MHz、 $f_{ACLK} = 32,768$ Hz、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 1、SCG0 = 0、SCG1 = 0、OSCOFF = 0	2.2 V		65	80	$\mu$ A
		3 V		85	100	
$I_{LPM0, 100kHz}$ ロー・パワー・モード 0 電流 (LPM0) (注 3)	$f_{MCLK} = 0$ MHz、 $f_{SMCLK} = f_{DCO(0,0)} \approx 100$ kHz、 $f_{ACLK} = 0$ Hz、 RSELX = 0、DCOX = 0、 CPUOFF = 1、SCG0 = 0、SCG1 = 0、OSCOFF = 1	2.2 V		37	48	$\mu$ A
		3 V		41	52	
$I_{LPM2}$ ロー・パワー・モード 2 電流 (LPM2) (注 4)	$f_{MCLK} = f_{SMCLK} = 0$ MHz、 $f_{DCO} = 1$ MHz、 $f_{ACLK} = 32,768$ Hz、 BCSCTL1 = CALBC1_1MHz、 DCOCTL = CALDCO_1MHz、 CPUOFF = 1、SCG0 = 0、SCG1 = 1、OSCOFF = 0	2.2 V		22	29	$\mu$ A
		3 V		25	32	
$I_{LPM3}$ ロー・パワー・モード 3 電流 (LPM3) (注 4)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 0$ MHz、 $f_{ACLK} = 32,768$ Hz、 CPUOFF = 1、SCG0 = 1、 SCG1 = 1、OSCOFF = 0	2.2 V	$T_A = -40^\circ\text{C}$	0.7	1.2	$\mu$ A
			$T_A = 25^\circ\text{C}$	0.7	1	
			$T_A = 85^\circ\text{C}$	1.6	2.3	
		3 V	$T_A = -40^\circ\text{C}$	0.9	1.2	
			$T_A = 25^\circ\text{C}$	0.9	1.2	
			$T_A = 85^\circ\text{C}$	1.6	2.8	
$I_{LPM4}$ ロー・パワー・モード 4 電流 (LPM4) (注 5)	$f_{DCO} = f_{MCLK} = f_{SMCLK} = 0$ MHz、 $f_{ACLK} = 32,768$ Hz、 CPUOFF = 1、SCG0 = 1、SCG1 = 1、 OSCOFF = 1	2.2 V/3 V	$T_A = 25^\circ\text{C}$	0.1	0.5	$\mu$ A
			$T_A = 85^\circ\text{C}$	0.8	1.9	

(注 1) すべての入力は、0 V 又は  $V_{CC}$  に接続します。出力にはソース電流、シンク電流を流しません。

(注 2) 電流は、負荷容量 9 pF の Micro Crystal CC4V-T1A SMD で特性評価されています。内部及び外部負荷容量は、必要とされている 9 pF に厳密にマッチするように選ばれます。

(注 3) SMCLK でクロックした時のブラウンアウト及び WDT の電流が含まれています。

(注 4) ACLK でクロックした時のブラウンアウト及び WDT の電流が含まれています。

(注 5) ブラウンアウトの電流が含まれています。

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

シュミット・トリガ入力 - ポート P1 及び P2

項 目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
V <sub>IT+</sub> 立ち上がり入力スレッショルド電圧			0.45		0.75	V <sub>CC</sub>
		2.2 V	1		1.65	V
		3 V	1.35		2.25	
V <sub>IT-</sub> 立ち下がり入力スレッショルド電圧			0.25		0.55	V <sub>CC</sub>
		2.2 V	0.55		1.2	V
		3 V	0.75		1.65	
V <sub>hys</sub> 入力電圧ヒステリシス (V <sub>IT+</sub> - V <sub>IT-</sub> )		2.2 V	0.2		1	V
		3 V	0.3		1	
R <sub>Pull</sub> プルアップ/プルダウン抵抗	プルアップ: V <sub>IN</sub> = V <sub>SS</sub> ; プルダウン: V <sub>IN</sub> = V <sub>CC</sub>		20	35	50	Ω
C <sub>I</sub> 入力容量	V <sub>IN</sub> = V <sub>SS</sub> 又は V <sub>CC</sub>			5		pF

入力 - ポート P1 及び P2

項 目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
t <sub>(int)</sub> 外部割り込みタイミング	ポート P1、P2: P1.x ~ P2.x、割り込みフラグをセットするための外部トリガ・パルス幅 (注 1)	2.2 V/3 V	20			ns

(注 1) 外部信号は、最小割り込みパルス幅 t<sub>(int)</sub> が適合するたび毎に割り込みフラグをセットします。トリガ信号が t<sub>(int)</sub> より短い場合にもセットされることがあります。

リーク電流 - ポート P1 及び P2

項 目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
I <sub>lkg(Px.x)</sub> ハイ・インピーダンス リーク電流	(注 1、2)	2.2 V/3 V			±50	nA

(注 1) 特記無き場合、リーク電流は対応する端子に V<sub>SS</sub> 又は V<sub>CC</sub> を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ/プルダウン抵抗はディスエーブルとします。

## 推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

## 出力 - ポート P1 及び P2

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
I <sub>L</sub>	最大負荷電流 (ポート端子当たり)				±6	mA
I <sub>Lr</sub>	最大合計負荷電流 (全ポート端子)				±48	mA
V <sub>OH</sub>	ハイ・レベル出力電圧	2.2 V	I <sub>OH(max)</sub> = -1.5 mA (注 1, 3)	V <sub>CC</sub> - 0.25	V <sub>CC</sub>	V
			I <sub>OH(max)</sub> = -6 mA (注 2, 3)	V <sub>CC</sub> - 0.6	V <sub>CC</sub>	
		3 V	I <sub>OH(max)</sub> = -1.5 mA (注 1, 3)	V <sub>CC</sub> - 0.25	V <sub>CC</sub>	
			I <sub>OH(max)</sub> = -6 mA (注 2, 3)	V <sub>CC</sub> - 0.6	V <sub>CC</sub>	
V <sub>OL</sub>	ロー・レベル出力電圧	2.2 V	I <sub>OL(max)</sub> = 1.5 mA (注 1, 3)	V <sub>SS</sub>	V <sub>SS</sub> + 0.25	V
			I <sub>OL(max)</sub> = 6 mA (注 2, 3)	V <sub>SS</sub>	V <sub>SS</sub> + 0.6	
		3 V	I <sub>OL(max)</sub> = 1.5 mA (注 1, 3)	V <sub>SS</sub>	V <sub>SS</sub> + 0.25	
			I <sub>OL(max)</sub> = 6 mA (注 2, 3)	V <sub>SS</sub>	V <sub>SS</sub> + 0.6	

(注 1) 全出力の最大電流 I<sub>OH(max)</sub> と I<sub>OL(max)</sub> の合計は、規定の最大電圧降下を保持するため ±12 mA を越えてはいけません。

(注 2) 全出力の最大電流 I<sub>OH(max)</sub> と I<sub>OL(max)</sub> の合計は、規定の最大電圧降下を保持するため ±48 mA を越えてはいけません。

(注 3) 同時に 1 出力のみ負荷をかけます。

## 出力周波数 - ポート P1 及び P2

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
f <sub>Px.y</sub>	ポート出力周波数 (負荷付き)	2.2 V			10	MHz
		3 V			12	
f <sub>Port_CLK</sub>	クロック出力周波数	2.2 V			12	MHz
		3 V			16	

(注 1) 出力と V<sub>CC</sub> 及び V<sub>SS</sub> 間に 2 個の 0.5 kΩ 抵抗ディバイダを負荷として使用します。出力は、ディバイダのセンター・タップに接続します。

(注 2) 出力電圧は、規定のトグル周波数で少なくとも 10% 及び 90% V<sub>CC</sub> まで届きます。



推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

代表特性 - 出力

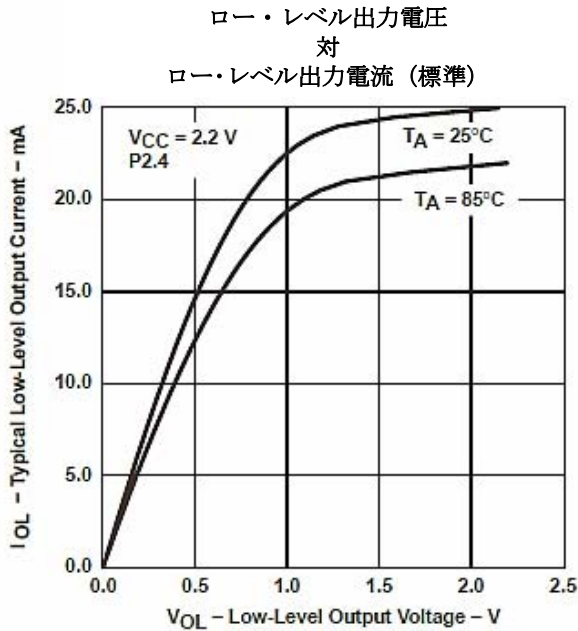


図 4

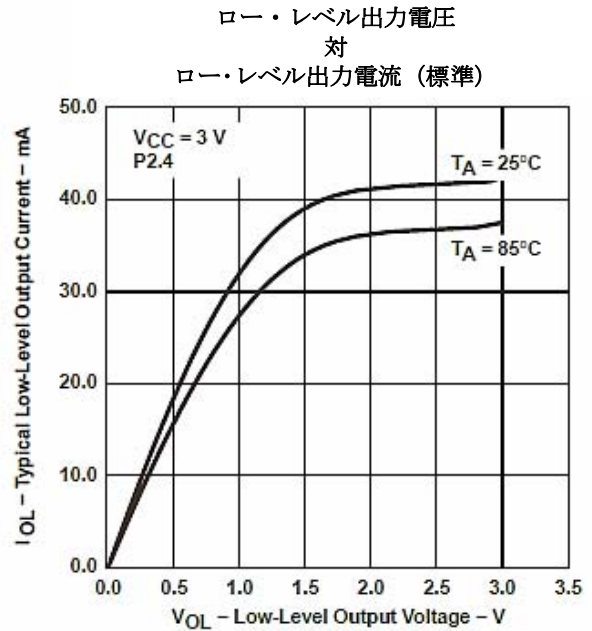


図 5

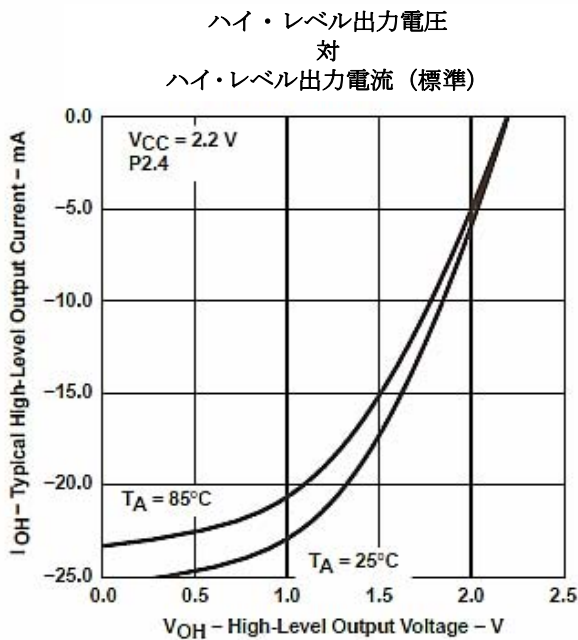


図 6

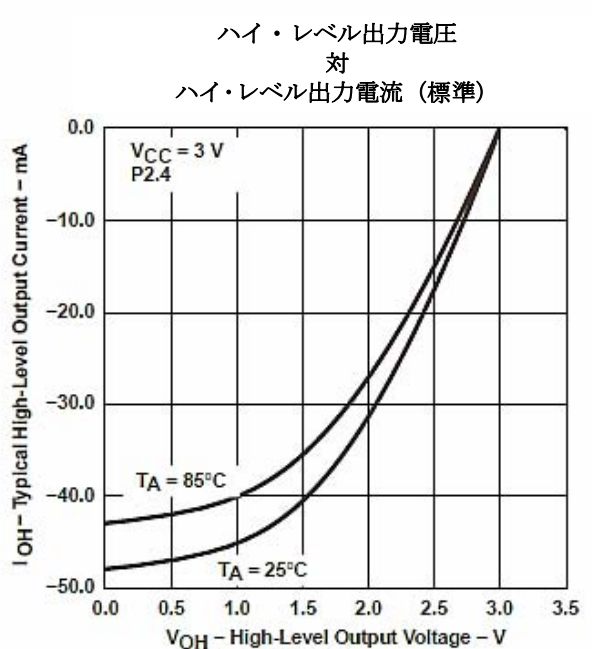


図 7

(注) 同時に 1 出力のみ負荷をかけます。

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

POR/ブラウンアウト・リセット (BOR) (注 1、2)

項目	測定条件	$V_{CC}$	最小	標準	最大	単位
$V_{CC(start)}$ (図 8 参照)	$dV_{CC}/dt \leq 3 \text{ V/s}$		$0.7 \times V_{(B\_IT-)}$			V
$V_{(B\_IT-)}$ (図8 ~ 図 10 参照)	$dV_{CC}/dt \leq 3 \text{ V/s}$				1.71	V
$V_{hys(B\_IT-)}$ (図8 参照)	$dV_{CC}/dt \leq 3 \text{ V/s}$		70	130	180	mV
$t_{d(BOR)}$ (図8 参照)					2000	$\mu\text{s}$
$t_{(reset)}$ 内部でリセットを受け付けるための RST/NMI 端子パルス幅		2.2 V/3 V	2			$\mu\text{s}$

(注 1) ブラウンアウト・モジュールの消費電流は、 $I_{CC}$  に含まれています。  $V_{(B\_IT-)} + V_{hys(B\_IT-)} \leq 1.8 \text{ V}$  とします。

(注 2) パワーアップ時は、CPU は  $V_{CC} = V_{(B\_IT-)} + V_{hys(B\_IT-)}$  となった後  $t_{d(BOR)}$  経過後にコードの実行を開始します。デフォルトの DCO の設定値は、 $V_{CC} \geq V_{CC(min)}$  となるまで変えてはいけません。  $V_{CC(min)}$  は、使用する動作周波数における最小電源電圧を表します。

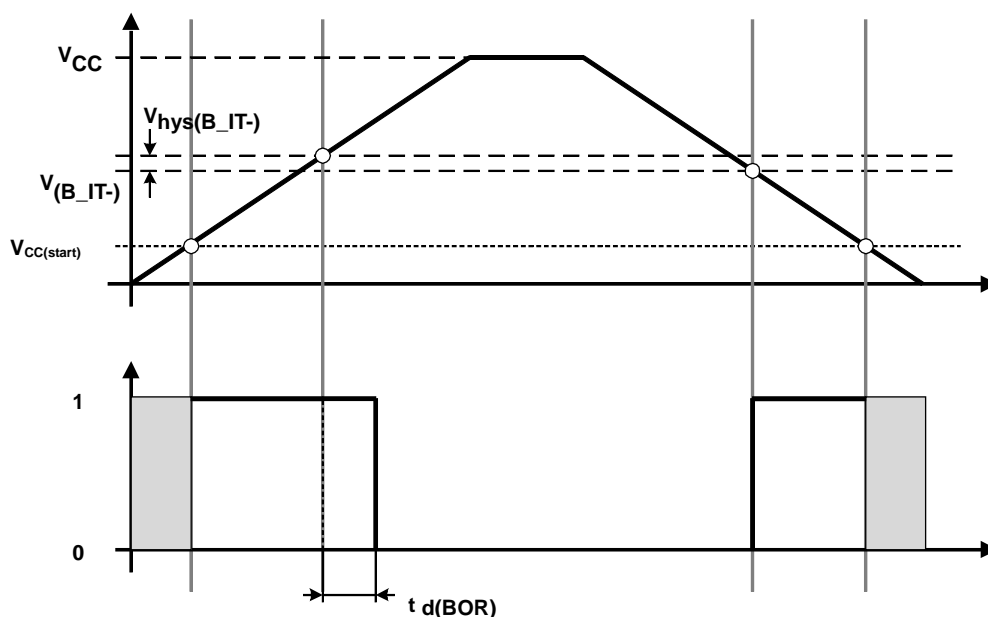


図 8. 電源電圧対 POR / ブラウンアウト・リセット (BOR)

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

代表特性 - POR / ブラウンアウト・リセット (BOR)

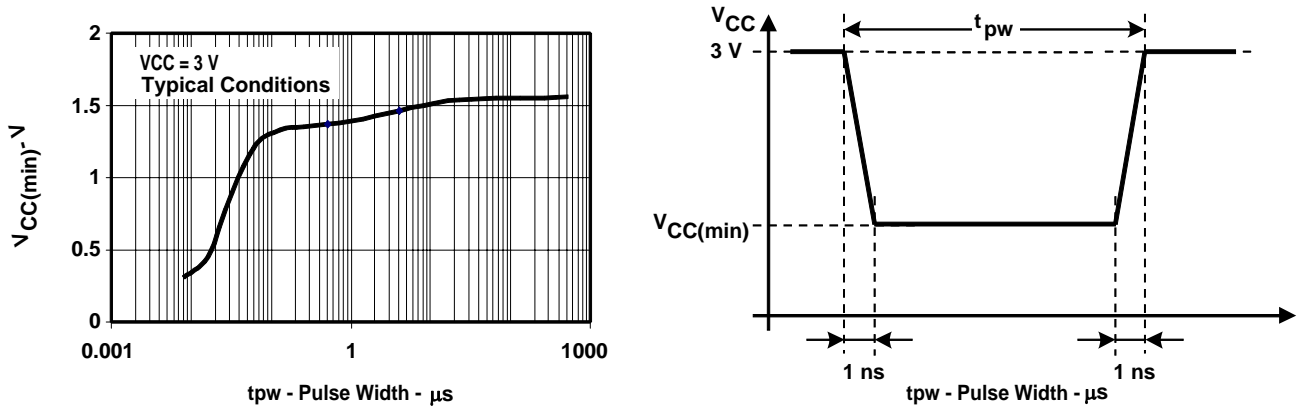


図 9. POR / ブラウンアウト信号を生成するための  $V_{CC(min)}$  レベル (矩形波電圧降下)

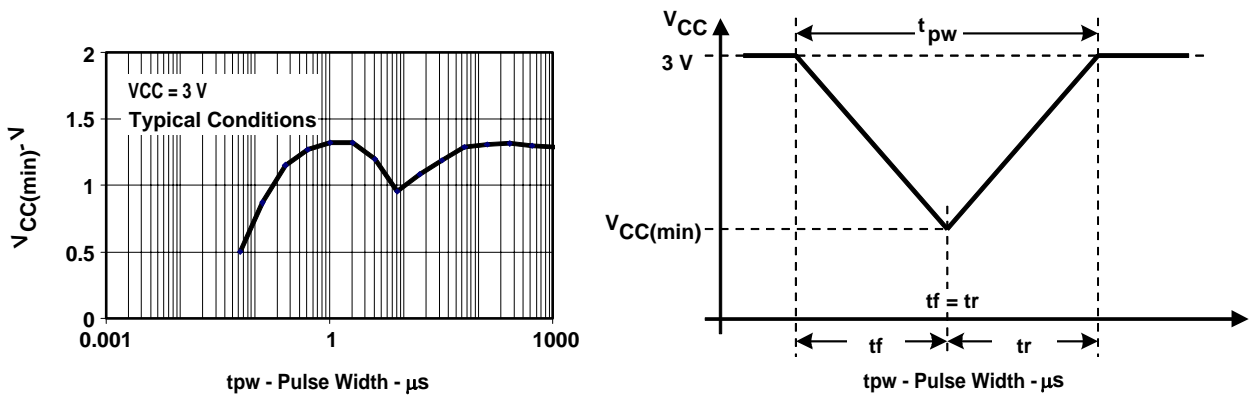


図 10. POR / ブラウンアウト信号を生成するための  $V_{CC(min)}$  レベル (三角波電圧降下)

## 推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

## 主要 DCO 特性

- RSEL<sub>x</sub> によって選択されるすべての範囲は、RSEL<sub>x</sub> + 1 と重なります: RSEL<sub>x</sub> = 0 は RSEL<sub>x</sub> = 1 と重なります、... RSEL<sub>x</sub> = 14 は RSEL<sub>x</sub> = 15 と重なります。
- DCO コントロール・ビット DCO<sub>x</sub> は、パラメータ S<sub>DCO</sub> によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD<sub>x</sub> は、32 DCOCLK サイクルの期間で f<sub>DCO(RSEL, DCO+1)</sub> が使用される頻度を選択します。周波数 f<sub>DCO(RSEL, DCO+1)</sub> は、残りのサイクルのために使用されます。この平均周波数は、次式で表されます。

$$f_{average} = \frac{32 \times f_{DCO(RSEL, DCO)} \times f_{DCO(RSEL, DCO+1)}}{MOD \times f_{DCO(RSEL, DCO)} + (32 - MOD) \times f_{DCO(RSEL, DCO+1)}}$$

## DCO 周波数

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位	
V <sub>CC</sub> 電源電圧	RSEL <sub>x</sub> < 14		1.8		3.6	V	
	RSEL <sub>x</sub> = 14		2.2		3.6		
	RSEL <sub>x</sub> = 15		3.0		3.6		
f <sub>DCO(0,0)</sub>	DCO 周波数 (0, 0)	RSEL <sub>x</sub> = 0, DCO <sub>x</sub> = 0, MOD <sub>x</sub> = 0	2.2 V/3 V	0.06	0.14	MHz	
f <sub>DCO(0,3)</sub>	DCO 周波数 (0, 3)	RSEL <sub>x</sub> = 0, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.07	0.17	MHz	
f <sub>DCO(1,3)</sub>	DCO 周波数 (1, 3)	RSEL <sub>x</sub> = 1, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.10	0.20	MHz	
f <sub>DCO(2,3)</sub>	DCO 周波数 (2, 3)	RSEL <sub>x</sub> = 2, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.14	0.28	MHz	
f <sub>DCO(3,3)</sub>	DCO 周波数 (3, 3)	RSEL <sub>x</sub> = 3, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.20	0.40	MHz	
f <sub>DCO(4,3)</sub>	DCO 周波数 (4, 3)	RSEL <sub>x</sub> = 4, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.28	0.54	MHz	
f <sub>DCO(5,3)</sub>	DCO 周波数 (5, 3)	RSEL <sub>x</sub> = 5, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.39	0.77	MHz	
f <sub>DCO(6,3)</sub>	DCO 周波数 (6, 3)	RSEL <sub>x</sub> = 6, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.54	1.06	MHz	
f <sub>DCO(7,3)</sub>	DCO 周波数 (7, 3)	RSEL <sub>x</sub> = 7, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	0.80	1.50	MHz	
f <sub>DCO(8,3)</sub>	DCO 周波数 (8, 3)	RSEL <sub>x</sub> = 8, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	1.10	2.10	MHz	
f <sub>DCO(9,3)</sub>	DCO 周波数 (9, 3)	RSEL <sub>x</sub> = 9, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	1.60	3.00	MHz	
f <sub>DCO(10,3)</sub>	DCO 周波数 (10, 3)	RSEL <sub>x</sub> = 10, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	2.50	4.30	MHz	
f <sub>DCO(11,3)</sub>	DCO 周波数 (11, 3)	RSEL <sub>x</sub> = 11, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	3.00	5.50	MHz	
f <sub>DCO(12,3)</sub>	DCO 周波数 (12, 3)	RSEL <sub>x</sub> = 12, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	4.30	7.30	MHz	
f <sub>DCO(13,3)</sub>	DCO 周波数 (13, 3)	RSEL <sub>x</sub> = 13, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	6.00	9.60	MHz	
f <sub>DCO(14,3)</sub>	DCO 周波数 (14, 3)	RSEL <sub>x</sub> = 14, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	2.2 V/3 V	8.60	13.9	MHz	
f <sub>DCO(15,3)</sub>	DCO 周波数 (15, 3)	RSEL <sub>x</sub> = 15, DCO <sub>x</sub> = 3, MOD <sub>x</sub> = 0	3 V	12.0	18.5	MHz	
f <sub>DCO(15,7)</sub>	DCO 周波数 (15, 7)	RSEL <sub>x</sub> = 15, DCO <sub>x</sub> = 7, MOD <sub>x</sub> = 0	3 V	16.0	26.0	MHz	
S <sub>RSEL</sub>	レンジ RSEL ~ RSEL+1 間の周波数ステップ	S <sub>RSEL</sub> = f <sub>DCO(RSEL+1, DCO)</sub> / f <sub>DCO(RSEL, DCO)</sub>	2.2 V/3 V		1.55	ratio	
S <sub>DCO</sub>	タップ DCO ~ DCO+1 間の周波数ステップ	S <sub>DCO</sub> = f <sub>DCO(RSEL, DCO+1)</sub> / f <sub>DCO(RSEL, DCO)</sub>	2.2 V/3 V	1.05	1.08		1.12
デューティ比		P1.4/SMCLK で測定	2.2 V/3 V	40	50	60	%

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

校正された DCO 周波数 - 校正時の公差

項目	測定条件	T <sub>A</sub>	V <sub>CC</sub>	最小	標準	最大	単位
校正時の周波数公差		25°C	3 V	-1	±0.2	+1	%
f <sub>CAL(1MHz)</sub> 1 MHz 校正値	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5 ms	25°C	3 V	0.990	1	1.010	MHz
f <sub>CAL(8MHz)</sub> 8 MHz 校正値	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	25°C	3 V	7.920	8	8.080	MHz
f <sub>CAL(12MHz)</sub> 12 MHz 校正値	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	25°C	3 V	11.88	12	12.12	MHz
f <sub>CAL(16MHz)</sub> 16 MHz 校正値	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2 ms	25°C	3 V	15.84	16	16.16	MHz

校正された DCO 周波数 - 温度範囲 0°C ~ 85°C の公差

項目	測定条件	T <sub>A</sub>	V <sub>CC</sub>	最小	標準	最大	単位
1 MHz 公差		0°C ~ 85°C	3 V	-2.5	±0.5	+2.5	%
8 MHz 公差		0°C ~ 85°C	3 V	-2.5	±1.0	+2.5	%
12 MHz 公差		0°C ~ 85°C	3 V	-2.5	±1.0	+2.5	%
16 MHz 公差		0°C ~ 85°C	3 V	-3.0	±2.0	+3.0	%
f <sub>CAL(1MHz)</sub> 1 MHz 校正値	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5 ms	0°C ~ 85°C	2.2 V	0.970	1	1.030	MHz
			3 V	0.975	1	1.025	
			3.6 V	0.970	1	1.030	
f <sub>CAL(8MHz)</sub> 8 MHz 校正値	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	0°C ~ 85°C	2.2 V	7.760	8	8.400	MHz
			3 V	7.800	8	8.200	
			3.6 V	7.600	8	8.240	
f <sub>CAL(12MHz)</sub> 12 MHz 校正値	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	0°C ~ 85°C	2.2 V	11.70	12	12.30	MHz
			3 V	11.70	12	12.30	
			3.6 V	11.70	12	12.30	
f <sub>CAL(16MHz)</sub> 16 MHz 校正値	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2ms	0°C ~ 85°C	3 V	15.52	16	16.48	MHz
			3.6 V	15.00	16	16.48	

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

校正された DCO 周波数 - 電源電圧  $V_{CC}$  の範囲の公差

項目	測定条件	$T_A$	$V_{CC}$	最小	標準	最大	単位
1 MHz 公差 ( $V_{CC}$ の範囲)		25°C	1.8 V ~ 3.6 V	-2.5	±2	+2.5	%
8 MHz 公差 ( $V_{CC}$ の範囲)		25°C	1.8 V ~ 3.6 V	-2.5	±2	+2.5	%
12 MHz 公差 ( $V_{CC}$ の範囲)		25°C	2.2 V ~ 3.6 V	-2.5	±2	+2.5	%
16 MHz 公差 ( $V_{CC}$ の範囲)		25°C	3 V ~ 3.6 V	-3	±2	+3	%
$f_{CAL(1MHz)}$ 1 MHz 校正值	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5 ms	25°C	1.8 V ~ 3.6 V	0.970	1	1.030	MHz
$f_{CAL(8MHz)}$ 8 MHz 校正值	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	25°C	1.8 V ~ 3.6 V	7.760	8	8.240	MHz
$f_{CAL(12MHz)}$ 12 MHz 校正值	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	25°C	2.2 V ~ 3.6 V	11.64	12	12.36	MHz
$f_{CAL(16MHz)}$ 16 MHz 校正值	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2 ms	25°C	3 V ~ 3.6 V	15.00	16	16.48	MHz

校正された DCO 周波数 - 総合公差

項目	測定条件	$T_A$	$V_{CC}$	最小	標準	最大	単位
1 MHz 総合公差		-40°C ~ 85°C	1.8 V ~ 3.6 V	-5	±2	+5	%
8 MHz 総合公差		-40°C ~ 85°C	1.8 V ~ 3.6 V	-5	±2	+5	%
12 MHz 総合公差		-40°C ~ 85°C	2.2 V ~ 3.6 V	-5	±2	+5	%
16 MHz 総合公差		-40°C ~ 85°C	3 V ~ 3.6 V	-6	±3	+6	%
$f_{CAL(1MHz)}$ 1 MHz 校正值	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz ゲーティング時間: 5ms	-40°C ~ 85°C	1.8 V ~ 3.6 V	0.950	1	1.050	MHz
$f_{CAL(8MHz)}$ 8 MHz 校正值	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz ゲーティング時間: 5 ms	-40°C ~ 85°C	1.8 V ~ 3.6 V	7.600	8	8.400	MHz
$f_{CAL(12MHz)}$ 12 MHz 校正值	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz ゲーティング時間: 5 ms	-40°C ~ 85°C	2.2 V ~ 3.6 V	11.40	12	12.60	MHz
$f_{CAL(16MHz)}$ 16 MHz 校正值	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz ゲーティング時間: 2 ms	-40°C ~ 85°C	3 V ~ 3.6 V	15.00	16	17.00	MHz

代表特性 - 校正された 1 MHz DCO 周波数

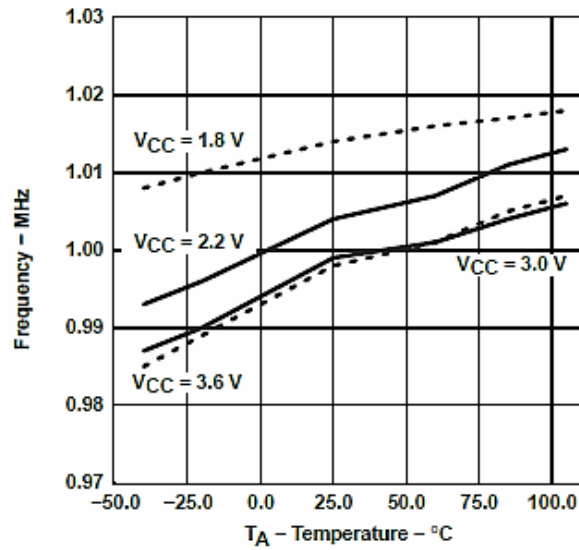


図 11. 温度対校正された 1 MHz 周波数

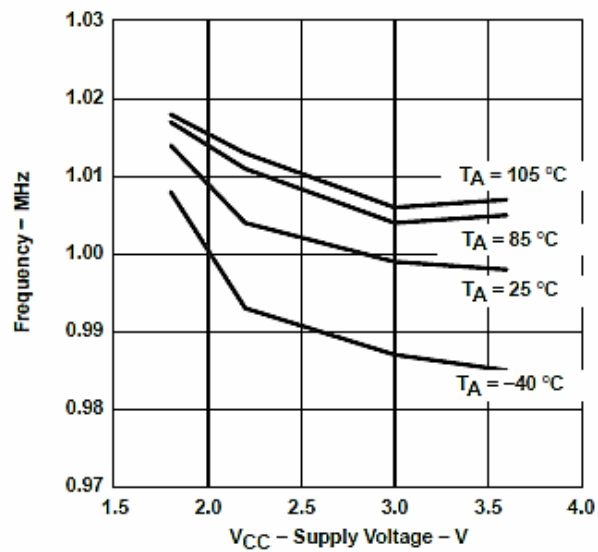


図 12.  $V_{CC}$  対校正された 1 MHz 周波数

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

低消費電力モード (LPM3/4) からのウェークアップ

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
t <sub>DCO, LPM3/4</sub> LPM3/4 からの DCO クロック・ウェークアップ時間 (注 1)	BCSCTL1= CALBC1_1MHz; DCOCTL = CALDCO_1MHz	2.2 V/3 V			2	μs
	BCSCTL1= CALBC1_8MHz; DCOCTL = CALDCO_8MHz	2.2 V/3 V			1.5	
	BCSCTL1= CALBC1_12MHz; DCOCTL = CALDCO_12MHz	2.2 V/3 V			1	
	BCSCTL1= CALBC1_16MHz; DCOCTL = CALDCO_16MHz	3 V			1	
t <sub>CPU, LPM3/4</sub> LPM3/4 からの CPU ウェークアップ時間 (注 2)				$\frac{1}{f_{MCLK}}$ +	t <sub>ClOCK, LPM3/4</sub>	

(注 1) DCO クロック・ウェークアップ時間は、外部ウェークアップ信号 (すなわちポート割り込み) のエッジから、クロック端子 (MCLK 又は SMCLK) で外部から観測される最初のクロック・エッジまでを測定します。

(注 2) パラメータは、DCOCLK が MCLK として使用された場合のみに適用されます。

代表特性 - LPM3/4 からの DCO クロック・ウェークアップ時間

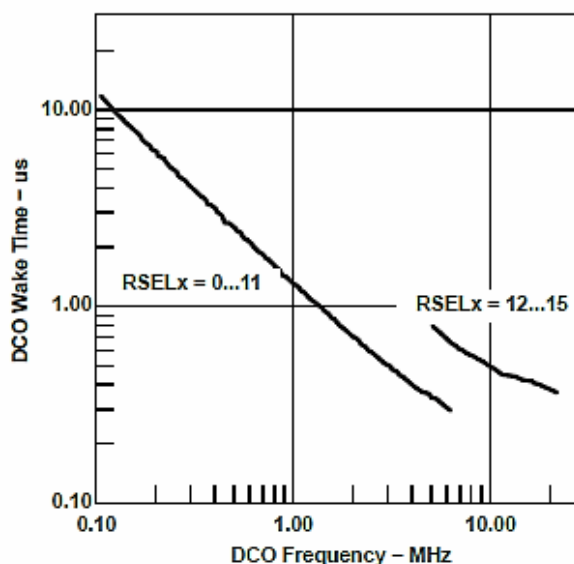


図 13. DCO 周波数対 LPM3 からのクロック・ウェークアップ時間



推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

クリスタル・オシレータ、LFXT1、低周波数モード (注 4)

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位	
f <sub>LFXT1,LF</sub>	LFXT1 オシレータ クリスタル 周波数、LF モード 0、1	XTS = 0、LFXT1Sx = 0 又は 1	1.8 V ~ 3.6 V			32,768	Hz
f <sub>LFXT1,LF,logic</sub>	LFXT1 オシレータ ロジック・ レベル矩形波入力周波数、 LF モード	XTS = 0、LFXT1Sx = 3	1.8 V ~ 3.6 V			10,000 32,768 50,000	Hz
O <sub>A,LF</sub>	LF クリスタル発振許容値	XTS = 0、LFXT1Sx = 0; f <sub>LFXT1,LF</sub> = 32,768 kHz、 C <sub>L,eff</sub> = 6 pF				500	kΩ
		XTS = 0、LFXT1Sx = 0; f <sub>LFXT1,LF</sub> = 32,768 kHz、 C <sub>L,eff</sub> = 12 pF				200	
C <sub>L,eff</sub>	内部有効負荷容量、 LF モード (注 1)	XTS = 0、XCAPx = 0				1	pF
		XTS = 0、XCAPx = 1				5.5	
		XTS = 0、XCAPx = 2				8.5	
		XTS = 0、XCAPx = 3				11	
デューティ 比	LF モード	XTS = 0、P1.4/ACLK で測定、 f <sub>LFXT1,LF</sub> = 32,768 Hz	2.2 V/3 V		30 50 70	%	
f <sub>Fault,LF</sub>	オシレータ障害周波数、 LF モード (注 3)	XTS = 0、LFXT1Sx = 3 (注 2)	2.2 V/3 V		10 10,000	Hz	

- (注 1) ボンド及びパッケージの寄生容量を含みます。(約 2 pF/端子)  
プリント基板には容量が付加されますので、ACLK 周波数を測定することによって正確な負荷を検証することを推奨します。  
正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。
- (注 2) ロジック・レベル入力周波数で測定しますが、クリスタルでの動作にも適用されます。
- (注 3) 規格の最小値より低い周波数では障害フラグがセットされ、最大値より高い周波数では障害フラグがセットされません。  
その間の周波数では障害フラグがセットされることもあります。
- (注 4) LFXT1 オシレータの EMI を改善するため、次のガイドラインに従って下さい。
- デバイスとクリスタルの間の配線はできるだけ短くする。
  - オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
  - 他のクロック又はデータ・ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
  - XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
  - オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
  - コーティングを使用する場合は、それがオシレータ端子間に容量/抵抗リークを誘導しないこと。
  - シリアル・プログラミング・アダプタを使用するために、XOUT ラインを JTAG ヘッドへ配線しない。  
この信号は、シリアル・プログラミング・アダプタには必要ありません。

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

クリスタル・オシレータ、LFXT1、高周波数モード (注 5)

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位		
f <sub>LFXT1, HF0</sub>	LFXT1 オシレータ クリスタル 周波数、HF モード 0	XTS = 1、LFXT1Sx = 0	1.8 V ~ 3.6 V		0.4	1	MHz	
f <sub>LFXT1, HF1</sub>	LFXT1 オシレータ クリスタル 周波数、HF モード 1	XTS = 1、LFXT1Sx = 1	1.8 V ~ 3.6 V		1	4	MHz	
f <sub>LFXT1, HF2</sub>	LFXT1 オシレータ クリスタル 周波数、HF モード 2	XTS = 1、LFXT1Sx = 2	1.8 V ~ 3.6 V		2	10	MHz	
			2.2 V ~ 3.6 V		2	12		
			3 V ~ 3.6 V		2	16		
f <sub>LFXT1, HF, logic</sub>	LFXT1 オシレータ ロジック・レ ベル矩形波入力周波数、 HF モード	XTS = 1、LFXT1Sx = 3	1.8 V ~ 3.6 V		0.4	10	MHz	
			2.2 V ~ 3.6 V		0.4	12		
			3 V ~ 3.6 V		0.4	16		
O <sub>AHF</sub>	HF クリスタル発振許容値 (図 14、15 参照)	XTS = 0、LFXT1Sx = 0、 f <sub>LFXT1, HF</sub> = 1 MHz、 C <sub>L, eff</sub> = 15 pF			2700		Ω	
			XTS = 0、LFXT1Sx = 1、 f <sub>LFXT1, HF</sub> = 4 MHz、 C <sub>L, eff</sub> = 15 pF			800		
				XTS = 0、LFXT1Sx = 2、 f <sub>LFXT1, HF</sub> = 16 MHz、 C <sub>L, eff</sub> = 15 pF				300
C <sub>L, eff</sub>	内部有効負荷容量、 HF モード (注 1)	XTS = 1 (注 2)			1		pF	
デューティ 比	HF モード	XTS = 1、P1.4/ACLK で測定、 f <sub>LFXT1, HF</sub> = 10 MHz	2.2 V/3 V		40	50	60	%
		XTS = 1、P1.4/ACLK で測定、 f <sub>LFXT1, HF</sub> = 16 MHz	2.2 V/3 V		40	50	60	
f <sub>Fault, HF</sub>	オシレータ障害周波数、 HF モード (注 4)	XTS = 1、LFXT1Sx = 3 (注 3)	2.2 V/3 V		30	300	kHz	

- (注 1) ボンド及びパッケージの寄生容量を含みます。(約 2 pF/端子)  
プリント基板には容量が付加されますので、ACLK 周波数を測定することによって正確な負荷を検証することを推奨します。  
正確な測定のため、有効負荷容量は常に使用するクリスタルの規格に適合しなければなりません。
- (注 2) ロジック・レベル入力周波数で測定しますが、クリスタルでの動作にも適用されます。
- (注 3) 規格の最小値より低い周波数では障害フラグがセットされ、最大値より高い周波数では障害フラグがセットされません。  
その間の周波数では障害フラグがセットされることもあります。
- (注 4) LFXT1 オシレータの EMI を改善するため、次のガイドラインに従って下さい。
- デバイスとクリスタルの間の配線はできるだけ短くする。
  - オシレータ端子の周辺は、良好なグランド・プレーンとなるように設計する。
  - 他のクロック又はデータ・ラインからオシレータ端子 XIN 及び XOUT へのクロストークを防止する。
  - XIN 及び XOUT 端子の下側又は近くにプリント基板の配線を走らせないようにする。
  - オシレータ端子 XIN 及び XOUT の寄生負荷を防止するための組み立て材料及び組み立て方法を使用する。
  - コーティングを使用する場合は、それがオシレータ端子間に容量/抵抗リークを誘導しないこと。
  - シリアル・プログラミング・アダプタを使用するために、XOUT ラインを JTAG ヘッドへ配線しない。  
この信号は、シリアル・プログラミング・アダプタには必要ありません。

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

代表特性 - LFXT1 オシレータ HF モード (XTS = 1)

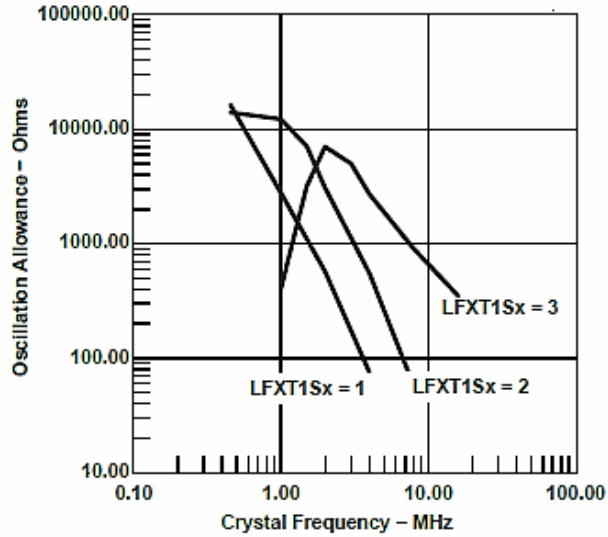


図 14. クリスタル周波数対発振許容値、 $C_{L,eff} = 15 \text{ pF}$ ,  $T_A = 25^\circ\text{C}$

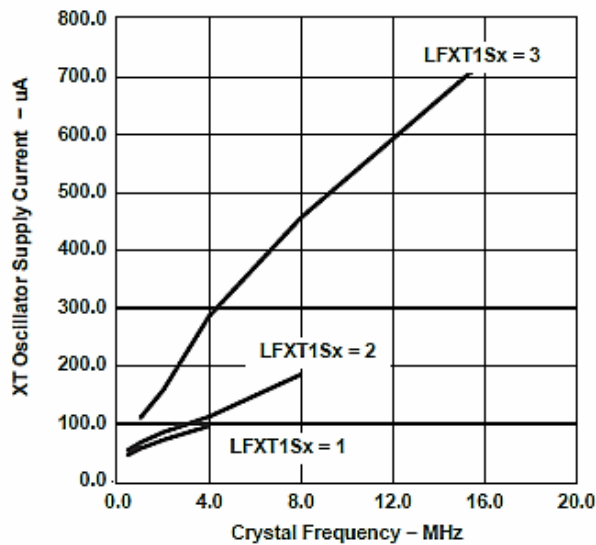


図 15. クリスタル周波数対 XT オシレータ電源電流、 $C_{L,eff} = 15 \text{ pF}$ ,  $T_A = 25^\circ\text{C}$

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

## タイマ\_A

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
f <sub>TA</sub>	タイマ_A クロック周波数 内部: SMCLK、ACLK; 外部: TACLK、INCLK; デューティ比 = 50% ±10%	2.2 V			10	MHz
		3 V			16	
t <sub>TA, cap</sub>	タイマ_A、 キャプチャ・タイミング	TA0、TA1、TA2	2.2 V/3 V	20		ns

## コンパレータ\_A+ (注 1)

項目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位	
I <sub>(DD)</sub>	CAON = 1、CARSEL = 0、CAREF = 0	2.2 V		25	40	μA	
		3 V		45	60		
I <sub>(RefLadder/RefDiode)</sub>	CAON = 1、CARSEL = 0、 CAREF = 1/2/3、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	2.2 V		30	50	μA	
		3 V		45	71		
V <sub>(IC)</sub>	同相入力電圧	CAON = 1	2.2 V/3 V	0	V <sub>CC</sub> - 1	V	
V <sub>(Ref025)</sub>	$\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$	PCAO = 1、CARSEL = 1、 CAREF = 1、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷	2.2 V/3 V	0.23	0.24	0.25	
V <sub>(Ref050)</sub>	$\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$	PCAO = 1、CARSEL = 1、CAREF = 2、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷	2.2 V/3 V	0.47	0.48	0.5	
V <sub>(RefVT)</sub>	(図 19、20 参照)	PCAO = 1、CARSEL = 1、CAREF = 3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷、T <sub>A</sub> = 85°C	2.2 V	390	480	540	mV
			3 V	400	490	550	
V <sub>(offset)</sub>	オフセット電圧	(注 2)	2.2 V/3 V	-30		30	mV
V <sub>(hys)</sub>	入力ヒステリシス	CAON = 1	2.2 V/3 V	0	0.7	1.4	mV
t <sub>(response)</sub>	応答時間 (ロー・レベル ~ ハイ・レ ベル及びハイ・レベル ~ ロ ー・レベル)	T <sub>A</sub> = 25°C、オーバードライブ 10 mV、 フィルタなし: CAF = 0 (注 3) (図 16、17 参照)	2.2 V	80	165	300	ns
			3 V	70	120	240	
			2.2 V	1.4	1.9	2.8	μs

(注 1) コンパレータ\_A+ 端子のリーク電流は、I<sub>lkg(Px.x)</sub> 規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ\_A+ 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

(注 3) 応答時間は P2.2/CAOUT で測定します。

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

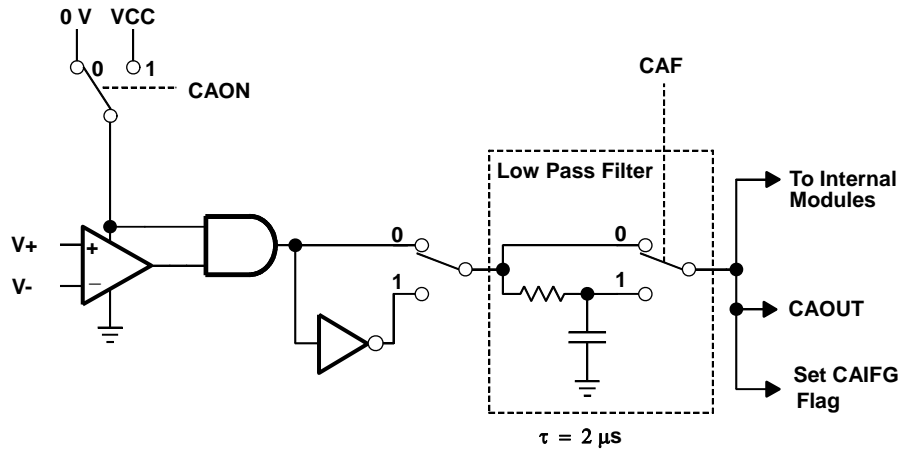


図 16. コンパレータ\_A+ モジュール ブロック図

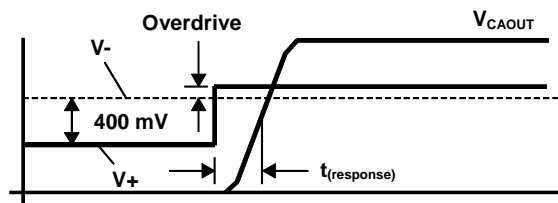


図 17. オーバードライブの定義

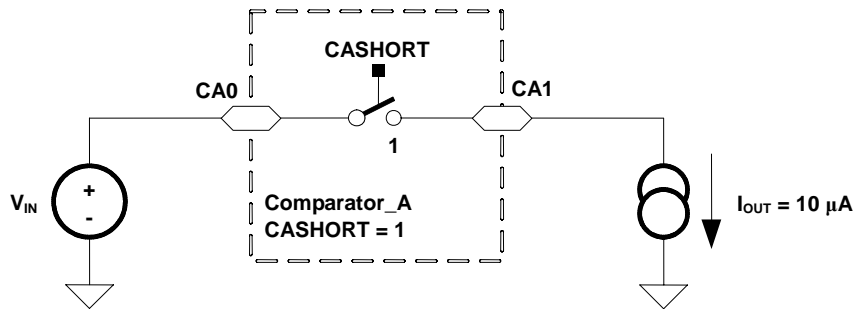


図 18. コンパレータ\_A+ 短絡抵抗測定条件

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

代表特性 - コンパレータ\_A+

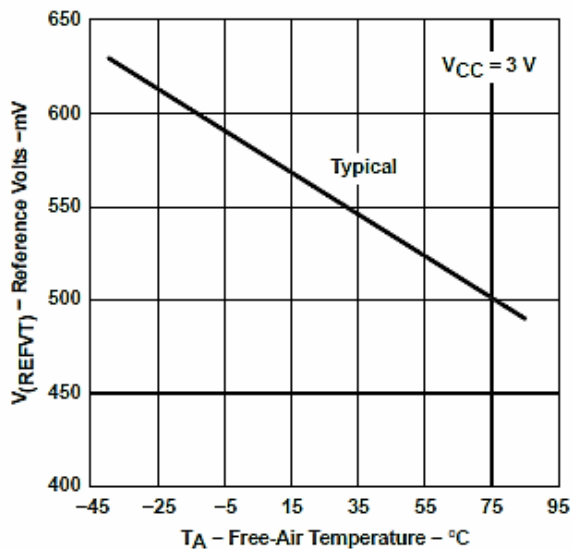


図 19. 温度対  $V_{(REFVT)}$ ,  $V_{CC} = 3\text{ V}$

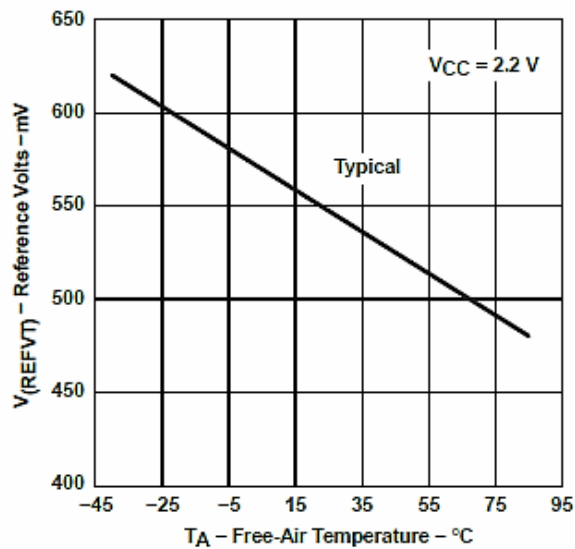


図 20. 温度対  $V_{(REFVT)}$ ,  $V_{CC} = 2.2\text{ V}$

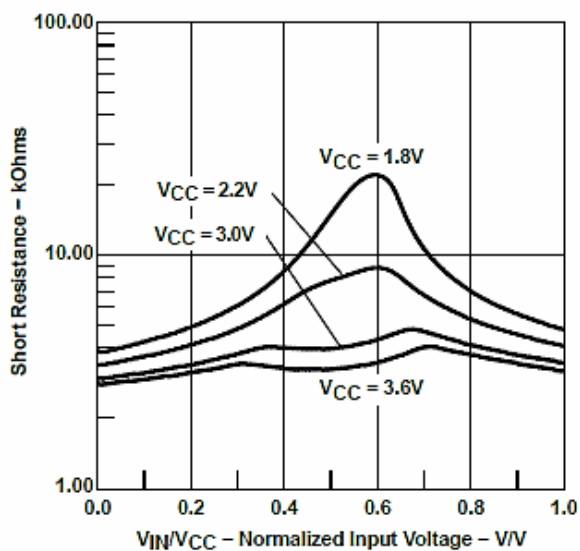


図 21.  $V_{IN}/V_{CC}$  対短絡抵抗

推奨電源電圧及び動作周囲温度における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

項 目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位	
V <sub>CC(PGM/ERASE)</sub> プログラム及び消去時電源電圧			2.2		3.6	V	
f <sub>FTG</sub> フラッシュ・タイミング発生器周波数			257		476	kHz	
I <sub>PGM</sub> プログラム時消費電流 (V <sub>CC</sub> )		2.2 V/3.6 V		3	5	mA	
I <sub>ERASE</sub> 消去時消費電流 (V <sub>CC</sub> )		2.2 V/3.6 V		3	7	mA	
t <sub>CPT</sub> 累積プログラム時間	(注 1)	2.2 V/3.6 V			4	ms	
t <sub>CMERASE</sub> 累積一括消去時間		2.2 V/3.6 V	20			ms	
			10 <sup>4</sup>	10 <sup>5</sup>		cycles	
t <sub>Retention</sub> データ保持期間	T <sub>J</sub> = 25°C		100			years	
t <sub>Word</sub> ワード又はバイト・プログラム時間	(注 2)					t <sub>FTG</sub>	
t <sub>Block, 0</sub> 先頭バイト又はワードのブロック・プログラム時間							30
t <sub>Block, 1-63</sub> 各後続バイト又はワードのブロック・プログラム時間							25
t <sub>Block, End</sub> ブロック・プログラム終了シーケンスのウェイト時間							18
t <sub>Mass Erase</sub> 一括消去時間							6
t <sub>Seg Erase</sub> セグメント消去時間							10593
							4819

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t<sub>FTG</sub> = 1/f<sub>FTG</sub>)

RAM

項 目	最小	標準	最大	単位
V <sub>(RAMh)</sub> CPU 停止時 (注 1)	1.6			V

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

JTAG インタフェース

項 目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
f <sub>TCK</sub> TCK 入力周波数	(注 1)	2.2 V	0		5	MHz
		3 V	0		10	
R <sub>Internal</sub> 内部プルダウン抵抗 (TEST)		2.2 V/3 V	25	60	90	kΩ

(注 1) f<sub>TCK</sub> は、選択されたモジュールのタイミング条件に適合するように制限されます。

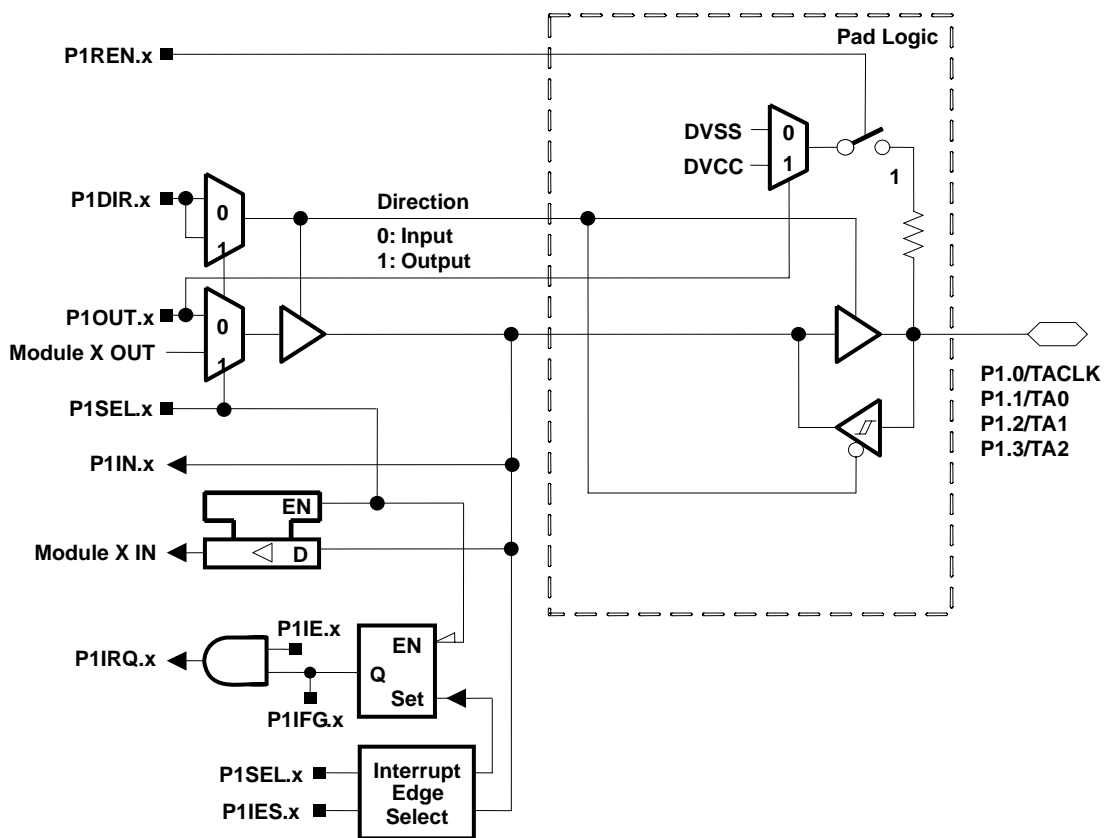
JTAG ヒューズ (注 1)

項 目	測定条件	V <sub>CC</sub>	最小	標準	最大	単位
V <sub>CC(FB)</sub> ヒューズ切断時の電源電圧	T <sub>A</sub> = 25°C		2.5			V
V <sub>FB</sub> ヒューズ切断電圧 (TEST)	T <sub>A</sub> = 25°C		6		7	V
I <sub>FB</sub> ヒューズ切断時の消費電流 (TEST)	T <sub>A</sub> = 25°C				100	mA
t <sub>FB</sub> ヒューズ切断時間	T <sub>A</sub> = 25°C				1	ms

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG /テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

ポート P1 端子図 : P1.0 ~ P1.3、シュミット・トリガ入力/出力



ポート P1 (P1.0 ~ P1.3) 端子機能

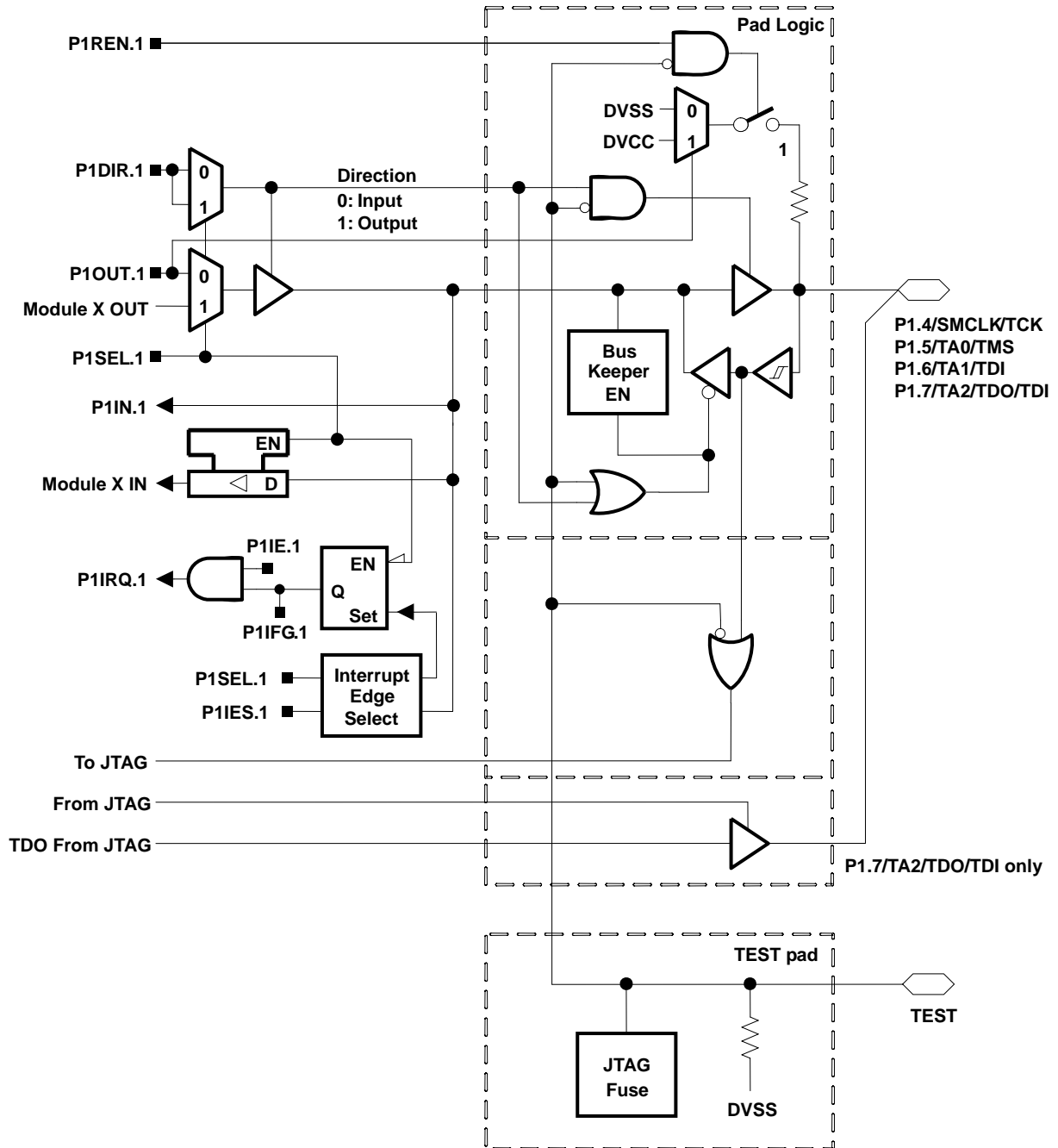
PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS	
			P1DIR.x	P1SEL.x
P1.0/TACLK	0	P1.0† (I/O)	I: 0; O: 1	0
		TACLK	0	1
		DV <sub>ss</sub>	1	1
P1.1/TA0	1	P1.1† (I/O)	I: 0; O: 1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.2/TA1	2	P1.2† (I/O)	I: 0; O: 1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1
P1.3/TA2	3	P1.3† (I/O)	I: 0; O: 1	0
		Timer_A3.CCI0A	0	1
		Timer_A3.TA0	1	1

†リセット (PUC/POR) 後のデフォルト



アプリケーション情報

ポート P1 端子図 : P1.4 ~ P1.7、シュミット・トリガ及びイン・システム・アクセス機能入力/出力



## ポート P1 (P1.4 ~ P1.7) 端子機能

PIN NAME (P1.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P1DIR.x	P1SEL.x	TEST
P1.4/SMCLK/TCK	4	P1.4†(I/O)	I: 0; O: 1	0	0
		SMCLK	1	1	0
		TCK	X	X	1
P1.5/TA0/TMS	5	P1.5†(I/O)	I: 0; O: 1	0	0
		Timer_A3.TA0	1	1	0
		TMS	X	X	1
P1.6/TA1/TDI/TCLK	6	P1.6†(I/O)	I: 0; O: 1	0	0
		Timer_A3.TA1	1	1	0
		TDI/TCLK (注 3)	X	X	1
P1.7/TA2/TDO/TDI	7	P1.7†(I/O)	I: 0; O: 1	0	0
		Timer_A3.TA2	1	1	0
		TDO/TDI (注 3)	X	X	1

† リセット (PUC/POR) 後のデフォルト

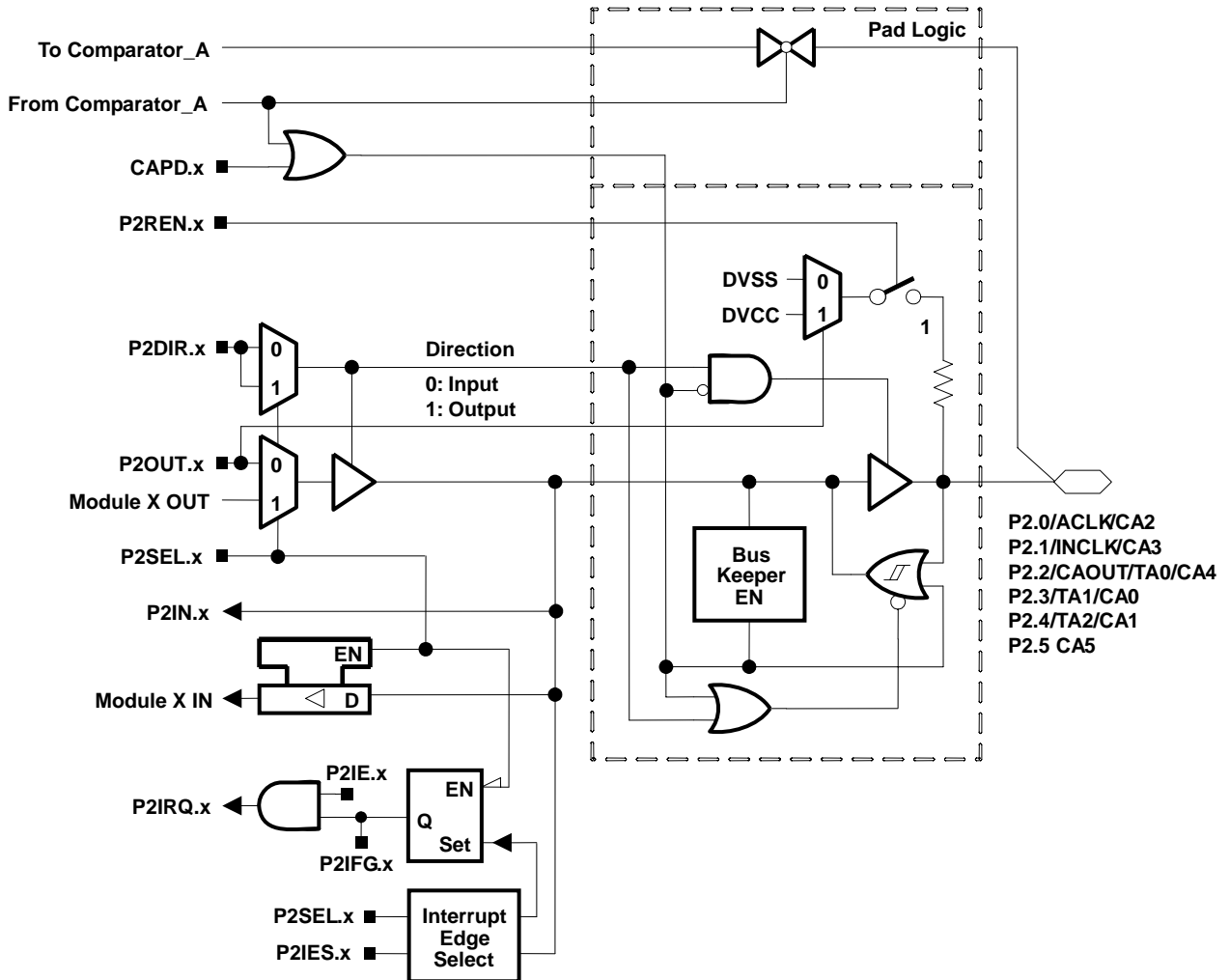
(注 1) N/A : 使用不可又は未使用

(注 2) X : 関係ありません

(注 3) 機能は JTAG によって制御されます。

アプリケーション情報

ポート P2 端子図 : P2.0 ~ P2.5、シュミット・トリガ入力/出力



コンパレータ\_A+ からの制御信号

PIN NAME	FUNCTION	SIGNAL "FROM COMPARATOR_A+" = 1					
		P2CA4	P2CA0	OR	P2CA3	P2CA2	P2CA1
P2.0/ACLK/CA2	CA2	1	1		0	1	0
P2.1/INCLK/CA3	CA3	N/A	N/A		0	1	1
P2.2/CAOUT/TA0/CA4	CA4	N/A	N/A		1	0	0
P2.3/TA1/CA0	CA0	0	1		N/A	N/A	N/A
P2.4/TA2/CA1	CA1	1	0		0	0	1
P2.5/CA5	CA5	N/A	N/A		1	0	1

(注 1) N/A : 使用不可又は未使用

## ポート P2 (P2.0 ~ P2.5) 端子機能

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	CAPD.x
P2.0/ACLK/CA2	0	P2.0 † (I/O)	I: 0; O: 1	0	0
		ACLK	1	1	0
		CA2 (注 3)	X	X	1
P2.1/INCLK/CA3	1	P2.1 † (I/O)	I: 0; O: 1	0	0
		Timer_A3.INCLK	0	1	0
		DV <sub>SS</sub>	1	1	0
		CA3 (注 3)	X	X	1
P2.2/CAOUT/TA0/CA4	2	P2.2 † (I/O)	I: 0; O: 1	0	0
		Timer_A3.CCI0B	0	1	0
		Comparator_A.OUT	1	1	0
		CA4 (注 3)	X	X	1
P2.3/TA1/CA0	3	P2.3 † (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA1	1	1	0
		CA0 (注 3)	X	X	1
P2.4/TA2/CA1	4	P2.4 † (I/O)	I: 0; O: 1	0	0
		Timer_A3.TA2	1	1	0
		CA1 (注 3)	X	X	1
P2.5/CA5	5	P2.5 † (I/O)	I: 0; O: 1	0	0
		CA5 (注 3)	X	X	1

† リセット (PUC/POR) 後のデフォルト

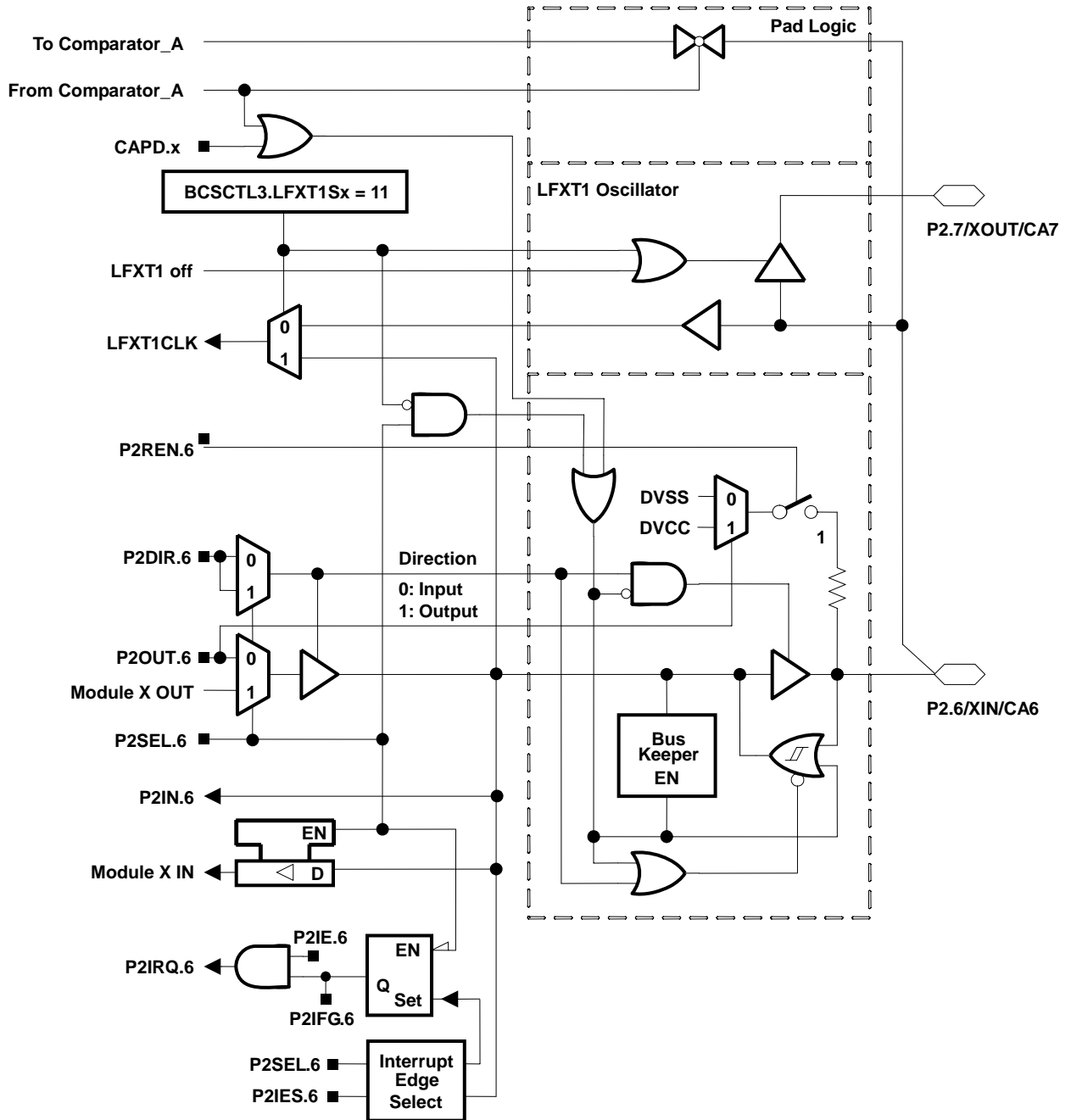
(注 1) N/A : 使用不可又は未使用

(注 2) X : 関係ありません

(注 3) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。CA<sub>x</sub> 端子を P2CA<sub>x</sub> ビットを使ってコンパレータ・マルチプレクサの入力を選択すると、関連する CAPD.x ビットの状態に関係なくこの端子の入力バッファは自動的にディスエーブルとなります。

アプリケーション情報

ポート P2 端子図 : P2.6、シュミット・トリガ入力/出力及びクリスタル・オシレータ入力

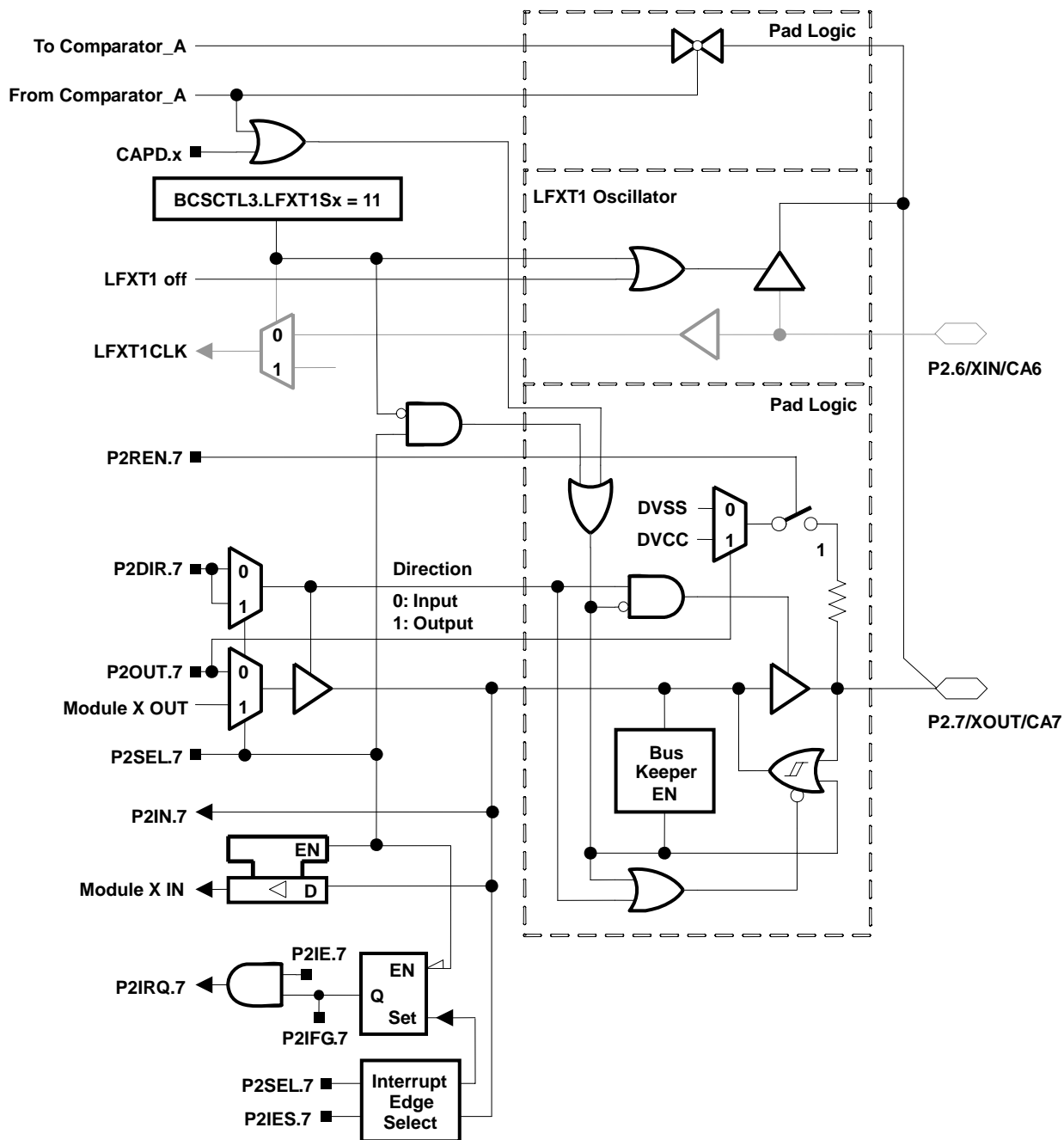


コンパレータ\_A+ からの制御信号

PIN NAME	FUNCTION	SIGNAL "FROM COMPARATOR_A+" = 1		
		P2CA3	P2CA2	P2CA1
P2.6/XIN/CA6	CA6	1	1	0

アプリケーション情報

ポート P2 端子図: P2.7、シュミット・トリガ入力/出力及びクリスタル・オシレータ出力



コンパレータ\_A+ からの制御信号

PIN NAME	FUNCTION	SIGNAL "FROM COMPARATOR_A+" = 1		
		P2CA3	P2CA2	P2CA1
P2.7/XOUT/CA7	CA7	1	1	1

ポート P2 (P2.6) 端子機能

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	CAPD.x
P2.6/XIN/CA6	6	P2.6 (I/O)	I: 0; O: 1	0	0
		XIN†	X	1	0
		CA6 (注 3)	X	X	1

†リセット (PUC/POR) 後のデフォルト

(注 1) N/A : 使用不可又は未使用

(注 2) X : 関係ありません

(注 3) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。CA<sub>x</sub> 端子を P2CAx ビットを使ってコンパレータ・マルチプレクサの入力に選択すると、関連する CAPD.x ビットの状態に関係なくこの端子の入力バッファは自動的にディスエーブルとなります。

ポート P2 (P2.7) 端子機能

PIN NAME (P2.X)	X	FUNCTION	CONTROL BITS / SIGNALS		
			P2DIR.x	P2SEL.x	CAPD.x
P2.7/XOUT/CA7	6	P2.7 (I/O)	I: 0; O: 1	0	0
		XOUT† (注 4)	X	1	0
		CA7 (注 3)	X	X	1

†リセット (PUC/POR) 後のデフォルト

(注 1) N/A : 使用不可又は未使用

(注 2) X : 関係ありません

(注 3) CAPD.x ビットを設定すると、アナログ信号を印加した場合に寄生貫通電流を防止するため、入力シュミット・トリガと同様に出力ドライバはディスエーブルとなります。CA<sub>x</sub> 端子を P2CAx ビットを使ってコンパレータ・マルチプレクサの入力に選択すると、関連する CAPD.x ビットの状態に関係なくこの端子の入力バッファは自動的にディスエーブルとなります。

(注 4) XOUT/P2.7/CA7 端子を入力として使用すると、リセット後にこの端子にオシレータ出力ドライバが接続されるため、P2SEL.7 がクリアされるまで電流が流れることがあります。

## JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の  $I_{TF}$  チェック電流が TEST 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 22 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

POR 後の TMS がロー・レベルになる点

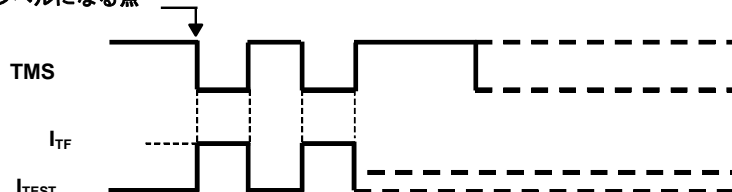


図 22. ヒューズ・チェック・モード電流、MSP430F21x1

(注)

JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。



**PACKAGING INFORMATION**

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
MSP430F2121IRGE	PREVIEW					TBD	Call TI	Call TI
MSP430F2131IRGE	PREVIEW					TBD	Call TI	Call TI

<sup>(1)</sup> The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

<sup>(2)</sup> Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

<sup>(3)</sup> MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2007, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上