

- 低電源電圧範囲：1.8 V ~ 3.6 V
- 超低消費電力：
 - アクティブ・モード：160 μ A (1 MHz、2.2 V)
 - スタンバイ・モード：0.7 μ A
 - オフ・モード (RAM データ保持)：0.1 μ A
- スタンバイ・モードから 6 μ s 以下でウェークアップ
- 16 ビット RISC アーキテクチャ、125 ns インストラクション・サイクル・タイム
- Basic Clock モジュール構成
 - 色々な内部抵抗
 - 1 つの外部抵抗
 - 32 kHz クリスタル
 - 高周波数クリスタル
 - レゾネータ
 - 外部クロック源
- 16 ビット タイマ_A (3 つのキャプチャ/コンペア・レジスタ付き)
- アナログ信号コンペア機能又はスロープ A/D 変換のためのオン・チップ・コンパレータ
- シリアル・オンボード・プログラミング、外部プログラミング電圧不要、セキュリティ・ヒューズによるプログラム可能なコード保護
- ファミリ製品：
 - MSP430C1101：1KB ROM、128B RAM
 - MSP430C1111：2KB ROM、128B RAM
 - MSP430C1121：4KB ROM、256B RAM
 - MSP430F1101A：1KB + 128B フラッシュ・メモリ、128B RAM
 - MSP430F1111A：2KB + 256B フラッシュ・メモリ、128B RAM
 - MSP430F1121A：4KB + 256B フラッシュ・メモリ、256B RAM
- 20 ピン プラスチック SOWB、20 ピン プラスチック TSSOP、20 ピン TVSOP (F11x1A のみ)、及び 24 ピン QFN パッケージ
- モジュールの詳細は、MSP430x1xx ファミリ ユーザーズ・ガイド 資料番号 SLAU049 を参照して下さい。

概要

テキサス・インスツルメンツの超低消費電力マイクロコントローラ MSP430 ファミリは、色々なアプリケーションのための異なる種類のペリフェラル・デバイスで構成されています。5つの低消費電力モードを持ったアーキテクチャは、携帯型計測機器アプリケーションのバッテリー寿命を延ばすために最適化されています。デバイスには、パワフルな 16 ビット RISC CPU、16 ビット レジスタ、及び最大コード効率のためのコンスタント・ジェネレータが搭載されています。デジタル・コントロール・オシレータ (DCO) により、低消費電力モードからアクティブ・モードへのウェークアップが 6 μ s 以内で行われます。

MSP430x11x1(A) シリーズは、16 ビット タイマ、多用途アナログ・コンパレータ、及び 14 個の I/O 端子を内蔵した超低消費電力ミックスト・シグナル・マイクロコントローラです。

標準的なアプリケーションとしては、アナログ信号を取得し、デジタル値に変換し、表示のため又はホスト・システムへの送信のためにデータを処理するセンサ・システムがあります。もう 1 つのアプリケーションの分野では、スタンド・アロン RF センサがあります。アナログ・コンパレータにより、スロープ A/D 変換が可能です。

製品オプション

| T _A | パッケージ・デバイス | | | |
|----------------|---|---|--|---|
| | プラスチック 20 ピン SOWB (DW) | プラスチック 20 ピン TSSOP (PW) | プラスチック 20 ピン TVSOP (DGV) | プラスチック 24 ピン QFN (RGE) |
| -40°C ~ 85°C | MSP430C1101IDW MSP430C1111IDW MSP430C1121IDW MSP430F1101AIDW MSP430F1111AIDW MSP430F1121AIDW | MSP430C1101IPW MSP430C1111IPW MSP430C1121IPW MSP430F1101AIPW MSP430F1111AIPW MSP430F1121AIPW | MSP430F1101AIDGV MSP430F1111AIDGV MSP430F1121AIDGV | MSP430C1101IRGE MSP430C1111IRGE MSP430C1121IRGE MSP430F1101AIRGE MSP430F1111AIRGE MSP430F1121AIRGE |



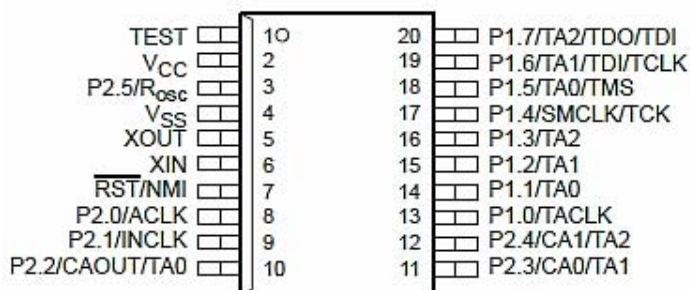
テキサス・インスツルメンツの半導体製品の供給状況、標準保証、及び重大用途における使用に関しましては、重要なご注意がこのデータ・シートの終わりに掲載されていますので、ご参照下さい。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討及びご採用にあたりましては、必ず正規英語版の最新資料をご確認下さい。TI 及び日本 TI は、正規英語版にて更新の情報を提供しているにも関わらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

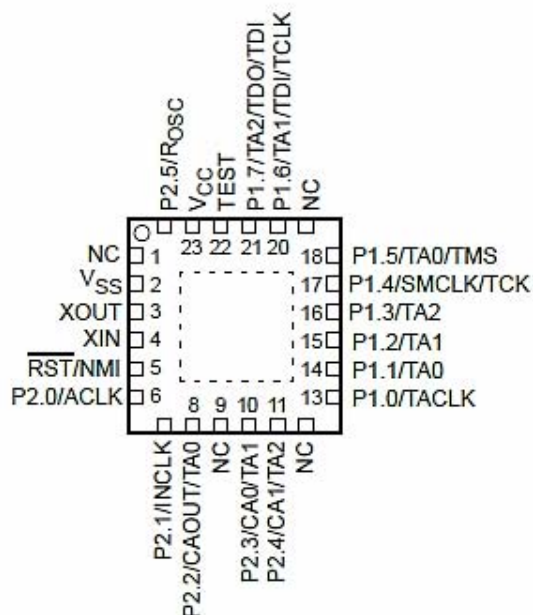
MSP430C11x1, MSP430F11x1A
 ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

DW、PW、DGV パッケージ
 (上面図)

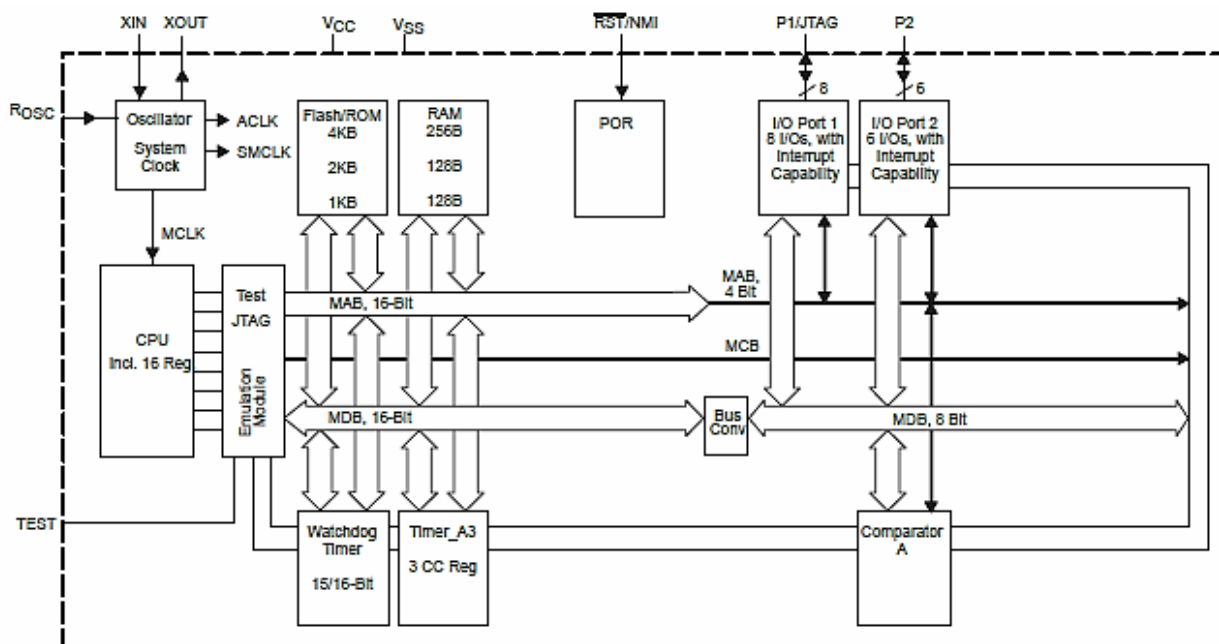


RGE パッケージ
 (上面図)



(注) NC 端子は内部で接続されていません。
 放熱パッドは V_{SS} に接続することを推奨します。

機能ブロック図



端子機能表

| 名 前 | 端 子 | | | 機 能 |
|-----------------------|-----------------|-----------|-----|--|
| | DW、PW、DGV 番号 | RGE 番号 | I/O | |
| P1.0/TACLK | 13 | 13 | I/O | 汎用デジタル I/O / タイマ_A、クロック信号 TACLK 入力 |
| P1.1/TA0 | 14 | 14 | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI0A 入力、コンペア: Out0 出力 / BSL 送信 |
| P1.2/TA1 | 15 | 15 | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI1A 入力、コンペア: Out1 出力 |
| P1.3/TA2 | 16 | 16 | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI2A 入力、コンペア: Out2 出力 |
| P1.4/SMCLK/TCK | 17 | 17 | I/O | 汎用デジタル I/O / SMCLK 信号出力 / テスト・クロック、デバイス・プログラミング及びテストのための入力 |
| P1.5/TA0/TMS | 18 | 18 | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out0 出力 / テスト・モード選択、デバイス・プログラミング及びテストのための入力 |
| P1.6/TA1/TDI/TCLK | 19 | 20 | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / テスト・データ入力又はテスト・クロック入力 |
| P1.7/TA2/TDO/TDI † | 20 | 21 | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / テスト・データ出力又はプログラミング時のデータ入力 |
| P2.0/ACLK | 8 | 6 | I/O | 汎用デジタル I/O / ACLK 出力 |
| P2.1/INCLK | 9 | 7 | I/O | 汎用デジタル I/O / タイマ_A、INCLK クロック信号 |
| P2.2/CAOUT/TA0 | 10 | 8 | I/O | 汎用デジタル I/O / タイマ_A、キャプチャ: CCI0B 入力 / コンパレータ_A 出力 / BSL 受信 |
| P2.3/CA0/TA1 | 11 | 10 | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out1 出力 / コンパレータ_A 入力 |
| P2.4/CA1/TA2 | 12 | 11 | I/O | 汎用デジタル I/O / タイマ_A、コンペア: Out2 出力 / コンパレータ_A 入力 |
| P2.5/R _{gsc} | 3 | 24 | I/O | 汎用デジタル I/O / DCO 公称周波数を定める外部抵抗入力 |
| RST/NMI | 7 | 5 | I | リセット又はマスク不可能な割り込み入力 |
| TEST | 1 | 22 | I | ポート1 JTAG 端子のテスト・モードの選択入力。デバイス保護ヒューズが TEST に接続されています。 |
| V _{CC} | 2 | 23 | | 電源 |
| V _{SS} | 4 | 2 | | グラウンド基準 |
| XIN | 6 | 4 | I | クリスタル・オシレータ入力 |
| XOUT | 5 | 3 | O | クリスタル・オシレータ出力 |
| QFN パッド | NA | パッケージ・パッド | NA | QFN パッケージのパッドは V _{SS} に接続することを推奨します。 |

† TDO 又は TDI は JTAG 命令によって選択されます。

MSP430C11x1, MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

概要説明

CPU

MSP430 CPU には、アプリケーションに適した 16 ビット RISC アーキテクチャを搭載しています。プログラム・フロー・インストラクション以外のすべての動作は、ソース・オペランドのための 7 つのアドレッシング・モード及びデスティネーション・オペランドのための 4 つのアドレッシング・モードと共にレジスタ・オペレーションとして実行されます。

CPU は、命令実行時間を短縮する 16 個のレジスタを内蔵しています。レジスタ間のオペレーション実行時間は、CPU クロックの 1 サイクルです。

レジスタの内の 4 個 (R0~R3) は、それぞれプログラム・カウンタ、スタック・ポインタ、ステータス・レジスタ、及びコンスタント・ジェネレータ (定数発生回路) として割り当てられています。残りのレジスタは、汎用レジスタです。

ペリフェラルは、データ、アドレス、及びコントロール・バスを使って CPU に接続され、すべての命令によって取り扱うことができます。

命令セット

命令セットは 3 つのフォーマット及び 7 つのアドレス・モードを持った 51 の命令から成ります。それぞれの命令は、ワード及びバイト・データに基づいて実行することができます。表 1 に命令フォーマットの 3 つのタイプの例を示します。表 2 にアドレス・モードを示します。

| | |
|---------------|-----------|
| プログラム・カウンタ | PC/R0 |
| スタック・ポインタ | SP/R1 |
| ステータス・レジスタ | SR/CG1/R2 |
| コンスタント・ジェネレータ | CG2/R3 |
| 汎用レジスタ | R4 |
| 汎用レジスタ | R5 |
| 汎用レジスタ | R6 |
| 汎用レジスタ | R7 |
| 汎用レジスタ | R8 |
| 汎用レジスタ | R9 |
| 汎用レジスタ | R10 |
| 汎用レジスタ | R11 |
| 汎用レジスタ | R12 |
| 汎用レジスタ | R13 |
| 汎用レジスタ | R14 |
| 汎用レジスタ | R15 |

表 1. 命令ワード・フォーマット

| | | |
|----------------------------|--------------|-----------------------|
| デュアル・オペランド (ソース-デスティネーション) | 例、ADD R4, R5 | R4 + R5 → R5 |
| シングル・オペランド (デスティネーションのみ) | 例、CALL R8 | PC → (TOS), R8 → PC |
| 相対ジャンプ (無条件/条件付き) | 例、JNE | Jump-on-equal bit = 0 |

表 2 アドレス・モードの記述

| アドレス・モード | S | D | 構文 | 例 | 動作 |
|----------------|---|---|------------------|-------------------|-------------------------------|
| レジスタ | ● | ● | MOV Rs, Rd | MOV R10, R11 | R10 → R11 |
| インデックス | ● | ● | MOV X(Rn), Y(Rm) | MOV 2(R5), 6(R6) | M(2+R5) → M(6+R6) |
| シンボリック (PC 対応) | ● | ● | MOV EDE, TONI | | M(EDE) → M(TONI) |
| 絶対 | ● | ● | MOV &MEM, &TCDAT | | M(MEM) → M(TCDAT) |
| 間接 | ● | | MOV @Rn, Y(Rm) | MOV @R10, Tab(R6) | M(R10) → M(Tab+R6) |
| 間接 (自動インクリメント) | ● | | MOV @Rn+, Rm | MOV @R10+, R11 | M(R10) → R11 R10 + 2 → R10 |
| 即時 | ● | | MOV #X, TONI | MOV #45, TONI | #45 → M(TONI) |

(注) S = ソース、D = デスティネーション

動作モード

MSP430 には、1 つのアクティブ・モードと、ソフトウェアで選択可能な 5 つの低消費電力動作モードがあります。割り込みイベントにより、デバイスを 5 つの低消費電力モードのどれからでもウェイクアップすることができ、要求に応え、そして、割り込みプログラムから戻るのに伴って低消費電力モードに戻ることができます。

以下の 6 つの動作モードを、ソフトウェアによって構成することができます：

- アクティブ・モード AM ;
 - すべてのクロックはアクティブ
- 低消費電力モード 0 (LPM0) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
- 低消費電力モード 1 (LPM1) ;
 - CPU はディスエーブル
ACLK 及び SMCLK はアクティブのまま。MCLK はディスエーブル
アクティブ・モードで DCO が使用されない場合は、DCO の DC 発生回路はディスエーブル
- 低消費電力モード 2 (LPM2) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はイネーブルのまま
ACLK はアクティブのまま
- 低消費電力モード 3 (LPM3) ;
 - CPU はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
ACLK はアクティブのまま
- 低消費電力モード 4 (LPM4) ;
 - CPU はディスエーブル
ACLK はディスエーブル
MCLK 及び SMCLK はディスエーブル
DCO の DC 発生回路はディスエーブル
クリスタル・オシレータは停止

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005 年 5 月

割り込みベクタ・アドレス

割り込みベクタ及びパワー・アップの開始アドレスは、アドレス範囲 OFFFh ~ OFFE0h に位置します。ベクタは、適切な割り込み処理命令シーケンスの 16 ビット・アドレスを含みます。

| 割り込みソース | 割り込みフラグ | システム割り込み | ワード・アドレス | 優先順位 |
|---|---|---|----------|----------|
| パワー・アップ 外部リセット ウォッチドッグ フラッシュ・メモリ | WDTIFG KEYV (注 1) | リセット | OFFFEh | 15 (最上位) |
| NMI オシレータ障害 フラッシュ・メモリ アクセス違反 | NMIIFG OFIFG ACCVIFG (注 1、4) | マスク可能 (不可能) マスク可能 (不可能) マスク可能 (不可能) | OFFFCh | 14 |
| | | | OFFFAh | 13 |
| | | | OFFF8h | 12 |
| コンパレータ_A | CAIFG | マスク可能 | OFFF6h | 11 |
| ウォッチドッグ・タイマ | WDTIFG | マスク可能 | OFFF4h | 10 |
| タイマ_A3 | TACCRO CCIFG (注 2) | マスク可能 | OFFF2h | 9 |
| タイマ_A3 | TACCR1 CCIFG、 TACCR2 CCIFG、 TAIFG (注 1、2) | マスク可能 | OFFF0h | 8 |
| | | | OFFEEh | 7 |
| | | | OFFECh | 6 |
| | | | OFFEAh | 5 |
| | | | OFFE8h | 4 |
| I/O ポート P2 (8 つのフラグ、注 3) | P2IFG. 0 ~ P2IFG. 7 (注 1、2) | マスク可能 | OFFE6h | 3 |
| I/O ポート P1 (8 つのフラグ) | P1IFG. 0 ~ P1IFG. 7 (注 1、2) | マスク可能 | OFFE4h | 2 |
| | | | OFFE2h | 1 |
| | | | OFFE0h | 0 (最下位) |

(注 1) 複数のソース・フラグ

(注 2) 割り込みフラグはモジュールの中にあります。

(注 3) ポート P2 割り込みフラグは 8 つありますが、`C11x1 及び `F11x1A デバイスには 6 つのポート P2 I/O 端子(P2.0 ~ 5)しかありません。

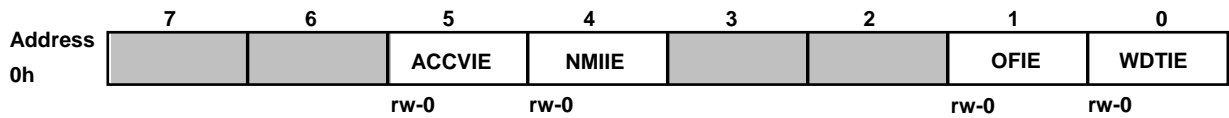
(注 4) マスク可能 (不可能) : 個々の割り込みイネーブル・ビットにより、割り込みイベントをディスエーブルにすることができます。しかし、汎用割り込みイネーブルでは、それをディスエーブルにすることはできません。

マスク不可能 : 個々の割り込みイネーブル・ビット及び汎用割り込みイネーブル・ビットの何れも割り込みイベントをディスエーブルにすることはできません。

スペシャル・ファンクション・レジスタ

大部分の割り込み及びモジュール・イネーブル・ビットは、最下位アドレス空間に集約されています。機能が割り当てられていないスペシャル・ファンクション・レジスタは、実際のデバイスにも内蔵されておりません。これによって、容易にソフトウェアによりアクセス可能です。

割り込みイネーブル 1、2

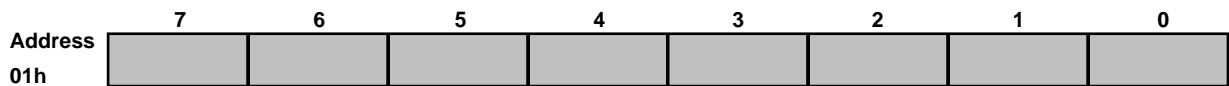


WDTIE : ウォッチドッグ・タイマ割り込みイネーブル。ウォッチドッグ・モードが選択された場合はインアクティブとなります。ウォッチドッグ・タイマがインターバル・タイマ・モードとして構成された場合はアクティブとなります。

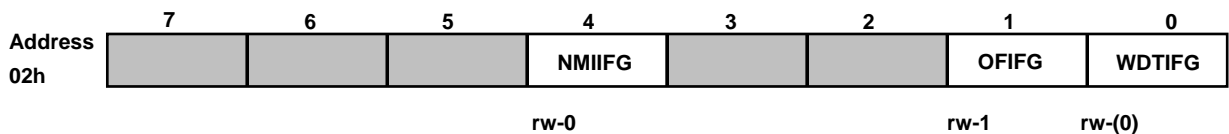
OFIE : オシレータ障害イネーブル

NMIIE : マスク可能な (不可能な) 割り込みイネーブル

ACCVIE : フラッシュ・アクセス違反割り込みイネーブル



割り込みフラグ・レジスタ 1、2

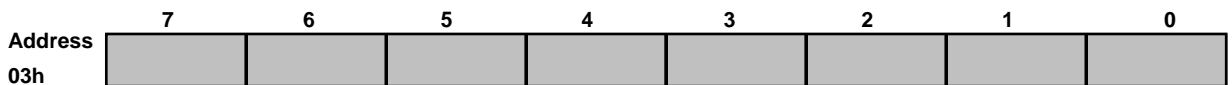


WDTIFG : ウォッチドッグ・タイマ・オーバーフロー (ウォッチドッグ・モード) 又はセキュリティ・キー違反でセットされます。

V_{CC} パワー・アップ又はリセット・モードでの \overline{RST}/NMI 端子のリセット条件でリセットされます。

OFIFG : オシレータ障害でフラグがセットされます。

NMIIFG : \overline{RST}/NMI 端子でセットされます。



説明 rw: ビットは、読み出し及び書き込みをすることができます。
 rw-0,1: ビットは、読み出し及び書き込みをすることができます。PUC によりリセット又はセットされます。
 rw-(0,1): ビットは、読み出し及び書き込みをすることができます。POR によりリセット又はセットされます。

デバイスには、SFR ビットが存在しません。

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005 年 5 月

メモリ構成

| | | MSP430C1101 | MSP430C1111 | MSP430C1121 |
|-------------------------------------|-------------------|---|---|---|
| メモリ メイン: 割り込みベクタ メイン: コード・メモリ | サイズ ROM ROM | 1KB ROM 0FFFFh - 0FFE0h 0FFFFh - 0FC00h | 2KB ROM 0FFFFh - 0FFE0h 0FFFFh - 0F800h | 4KB ROM 0FFFFh - 0FFE0h 0FFFFh - 0F000h |
| 情報メモリ | サイズ フラッシュ | 該当なし | 該当なし | 該当なし |
| 起動メモリ | サイズ ROM | 該当なし | 該当なし | 該当なし |
| RAM | サイズ | 128 Byte 027Fh - 0200h | 128 Byte 027Fh - 0200h | 256 Byte 02FFh - 0200h |
| ペリフェラル | 16-bit | 01FFh - 0100h | 01FFh - 0100h | 01FFh - 0100h |
| | 8-bit | 0FFh - 010h | 0FFh - 010h | 0FFh - 010h |
| | 8-bit SFR | 0Fh - 00h | 0Fh - 00h | 0Fh - 00h |

| | | MSP430F1101A | MSP430F1111A | MSP430F1121A |
|-------------------------------------|-----------------------|---|---|---|
| メモリ メイン: 割り込みベクタ メイン: コード・メモリ | サイズ フラッシュ フラッシュ | 1KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0FC00h | 2KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0F800h | 4KB フラッシュ 0FFFFh - 0FFE0h 0FFFFh - 0F000h |
| 情報メモリ | サイズ フラッシュ | 128 バイト 010FFh - 01080h | 256 バイト 010FFh - 01000h | 256 バイト 010FFh - 01000h |
| 起動メモリ | サイズ ROM | 1KB 0FFFh - 0C00h | 1KB 0FFFh - 0C00h | 1KB 0FFFh - 0C00h |
| RAM | サイズ | 128 バイト 027Fh - 0200h | 128 バイト 027Fh - 0200h | 256 バイト 02FFh - 0200h |
| ペリフェラル | 16 ビット | 01FFh - 0100h | 01FFh - 0100h | 01FFh - 0100h |
| | 8 ビット | 0FFh - 010h | 0FFh - 010h | 0FFh - 010h |
| | 8 ビット SFR | 0Fh - 00h | 0Fh - 00h | 0Fh - 00h |

ブートストラップ・ローダ (BSL)

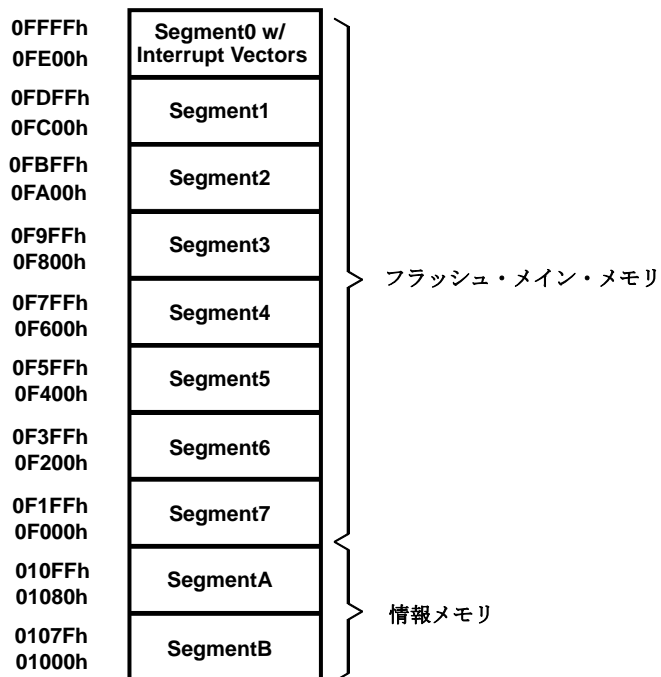
MSP430 ブートストラップ・ローダ (BSL) により、ユーザーは UART シリアル・インタフェースを使用してフラッシュ・メモリ又は RAM をプログラムすることができます。BSL を経由した MSP430 メモリへのアクセスは、ユーザーによって定義されたパスワードにより保護されています。BSL 及びその実施方法の詳細は、アプリケーション・レポート *MSP430 ブートストラップ・ローダの特徴 "Features of the MSP430 Bootstrap Loader"* (資料番号 SLAA089) を参照して下さい。

| BSL 機能 | DW、PW、DGV パッケージ端子 | RGE パッケージ端子 |
|--------|----------------------|----------------|
| データ送信 | 14 - P1.1 | 14 - P1.1 |
| データ受信 | 10 - P2.2 | 8 - P2.2 |

フラッシュ・メモリ

フラッシュ・メモリは、JTAG ポート、ブートストラップ・ローダ、又は CPU によるイン・システムによりプログラムすることができます。CPU はフラッシュ・メモリに対して、1 バイト及び 1 ワードの書き込みを行うことができます。フラッシュ・メモリは、以下の特徴を持っています。:

- フラッシュ・メモリは、n セグメントのメイン・メモリ及び 2 セグメントのそれぞれ 128 バイトの情報メモリ (A 及び B) を持っています。メイン・メモリのそれぞれのセグメントのサイズは 512 バイトです。
- セグメント 0 ~ n は 1 ステップで消去が可能です。あるいは、それぞれのセグメントは個々に消去も可能です。
- セグメント A 及び B は、個々に又はセグメント 0 ~ n のグループとして消去することができます。セグメント A 及び B は、*情報メモリ*とも呼ばれます。
- 新しいデバイスでは、数バイトを情報メモリにプログラムしておくことがあります。(製造時のテストのため) ユーザーは、最初に使用する前に情報メモリの消去を実行しなければなりません。



(注) すべてのセグメントがすべてのデバイスに内蔵されている訳ではありません。

ペリフェラル

ペリフェラルは、データ、アドレス、及びコントロール・バスを通して CPU に接続され、すべての命令を使って取り扱うことができます。モジュールの詳細は、*MSP430x1xx ファミリ ユーザーズ・ガイド* 資料番号 SLAU049 を参照して下さい。

オシレータ及びシステム・クロック

クロック・システムは、32768 Hz の時計用クリスタル・オシレータ、内部デジタル制御オシレータ (DCO)、及び高周波クリスタル・オシレータのサポートを含む basic clock モジュールで構成されています。basic clock モジュールは、安いシステム・コストと低消費電力の必要条件を満たすように設計されています。内部 DCO は、高速ターン・オン・クロック・ソースを提供し、6 μ s 以内に安定します。basic clock モジュールは次のクロック信号を提供します：

- 補助クロック (ACLK) : 32768 Hz の時計用クリスタル又は高周波クリスタルから供給
- メイン・クロック (MCLK) : CPU によって使用されるシステム・クロック
- サブ・メイン・クロック (SMCLK) : ペリフェラル・モジュールによって使用されるサブ・システム・クロック

デジタル I/O

2 つの 8 ビット I/O ポート内蔵：ポート P1 及び P2 (外部端子には 6 つの P2 I/O 信号のみが使用できます。)

- すべての個々の I/O ビットは、独立してプログラム可能です。
- 入力、出力、及び割り込み条件のどんな組み合わせでも可能です。
- ポート P1 及び P2 の 6 ビットは、エッジ選択可能な割り込み入力に設定可能です。
- ポート・コントロール・レジスタへの読み出し/書き込みアクセスは、すべての命令により可能です。

(注)

ポート P2 の P2.0 ~ P2.5 の 6 ビットは、外部端子で使用できます。しかし、すべての制御及びデータ・ビットはポート P2 に内蔵されています。

ウォッチドッグ・タイマ

ウォッチドッグ・タイマ (WDT) モジュールの基本的な機能は、ソフトウェア障害が発生した後、制御されたシステムの再開を行うことです。設定された時間間隔が経過すると、システム・リセットが生成されます。ウォッチドッグ機能が必要でないアプリケーションでは、モジュールはインターバル・タイマとして設定することができます。設定された時間間隔で割り込みを発生することができます。

コンパレータ_A

コンパレータ_A モジュールの基本的な機能は、高精度スロープ A/D 変換、バッテリー電圧監視、及び外部アナログ信号のモニタを行うことです。

タイマ_A3

タイマ_A3 は、3 つのキャプチャ/コンペア・レジスタ付きの 16 ビット タイマ/カウンタです。タイマ_A3 により、複数のキャプチャ/コンペア、PWM 出力、及びインターバル・タイミングを利用することができます。タイマ_A3 にも、拡張割り込みの機能があります。割り込みは、オーバーフロー状態のカウンタから、及びキャプチャ/コンペア・レジスタのそれぞれから生成されることがあります。

| タイマ_A3 信号の接続 | | | | | | | |
|--------------|-----------|-----------------|-----------------|----------------|---------------|-----------|-----------|
| 入力端子番号 | | デバイス 入力信号 | モジュール 入力名 | モジュール・ ブロック | モジュール 出力信号 | 出力端子番号 | |
| DW、PW、DGV | RGE | | | | | DW、PW、DGV | RGE |
| 13 - P1.0 | 13 - P1.0 | TACLK | TACLK | タイマ | NA | | |
| | | ACLK | ACLK | | | | |
| | | SMCLK | SMCLK | | | | |
| 9 - P2.1 | 7 - P2.1 | INCLK | INCLK | | | | |
| 14 - P1.1 | 14 - P1.1 | TA0 | CCIOA | CCR0 | TA0 | 14 - P1.1 | 14 - P1.1 |
| 10 - P2.2 | 8 - P2.2 | TA0 | CCIOB | | | 18 - P1.5 | 18 - P1.5 |
| | | V _{SS} | GND | | | | |
| | | V _{CC} | V _{CC} | | | | |
| 15 - P1.2 | 15 - P1.2 | TA1 | CCI1A | CCR1 | TA1 | 11 - P2.3 | 10 - P2.3 |
| | | CAOUT (内部) | CCI1B | | | 15 - P1.2 | 15 - P1.2 |
| | | V _{SS} | GND | | | 19 - P1.6 | 20 - P1.6 |
| | | V _{CC} | V _{CC} | | | | |
| 16 - P1.3 | 16 - P1.3 | TA2 | CCI2A | CCR2 | TA2 | 12 - P2.4 | 11 - P2.4 |
| | | ACLK (内部) | CCI2B | | | 16 - P1.3 | 16 - P1.3 |
| | | V _{SS} | GND | | | 20 - P1.7 | 21 - P1.7 |
| | | V _{CC} | V _{CC} | | | | |

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005 年 5 月

ペリフェラル・ファイル・マップ

| ワード・アクセスによるペリフェラル | | | |
|-------------------|--|---|---|
| タイマ_A | 予約されています 予約されています 予約されています 予約されています キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ キャプチャ/コンペア・レジスタ タイマ_A レジスタ 予約されています 予約されています 予約されています 予約されています キャプチャ/コンペア制御 キャプチャ/コンペア制御 キャプチャ/コンペア制御 タイマ_A 制御 タイマ_A 割り込みベクタ | TACCR2 TACCR1 TACCRO TAR TACCTL2 TACCTL1 TACCTLO TACTL TAIV | 017Eh 017Ch 017Ah 0178h 0176h 0174h 0172h 0170h 016Eh 016Ch 016Ah 0168h 0166h 0164h 0162h 0160h 012Eh |
| フラッシュ・メモリ | フラッシュ制御 3 フラッシュ制御 2 フラッシュ制御 1 | FCTL3 FCTL2 FCTL1 | 012Ch 012Ah 0128h |
| ウォッチドッグ | ウォッチドッグ・タイマ制御 | WDTCTL | 0120h |
| バイト・アクセスによるペリフェラル | | | |
| コンパレータ_A | コンパレータ_A ポート ディス エーブル コンパレータ_A 制御 2 コンパレータ_A 制御 1 | CAPD CACTL2 CACTL1 | 05Bh 05Ah 059h |
| Basic Clock | Basic clock システム制御 2 Basic clock システム制御 1 DC0 クロック周波数制御 | BCSCTL2 BCSCTL1 DCOCTL | 058h 057h 056h |
| ポート P2 | ポート P2 選択 ポート P2 割り込みイネーブル ポート P2 割り込みエッジ選択 ポート P2 割り込みフラグ ポート P2 方向 ポート P2 出力 ポート P2 入力 | P2SEL P2IE P2IES P2IFG P2DIR P2OUT P2IN | 02Eh 02Dh 02Ch 02Bh 02Ah 029h 028h |
| ポート P1 | ポート P1 選択 ポート P1 割り込みイネーブル ポート P1 割り込みエッジ選択 ポート P1 割り込みフラグ ポート P1 方向 ポート P1 出力 ポート P1 入力 | P1SEL P1IE P1IES P1IFG P1DIR P1OUT P1IN | 026h 025h 024h 023h 022h 021h 020h |
| スペシャル・ ファンクション | SFR 割り込みフラグ 2 SFR 割り込みフラグ 1 SFR 割り込みイネーブル 2 SFR 割り込みイネーブル 1 | IFG2 IFG1 IE2 IE1 | 003h 002h 001h 000h |

絶対最大定格 (特記無き場合) †

| | | | |
|--------------------------------|-------------|-----------------------|--------------|
| 印加電圧 ($V_{CC} \sim V_{SS}$ 間) | | -0.3 ~ 4.1 | V |
| 印加電圧 (全端子) (注 1) | | -0.3 ~ $V_{CC} + 0.3$ | V |
| ダイオード電流 (全端子) | | ±2 | mA |
| 保存温度範囲 | 未プログラムのデバイス | T_{stg} | -55 ~ 150 °C |
| 保存温度範囲 | プログラム済みデバイス | T_{stg} | -40 ~ 85 °C |

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これは、ストレスの定格のみについて示してあり、この仕様書の「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

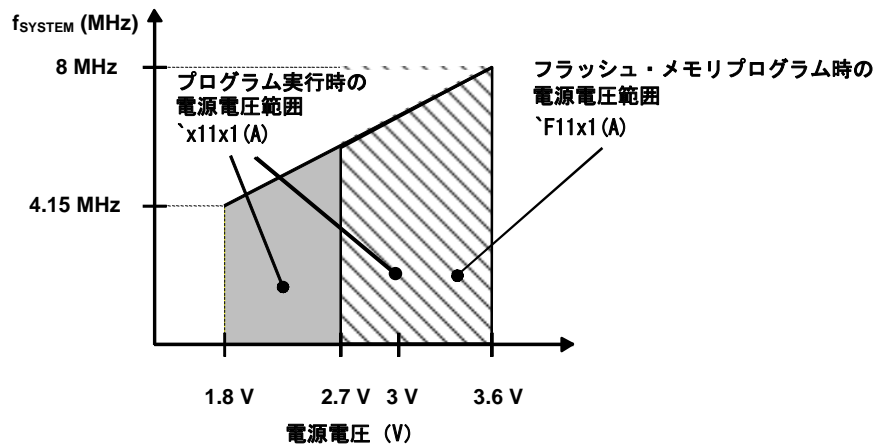
(注 1) すべての電圧は V_{SS} を基準とします。JTAG ヒューズ切断電圧 V_{FB} は、絶対最大定格を越えても構いません。JTAG ヒューズを切断する時、TEST 端子に電圧が印加されます。

推奨動作条件

| | | 最小 | 標準 | 最大 | 単位 |
|---------------------------------------|--------------------|--------------------------------------|----|------|-----|
| 電源電圧 (プログラム実行時)、 V_{CC} (注 1) | | MSP430C11x1 1.8 | | 3.6 | V |
| | | MSP430F11x1A | | 3.6 | |
| 電源電圧 (フラッシュ・メモリ プログラム/消去時)、 V_{CC} | | MSP430F11x1A | | 3.6 | V |
| 電源電圧、 V_{SS} | | | 0 | | V |
| 動作温度範囲、 T_A | | MSP430x11x1 (A) | | 85 | °C |
| LFXT1 クリスタル周波数、 $f_{(LFXT1)}$ (注 1、2) | LF モード選択時、XTS = 0 | 時計用クリスタル | | | kHz |
| | XT1 モード選択時、XTS = 1 | セラミック・レゾネータ | | | |
| | | クリスタル | | | |
| プロセッサ周波数 $f_{(SYSTEM)}$ (MCLK 信号) | | $V_{CC} = 1.8$ V、 MSP430x11x1 (A) | dc | 4.15 | MHz |
| | | $V_{CC} = 3.6$ V、 MSP430x11x1 (A) | dc | 8 | |

(注 1) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。 $V_{CC} < 2.5$ V の時、XOUT ~ V_{SS} 間に 5.1 M Ω の抵抗を接続することを推奨します。XT1 モードでは、 $V_{CC} \geq 2.2$ V の時、LFXT1 及び XT2 オシレータには 4.15 MHz までのセラミック・レゾネータ又はクリスタルが使用できます。XT1 モードでは、 $V_{CC} \geq 2.8$ V の時、LFXT1 及び XT2 オシレータには 8 MHz までのセラミック・レゾネータ又はクリスタルが使用できます。

(注 2) LF モードでは、LFXT1 オシレータには時計用クリスタルが必要です。XT1 モードでは、LFXT1 にはセラミック・レゾネータ又はクリスタルが使用できます。



(注) 最小プロセッサ周波数は、システム・クロックにより決まります。フラッシュ・メモリのプログラム又は消去には 2.7 V の最小 V_{CC} が必要です。

図 1. 電源電圧対周波数、MSP430x11x1 (A)

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005 年 5 月

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

電源電流 (V_{CC}) (外部電流を除く)

| 項 目 | | 測定条件 | | 最小 | 標準 | 最大 | 単位 | |
|----------------|---|--------------------------|---|---|--------------------------------------|-----|---------------|---------------|
| I_{AM} | アクティブ・モード | C11x1 | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ | $V_{CC} = 2.2 \text{ V}$ | 160 | 200 | μA | |
| | | | | $V_{CC} = 3 \text{ V}$ | 240 | 300 | | |
| | | F11x1A | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = f_{(ACLK)} = 4096 \text{ Hz}$ | $V_{CC} = 2.2 \text{ V}$ | 1.3 | 2 | | |
| | | | | $V_{CC} = 3 \text{ V}$ | 2.5 | 3.2 | | |
| | | | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{MCLK} = f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 フラッシュ・メモリのプログラム実行時 | $V_{CC} = 2.2 \text{ V}$ | 200 | 250 | | |
| | | | | $V_{CC} = 3 \text{ V}$ | 300 | 350 | | |
| | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 フラッシュ・メモリのプログラム実行時、 $f_{(MCLK)} = f_{(SMCLK)} = f_{(ACLK)} = 4096 \text{ Hz}$ | $V_{CC} = 2.2 \text{ V}$ | 3 | 5 | | | | |
| | | $V_{CC} = 3 \text{ V}$ | 11 | 18 | | | | |
| $I_{(CPUOFF)}$ | ロー・パワー・モード (LPM0) | C11x1 | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = 0 \text{ Hz}$ 、 $f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ | $V_{CC} = 2.2 \text{ V}$ | 30 | 40 | μA | |
| | | | $V_{CC} = 3 \text{ V}$ | 51 | 60 | | | |
| | | F11x1A | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = 0 \text{ Hz}$ 、 $f_{(SMCLK)} = 1 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ | $V_{CC} = 2.2 \text{ V}$ | 32 | 45 | μA | |
| | | | $V_{CC} = 3 \text{ V}$ | 55 | 70 | | | |
| $I_{(LPM2)}$ | ロー・パワー・モード (LPM2) | | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 0$ | $V_{CC} = 2.2 \text{ V}$ | 11 | 14 | μA | |
| | | | | $V_{CC} = 3 \text{ V}$ | 17 | 22 | | |
| $I_{(LPM3)}$ | ロー・パワー・モード (LPM3) | C11x1 | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $f_{(MCLK)} = f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 1$ | $V_{CC} = 2.2 \text{ V}$ | 1.2 | 1.7 | μA | |
| | | | | $V_{CC} = 3 \text{ V}$ | 2 | 2.7 | | |
| | | F11x1A | $T_A = -40^\circ\text{C}$ | $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 32,768 \text{ Hz}$ 、 $SCGO = 1$ | $V_{CC} = 2.2 \text{ V}$ | 0.8 | | 1.2 |
| | | | $T_A = 25^\circ\text{C}$ | | | 0.7 | | 1 |
| | | | $T_A = 85^\circ\text{C}$ | | | 1.6 | | 2.3 |
| | | | $T_A = -40^\circ\text{C}$ | | | 1.8 | | 2.2 |
| | $T_A = 25^\circ\text{C}$ | $V_{CC} = 3 \text{ V}$ | 1.6 | 1.9 | | | | |
| | $T_A = 85^\circ\text{C}$ | | 2.3 | 3.4 | | | | |
| $I_{(LPM4)}$ | ロー・パワー・モード (LPM4) | C11x1 | $T_A = -40^\circ\text{C}$ | $f_{(MCLK)} = 0 \text{ MHz}$ 、 $f_{(SMCLK)} = 0 \text{ MHz}$ 、 $f_{(ACLK)} = 0 \text{ Hz}$ 、 $SCGO = 1$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0.1 | 0.5 | μA |
| | | | $T_A = 25^\circ\text{C}$ | | | 0.1 | 0.5 | |
| | | | $T_A = 85^\circ\text{C}$ | | | 0.4 | 0.8 | |
| | | F11x1A | $T_A = -40^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0.1 | 0.5 | | |
| | | | $T_A = 25^\circ\text{C}$ | | 0.1 | 0.5 | | |
| | | | $T_A = 85^\circ\text{C}$ | | 0.8 | 1.9 | | |

(注) すべての入力は、0 V 又は V_{CC} に接続します。出力にはソース電流、シンク電流を流しません。

アクティブ・モードのシステム周波数 対 消費電流

$$I_{AM} = I_{AM [1 \text{ MHz}]} \times f_{\text{system}} [\text{MHz}]$$

アクティブ・モードの電源電圧 対 消費電流、C バージョン

$$I_{AM} = I_{AM [3 \text{ V}]} + 105 \mu\text{A}/\text{V} \times (V_{CC} - 3 \text{ V})$$

アクティブ・モードの電源電圧 対 消費電流、F バージョン

$$I_{AM} = I_{AM [3 \text{ V}]} + 120 \mu\text{A}/\text{V} \times (V_{CC} - 3 \text{ V})$$

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

シュミット・トリガ入力 - ポート P1 及び P2 (P1.0 ~ P1.7、P2.0 ~ P2.5)

| 項 目 | 測定条件 | 最小 | 標準 | 最大 | 単位 |
|--|-------------------------|-----|----|-----|----|
| V _{IT+} 立ち上がり入力スレッシュホールド電圧 | V _{CC} = 2.2 V | 1.1 | | 1.5 | V |
| | V _{CC} = 3 V | 1.5 | | 1.9 | |
| V _{IT-} 立ち下がり入力スレッシュホールド電圧 | V _{CC} = 2.2 V | 0.4 | | 0.9 | V |
| | V _{CC} = 3 V | 0.9 | | 1.3 | |
| V _{hys} 入力電圧ヒステリシス (V _{IT+} - V _{IT-}) | V _{CC} = 2.2 V | 0.3 | | 1.1 | V |
| | V _{CC} = 3 V | 0.5 | | 1 | |

標準入力 - $\overline{\text{RST/NMI}}$; JTAG: TCK、TMS、TDI/TCLK

| 項 目 | 測定条件 | 最小 | 標準 | 最大 | 単位 |
|----------------------------|-------------------------------|-----------------------|-----------------------|-----------------|----|
| V _{IL} ロー・レベル入力電圧 | V _{CC} = 2.2 V / 3 V | V _{SS} | V _{SS} + 0.6 | | V |
| V _{IH} ハイ・レベル入力電圧 | | 0.8 x V _{CC} | | V _{CC} | V |

入力 P_{x.x}、TA_x

| 項 目 | 測定条件 | V _{CC} | 最小 | 標準 | 最大 | 単位 |
|--|---|-----------------|-----|----|----|-------|
| t _(int) 外部割り込みタイミング | ポート P1、P2: P1.x ~ P2.x、 割り込みフラグ用外部トリガ信号 (注 1) | 2.2 V/3 V | 1.5 | | | cycle |
| | | 2.2 V | 62 | | | ns |
| | | 3 V | 50 | | | |
| t _(cap) タイマ_A キャプチャ・タイミ ング | TA0、TA1、TA2 | 2.2 V | 62 | | | ns |
| | | 3 V | 50 | | | |
| f _(TAext) 外部から印加するタイマ_A ク ロック周波数 | TACLK、INCLK: t _(M) = t _(L) | 2.2 V | | | 8 | MHz |
| | | 3 V | | | 10 | |
| f _(TAint) タイマ_A クロック周波数 | SMCLK 又は ACLK 信号選択時 | 2.2 V | | | 8 | MHz |
| | | 3 V | | | 10 | |

(注 1) 外部信号は、最小 t_(int) サイクル及び時間のパラメータが適合するたび毎に割り込みフラグをセットします。トリガ信号が t_(int) より短い場合にもセットされることがあります。フラグを確実にセットするためには、サイクルとタイミング仕様の両方を満足しなければなりません。t_(int) は MCLK サイクルで測定します。

リーク電流

| 項 目 | 測定条件 | 最小 | 標準 | 最大 | 単位 |
|---|------------------------------------|-----------------------------|----|-----|----|
| I _{lkg(Px.x)} ハイ・インピーダンス リーク電流 | ポート P1: P1.x、 0 ≤ x ≤ 7 (注 1、2) | V _{CC} = 2.2 V/3 V | | ±50 | nA |
| | ポート P2: P2.x、 0 ≤ x ≤ 5 (注 1、2) | | | ±50 | |

(注 1) 特記無き場合、リーク電流は対応する端子に V_{SS} 又は V_{CC} を印加して測定します。

(注 2) デジタル・ポート端子のリーク電流は、個別に測定します。ポート端子は入力となるように選択し、プルアップ又はプルダウン抵抗がない状態とします。

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005 年 5 月

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1 及び P2 (P1.0 ~ P1.7、P2.0 ~ P2.5)

| 項 目 | | 測定条件 | | 最小 | 標準 | 最大 | 単位 |
|----------|--|---------------------------------|--------------------------|-------|-----------------|-----------------|----|
| V_{OH} | ハイ・レベル出力電圧 ポート 1 及び ポート 2 (C11x1) ポート 1 (F11x1A) | $I_{OH(max)} = -1.5 \text{ mA}$ | $V_{CC} = 2.2 \text{ V}$ | (注 1) | $V_{CC} - 0.25$ | V_{CC} | V |
| | | $I_{OH(max)} = -6 \text{ mA}$ | | (注 2) | $V_{CC} - 0.6$ | V_{CC} | |
| | | $I_{OH(max)} = -1.5 \text{ mA}$ | $V_{CC} = 3 \text{ V}$ | (注 1) | $V_{CC} - 0.25$ | V_{CC} | |
| | | $I_{OH(max)} = -6 \text{ mA}$ | | (注 2) | $V_{CC} - 0.6$ | V_{CC} | |
| V_{OH} | ハイ・レベル出力電圧 ポート 2 (F11x1A) | $I_{OH(max)} = -1 \text{ mA}$ | $V_{CC} = 2.2 \text{ V}$ | (注 3) | $V_{CC} - 0.25$ | V_{CC} | V |
| | | $I_{OH(max)} = -3.4 \text{ mA}$ | | (注 3) | $V_{CC} - 0.6$ | V_{CC} | |
| | | $I_{OH(max)} = -1 \text{ mA}$ | $V_{CC} = 3 \text{ V}$ | (注 3) | $V_{CC} - 0.25$ | V_{CC} | |
| | | $I_{OH(max)} = -3.4 \text{ mA}$ | | (注 3) | $V_{CC} - 0.6$ | V_{CC} | |
| V_{OL} | ロー・レベル出力電圧 ポート 1 及び ポート 2 (C11x1、 F11x1A) | $I_{OL(max)} = 1.5 \text{ mA}$ | $V_{CC} = 2.2 \text{ V}$ | (注 1) | V_{SS} | $V_{SS} + 0.25$ | V |
| | | $I_{OL(max)} = 6 \text{ mA}$ | | (注 2) | V_{SS} | $V_{SS} + 0.6$ | |
| | | $I_{OL(max)} = 1.5 \text{ mA}$ | $V_{CC} = 3 \text{ V}$ | (注 1) | V_{SS} | $V_{SS} + 0.25$ | |
| | | $I_{OL(max)} = 6 \text{ mA}$ | | (注 2) | V_{SS} | $V_{SS} + 0.6$ | |

(注 1) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 12 \text{ mA}$ を越えてはいけません。

(注 2) 全出力の最大電流 $I_{OH(max)}$ と $I_{OL(max)}$ の合計は、規定の最大電圧降下を保持するため $\pm 48 \text{ mA}$ を越えてはいけません。

(注 3) 同時に 1 出力のみ負荷をかけます。

出力周波数

| 項 目 | | 測定条件 | | V_{CC} | 最小 | 標準 | 最大 | 単位 |
|--------------|-----------------|---|-----------------------------------|-----------|----------------|-----|----------------|-----|
| $f_{(P20)}$ | 出力周波数 | P2.0/ACLK、 $C_L = 20 \text{ pF}$ | | 2.2 V/3 V | f_{System} | | | MHz |
| $f_{(TAx)}$ | | TA0、TA1、TA2、 $C_L = 20 \text{ pF}$ 、 内部クロック・ソース、SMCLK 信号印加 (注 1) | | | dc | | | |
| $t_{(Xdc)}$ | 出力周波数デュー ティ比 | P1.4/SMCLK、 $C_L = 20 \text{ pF}$ | $f_{SMCLK} = f_{LFXT1} = f_{XT1}$ | 2.2 V/3 V | 40% | | 60% | |
| | | | $f_{SMCLK} = f_{LFXT1} = f_{LF}$ | | 35% | | 65% | |
| | | | $f_{SMCLK} = f_{LFXT1/n}$ | | 50% - 15 ns | 50% | 50% + 15 ns | |
| | | $f_{SMCLK} = f_{DCOCLK}$ | 50% - 15 ns | 50% | 50% + 15 ns | | | |
| $t_{(TAdc)}$ | デューティ比 = 50% | TA0、TA1、TA2、 $C_L = 20 \text{ pF}$ | $f_{P20} = f_{LFXT1} = f_{XT1}$ | 2.2 V/3 V | 40% | | 60% | |
| | | | $f_{P20} = f_{LFXT1} = f_{LF}$ | | 30% | | 70% | |
| | | | $f_{P20} = f_{LFXT1/n}$ | | 50% | | | |
| $t_{(TAdc)}$ | デューティ比 = 50% | TA0、TA1、TA2、 $C_L = 20 \text{ pF}$ | | 2.2 V/3 V | | 0 | ± 50 | ns |

(注 1) システム・クロック MCLK の規格に適合しなければなりません。MCLK と SMCLK は異なる周波数にすることができます。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

出力 - ポート P1 及び P2 (続き)

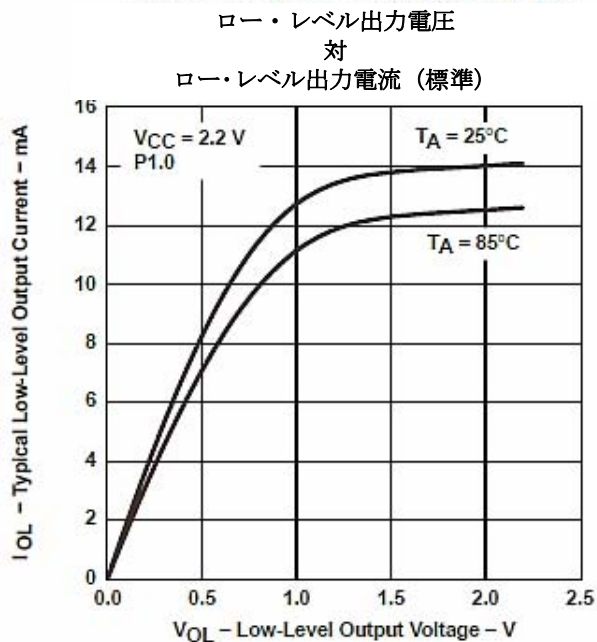


図 2

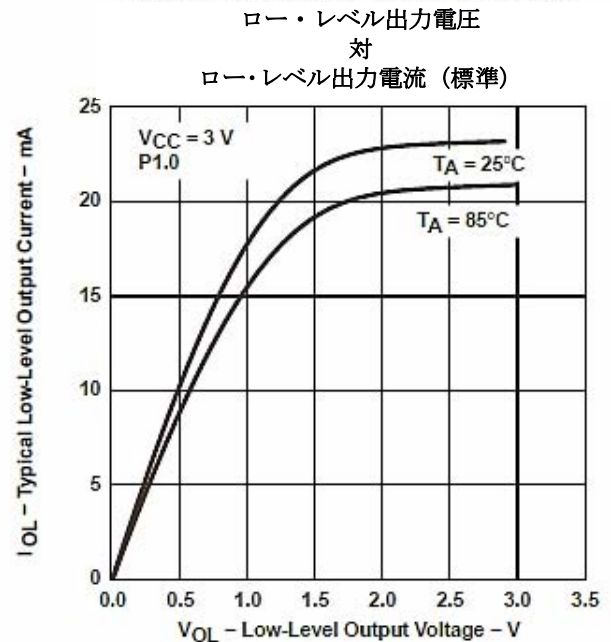


図 3

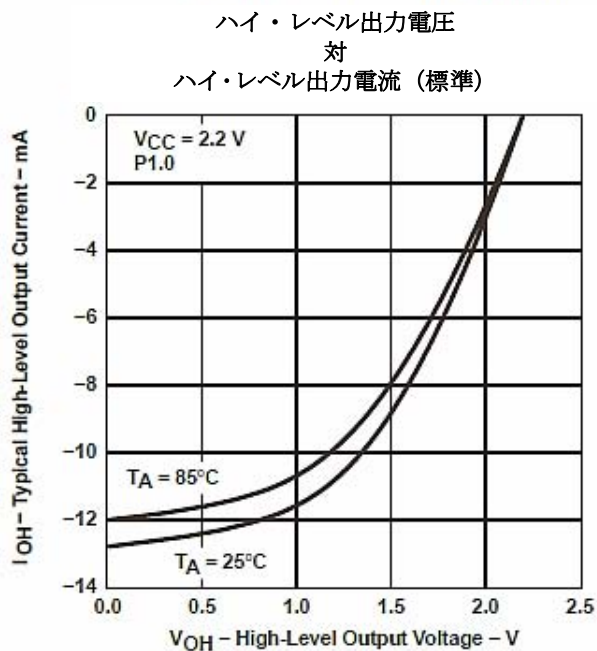


図 4

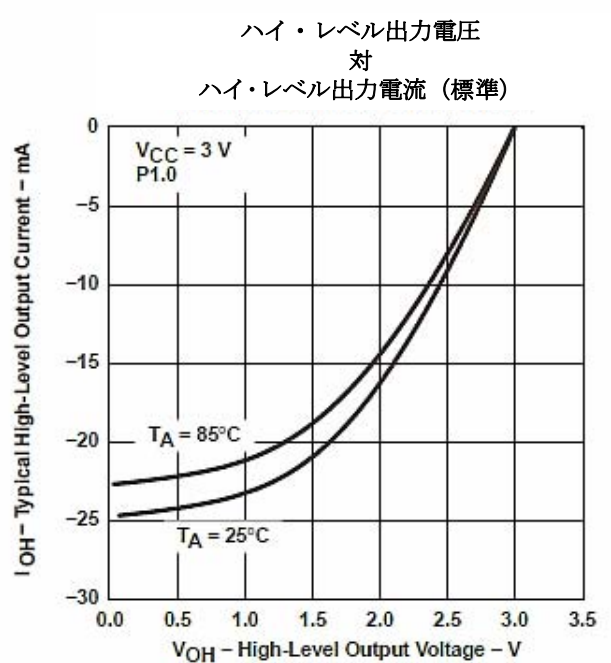


図 5

(注) 同時に 1 出力のみ負荷をかけます。

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

オプション抵抗、ROM コードで個別にプログラム可能 (注 1)

| 項目 | 測定条件 | 最小 | 標準 | 最大 | 単位 |
|----------------------|-----------------------------|------|-----|-----|----|
| R _(opt1) | V _{CC} = 2.2 V/3 V | 2.5 | 5 | 10 | kΩ |
| R _(opt2) | | 3.8 | 7.7 | 15 | kΩ |
| R _(opt3) | | 7.6 | 15 | 31 | kΩ |
| R _(opt4) | | 11.5 | 23 | 46 | kΩ |
| R _(opt5) | | 23 | 45 | 90 | kΩ |
| R _(opt6) | | 46 | 90 | 180 | kΩ |
| R _(opt7) | | 70 | 140 | 280 | kΩ |
| R _(opt8) | | 115 | 230 | 460 | kΩ |
| R _(opt9) | | 160 | 320 | 640 | kΩ |
| R _(opt10) | | 205 | 420 | 830 | kΩ |

(注 1) プルダウン又はプルアップのためのオプション抵抗 R_{optx} は標準のフラッシュ・メモリ・デバイス MSP430F11x1A には適用されません。

ロー・パワー・モードからのウェーク・アップ (LPMx)

| 項目 | 測定条件 | 最小 | 標準 | 最大 | 単位 |
|---------------------|---|-----|----|----|----|
| t _(LPM0) | V _{CC} = 2.2 V/3 V | 100 | | ns | |
| t _(LPM2) | V _{CC} = 2.2 V/3 V | 100 | | | |
| t _(LPM3) | f _(MCLK) = 1 MHz、V _{CC} = 2.2 V/3 V | 6 | | μs | |
| | f _(MCLK) = 2 MHz、V _{CC} = 2.2 V/3 V | 6 | | | |
| | f _(MCLK) = 3 MHz、V _{CC} = 2.2 V/3 V | 6 | | | |
| t _(LPM4) | f _(MCLK) = 1 MHz、V _{CC} = 2.2 V/3 V | 6 | | μs | |
| | f _(MCLK) = 2 MHz、V _{CC} = 2.2 V/3 V | 6 | | | |
| | f _(MCLK) = 3 MHz、V _{CC} = 2.2 V/3 V | 6 | | | |

(注 1) このパラメータは、DCOCLK が MCLK として使用される場合にのみ適用します。

RAM

| 項目 | 最小 | 標準 | 最大 | 単位 |
|---|-----|----|----|----|
| V _(RAMh) CPU 停止 (HALT) 時 (注 1) | 1.6 | | | V |

(注 1) このパラメータは、プログラム・メモリ RAM のデータが保持される時の最小電源電圧を定義します。この電源電圧の条件ではプログラムを実行させないで下さい。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

コンパレータ_A+ (注 1)

| 項 目 | 測定条件 | 最小 | 標準 | 最大 | 単位 | |
|-----------------------------------|---|--------------------------------------|------|------|---------------|---------------|
| $I_{(DD)}$ | CAON = 1、CARSEL = 0、CAREF = 0 | $V_{CC} = 2.2 \text{ V}$ | 25 | 40 | μA | |
| | | $V_{CC} = 3 \text{ V}$ | 45 | 60 | | |
| $I_{(\text{RefLadder/RefDiode})}$ | CAON = 1、CARSEL = 0、 CAREF = 1/2/3、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷 | $V_{CC} = 2.2 \text{ V}$ | 30 | 50 | μA | |
| | | $V_{CC} = 3 \text{ V}$ | 45 | 71 | | |
| $V_{(IC)}$ 同相入力電圧 | CAON = 1 | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | | 0 | $V_{CC} - 1$ | V |
| $V_{(\text{Ref}025)}$ | $\frac{\text{Voltage @ } 0.25 V_{CC} \text{ node}}{V_{CC}}$ PCAO = 1、CARSEL = 1、 CAREF = 1、P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無負荷 | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0.23 | 0.24 | 0.25 | |
| $V_{(\text{Ref}050)}$ | $\frac{\text{Voltage @ } 0.5 V_{CC} \text{ node}}{V_{CC}}$ PCAO = 1、CARSEL = 1、CAREF = 2、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷 | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0.47 | 0.48 | 0.5 | |
| $V_{(\text{Ref}V7)}$ (図 6、7 参照) | PCAO = 1、CARSEL = 1、CAREF = 3、 P2.3/CA0/TA1 及び P2.4/CA1/TA2 は無 負荷、 $T_A = 85^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 390 | 480 | 540 | mV |
| | | $V_{CC} = 3 \text{ V}$ | 400 | 490 | 550 | |
| $V_{(\text{offset})}$ オフセット電圧 | (注 2) | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | -30 | | 30 | mV |
| V_{hys} 入力ヒステリシス | CAON = 1 | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0 | 0.7 | 1.4 | mV |
| $t_{(\text{response LH})}$ | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0 | $V_{CC} = 2.2 \text{ V}$ | 160 | 210 | 300 | ns |
| | | $V_{CC} = 3 \text{ V}$ | 90 | 150 | 240 | |
| | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1 | $V_{CC} = 2.2 \text{ V}$ | 1.4 | 1.9 | 3.4 | μs |
| | | $V_{CC} = 3 \text{ V}$ | 0.9 | 1.5 | 2.6 | |
| $t_{(\text{response HL})}$ | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタなし: CAF = 0 | $V_{CC} = 2.2 \text{ V}$ | 130 | 210 | 300 | ns |
| | | $V_{CC} = 3 \text{ V}$ | 80 | 150 | 240 | |
| | $T_A = 25^\circ\text{C}$ 、オーバードライブ 10 mV、 フィルタ付き: CAF = 1 | $V_{CC} = 2.2 \text{ V}$ | 1.4 | 1.9 | 3.4 | μs |
| | | $V_{CC} = 3 \text{ V}$ | 0.9 | 1.5 | 2.6 | |

(注 1) コンパレータ_A 端子のリーク電流は、 $I_{\text{lk}(P_{x,x})}$ 規格と同じです。

(注 2) 入力オフセット電圧は、連続して測定する毎に CAEX ビットを使ってコンパレータ_A 入力を反転させることにより、キャンセルすることができます。2 つの連続した測定値を加算します。

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

代表特性

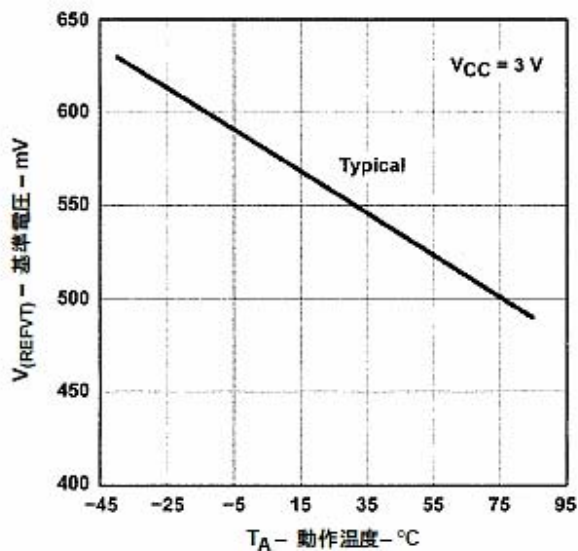


図 6. 温度対 $V_{(REFVT)}$ 、 $V_{CC} = 3V$

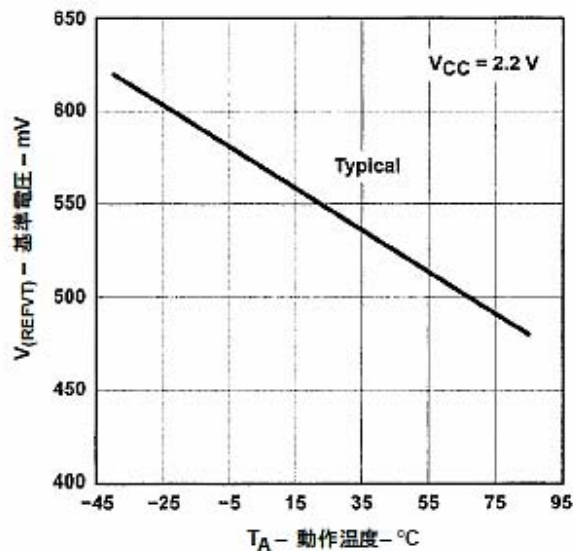


図 7. 温度対 $V_{(REFVT)}$ 、 $V_{CC} = 2.2V$

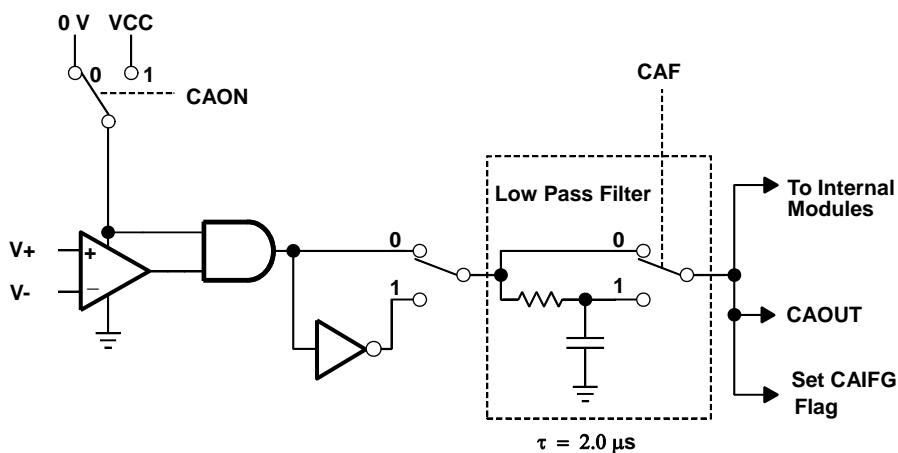


図 8. コンパレータ_A モジュール ブロック図

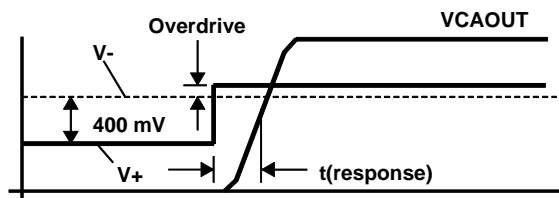


図 9. オーバードライブの定義

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

PUC/POR

| 項目 | 測定条件 | 最小 | 標準 | 最大 | 単位 | |
|--------------------|--|-----------------------------|-----|-----|---------|---|
| $t_{(POR_Delay)}$ | POR を解除する内部遅延時間 | | 150 | 250 | μs | |
| V_{POR} | POR 解除遅延時間が始まる V_{CC} スレッシュシヨルド (注 1) | $T_A = -40^\circ C$ | | 1.4 | 1.8 | V |
| | | $T_A = 25^\circ C$ | | 1.1 | 1.5 | |
| | | $T_A = 85^\circ C$ | | 0.8 | 1.2 | |
| $V_{(min)}$ | POR を生成する V_{CC} スレッシュシヨルド (注 2) | $V_{CC} dV/dt \geq 1V/ms$ | | 0.2 | V | |
| $t_{(reset)}$ | PUC/POR のための \overline{RST}/NMI ロー・レベル | リセットは内部で受け付けられます。 | | 2 | μs | |

(注 1) V_{CC} 立ち上がり時間 $dV/dt \geq 1 V/ms$

(注 2) POR 条件を発生させるため V_{CC} をロー・レベルにする場合は、 V_{CC} は $dV/dt \leq -1 V/ms$ で 200 mV 以下にしなければなりません。一方、立ち上がり V_{CC} は $dV/dt \geq +1 V/ms$ にしなければなりません。

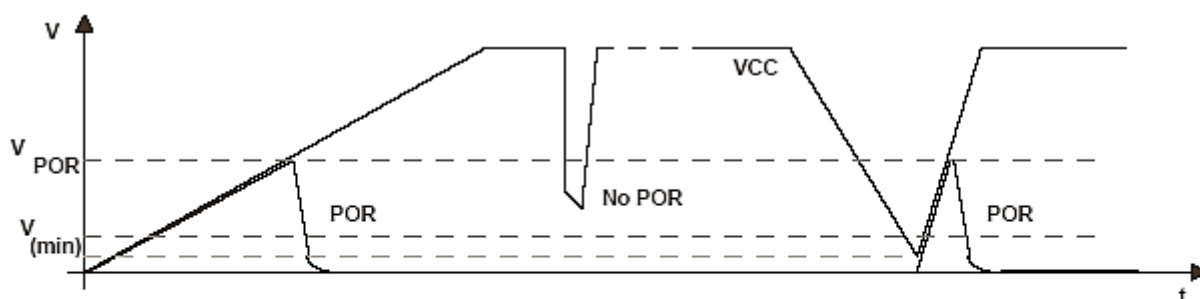


図 10. 電源電圧対パワー・オン・リセット (POR)

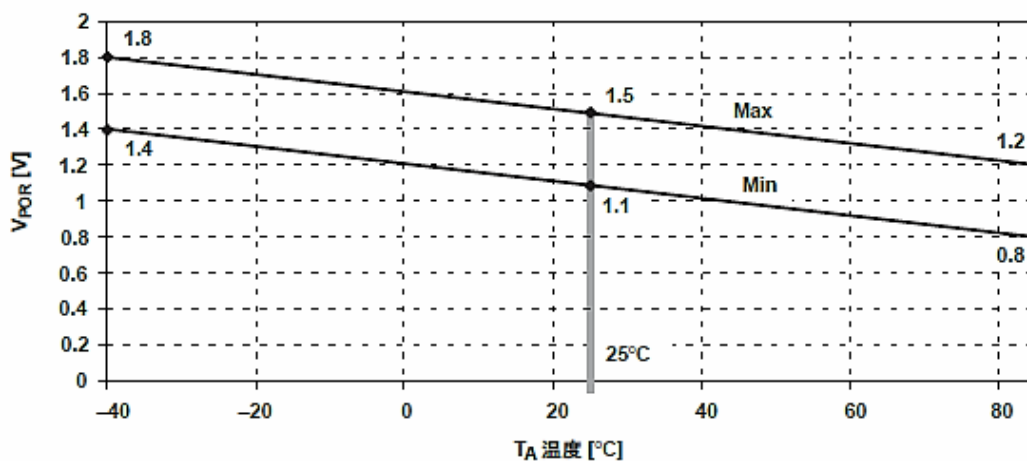


図 11. 温度対 V_{POR}

推奨電源電圧及び動作温度範囲における電気的特性（特記無き場合）（続き）

DCO

| 項目 | 測定条件 | | 最小 | 標準 | 最大 | 単位 |
|---------------|---|--------------------------------------|------------------------|------------------------|------------------------|------|
| $f_{(DC003)}$ | $R_{sel} = 0, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 0.08 | 0.12 | 0.15 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 0.08 | 0.13 | 0.16 | |
| $f_{(DC013)}$ | $R_{sel} = 1, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 0.14 | 0.19 | 0.23 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 0.14 | 0.18 | 0.22 | |
| $f_{(DC023)}$ | $R_{sel} = 2, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 0.22 | 0.3 | 0.36 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 0.22 | 0.28 | 0.34 | |
| $f_{(DC033)}$ | $R_{sel} = 3, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 0.37 | 0.49 | 0.59 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 0.37 | 0.47 | 0.56 | |
| $f_{(DC043)}$ | $R_{sel} = 4, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 0.61 | 0.77 | 0.93 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 0.61 | 0.75 | 0.9 | |
| $f_{(DC053)}$ | $R_{sel} = 5, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 1 | 1.2 | 1.5 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 1 | 1.3 | 1.5 | |
| $f_{(DC063)}$ | $R_{sel} = 6, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 1.6 | 1.9 | 2.2 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 1.69 | 2 | 2.29 | |
| $f_{(DC073)}$ | $R_{sel} = 7, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 2.4 | 2.9 | 3.4 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 2.7 | 3.2 | 3.65 | |
| $f_{(DC077)}$ | $R_{sel} = 7, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}$ | 4 | 4.5 | 4.9 | MHz |
| | | $V_{CC} = 3 \text{ V}$ | 4.4 | 4.9 | 5.4 | |
| $f_{(DC047)}$ | $R_{sel} = 4, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ\text{C}$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | $f_{DC040} \times 1.7$ | $f_{DC040} \times 2.1$ | $f_{DC040} \times 2.5$ | MHz |
| $S_{(Rsel)}$ | $S_R = f_{Rsel+1} / f_{Rsel}$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 1.35 | 1.65 | 2 | |
| $S_{(DC0)}$ | $S_{DC0} = f_{DC0+1} / f_{DC0}$ | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 1.07 | 1.12 | 1.16 | |
| D_t | 温度ドリフト、 $R_{sel} = 4, DCO = 3, MOD = 0$ (注 1) | $V_{CC} = 2.2 \text{ V}$ | -0.31 | -0.36 | -0.4 | %/°C |
| | | $V_{CC} = 3 \text{ V}$ | -0.33 | -0.38 | -0.43 | |
| D_V | V_{CC} 変動によるドリフト、 $R_{sel} = 4, DCO = 3, MOD = 0$ (注 1) | $V_{CC} = 2.2 \text{ V}/3 \text{ V}$ | 0 | 5 | 10 | %/V |

(注 1) これらのパラメータは、量産テストは実施していません。

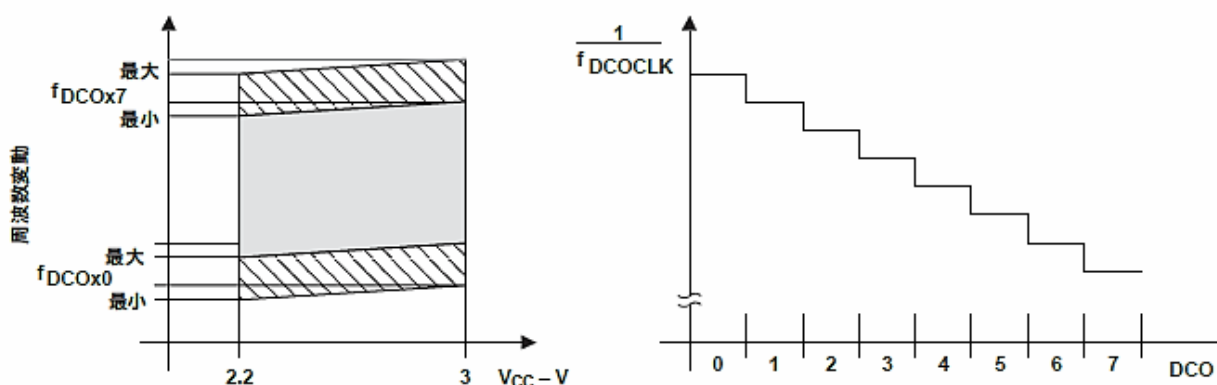


図 12. DCO 特性

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

主要 DCO 特性

- 個々のデバイスには、最小及び最大動作周波数があります。 $f_{(DC0x0)} \sim f_{(DC0x7)}$ の指定されたパラメータは、すべてのデバイスに適用されます。
- Rsel(n) によって選択されるすべての範囲は、Rsel(n+1) と重なります: Rsel0 は Rsel1 と重なります、... Rsel16 は Rsel17 と重なります。
- DCO コントロール・ビット DC00、DC01、及び DC02 は、パラメータ S_{DC0} によって定義されるステップ・サイズを持ちます。
- 変調制御ビット MOD0 ~ MOD4 は、32 DCOCLK サイクルの期間で $f_{(DC0+1)}$ が使用される頻度を選択します。周波数 $f_{(DC0+1)}$ は、残りのサイクルのために使用されます。この平均周波数は:

$$f_{average} = \frac{32 \times f_{(DC0)} \times f_{(DC0+1)}}{MOD \times f_{(DC0)} + (32 - MOD) \times f_{(DC0+1)}}$$

R_{OSC} 使用時の DCO (注 1)

| 項目 | 測定条件 | V _{CC} | 最小 | 標準 | 最大 | 単位 |
|---|---|-----------------|------------|----|----|------|
| f _{DC0} 、DCO 出力周波数 | R _{sel} = 4、DC0 = 3、MOD = 0、DCOR = 1、 T _A = 25°C | 2.2 V | 1.8 ± 15% | | | MHz |
| | | 3 V | 1.95 ± 15% | | | |
| D _t 、温度ドリフト | R _{sel} = 4、DC0 = 3、MOD = 0、DCOR = 1 | 2.2 V / 3 V | ±0.1 | | | %/°C |
| D _v 、V _{CC} 変動によるドリフト | R _{sel} = 4、DC0 = 3、MOD = 0、DCOR = 1 | 2.2 V / 3 V | 10 | | | %/V |

(注 1) R_{OSC} = 100 kΩ、金属皮膜抵抗、タイプ 0257、0.6 W、1% 誤差、T_k = ±50 ppm/°C

クリスタル・オシレータ、LFXT1

| 項目 | 測定条件 | 最小 | 標準 | 最大 | 単位 |
|------------------------|---|-----------------------|-----------------------|----|----|
| C _{XIN} 入力容量 | XTS = 0; LF モード選択時、 V _{CC} = 2.2 V / 3 V | 12 | | | pF |
| | XTS = 1; XT1 モード選択時、 V _{CC} = 2.2 V / 3 V (注 1) | 2 | | | |
| C _{XOUT} 出力容量 | XTS = 0; LF モード選択時、 V _{CC} = 2.2 V / 3 V | 12 | | | pF |
| | XTS = 1; XT1 モード選択時、 V _{CC} = 2.2 V / 3 V (注 1) | 2 | | | |
| V _{IL} | XIN 入力レベル V _{CC} = 2.2 V / 3 V (注 2) | V _{SS} | 0.2 x V _{CC} | | V |
| V _{IH} | | 0.8 x V _{CC} | V _{CC} | | |

(注 1) オシレータの両方の端子に外部コンデンサが必要で、その値はクリスタルのメーカーにより規定されています。

(注 2) 外部ロジック・レベル・クロック・ソースを使用する場合のみに適用されます。クリスタル又はレゾネータを使用する場合は適用されません。

MSP430C11x1、MSP430F11x1A
ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005年5月

推奨電源電圧及び動作温度範囲における電気的特性 (特記無き場合) (続き)

フラッシュ・メモリ

| 項 目 | | 測定条件 | V _{CC} | 最小 | 標準 | 最大 | 単位 | |
|----------------------------|-------------------------------|-----------------------|-----------------|-----------------|-----------------|-----|------------------|------|
| V _{CC(PGM/ERASE)} | プログラム及び消去時電源電圧 | | | 2.7 | | 3.6 | V | |
| f _{FTG} | フラッシュ・タイミング発生器周波数 | | | 257 | | 476 | kHz | |
| I _{PGM} | プログラム時消費電流 (V _{CC}) | | 2.7 V/3.6 V | | 3 | 5 | mA | |
| I _{ERASE} | 消去時消費電流 (V _{CC}) | | 2.7 V/3.6 V | | 3 | 7 | mA | |
| t _{CPT} | 累積プログラム時間 | (注 1) | 2.7 V/3.6 V | | | 4 | ms | |
| t _{CMERASE} | 累積一括消去時間 | (注 2) | 2.7 V/3.6 V | 200 | | | ms | |
| | プログラム/消去回数 | | | 10 ⁴ | 10 ⁵ | | cycles | |
| t _{Retention} | データ保持期間 | T _J = 25°C | | 100 | | | years | |
| t _{Word} | ワード又はバイト・プログラム時間 | (注 2) | | | | | t _{FTG} | |
| t _{Block, 0} | 先頭バイト又はワードのブロック・プログラム時間 | | | | | | | 35 |
| t _{Block, 1-63} | 各後続バイト又はワードのブロック・プログラム時間 | | | | | | | 21 |
| t _{Block, End} | ブロック・プログラム終了シーケンスのウェイト時間 | | | | | | | 6 |
| t _{Mass Erase} | 一括消去時間 | | | | | | | 5297 |
| t _{Seg Erase} | セグメント消去時間 | | | | | | | 4819 |

(注 1) 64 バイトのフラッシュ・ブロック書き込み動作時は、累積プログラム時間を越えてはいけません。このパラメータは、個々のワード/バイト書き込み及びブロック書き込みモードのすべてのプログラミング方法に適用されます。

(注 2) フラッシュ・タイミング発生器によって生成される一括消去時間は、最小 11.1 ms (= 5297 x 1/f_{FTG}, max = 5297 x 1/476 kHz) です。必要な累積一括消去時間を達成するために、フラッシュ・コントローラの一括消去動作を繰り返すことができます。(ワースト・ケースで最小 19 サイクル必要です。)

(注 3) これらの値は、フラッシュ・コントローラのステート・マシンにハード・ワイヤードされています。(t_{FTG} = 1/f_{FTG})

JTAG インタフェース

| 項 目 | | 測定条件 | V _{CC} | 最小 | 標準 | 最大 | 単位 |
|-----------------------|------------------|-------|-----------------|----|----|----|-----|
| f _{TCK} | TCK 入力周波数 | (注 1) | 2.2 V | 0 | | 5 | MHz |
| | | | 3 V | 0 | | 10 | |
| R _{Internal} | 内部プルダウン抵抗 (TEST) | (注 2) | 2.2 V/3 V | 25 | 60 | 90 | kΩ |

(注 1) f_{TCK} は、選択されたモジュールのタイミング条件に適合するように制限されます。

(注 2) TEST プルダウン抵抗は、すべてのバージョンに内蔵されています。

JTAG ヒューズ (注 1)

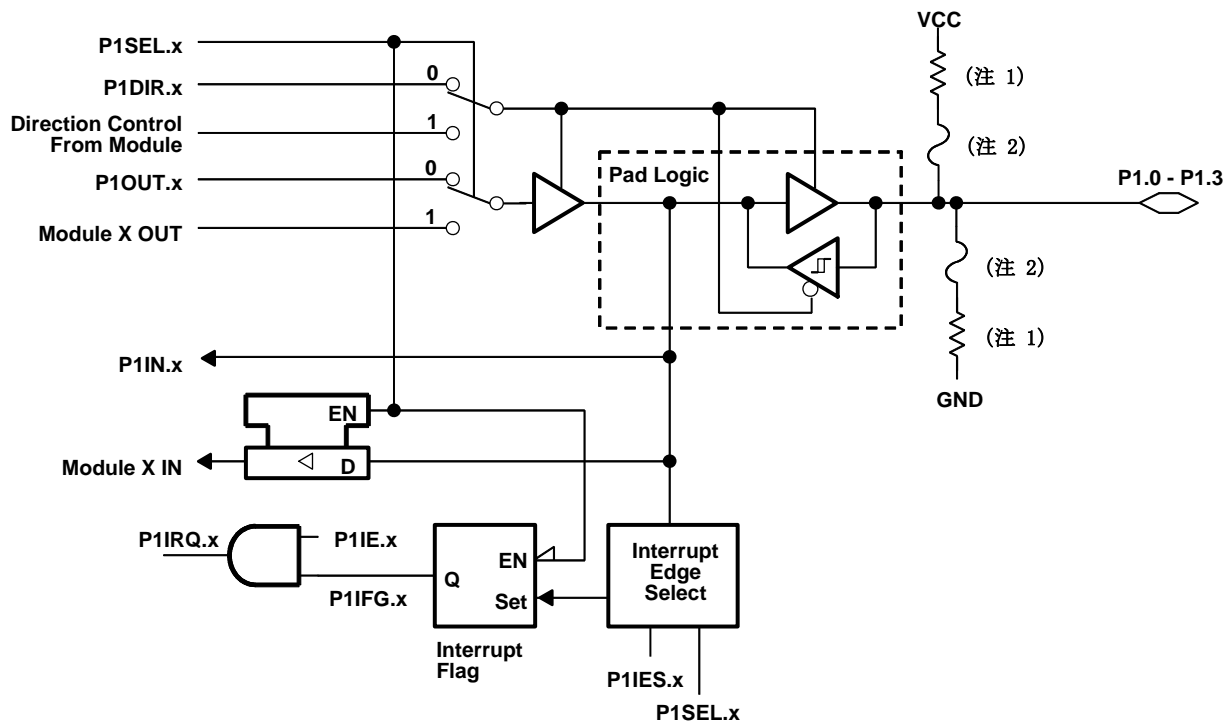
| 項 目 | | 測定条件 | V _{CC} | 最小 | 標準 | 最大 | 単位 |
|---------------------|---------------------------|-----------------------|-----------------|-----|----|-----|----|
| V _{CC(FB)} | ヒューズ切断時の電源電圧 | T _A = 25°C | | 2.5 | | | V |
| V _{FB} | ヒューズ切断電圧 (TEST) - `C11x1 | | | 3.5 | | 3.9 | V |
| | ヒューズ切断電圧 (TEST) - `F11x1A | | | 6 | | 7 | V |
| I _{FB} | ヒューズ切断時の消費電流 (TEST) | | | | | 100 | mA |
| t _{FB} | ヒューズ切断時間 | | | | | 1 | ms |

(注 1) ヒューズが切断されると、二度と MSP430 の JTAG/テストおよびエミュレーション機能へアクセスすることができなくなります。JTAG ブロックは、バイパス・モードに切り換わります。

アプリケーション情報

入力/出力図

ポート P1、P1.0 ~ P1.3、シュミット・トリガ入力/出力



(注) x = ビット識別記号、ポート P1 は 0 ~ 3

| PnSel.x | PnDIR.x | Direction control from module | PnOUT.x | Module X OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------|---------|-----------------|--------|-------------|--------|---------|---------|
| P1Sel.0 | P1DIR.0 | P1DIR.0 | P1OUT.0 | V _{SS} | P1IN.0 | TACLK † | P1IE.0 | P1IFG.0 | P1IES.0 |
| P1Sel.1 | P1DIR.1 | P1DIR.1 | P1OUT.1 | Out0 signal † | P1IN.1 | CCI0A † | P1IE.1 | P1IFG.1 | P1IES.1 |
| P1Sel.2 | P1DIR.2 | P1DIR.2 | P1OUT.2 | Out1 signal † | P1IN.2 | CCI1A † | P1IE.2 | P1IFG.2 | P1IES.2 |
| P1Sel.3 | P1DIR.3 | P1DIR.3 | P1OUT.3 | Out2 signal † | P1IN.3 | CCI2A † | P1IE.3 | P1IFG.3 | P1IES.3 |

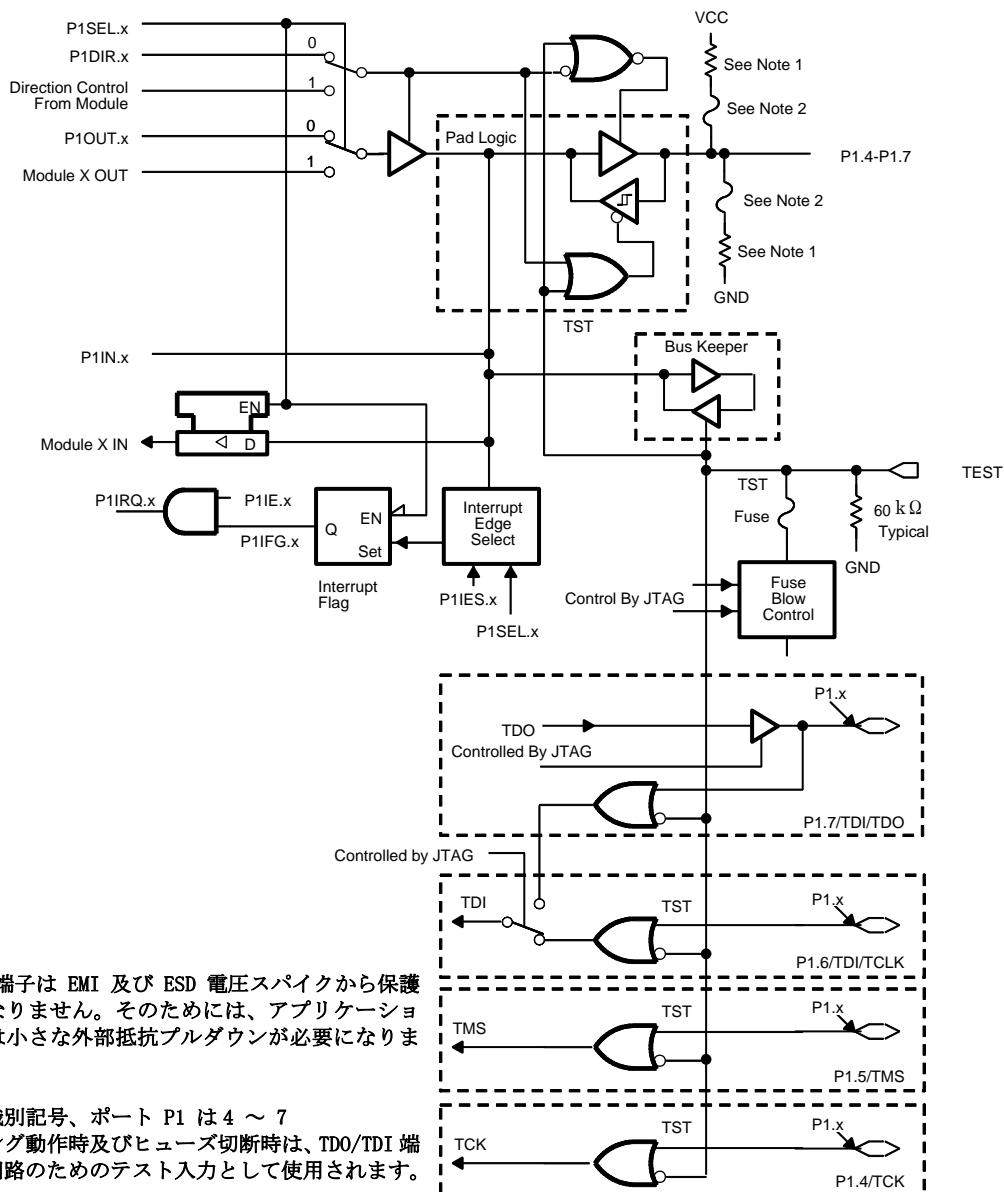
† タイマ_A からの (又はへの) 信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。(ROM バージョンのみ)

アプリケーション情報

ポート P1、P1.4 ~ P1.7、シュミット・トリガ及びイン・システム・アクセス機能入力/出力



(注) TEST 端子は EMI 及び ESD 電圧スパイクから保護しなければなりません。そのためには、アプリケーションによっては小さな外部抵抗プルダウンが必要になります。

x = ビット識別記号、ポート P1 は 4 ~ 7
 プログラミング動作時及びヒューズ切断時は、TDO/TDI 端子は JTAG 回路のためのテスト入力として使用されます。

| PnSel.x | PnDIR.x | Direction control from module | PnOUT.x | Module X OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------|---------|---------------|--------|-------------|--------|---------|---------|
| P1Sel.4 | P1DIR.4 | P1DIR.4 | P1OUT.4 | SMCLK | P1IN.4 | unused | P1IE.4 | P1IFG.4 | P1IES.4 |
| P1Sel.5 | P1DIR.5 | P1DIR.5 | P1OUT.5 | Out0 signal † | P1IN.5 | unused | P1IE.5 | P1IFG.5 | P1IES.5 |
| P1Sel.6 | P1DIR.6 | P1DIR.6 | P1OUT.6 | Out1 signal † | P1IN.6 | unused | P1IE.6 | P1IFG.6 | P1IES.6 |
| P1Sel.7 | P1DIR.7 | P1DIR.7 | P1OUT.7 | Out2 signal † | P1IN.7 | unused | P1IE.7 | P1IFG.7 | P1IES.7 |

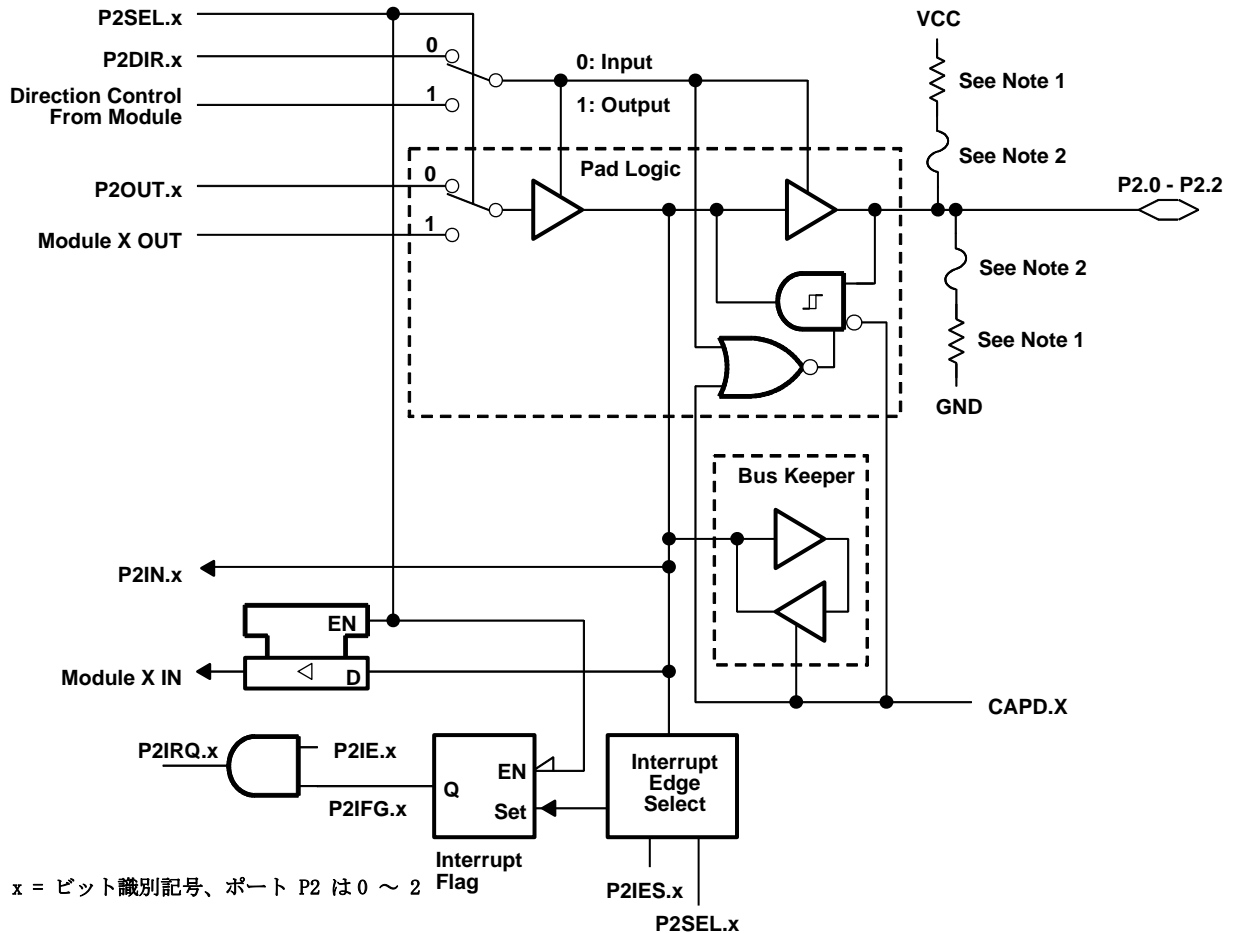
† タイマ_A からの (又はへの) 信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。(ROM バージョンのみ)

アプリケーション情報

ポート P2、P2.0 ~ P2.2、シュミット・トリガ入力/出力



| PnSel.x | PnDIR.x | Direction control from module | PnOUT.x | Module X OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------|---------|-----------------|--------|-------------|--------|---------|---------|
| P2Sel.0 | P2DIR.0 | P2DIR.0 | P2OUT.0 | ACLK | P2IN.0 | unused | P2IE.0 | P2IFG.0 | P1IES.0 |
| P2Sel.1 | P2DIR.1 | P2DIR.1 | P2OUT.1 | V _{SS} | P2IN.1 | INCLK † | P2IE.1 | P2IFG.1 | P1IES.1 |
| P2Sel.2 | P2DIR.2 | P2DIR.2 | P2OUT.2 | CAOUT | P2IN.2 | CCI0B † | P2IE.2 | P2IFG.2 | P1IES.2 |

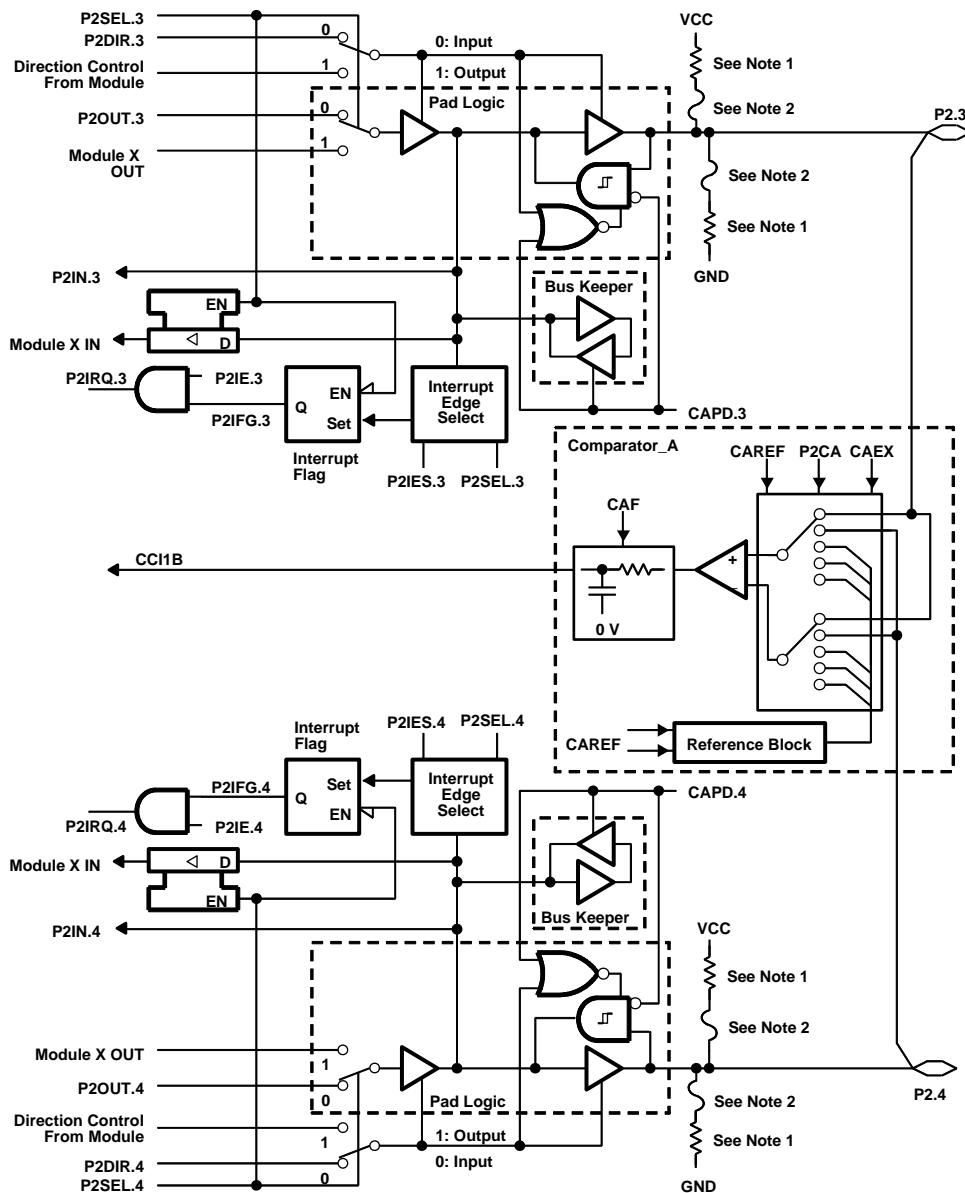
† タイマ_A からの (又はへの) 信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。(ROM バージョンのみ)

アプリケーション情報

ポート P2、P2.3 ~ P2.4、シュミット・トリガ入力/出力



| PnSel.x | PnDIR.x | Direction control from module | PnOUT.x | Module X OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------|---------|---------------|--------|-------------|--------|---------|---------|
| P2Sel.3 | P2DIR.3 | P2DIR.3 | P2OUT.3 | Out1 signal † | P2IN.3 | unused | P2IE.3 | P2IFG.3 | P1IES.3 |
| P2Sel.4 | P2DIR.4 | P2DIR.4 | P2OUT.4 | Out2 signal † | P2IN.4 | unused | P2IE.4 | P2IFG.4 | P1IES.4 |

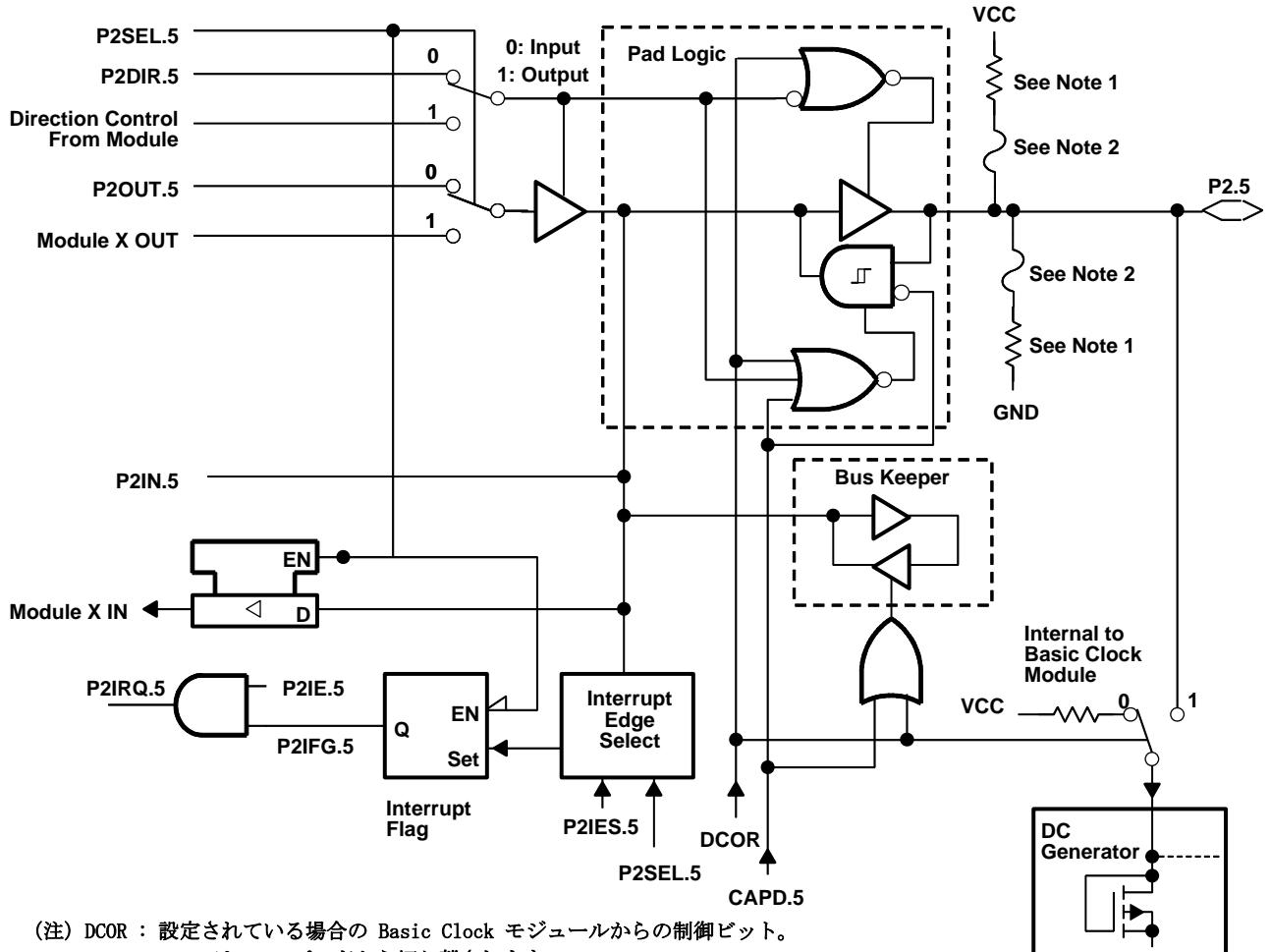
† タイマ_A からの (又はへの) 信号

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。(ROM バージョンのみ)

アプリケーション情報

ポート P2、P2.5、シュミット・トリガ入力/出力及び Basic Clock モジュール用 R_{osc} 機能



(注) DCOR : 設定されている場合の Basic Clock モジュールからの制御ビット。
 P2.5 は P2.5 パッドから切り離されます。

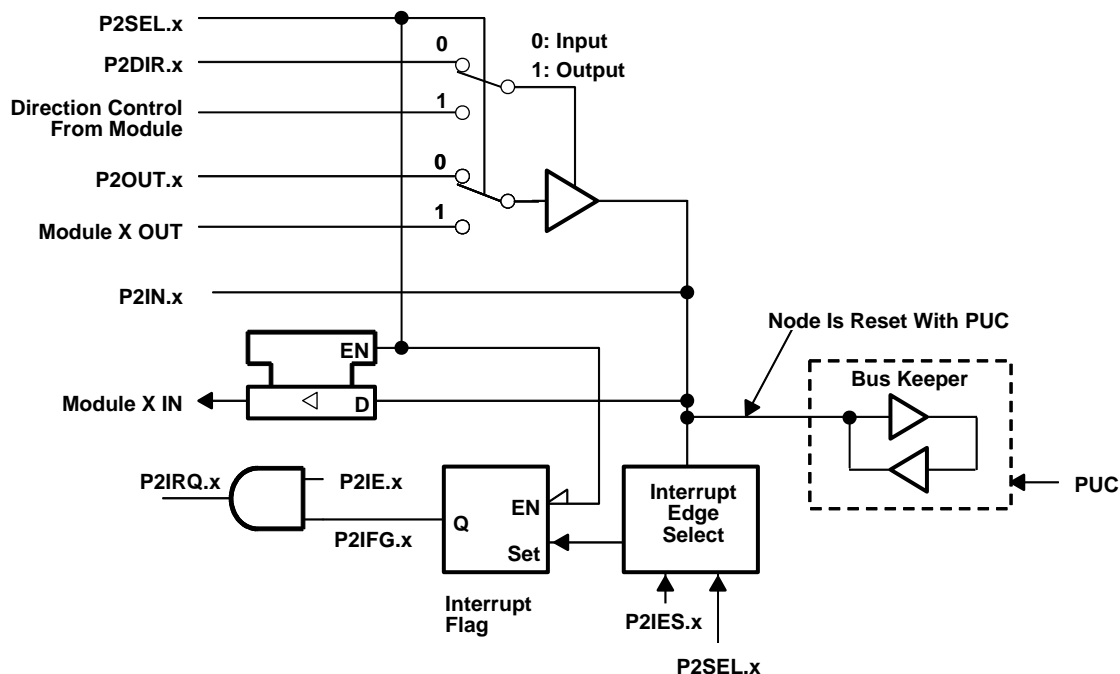
| PnSel.x | PnDIR.x | Direction control from module | PnOUT.x | Module X OUT | PnIN.x | Module X IN | PnIE.x | PnIFG.x | PnIES.x |
|---------|---------|-------------------------------|---------|-----------------|--------|-------------|--------|---------|---------|
| P2Sel.5 | P2DIR.5 | P2DIR.5 | P2OUT.5 | V _{SS} | P2IN.5 | unused | P2IE.5 | P2IFG.5 | P2IES.5 |

(注 1) ROM (マスク) バージョンのプルアップ又はプルダウン抵抗のオプション選択

(注 2) オプションのプルアップ及びプルダウン抵抗のヒューズは、工場でのみプログラム可能です。(ROM バージョンのみ)

アプリケーション情報

ポート P2、ボンドされていないビット P2.6 及び P2.7



(注) x = ビット識別記号、ポート P2 は 6 ~ 7 で、外部端子はありません。

| P2Sel.x | P2DIR.x | Direction control from module | P2OUT.x | Module X OUT | P2IN.x | Module X IN | P2IE.x | P2IFG.x | P2IES.x |
|---------|---------|-------------------------------|---------|-----------------|--------|-------------|--------|---------|---------|
| P2Sel.6 | P2DIR.6 | P2DIR.6 | P2OUT.6 | V _{SS} | P2IN.6 | unused | P2IE.6 | P2IFG.6 | P2IES.6 |
| P2Sel.7 | P2DIR.7 | P2DIR.7 | P2OUT.7 | V _{SS} | P2IN.7 | unused | P2IE.7 | P2IFG.7 | P2IES.7 |

(注 1) ポート P2 のボンドされていないビット 6 及び 7 は、ソフトウェア割り込みフラグとして使用することができます。割り込みフラグはソフトウェアのみによって制御され、ソフトウェア割り込みとして動作します。

JTAG ヒューズ・チェック・モード

MSP430 デバイスは、TEST 端子にヒューズを持っており、パワー・オン・リセット (POR) 直後の一回目に JTAG にアクセスしてヒューズの導通をテストするヒューズ・チェック・モードを装備しています。機能させている場合、ヒューズが切られていなければ、3 V で 1 mA、5 V で 2.5 mA の I_{TF} チェック電流が TEST 端子からグラウンドに流れます。誤ってヒューズ・チェック・モードを起動させたり、システムの総消費電流を増加させたりしないよう注意して下さい。

テスト又はプログラミング・セッションの後、TEST 端子が再びロー・レベルになると、ヒューズ・チェック・モード及び検出電流が終了します。

パワー・アップの後の TMS の最初の立ち下がりエッジを伴って、又は TMS がロー・レベルに保持された状態でのパワー・アップ後、ヒューズ・チェック・モード機能が起動します。次の TMS の立ち上がりエッジでヒューズ・チェック・モードを停止します。停止後、ヒューズ・チェック・モードは、次の POR が発生するまで休止します。各 POR 後に、ヒューズ・チェック・モードが動作することになります。

ヒューズ・チェック電流は、ヒューズ・チェック・モードが動作していて、TMS がロー・レベル (図 13 参照) の時に発生します。従って、TMS をハイ・レベル (初期設定条件) にすることにより、電流の流出を防止することができます。

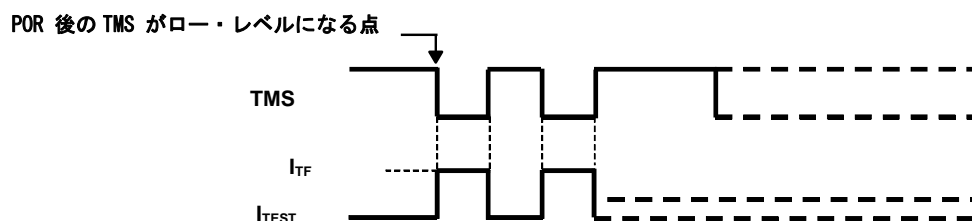


図 13. ヒューズ・チェック・モード電流、MSP430F11x1A 及び MSP430C11x1

(注)

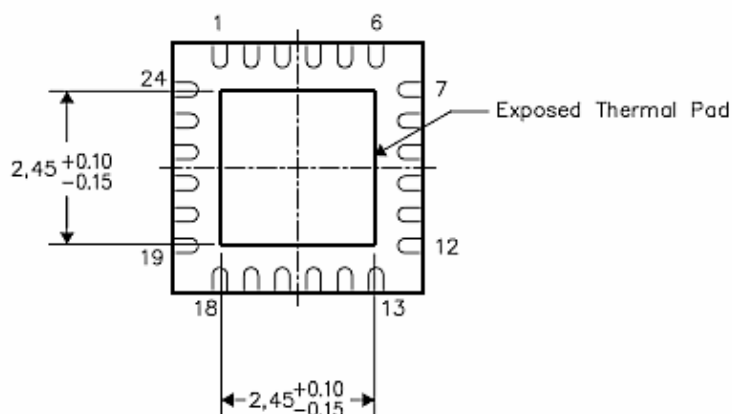
JTAG ヒューズが切断され、256 ビットのブートローダ・アクセス・キーが使用された場合、コード及び RAM データ保護が保証されます。詳細は、ブートストラップ・ローダのセクションを参照して下さい。

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB), the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to a ground plane or special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

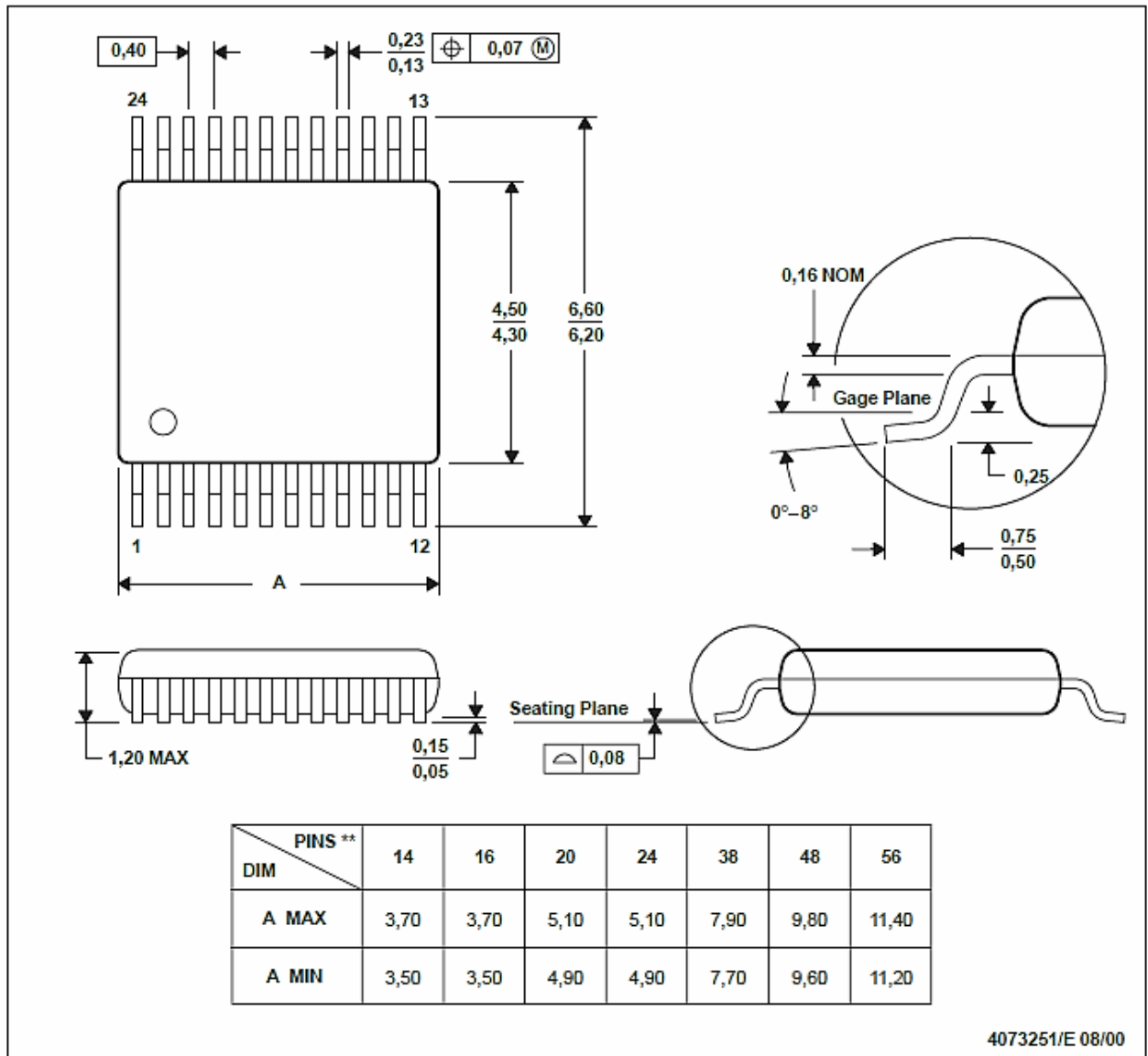
NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN

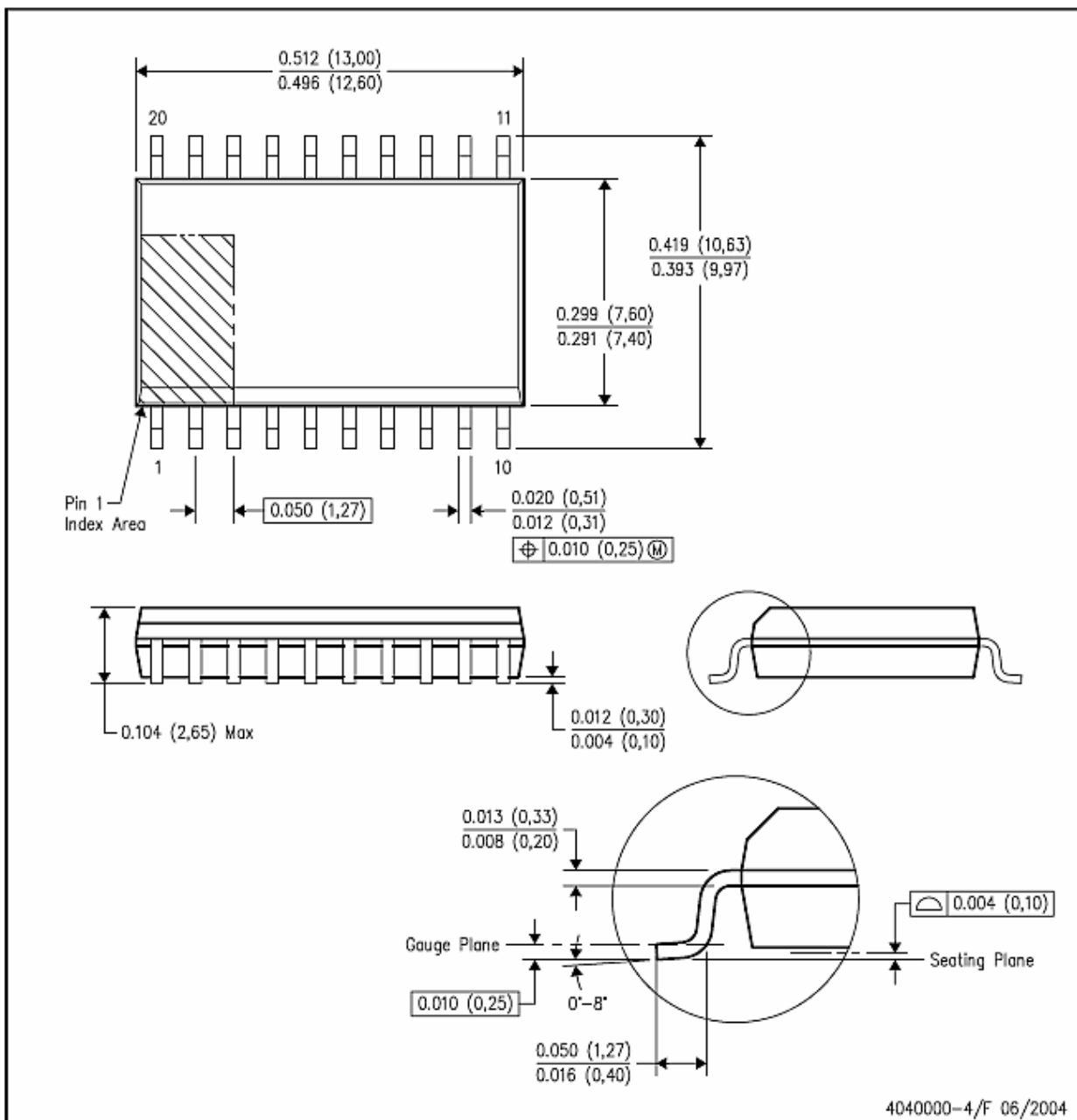


4073251/E 08/00

- (注 A) すべての寸法の単位はインチ (mm) とします。
 (注 B) この図面は予告なく変更されることがあります。
 (注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。
 (注 D) JEDEC MO-194 に相当します。

DW (R-PDSO-G20)

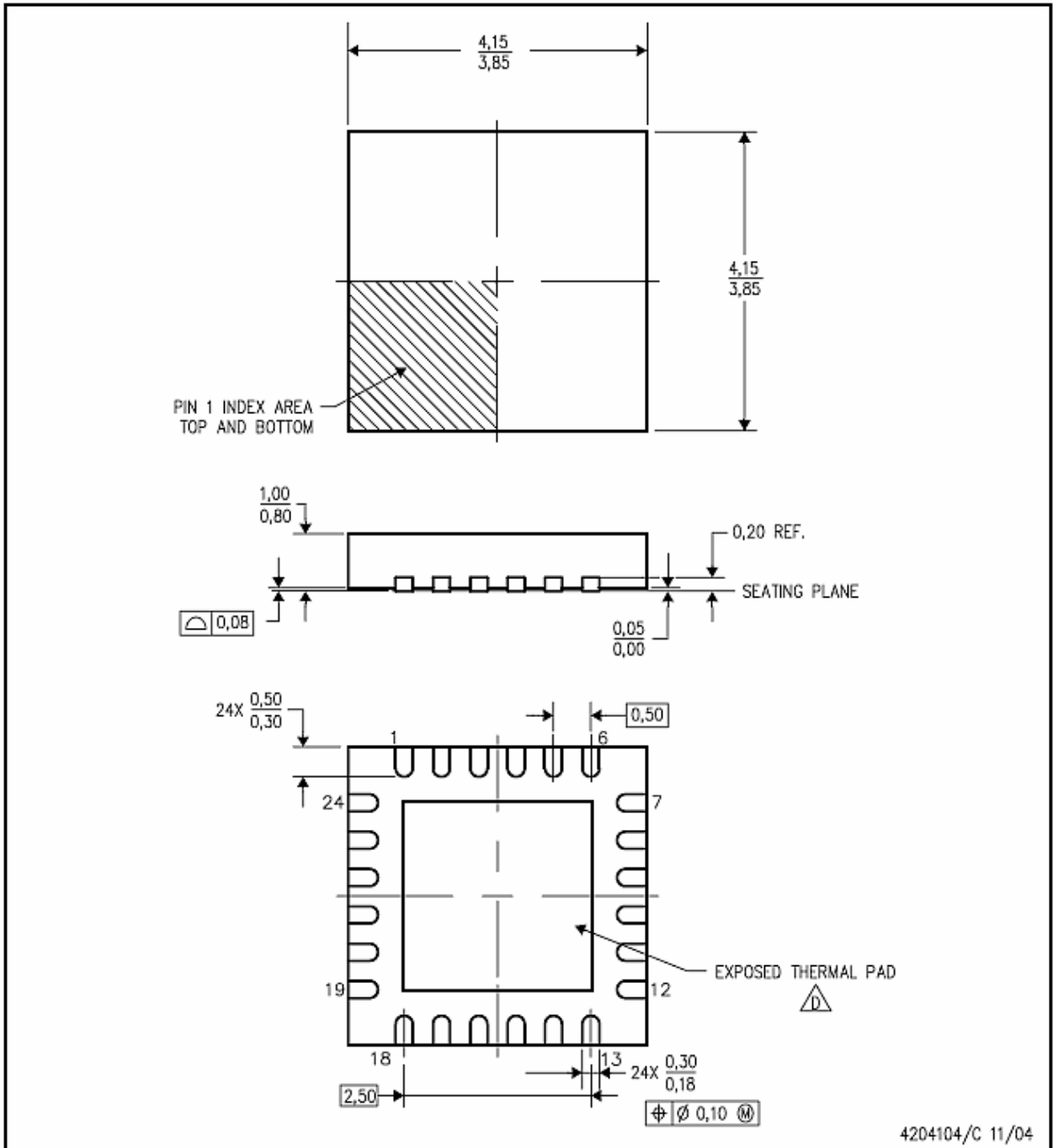
PLASTIC SMALL-OUTLINE PACKAGE



- (注 A) すべての寸法の単位は inch (mm) とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) ボディ寸法は 0.006 (0,15) 以下のモールド・フラッシュ又は突起を含みません。
- (注 D) JEDEC MS-013 variation AC に相当します。

RGE (S-PQFP-N24)

PLASTIC QUAD FLATPACK



- (注 A) すべての寸法の単位は mm とします。寸法及び許容差は、ASME Y14. 5M-1994 に従っています。
 (注 B) この図面は予告なく変更されることがあります。
 (注 C) Quad Flatpack No-leads (QFN) パッケージ
 (注 D) 熱的及び機械的性能のため、パッケージの放熱パッドはプリント基板にはんだ付けしなければなりません。
 露出した放熱パッドの寸法の詳細は、製品のデータシートを参照して下さい。
 (注 E) JEDEC MO-220 に相当します。

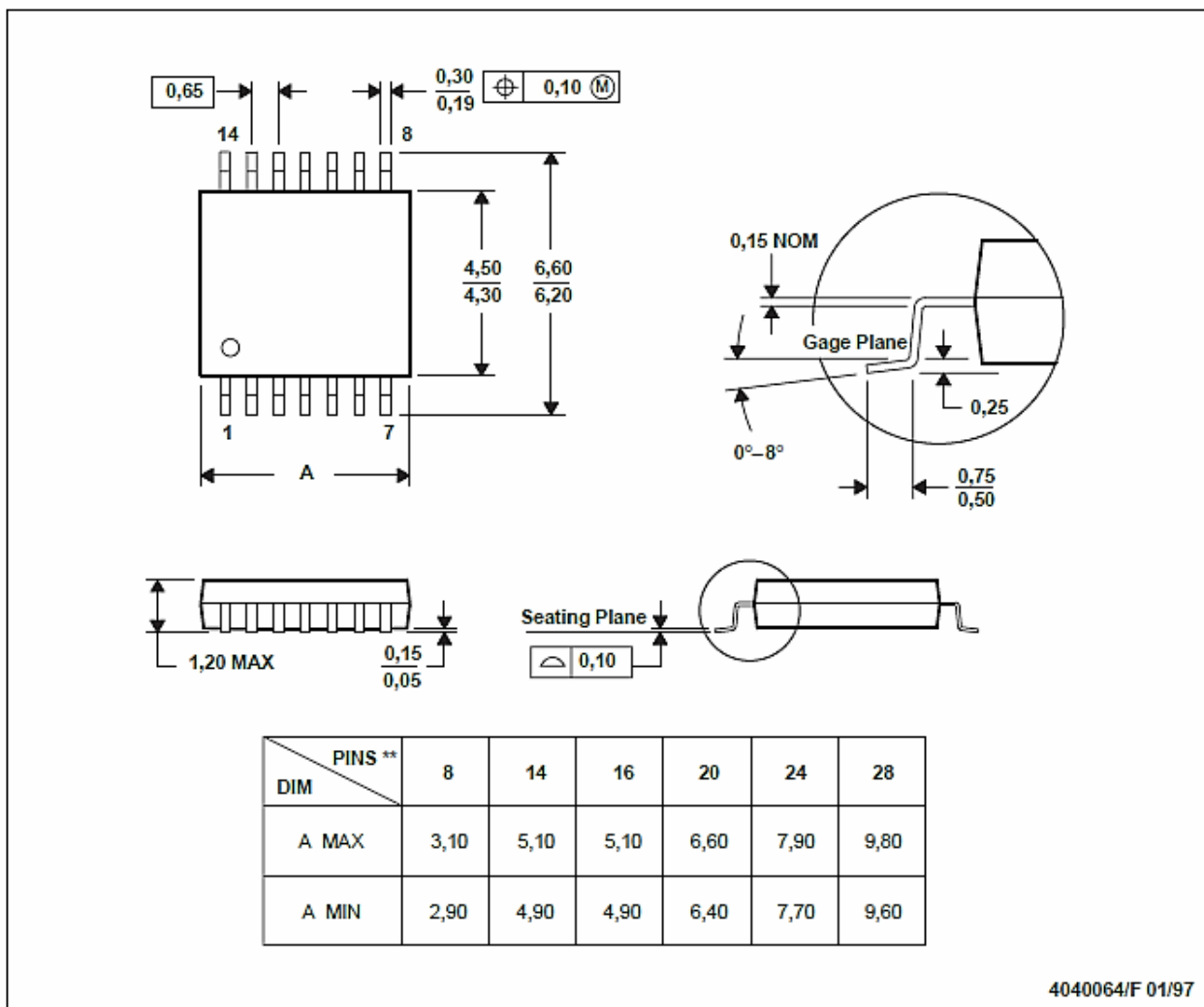
MSP430C11x1, MSP430F11x1A
 ミックスド・シグナル・マイクロコントローラ

SLAS469 - 2005 年 5 月

PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN



- (注 A) すべての寸法の単位は mm とします。
- (注 B) この図面は予告なく変更されることがあります。
- (注 C) ボディ寸法は 0,15 以下のモールド・フラッシュ又は突起を含みません。
- (注 D) JEDEC MO-153 に相当します。

(SLAS241H - SEPTEMBER 1999 - REVISED SEPTEMBER 2004)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上