

LMP7312

*LMP7312 Precision SPI-Programmable AFE with Differential/Single-Ended
Input/Output*



Literature Number: JAJSAZ4

差動 / シングルエンド入出力を選択可能な SPI プログラマブル高精度 AFE

概要

LMP7312 はデジタル・プログラム可能な可変ゲインのアンプ / アッテネータです。広い入力電圧範囲と高い精度により、プログラマブル・ロジック・コントロール (PLC) の I/O モジュールに使用するデータ・アキュイジション・システムなど、高精度を求められるアプリケーションに最適なアナログ・フロント・エンドを提供します。LMP7312 は差動出力が可能で、ダイナミック・レンジと信号 / ノイズ比を最大化できるため、システム全体の誤差が低減されます。また、 V_{OCM} ピンを使用することによって、シングルエンド入力のデータ・コンバータに対応した構成も可能です (詳細はアプリケーション情報を参照してください)。LMP7312 の入力は、最大 15V の大きな入力信号を減衰させる減衰モードと、0 ~ 20mA と 4 ~ 20mA の電流ループとともに使用する増幅モードの 2 とおりに構成できます。また、内部アンプのオフセットを評価するためのヌル・スイッチも搭載しています。すべてのゲインに対して最大ゲイン誤差 0.035%、工業用の拡張温度範囲 (- 40 °C ~ 125 °C) の全域で最大ゲイン・ドリフト 5ppm を保証しているため、過酷な環境下で使用される高精度システムにとっても、きわめて魅力的な製品です。入力オフセット電圧は 100 μ V、電圧ノイズは 3 μ Vpp といずれも低く抑えられ、LMP7312 に優れた性能をもたらしています。LMP7312 の仕様は - 40 °C ~ 125 °C の全範囲に適用されます。パッケージは SOIC-14 で提供されます。

特長

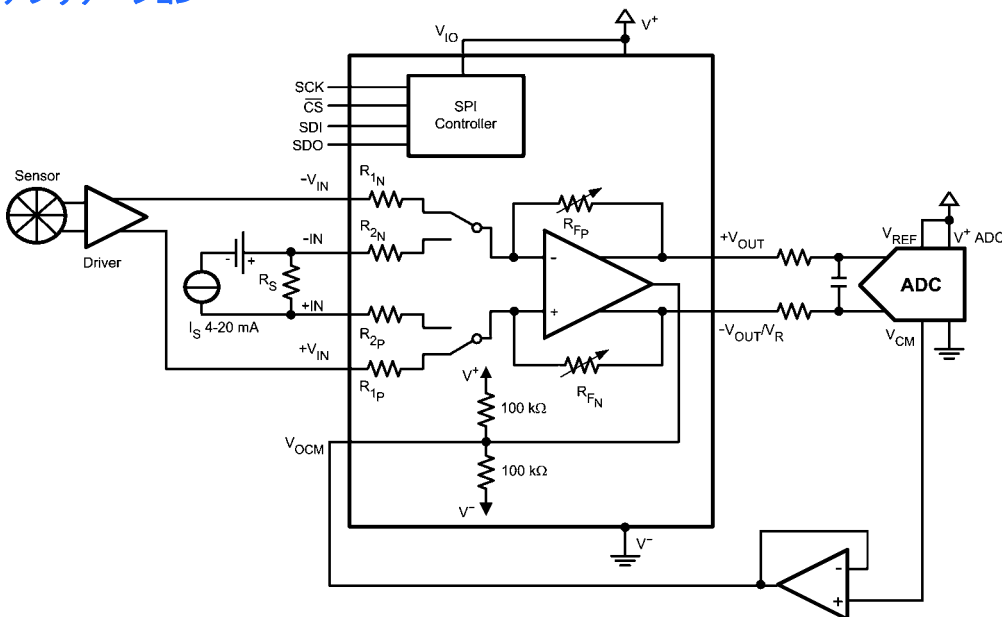
代表値、 $T_A = 25\text{ }^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$

- ゲイン帯域幅積 1MHz
- 入力電圧範囲 ($G = 0.096\text{V/V}$) - 15V ~ + 15V
- コア・オペアンプの入力オフセット電圧 100 μ V (max)
- 消費電流 2mA (max)
- ゲイン (減衰モード) 0.096V/V、0.192V/V
0.384V/V、0.768V/V
- ゲイン (増幅モード) 1V/V、2V/V
- ゲイン誤差 0.035% (max)
- コア・オペアンプ PSRR 90dB (min)
- CMRR 80dB (min)
- 出力コモン・モード電圧調整可能範囲 1V ~ 4V
- 温度範囲 - 40 °C ~ 125 °C
- パッケージ 14ピン SOIC

アプリケーション

- シグナル・コンディショニング AFE
± 10V、± 5V、0 ~ 5V、0 ~ 10V、0 ~ 20mA、4 ~ 20mA
- データ・アキュイジション・システム
- モータ制御
- 計測器とプロセス制御
- リモート・センシング
- プログラマブル・オートメーション制御

代表的なアプリケーション



LMP® はナショナル セミコンダクターの登録商標です。

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

ESD 耐圧 (Note 2)

人体モデル	2,000V
マシン・モデル	150V
デバイス帯電モデル	1,000V
アナログ電源 ($V_S = V^+ - V^-$)	6V
デジタル電源 ($V_{DIO} = V_{IO} - V^-$)	6V
減衰ピン - V_{IN} 、+ V_{IN} (V^- 基準)	$\pm 17.5V$
増幅ピン - IN 、+ IN (V^- 基準)	$\pm 10V$
その他のすべてのピン電圧 (V^- 基準)	6V
保存周囲温度範囲	- 65 °C ~ 150 °C

ハンダ付け仕様 :

www.national.com のプロダクト・フォルダと
www.national.com/ms/MS/MS-SOLDERING.pdf を参照

接合部温度

150 °C

動作定格 (Note 1)

アナログ電源 ($V_S = V^+ - V^-$), $V^- = 0V$	4.5V ~ 5.5V
デジタル電源 ($V_{DIO} = V_{IO} - V^-$), $V^- = 0V$	2.7V ~ 5.5V
減衰ピン - V_{IN} 、+ V_{IN} (V^- 基準)	- 15V ~ 15V
増幅ピン - IN 、+ IN (V^- 基準)	- 2.35V ~ 7.35V
温度範囲 (Note 3)	- 40 °C ~ + 125 °C
パッケージ熱抵抗 (Note 3) SOIC-14	145 °C /W

5V 電気的特性 (Note 4)

特記のない限り、すべてのリミット値は $T_A = 25\text{ °C}$ 、 $V^+ = 5V$ 、 $V_{IO} = 5V$ 、 $V^- = 0V$ 、 $G = 0.192V/V$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+IN + (-IN))/2$ で保証されます。出力は差動構成です。
SE = シングルエンド出力、DE = 差動出力。太字のリミット値は、全動作温度範囲に対して適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OS}	Core op-amp Input Offset Voltage	Nulling Switch Mode, DE, $V_{OCM} = 1V$; Nulling switch Mode, SE, $-V_{OUT}/R_R = 1V$	-100 -250		100 250	μV
		Nulling Switch Mode, DE, $V_{OCM} = 4V$; Nulling Switch Mode, SE, $-V_{OUT}/R_R = 4V$	-100 -250		100 250	
TCV_{OS}	Core op-amp Input Offset Voltage (Note 7)	Nulling Switch Mode, DE, $V_{OCM} = 1V$; Nulling Switch Mode, SE, $-V_{OUT}/R_R = 1V$	-3	± 1.5	3	$\mu V/^\circ C$
		Nulling Switch Mode, DE, $V_{OCM} = 4V$; Nulling Switch Mode, SE, $-V_{OUT}/R_R = 4V$	-3	± 1.5	3	
A_v	Gain Error	All gains, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, SE / DE	-0.035 -0.045		0.035 0.045	%
	Gain Drift	SE / DE	-5	± 1	5	ppm/°C
e_n	Core op-amp Voltage Noise Density	RTI, Nulling Switch Mode, $f = 10\text{ kHz}$		7.25		nV/\sqrt{Hz}
	Core op-amp Peak to Peak Voltage Noise	RTI, Nulling Switch Mode, $f = 0.1\text{ Hz to }10\text{ Hz}$		3		μV_{PP}
I_{VA}	Analog Supply Current	$+V_{IN} = -V_{IN} = V_{OCM}$			2	mA
I_{VIO}	Digital Supply Current	Without any load connected to SDO pin			120	μA
R_{IN_CM}	CM Input Resistance	$G = 0.192\text{ V/V}$		62.08		k Ω
		$G = 1\text{ V/V}$		40		
R_{IN_DIFF}	Differential Input Resistance	$G = 0.192\text{ V/V}$		248.3		k Ω
		$G = 1\text{ V/V}$		160		
CMRR	DC Common Mode Rejection Ratio	$G = 0.096V/V$, $-15V < V_{CM_ATT} < 15V$, SE / DE	80 77			dB
		$G = 0.192V/V$, $-11.4V < V_{CM_ATT} < 15V$, SE / DE				
		$G = 0.384V/V$, $-6V < V_{CM_ATT} < 11V$, SE / DE				
		$G = 0.768V/V$, $-3V < V_{CM_ATT} < 8V$, SE / DE				
		$G = 1V/V$, $-2.3V < V_{CM_AMP} < 7.3V$, SE / DE				
$G = 2V/V$, $-1.15V < V_{CM_AMP} < 6.15V$, SE / DE.						
PSRR	Core op-amp DC Power Supply Rejection Ratio	Nulling Switch Mode, $4.5V < V^+ < 5.5V$	90			dB

5V 電气的特性 (Note 4)(つづき)

特記のない限り、すべてのリミット値は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $G = 0.192\text{V/V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+IN + (-IN))/2$ で保証されます。出力は差動構成です。SE = シングルエンド出力、DE = 差動出力。太字のリミット値は、全動作温度範囲に対して適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
V_{OCM_OS}	V_{OCM} Output Offset (Note 8)	$V_{OCM} = 2.5\text{V}$	-20		20	mV
V_{OUT}	Positive Output Voltage Swing	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $+V_{IN} = 15\text{V}$, $-V_{IN} = -15\text{V}$			$V^+ - 0.2$	V
	Negative Output Voltage Swing	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$, $+V_{IN} = -15\text{V}$, $-V_{IN} = 15\text{V}$	$V^- + 0.2$			
I_{OUT}	Short circuit current	$+V_{IN} = -V_{IN} = 2.5\text{V}$, $+V_{OUT}$, $-V_{OUT}/V_R$ connected individually to either V^+ or V^-	10			mA
	Current limitation	Internal current limiter			55	
GBW	Bandwidth	Attenuation Mode, $G = 0.096\text{ V/V}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$		1.2		MHz
		Attenuation Mode, $G = 0.192\text{ V/V}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$		1.0		
		Attenuation Mode, $G = 0.384\text{ V/V}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$			560	kHz
		Attenuation Mode, $G = 0.768\text{ V/V}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$			310	
		Amplification Mode, $G = 1\text{ V/V}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$			530	kHz
		Amplification Mode, $G = 2\text{ V/V}$, $R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$			280	
SR	Slew Rate	$R_L = 10\text{ k}\Omega$, $C_L = 50\text{ pF}$ (Note 9)		1.4		V/ μsec
THD+N	Total Harmonic Distorsion + Noise	$V_{out} = 4.096\text{ Vpp}$, $f = 1\text{ KHz}$, $R_L = 10\text{ k}\Omega$		0.0026		%

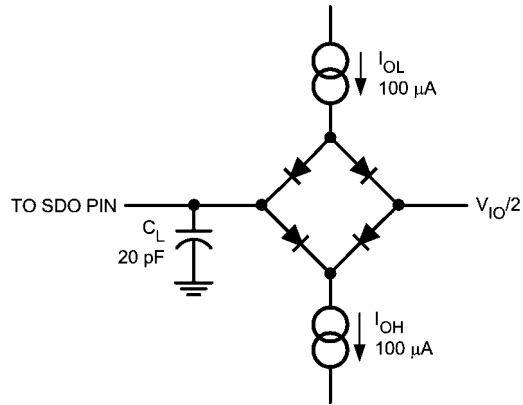
電气的特性 (シリアル・インタフェース) (Note 4)

特記のない限り、すべてのリミット値は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $2.7\text{V} < V_{IO} < 5.5\text{V}$ で保証されます。

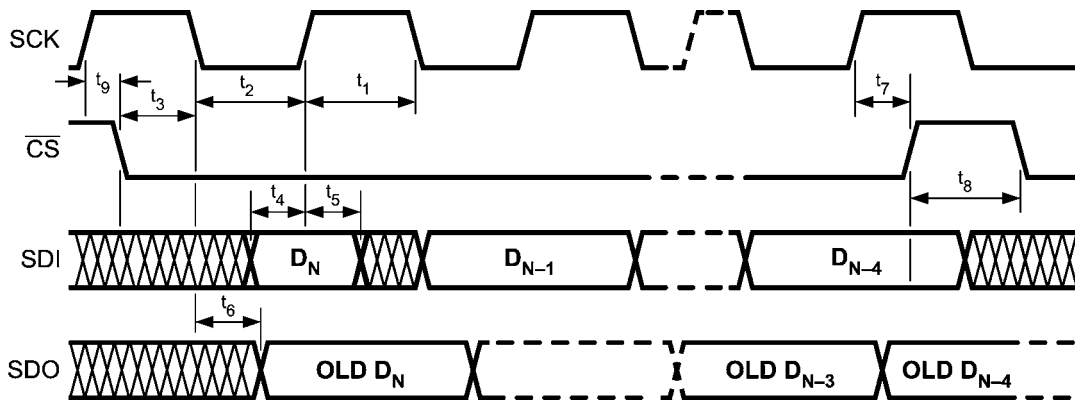
Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 5)	Max (Note 6)	Units
VIL	Input Logic Low Threshold				0.8	V
VIH	Input Logic High Threshold (SDO pin)		2			V
VOL	Output logic Low Threshold (SDO pin)	$I_{SDO} = 100\mu\text{A}$			0.2	V
		$I_{SDO} = 2\text{mA}$			0.4	
VOH	Output logic High Threshold	$I_{SDO} = 100\mu\text{A}$	$V_{IO} - 0.2$			V
		$I_{SDO} = 2\text{mA}$	$V_{IO} - 0.6$			
t_1	High Period, SCK	(Note 10)	100			ns
t_2	Low Period, SCK	(Note 10)	100			ns
t_3	Set Up Time, $\overline{\text{CS}}$ to SCK	(Note 10)	50			ns
t_4	Set Up Time, SDI to SCK	(Note 10)	30			ns
t_5	Hold Time, SCK to SDI	(Note 10)	10			ns
t_6	Prop. Delay, SCK to SDO	(Note 10)			60	ns
t_7	Hold Time, SCK Transition to $\overline{\text{CS}}$ Rising Edge	(Note 10)	50			ns
t_8	$\overline{\text{CS}}$ Inactive	(Note 10)	100			ns
t_9	Hold Time, SCK Transition to $\overline{\text{CS}}$ Falling Edge	(Note 10)	10			ns
t_{R}/t_F	Signal Rise and Fall Times	(Note 10)	1.5		5	ns

- Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のあるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。仕様および試験条件の保証値に関しては「電気的特性」を参照ください。
- Note 2:** 人体モデル適用規格 MIL-STD-883、Method 3015.7 マシン・モデル適用規格 JESD22-A115-A (ESD MM std. of JEDEC) 電場 (界) 誘導帯電モデル適用規格 JESD22-C101-C (ESD FICDM std. of JEDEC)
- Note 3:** 最大消費電力は、 T_J (MAX) と θ_{JA} の関数として求められます。任意の周囲温度における最大許容消費電力は、 $PD(\max) = (T_J(\max) - T_A) / \theta_{JA}$ で表されます。すべての数値は、プリント基板に直接ハンダ付けたパッケージを対象とします。
- Note 4:** 電気的特性の表の値は、表示された温度における工場での試験にのみ適用されます。その条件では、デバイスの自己発熱はきわめて小さく、 $T_J = T_A$ と見なせます。電気的特性の表に示した値は、 $T_J > T_A$ となるようなデバイス内部の自己発熱条件におけるパラメータ性能を保証するものではありません。
- Note 5:** 代表 (typ) 値は特性評価時におけるパラメータの標準値 (norm) を表します。実際の代表値は、経時的に変化するとともに、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。
- Note 6:** リミット (Max と Min) 値はすべて試験、回路設計、または統計解析により保証されています。
- Note 7:** 最低温度から最高温度までの V_{OS} の変化量を温度変化量で割ると、オフセット電圧の温度ドリフト量が求められます。
- Note 8:** V_{OCM_OS} は、出力コモン・モード電圧 $(+V_{OUT} + (-V_{OUT}/V_R))/2$ と、 V_{OCM} ピンの電圧との間の差を表します。
- Note 9:** 規定された値は、立ち上がり / 立ち下りのスルー・レートの平均であり、90% ~ 10% で測定されます。
- Note 10:** これらの試験に使用する負荷はテスト回路図に示してあります。

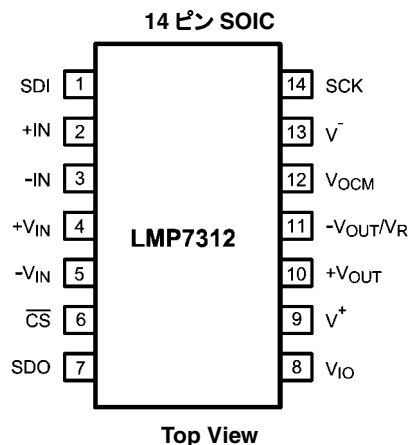
テスト回路図



タイミング図



ピン配置図



ピン説明

ピン番号	ピン名	内容
1	SDI	SPI データ入力
2	+ IN	増幅ピン・ペアの非反転入力
3	- IN	増幅ピン・ペアの反転入力
4	+ V _{IN}	減衰ピン・ペアの非反転入力
5	- V _{IN}	減衰ピン・ペアの反転入力
6	CS	SPI チップ選択
7	SDO	SPI データ出力
8	V _{IO}	SPI 電源
9	V ⁺	正電源
10	+ V _{OUT}	非反転出力
11	- V _{OUT} /V _R	差動出力モードの反転出力、またはシングルエンド動作モードのリファレンス入力
12	V _{OCM}	DE の出力コモン・モード電圧
13	V ⁻	アナログ / デジタル電源双方の基準となる負電源
14	SCK	SPI クロック

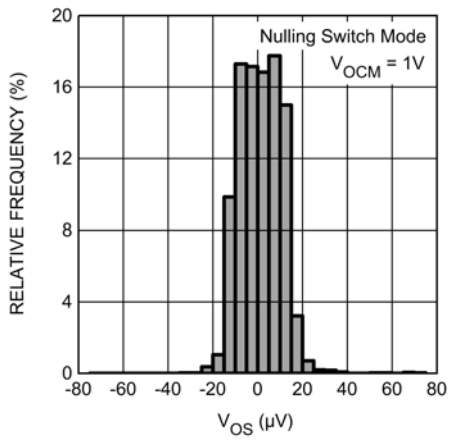
製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
14-Pin SOIC	LMP7312MA	LMP7312MA	95 Units/Rail	M14A
	LMP7312MAX		2.5k units Tape and Reel	

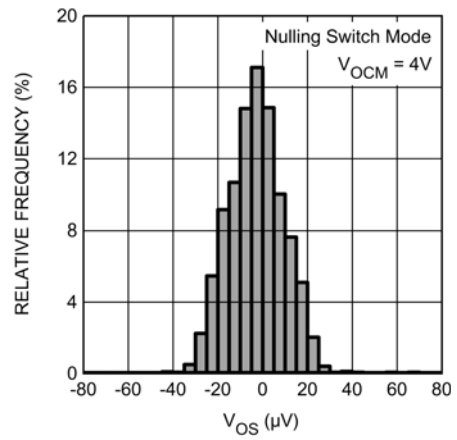
代表的な性能特性

特記のない限り、特性値の測定条件は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+IN + (-IN))/2$ 、 $R_L = 10\text{k}\Omega$ 、 $C_L = 50\text{pF}$ です。出力は差動構成です。

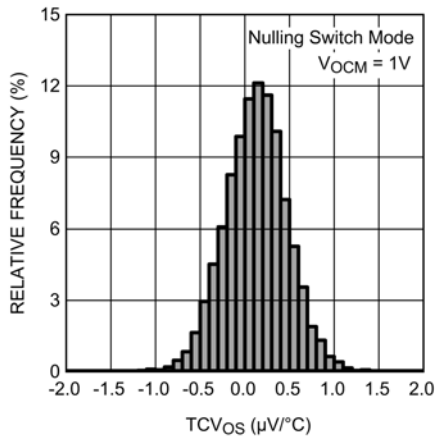
Offset Voltage distribution (PMOS)



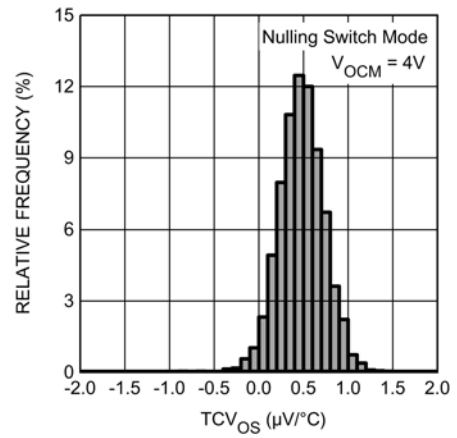
Offset Voltage distribution (NMOS)



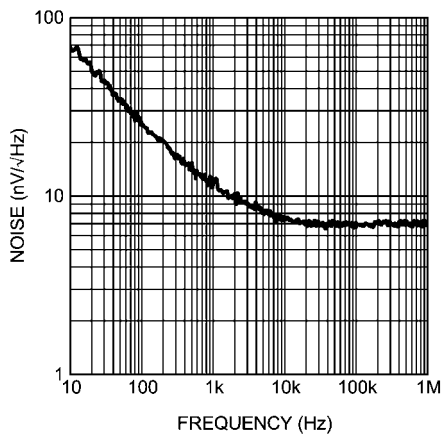
TCV_{OS} distribution (PMOS)



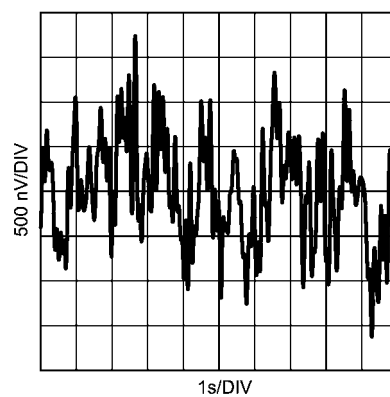
TCV_{OS} distribution (NMOS)



Noise vs. Frequency (Core op-amp)



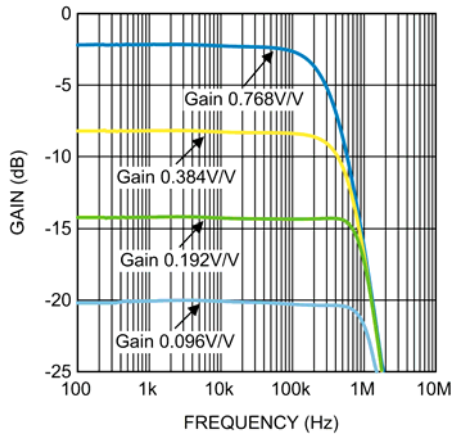
0.1Hz to 10Hz Noise (Core op-amp)



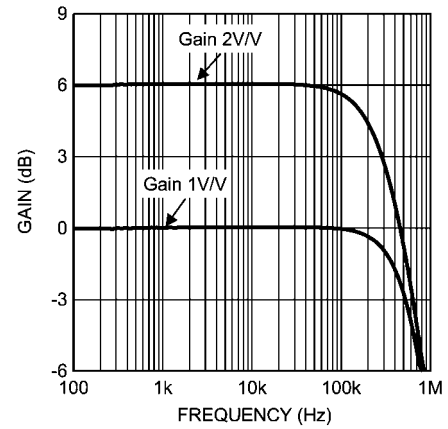
代表的な性能特性 (つづき)

特記のない限り、特性値の測定条件は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+V_{IN} + (-V_{IN}))/2$ 、 $R_L = 10\text{k}\Omega$ 、 $C_L = 50\text{pF}$ です。出力は差動構成です。

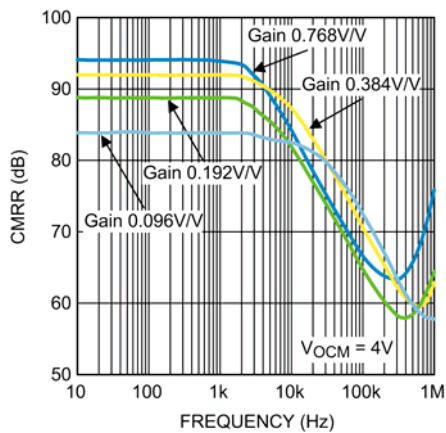
Gain vs. Frequency (Attenuation Mode)



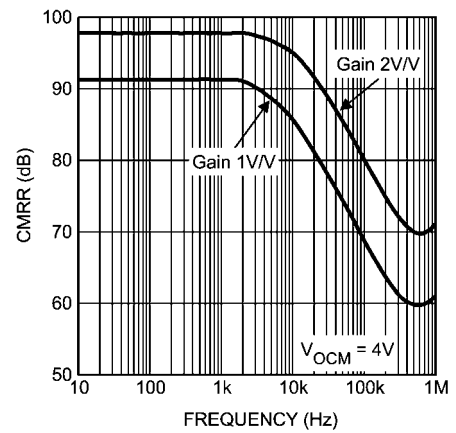
Gain vs. Frequency (Amplification Mode)



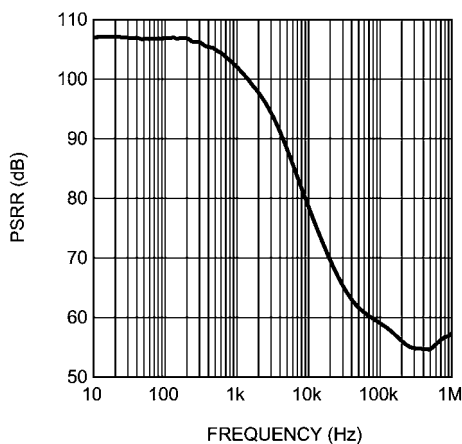
CMRR vs. Frequency (Attenuation Mode)



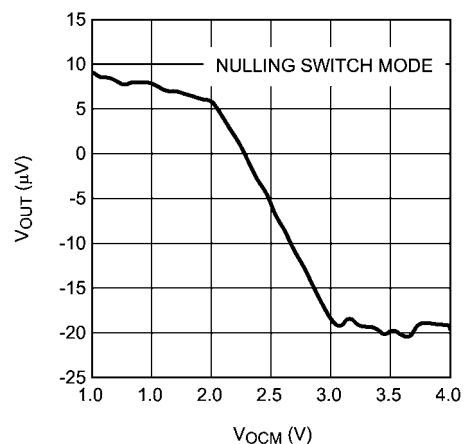
CMRR vs. Frequency (Amplification Mode)



PSRR (Core op-amp)



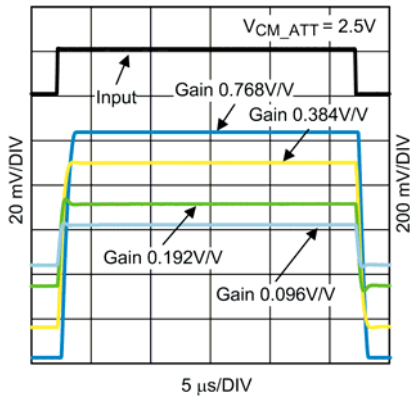
Vos vs. Input Common Mode Voltage



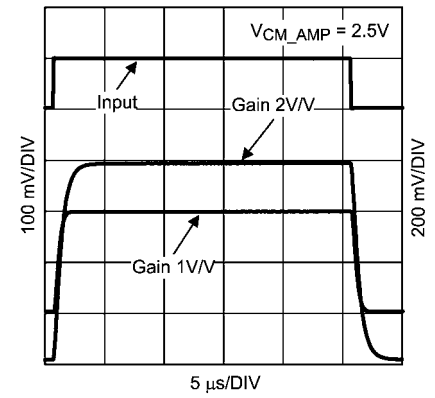
代表的な性能特性 (つづき)

特記のない限り、特性値の測定条件は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+V_{IN} + (-V_{IN}))/2$ 、 $R_L = 10\text{k}\Omega$ 、 $C_L = 50\text{pF}$ です。出力は差動構成です。

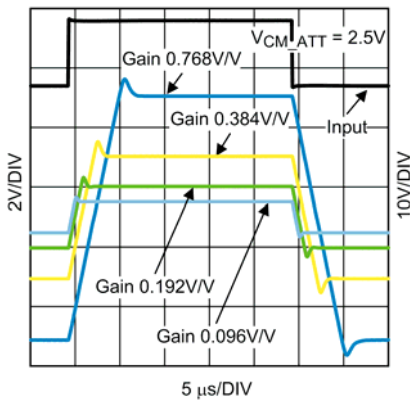
Small signal step (Attenuation Mode)



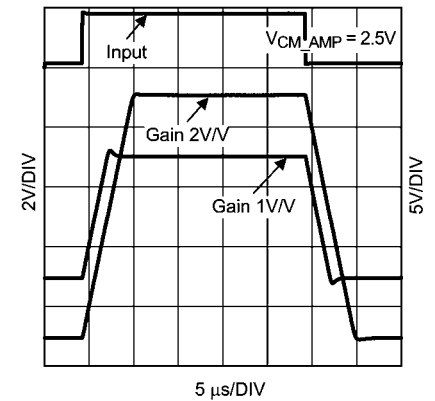
Small signal step (Amplification Mode)



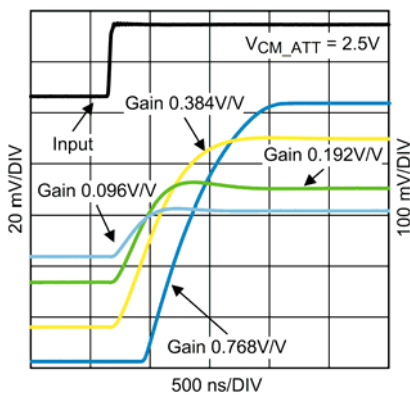
Large signal step (Attenuation Mode)



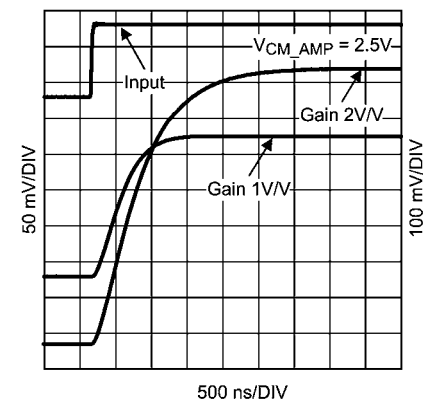
Large signal step (Amplification Mode)



Settling time – Rise (Attenuation Mode)



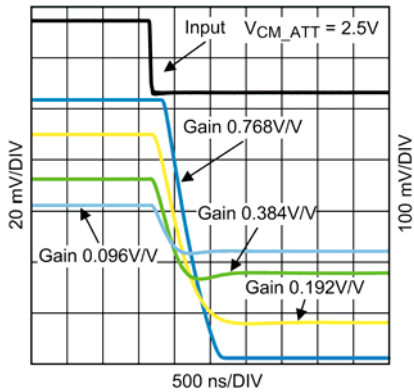
Settling time – Rise (Amplification Mode)



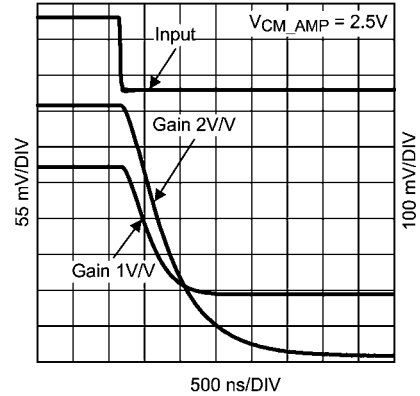
代表的な性能特性 (つづき)

特記のない限り、特性値の測定条件は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+V_{IN} + (-V_{IN}))/2$ 、 $R_L = 10\text{k}\Omega$ 、 $C_L = 50\text{pF}$ です。出力は差動構成です。

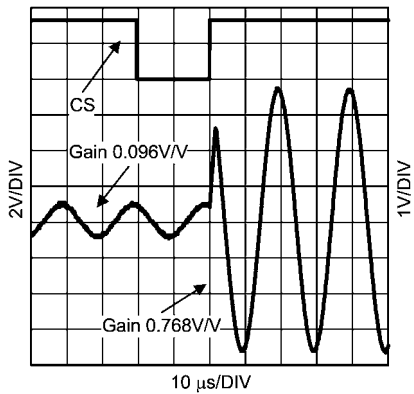
Settling time – Fall (Attenuation Mode)



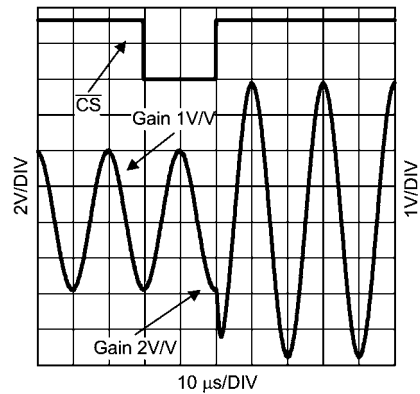
Settling time – Fall (Amplification Mode)



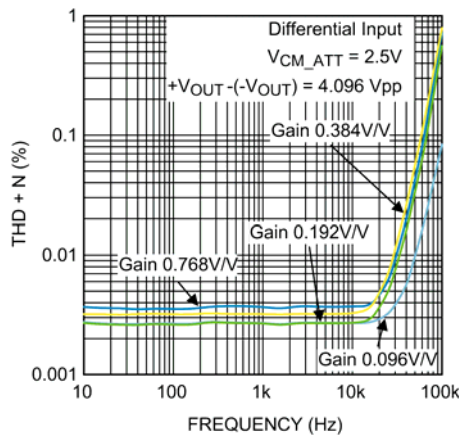
Gain change (Attenuation Mode)



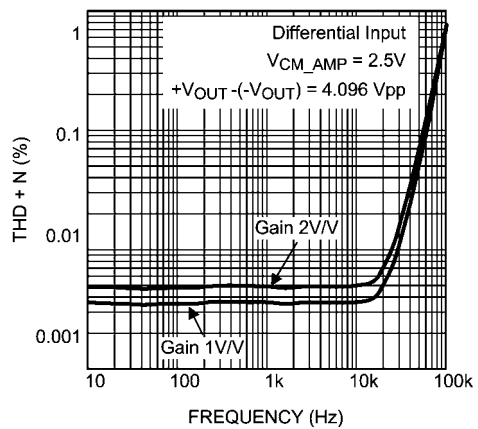
Gain change (Amplification Mode)



THD + N (Attenuation Mode)

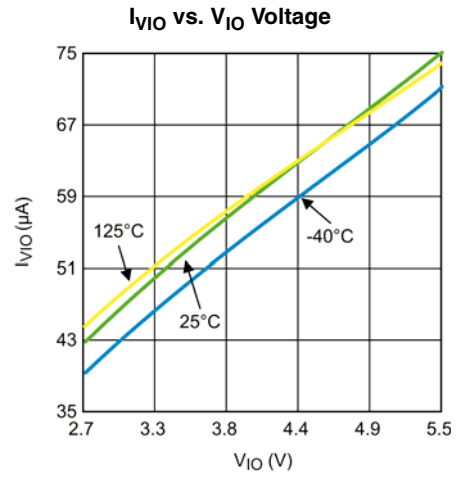
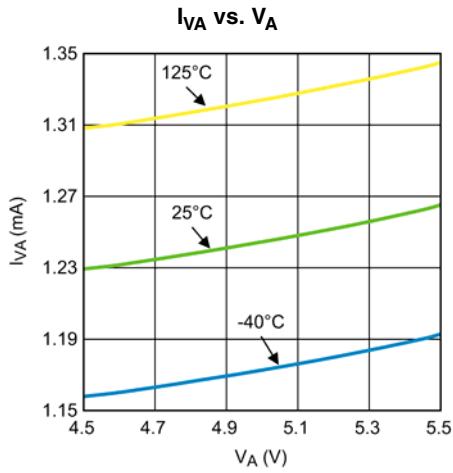


THD + N (Amplification Mode)

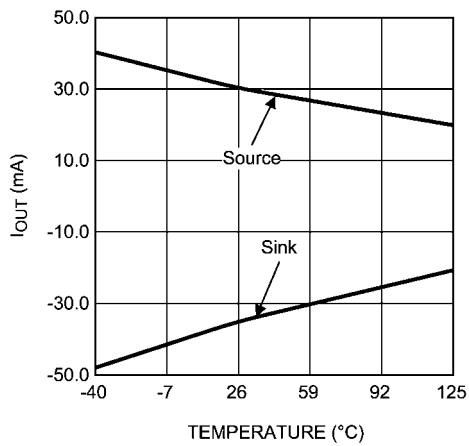


代表的な性能特性 (つづき)

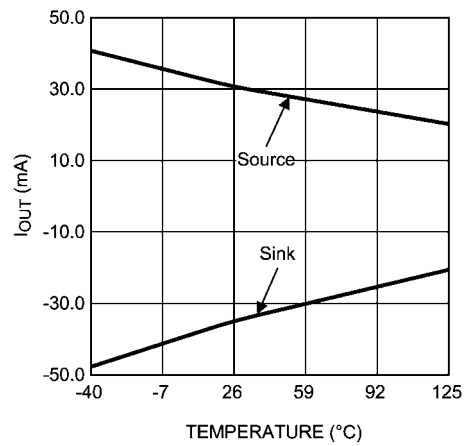
特記のない限り、特性値の測定条件は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+IN + (-IN))/2$ 、 $R_L = 10\text{k}\Omega$ 、 $C_L = 50\text{pF}$ です。出力は差動構成です。



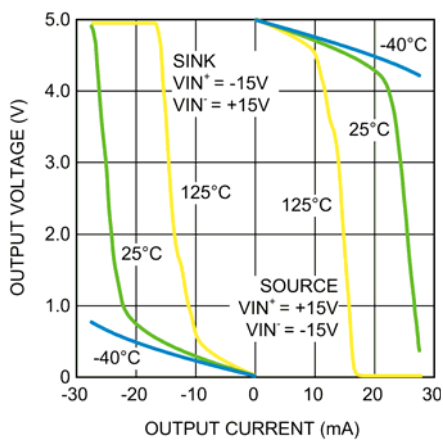
Short Circuit Current $+V_{OUT}$ vs. Temperature



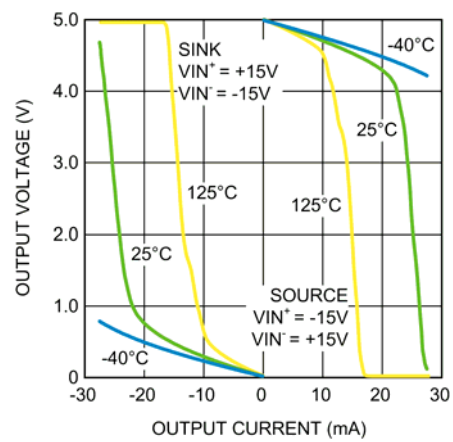
Short Circuit Current $-V_{OUT}$ vs. Temperature



Output voltage swing $+V_{OUT}$ vs. Output current

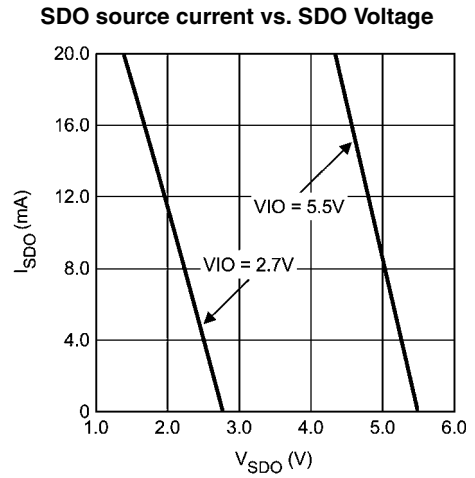
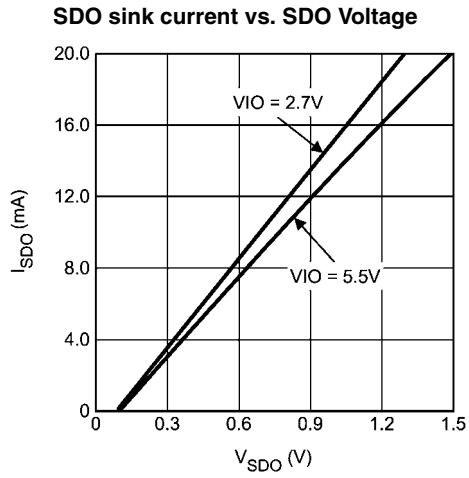


Output voltage swing $-V_{OUT}$ vs. Output current



代表的な性能特性 (つづき)

特記のない限り、特性値の測定条件は $T_A = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V_{IO} = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{CM_ATT} = (+V_{IN} + (-V_{IN}))/2$ 、 $V_{CM_AMP} = (+I_N + (-I_N))/2$ 、 $R_L = 10\text{k}\Omega$ 、 $C_L = 50\text{pF}$ です。出力は差動構成です。



アプリケーション情報

概要

LMP7312 は単電源のプログラマブル・ゲイン差動アンプで、減衰ピン・ペア ($-V_{IN}$ 、 $+V_{IN}$) と、増幅ピン・ペア ($-IN$ 、 $+IN$) の 2 組の入力ピン・ペアを備えています。出力は、シングルエンドと差動モードのいずれにも構成可能で、出力コモン・モード電圧はユーザーが設定できます。LMP7312 の入力構成の選択、ゲイン、動作モードは 4 線 (SCK、 \overline{CS} 、SDI、SDO) の SPI を介して設定します。これらの機能を組み合わせることによって、LMP7312 は工業用バスの高いアナログ電圧と、低電圧のデジタル・コンバータ間のインタフェースを容易に実現できます。

出力モードの構成

LMP7312 は、シングルエンドと差動の両出力モードで動作できます。これらのモードは V_{OCM} (出力コモン・モード電圧) ピンによって選択します。

差動出力

この動作モードは、出力コモン・モード電圧ピン (V_{OCM}) が 1V を超える電圧に接続されているときに有効になります。例えば、コモン・モード電圧を ADC (Figure 1) または電圧リファレンスによって供給する場合などです。 V_{OCM} ピンは、フローティングにするとチップ内部の分圧器によって電源電圧の半分の値にバイアスされます。この構成の場合、出力信号は V_{OCM} 電圧レベルに設定されます。

シングルエンド出力

この動作モードは、 V_{OCM} ピンを 0.5V 未満の電圧、例えばグラウンドなどに接続した場合に有効になります。このモードでは LMP7312 が差動アンプとして動作します。つまり、 $+V_{OUT}$ ピンがシングルエンド出力に、 $-V_{OUT}/V_R$ がリファレンス電圧になります。

1. バイポーラ入力信号の場合、非反転出力はバッファを介して外部リファレンスに接続されます (Figure 2)。
2. ユニポーラ入力信号の場合、非反転出力はグラウンドに接続されます (Figure 3)。

いずれの場合も、反転出力ピンは入力ピンとして構成されず。

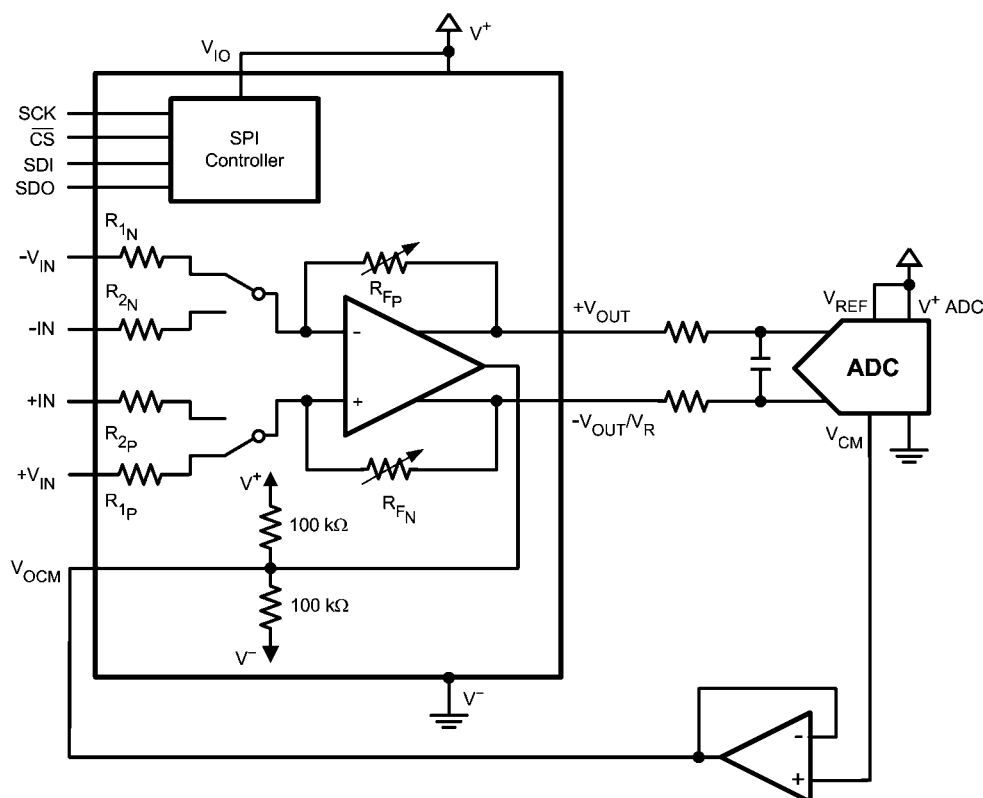


FIGURE 1. Differential ADC Interfacing with V_{OCM} provided by the ADC

アプリケーション情報 (つづき)

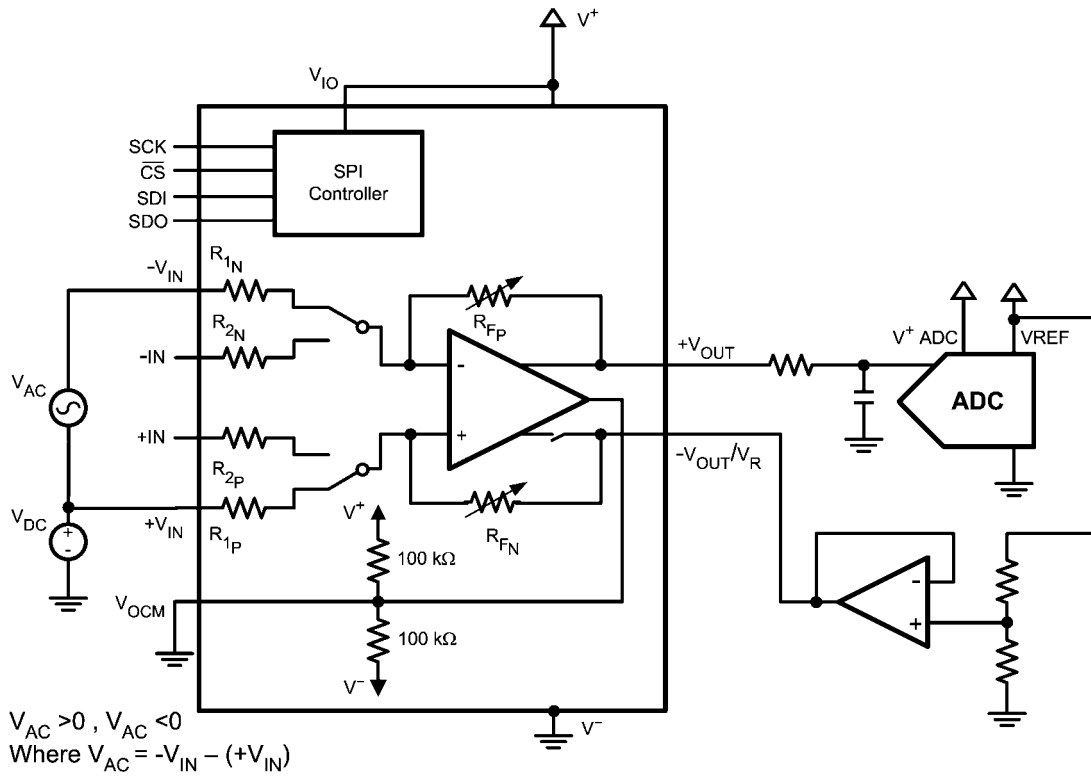


FIGURE 2. Bipolar Input Signal to Single-Ended ADC Interface

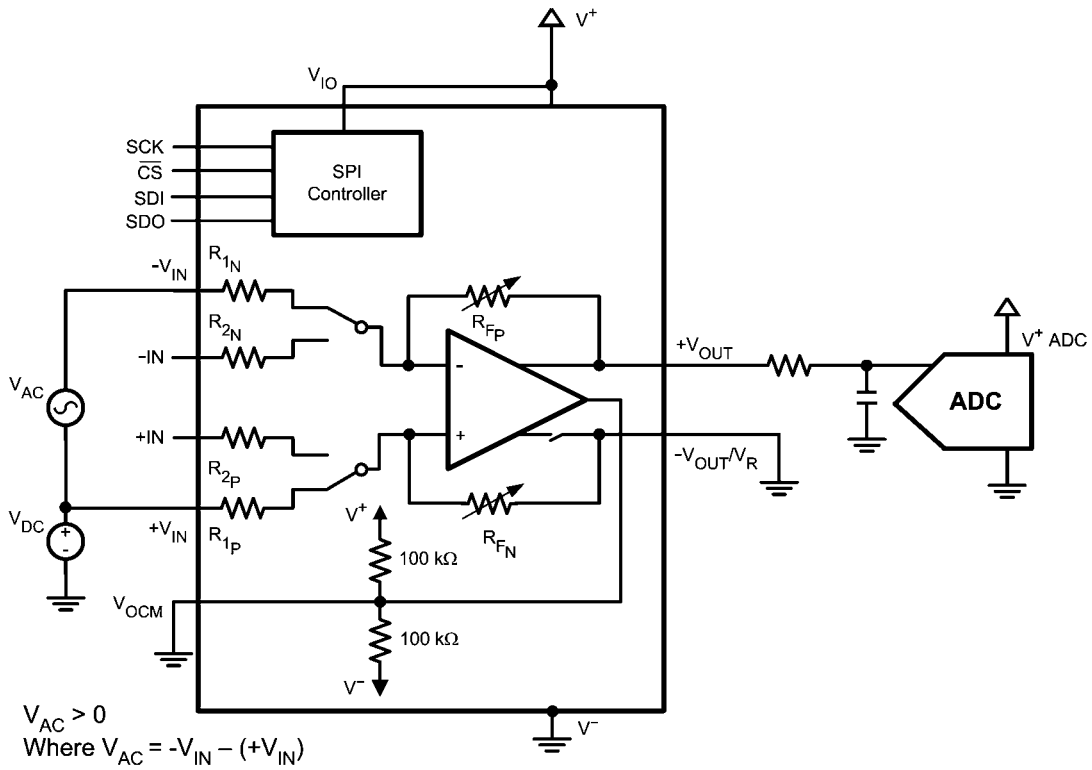


FIGURE 3. Unipolar Input Signal to Single-Ended ADC Interface

アプリケーション情報 (つづき)

入力電圧範囲

LMP7312 は入力フルスイングの電圧範囲に対応可能なオペアンプを内蔵しています。オペアンプの入力を $V^- \sim V^+$ の範囲に維持するための要件が、このアプリケーション情報で説明する入力電圧範囲の仕様を決定します。

差動出力

正の単電源 ($V^- = \text{GND}$, $V^+ = V_S$) を考えた場合、減衰入力のコモン・モード電圧 $V_{\text{CM_ATT}} = (+V_{\text{IN}} + (-V_{\text{IN}}))/2$ 、増幅入力のコモン・モード電圧 $V_{\text{CM_AMP}} = (+I_{\text{IN}} + (-I_{\text{IN}}))/2$ は、次式で決まる最小値と最大値の間に保つ必要があります。

$$CM_{\text{MAX}} = V_S + 1/K_V * (V_S - V_{\text{OCM}})$$

$$CM_{\text{MIN}} = -1/K_V * V_{\text{OCM}}$$

K_V はゲインの関数で、次の表に示す値を取ります。

Gain	0.096 V/V	0.192 V/V	0.384 V/V	0.768 V/V	1 V/V	2 V/V
K_V	0.12	0.218	0.414	0.806	1.065	2.096

上記の式によって得られる値にかかわらず、各入力ピンの電圧は規定された絶対最大定格を超えてはなりません。

次の表は、代表値の一部です。

差動入力、差動出力、 $V_S = 5V$ 、 $V_{\text{OCM}} = 2.5V$

Gain	$V_{\text{CM_ATT}}$		$V_{\text{CM_AMP}}$	
	Min	Max	Min	Max
0.096 V/V	-15 V*	+15 V*		
0.192 V/V	-11.5 V	+15 V		
0.384 V/V	-6 V	+11 V		
0.768 V/V	-3.1 V	+8.1 V		
1 V/V			-2.3 V	+7.3 V
2 V/V			-1.2 V	+6.2 V

* 入力ピンの動作定格によって制限されます。

グラウンド基準のシングルエンド入力の場合 ($-V_{\text{IN}} = \text{GND}$ 、 $-I_{\text{IN}} = \text{GND}$)、 $+V_{\text{IN}}$ と I_{IN} 入力に許される電圧範囲は次の表のとおりです。

シングルエンド入力、差動出力、 $V_S = 5V$ 、 $V_{\text{OCM}} = 2.5V$ 、 $-V_{\text{IN}} = \text{GND}$ 、 $-I_{\text{IN}} = \text{GND}$

Gain	$+V_{\text{IN}}$		$+I_{\text{IN}}$	
	Min	Max	Min	Max
0.096 V/V	-15 V*	+15 V*		
0.192 V/V	-15 V*	+15 V*		
0.384 V/V	-12 V**	+12 V**		
0.768 V/V	-6 V**	+6 V**		
1 V/V			-4.6 V**	+4.6 V**
2 V/V			-2.3 V**	+2.3 V**

* 入力ピンの動作定格によって制限されます。

** 出力電圧スイングによって制限されます ($+V_{\text{OUT}}$ および $-V_{\text{OUT}}$ の両方で $0.2V \sim V_S - 0.2V$)。

シングルエンド出力

このモードでは、LMP7312 が差動アンプとして動作します。ゼロボルトの差動入力信号が印加された場合の $-V_{\text{OUT}}/V_R$ がリ

ファレンス出力電圧になります。オペアンプへの入力電圧は $+V_{\text{IN}}$ と $-V_{\text{OUT}}/V_R$ で決まります。 $+V_{\text{IN}}$ と I_{IN} 入力電圧範囲は次式で規定されます。

$$V_{\text{MAX}} = V_S + 1/K_V * (V_S - (-V_{\text{OUT}}/V_R))$$

$$V_{\text{MIN}} = -1/K_V * (-V_{\text{OUT}}/V_R)$$

上記の式によって得られる値にかかわらず、各入力ピンの電圧は規定された絶対最大定格を超えてはなりません。

次の表は、代表値の一部です。

差動入力、シングルエンド出力、 $V_S = 5V$ 、 $V_{\text{OCM}} = \text{GND}$ 、 $-V_{\text{OUT}}/V_R = 2.5V$

Gain	$+V_{\text{IN}}$		$+I_{\text{IN}}$	
	Min	Max	Min	Max
0.096 V/V	-15 V*	+15 V*		
0.192 V/V	-11.5 V*	+15 V		
0.384 V/V	-6 V	+11 V		
0.768 V/V	-3.1 V	+8.1 V		
1 V/V			-2.3 V	+7.3 V
2 V/V			-1.2 V	+6.2 V

* 入力ピンの動作定格によって制限されます。

グラウンド基準のシングルエンド入力の場合 ($-V_{\text{IN}} = \text{GND}$ 、 $-I_{\text{IN}} = \text{GND}$)、 $+V_{\text{IN}}$ と I_{IN} 入力に許される電圧範囲は次の表のとおりです。

シングルエンド入力、シングルエンド出力、 $V_S = 5V$ 、 $V_{\text{OCM}} = \text{GND}$ 、 $-V_{\text{OUT}}/V_R = 2.5V$ 、 $-V_{\text{IN}} = \text{GND}$ 、 $-I_{\text{IN}} = \text{GND}$

Gain	$+V_{\text{IN}}$		$+I_{\text{IN}}$	
	Min	Max	Min	Max
0.096 V/V	-15 V*	+15 V*		
0.192 V/V	-11.5 V	+12 V**		
0.384 V/V	-6 V**	+6 V**		
0.768 V/V	-3 V**	+3 V**		
1 V/V			-2.3 V**	+2.3 V**
2 V/V			-1.1 V**	+1.1 V**

* 入力ピンの動作定格によって制限されます。

** 出力電圧スイングによって制限されます ($+V_{\text{OUT}}$ が $0.2V \sim V_S - 0.2V$)。

シリアル・インタフェース制御の動作

LMP7312 をシリアル・インタフェースによって制御する場合、 V_{IO} ピンには $2.7V \sim 5.5V$ の電圧を印加できるため、市販されているさまざまなロジック・ファミリとの互換性を確保できます。

LMP7312 の減衰、増幅、ヌル・スイッチ、HiZ モードはレジスタによって制御します。制御レジスタに書き込むデータは、最初にシリアル・インタフェースを通じて LMP7312 に読み込まれます。シリアル・インタフェースには 5 ビットのシフト・レジスタを使用しています。データはシリアル・データ入力 SDI を通じて読み込まれます。シフト・レジスタを通過したデータは、シリアル・データ出力 SDO から出力されます。シリアル・クロック SCK はシリアル読み込みプロセスを制御します。デバイスを正しくプログラミングするには、5 つのデータ・ビットがすべて必要です。CS の立ち下がりエッジによってシフト・レジスタはデータを受信できるようになります。CS の立ち下がりエッジの間、SCK 信号は High でなければなりません。各データ・ビットは SCK の立ち上がりエッジでシフト・レジスタに取り込まれます。データは CS の立ち上がりエッジでシフト・レジスタから保持レジスタに転送されます。この動作はタイミング図に示してあります。

アプリケーション情報 (つづき)

SPI レジスタ

MSB				LSB
Gain_1	Gain_0	EN_CL	Null_SW	Hi_Z

Gain_0、Gain_1 ビット：ゲインの値

次のゲインの表に従い、減衰モードと増幅モードの両方でさまざまなゲインの値を使用できます。

Gain_1	Gain_0	EN_CL	Gain Value (V/V)
0	0	0	0.096
0	1	0	0.192
1	0	0	0.384
1	1	0	0.768
1	0	1	1
1	1	1	2

EN_CL ビット：増幅モードのイネーブル

このレジスタは、どちらの入力ペアを処理するかを選択します。

EN_CL	モード	内容
0	減衰モード	± V _{IN} 入力が 104.16kΩ の入力抵抗を介して処理されます。
1	増幅モード	± IN 入力が 40kΩ の入力抵抗を介して処理されます。

NULL_SW ビット：入力オフセット較正用ヌル・スイッチ・モード
 アンプを増幅、減衰処理を一切実行しないユニティ・ゲインに構成するモードは、このレジスタによって選択します。このモードによって、アンプのオフセットをシステム・レベルで較正できます。ヌル・スイッチ・モードは、シングルエンドおよび完全差動の両出力モードで使用できます。ヌル・スイッチと完全差動モードの LMP7312 は、次の図のような構成を取ります。

NULL_SW	モード	内容
0	通常動作モード	EN_CL レジスタの設定に応じて、± V _{IN} または ± IN 入力が処理されます。
1	ヌル・スイッチ・モード	システム・レベル較正のために、内部アンプのオフセットを評価できます。

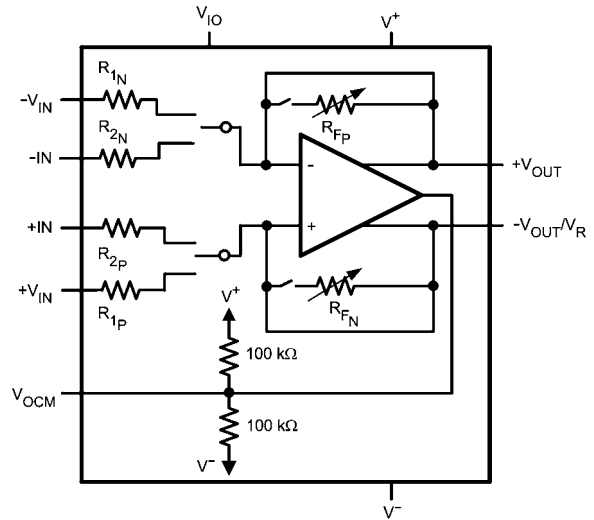


FIGURE 4. LMP7312 in Nulling Switch Mode

この条件で出力ピンからオペアンプの入力電圧オフセットを測定できます。

Output Mode	+V _{OUT}	-V _{OUT} /V _R
Differential	V _{CM_out} + V _{OS} /2	V _{CM_out} - V _{OS} /2
Single-Ended	V _R + V _{OS}	V _R

Hi_Z ビット：ハイ・インピーダンス

このモードでは、LMP7312 の + V_{OUT} と - V_{OUT}/V_R の両出力がトライステートになります (Figure 5)。

HI_Z	モード	内容
0	通常動作モード	LMP7312 は、レジスタの他の4ビットの値に従って構成されません。
1	ハイ・インピーダンス・モード	LMP7312 の出力がハイ・インピーダンスになります。

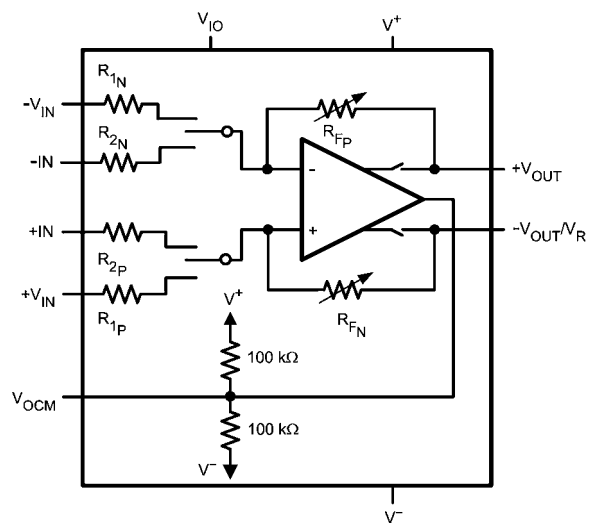


FIGURE 5. LMP7312 in High Impedance Mode

アプリケーション情報 (つづき)

いずれの場合も、SPIレジスタには5ビット必要です。次の表は、可能なすべての構成をまとめたものです。

MSB					LSB		
Gain_1	Gain_0	EN_CL	Null_SW	Hi_Z	Gain Value (V/V)	Mode of Operation	
0	0	0	0	0	0.096	Attenuation Mode	
0	1	0	0	0	0.192	Attenuation Mode	
1	0	0	0	0	0.384	Attenuation Mode	
1	1	0	0	0	0.768	Attenuation Mode	
1	0	1	0	0	1	Amplification Mode	
1	1	1	0	0	2	Amplification Mode	
x	x	x	x	1	-	High Impedance Output	
x	x	x	1	0	1	Null Switch Mode	

デジジー・チェーン

LMP7312は、複数のチップ間でシリアル・データをストリーミングするデジジー・チェーン接続をサポートしています。この機能を使用するには、最初のチップのSDIピンにシリアル・データをクロック入力し、最初のチップのSDOピンを次のチップのSDIピンに接続します。チップ選択信号は2つのチップで共有することも、2番目のチップを独立してイネーブルにすることもできま

す。両方のチップの選択ピンがLowに遷移し、最初のチップに5ビットのデータがクロック入力されると、次の5クロック・サイクルでは、2番目のチップに新しい構成データが転送されます。10クロック・サイクルがすべて完了すると、両方のチップに有効なデータが読み込まれます。この時点で両方のチップの選択ピンをHighに遷移させ、データのオーバーシュートを防止する必要があります。

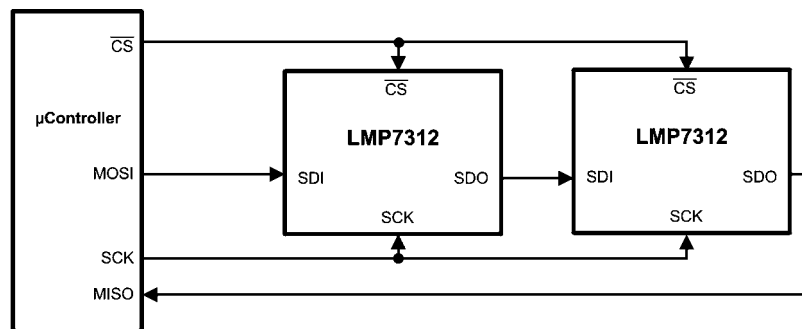


FIGURE 6. Daisy chain

ADC との 4 線式 SPI の共有

LMP7312は、PowerWise[®] ファミリの差動 A/D コンバータの ADC141S626 や ADC161S626 とインタフェースを取るうえで最適なデバイスです。LMP7312のSPIインタフェースは、ADCとCSBを共有できるように設計されています。LMP7312のレジスタには、SCKがHighの間にCSBをLowにアサートした場合にのみアクセスできます。一方、ADCは次の条件のいずれかが満たされた時点で変換を開始します。(1) SCKがHighの間にCSBがLowに遷移した場合、(2) SCKがLowの間に

CSBがLowに遷移した場合、(3) CSBとSCKが両方ともLowに遷移した場合です。したがって、システムが(2)のタイミング条件を使用すると、Figure 7に示すようにLMP7312とADC1x1S626でCSBやSCKを共有できます。この場合の唯一の副作用は、LMP7312への書き込みがADC変換をトリガしてしまうことですが、結果を無視すれば問題ありません。それ以外の場合、通常のADC変換を開始するためにCSBがアサートされても、LMP7312には影響は及びません。

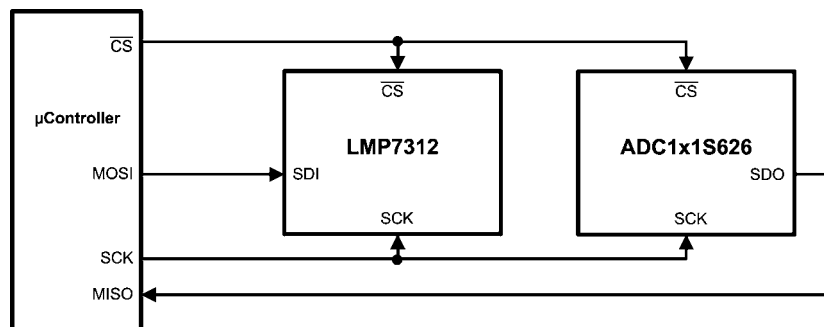


FIGURE 7. 4-wire SPI with ADC interface

アプリケーション情報 (つづき)

4 ~ 20mA 電流ループ・アプリケーションへの LMP7312 適用

Figure 8 に示す 4 ~ 20mA の電流ループは、多くの産業プロセス監視アプリケーションでセンサ情報を送信する際に使われる一般的な方法です。センサ情報を電流ループを介して送信する方法は、送信先が離れている場合に (距離 1000 フィート以上) 特に効果を発揮します。このループの動作は単純です。まずセンサの出力電圧を、比例する電流に変換します。通常はセンサのゼロレベル出力を 4mA、フルスケール出力を 20mA で表します。次に、離れた地点にあるレシーバで 4 ~ 20mA の電流を再度電圧に変換し、さらにこの電圧を PC またはディスプレイ・モジュールによって処理します。一般的な 4 ~ 20mA 電流ループ回路は、4 つの独立した要素から構成されます。センサ/トランスデューサ、電圧-電流コンバータ (通常、トランスミッタまたはシグナル・コンディショナと呼ばれます)、ループ電源、レシーバ/モニタの 4 つです。ループを使用するアプリケーションでは、4 つの要素がすべて直列の閉ループ構成で接続されます (Figure 8)。センサは測定された物理パラメータに対応した値の電圧を出力します。トランスミッタはセンサの出力を増幅しコンディショニングしたうえで、直列閉ループを還流する 4 ~ 20mA の比例 DC 電流に変換します。通常、適切に制御された DC 電圧を必要とするトランスミッタ、レシーバ、その他のループ

プ内のコンポーネントには、いずれもループ電源から動作電源が供給されます。ループを使用するアプリケーションでは、電源の内部要素が直列ループを閉じるパスも提供します。レシーバ/モニタは通常パネル・メータやデータ・アキュイジション・システムの一部に含まれ、4 ~ 20mA の電流を電圧に変換して、その後の変換や表示に使用できるようにします。LMP7312 は、その優れた DC 特性から、電流ループの AFE レシーバとして最適な差動アンプとなります。増幅モードに構成した LMP7312 は、低い入力オフセット電圧と入力オフセット電圧ドリフトを示します。Figure 8 に示した回路では、LMP7312 を差動出力のゲイン 2V/V の増幅モードに構成しています。これは、ADC141S626 (差動入力 of the SAR ADC) の入力段に適切にマッチングさせるためです。ループに 20mA の電流が流れたときに最大電圧降下として 2V が得られるように、シャント抵抗は 100 Ω を使用しています。また、LMP7312 と ADC141S626 の間の 1 次フィルタはノイズ帯域を狭め、最大 2kHz の入力信号を処理できるようにします。この周波数は、フィルタのロール・オフを考慮し、ADC141S626 のゲイン誤差として 1LSB 未満を確保できるように計算された値です。この構成で ADC141S626 のビット数を最大限に利用するために、リファレンス電圧は 4.1V に設定しています。このシステムによって、4 ~ 20mA ループの電流は ADC のフル・スケールに正確に反映され、デジタイズされたうえでさらに処理されます。

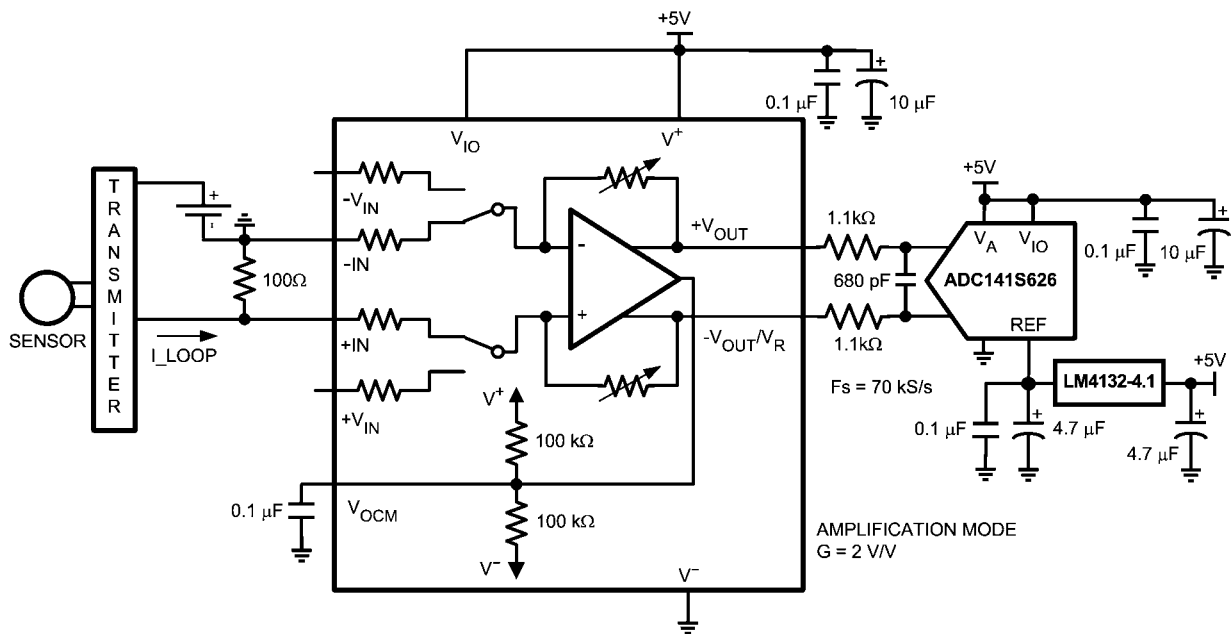


FIGURE 8. LMP7312 in 4-20mA Current Loop application

レイアウトの考慮事項

電源バイパス

LMP7312 のゲイン精度を確保するために、電源の安定性には特に注意を払う必要があります。LMP7312 は最小 PSRR として 90dB (または 31.62 μV/V) を保証しています。しかし、電源ノイズが混入したり増幅されたりすることによって、アンプのダイナミック・レンジ、ゲイン精度、本質的な低ノイズ特性が劣化する恐れがあります。LMP7312 を電源の AC ノイズからデカップリングするために、電源ラインの LMP7312 に近い場所に 0.1 μF のセラミック・コンデンサを使用する必要があります。この 0.1 μF のセラミック・コンデンサと並列に 10 μF のタンタル・コンデン

サを追加すると、ほとんどの周波数範囲でグラウンドへの AC パスが確保され、LMP7312 に混入するノイズをさらに減らせます。

付録

オフセット電圧とオフセット電圧ドリフトの計算

次の表に示した値は、オフセット電圧とオフセット電圧ドリフトの計算値です。各パラメータに対応するコア・オペアンプの最大仕様に基づいて (すべてのゲイン構成について) 計算しました。

アプリケーション情報 (つづき)

Parameter	Unit	Value				1	2
		0.096	0.192	0.384	0.768		
Gain	V/V	0.096	0.192	0.384	0.768	1	2
Total Offset Input Referred (MAX)	μV	± 1141	± 620	± 360	± 230	± 200	± 150
Total Offset Output Referred (MAX)	μV	± 109	± 119	± 138	± 176	± 200	± 300
TCV _{OS} Input Referred @ 25°C (MAX)	$\mu\text{V}/^\circ\text{C}$	± 32.3	± 18.6	± 10.8	± 6.9	± 6	± 4.5
TCV _{OS} Output Referred @ 25°C (MAX)	$\mu\text{V}/^\circ\text{C}$	± 3.3	± 3.6	± 4.1	± 5.3	± 6	± 9

ノイズの計算

次の表に示した値は、電圧ノイズの計算値です。コア・オペアンプを 10kHz で動作させた場合のスペクトル密度に基づいて (すべてのゲイン構成について) 計算しました。

Parameter	Unit	Value				1	2
		0.096	0.192	0.384	0.768		
Gain	V/V	0.096	0.192	0.384	0.768	1	2
Total Noise Referred to Input	$\text{nV}/\sqrt{\text{Hz}}$	211	150	112	89	53	46
Total Noise Referred to Output	$\text{nV}/\sqrt{\text{Hz}}$	20	29	43	68	53	92

入力抵抗の計算

コモン・モード入力抵抗とは、 $\Delta V_1 = \Delta V_2 = 0$ でコモン・モード電圧 ΔV_{CM} を LMP7312 の両方の入力に印加した場合

に、ノード “A” から見た抵抗です。差動入力抵抗とは、 $\Delta V_{CM} = 0$ 、差動電圧 $\Delta V_1 = \Delta V_2 = V/2$ を LMP7312 の入力に印加した場合に、ノード “B” と “C” から見た抵抗です。

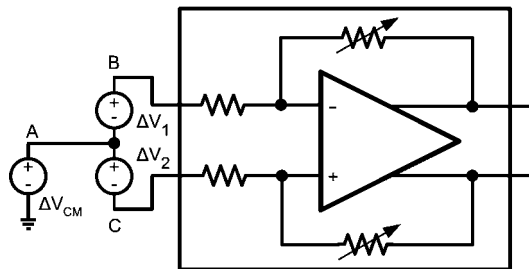
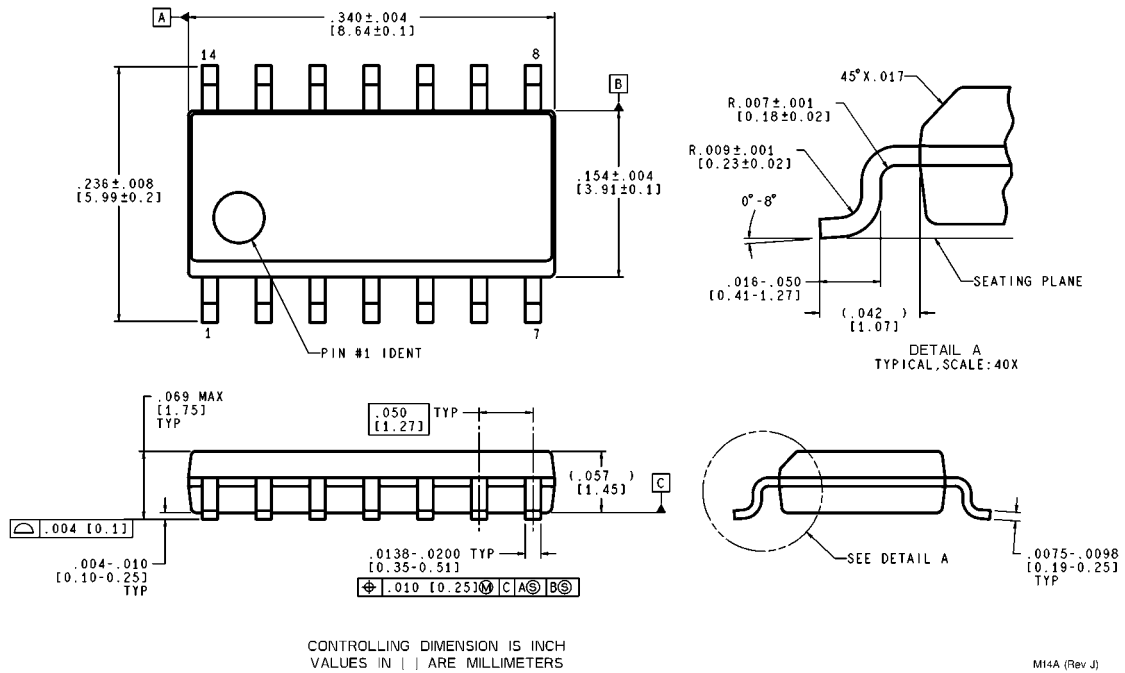


FIGURE 9. Circuit for Input Resistance calculation

Mode of Operation		Unit	Gains			
			0.096	0.192	0.384	0.768
Attenuation Mode			0.096	0.192	0.384	0.768
	Common Mode Resistance	k Ω	57.08	62.08	72.08	92.08
	Differential Resistance	k Ω	228.30	248.30	288.30	368.30
Amplification Mode			1		2	
	Common Mode Resistance	k Ω	40.0		60.0	
	Differential Resistance	k Ω	160.0		240.0	

外形寸法図 特記のない限り inches (millimeters)

14-Pin SOIC
NS Package Number M14A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2011 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上