

LMH6601

LMH6601/LMH6601Q 250 MHz, 2.4V CMOS Operational Amplifier with Shutdown



Literature Number: JAJ SAC0



LMH6601

250MHz、2.4V CMOS シャットダウン機能付きオペアンプ

概要

LMH6601 は、さまざまな民生用および産業アプリケーションに適した低電圧 (2.4V ~ 5.5V)、高速の電圧帰還型オペアンプです。LMH6601 はゲインが +2 の時に帯域幅が 125MHz で、100mA の高出力電流が保証され、HDTV などのビデオ・ライン・ドライバのアプリケーションに理想的です。低入力バイアス電流 (最大 50pA)、フルスイング出力、低電流ノイズにより、LMH6601 はトランスインピーダンス・アンプ、アクティブ・フィルタ、高インピーダンス・バッファなど、さまざまな産業アプリケーションで使用できます。LMH6601 は、低電源電圧で高い性能を要求するシステムにとって魅力的なソリューションです。LMH6601 は、6ピンの SC70 パッケージで提供され、超低消費電力のシャットダウン機能を持っています。

特長

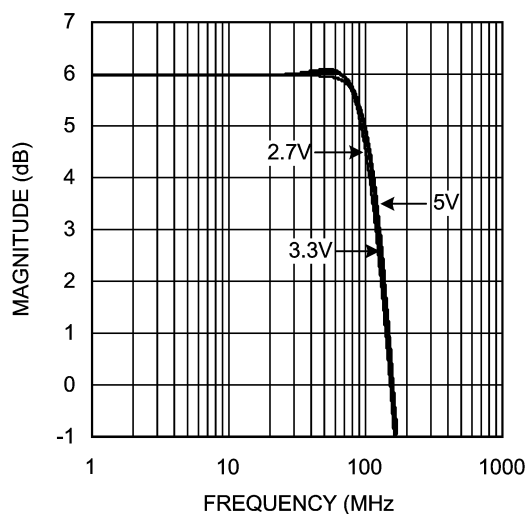
特記のない限り、 $V_S = 3.3V$ 、 $T_A = 25^\circ C$ 、 $A_V = 2V/V$ 、 V^- に接続した $R_L = 150\Omega$ の場合です。

- 125MHz の -3dB 小信号帯域幅
- 75MHz の -3dB 大信号帯域幅
- 30MHz の大信号、0.1dB のゲイン・フラットネス
- スルーレート 260V/ μs
- 0.25%/0.25 微分利得 / 微分位相
- フルスイング出力
- 2.4V ~ 5.5V の単一電源動作範囲
- 6ピン SC70 パッケージ

アプリケーション

- ビデオ・アンプ
- チャージ・アンプ
- セットトップ・ボックス
- サンプル / ホールド
- トランスインピーダンス・アンプ
- ライン・ドライバ
- 高インピーダンス・バッファ

Response at a Gain of +2 for Various Supply Voltages



絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

保存温度範囲 - 65 ~ + 150

接合部温度 + 150

ハンダ付け条件

赤外線または対流方式 (20 秒) 235

流動ハンダ付け (10 秒) 260

ESD 耐圧 (Note 4)

人体モデル 2kV

マシン・モデル 200V

V_{IN} 差動電圧 $\pm 2.5V$

入力電流 $\pm 10mA$

出力電流 200mA (Note 3)

電源電圧 ($V^+ - V^-$) 6.0V

入出力ピン電圧 $V^+ + 0.5V, V^- - 0.5V$

動作定格 (Note 1)

電源電圧 ($V^+ - V^-$) 2.4V ~ 5.5V

動作温度範囲 - 40 ~ + 85

パッケージ熱抵抗 (J_A)

6ピン SC70 414 /W

5V 電気的特性

特記のない限り、 $V_S = 5V, A_V = +2, R_F = 604$ 、 V^+ に接続された \overline{SD} 、 $V_{OUT} = V_S/2$ 、 V^- に接続する $R_L = 150$ の単一電源。太字のリミット値は全温度範囲に適用されます。(Note 2)

Symbol	Parameter	Condition	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
Frequency Domain Response						
SSBW	-3 dB Bandwidth Small Signal	$V_{OUT} = 0.25 V_{PP}$		130		MHz
SSBW_1		$V_{OUT} = 0.25 V_{PP}, A_V = +1$		250		
Peak	Peaking	$V_{OUT} = 0.25 V_{PP}, A_V = +1$		2.5		dB
Peak_1	Peaking	$V_{OUT} = 0.25 V_{PP}$		0		dB
LSBW	-3 dB Bandwidth Large Signal	$V_{OUT} = 2 V_{PP}$		81		MHz
Peak_2	Peaking	$V_{OUT} = 2 V_{PP}$		0		dB
0.1 dB BW	0.1 dB Bandwidth	$V_{OUT} = 2 V_{PP}$		30		MHz
GBWP_1k	Gain Bandwidth Product	Unity Gain, $R_L = 1 k\Omega$ to $V_S/2$		155		MHz
GBWP_150		Unity Gain, $R_L = 150\Omega$ to $V_S/2$		125		
A_{VOL}	Large Signal Open Loop Gain	$0.5V < V_{OUT} < 4.5V$	56	66		dB
PBW	Full Power BW	-1 dB, $A_V = +4, V_{OUT} = 4.2 V_{PP}, R_L = 150\Omega$ to $V_S/2$		30		MHz
DG	Differential Gain	4.43 MHz, $1.7V \leq V_{OUT} \leq 3.3V, R_L = 150\Omega$ to V^-		0.06		%
DP	Differential Phase	4.43 MHz, $1.7V \leq V_{OUT} \leq 3.3V, R_L = 150\Omega$ to V^-		0.10		deg
Time Domain Response						
TRS/TRL	Rise & Fall Time	0.25V Step		2.6		ns
OS	Overshoot	0.25V Step		10		%
SR	Slew Rate	2V Step		275		V/ μ s
T_S	Settling Time	1V Step, $\pm 0.1\%$		50		ns
T_{S_1}		1V Step, $\pm 0.02\%$		220		
PD	Propagation Delay	Input to Output, 250 mV Step, 50%		2.4		ns
C_L	Cap Load Tolerance	$A_V = -1, 10\%$ Overshoot, 75 Ω in Series		50		pF
Distortion & Noise Performance						
HD2	Harmonic Distortion (2 nd)	2 $V_{PP}, 10$ MHz		-56		dBc
HD2_1		4 $V_{PP}, 10$ MHz, $R_L = 1 k\Omega$ to $V_S/2$		-61		
HD3	Harmonic Distortion (3 rd)	2 $V_{PP}, 10$ MHz		-73		dBc
HD3_1		4 $V_{PP}, 10$ MHz, $R_L = 1 k\Omega$ to $V_S/2$		-64		
THD	Total Harmonic Distortion	4 $V_{PP}, 10$ MHz, $R_L = 1 k\Omega$ to $V_S/2$		-58		
V_{N1}	Input Voltage Noise	>10 MHz		7		nV/ \sqrt{Hz}
V_{N2}		1 MHz		10		

5V 電気的特性

特記のない限り、 $V_S = 5V$ 、 $A_V = +2$ 、 $R_F = 604$ 、 V^+ に接続された \overline{SD} 、 $V_{OUT} = V_S/2$ 、 V^- に接続する $R_L = 150$ の単一電源。太字のリミット値は全温度範囲に適用されます。(Note 2)(つづき)

Symbol	Parameter	Condition	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
I_N	Input Current Noise	>1 MHz		50		fA/ $\sqrt{\text{Hz}}$
Static, DC Performance						
V_{IO}	Input Offset Voltage			± 1	± 2.4 ± 5.0	mV
DV_{IO}	Input Offset Voltage Average Drift	(Note 8)		-5		$\mu\text{V}/^\circ\text{C}$
I_B	Input Bias Current	(Note 9)		5	50	pA
I_{OS}	Input Offset Current	(Note 9)		2	25	pA
R_{IN}	Input Resistance	$0V \leq V_{IN} \leq 3.5V$		10		T Ω
C_{IN}	Input Capacitance			1.3		pF
+PSRR	Positive Power Supply Rejection Ratio	DC	55 51	59		dB
-PSRR	Negative Power Supply Rejection Ratio	DC	53 50	61		dB
CMRR	Common Mode Rejection Ratio	DC	56 53	68		dB
CMVR	Input Voltage Range	CMRR > 50 dB	V- -0.20	-	V+ - 1.5	V
I_{CC}	Supply Current	Normal Operation $V_{OUT} = V_S/2$		9.6	11.5 13.5	mA
		Shutdown \overline{SD} tied to $\leq 0.5V$ (Note 5)		100		nA
VOH1	Output High Voltage (Relative to V^+)	$R_L = 150\Omega$ to V^-	-210 -480	-190		mV
VOH2		$R_L = 75\Omega$ to $V_S/2$		-190		
VOH3		$R_L = 10\text{ k}\Omega$ to V^-	-60 -110	-12		
VOL1	Output Low Voltage (Relative to V^-)	$R_L = 150\Omega$ to V^-		+5	+45 +125	mV
VOL2		$R_L = 75\Omega$ to $V_S/2$		+120		
VOL3		$R_L = 10\text{ k}\Omega$ to V^-		+5	+45 +125	
I_O	Output Current	$V_{OUT} < 0.6V$ from Respective Supply	Source	150		mA
			Sink	180		
I_{O-1}		$V_{OUT} = V_S/2$, $V_{ID} = \pm 18\text{ mV}$ (Note 10)	± 100			
Load	Output Load Rating	THD < -30 dBc, $f = 200\text{ kHz}$, R_L tied to $V_S/2$, $V_{OUT} = 4 V_{PP}$		20		Ω
$R_{O-Enabled}$	Output Resistance	Enabled, $A_V = +1$		0.2		Ω
$R_{O-Disabled}$	Output Resistance	Shutdown		>100		M Ω
$C_{O-Disabled}$	Output Capacitance	Shutdown		5.0		pF
Miscellaneous Performance						
VDMAX	Voltage Limit for Disable (Pin 5)	(Note 5)	0		0.5	V
VDMIN	Voltage Limit for Enable (Pin 5)	(Note 5)	4.5		5.0	V
I_i	Logic Input Current (Pin 5)	$\overline{SD} = 5V$ (Note 5)		10		pA
V_{glitch}	Turn-on Glitch			2.2		V
T_{on}	Turn-on Time			1.4		μs
T_{off}	Turn-off Time			520		ns
Isolation _{OFF}	Off Isolation	1 MHz, $R_L = 1\text{ k}\Omega$		60		dB
T_{OL}	Overload Recovery			<20		ns

3.3V 電气的特性

特記のない限り、 $V_S = 3.3V$ 、 $A_V = +2$ 、 $R_F = 604$ 、 V^+ に接続された \overline{SD} 、 $V_{OUT} = V_S/2$ 、 V^- に接続する $R_L = 150$ の単一電源。太字のリミット値は全温度範囲に適用されます。(Note 2)

Symbol	Parameter	Condition	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
Frequency Domain Response						
SSBW	-3 dB Bandwidth Small Signal	$V_{OUT} = 0.25 V_{PP}$		125		MHz
SSBW_1		$V_{OUT} = 0.25 V_{PP}$, $A_V = +1$		250		
Peak	Peaking	$V_{OUT} = 0.25 V_{PP}$, $A_V = +1$		3		dB
Peak_1	Peaking	$V_{OUT} = 0.25 V_{PP}$		0.05		dB
LSBW	-3 dB Bandwidth Large Signal	$V_{OUT} = 2 V_{PP}$		75		MHz
Peak_2	Peaking	$V_{OUT} = 2 V_{PP}$		0		dB
0.1 dB BW	0.1 dB Bandwidth	$V_{OUT} = 2 V_{PP}$		30		MHz
GBWP_1k	Gain Bandwidth Product	Unity Gain, $R_L = 1 k\Omega$ to $V_S/2$		115		MHz
GBWP_150		Unity Gain, $R_L = 150\Omega$ to $V_S/2$		105		
A_{VOL}	Large Signal Open Loop Gain	$0.3V < V_{OUT} < 3V$	56	67		dB
PBW	Full Power BW	-1 dB, $A_V = +4$, $V_{OUT} = 2.8V_{PP}$, $R_L = 150\Omega$ to $V_S/2$		30		MHz
DG	Differential Gain	4.43 MHz, $0.85V \leq V_{OUT} \leq 2.45V$, $R_L = 150\Omega$ to V^-		0.06		%
DP	Differential Phase	4.43 MHz, $0.85V \leq V_{OUT} \leq 2.45V$, $R_L = 150\Omega$ to V^-		0.23		deg
Time Domain Response						
TRS/TRL	Rise & Fall Time	0.25V Step		2.7		ns
OS	Overshoot	0.25V Step		10		%
SR	Slew Rate	2V Step		260		V/ μ s
T_S	Settling Time	1V Step, $\pm 0.1\%$		70		ns
$T_{S,1}$		1V Step, $\pm 0.02\%$		300		
PD	Propagation Delay	Input to Output, 250 mV Step, 50%		2.6		ns
C_L	Cap Load Tolerance	$A_V = -1$, 10% Overshoot, 82 Ω in Series		50		pF
Distortion & Noise Performance						
HD2	Harmonic Distortion (2 nd)	2 V_{PP} , 10 MHz		-61		dBc
HD2_1		2 V_{PP} , 10 MHz $R_L = 1 k\Omega$ to $V_S/2$		-79		
HD3	Harmonic Distortion (3 rd)	2 V_{PP} , 10 MHz		-53		dBc
HD3_2		2 V_{PP} , 10 MHz $R_L = 1 k\Omega$ to $V_S/2$		-69		
THD	Total Harmonic Distortion	2 V_{PP} , 10 MHz $R_L = 1 k\Omega$ to $V_S/2$		-66		dBc
V_{N1}	Input Voltage Noise	>10 MHz		7		nV/ \sqrt{Hz}
V_{N2}		1 MHz		10		
I_N	Input Current Noise	>1 MHz		50		fA/ \sqrt{Hz}
Static, DC Performance						
V_{IO}	Input Offset Voltage			± 1	± 2.6 ± 5.5	mV
DV_{IO}	Input Offset Voltage Average Drift	(Note 8)		-4.5		μ V/ $^{\circ}$ C
I_B	Input Bias Current	(Note 9)		5	50	pA
I_{OS}	Input Offset Current	(Note 9)		2	25	pA
R_{IN}	Input Resistance	$0V \leq V_{IN} \leq 1.8V$		15		T Ω

3.3V 電気的特性

特記のない限り、 $V_S = 3.3V$ 、 $A_V = +2$ 、 $R_F = 604$ 、 V^+ に接続された \overline{SD} 、 $V_{OUT} = V_S/2$ 、 V^- に接続する $R_L = 150$ の単一電源。太字のリミット値は全温度範囲に適用されます。(Note 2)(つづき)

Symbol	Parameter	Condition	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
C_{IN}	Input Capacitance			1.4		pF
+PSRR	Positive Power Supply Rejection Ratio	DC	61 51	80		dB
-PSRR	Negative Power Supply Rejection Ratio	DC	57 52	72		dB
CMRR	Common Mode Rejection Ratio	DC	58 55	73		dB
CMVR	Input Voltage Range	CMRR > 50 dB	V- -0.20	-	V+ -1.5	V
I_{CC}	Supply Current	Normal Operation $V_{OUT} = V_S/2$		9.2	11 13	mA
		Shutdown \overline{SD} tied to $\leq 0.33V$ (Note 5)		100		nA
VOH1	Output High Voltage (Relative to V^+)	$R_L = 150\Omega$ to V^-	-210 -360	-190		mV
VOH2		$R_L = 75\Omega$ to $V_S/2$		-190		
VOH3		$R_L = 10\text{ k}\Omega$ to V^-	-50 -100	-10		
VOL1	Output Low Voltage (Relative to V^-)	$R_L = 150\Omega$ to V^-		+4	+45 +125	mV
VOL2		$R_L = 75\Omega$ to $V_S/2$		+105		
VOL3		$R_L = 10\text{ k}\Omega$ to V^-		+4	+45 +125	
I_O	Output Current	$V_{OUT} < 0.6V$ from Respective Supply	Source		50	mA
			Sink		75	
I_{O-1}		$V_{OUT} = V_S/2$, $V_{ID} = \pm 18\text{ mV}$ (Note 10)	± 75			
Load	Output Load Rating	THD < -30 dBc, $f = 200\text{ kHz}$, R_L tied to $V_S/2$, $V_{OUT} = 2.6 V_{PP}$		25		Ω
$R_{O_Enabled}$	Output Resistance	Enabled, $A_V = +1$		0.2		Ω
$R_{O_Disabled}$	Output Resistance	Shutdown		>100		M Ω
$C_{O_Disabled}$	Output Capacitance	Shutdown		5.6		pF
Miscellaneous Performance						
VDMAX	Voltage Limit for Disable (Pin 5)	(Note 5)	0		0.33	V
VDMIN	Voltage Limit for Enable (Pin 5)	(Note 5)	2.97		3.3	V
I_i	Logic Input Current (Pin 5)	$\overline{SD} = 3.3V$ (Note 5)		8		pA
V_{glitch}	Turn-on Glitch			1.6		V
T_{on}	Turn-on Time			3.5		μs
T_{off}	Turn-off Time			500		ns
Isolation _{OFF}	Off Isolation	1 MHz, $R_L = 1\text{ k}\Omega$		60		dB

2.7V 電气的特性

特記のない限り、 $V_S = 2.7V$ 、 $A_V = +2$ 、 $R_F = 604$ 、 V^+ に接続された \overline{SD} 、 $V_{OUT} = V_S/2$ 、 V^- に接続する $R_L = 150$ の単一電源。太字のリミット値は全温度範囲に適用されます。(Note 2)

Symbol	Parameter	Condition	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
Frequency Domain Response						
SSBW	-3 dB Bandwidth Small Signal	$V_{OUT} = 0.25 V_{PP}$		120		MHz
SSBW_1		$V_{OUT} = 0.25 V_{PP}$, $A_V = +1$		250		
Peak	Peaking	$V_{OUT} = 0.25 V_{PP}$, $A_V = +1$		3.1		dB
Peak_1	Peaking	$V_{OUT} = 0.25 V_{PP}$		0.1		dB
LSBW	-3 dB Bandwidth Large Signal	$V_{OUT} = 2 V_{PP}$		73		MHz
Peak_2	Peaking	$V_{OUT} = 2 V_{PP}$		0		dB
0.1 dB BW	0.1 dB Bandwidth	$V_{OUT} = 2V_{PP}$		30		MHz
GBWP_1k	Gain Bandwidth Product	Unity Gain, $R_L = 1 k\Omega$ to $V_S/2$		110		MHz
GBWP_150		Unity Gain, $R_L = 150\Omega$ to $V_S/2$		81		
A_{VOL}	Large Signal Open Loop Gain	$0.25V < V_{OUT} < 2.5V$	56	65		dB
PBW	Full Power BW	-1 dB, $A_V = +4$, $V_{OUT} = 2 V_{PP}$, $R_L = 150\Omega$ to $V_S/2$		13		MHz
DG	Differential Gain	4.43 MHz, $0.45V \leq V_{OUT} \leq 2.05V$ $R_L = 150\Omega$ to V^-		0.12		%
DP	Differential Phase	4.43 MHz, $0.45V \leq V_{OUT} \leq 2.05V$ $R_L = 150\Omega$ to V^-		0.62		deg
Time Domain Response						
TRS/TRL	Rise & Fall Time	0.25V Step		2.7		ns
OS	Overshoot	0.25V Step		10		%
SR	Slew Rate	2V Step		260		V/ μ s
T_S	Settling Time	1V Step, $\pm 0.1\%$		147		ns
$T_{S,1}$		1V Step, $\pm 0.02\%$		410		
PD	Propagation Delay	Input to Output, 250 mV Step, 50%		3.4		ns
Distortion & Noise Performance						
HD2	Harmonic Distortion (2 nd)	1 V_{PP} , 10 MHz		-58		dBc
HD3	Harmonic Distortion (3 rd)	1 V_{PP} , 10 MHz		-60		dBc
V_{N1}	Input Voltage Noise	>10 MHz		8.4		nV/ \sqrt{Hz}
V_{N2}		1 MHz		12		
I_N	Input Current Noise	>1 MHz		50		fA/ \sqrt{Hz}
Static, DC Performance						
V_{IO}	Input Offset Voltage			± 1	± 3.5 ± 6.5	mV
DV_{IO}	Input Offset Voltage Average Drift	(Note 8)		-6.5		μ V/ $^{\circ}$ C
I_B	Input Bias Current	(Note 9)		5	50	pA
I_{OS}	Input Offset Current	(Note 9)		2	25	pA
R_{IN}	Input Resistance	$0V \leq V_{IN} \leq 1.2V$		20		T Ω
C_{IN}	Input Capacitance			1.6		pF
+PSRR	Positive Power Supply Rejection Ratio	DC	58 53	68		dB
-PSRR	Negative Power Supply Rejection Ratio	DC	56 53	69		dB
CMRR	Common Mode Rejection Ratio	DC	57 52	77		dB
CMVR	Input Voltage Range	CMRR > 50 dB	V- -0.20	-	V+ -1.5	V

2.7V 電気的特性

特記のない限り、 $V_S = 2.7V$ 、 $A_V = +2$ 、 $R_F = 604$ 、 V^+ に接続された \overline{SD} 、 $V_{OUT} = V_S/2$ 、 V^- に接続する $R_L = 150$ の単一電源。太字のリミット値は全温度範囲に適用されます。(Note 2)(つづき)

Symbol	Parameter	Condition	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
I_{CC}	Supply Current	Normal Operation $V_{OUT} = V_S/2$		9.0	10.6 12.5	mA
		Shutdown \overline{SD} tied to $\leq 0.27V$ (Note 5)		100		
VOH1	Output High Voltage (Relative to V^+)	$R_L = 150\Omega$ to V^-	-260 -420	-200		mV
VOH2		$R_L = 75\Omega$ to $V_S/2$		-200		
VOH3		$R_L = 10\text{ k}\Omega$ to V^-	-50 100	-10		
VOL1	Output Low Voltage (Relative to V^-)	$R_L = 150\Omega$ to V^-		+4	+45 +125	mV
VOL2		$R_L = 75\Omega$ to $V_S/2$		+125		
VOL3		$R_L = 10\text{ k}\Omega$ to V^-		+4	+45 125	
I_O	Output Current	$V_{OUT} \leq 0.6V$ from Respective Supply	Source		25	mA
			Sink		62	
I_{O_1}		$V_{OUT} = V_S/2$, $V_{ID} = \pm 18\text{ mV}$ (Note 10)	Source	25		
			Sink	35		
Load	Output Load Rating	THD < -30 dBc, $f = 200\text{ kHz}$, R_L tied to $V_S/2$, $V_{OUT} = 2.2 V_{PP}$		40		Ω
R_{O_Enable}	Output Resistance	Enabled, $A_V = +1$		0.2		Ω
$R_{O_Disabled}$	Output Resistance	Shutdown		>100		M Ω
$C_{O_Disabled}$	Output Capacitance	Shutdown		5.6		pF
Miscellaneous Performance						
VDMAX	Voltage Limit for Disable (Pin 5)	(Note 5)	0		0.27	V
VDMIN	Voltage Limit for Enable (Pin 5)	(Note 5)	2.43		2.7	V
I_i	Logic Input Current (Pin 5)	$\overline{SD} = 2.7V$ (Note 5)		4		pA
V_{glitch}	Turn-on Glitch			1.2		V
T_{on}	Turn-on Time			5.2		μs
T_{off}	Turn-off Time			760		ns
Isolation _{OFF}	Off Isolation	1 MHz, $R_L = 1\text{ k}\Omega$		60		dB

Note 1: 絶対最大定格とは、IC に破壊が発生する可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証規格およびその試験条件については、「電気的特性」を参照してください。

Note 2: 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。工場試験条件で生じる自己発熱は、 $T_J = T_A$ となる程度にきわめてわずかです。「電気的特性」には、自己発熱により $T_J > T_A$ となる条件下で保証されるパラメータ性能値は記載されていません。

Note 3: 最大連続出力電流 (I_{OUT}) はデバイスの最大消費電力で決まります。

Note 4: 人体モデル適用規格: MIL-STD-883, Method 3015.7
マシン・モデル適用規格: JESD22-A115-A (ESD MM std. of JEDEC)
電場 (界) 誘導帯電モデル適用規格: JESD22-C101-C (ESD FICDM std. of JEDEC)

Note 5: \overline{SD} ロジックは CMOS と互換性があります。適切なロジック・レベルを維持し、消費電流を最小化するためには、 \overline{SD} は基本的に、いずれかの電源レールから、合計電源電圧の 10% 以内でなければなりません。

Note 6: 代表値 (typ) は、特性解析時に確定された最も標準的なパラメータ値を示します。実測値は、経時的に変化するとともに、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。

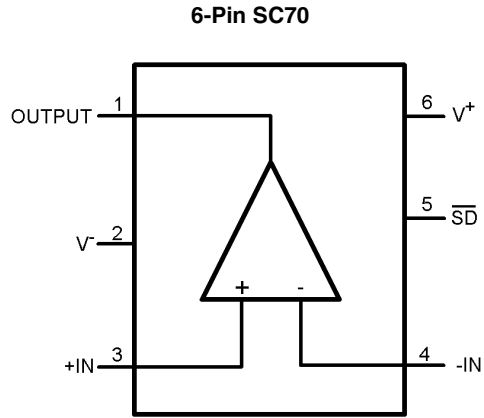
Note 7: 負の入力電流にはデバイスから流れ出る電流が含まれます。

Note 8: ドリフトは、2 点の温度間で生じたパラメータの変化量を、2 点の温度間の温度差で除算したものです。

Note 9: このパラメータは設計によって保証されています。製造時の試験は行っていません。

Note 10: " V_{ID} " は差動入力電圧 (入力オーバードライブ) です。

配置図



Top View

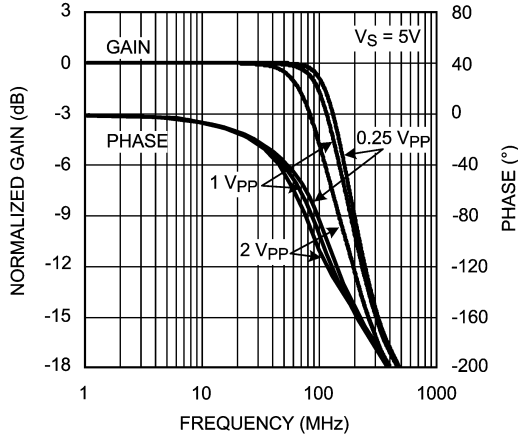
製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
6-Pin SC70	LMH6601MG	A95	1k Units Tape and Reel	MAA06A
	LMH6601MGX		3k Units Tape and Reel	

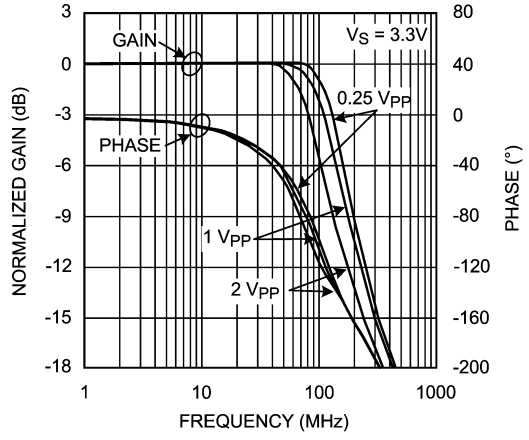
代表的な性能特性

特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。

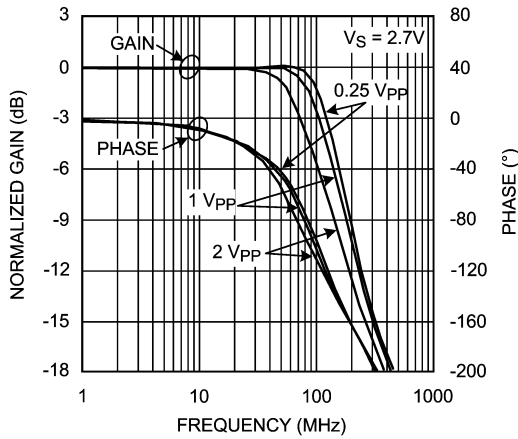
Frequency Response for Various Output Amplitudes



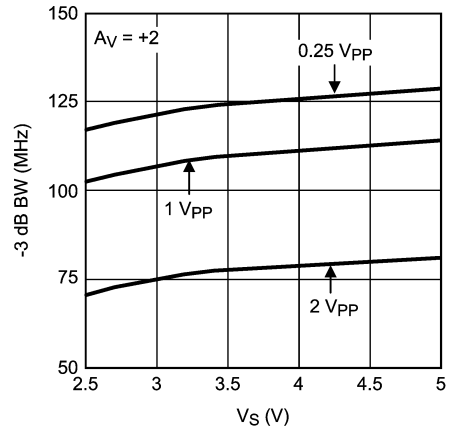
Frequency Response for Various Output Amplitudes



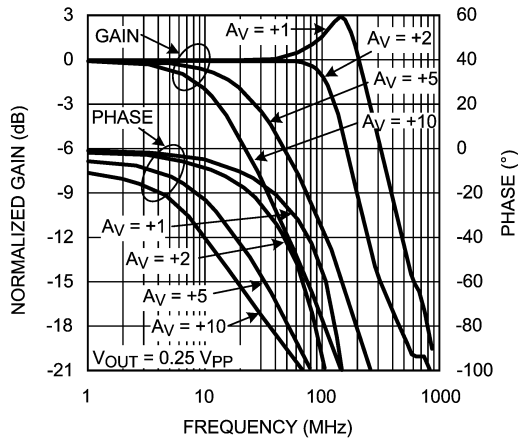
Frequency Response for Various Output Amplitudes



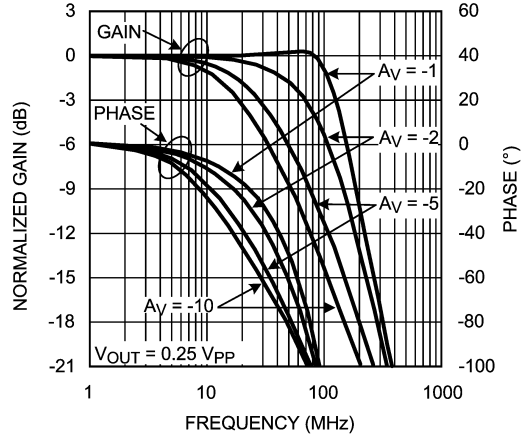
-3 dB BW vs. Supply Voltage for Various Output Swings



Non-inverting Frequency Response for Various Gain



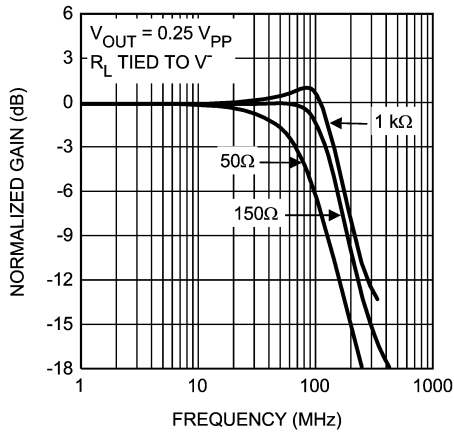
Inverting Frequency Response for Various Gain



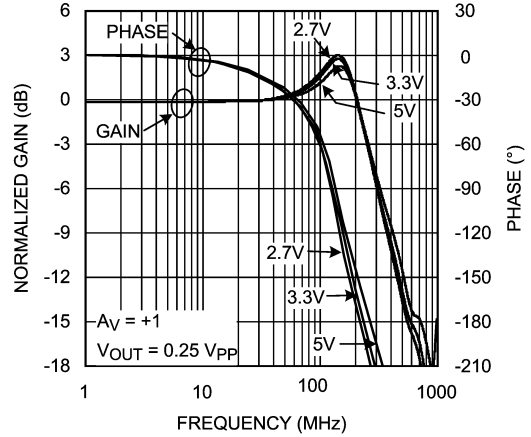
代表的な性能特性

特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)

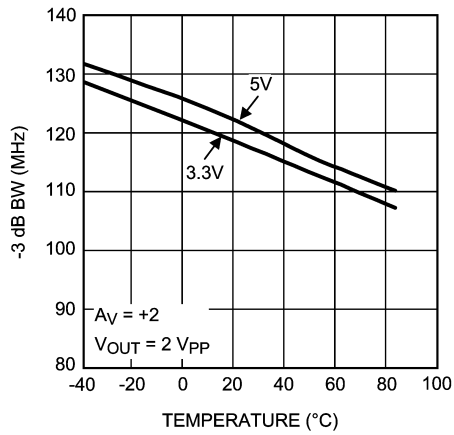
Frequency Response for Various Loads



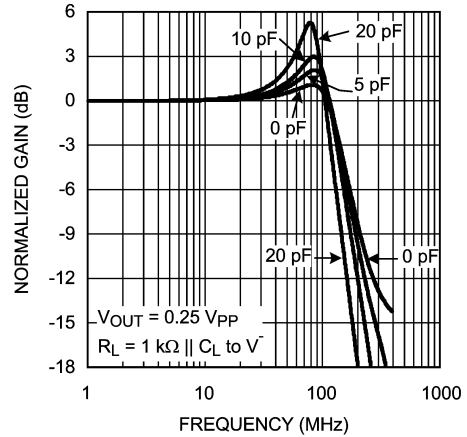
Frequency Response for Various Supply Voltages



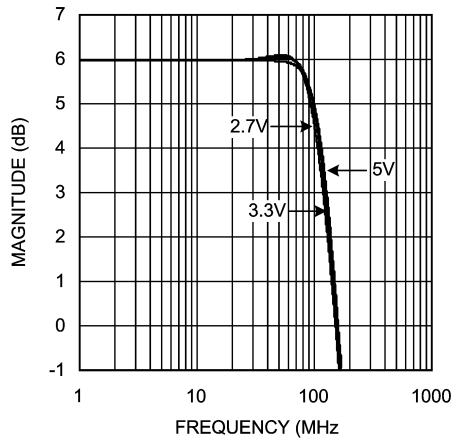
-3 dB BW vs. Ambient Temperature



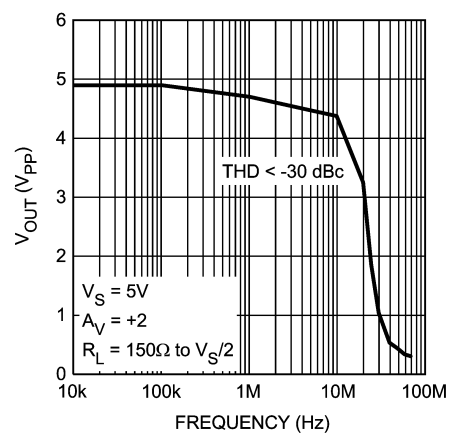
Frequency Response for Various Cap Load



Frequency Response for Various Supply Voltage

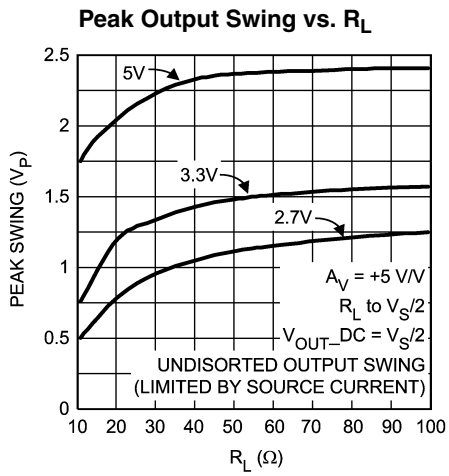


Max Output Swing vs. Frequency

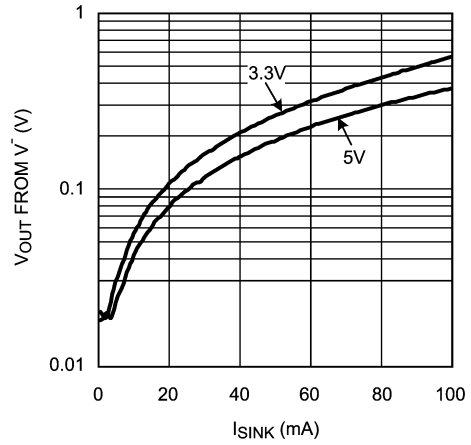


代表的な性能特性

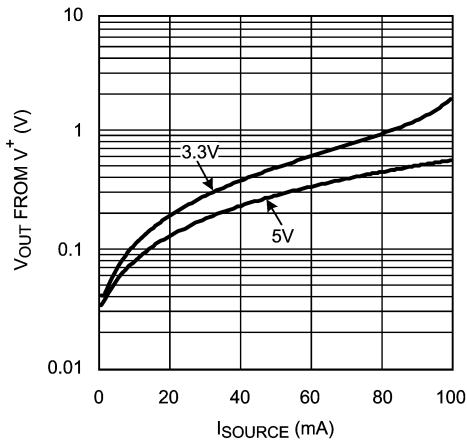
特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)



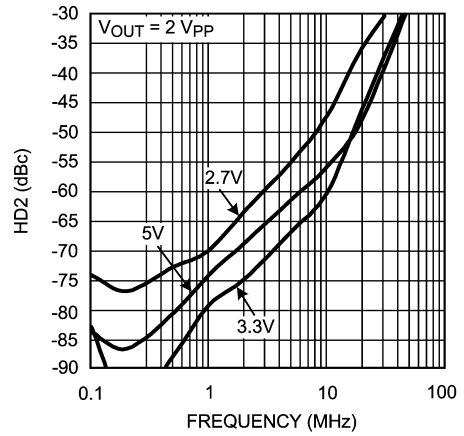
Output Swing vs. Sink Current for Various Supply Voltages



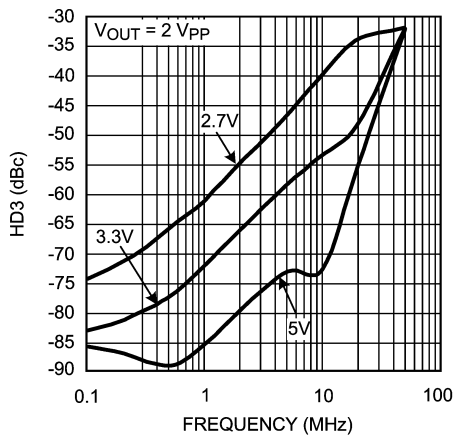
Output Swing vs. Source Current for Various Supply Voltages



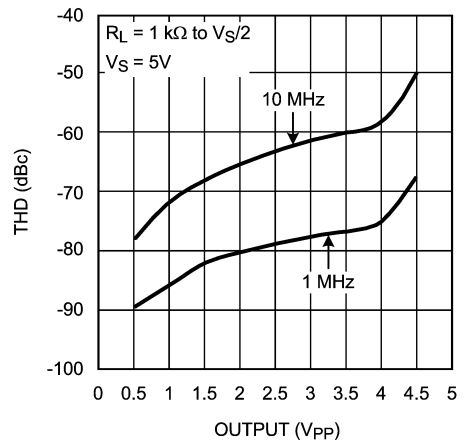
HD2 vs. Frequency



HD3 vs. Frequency



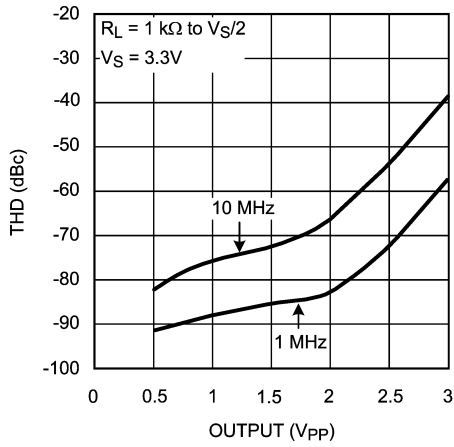
THD vs. Output Swing



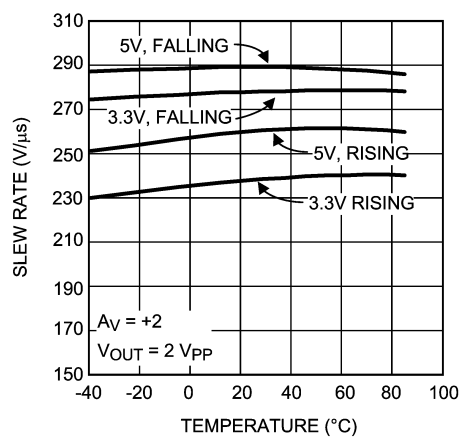
代表的な性能特性

特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)

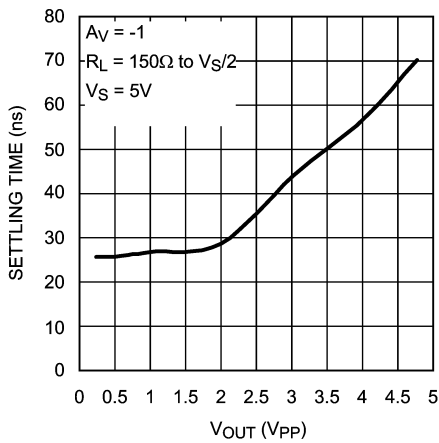
THD vs. Output Swing



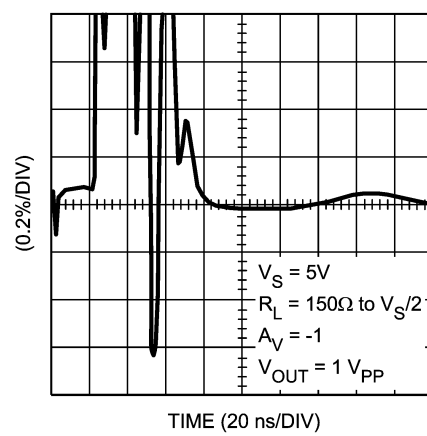
Slew Rate vs. Ambient Temperature



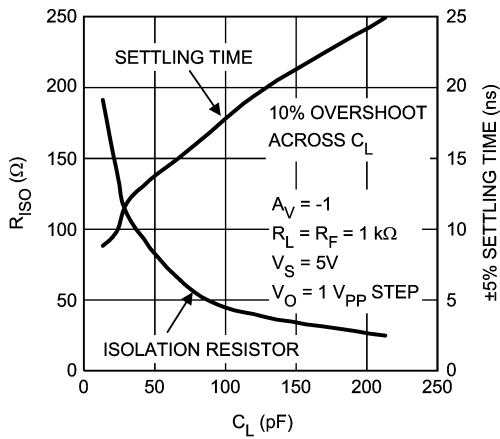
Settling Time ($\pm 1\%$) vs. Output Swing



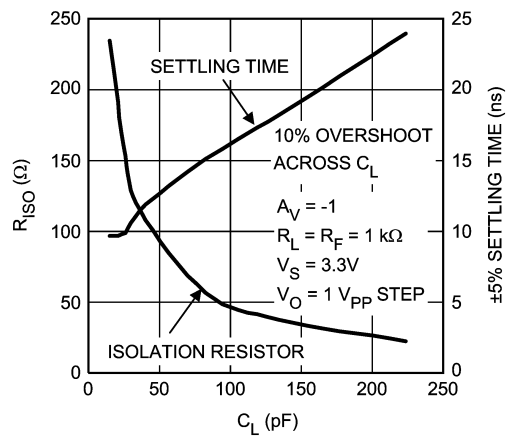
Output Settling



Isolation Resistor & Settling Time vs. C_L



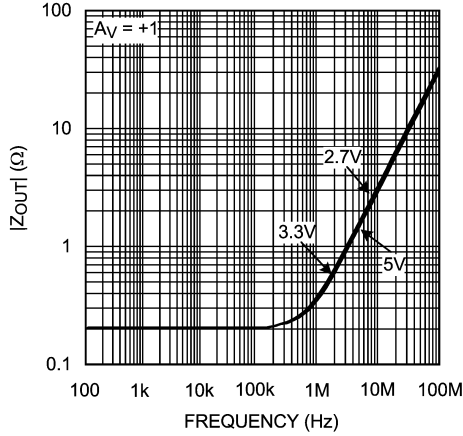
Isolation Resistor & Settling Time vs. C_L



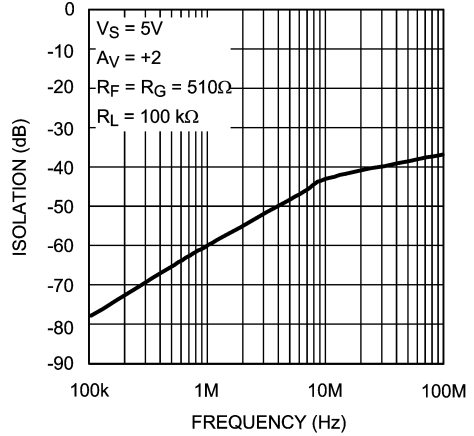
代表的な性能特性

特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)

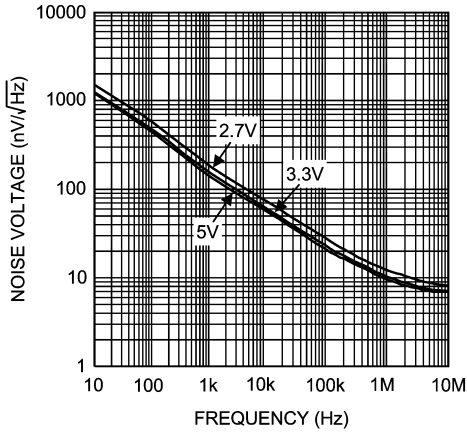
Closed Loop Output Impedance vs. Frequency for Various Supply Voltages



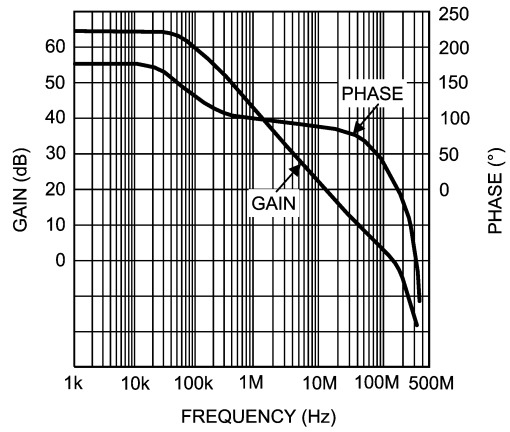
Off Isolation vs. Frequency



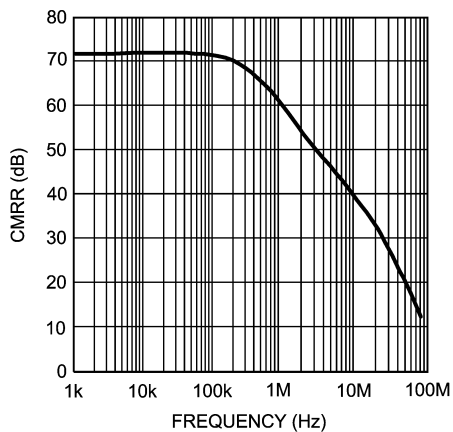
Noise Voltage vs. Frequency



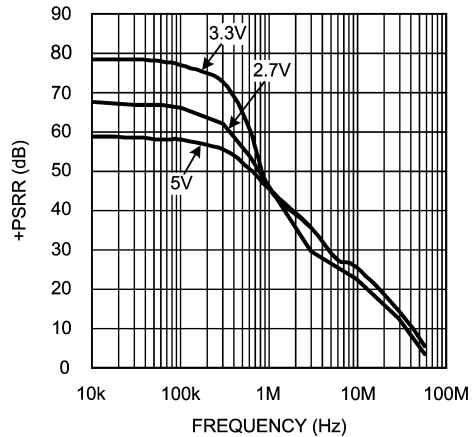
Open Loop Gain/Phase



CMRR vs. Frequency



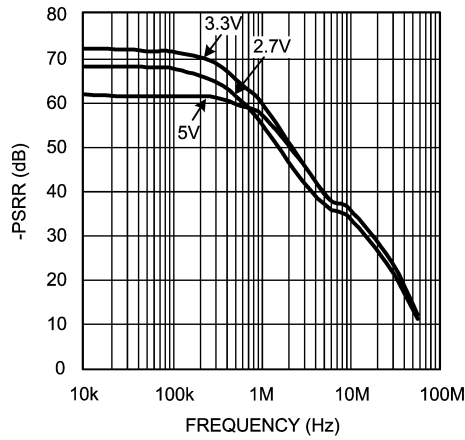
+PSRR vs. Frequency



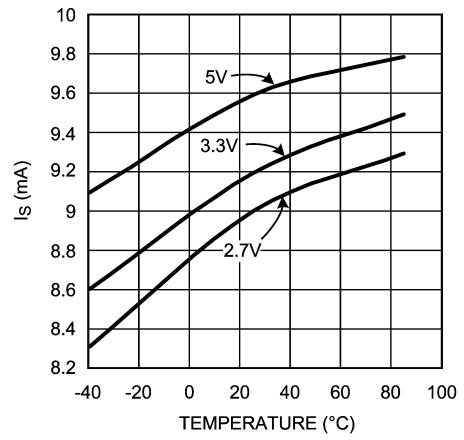
代表的な性能特性

特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)

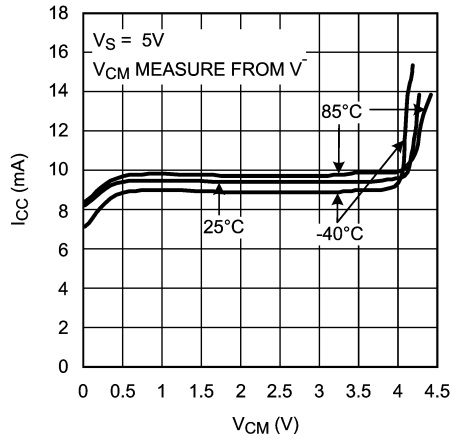
- PSRR vs. Frequency



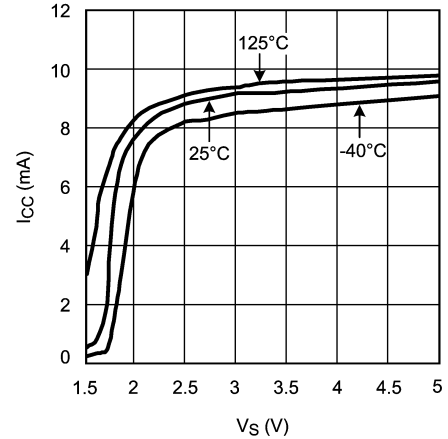
Supply Current vs. Ambient Temperature



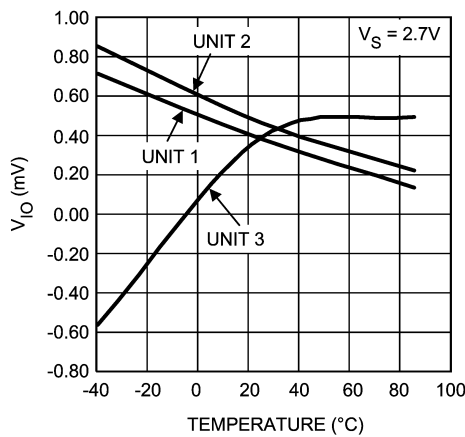
Supply Current vs. V_{CM}



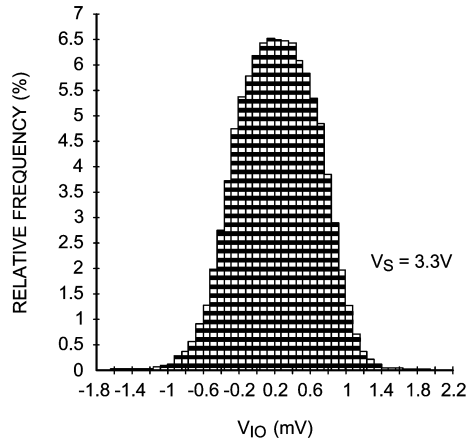
Supply Current vs. Supply Voltage



Offset Voltage vs. Ambient Temperature for 3 Representative Units



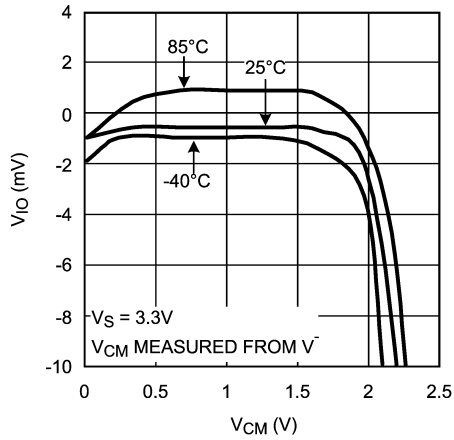
Offset Voltage Distribution



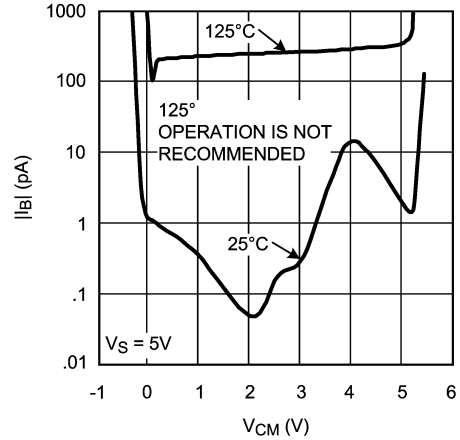
代表的な性能特性

特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)

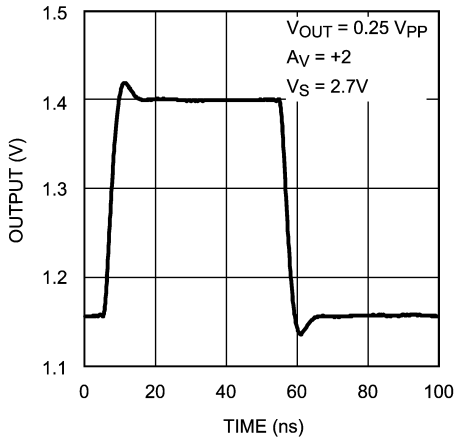
Offset Voltage vs. V_{CM} (Typical Part)



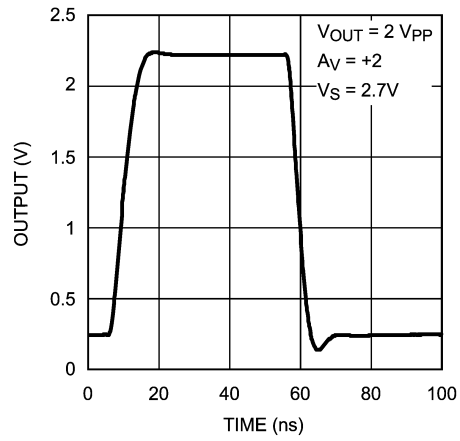
Input Bias Current vs. Common Mode Voltage



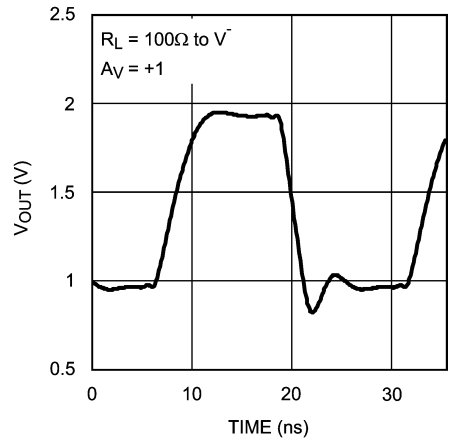
Small Signal Step Response



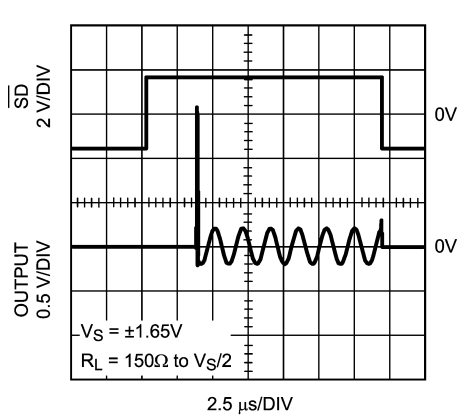
Large Signal Step Response



Large Signal Step Response

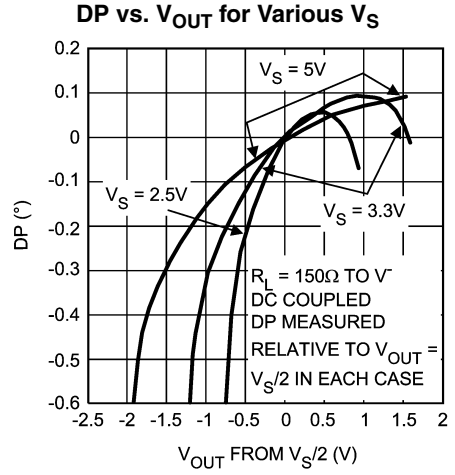
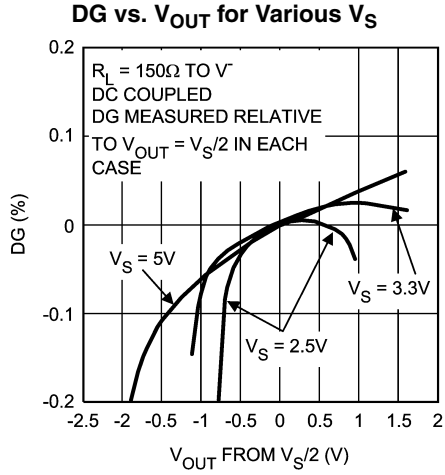


Turn On/Off Waveform

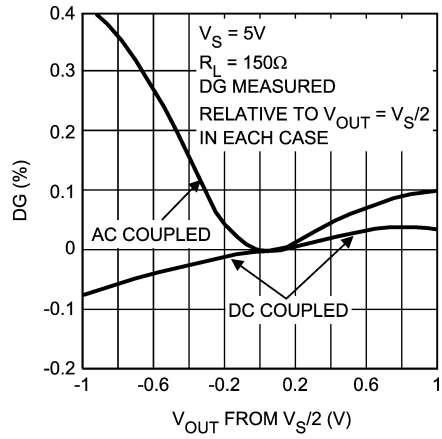


代表的な性能特性

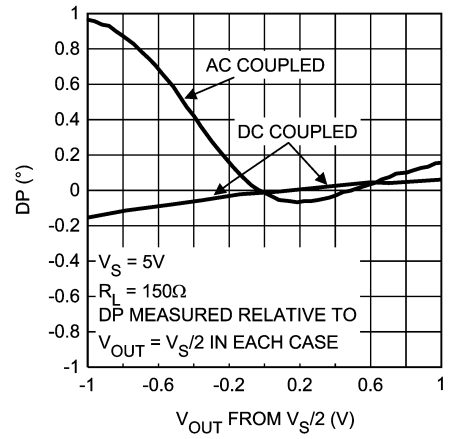
特記のない限り、すべてのデータは $A_V = +2$ 、 $R_F = R_G = 604$ 、 $V_S = 3.3V$ 、 $V_{OUT} = V_S/2$ 、 V^+ に接続された \overline{SD} 、 V^- に接続された $R_L = 150$ 、 $T = 25$ です。(つづき)



DG vs. V_{OUT} (DC and AC Coupled Load Compared)



DP vs. V_{OUT} (DC and AC Coupled Load Compared)



アプリケーション情報

性能の最適化

複数のオペアンプを使うと、出力を電流ソース・モードから電流シンク・モード、またはその逆に切り替える必要がある場合に、デバイスの非線形が拡大しループの安定性が低下する場合があります。歪みが最低に抑えられ、最良の微分利得、微分位相 (DG/DP、放送映像スペック) が実現されて、LMH6601 は、負荷電流が負電源電圧 (V^-) に戻る単一電源の DC 結合出力アプリケーションに最適です。これは、出力段の直線性が最もよい (つまり歪みが最も小さい) 場合で、このデバイスからの単極性電流が流れている場合に対応します。このため、出力が LMH6601 にとって歪み最適化動作モードであるソース電流のみとなる場合、歪みが改善されるのは明らかです。LMH6601 出力が AC 結合のアプリケーション、または V^+ および V^- の独立した両電源により電源供給される場合、出力段はソース電流およびシンク電流の両方を負荷に供給し、結果として最適な歪み (および DG/DP) より劣化します。Figure 1 は DC および AC 結合負荷の歪み結果を比較し、この違いを示しています。ビデオ負荷の DC および AC 結合の比較は、「代表的な性能特性」の DG/DP グラフを参照してください。

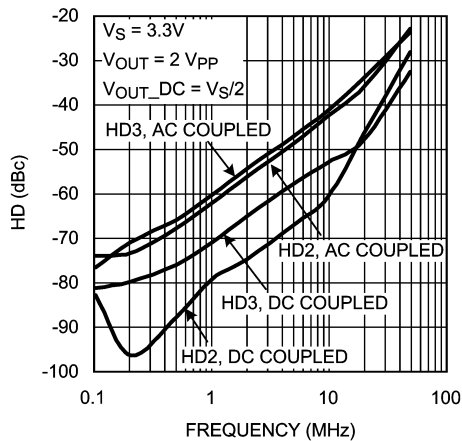


FIGURE 1. Distortion Comparison between DC & AC Coupling of the Load

アプリケーションによっては、負荷がバイポーラ出力電流を必要とする場合でも、出力にプルダウン抵抗器を加えることによって、最良の歪み (および DG/DP) に LMH6601 を最適化することができます。適切な値の出力プルダウン抵抗器を接続すると、LMH6601 出力負荷をソースすることのみに変更できます。プルダウン抵抗器を加えると、消費電力の合計値が増大し、必要な出力電流が増加します。

Figure 2 に、両電源および AC 結合負荷アプリケーションのプルダウン抵抗値を計算する方法を示しています。

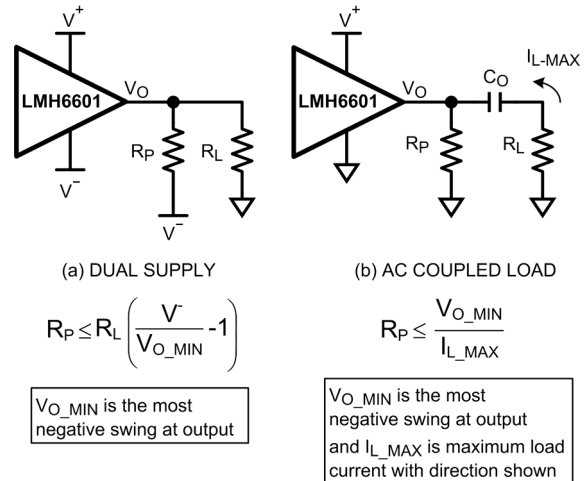


FIGURE 2. Output Pull-Down Value for Dual Supply & AC Coupling

さらに、小さい閉ループ・ゲイン設定 (たとえばデバイス帯域幅が最高の場合に $A_V = +1$)、軽い出力負荷 ($R_L > 1k$) の組み合わせ、および大きな容量性負荷 ($C_L > 10pF$) の場合、出力シンク電流がおよそ 5mA 未満であれば LMH6601 は最も安定します。Figure 2 に記載したプルダウン方法は、これらの場合の他、通常はオペアンプによってシンクされる電流が R_p 経路に迂回する場合にも適応可能です。

シャットダウン機能およびターン・オン/ターン・オフ動作

デバイスがシャットダウン・モードのときは、出力は高インピーダンス ($R_{OUT} > 100M$) のモードになります。このモードでは、入力・出力ピン間の経路はデバイスの周囲の外付け部品のみになります。そのため、反転入力へのアクティブな信号接続があるアプリケーションでは LMH6601 をシャットダウンにすると、これらの外付け部品の電流により、出力に信号振幅が発生します。シャットダウン・モードの非反転アンプでは、入力と出力が完全に絶縁されているため、容量性結合の場合を別として、出力振幅は発生しません。

省電力化のために、LMH6601 はシャットダウン時に電流がおよそ $0.1\mu A$ にまで低下します。省電力化のために、デバイス内の主な消費電力はすべてディスエーブルされます。このため、LMH6601 のターン・オン時間はマイクロ秒単位になりますが、ターン・オフは、この種の高速度デバイスに期待されるように高速 (ナノ秒単位) です。

LMH6601 の \overline{SD} ピンは、ピコアンペア・レベルの入力電流で駆動される CMOS 互換入力です。デバイス状態が不安定になるので、このピンは一定レベルに接続する必要があります。デバイスのシャットダウン・スレッシュホールドは、いずれの電源電圧でも V^+ と V^- の電位の中間の値です。例えば、10V に接続された V^+ を 10V に、および V^- を 5V に接続した場合、スレッシュホールドは 7.5V となります。 \overline{SD} ピンが合計電源電圧の 10% 以内に保たれている限り、デバイスの状態 (シャットダウンまたは通常動作) は全温度範囲にわたって保証されます。

$V^+ = 10V$ 、 $V^- = 5V$ の例を挙げると、次のとおりです。

- シャットダウン範囲: $5V \overline{SD} 5.5V$
- 通常動作範囲: $9.5V \overline{SD} 10V$

アプリケーション情報 (つづき)

オーバーロードからの復帰および電源電圧に近い振幅
 LMH6601 は出力過負荷状態から 20ns 未満で復帰できます。入力および出力の波形は次に示す Figure 3 を参照してください。

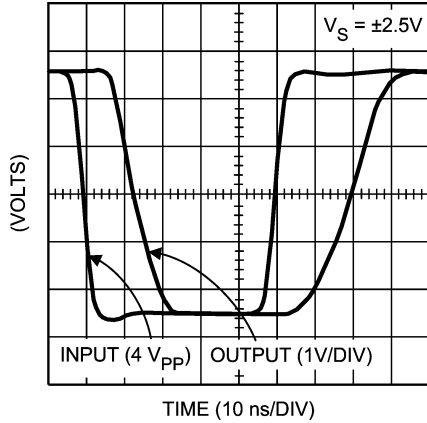


FIGURE 3. LMH6601 Output Overload Recovery Waveform

Figure 3 では、出力が最初に一方の電源電圧、次に他方の電源電圧へとドライブされるよう入力ステップ関数が設定されています。そして出力の回復が、入力が 0V を通過したときから出力がこの点に到達したときまでの時間として測定されています。

また、LMH6601 の入力電圧幅が V^+ レール付近を超える場合、一部のオペアンプと異なり、出力位相は反転しません。これは、サーボ・ループ制御など、出力位相の反転を絶対に避けなければならないアプリケーションにおいて、特に有利です。LMH6601 の一連の機能にこの機能が追加されることにより、さらにデバイスが使いやすくなります。

さらに、Figure 4 の波形に見られるように、いずれかの電源電圧に近い LMH6601 の出力振幅は良好な挙動を示します。

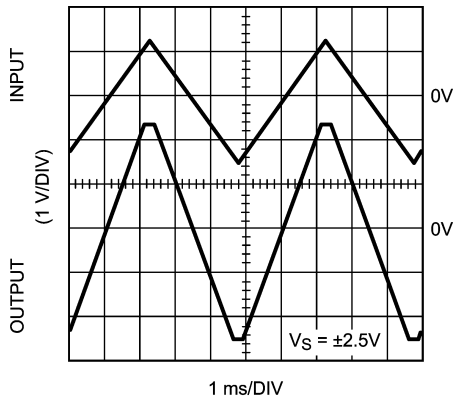


FIGURE 4. LMH6601's "Clean" Swing to Either Rail

オペアンプによっては、出力がいずれかの電源電圧または両方の電源電圧に近づき、飽和状態が始まると、位相マージンの喪失につながる。トランジスタ寄生容量が著しく増加します。そのためこれらのデバイスをすると、出力が電源電圧に近づくと不安定の兆候が見られることがあります。LMH6601 では、Figure 4 に示すとおり、出力波形が電圧の全域を通じて安定しています。

単一電源のビデオ・アプリケーション

LMH6601 は高速および高スルーレートのため、ビデオ・アンプおよびバッファに理想的です。単一動作電源のため、コストメリットがあります。単一電源ビデオ・システムは、低電源電圧と同時に、 V^- レールの値またはわずかに下回る値の入力同相電圧により動作できる LMH6601 のメリットを活かすことができます。さらに、単一電源ビデオ・アプリケーションで通常使用されている入出力 AC 結合コンデンサの値を削除または削減することにより、さらにコスト削減を実現できます。「アプリケーション情報」のセクションでは、上述のメリットを実現するために使われているいくつかの回路技術を示します。

DC 結合、単一電源ベースバンド・ビデオ・アンプドライバ

LMH6601 は、出力ダイナミック・レンジを最大化するために、いずれかの電源電圧に非常に近い出力振幅を示し、それは、低電圧の単一電源環境で動作する場合に特に重要です。軽い出力負荷の条件では、出力はいずれかの電源電圧の数ミリボルトに限りなく近い振幅が可能です。これにより、ビデオ・アンプはビデオの黒レベルを維持し優れたビデオ品質を実現できます。Figure 5 に示した例では、LMH6601 がベースバンド・ビデオ出力を増幅およびバッファし、その後 75 Ω のバック終端されたビデオ・ケーブルを駆動し、75 Ω 負荷に与えられる総ゲインを +1 にしています。入力ビデオは、通常 0V からおよそ 0.75V までのレベルにあります。

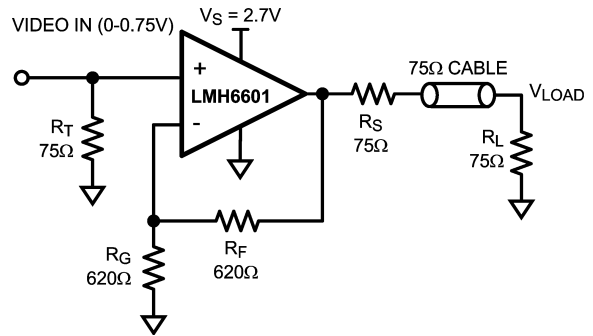


FIGURE 5. Single Supply Video Driver Capable of Maintaining Accurate Video Black Level

アプリケーション情報 (つづき)

V⁻ (グラウンド) 電源電圧を含む LMH6601 の同相入力電圧範囲のため、AC 結合またはレベル・シフトの必要がなく、入力はアンプの入力インピーダンスが大きいという利点も備える非反転入力を直接駆動できます。既に述べたとおり LMH6601 の幅広いフルスイング出力により、負荷回路の複雑さを最小限に抑え、AC 結合コンデンサを使わずにビデオの黒レベルを 0V に維持できます。LMH6601 の真のフルスイング出力がない場合、さらに重要なこととして LMH6601 の振幅が V⁻ に極めて近くなければ、回路はさらに複雑になり、図に示したように適切には動作しません。この回路はより高い入力電圧でも動作します。唯一重要な要件は、最大入力電圧から正電源 (V⁺) まで最低 1.8V が必要であるということです。

一部の安価なビデオ機器のコンポジット・ビデオ出力は、Figure 6 に示すとおり、負荷抵抗 (通常 75 Ω) の両端間にビデオ波形を発生させる電流源により構成されています。これらのアプリケーションでは、Figure 6 に示したのと同じ回路設定で、シンクおよびビデオを結合させたコンポジット・ビデオ波形をバッファおよび駆動できます。しかしこの回路構成では入力のピーク値が 1V と大きくなるため、適切な入力同相電圧ヘッドルームを確保するために LMH6601 の電源電圧は 3.3V 以上なければなりません。

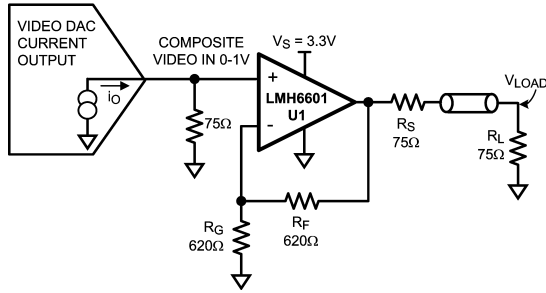


FIGURE 6. Single Supply Composite Video Driver for Consumer Video Outputs

「ビデオ入力」信号が負方向シンク・チップのコンポジット・ビデオの場合、前述の構成を変更しなければなりません。Figure 7 に示すとおり、この回路は、単極性 (0V 以上) の DC 結合単一電源ビデオ信号を発生させます。

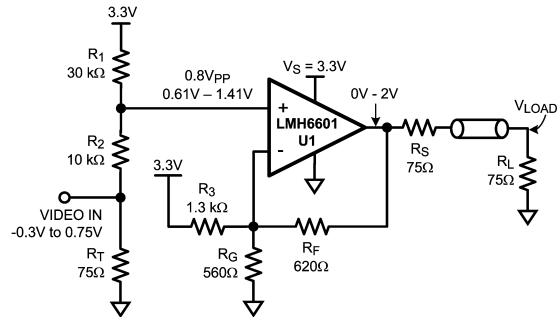


FIGURE 7. Single Supply DC Coupled Composite Video Driver for Negative Going Sync Tip

Figure 7 の回路では、U1 の同相入力電圧範囲を満たすために、R₁、R₂、R_T によって入力を正方向にシフトしています。信号は処理中に振幅の 20% を失います。U1 の閉ループ・ゲインは、この振幅の 20% の損失を埋め合わせるように設定する必要があります。これにより、以下に示すとおり 0.8V_{pp} 入力で 2V_{pp} 出力を得るゲインの式が導き出されます。

$$\frac{R_F}{R_G || R_3} = \frac{2V}{0.8V} - 1 = 1.5V/V \tag{1}$$

V_S (この場合は 3.3V) により、R₃ が出力側で負方向にシフトします。R₃ によって、「ビデオ入力」シンク・チップ (R_T で -0.3V、または U1 非反転入力で 0.61V) が出力の 0V 付近に対応するよう設定する必要があります。

$$\frac{R_F}{R_3} = \frac{0.61}{3.3V - 0.61} \left(1 + \frac{R_F}{R_G} \right) = 0.227 \left(1 + \frac{R_F}{R_G} \right) \tag{2}$$

式 (1) および式 (2) の両方を同時に解いて、両方の式を満たす R₃、R_F、および R_G の値を導き出す必要があります。データシートから、R_F = 620 Ω と設定すると、推奨されるゲイン + 2 に近づけることができます。R_G または R₃ の片方を推定して式 (1) および式 (2) を繰り返し解くと、R_G と R₃ から結果を得ることができます。繰り返しサイクルの実例を参考に示します。

アプリケーション情報 (つづき)

TABLE 1. Finding Figure 7 External Resistor Values by Iteration ($R_F = 620 \Omega$)

Estimate R_G (Ω)	Calculated (from Equation 2) R_3 (Ω)	Equation 1 LHS Calculated	Comment (Compare Equation 1 LHS Calculated to RHS)
1k	1.69k	0.988	Increase Equation 1 LHS by reducing R_G
820	1.56k	1.15	Increase Equation 1 LHS by reducing R_G
620	1.37k	1.45	Increase Equation 1 LHS by reducing R_G
390	239	4.18	Reduce Equation 1 LHS by increasing R_G
560	1.30k	1.59	Close to target value of 1.5V/V for Equation 1

Table 1 の R_G および R_3 の最終の組合せ値は、出力 (V_{LOAD}) に適切なゲインと正確なビデオ・レベル (0V ~ 1V) を生成します。

AC 結合ビデオ

多くのモニタとディスプレイが AC 結合入力に対応しています。AC 結合は、いくつかの点で増幅およびバッファが簡易化されます。Figure 8 に示すように、 R_1 と R_2 は単に入力を入力の線形領域中心に設定し、 C_{IN} はビデオをアンプの入力に AC 結合します。オペアンプは、 R_F と R_G により閉ループ・ゲインが 2 に設定されます。さらに、 C_G を配置して、電源電圧の中位の値にデバイス出力が確実にバイアスされます。出力には DC バイアスがあるため、負荷は C_O を経由して、AC 結合とする必要もあります。アプリ

ケーションによっては、値の小さいセラミック・コンデンサ (図になし) を電解コンデンサの C_O と並列に実装します。その理由は、全周波数で低インピーダンス出力に改善するために、セラミック・コンデンサは、高周波での電解コンデンサの誘導的な動作を分路することができるからです。

C_{G2} は、ビデオ周波数応答を改善するために、高周波数でのゲインを上げることを意図しています。この値は、アプリケーションごとのシステム要件に合わせてボード上で設定および調整されます。

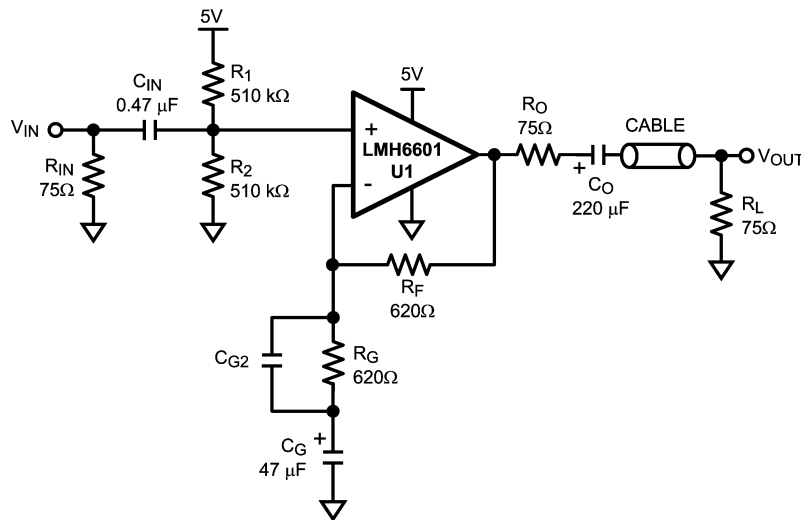


FIGURE 8. AC Coupled Video Amplifier/Driver

SAG 補償

Figure 8 に示したコンデンサ (C_{G2} を除く)、および特に C_O は、高価なボード上に占める面積の大きい大容量電解コンデンサです。いわゆる SAG 補償により、全部品の中で最も大きい出力結合コンデンサ C_O の値を小さくできます。SAG とは、ビデオに存在する低周波数ビデオ・コンテンツのために出力ビデオに生じる内容です。このコンテンツは、この回路の低周波数限界により出力 AC 結合回路を十分に通過できません。出力回路の -3dB の低周波数限界は、次の式により導き出されます。

$$f_{low_frequency} (-3\text{ dB}) = 1 / (2 * 75 * 2 * C_O) \tag{3}$$

= 約 4.82Hz これは $C_O = 220\mu\text{F}$ の場合です。

実用可能な SAG 補償の実装を Figure 9 に示します。

アプリケーション情報 (つづき)

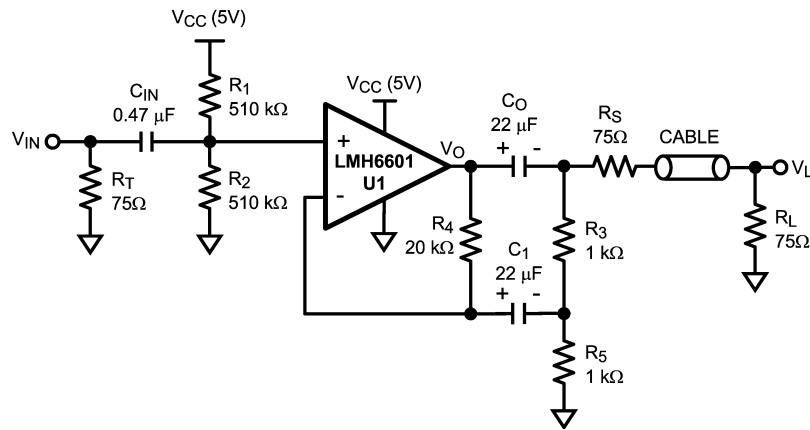


FIGURE 9. AC Coupled Video Amplifier/Driver with SAG Compensation

この回路では、オペアンプの出力電圧駆動値をほんの少し上げるだけで、出力結合コンデンサの値とサイズが大幅に削減されます。C₁ は SAG 補償の一部であるだけでなく、リニアリティ改善のために出力を電源電圧の半分に設定するよう、アンプの DC ゲインを 0dB に設定します。また、R₁ および R₂ のバイアス抵抗に、非常に大きい値 (510k) を選択していることにも注意してください。LMH6601 は、非常に低い入力バイアス電流であるため、この値を選択が可能で、この回路の C_{IN} の値を小さくすることができます。C_{IN} はコストを低減できる無極性コンデンサも可能です。

C₀ および C₁ の両方とも短絡と考えられる高い周波数では、R₃ が R₄ を分路し、閉ループ・ゲインが次の式によって決定されます。

$$\text{閉ループ・ゲイン (V/V)} = V_L/V_{IN} = (1 + (R_3 \parallel R_4)/R_5) [R_L/(R_L + R_0)] = 1V/V \quad (4)$$

中間周波数では、C₀、R₀、R_L の経路が低周波ゲインを減らし、R₃、R₅、C₁ の経路により C₀ の負荷側からの帰還が発生します。これらの低い周波数で負荷側のゲインが下がると、オペアンプの反転ノードへの帰還が下がり、その結果オペアンプの出力が増加します。

NTSC ビデオでは、C₀ の値が小さいと、垂直帰線消去期間 (~ 1.5ms) のビデオの黒レベルのシフト量に影響します。垂直帰線消去期間は、ビデオ信号がなく、そのため出力 SAG を発生させる負荷により生じる C₀ の電荷喪失の影響を受けやすい期間です。特に厳しいパターンは、“Pulse & Bar” と呼ばれる NTSC パターンです。このパターンでは、画面の上下全体が黒レベルの映像になります。このときおよそ 8.5ms の間 C₀ が負荷を通じて放電し、充電のためのビデオ信号はありません。

Figure 10 に Figure 9 の回路の出力を示し、SAG を示す波形をオシロスコープのカーソルが示しています。

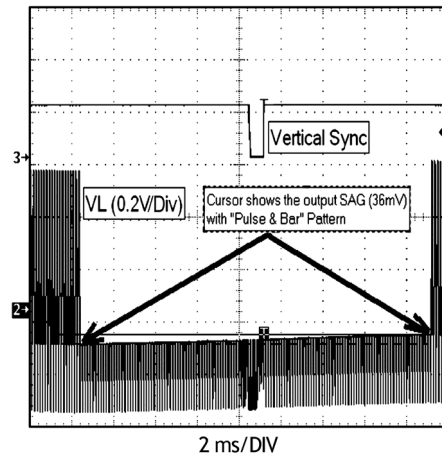


FIGURE 10. FIGURE Scope Photo Showing Video SAG

SAG 補正回路の出力ドライブは、SAG 補償のない回路に比べ、工夫されていて、特に電源電圧が低い場合に有効です。この点は、以下に示す出力振幅に及ぼす AC 結合の効果について簡単に説明することと、後ほど解説します。

Figure 9 の回路やその他の AC 結合パルス・アンプを使う場合、波形のデューティ・サイクルの変動は、どのようなノードにおいても電圧振幅に制限を加えます。これは Figure 11 の波形に示されています。

アプリケーション情報 (つづき)

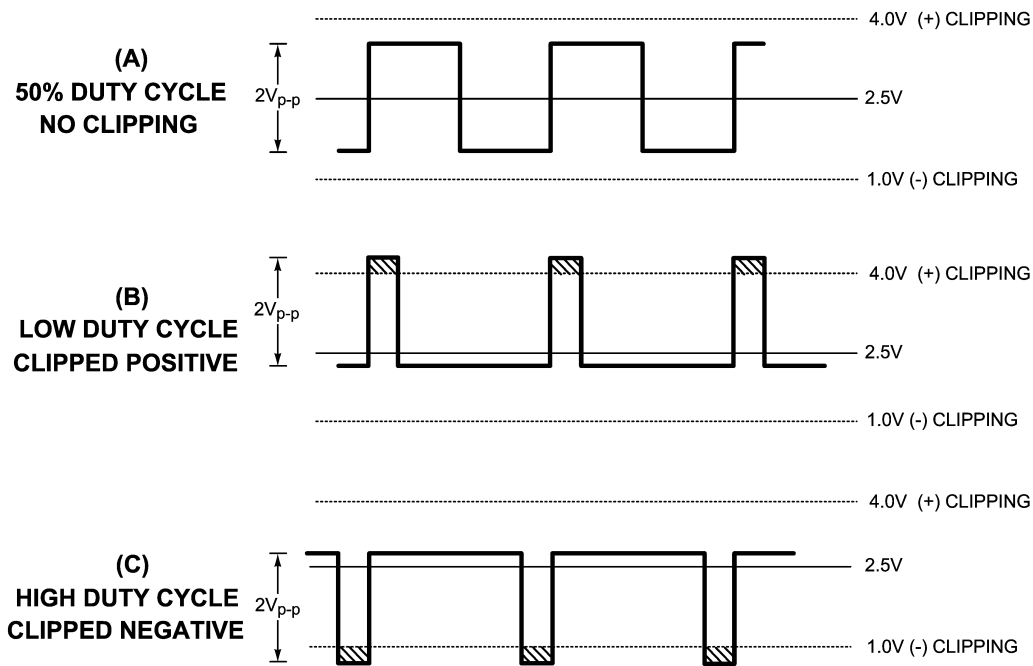


FIGURE 11. Headroom Considerations with AC Coupled Amplifiers

ある段で、所定のノードでクリップされないで使用可能な振幅が $3V_{pp}$ であるとする、Figure 11 に示すとおり、任意の波形に対する最大許容増幅は $3V$ の $1/2$ つまり $1.5V_{pp}$ です。これは、デューティ・サイクルが変動すると、波形の平均値がシフトするためです。Figure 11 は、 $2V_{pp}$ 信号が印加された場合にどのような状態になるかを示しています。Figure 11B に示すように、デューティ・サイクルが小さい波形は、正側への振幅が大きくなります。デューティ・サイクルが十分に小さい場合、図に示すとおり波形が表面にクリッピングされるか、または本格的なクリッピングの前にわずかに直線性が失われます。Figure 11C に示すように、デューティ・サイクル波形が大きく、負側にクリッピングされている場合はこれと逆のことが発生します。

それでは、前に予告したように SAG 補償出力振幅の工夫について述べましょう。Figure 9 の回路では、 $1V_{pp}$ のコンポジット・ビデオ入力により、この段のゲインが $2V/V$ に設定されているためオペアンプ出力に $2V_{pp}$ の振幅があります。出力が $V_{CC}/2$ (この場合 $2.5V$) に設定されたとき、ビデオ・デューティ・サイクルの変動が $100 \sim 0\%$ と仮定するとオペアンプの出力電圧は $0.5 \sim 4.5V$ の範囲になります。実際には、デューティ・サイクルはこのようなエンド・ポイントに近づくだけで、決して到達することはありません。Figure 12 はこの回路の応答を測定した値を示し、オペアンプ出力ピンにおける振幅のワーストケースを表しています。SAG 補償のためのオペアンプ出力の駆動回路の追加により、上側のビデオ波形にチルト (傾き) が表れ、電源電圧により近い出力振幅にクリッピングを発生させる原因となります。

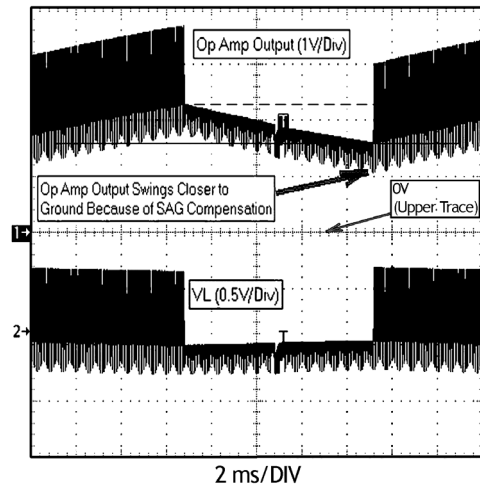


FIGURE 12. SAG Compensation Requires Higher Swing at op amp Output

アプリケーション情報 (つづき)

正しいビデオ・アンプの選び方

出力電流ドライブおよび電圧振幅の他に、ビデオ・アンプ / ケーブル・ドライバに使用されるオペアンプは、速度およびスルーレートのための最低限の要件を満たしていなければなりません。一般的に使われているゲインが + 2 に設定されている場合、ビデオ信号

が $2V_{PP}$ と大きくなる可能性があるため、ビデオ・タイプの負荷の場合、大信号帯域幅 (ナショナル セミコンダクターのデータシートでは LSBW) を考慮することが最も重要です。このように振幅が比較的大きいため、オペアンプのスルーレート (SR) 制限を考えなければなりません。Table 2 は、基本的な技術を使って計算されるさまざまなビデオ・ライン・レートの要件を示しています。この表は予備的な概算としてのみ使用してください。

TABLE 2. Rise Time, - 3 dB BW, and Slew Rate Requirements for Various Video Line Rates

Video Standard	Line Rate (HxV)	Refresh Rate (Hz)	Horizontal Active (KH%)	Vertical Active (KV%)	Pixel Time (ns)	Rise Time (ns)	LSBW (MHz)	SR (V/μs)
TV_NTSC	451x483	30	84	92	118.3	39.4	9	41
VGA	640x480	75	80	95	33.0	11.0	32	146
SVGA	800x600	75	76	96	20.3	6.8	52	237
XGA	1024x768	75	77	95	12.4	4.1	85	387
SXGA	1280x1024	75	75	96	7.3	2.4	143	655
UXGA	1600x1200	75	74	96	4.9	1.6	213	973

どのビデオ・ライン・レート ($H \times V$ はアクティブな水平ラインおよび垂直ラインの数に対応します) でも、水平アクティブ (KH%) および垂直アクティブ (KV%) の数がわかれば、速度要件は推定できます。これらのパーセントは、VESA 標準により設定されたライン総数に対するアクティブな (水平または垂直) ラインの数の割合に対応しています。一般的な公式および Table 2 に示した SVGA ライン・レートの個別の計算は以下のとおりです。

$$PIXEL_TIME (ns) = \frac{1}{REFRESH_RATE} \times KH \times KV \times 1 \times 10^5$$

$$= \frac{1}{75 \text{ Hz}} \times 76 \times 96 \times 1 \times 10^5 = 20.3 \text{ ns} \quad (5)$$

「オン」ピクセルが少なくともも状態を変更する前の最終値の 90% の明るさが必要であるため、次に示すように、立ち上がり / 立ち下がり時間をピクセル時間の最大でも 1/3 にする必要があります。

$$RISE/FALL_TIME = \frac{PIXEL_TIME}{3} = \frac{20.3 \text{ ns}}{3} = 6.8 \text{ ns} \quad (6)$$

使用する閉ループ・アンプが単一ポール周波数応答ロールオフ特性を持つと仮定すると、次の式が導き出されます。

$$-3 \text{ dB_BW} = \frac{0.35}{RISE/FALL_TIME} = \frac{0.35}{6.8 \text{ ns}} = 52 \text{ MHz} \quad (7)$$

立ち上がり / 立ち下がり時間は遷移時間の 10% ~ 90% で、これは $2V_{PP}$ ビデオ・ステップの場合、1.6V (2V の 80%) の総電圧シフトに対応します。したがって、スルーレート要件は次のように求めます。

$$SR(V/\mu s) = \frac{1.6V}{RISE/FALL_TIME (ns)} \times 1 \times 10^3 = \frac{1.6V}{6.8 \text{ ns}} = 237(V/\mu s) \quad (8)$$

LMH6601 の仕様は、上記に実証したように、SVGA ライン・レートまでのビデオ・アンプに最適です。

このようなビデオ・アンプに関する情報についての詳細は、アプリケーション・ノート 1013 を参照してください。

<http://www.national.com/an/AN/AN-1013.pdf#page=1>

電流から電圧への変換(トランスインピーダンス・アンプ(TIA))

LMH6601 は高速であり、超低入力バイアス電流が可能であるため、フォトダイオードの I-V 変換などの電流 / 電圧コンバータとしてのアプリケーションに選択できます。このような種類のアプリケーションでは、Figure 13 に示すように、フォトダイオードは適切なゲイン (ゲインは 単位で測定) の R_F を持つアンプの反転入力に接続されます。

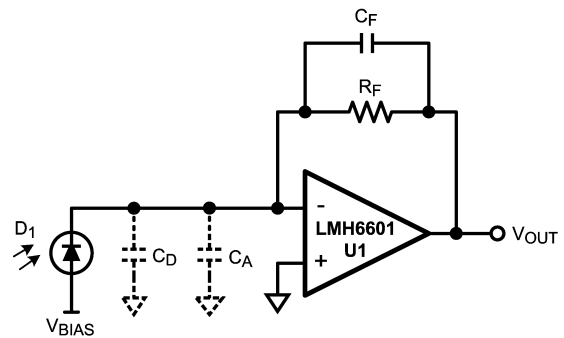


FIGURE 13. Typical Connection of a Photodiode Detector to an op amp

アプリケーション情報 (つづき)

LMH6601 のフェムトアンペア・レベルの入力バイアス電流であるため、ゲイン (R_F) が大きくても、出力エラー項が著しく大きくなることはありません。このため回路動作により、これらのアプリケーションで常に重要性の高い、より低い光強度に対応できます。ほとんどのフォトダイオードは比較的大容量 (C_D) ですが、光に対する感度を高めるように設計されたフォトダイオードの場合は、面積が大きいと、さらに容量が大きくなります。暗電流およびノイズ電流の両方の影響が増加するというデメリットがあるため、容量を下げるために、アプリケーションによっては、逆バイアス電圧を印加したフォトダイオードを使用します。参考までに、Figure 14 に代表的なフォトダイオードの容量と逆バイアスの関係を示します。

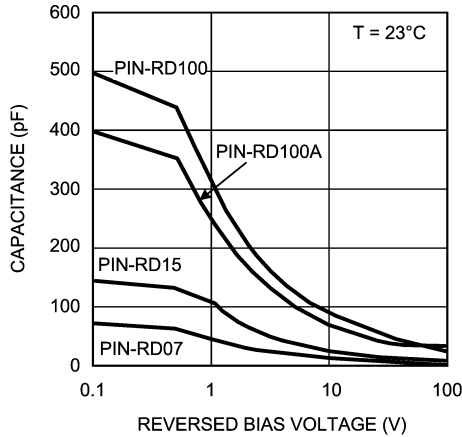


FIGURE 14. Typical Capacitance vs. Reverse Bias (Source: OSI Optoelectronics)

LMH6601 の入力容量 (C_A) およびダイオードの容量 (C_D) は、この回路の安定性と補償方法に関係します。トランスインピーダンス・ゲインの値 (R_F) が大きい場合、アンプの反転入力における総容量 ($C_{IN} = C_D + C_A$) は R_F と作用して、ノイズ・ゲイン (NG) 関数でゼロを作ります (Figure 15 を参照)。対策を取らないと、NG の値が開ループ伝達関数と等しい高周波数において、ループに過剰な位相シフトが発生し (180 に近い)、その結果回路が不安定になる場合があります。これを Figure 15 に示します。

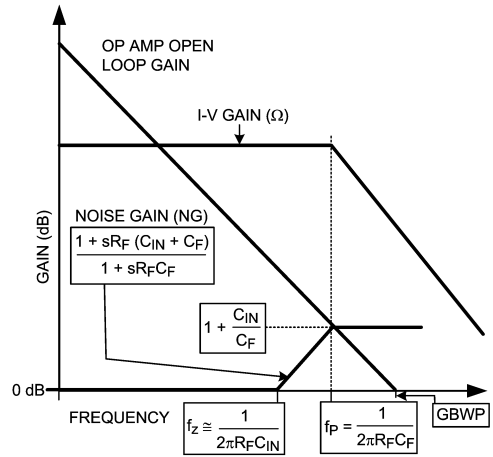


FIGURE 15. Transimpedance Amplifier Graphical Stability Analysis and Compensation

Figure 15 は、適切な値のコンデンサ C_F を R_F の両端間に接続すると、 f_p に NG 関数のポールが形成されることを示しています。性能の最適化のために、 f_p で NG がオペアンプの開ループ・ゲインに等しくなるよう、通常このコンデンサが採用されます。このことにより、2つのグラフ (開ループ・ゲインと NG) の交点を越えると、NG の傾きが「平坦」になり、位相マージン (PM) が 45 になりますが、これは f_p および f_z が最低 10 倍離れていると仮定した場合です。これは、交点において f_p の NG ポールに 45 の位相進みがあり、PM が 45 残るからです。参考までに、Figure 15 にトランスインピーダンス・ゲイン (I-V ()) も示されています。

次に最適な C_F の値および -3dB の帯域幅の予測値を求める理論式を示します。

$$C_F = \sqrt{\frac{C_{IN}}{2\pi(GBWP)R_F}} \tag{9}$$

$$f_{-3dB} \cong \sqrt{\frac{GBWP}{2\pi R_F C_{IN}}} \tag{10}$$

次の Table 3 には結果と共に、さまざまな容量を持つフォトダイオード (C_D) によるトランスインピーダンス・ゲイン (R_F)10k で LMH6601 をテストする場合の仮定および条件を示します。

アプリケーション情報 (つぎ)

TABLE 3. Transimpedance Amplifier Figure 13 Compensation and Performance Results

C _D (pF)	C _{IN} (pF)	C _F _Calculated (pF)	C _F used (pF)	-3 dB BW Calculated (MHz)	-3 dB BW Measured (MHz)	Step Response Overshoot (%)
10	12	1.1	1	14	15	6
50	52	2.3	3	7	7.0	4
500	502	7.2	8	2	2.5	9

$C_A = 2\text{pF}$
 $\text{GBWP} = 155\text{MHz}$
 $V_S = 5\text{V}$

トランスインピーダンス・アンプのノイズに関する注意事項

電流電圧変換器の出力におけるノイズを解析する場合、さまざまなノイズ源 (オペアンプのノイズ電圧、帰還抵抗の熱ノイズ、入力ノイズ電流、フォトダイオードのノイズ電流など) がすべて同じ周波数帯域では作用しないことに注意する必要があります。したがって、出力のノイズを計算する際、このことを考慮しなければなりません。

オペアンプのノイズ電圧は、ノイズ・ゲインの「ゼロ」と「ポール」 (Figure 15 の f_z と f_p) の間の領域で増加します。R_F と C_{IN} の値が大きいくほど、ノイズ・ゲインのピークが低い周波数で始まるため、総出力ノイズへの影響が大きくなります。当然、C_{IN} を最小化することがメリットになることに留意する必要があります (たとえば、適切なオペアンプを選択し、過剰な暗電流およびノイズを犠牲にしてダイオードの両端間を逆バイアスするなど)。しかし、大半の低ノイズ・オペアンプは、通常のオペアンプに比べ大きい入力容量を持っています。これは、低ノイズ・オペアンプの入力段が面積だからです。

その他のアプリケーション

- R_F = 10 MΩ to 10 GΩ
- R_S = 1 MΩ or SMALLER FOR HIGH COUNTING RATES
- C_F = 1 pF
- C_D = 1 pF to 10 μF
- V_{OUT} = Q/C_F WHERE Q is CHARGE CREATED BY ONE PHOTON or PARTICLE
- ADJUST V_{BIAS} FOR MAXIMUM SNR

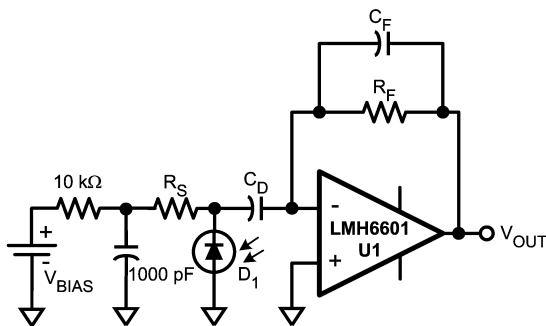


FIGURE 16. Charge Preamplifier Taking Advantage of LMH6601's Femto-Ampere Range Input Bias Current

容量性負荷

LMH6601 は、適切な分離および補償により、最大 1000pF の容量性負荷を駆動できます。Figure 17 は、大きな容量性負荷を駆動するためのイン・ループ補償技術を示しています。

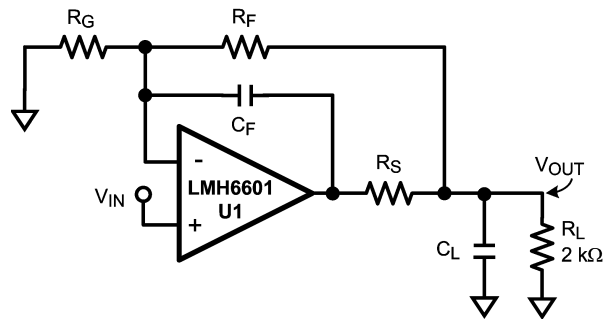


FIGURE 17. In-Loop Compensation Circuit for Driving a Heavy Capacitive Load

大きい容量性負荷を駆動する場合、発振を回避するために、分離抵抗 (R_S) をオペアンプ出力と容量性負荷の間に直列に接続する必要があります。値の小さなコンデンサ (C_F) を、高周波数において主要な帰還経路となるよう、オペアンプ出力と反転入力間に挿入します。これらの部品がループを安定に保つと同時に重い容量性負荷を許容します。

オペアンプの駆動能力に影響する要素はほとんどありません。

- オペアンプ内部アーキテクチャ
- 閉ループ・ゲインおよび出力コンデンサ負荷

Table 4 は、ゲイン + 2 (R_F = R_G = 604) および R_L = 2k の場合の、負荷コンデンサ (C_L)、直列抵抗 (R_S) および帰還抵抗 (C_F) のさまざまな値について、ステップ応答の計測値を示します。

TABLE 4. LMH6601 Step Response Summary for the Circuit of Figure 17

C _L (pF)	R _S (Ω)	C _F (pF)	t _{rise} /t _{fall} (ns)	Overshoot (%)
10	0	1	6*	8
50	0	1	7*	6
110	47	1	10	16
300	6	10	12	20
500	80	10	33	10
910	192	10	65	10

* 応答は、入力ステップ発生器により、立ち上がり時間が 5ns に制限されています。

アプリケーション情報 (つづき)

Figure 18 は、容量性負荷が大きくなるにつれ V_{OUT} における立ち上がり/立ち下がり時間が増加 (周波数帯が低下) することを示し、両者のトレードオフを表しています。

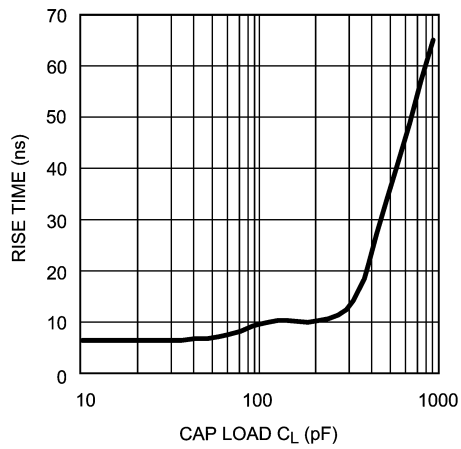


FIGURE 18. LMH6601 In-Loop Compensation Response

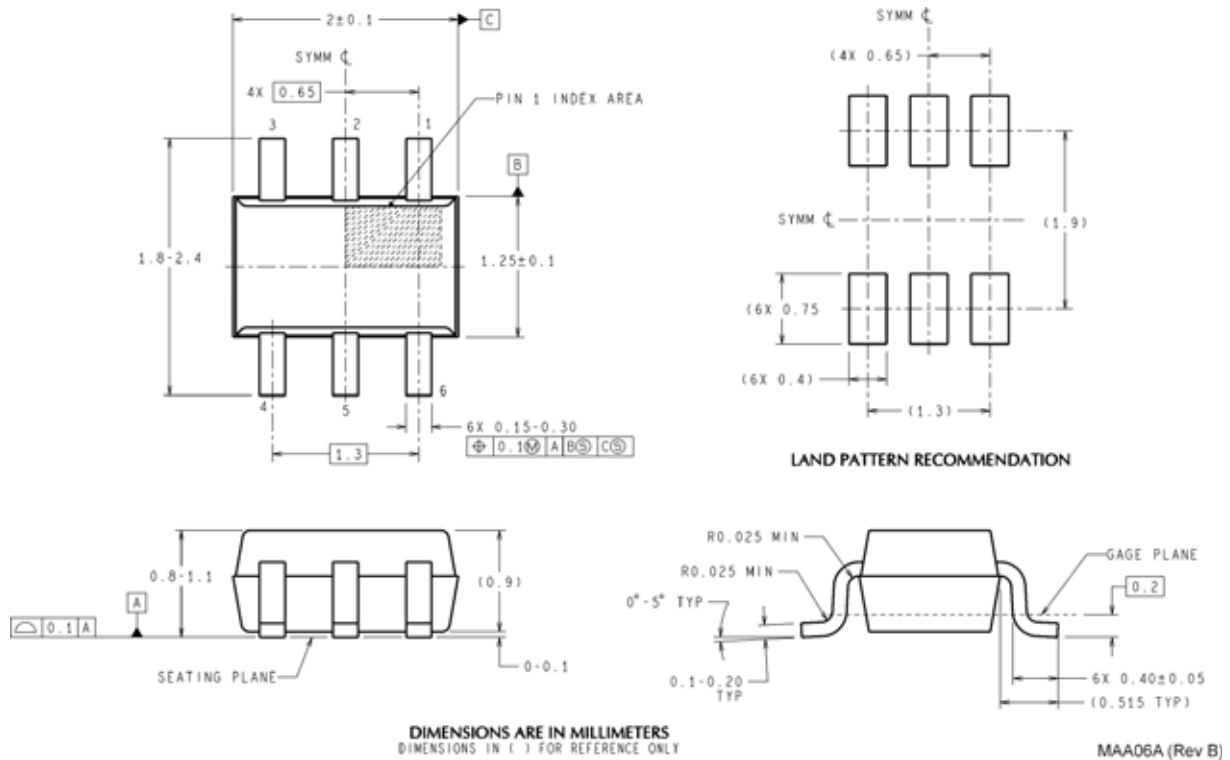
評価ボード

高い周波数で動作するプリント基板のレイアウト・ガイドライン、およびデバイスの試験と特性評価用ツールとして、ナショナル セミコンダクターでは以下の評価用ボードを用意しています。データシート中のグラフの多くは、この評価用ボードを使用して測定されています。

デバイス	パッケージ	部品番号
LMH6601MG	SC70-6	LMH730165

ナショナル セミコンダクターにデバイスのサンプルをお申し込みになれば、評価ボードを無償で提供します。

外形寸法図 単位は millimeters



6-Pin SC70
NS Package Number MA006A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上