

サーバー管理用 PI ループ ファン制御機能付き LM94 TruTherm™ ハードウェア モニタ

1 特長

- 8 ビット $\Sigma\Delta$ ADC
- 16 個の電源を監視
- 4 個のリモート サーマル ダイオードと 2 個の LM60 を監視
- 新しい TruTherm 技術による高精度サーマル ダイオード測定のサポート
- 内部周囲温度センシング
- 温度読み出しに基づくファン昇圧サポート付きプログラムブル自律ファン制御
- タコメータ制限エラー イベント発生時のファン昇圧サポート
- 13 ステップのルックアップ テーブル、PI 制御ループ、またはその両方の組み合わせに基づくファン制御
- Tcontrol をサポートする PI ファン制御ループ
- 温度読み出しデジタル フィルタ
- 0.5°C デジタル温度センサ分解能
- ファン制御用 0.0625°C フィルタ温度分解能
- 2 つの PWM ファン速度制御出力
- 4 つのファン タコメータ入力
- デュアル プロセッサ熱スロットリング (PROCHOT) の監視
- VRD10.2/11 をサポートするデュアル動的 VID 監視 (プロセッサごとに 6 つの VID または 7 つの VID)
- 8 つの汎用 I/O:
 - 4 つはファン タコメータ入力として構成可能
 - 2 つはプロセッサ THERMTRIP に接続するように構成可能
 - 2 つは IERR 信号の監視に使用可能な標準 GPIO
- 2 つの汎用入力を使用して VRD11 の 7 番目の VID 信号を監視可能
- すべての監視値の制限レジスタ比較
- 2 線式シリアル デジタル インターフェイス、SMBus 2.0 準拠
 - バイト / ブロックの読み出しと書き込みをサポート
 - 選択可能なスレーブ アドレス (トライレベル ピンで 3 つのアドレスから 1 つを選択)
 - ALERT 出力で割り込みモードまたはコンパレータモードをサポート
- 2.5V リファレンス電圧出力
- 56 ピン TSSOP パッケージ
- XOR ツリー テスト モード

- 主な仕様:
 - 電圧測定精度 ... $\pm 2\%$ FS (最大)
 - 温度分解能 ...9 ビット、0.5°C
 - 温度センサ精度 ... $\pm 2.5^\circ\text{C}$ (最大)
 - 温度範囲:
 - LM94 動作 ...0°C~+85°C
 - リモート温度精度 ...0°C~+125°C
 - 電源電圧 ...+3.0V~+3.6V
 - 電源電流 ...1.6 mA

2 アプリケーション

- サーバー
- ワークステーション
- マルチプロセッサ ベースの機器

3 概要

LM94 ハードウェア モニタには、SMBus 2.0 互換の 2 線式デジタル インターフェイスが搭載されています。LM94 は、 $\Sigma\Delta$ ADC を使用して、4 つのリモート ダイオード接続トランジスタの温度、自身のダイの温度、16 の電源電圧を測定します。LM94 には新しい TruTherm 技術が採用されており、サブマイクロ プロセスでのプロセッサの高精度サーマル ダイオード測定をサポートしています。

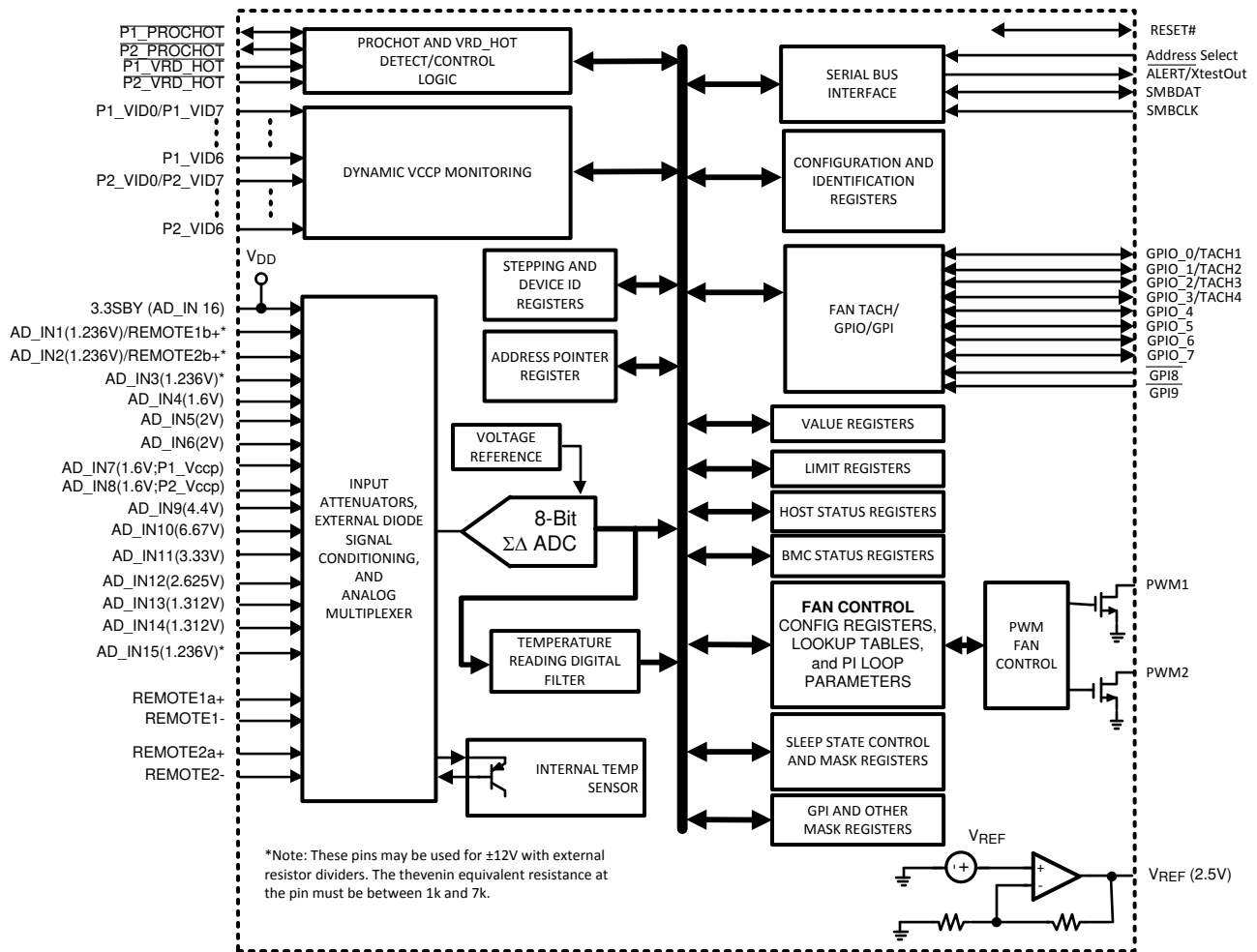
ファン速度を設定するために、LM94 には 2 つの PWM 出力があり、それぞれが最大で 6 つの温度ゾーンによって制御されています。ファン制御アルゴリズムは、ルックアップ テーブル、PI (比例 / 積分) 制御ループ、またはその両方の組み合わせに基づくことができます。LM94 にはデジタル フィルタが搭載されており、温度測定値を平滑化し、音響ノイズを最小限に抑えてファン速度を最適に制御することができます。LM94 にはファン速度を測定するための 4 つのタコメータ入力があり、すべての測定値に対して、制限レジスタとステータス レジスタが搭載されています。

LM94 は、LM93 などの従来のマザーボード サーバー管理 ASIC の機能を基にしています。また、VRD10/11 と PROCHOT に対する動的 V_{ccp} 監視の測定と制御のサポートも追加されており、デュアル プロセッサ Xeon クラスのマザーボードを最小限の外付け部品で監視するように設計されています。



3.1 機能ブロック図

LM94 ハードウェアのブロック図を以下に示します。ハードウェアの実装は、シングルチップ ASIC ソリューションです。



目次

1 特長.....	1	7 アプリケーションと実装.....	105
2 アプリケーション.....	1	7.1 アプリケーション情報.....	105
3 概要.....	1	7.2 代表的なアプリケーション.....	109
3.1 機能ブロック図.....	2	8 レイアウト.....	113
4 ピン構成および機能.....	3	8.1 推奨される実装.....	113
4.1 サーバーに関する用語.....	6	8.2 ノイズを最小限に抑えるための PCB レイアウト.....	114
5 仕様.....	8	9 デバイスおよびドキュメントのサポート.....	115
5.1 絶対最大定格.....	8	9.1 ドキュメントのサポート.....	115
5.2 動作定格.....	8	9.2 ドキュメントの更新通知を受け取る方法.....	115
5.3 DC 電気的特性.....	9	9.3 サポート・リソース.....	115
5.4 AC 電気的特性.....	12	9.4 商標.....	115
6 詳細説明.....	15	9.5 静電気放電に関する注意事項.....	115
6.1 概要.....	15	9.6 用語集.....	115
6.2 機能説明.....	15	10 改訂履歴.....	115
6.3 プログラミング.....	35	11 メカニカル、パッケージ、および注文情報.....	115
6.4 レジスタ.....	45		

4 ピン構成および機能

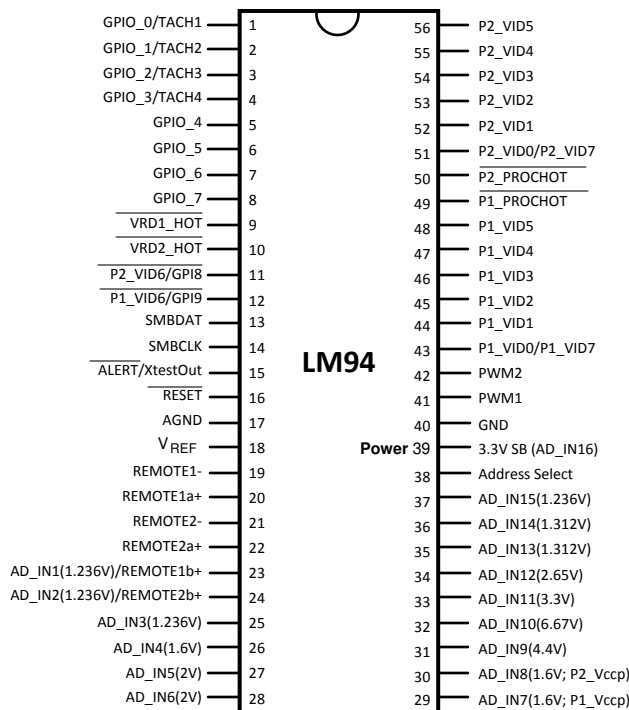


図 4-1. 56 ピン TSSOP パッケージ (パッケージ番号 DGG0056A を参照) 上面図

表 4-1. ピンの説明⁽¹⁾

記号	ピン番号	種類	機能
GPIO_0/TACH1	1	デジタル I/O (オープンドレイン)	ファン タコメータ入力または汎用オープンドレイン デジタル I/O として構成できます。
GPIO_1/TACH2	2	デジタル I/O (オープンドレイン)	ファン タコメータ入力または汎用オープンドレイン デジタル I/O として構成できます。

表 4-1. ピンの説明⁽¹⁾ (続き)

記号	ピン番号	種類	機能
GPIO_2/TACH3	3	デジタル I/O (オープンドレイン)	ファン タコメータ入力または汎用オープンドレイン デジタル I/O として構成できます。
GPIO_3/TACH4	4	デジタル I/O (オープンドレイン)	ファン タコメータ入力または汎用オープンドレイン デジタル I/O として構成できます。
GPIO_4 / P1_THERMTRIP	5	デジタル I/O (オープンドレイン)	汎用オープンドレイン デジタル I/O。CPU の THERMTRIP 信号を監視し、他のエラーをマスクするように構成できます。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
GPIO_5 / P2_THERMTRIP	6	デジタル I/O (オープンドレイン)	汎用オープンドレイン デジタル I/O。CPU の THERMTRIP 信号を監視し、他のエラーをマスクするように構成できます。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
GPIO_6	7	デジタル I/O (オープンドレイン)	CPU1 $\overline{\text{IERR}}$ の状態または汎用オープンドレイン デジタル I/O の検出に使用できます。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
GPIO_7	8	デジタル I/O (オープンドレイン)	CPU2 $\overline{\text{IERR}}$ の状態または汎用オープンドレイン デジタル I/O の検出に使用できます。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
VRD1_HOT	9	デジタル入力	CPU1 電圧レギュレータ $\overline{\text{HOT}}$ 。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
VRD2_HOT	10	デジタル入力	CPU2 電圧レギュレータ $\overline{\text{HOT}}$ 。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P2_VID6/ GPI8	11	デジタル入力	CPU2 VID6 入力。エラー イベントをトリガする汎用入力としても使用できます。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_VID6/ GPI9	12	デジタル入力	CPU1 VID6 入力。エラー イベントをトリガする汎用入力としても使用できます。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
SMBDAT	13	デジタル I/O (オープンドレイン)	双方向システム管理バス データ。出力は 5V 許容のオープンドレインとして構成されます。SMBus 2.0 準拠。
SMBCLK	14	デジタル入力	システム管理バス クロック。オープンドレイン出力で駆動され、5V 許容。SMBus 2.0 準拠。
ALERT/XtestOut	15	デジタル出力 (オープンドレイン)	エラー イベントの発生を通知するために割り込み駆動システムで使用されるオープンドレイン ALERT 出力。マスクされたエラー イベントは ALERT 出力をアクティブにすることはありません。XOR ツリー テスト モードでは、XOR ツリー出力として機能します。
RESET	16	デジタル I/O (オープンドレイン)	LM94 に最初に電源が印加されたときのオープンドレインリセット出力。3.3V スタンプバイで電力供給されるデバイスのリセットとして使用されます。リセット後のこのピンは、リセット入力になります。詳細については「セクション 7.1.2」を参照。使用しない場合は、LM94 の誤動作を防止するために、このピンは外部プルアップ抵抗に接続する必要があります。
AGND	17	GROUND 入力	アナログ グランド。デジタル グランドとアナログ グランドはチップで接続し、両方を低ノイズのシステム グランドに接続する必要があります。アナログ グランドとデジタル グランドの間に電圧差があると、正しい結果が得られないことがあります。
V _{REF}	18	アナログ出力	2.5V、外部 ADC リファレンス電圧、または V _{REF} リファレンス電圧として使用
REMOTE1-	19	リモート サーマル ダイオード_1- 入力 (CPU 1 THERMDC)	これは両方の CPU1 サーマル ダイオードからの負入力 (電流シンク) です。Pentium プロセッサの THERMDC ピンまたはダイオード接続の MMBT3904 NPN トランジスタのエミッタに接続されています。サーマル ダイオード電圧測定のために A/D への負入力として機能します。100pF コンデンサはオプションであり、REMOTE1- と REMOTE1+ の間に接続できます。
REMOTE1a+	20	リモート サーマル ダイオード_1+ I/O (CPU1 THERMDA1)	これは、最初の CPU1 サーマル ダイオードへの正の接続です。サーマル ダイオード電圧測定のために A/D への正入力として機能します。また、サーマル ダイオードを順方向にバイアスする電流源出力としても機能します。Pentium プロセッサの THERMDA ピンまたはダイオード接続の MMBT3904 NPN トランジスタのベースに接続されています。100pF コンデンサはオプションであり、REMOTE1- と各 REMOTE1+ の間に接続できます。

表 4-1. ピンの説明⁽¹⁾ (続き)

記号	ピン番号	種類	機能
REMOTE2-	21	リモート サーマル ダイオード_2 - 入力 (CPU2 THERMDC)	これは両方の CPU2 サーマル ダイオードからの負入力 (電流シンク) です。Pentium プロセッサの THERMDC ピンまたはダイオード接続された MMBT3904 NPN トランジスタのエミッタに接続されています。サーマル ダイオード電圧測定用の AD への負入力として機能します。100pF コンデンサはオプションで、REMOTE2- と各 REMOTE2+ の間に接続できます。
REMOTE2a+	22	リモート サーマル ダイオード_2+ I/O (CPU2 THERMDA1)	これは、最初の CPU2 サーマル ダイオードへの正の接続です。サーマル ダイオード電圧測定のために A/D への正入力として機能します。また、サーマル ダイオードを順方向にバイアスする電流源出力としても機能します。Pentium プロセッサの THERMDA ピンまたはダイオード接続の MMBT3904 NPN トランジスタのベースに接続されています。100pF コンデンサはオプションであり、REMOTE2- と REMOTE2+ の間に接続できます。
AD_IN1/REMOTE1b+	23	アナログ入力 (+12V1 または CPU1 THERMDA2)	CPU1 電圧レギュレータ用、+12V レール 1 監視用アナログ入力。公称 ¾ スケールの読み取りで 12V が 0.927V に減衰するような外部減衰抵抗が必要です。このピンは、CPU1 の 2 番目の正のサーマル ダイオード入力としても機能します。
AD_IN2/REMOTE2b+	24	アナログ入力 (+12V2 または CPU2 THERMDA2)	CPU2 電圧レギュレータ用、+12V レール 2 監視用アナログ入力。公称 ¾ スケールの読み取りで 12V が 0.927V に減衰するような外部減衰抵抗が必要です。このピンは、CPU2 の 2 番目の正のサーマル ダイオード入力としても機能します。
AD_IN3	25	アナログ入力 (+12V3)	メモリ / 3GIO スロット用、+12V レール 3 用アナログ入力。公称 ¾ スケールの読み取りで 12V が 0.927V に減衰するような外部減衰抵抗が必要です。
AD_IN4	26	アナログ入力 (FSB_Vtt)	1.2V 監視用アナログ入力、公称 ¾ スケール読み取り
AD_IN5	27	アナログ入力 (3GIO/PXH/MCH_Core)	1.5V 監視用アナログ入力、公称 ¾ スケール読み取り
AD_IN6	28	アナログ入力 (ICH_Core)	1.5V 監視用アナログ入力、公称 ¾ スケール読み取り
AD_IN7 (P1_Vccp)	29	アナログ入力 (CPU1_Vccp)	+Vccp (プロセッサ電圧) 監視用アナログ入力。
AD_IN8 (P2_Vccp)	30	アナログ入力 (CPU2_Vccp)	+Vccp (プロセッサ電圧) 監視用アナログ入力。
AD_IN9	31	アナログ入力 (+3.3V)	+3.3V 監視用アナログ入力、公称 ¾ スケール読み取り
AD_IN10	32	アナログ入力 (+5V)	+5V 監視用アナログ入力、シルバー ボックス電源監視、公称 ¾ スケール読み取り
AD_IN11	33	アナログ入力 (SCSI_Core)	+2.5V 監視用アナログ入力、公称 ¾ スケール読み取り。この入力の読み取り値はファン制御ロジックに送ることができるため、このピンは LM60 などのアナログ温度センサの監視にも使用できます。
AD_IN12	34	アナログ入力 (Mem_Core)	+1.969V 監視用アナログ入力、公称 ¾ スケール読み取り。
AD_IN13	35	アナログ入力 (Mem_Vtt)	+0.984V 監視用アナログ入力、公称 ¾ スケール読み取り。
AD_IN14	36	アナログ入力 (Gbit_Core)	+0.984V S/B 監視用アナログ入力、公称 ¾ スケール読み取り。
AD_IN15	37	アナログ入力 (-12V)	-12V 監視用アナログ入力。正のレベルへのスケールには外付け抵抗が必要です。1.236V でのフルスケール読み取り、公称 ¾ スケール読み取り。この入力の読み取り値はファン制御ロジックに送ることができるため、このピンは LM60 などのアナログ温度センサの監視にも使用できます。
Address Select	38	3 レベル アナログ入力	この入力、LM94 の SMBus スレーブ アドレスの下位 2 ビットを選択します。
3.3V SB (AD_IN16)	39	POWER (V _{DD}) +3.3V スタンバイ電力	LM94 の V _{DD} 電源入力。通常、+3.3V スタンバイ電力に接続されています。低消費電力状態での監視が必要ない場合は、LM94 に +3.3V で電力供給できますが、他のピンよりも先にこの入力に電力供給する必要があります。このピンは、3.3V スタンバイ (SB) 電圧を監視するアナログ入力としても機能します。このピンは、100pF と並列に 0.1µF でバイパスする必要があります。10µF のバルク容量がすぐそばにあり、100pF が電源ピンに最も近くなければなりません。
GND	40	グラウンド	デジタル グラウンド。デジタル グラウンドとアナログ グラウンドはチップで接続し、両方を低ノイズのシステム グラウンドに接続する必要があります。アナログ グラウンドとデジタル グラウンドの間に電圧差があると、正しい結果が得られないことがあります。

表 4-1. ピンの説明⁽¹⁾ (続き)

記号	ピン番号	種類	機能
PWM1	41	デジタル出力 (オープンドレイン)	ファン制御出力 1。
PWM2	42	デジタル出力 (オープンドレイン)	ファン制御出力 2。
P1_VID0/P1_VID7	43	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_VID1	44	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_VID2	45	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_VID3	46	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_VID4	47	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_VID5	48	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P1_PROCHOT	49	デジタル I/O (オープンドレイン)	双方向レベル シフタ経由で CPU1 PROCHOT (プロセッサ ホット) 信号に接続されています。TTL 入力ロジックレベルをサポートしています。
P2_PROCHOT	50	デジタル I/O (オープンドレイン)	双方向レベル シフタ経由で CPU2 PROCHOT (プロセッサ ホット) 信号に接続されています。TTL 入力ロジックレベルをサポートしています。
P2_VID0/P2_VID7	51	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P2_VID1	52	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P2_VID2	53	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P2_VID3	54	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P2_VID4	55	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。
P2_VID5	56	デジタル入力	プロセッサからの電圧識別信号。TTL 入力ロジックレベルと AGTL 互換入力ロジックレベルをサポートしています。

(1) オーバースコアは、信号がアクティブ Low (Not) であることを示します。

4.1 サーバーに関する用語

A/D	A/D コンバータ
ACPI	Advanced Configuration and Power Interface
ALERT	注意フラグが立てられたイベントが発生したことをバス マスターに通知する SMBus 信号
ASF	Alert Standard Format
BMC	ベースボード管理コントローラ
BW	帯域幅
DIMM	デュアル インライン メモリ モジュール
DP	デュアル プロセッサ
ECC	エラー チェックと訂正
FRU	現場交換可能ユニット
FSB	フロント サイド バス
FW	ファームウェア

Gb	ギガビット
GB	ギガバイト
Gbe	ギガビット イーサネット
GPI	汎用入力
GPIO	汎用 I/O
HW	ハードウェア
I ² C	内部集積回路 (バス)
LAN	ローカル エリア ネットワーク
LSb	最下位ビット
LSB	下位バイト
LVDS	低低電圧差動信号伝送
LUT	ルックアップ テーブル
Mb	メガビット
MB	メガバイト
MP	マルチプロセッサ
MSb	最上位ビット
MSB	最上位バイト
MTBF	平均故障間隔
MTTR	平均修復時間
NIC	ネットワーク インターフェイス カード (イーサネット カード)
OS	オペレーティング システム
P/S	電源
PCI	PCI ローカル バス
PDB	パワー ディストリビューション ボード
POR	パワーオンリセット
PS	電源
SMBCLK と SMBDAT	これらの信号は SMBus インターフェイスを構成しています (データおよびクロック)。詳細については、「 セクション 6.3.1 」セクションを参照してください。
VRD	電圧レギュレータ ダウン - CPU の Vccp 電圧を調整します。

5 仕様

5.1 絶対最大定格

(1) (2) (3) を参照

正電源電圧 (V_{DD})		6.0V
デジタル入出力ピンの電圧		-0.3V~6.0V
+5V 入力の電圧		-0.3V~6.667V
正のリモートダイオード入力、 AD_IN1 入力、AD_IN2 入力、 AD_IN3 入力、AD_IN15 入力の電圧		-0.3V~(+ V_{DD} + 0.05V)
他のアナログ電圧入力の 電圧		-0.3V~+6.0V
サーマルダイオード負入力の 入力電流		±1 mA
すべてのピンの入力電流 (4)		±10mA
パッケージ入力電流 (4)		±100 mA
最大接合部温度 (5) (T_{JMAX})		150 °C
ESD 感受性 (6)	人体モデル	3 kV
	マシン モデル	300V
	荷電デバイス モデル	750V
保管温度(7)		-65°C~+150°C

ハンダ付け仕様については、www.ti.com/packaging にあるのプロダクト フォルダと [SNOA549](#) を参照してください。 (8)

- 絶対最大定格は、それを超えるとデバイスに損傷を与える可能性がある制限値を示します。動作定格はデバイスが機能する条件を示しますが、特定の性能限界を保証するものではありません。保証された仕様および試験条件については、各電気的特性を参照してください。保証された仕様は、記載されているテスト条件にのみ適用されます。記載されているテスト条件で本デバイスを動作させないと、一部の性能特性が低下する可能性があります。
- 特に記述のない限り、すべての電圧は GND を基準に測定されます。
- 防衛または航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。
- ピンの入力電圧 (V_{IN}) が電源を超える場合 ($V_{IN} < (GND \text{ または } AGND)$ または $V_{IN} > V_{DD}$ 、アナログ電圧入力を除く)、そのピンの電流を 10mA に制限する必要があります。パッケージの最大入力電流定格が 100mA であるため、入力電流 10mA で電源を超えても問題を起こさないピンの数は 10 本に制限されます。LM94 のピンの寄生部品および ESD 保護回路を以下に示します。回路 C と回路 D に示すように、ピン D+ とピン D- に存在する寄生ダイオード D1 が順バイアスされないように注意してください。50mV を超えるバイアスは、温度測定値を誤らせる可能性があります。D1 と ESD クランプは、回路 B に示すように、V+ (V_{DD} 、AD_IN16) と GND の間に接続されます。SNP は、スナッチバック デバイスの略称です。
- 標準的なパラメータは $T_J = T_A = 25^\circ\text{C}$ におけるもので、最も可能性の高いパラメータ基準値を表します。
- 人体モデルでは、100pF が 1.5k Ω 抵抗経由で放電されます。マシン モデルでは、200pF が各ピンに直接放電されます。荷電デバイス モデル (CDM) は、ピンがゆっくりと電荷を帯び (自動アセンブラのフィーダーを滑り落ちるデバイスなど)、その後急速に放電される様子をシミュレートします。
- リフロー温度プロファイルは、鉛フリーと鉛フリー以外のパッケージでは異なります。
- その他の推奨事項および、表面実装デバイスのハンダ付け方法については、URL <http://www.ti.com/packaging> を参照してください。

5.2 動作定格

(1) (2) を参照してください。

	$T_{MIN} \leq T_A \leq T_{MAX}$
動作温度範囲	0°C $\leq T_A \leq$ +85°C
公称電源電圧	3.3V
電源電圧範囲 (V_{DD})	+3.0V~+3.6V
VID0-VID5	-0.05V~+5.5V
デジタル入力電圧範囲	-0.05V~(+ V_{DD} + 0.05V)

(1) (2) を参照してください。

パッケージ熱抵抗 (3)	79°C/W
-----------------	--------

- (1) 絶対最大定格は、それらを超えるとデバイスに損傷を与える可能性がある制限値を示します。動作定格はデバイスが機能する条件を示しますが、特定の性能限界を保証するものではありません。保証された仕様および試験条件については、各電気的特性を参照してください。保証された仕様は、記載されているテスト条件にのみ適用されます。記載されているテスト条件で本デバイスを動作させないと、一部の性能特性が低下する可能性があります。
- (2) 特に記述のない限り、すべての電圧は GND を基準に測定されます。
- (3) 高温での最大電力散逸の定格を下げる必要があり、 T_{JMAX} 、 θ_{JA} 、および周囲温度 T_A により決定されます。任意の温度での最大許容電力散逸は、 $P_{D MAX} = (T_{JMAX} - T_A) / \theta_{JA}$ です。1 オンスの銅箔 PCB に取り付けられた場合の LM94 の θ_{JA} およびエアフローを変えた場合の θ_{JA} を以下の表に示します。

エアフロー	接合部から周囲への熱抵抗、 θ_{JA}
0 m/s	79 °C/W
1.14 m/s (225 LFPM)	62 °C/W
2.54 m/s (500 LFPM)	52 °C/W

5.3 DC 電気的特性

特に記述のない限り、以下の仕様は +3.0V_{DC}~+3.6V_{DC} に適用されます。太字の制限値は動作範囲の T_{MIN} ~ T_{MAX} にわたる $T_A = T_J$ に適用されます。その他のすべての制限値は、特に記述のない限り、 $T_A = T_J = 25^\circ\text{C}$ に適用されます。 T_A は LM94 の周囲温度、 T_J は LM94 の接合部温度、 T_D はサーマルダイオードの接合部温度です。

パラメータ	テスト条件	標準値 (1)	制限値 (2)	単位 (制限)
電源特性				
電源電流	変換、インターフェイスとファンが非アクティブ、ピーク電流	2	2.75	mA (最大値)
	変換、インターフェイスとファンが非アクティブ、平均電流	1.6		mA
パワーオンリセットのスレッシュホールド電圧		2	1.6	V (最小値)
			2.7	V (最大値)
温度 / デジタル コンバータの特性				
全範囲にわたるローカル温度精度	$0^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$	± 2	± 3	$^\circ\text{C}$ (最大値)
			$T_A = +55^\circ\text{C}$	± 2.5
ローカル温度分解能		1		$^\circ\text{C}$
全範囲にわたるリモートサーマルダイオード温度精度、90nm または 65nm プロセスの標準的な Pentium プロセッサ向け (3)	$0^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ および $0^\circ\text{C} \leq T_D \leq 100^\circ\text{C}$		± 3	$^\circ\text{C}$ (最大値)
			$0^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ および $T_D = 70^\circ\text{C}$	± 2.5
リモートサーマルダイオード温度精度、90nm または 65nm プロセスの標準的な Pentium プロセッサ向け (3)	$0^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$ および $25^\circ\text{C} \leq T_D \leq 70^\circ\text{C}$	± 1		$^\circ\text{C}$
			1	$^\circ\text{C}$
サーマルダイオードソース電流	高レベル	172	230	μA (最大値)
	低レベル	10.75		μA
	サーマルダイオードの電流比	16		
T_C	総監視サイクル時間		100	ms (最大値)
A/D 電圧測定コンバータの特性				
TUE	総合未調整誤差 (4) (5)		± 2	FS の % (最大値)

5.3 DC 電気的特性 (続き)

特に記述のない限り、以下の仕様は +3.0V_{DC}~+3.6V_{DC} に適用されます。太字の制限値は動作範囲の T_{MIN}~T_{MAX} にわたる T_A = T_J に適用されます。その他のすべての制限値は、特に記述のない限り、T_A = T_J = 25°C に適用されます。T_A は LM94 の周囲温度、T_J は LM94 の接合部温度、T_D はサーマル・ダイオードの接合部温度です。

パラメータ		テスト条件	標準値 (1)	制限値 (2)	単位 (制限)
DNL	微分非直線性		±1		LSB
PSS	電源 (V _{DD}) 感度		±1		%/V (FS に対する)
T _C	総監視サイクル時間			100	ms (最大値)
	分圧抵抗を用いた入力の入力抵抗		200	140	kΩ (最小値)
	AD_IN1~AD_IN3 および AD_IN15 のアナログ入力リーク電流 (6)			60	nA (最大値)
リファレンス出力 (V_{REF}) の特性					
	精度			±1	% (最大値)
V _{REF}	出力電圧 (7)		2.500	2.525 2.475	V (最大値) V (最小値)
		ロードレギュレーション	I _{SOURCE} = -2mA I _{SINK} = 2mA	0.1	
デジタル出力: PWM1、PWM2					
I _{OL}	最大電流シンク			8	mA (最小値)
V _{OL}	出力 LOW 電圧	I _{OUT} = 8.0 mA		0.4	V (最大値)
デジタル出力: すべて					
V _{OL}	出力低電圧 (過度の電流が流れると、自己発熱を引き起こし、内部温度精度が低下させるので注意すること。)	I _{OUT} = 4.0 mA		0.4	V (最小値)
		I _{OUT} = 6 mA		0.55	V (最小値)
I _{OH}	High レベル出力リーク電流	V _{OUT} = V _{DD}	0.1	10	μA (最大値)
I _{OTMAX}	すべてのデジタル出力の最大合計シンク電流			32	mA (最大値)
C _O	デジタル出力容量		20		pF
デジタル入力: すべて					
V _{IH}	アドレス選択を除く入力高電圧 (8)			2.1	V (最小値)
V _{IL}	アドレス選択を除く入力低電圧 (8)			0.8	V (最大値)
V _{IH}	アドレス選択の入力高電圧 (8)			90% V_{DD}	V (最小値)
V _{IM}	アドレス選択の入力中電圧			43% V_{DD} 57% V_{DD}	V (最小) V (最大)
				10% V_{DD}	V (最大値)
V _{IL}	アドレス選択の入力低電圧 (8)			10% V_{DD}	V (最大値)
V _{HYST}	DC ヒステリシス		0.3		V
I _{IH}	入力高電流	V _{IN} = V _{DD}		-10	μA (最小値)
I _{IL}	入力低電流	V _{IN} = 0V		10	μA (最大値)
C _{IN}	デジタル入力容量		20		pF
デジタル入力: P1_VIDx、P2_VIDx、GPI_9、GPI_8、GPIO_7、GPIO_6、GPIO_5、GPIO_4 (レジスタ BEh GPI/VID レベル制御の各ビットが設定されている場合)					
V _{IH}	代替入力高電圧 (AGTL+ 対応)			0.8	V (最小値)

5.3 DC 電気的特性 (続き)

特に記述のない限り、以下の仕様は +3.0V_{DC}~+3.6V_{DC} に適用されます。太字の制限値は動作範囲の T_{MIN}~T_{MAX} にわたる T_A = T_J に適用されます。その他のすべての制限値は、特に記述のない限り、T_A = T_J = 25°C に適用されます。T_A は LM94 の周囲温度、T_J は LM94 の接合部温度、T_D はサーマル・ダイオードの接合部温度です。

パラメータ		テスト条件	標準値 (1)	制限値 (2)	単位 (制限)
V _{IL}	代替入力低電圧 (AGTL+ 対応)			0.4	V (最大値)

- (1) 標準的なパラメータは T_J = T_A = 25°C におけるもので、最も可能性の高いパラメータ基準値を表します。
- (2) 制限値はテキサス・インスツルメンツの平均出検品質限界 (AOQL) で規定されています。
- (3) 本仕様の初版公開時点 (2006 年 1 月) では、TruTherm を選択した場合、90nm または 65nm プロセスの Pentium または Xeon プロセッサに適用されます。TruTherm を選択しない場合、本仕様は MMBT3904 に適用されます。この仕様には、ダイオードの理想性と直列抵抗パラメータのばらつきに起因する誤差が含まれています。
- (4) 総監視サイクル時間には、すべての温度と電圧の変換が含まれます。
- (5) TUE (総合未調整誤差) には、ADC のオフセット、ゲイン、および直線性の誤差が含まれます。
- (6) リーク電流は 20°C ごとに約 2 倍になります。
- (7) 40mA の合計デジタル I/O 電流は、V_{ref} に 6mV のオフセットを引き起こす可能性があります。
- (8) タイミング仕様は、TTL ロジックレベル、立ち下がりエッジでは V_{IL} = 0.4V、立ち上がりエッジでは V_{IH} = 2.4V でテストされます。TRI-STATE 出力電圧は強制的に 1.4V になります。

5.4 AC 電気的特性

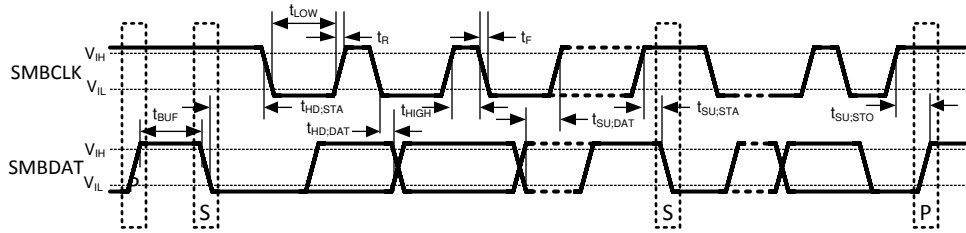
特に記述のない限り、以下の仕様は +3.0V_{DC}~+3.6V_{DC} に適用されます。太字の制限値は動作範囲の $T_A = T_J = T_{MIN} \sim T_{MAX}$ に適用されます。その他すべての制限値は、特に記述のない限り、 $T_A = T_J = 25^\circ\text{C}$ に適用されます。

パラメータ	テスト条件	標準値 (1)	制限値 (2)	単位 (制限)
ファン RPM からデジタルへの特性				
	カウンタ分解能	14		ビット
	ファン タコメータ パルス数に基づく	2		パルス
	カウンタ周波数	22.5		kHz
	精度		±6	% (最大値)
PWM 出力の特性				
	周波数の許容誤差		±6	% (最大値)
	デューティサイクルの許容誤差	±2	±6	% (最大値)
リセット入力 / 出力の特性				
	電源オン時の 出力パルス幅		250 330	ms (最小 値) ms (最大 値)
	最小入力パルス幅		10	µs (最小 値)
	リセット出力立ち下がり時間	1.6V~0.4V のロジック レベル	1	µs (最大 値)
SMBus タイミングの特性				
f _{SMBCLK}	SMBCLK (クロック) クロック周波数		10 100	kHz (最小) kHz (最大)
t _{BUF}	STOP 条件と START 条件間の SMBus 解放時間		4.7	µs (最小 値)
t _{HD,STA}	(繰り返し) START 条件の後のホールド時間。この期間が経過した後、最初のクロックが生成されます。		4.0	µs (最小 値)
t _{SU,STA}	繰り返し START 条件のセットアップ時間		4.7	µs (最小 値)
t _{SU,STO}	STOP 条件のセットアップ時間		4.0	µs (最小 値)
t _{SU,DAT}	SMBCLK が High になるまでのデータ入力のセットアップ時間		250	ns (最小 値)
t _{HD,DAT}	SMBCLK が Low になった後のデータ出力ホールド時間		300 1075	ns (最小 値) ns (最大 値)
t _{LOW}	SMBCLK Low 期間		4.7 50	µs (最小 値) µs (最大 値)
t _{HIGH}	SMBCLK High 期間		4.0 50	µs (最小 値) µs (最大 値)
t _R	立ち上がり時間		1	µs (最大 値)

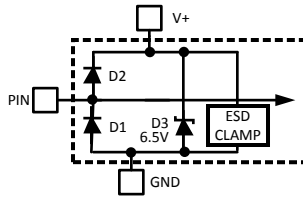
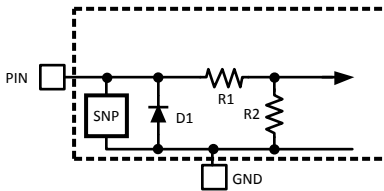
特に記述のない限り、以下の仕様は +3.0V_{DC}~+3.6V_{DC} に適用されます。太字の制限値は動作範囲の $T_A = T_J = T_{MIN} \sim T_{MAX}$ に適用されます。その他すべての制限値は、特に記述のない限り、 $T_A = T_J = 25^\circ\text{C}$ に適用されます。

パラメータ		テスト条件	標準値 (1)	制限値 (2)	単位 (制限)
t _F	立ち下がり時間			300	ns (最大値)
t _{TIMEOUT}	シリアルバスインターフェイスをアイドル状態にリセットするために必要な、SMBDAT または SMBCLK が Low になっている時間のタイムアウト		31	25 35	ms ms (最小値) ms (最大値)
t _{POR}	パワーオンリセット後にデバイスが動作可能な状態になるまでの時間	V _{DD} > +2.8V		500	ms (最大値)
C _L	SMBCLK および SMBDAT の容量性負荷			400	pF (最大値)

- (1) 標準的なパラメータは $T_J = T_A = 25^\circ\text{C}$ におけるもので、最も可能性の高いパラメータ基準値を表します。
 (2) 制限値はテキサス・インスツルメンツの平均出検品質限界 (AOQL) で規定されています。



記号	ピン番号	回路	すべての入力回路	
GPIO_0/TACH1	1	A	<p>図 5-1. 回路 A</p>	
GPIO_1/TACH2	2	A		
GPIO_2/TACH3	3	A		
GPIO_3/TACH4	4	A		
GPIO_4 / P1_THERMTRIP	5	A		
GPIO_5 / P2_THERMTRIP	6	A		
GPIO_6	7	A		
GPIO_7	8	A		
VRD1_HOT	9	A		
VRD2_HOT	10	A		
SCSI_TERM1	11	A		
SCSI_TERM2	12	A		
SMBDAT	13	A		<p>図 5-2. 回路 B</p>
SMBCLK	14	A		
ALERT/XtestOut	15	A		
RESET	16	A		
AGND	17	B (内部で GND ピンに短絡)		
V _{REF}	18	A		
REMOTE1-	19	C		
REMOTE1+	20	D		
REMOTE2-	21	C		
REMOTE+	22	D		

記号	ピン番号	回路	すべての入力回路
AD_IN1	23	D	 <p>図 5-3. 回路 C</p>
AD_IN2	24	D	
AD_IN3	25	D	
AD_IN4	26	E	
AD_IN5	27	E	
AD_IN6	28	E	
AD_IN7	29	E	
AD_IN8	30	E	
AD_IN9	31	E	
AD_IN10	32	E	
AD_IN11	33	E	
AD_IN12	34	E	
AD_IN13	35	E	
AD_IN14	36	E	
AD_IN15	37	D	
ADDR_SEL	38	A	
AD_IN16/V _{DD} (V+)	39	B	 <p>図 5-5. 回路 E</p>
GND	40	B (内部で AGND ピンに短絡)	
PWM1	41	A	
PWM2	42	A	
P1_VID0	43	A	
P1_VID1	44	A	
P1_VID2	45	A	
P1_VID3	46	A	
P1_VID4	47	A	
P1_VID5	48	A	
P1_PROCHOT	49	A	
P2_PROCHOT	50	A	
P2_VID0	51	A	
P2_VID1	52	A	
P2_VID2	53	A	
P2_VID3	54	A	
P2_VID4	55	A	
P2_VID5	56	A	

6 詳細説明

6.1 概要

LM94 では、16 チャンネルの電圧監視、4 つのリモート サーマル ダイオード モニタ、内部 / ローカル周囲温度センサ、2 つの $\overline{\text{PROCHOT}}$ モニタ、4 つのファン タコメータ、8 つの GPIO、エラー イベントのマスク用 $\overline{\text{THERMTRIP}}$ モニタ、2 セットの 7 VID 入力、 $\overline{\text{ALERT}}$ 出力、および関連するすべての制限レジスタが 1 つのチップに搭載されており、システム管理バス (SMBus) 経由でベースボードの他の部分と通信します。また、LM94 は 2 つの PWM 出力と関連するファン制御ロジックも搭載しており、システム ファンの速度を制御できます。ファン制御ロジックには、ルックアップ テーブルと PI (比例 / 積分) ループ コントローラの 2 つがあります。ルックアップ テーブルと PI コントローラは対話型であるため、ファンは必要な最高速度で動作します。温度やファン タコメータのエラー イベントが発生すると、PWM 出力は自動的にデューティ サイクルを 100% に昇圧するようにプログラムすることができます。ファン タコメータ エラーが発生したときにファンが昇圧状態になる最小時間を設定するタイマが内蔵されています。

LM94 はテキサス・インスツルメンツの TruTherm 技術を採用しており、90nm プロセス以下のプロセッサの高精度なリモート ダイオードの読み取りしが可能です。外付けサーマル ダイオードと内蔵温度センサの読み取り値は、LSb が 0.5°C の 9 ビットの 2 の補数デジタル値として、フィルタ温度読み取り値は、LSb が 0.0625°C の 12 ビットの 2 の補数デジタル値として表示されます。

4 つを除くすべてのアナログ入力には、内部スケールリング抵抗が含まれています。 $\pm 12\text{V}$ を測定するには、外部スケールリング抵抗が必要です。入力は 8 ビットのデジタル値に変換され、正の電圧では $\frac{3}{4}$ スケール、負の電圧では $\frac{1}{4}$ スケールで公称電圧が表示されます。アナログ入力は、ベースボードに常駐する V_{RD} と、SSI 準拠の電源から供給される標準的な電圧レールの両方に接続することを想定しています。

LM94 は、動的に変動する一連の VID 入力を関連する V_{ccp} アナログ入力に接続し、リアルタイムでウィンドウ比較を行い、故障判定を行うロジックを備えています。V_{RD10}、V_{RD10} 拡張、V_{RD11} の電圧マッピングは、LM94 によってサポートされています。V_{RD10} モードが選択されている場合、GPIO8 と GPIO9 を使用して外部エラー フラグを検出でき、その状態はステータスレジスタに反映されます。

エラー イベントは、ミラー化された 2 セットのステータスレジスタ (BMC エラー ステータスレジスタとホスト ステータスレジスタ) にキャプチャされるため、2 つのコントローラが干渉することなくステータス情報にアクセスできます。

LM94 の $\overline{\text{ALERT}}$ 出力は、割り込みモードまたはコンパレータ モードの動作をサポートしています。コンパレータ モードは熱監視のみに機能するものです。

LM94 には多数の内部レジスタが用意されています。詳細については本書の「[セクション 6.4](#)」セクションを参照してください。

6.2 機能説明

6.2.1 監視サイクル時間

LM94 は電源供給されると、各温度測定の後にはアナログ電圧測定が順番に繰り返され、それが連続的にループします。総監視サイクル時間は、ほとんどの外部マイクロコントローラがレジスタ値を読み出すのに必要な時間であるため、100ms 以下です。

各測定値は、制限レジスタに格納されている値と比較されます。測定値がプログラムされた制限に反すると、B_Error ステータスレジスタおよび H_Error ステータスレジスタの対応するステータスビットが設定されます。

$\overline{\text{PROCHOT}}$ 、タコメータ、および動的 VID/V_{ccp} 監視は、アナログおよび温度の監視サイクルとは無関係に実行されます。

6.2.2 $\Sigma\Delta$ A/D 固有の平均化

$\Sigma\Delta$ A/D アーキテクチャは、入力信号をフィルタ処理します。1 回の変換中に入力電圧の多くのサンプルが取得され、これらのサンプルが実質的に平均化されて最終的な結果が得られます。 $\Sigma\Delta$ A/D の出力は、サンプリング間隔中の信号の平均値です。電圧測定の場合、サンプルは 1.5ms の間蓄積されます。温度測定の場合、サンプルは 8.4ms の間蓄積されます。

6.2.3 温度監視

LM94 のリモート ダイオードの対象となるのは、90nm プロセスの Xeon クラス プロセッサに搭載されている組み込みサーマル ダイオードですが、90nm または 65nm プロセスの Intel ベース プロセッサでも動作します。LM94 は、テキサス・インスツルメンツの TruTherm 技術を採用した高度なサーマル ダイオード入力段を備えており、サブミクロン対応ジオメトリのサーマル ダイオードで見られる理想性のばらつきを低減できます。サーマル ダイオード入力段には内部アナログ フィルタリングが組み込まれているため、外付けサーマル ダイオード フィルタ コンデンサの必要性を最小限に抑えることができます。さらに、サーマル ダイオード温度読み取り用にデジタル フィルタが搭載されています。

場合によっては、Xeon プロセッサに搭載されている組み込みサーマル ダイオードを使用する代わりに、ダイオード接続の 2N3904 トランジスタ タイプを使用することもできます。例としては、コレクタとベースがサーマル ダイオードの REMOTE+ ピンに、エミッタがサーマル ダイオードの REMOTE- ピンに接続された MMBT3904 があります。MMBT3904 は表面実装デバイスであり、熱質量が非常に小さいため、実装されているボードの温度が測定されます。理想性と直列抵抗は、ダイオードによって異なります。そのため、LM94 には 2N3904 または Xeon プロセッサの間でキャリブレーションを選択できるレジスタ サポートがあります。LM94 は、90nm または 65nm プロセスの一般的な Intel プロセッサや 2N3904 トランジスタ用に最適化されています。他のタイプのトランジスタを使用することもできますが、さらにエラーが発生する可能性があり、その場合は適切なゾーン調整オフセット レジスタをプログラムすることで修正することができます。

LM94 は、4 つの異なるソースから温度データを収集します。

- 4 つの外付けダイオード (プロセッサに組み込みまたはディスクリート)
- 1 つの内蔵ダイオード (LM94 に内蔵)
- AD_IN11 ピンまたは AD_15 ピンに接続された LM60 などの 2 つのアナログ温度センサ
- 温度値は、SMBus から LM94 レジスタに外部から書き込むことができます。

これらの値はすべて、同時である必要はありませんが、ファンの制御や制限値との比較などに使用できます。

温度値レジスタは、アドレス 06h-09h、50h-55h、10h-23h にあります。便宜上、温度ソースはゾーンと呼ばれています。

ゾーン	説明
ゾーン 1a	プロセッサ 1 リモート ダイオード 1 (REMOTE1a+, REMOTE1-)
Zone 1b	プロセッサ 1 リモート ダイオード 2 (REMOTE1b+, REMOTE1-)
ゾーン 2a	プロセッサ 2 リモート ダイオード 1 (REMOTE2a+, REMOTE2-)
Zone 2b	プロセッサ 2 リモート ダイオード 2 (REMOTE2b+, REMOTE2-)
ゾーン 3	内蔵 LM94 オンチップ センサまたは外付け LM60 アナログ センサを AD_IN11 に接続し、SMBus 経由の書き込みも受け入れ
ゾーン 4	外部デジタル温度値は SMBus のレジスタへの書き込み 53h による、または外付け LM60 アナログセンサーを AD_IN15 に接続

6.2.3.1 リモート ダイオードの TruTherm モード

プロセッサのリモート サーマル ダイオードは、より正確にはトランジスタであると言えます。LM93 ではリモート ダイオードをダイオードとして扱っていたため、精度に誤差が生じていました。これらの誤差は、プロセッサのジオメトリが微細化することによってより顕著になっています。LM94 は、リモート デバイスをトランジスタとして扱う新しい TruTherm 技術を採用することで、リモート ダイオードをセンスできます。TruTherm モードは、90nm 以下のジオメトリのプロセッサに対してより高い精度を発揮します。LM94 は引き続き従来のダイオード方式をサポートしており、2N3904 トランジスタ タイプ用に較正されています。

6.2.3.2 温度データの形式

LM94 の温度データのほとんどは、次の 3 つの形式で表されます。

- 8 ビットの 2 の補数バイトで、LSb は 1.0°C に等しい形式です。これは温度測定だけでなく、温度制限レジスタや一部の構成レジスタにも適用されます。

温度 ⁽¹⁾	2 進	16 進
+125°C	0111 1101	7Dh
+25°C	0001 1001	19h
+1.0°C	0000 0001	01h
0°C	0000 0000	00h
-1.0°C	1111 1111	FFh
-25°C	1110 0111	E7h
-55°C	1100 1001	C9h
-127°C	1000 0001	81h

(1) 値 80h は制限レジスタで特別な意味を持ち、温度チャンネルがマスクされていることを示します。他にも、80h の温度読み取り値はサーマルダイオードフォルトを示します。

- 9 ビットの 2 の補数ワードで、LSb は 0.5°C に等しい形式です。これはフィルタなし温度測定拡張分解能値レジスタに適用されます。

温度	2 進		16 進
	MSB	LSB	
+125.5°C	0111 1101	1000 0000	7D 80h
+25.5°C	0001 1001	1000 0000	19 80h
+0.5°C	0000 0000	1000 0000	00 80h
0°C	0000 0000	0000 0000	00 00h
-0.5°C	1111 1111	1000 0000	FF 80h
-25.5°C	1110 0111	1000 0000	E7 80h
-55.5°C	1100 1001	1000 0000	C9 80h
-127.5°C	1000 0001	1000 0000	81 80h

- 12 ビットの 2 の補数ワードで、LSb は 0.0625°C に等しい形式です。これは拡張フィルタ温度測定拡張分解能値レジスタに適用されます。

温度	2 進		16 進
	MSB	LSB	
+125.0625°C	0111 1101	0001 0000	7D 10h
+25.0625°C	0001 1001	0001 0000	19 10h
+1.0625°C	0000 0001	0001 0000	01 10h
0°C	0000 0000	0000 0000	00 00h
-0.0625°C	1111 1111	1111 0000	FF F0h
-25.0625°C	1110 0111	1111 0000	E7 F0h
-55.0625°C	1100 1001	1111 0000	C9 F0h
-127.0625°C	1000 0000	1111 0000	80 F0h

ファン制御構成レジスタの中には、4 ビットを使用し、符号なしバイナリ形式のものがあります。この 4 ビット形式の詳細については、「[セクション 6.2.18](#)」の構成レジスタの説明を参照してください。

6.2.3.3 サーマル ダイオード フォルト ステータス

LM94 は、リモート サーマル ダイオードを使用してフォルト（開路または短絡）を示します。リモート ダイオード変換が更新される前に、リモート ダイオードのステータスは、開路または短絡の状態であるかどうかチェックされます。このようなフォルト状態が発生した場合、ステータス レジスタにステータス ビットが設定されます。短絡とは、ダイオード ピンが相互に接続されている状態を指します。開路または短絡が検出されると、対応する温度レジスタが 80h に設定されます。

6.2.4 ファン昇圧のイベント エラー

温度昇圧エラー イベントやタコメータ エラー イベントにより、ファン制御 PWM 出力がフルオンになる可能性があります。温度昇圧エラー イベントが発生すると、両方の PWM 出力がフルオンになり、タコメータ イベントが PWM1 または PWM2 にバインディングされる可能性があります。

4 つの温度ゾーンのうちいずれかがそのゾーンの温度のファン昇圧制限を超えると、ファン昇圧温度イベントが発生します。温度が昇圧制限を超えた場合、昇圧制限から昇圧ヒステリシスを引いた値まで下がらなければ、昇圧状態は無効となりません。ゾーン 1 とゾーン 2 のデフォルト設定は 60°C で、ゾーン 3 とゾーン 4 のデフォルト設定は 35°C です。

タコメータ エラー 昇圧機能は、タコメータ ファン昇圧制御レジスタを介して有効になります。PWM バインディング ビットに対するタコメータの設定に応じて、マスクされていないファン タコメータ エラー イベントが検出されると、PWM 出力の 1 つまたは両方が 100% デューティ サイクルになります。タコメータ読み取り値がそのファン タコメータ制限レジスタで設定された値を超えると、ファン タコメータ エラー イベントが発生します。エラー イベントが終了すると、PWM 出力は、タコメータ ファン昇圧制御レジスタにプログラムされたタコメータ昇圧タイムアウトの間、100% のデューティ サイクルを維持します。このタイムアウトの途中でタコメータ エラー イベントが再発した場合、タコメータ昇圧タイムアウトの時間間隔はリセットされ、エラー イベントが終了すると再開されます。

6.2.5 電圧監視

LM94 には、電圧監視のための入力があります。スケールは、 $\pm 12V$ を除くすべての入力で、正しい値がおおよそ 3/4 スケールまたは 10 進数で 192 を指すようになっています。スケールは、 $\pm 12V$ を除く内部分圧抵抗を使用して実現されます。これらの入力の標準的な入力抵抗は 200k Ω です。入力電圧は、8 ビットのデルタ シグマ ($\Delta\Sigma$) A/D によって変換されます。デルタ シグマ A/D アーキテクチャは、アナログ入力信号の固有のフィルタリングとスパイク平滑化を実現します。

$\pm 12V$ 入力は、外部でスケールする必要があります。これらの入力に 1.236V を印加すると、フルスケールの読み出しが行われます。最適な性能を得るには、+12V は公称 3/4 フルスケールの読み出しが行われるようにスケールし、-12V は公称 1/4 スケールの読み出しが行われるようにスケールする必要があります。ピンのテブナン抵抗は、1k Ω ~ 7k Ω の間に維持する必要があります。

-12V の監視は難易度が高いです。外部オフセット電圧と外付け抵抗を使用して、-12V レールを AD 入力の正の入力電圧領域にすることが必要です。LM94 デバイスの電源レールをオフセット電圧として使用することを推奨します。この電圧は通常、 $\pm 1\%$ 精度のリニア レギュレータを経由して、P/S 5V のスタンバイ電圧レールから導出されます。3.3V のスタンバイ電圧が存在しないとシステムをオンにできないため、この方法では、-12V レールが存在するときにオフセット電圧が存在すると仮定できます。

表 6-1. 電圧とレジスタ読み出しの関係

ピン	通常使用	公称電圧	公称電圧でのレジスタ読み出し	最大電圧	最大電圧でのレジスタ読み出し	最小電圧	最小電圧でのレジスタ読み出し	絶対最大範囲
AD_IN1	+12V1	0.927V	C0h	1.236V	FFh	0V	00h	-0.3V~(+V _{DD} + 0.05V)
AD_IN2	+12V2	0.927V	C0h	1.236V	FFh	0V	00h	-0.3V~(+V _{DD} + 0.05V)
AD_IN3	+12V3	0.927V	C0h	1.236V	FFh	0V	00h	-0.3V~(+V _{DD} + 0.05V)
AD_IN4	FSB_Vtt	1.20V	C0h	1.60V	FFh	0V	00h	-0.3V~+6.0V

表 6-1. 電圧とレジスタ読み出しの関係 (続き)

ピン	通常使用	公称電圧	公称電圧でのレジスタ読み出し	最大電圧	最大電圧でのレジスタ読み出し	最小電圧	最小電圧でのレジスタ読み出し	絶対最大範囲
AD_IN5	3GIO	1.5V	C0h	2V	FFh	0V	00h	-0.3V~+6.0V
AD_IN6	ICH_Core	1.5V	C0h	2V	FFh	0V	00h	-0.3V~+6.0V
AD_IN7	Vccp1	1.20V	C0h	1.60V	FFh	0V	00h	-0.3V~+6.0V
AD_IN8	Vccp2	1.20V	C0h	1.60V	FFh	0V	00h	-0.3V~+6.0V
AD_IN9	+3.3V	3.30V	C0h	4.40V	FFh	0V	00h	-0.3V~+6.0V
AD_IN10	+5V	5.0V	C0h	6.667V	FAh	0V	00h	-0.3V~+6.5V
AD_IN11	SCSI_Core	2.5V	C0h	3.333V	FFh	0V	00h	-0.3V~+6.0V
AD_IN12	Mem_Core	1.969V	C0h	2.625V	FFh	0V	00h	-0.3V~+6.0V
AD_IN13	Mem_Vtt	0.984V	C0h	1.312V	FFh	0V	00h	-0.3V~+6.0V
AD_IN14	Gbit_Core	0.984V	C0h	1.312V	FFh	0V	00h	-0.3V~+6.0V
AD_IN15	-12V	0.309V	40h	1.236V	FFh	0V	00h	-0.3V~(+V _{DD} + 0.05V)
AD_IN16	+3.3V S/B	3.3V	C0h	3.6V	D1h	3.0V	A Eh	-0.3V~+6.0V

この表に示されている公称電圧は、標準値のみです。異なる公称電圧の電圧レールでも監視は行えますが、公称値でのレジスタの読み出しは C0h ではなくなります。たとえば、公称 2.5V の Mem_Core レールを AD_IN12 で監視したり、1.2V の Mem_VTT レールを AD_IN13 で監視したりできます。

AD_IN16 は LM94 の電源ピンでもあるため、この AD 入力には特別な制限が適用されます。LM94 の指定された動作電圧範囲は 3.0V~3.6V であるため、このピンへの電圧入力はこの制限によって限定されます。致命的な損傷を防ぐために、このピンに 6V を超える電圧を印加しないように注意する必要があります。

6.2.6 +12V 電源レール用推奨外部スケールリング抵抗

+12V 入力には外部スケールリング抵抗が必要です。この抵抗は、12V を 0.927V までスケールダウンする必要があります。

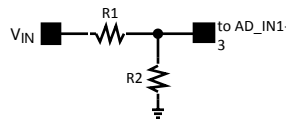


図 6-1. +12V 電源入力に必要な外部スケールリング抵抗

R1 と R2 の必要な比率を計算するには、次の式を使用します。

$$\frac{R1}{R2} = \frac{12}{0.927} - 1 = 11.04498 \quad (1)$$

極端な温度でのリーク電流が原因の誤差を最小限に抑えるため、分圧器の等価テブナン抵抗は 1k~7k の範囲にすることを推奨します。この抵抗の最適値は、R1 = 13.7kΩ と R2 = 1.15kΩ です。これにより、比率は 11.94498 となり、理論値から +0.27% の偏差が生じます。また、抵抗の許容誤差は ±1% 以上であることを推奨します。

電圧値レジスタの各 LSB は、12V/192 = 62.5mV に相当します。+12V 電源入力の実際の電圧を計算するには、次の式を使用します。

$$V_{IN} = (\text{8-bit value register code}) \times (62.5 \text{ mV}) \quad (2)$$

6.2.7 -12V 電源入力用の推奨外部スケーリング回路

-12V 入力には、公称入力電圧 -12V を +0.309V にレベルシフトするための外付け抵抗が必要です。

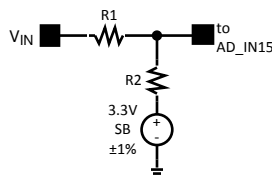


図 6-2. -12V 電源入力用の必要な外付けレベルシフト抵抗

+3.3V スタンバイ電圧を、レベルシフトのリファレンスとして使用します。したがって、この電圧の許容誤差は -12V の読み取り精度に直接影響します。比率誤差を最小限に抑えるためには、±1% よりも厳しい許容誤差を使用する必要があります。極端な温度でのリーク電流による誤差を最小限に抑えるため、分圧器の等価テブナン抵抗は 1k~7k の範囲にすることを推奨します。R1 と R2 の比率を計算するには、次の式を使用します。

$$\frac{R1}{R2} = \frac{(V_{IN} - V_{REF})}{(AD_IN - V_{REF})} - 1 \quad (3)$$

ここで、 V_{IN} は公称入力電圧 -12V、 V_{REF} はリファレンス電圧 +3.3V、AD_IN は AD 入力で ¼ スケールの読み出しに必要な電圧、または 0.309V です。

したがって、この場合は次のようになります。

$$\frac{R1}{R2} = \frac{(-12 - 3.3)}{(0.309 - 3.3)} - 1 = 4.11535 \quad (4)$$

標準的な 1% 抵抗値を R1 5.76 kΩ、R2 1.4 kΩ とすると、R1 と R2 の比率は 4.1143 になります。

入力電圧 V_{IN} は、値レジスタの読み出し (VR) を使って、次の式で計算できます。

$$\begin{aligned} V_{IN} \frac{R1}{R2} &= (\quad + 1) \times \left[\left(1.236V \frac{VR}{256} \right) - 3.3V \right] + 3.3V \\ &= (24.69 \text{ mV} \times VR) - 13.5771V \end{aligned} \quad (5)$$

以下の表は、-12V 付近の値レジスタ読み出しの理論的な電圧値をまとめたものです。

値レジスタ	V_{IN}	-12V からの % Δ
15	-13.2068	-10.0563
16	-13.1821	-9.8505
17	-13.1574	-9.6448
18	-13.1327	-9.4390
19	-13.1080	-9.2332
20	-13.0833	-9.0275
21	-13.0586	-8.8217
22	-13.0339	-8.6159
23	-13.0092	-8.4101
24	-12.9845	-8.2044
25	-12.9598	-7.9986
26	-12.9351	-7.7928
27	-12.9104	-7.5871

値レジスタ	V _{IN}	-12V からの % Δ
28	-12.8858	-7.3813
29	-12.8611	-7.1755
30	-12.8364	-6.9698
31	-12.8117	-6.7640
32	-12.7870	-6.5582
33	-12.7623	-6.3524
34	-12.7376	-6.1467
35	-12.7129	-5.9409
36	-12.6882	-5.7351
37	-12.6635	-5.5294
38	-12.6388	-5.3236
39	-12.6141	-5.1178
40	-12.5894	-4.9121
41	-12.5648	-4.7063
42	-12.5401	-4.5005
43	-12.5154	-4.2947
44	-12.4907	-4.0890
45	-12.4660	-3.8832
46	-12.4413	-3.6774
47	-12.4166	-3.4717
48	-12.3919	-3.2659
49	-12.3672	-3.0601
50	-12.3425	-2.8544
51	-12.3178	-2.6486
52	-12.2931	-2.4428
53	-12.2684	-2.2370
54	-12.2438	-2.0313
55	-12.2191	-1.8255
56	-12.1944	-1.6197
57	-12.1697	-1.4140
58	-12.1450	-1.2082
59	-12.1203	-1.0024
60	-12.0956	-0.7967
61	-12.0709	-0.5909
62	-12.0462	-0.3851
63	-12.0215	-0.1793
64	-11.9968	0.0264
65	-11.9721	0.2322
66	-11.9474	0.4380
67	-11.9228	0.6437
68	-11.8981	0.8495
69	-11.8734	1.0553
70	-11.8487	1.2610
71	-11.8240	1.4668
72	-11.7993	1.6726
73	-11.7746	1.8784

値レジスタ	V_{IN}	-12V からの % Δ
74	-11.7499	2.0841
75	-11.7252	2.2899
76	-11.7005	2.4957
77	-11.6758	2.7014
78	-11.6511	2.9072
79	-11.6264	3.1130
80	-11.6018	3.3188
81	-11.5771	3.5245
82	-11.5524	3.7303
83	-11.5277	3.9361
84	-11.5030	4.1418
85	-11.4783	4.3476
86	-11.4536	4.5534
87	-11.4289	4.7591
88	-11.4042	4.9649
89	-11.3795	5.1707
90	-11.3548	5.3765
91	-11.3301	5.5822
92	-11.3054	5.7880
93	-11.2807	5.9938
94	-11.2561	6.1995
95	-11.2314	6.4053
96	-11.2067	6.6111
97	-11.1820	6.8168
98	-11.1573	7.0226
99	-11.1326	7.2284
100	-11.1079	7.4342
101	-11.0832	7.6399
102	-11.0585	7.8457
103	-11.0338	8.0515
104	-11.0091	8.2572
105	-10.9844	8.4630
106	-10.9597	8.6688
107	-10.9351	8.8745
108	-10.9104	9.0803
109	-10.8857	9.2861
110	-10.8610	9.4919
111	-10.8363	9.6976
112	-10.8116	9.9034
113	-10.7869	10.1092

6.2.8 他のアナログ入力への外付けスケーリング抵抗の追加

AD_IN1～AD_IN3 および AD_IN15 を除くすべてのアナログ入力には、内部分圧抵抗が含まれています。内部分圧抵抗に起因する誤差を考慮すると、外付けスケーリング抵抗で AD_IN4～AD_IN14 の入力をさらにスケーリングできます。

図 6-3 に示す内部抵抗 $R_{IN1} + R_{IN2}$ は、外付け分圧抵抗に最小 140k Ω の抵抗性負荷を与えます。

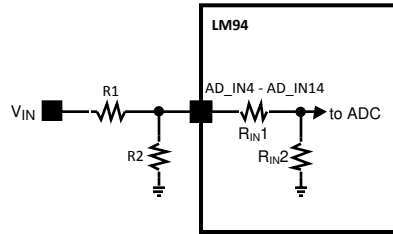


図 6-3. 内部抵抗、R_{IN1} + R_{IN2}

6.2.9 VID を使用した動的 V_{ccp} 監視

AD_IN7 (CPU1 V_{ccp}) 入力と AD_IN8 (CPU2 V_{ccp}) 入力は、P1_VID_x 入力と P2_VID_x 入力を使用して動的に監視され、制限を決定するものです。動的比較は、静的にプログラムされた制限を使用する静的比較とは無関係に動作します。LM94 は、4 種類の VID 動作モードを備えた Intel CPU 搭載マザーボードで使用される電圧レギュレータ (VRM または VRD) の 3 種類の仕様をサポートしています。サポートされている電圧レギュレータ仕様は、VRD10/VRM10、VRD10.2 拡張、VRD11/VRM11 で、本書ではそれぞれ VRD10 仕様、VRD10.2 仕様、VRD11 仕様と表記します。

VRD 10 仕様では、VID 信号が新しい値に変動するとき、一度に 1 LSB ずつステップし、1 ステップは 5 μ s ごとに発生します。ワーストケースでは、100 μ s の間に最大 20 ステップが一度に発生する可能性があります。VRD からの V_{ccp} 電圧は、最後の VID 変動から 50 μ s 以内に新しい値に安定する必要があります。LM94 では、VRD10 モードで VID の変動が 5 μ s 毎よりも頻繁に発生することは想定されていません。同様に、LM94 は VRD10.2 仕様と VRD11 仕様のタイミング要件をサポートできます。

VID 信号は、プログラム制御下のプロセッサ、内部熱イベント、または強制 PROCHOT のような外部制御によって変更することができます。

VID コードの各値によって選択されるリファレンス電圧は、さまざまな VRM / VRD 仕様に記載されています。ライン間スキューに起因する過渡的な VID 値は、LM94 では無視されます。ワーストケースのライン間スキューについては、VRM / VRD の仕様を参照してください。

LM94 は、サンプリング ウィンドウ中の VID 値を平均化し、サンプリング ウィンドウ中に VID 入力が示していた平均電圧を決定します。電圧変換サイクルの完了時に、LM94 は瞬時値ではなく、平均 VID 値に基づいて制限の比較を行います。上限は、VID で示される平均電圧に上限オフセットを加算することで決定されます。下限は、VID で示される平均電圧から下限オフセットを減算することで決定されます。AD_IN7 (または AD_IN8) 電圧が上限および下限を外れると、エラーイベントが生成されます。動的比較と静的比較は、100ms ごとに実行されます。平均化の時間間隔は 1.5ms です。

V_{ccp} サンプリング ウィンドウ中の任意の時点で、VID コードによって VRD/VRM の出力をオフにする必要があることが示された場合、そのサンプルでは動的 V_{ccp} チェックは無効になります。

比較精度は ± 25 mV であるため、この誤差を含めて比較制限を設定する必要があります。V_{ccp} 電圧は (VID の変動により) 新しい値に安定する過程にある可能性があるため、上限と下限のオフセットを設定する際には、この安定化の過程を考慮する必要があります。

LM94 では、動的 V_{ccp} チェックの上限電圧に制限があります。上限は 1.5875V を超えることはありません。VID で示された電圧と上限オフセット電圧の合計が 1.5875 を超えると、上限のチェックは無効になります。

ピン 11 とピン 12 には 2 つの役割があります。VRD10 モードが選択されている場合は汎用入力として使用でき、その状態は BMC およびホストのエラー ステータス レジスタに反映されます。その他の VRD モードでは、VID6 入力として使用されます。

6.2.10 アナログ温度センサの監視

AD_IN11 と AD_IN15 の読み取り値をファン制御ロジックに送って、LM60 などの外部温度センサを簡単に使用できるようにします。これらの入力を温度センシングに使用する場合、返されるデジタル出力は符号付き形式で、MSb が反転されます。

以下の表に、バイナリ データを温度に変換するために必要な重要なパラメータを示します。

入力	V NOM	フルスケール (コード 256) V	254.5 コード V	mV /LSb	LM60 °/LSb	LM50 °/LSb
AD_IN11	2.500 ($\frac{1}{4}$ スケール)	3.3333	3.3138	13.0	2.0833	1.3021
AD_IN15	0.309 ($\frac{1}{4}$ スケール)	1.2360	1.2288	4.8	0.7725	0.4828

以下の表に、AD_IN11 または AD_IN15 のデジタル値 (DV) を温度値に変換するための式を示します。

入力	LM60 の式	LM50 の式
AD_IN11	$(DV + 95.44) \times 2.0833$ (6)	$(DV + 89.60) \times 1.3021$ (7)
AD_IN15	$(DV + 40.18) \times 0.7725$ (8)	$(DV + 24.44) \times 0.4828$ (9)

以下の表に、異なる温度で LM60 を使用した場合に生成される理想的な値を示します。

温度	LM60 の 理想的な Vout	AD_IN11 読み取り値		AD_IN15 読み取り値	
		符号付き 10 進	符号付き 16 進	符号付き 10 進	符号付き 16 進
0	0.424	-95.44	A1	-40.18	D8
25	0.5803	-83	AD	-8	F8
30	0.6115	-81	AF	-1	FF
35	0.6428	-79	B1	5	5
40	0.6740	-76	B4	12	C
45	0.7053	-74	B6	18	12
50	0.7365	-71	B9	25	19
55	0.7678	-69	BB	31	1F
60	0.7990	-67	BD	37	25
65	0.8303	-64	C0	44	2C
70	0.8615	-62	C2	50	32
75	0.8928	-59	C5	57	39
80	0.9240	-57	C7	63	3F
85	0.9553	-55	C9	70	46
90	0.9865	-52	CC	76	4C
95	1.0178	-50	CE	83	53
100	1.0490	-47	D1	89	59
105	1.0803	-45	D3	96	60
110	1.1115	-43	D5	102	66

温度	LM60 の理想的な Vout	AD_IN11 読み取り値		AD_IN15 読み取り値	
		符号付き 10 進	符号付き 16 進	符号付き 10 進	符号付き 16 進
115	1.1428	-40	D8	109	6D
120	1.1740	-38	DA	115	73
125	1.2053	-35	DD	122	7A
130	1.2365	-33	DF	127	7F

以下の表に、LM50 を使用した場合に想定される理想的なデジタル値を示します。

温度	LM50 の理想的な Vout	AD_IN11 読み取り値		AD_IN15 読み取り値	
		符号付き 10 進	符号付き 16 進	符号付き 10 進	符号付き 16 進
0	0.5	-89.60	A7	-24.44	E8
25	0.7500	-70	BA	27	1B
30	0.8000	-67	BD	38	26
35	0.8500	-63	C1	48	30
40	0.9000	-59	C5	58	3A
45	0.9500	-55	C9	69	45
50	1.0000	-51	CD	79	4F
55	1.0500	-47	D1	89	59
60	1.1000	-44	D4	100	64
65	1.1500	-40	D8	110	6E
70	1.2000	-36	DC	121	79
75	1.2500	-32	E0	127	7F
80	1.3000	-28	E4	127	7F
85	1.3500	-24	E8	127	7F
90	1.4000	-20	EC	127	7F
95	1.4500	-17	EF	127	7F
100	1.5000	-13	F3	127	7F
105	1.5500	-9	F7	127	7F
110	1.6000	-5	FB	127	7F
115	1.6500	-1	FF	127	7F
120	1.7000	3	3	127	7F
125	1.7500	6	6	127	7F
130	1.8000	10	A	127	7F

6.2.11 V_{REF} 出力

V_{REF} は、外部 V_{RD} によって使用される、または BMC A/D 入力の電圧リファレンス入力として使用される固定電圧です。V_{REF} は 2.5V ±1% です。V_{REF} 出力には、誤って電源またはグラウンドに短絡した場合の電流制限保護機能が内蔵されています。

6.2.12 PROCHOT の背景情報

PROCHOT は、プロセッサがあらかじめ設定された温度トリップ ポイントに達したことを示すプロセッサからの出力です。このトリップ ポイントで、プロセッサは、V_{RD} に供給する 6 ビット VID の値を変更することで、内部動作周波数を下げるか、電源電圧を下げるかのいずれかまたは両方をプログラムできます。最終的な VID 設定と、新しい VID への遷移レートは、プロセッサ内でプログラム可能です。

$\overline{\text{PROCHOT}}$ が 100% スロットリングされている場合、CPU が動作していないわけではありませんが、プロセッサの温度が上昇し続けると、CPU がサーマルトリップに達する可能性があります。

また、 $\overline{\text{PROCHOT}}$ は一部のプロセッサへの入力でもあるため、外部コントローラは外部イベントに基づいてサーマル スロットルを強制的に実行することもできます。

温度が事前定義されたサーマルトリップ ポイントを下回ると、プロセッサは $\overline{\text{PROCHOT}}$ をアサートしなくなります。

プロセッサは、あらかじめ決められた時間にわたって、トリップ ポイントを上回る / 下回る温度を要求することで、トリップ ポイント周辺での振動を回避します。この時間を追跡するためにプロセッサ内部のカウンタが使用されます。トリップを解除するには、温度超過トリップの場合はカウンタを最大カウントまでインクリメントし、トリップ温度設定以下の場合はデクリメントしてゼロにする必要があります。

$\overline{\text{PROCHOT}}$ の最小アサート時間は、FSB 周波数に依存します。プロセッサが $\overline{\text{PROCHOT}}$ をアサートする最小時間は 187 μs と推定されます。

6.2.13 $\overline{\text{PROCHOT}}$ 監視

$\overline{\text{PROCHOT}}$ 監視は、 $\overline{\text{P1_PROCHOT}}$ 入力と $\overline{\text{P2_PROCHOT}}$ 入力の両方に適用されます。いずれの入力も同じ方法で監視されますが、以下では単独の監視について説明します。(Px_ $\overline{\text{PROCHOT}}$ は $\overline{\text{P1_PROCHOT}}$ と $\overline{\text{P2_PROCHOT}}$ を表します)。

$\overline{\text{PROCHOT}}$ 監視には、2 つの目標があります。1 つ目の目標は、プログラム可能な期間にわたって、 $\overline{\text{PROCHOT}}$ がアサートされる時間のパーセンテージを測定することです。この測定結果は、1 LSB が $\overline{\text{PROCHOT}}$ 時間間隔の 1/256 (0.39%) に相当する 8 ビットのレジスタから読み出すことができます。2 つ目の目標は、大まかなパーセンテージで、プロセッサがスロットリングされた時間を示すステータス レジスタを取得することです。この 2 つ目の目標は、ASF を使用して NIC 上で情報を通信するために必要です。つまり、送信できるのは値ではなくステータスです。

1 つ目の目標を達成するため、 $\overline{\text{PROCHOT}}$ 時間間隔レジスタで定義された期間にわたって、 $\overline{\text{PROCHOT}}$ 入力が監視されます。各機間の終了時に、8 ビットの測定値が現在の Px_ $\overline{\text{PROCHOT}}$ レジスタに転送されます。また、各測定期間の終了時に、新しい値を古い値に加算して結果を 2 で除算することで、現在の $\overline{\text{Px_PROCHOT}}$ レジスタ値が平均 $\overline{\text{Px_PROCHOT}}$ レジスタに移動されます。平均 $\overline{\text{Px_PROCHOT}}$ レジスタに平均化して格納される値は、新しい測定値ではなく、以前の測定値であることに注意してください。SMBus が現在の $\overline{\text{P1_PROCHOT}}$ (または現在の $\overline{\text{P2_PROCHOT}}$) レジスタに書き込むと、両方の監視チャンネル ($\overline{\text{P1_PROCHOT}}$ と $\overline{\text{P2_PROCHOT}}$) のキャプチャサイクルが再開されます。また、2 つの 8 ビット値の厳密な平均を取ると、定常状態において、平均 $\overline{\text{Px_PROCHOT}}$ が現在の $\overline{\text{Px_PROCHOT}}$ より 1 LSB 低い値を反映する場合がありますことにも注意してください。

8 ビットの結果は、LSB の 1/2 の正のバイアスを持つことに注意してください。これは、値 00h がサンプリング ウィンドウの間に $\overline{\text{Px_PROCHOT}}$ がまったくアサートされなかったことを表すために必要です。スロットリングの量がどの程度であっても、01h が読み出されます。

以下の表は、8 ビットの結果のマッピングを示しています。

8 ビットの結果	スロットリングのパーセンテージ
0	0%
1	0%~0.39%
2	0.39%~0.78%
-	-
n	(n-1)/256~n/256
-	-
253	98.4%~98.8%
254	98.8%~99.2%
255	99.2% 超

2 つ目の目標を達成するために、LM94 には複数のコンパレータがあり、測定されたパーセンテージの読み取り値を、複数の固定値と 1 つの変数値と比較します。変数値はユーザーがプログラム可能です。

このような比較の結果、以下の表に示すエラー ステータス ビットが生成されます。

ステータスの説明	比較方式
100% スロットリング	監視時間中、PROCHOT は一度もデアサートされなかった。
75% 以上 100% 未満	$193 \leq \text{測定値} < 100\%$ ではない
50% 以上 75% 未満	$129 \leq \text{測定値} < 193$
25% 以上 50% 未満	$65 \leq \text{測定値} < 129$
12.5% 以上 25% 未満	$33 \leq \text{測定値} < 65$
0% より大きく 12.5% 未満	$0 < \text{測定値} < 33$
0% より大きい	$0 < \text{測定値}$
ユーザー制限より大きい	ユーザー制限 $<$ 測定値

これらのステータス ビットは、 $\overline{\text{PROCHOT}}$ エラー ステータス レジスタに反映されます。 $\overline{\text{P1_PROCHOT}}$ 入力と $\overline{\text{P2_PROCHOT}}$ 入力はそれぞれ別々に監視され、それぞれにステータス レジスタがあります。

S3 および S4/5 のスリープ状態では、 $\overline{\text{PROCHOT}}$ 監視機能は実行されません。S3 および S4/5 の $\overline{\text{PROCHOT}}$ ピンがアクティブになると、 $\overline{\text{VRDx_Hot}}$ が無効になります。現在の $\overline{\text{Px_PROCHOT}}$ レジスタは 00h にリセットされ、平均 $\overline{\text{Px_PROCHOT}}$ レジスタは現在の状態を保持します。スリープ状態が S0 に戻ると、監視機能が再開されます。最初の $\overline{\text{PROCHOT}}$ 測定が行われた後、測定値は、平均化せずに、現在および平均の $\overline{\text{Px_PROCHOT}}$ レジスタに直接書き込まれます。平均化は、2 回目の測定で通常に戻ります。

6.2.14 $\overline{\text{PROCHOT}}$ の出力制御

場合によっては、LM94 は $\overline{\text{Px_PROCHOT}}$ 出力を Low に駆動する必要があります。このようなことが起こるにはいくつかの条件があります。

LM94 は、2 つの $\overline{\text{PROCHOT}}$ 入力を論理的に短絡させることが可能です。これを行うと、LM94 は $\overline{\text{Px_PROCHOT}}$ 入力をそれぞれ監視します。外部デバイスが $\overline{\text{PROCHOT}}$ 信号のいずれかをアサートすると、LM94 は最初の $\overline{\text{PROCHOT}}$ 信号がデアサートされるまで、もう一方の $\overline{\text{PROCHOT}}$ 信号をアサートして応答します。この機能は、 $\overline{\text{PROCHOT}}$ 信号がすでに別の方法で短絡されている場合は、有効にしないでください。

$\overline{\text{VRDx_HOT}}$ 入力のいずれかがアサートされるたびに、対応する $\overline{\text{Px_PROCHOT}}$ ピンが LM94 によってアサートされます。応答時間は 10 μ s 未満です。 $\overline{\text{VRDx_HOT}}$ 入力がデアサートされると、 $\overline{\text{Px_PROCHOT}}$ ピンは LM94 によってアサートされなくなります。LM94 が $\overline{\text{PROCHOT}}$ 信号と一緒に短絡するように構成されている場合、 $\overline{\text{VRDx_HOT}}$ 入力のいずれかがアサートされると、常にそれらを一緒にアサートします。この応答はスリープ状態 3 および 4/5 では無効にされ、 $\overline{\text{PROCHOT}}$ 制御レジスタを使用して無効にできます。

ソフトウェアは、 $\overline{\text{P1_PROCHOT}}$ または $\overline{\text{P2_PROCHOT}}$ で PWM 信号を駆動するように、LM94 を手動でプログラムできます。これは、 $\overline{\text{PROCHOT}}$ オーバーライド レジスタによって行います。詳細については、このレジスタの説明を参照してください。この場合も、LM94 が $\overline{\text{PROCHOT}}$ 信号と一緒に短絡するように構成されている場合、この機能が有効になっているときは常に、それらの信号を一緒にアサートします。

6.2.15 ファン速度測定

ファン タコメータ回路は、ファン タコメータ信号の 2 周期分のカウンタを有効にすることで、ファン パルスの周期を測定します。累積カウンタはファン タコメータ周期に比例し、ファン速度に反比例します。4 つのファン タコメータ信号はすべて 1 秒以内に測定されます。

一般に、適切な電圧で動作すればファンは過回転しないため、故障条件としては電氣的または機械的な故障による回転不足が考えられます。このような理由から、ファンの制限レジスタには低速制限のみがプログラムされています。速度では

なくファン周期が測定されるため、測定値が制限値を超過するとファン タコメータ エラー イベントが発生することに注意してください。

6.2.16 スマート ファン速度測定

ファンの電源ピンのいずれかを PWM 駆動してファン速度を変化させると、ファンのタコメータ出力が乱れます。LM94 には、信号の乱れにもかかわらず正確なタコメータ読み取りを可能にするスマート タコメータ回路が含まれています。スマート タコメータ モードでは、4 秒以内に 4 つすべての信号が測定されます。

スマート タコメータのキャプチャ サイクルは、次のステップで動作します。

1. 両方の PWM 出力は、同時にアクティブになるように同期されます。
2. PWM 出力のアクティブ時間は、どちらも 50ms まで延長されます。
3. この 50ms 間隔でのタコメータ信号の周期数が追跡されます。
 - a) 50ms の延長中に 1 周期未満しか検出されない場合、結果として 3FFh が返されます。
 - b) 1 周期が経過すると、その周期のカウントが記憶されます。
 - c) 50ms 間隔中に 2 周期が発生しない場合、報告されるタコメータ値は 1 周期のカウントを 2 倍したのになります。
 - d) 2 周期が発生した場合、その 2 周期のカウントが値レジスタにロードされ、50ms の PWM 延長が終了します。

各ファン タコメータ値レジスタの下位 2 ビットは予約済みです。スマート タコメータ機能は、これらのビットをうまく利用しています。通常のタコメータ モードでは、これらのビットは 00 を返します。スマート タコメータ モードでは、この 2 つのビットによって読み出し精度のレベルが決まります。11 が最も精度が高く (2 周期を使用)、10 が最も精度が低い (1 周期を使用) ことを示します。測定サイクル中に 1 周期未満しか発生しなかった場合、下位 2 ビットは 10 に設定されます。

スマート ファン タコメータ モードでは、LM94 ステータス / 制御レジスタの TACH_EDGE フィールドが使用されます。アクティブなエッジタイプが 1 つだけの場合、測定は常にそのエッジタイプ (立ち上がりまたは立ち下がり) を使用します。両方がアクティブの場合、測定には最初に発生したエッジタイプが使用されます。

通常、スマート ファン タコメータ モードでキャプチャされる最小 RPM は、約 50% のデューティ サイクルで 1 回転あたり 2 パルスを生成するファンの場合、900RPM です。

6.2.17 入力 / 出力

センサ入力に関連付けられているすべてのピンのほかに、LM94 には他の特定の機能に割り当てられている複数のピンがあります。

6.2.17.1 ALERT 出力

ALERT 出力は、アクティブ Low オープンドレイン出力信号です。ALERT 出力は、1 つまたは複数のセンサが対応する制限スレッシュホールドを超えたことをマイクロコントローラに通知するために使用されます。一般的に、マイクロコントローラが判断しない限り、致命的な問題ではありません。

有効な場合は BMC エラー ステータス レジスタのビットが設定されるたびに、ALERT 出力がアサートされます (固定 PROCHOT スレッシュホールド・ビットを除く)。定義により、ALERT が有効な場合、常に LM94 のステータス / 制御レジスタの BMC_ERR ビットの反転値と同じになります。ALERT 出力が無効な場合でも、BMC_ERR ビットの状態を読み出すことでアラート イベントを判断できます。

ALERT は割り込みのように機能します。LM94 は SMBus ARA (アラート応答アドレス) プロトコルをサポートしていません。

ALERT がデアサートされるのは、BMC エラー ステータス レジスタでエラー ステータス ビットが設定されていない場合のみです。これとは別に、ソフトウェアで ALERT 出力を無効にして、デアサートすることもできます。BMC エラー ステータス レジスタ ビットが引き続き設定されている場合、ALERT 出力は有効になると再度アサートされます。

$\overline{\text{ALERT}}$ 出力は、熱イベントのコンパレータ モードでも機能します。つまり、マスクされていない熱エラー イベントについては $\overline{\text{ALERT}}$ 出力がアサートされ、エラー イベントが終了するとすぐにデアサートされます。 $\overline{\text{ALERT}}$ 出力の動作は、LM94 の構成レジスタによって制御されます。

$\overline{\text{ALERT}}$ 出力の動作の詳細については、「[セクション 7.1.7](#)」を参照してください。

6.2.17.2 $\overline{\text{RESET}}$ 入力 / 出力

このピンは、LM94 に電力が供給されると、アクティブ LOW リセット出力として機能します。LM94 の +3.3V S/B V_{DD} 入力内で内部 POR レベルを超える電圧が最初に検出されたときに、アサートされます。LM94 の内部レジスタは、電力が供給されるとデフォルトにリセットされます。

このリセットが完了すると、 $\overline{\text{RESET}}$ ピンが入力になります。外部デバイスが $\overline{\text{RESET}}$ をアサートすると、LM94 は LM94 構成レジスタの LOCK ビットをクリアします。この機能により、重要なレジスタのロックが可能になったり、ロックを解除するための制御メカニズムが提供されます。

LM94 の $\overline{\text{RESET}}$ を使用しない場合は、LM94 の誤動作を防止するために、外部プルアップ抵抗を介して High に接続する必要があります。

$\overline{\text{RESET}}$ を外部でアサートしてから 10 μsec 以内に、スリープ状態制御レジスタは自動的に S4/5 にされます。これにより、S4/5 のマスク定義に従って、エラー イベントがマスクされます。詳細については、[レジスタの説明](#)を参照してください。 $\overline{\text{RESET}}$ が 4 μsec 未満しかアサートされないと、検出されないことがあります。

6.2.17.3 PWM1 出力および PWM2 出力

PWM 出力を使用して、ファンの速度を制御します。各出力のデューティ サイクルは、1 つまたは複数の温度ゾーンの温度によって自動的に制御されます。また、その他のさまざまな入力やレジスタからも影響を受けます。PWM 出力の動作の詳細については、「[セクション 6.2.18](#)」を参照してください。

6.2.17.4 $\overline{\text{VRD1_HOT}}$ 入力および $\overline{\text{VRD2_HOT}}$ 入力

これらの入力は、ベースボード上の各プロセッサ VRD に関連付けられている熱センサを監視しています。いずれかの入力がアクティブになると、それは VRD があらかじめ設定された温度スレッショルドを超えたことを示します。LM94 は、対応するプロセッサにバインディングされている PWM 出力のデューティ サイクルを徐々に増やし、適切なエラー ステータス ビットを設定することで応答します。対応する PROCHOT 信号もアサートされます。詳細については、「[セクション 6.2.18](#)」と「[セクション 6.2.14](#)」を参照してください。

6.2.17.5 GPIO ピンおよび GPI ピン

LM94 には、汎用入出力として機能する GPIO ピン 8 本と、汎用入力として機能する GPI ピン 2 本があり、それぞれ個別に構成および制御できます。入力として動作するときは、ピンをマスクして、GPI エラー ステータス レジスタの対応するビットが設定されないようにできます。タコメータ入力や VID 入力として機能するピンもあります。

6.2.17.6 ファン タコメータ入力

ファン入力はシュミットトリガ デジタル入力です。シュミットトリガ入力回路が搭載されており、ファン タコメータ出力に典型的な低速の立ち上がり時間と立ち下がり時間に対応できます。

V_{DD} が 5V 未満の場合でも、最大入力信号範囲は 0V~+6.0V です。これらの入力が 0V~+6.0V を超えるファン出力から供給される場合、ファン信号の抵抗減衰またはダイオードのクランプのいずれかを使用して入力を許容範囲内に維持し、LM94 の損傷を防ぐ必要があります。

ホット プラグ対応のファンでは、タコメータ信号に最大 12V のスパイクが発生する可能性があるため、ダイオードの保護や他の回路が必要です。ホット プラグ ファンの場合、信号調整用に外部クランプ ダイオードが必要になることがあります。

6.2.18 ファン制御

6.2.18.1 自動ファン制御方式

LM94 のファン速度制御方式は、ファンのノイズ低減、ファンの電力効率、ファンの信頼性、および最小コストを考慮して最適化されています。PWMx 出力は、ファンへの電力供給用に 5V~12V DC を供給する外部スイッチング レギュレータ

タイプの出力段を使用してフィルタ処理できます。出力段で使用されるインダクタやその他の部品のサイズとコストを最小限に抑えるためには、高い PWM 周波数が必要です。LM94 の PWM 出力は最大 22.5kHz で動作可能であり、ファン制御モードの動作に応じてステップ サイズを変えることができます。LM94 は LUT (ルックアップ テーブル) と PI (比例積分) のファン制御方式をサポートしています。これらの方式は、PWM バインディング レジスタによって制御されるように、対話型で機能することも、個別に機能することもできます。図 6-4 に、これらのファン制御方式の概略ブロック図を示します。温度ゾーンの LUT へのマッピング / バインディングは、PI ループとは完全に独立しています。温度ゾーンは、最初に LUT や PI ループに個別にバインディングでき、次に各 LUT や PI ループをいずれかの PWM 出力にバインディングできます。LUT パラメータは、温度ゾーンのバインディングとは独立しています。PI ループ コントローラは、比例積分フィードバック コントローラです。9 ビットの PWM デューティ サイクルを生成し、プロセッサのサーマル ゾーン (ゾーン 1 およびゾーン 2) からの温度フィードバックを使用します。PWM 出力はプロセッサ上のエアフローを制御するので、プロセッサ温度は PI ループによって調整され、Tcontrol と Tcontrol からヒステリシスを引いた値の間で最も高い温度読み取り値に維持されます。LM94 は 2 つのプロセッサをサポートし、各プロセッサは 2 つのサーマル サブゾーンを持つことができます。各プロセッサ温度の最も高いものが、ゾーン セレクタと PI ループ入力に通知されます。各プロセッサにはそれぞれ独立した Tcontrol 設定があります。

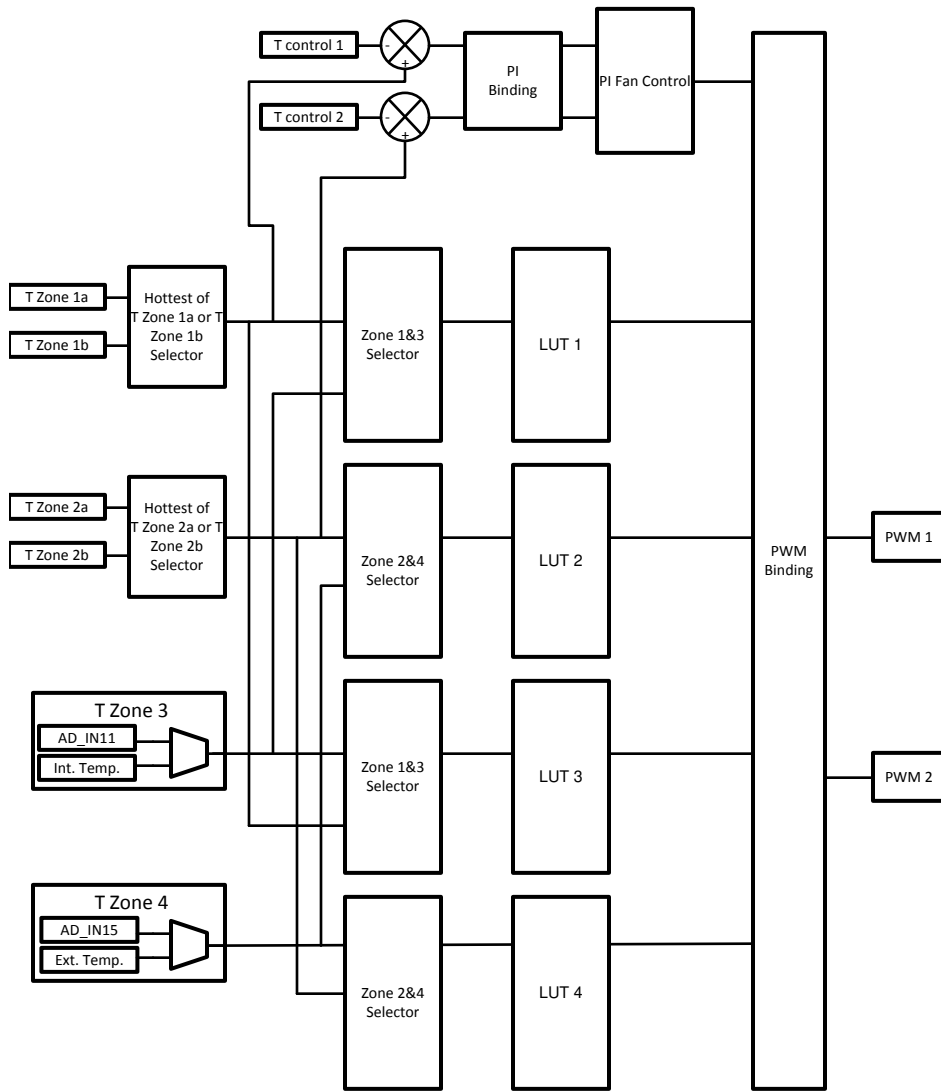


図 6-4. LUT および PI コントローラの概略ブロック図

6.2.18.2 LUT ファン制御デューティ サイクル

LM94 の一部のレジスタでは、4 ビット値を使用してデューティ サイクルを表します。これらはすべて、4 ビット値をデューティ サイクルに関連付ける共通のマッピングを使用します。この 4 ビット値は、自動ファン制御アルゴリズムの 14 ステップにも対応しています。マッピングは以下のとおりで、デフォルトの 22.5kHz (高周波数) で動作する PWM 出力に適用されます。

4 ビット値	ステップ	22.5kHz (高周波) デューティ サイクル
0h		0.00%
1h	1	25.00%
2h	2	31.25%
3h	3	37.50%
4h	4	43.75%
5h	5	50.00%
6h	6	56.25%
7h	7	62.50%
8h	8	68.75%
9h	9	75.00%
Ah	10	81.25%
Bh	11	87.50%
Ch	12	93.75%
Dh	13	100.00%
Eh	—	予約済み
Fh	—	予約済み

6.2.18.3 代替 LUT PWM マッピング

PWM 出力は、デフォルトの 22.5kHz ではなく、より低い周波数で動作できます。この低周波数は、PWMx 制御 4 レジスタを介して有効化できます。低周波数モードで動作させると、ステップ番号をデューティサイクルに置き換えるマッピングが可能になります。これは、自動ファン制御と、4 ビット値を使用してデューティ サイクルを示すすべての LM94 レジスタに影響を及ぼします。デフォルトの 22.5kHz PWM 周波数を使用する場合にも、この代替マッピングを有効にできます。

代替 LUT PWM デューティ サイクル マッピングを次の表に示します。

4 ビット値	LUT ステップ	代替 LUT デューティ サイクル
0h		0%
1h	1	25.00%
2h	2	28.57%
3h	3	32.14%
4h	4	35.71%
5h	5	39.29%
6h	6	42.86%
7h	7	46.43%
8h	8	50.00%
9h	9	53.57%
Ah	10	57.14%
Bh	11	71.43%
Ch	12	85.71%
Dh	13	100.00%
Eh	—	予約済み
Fh	—	予約済み

6.2.18.4 ファン制御の優先度

PWM デューティ サイクルに影響を及ぼす機能は、自動ファン制御だけではありません。その他にも PWM デューティ サイクルに影響を及ぼす機能がいくつかあります。そのような機能はすべて、いくつかのカテゴリに分類できます。

カテゴリ番号	カテゴリ名
1	PWM 100% 条件
2	$\overline{\text{VRDx_HOT}}$ ランプアップ / ランプダウン
3	$\overline{\text{PROCHOT}}$ ランプアップ / ランプダウン
4	手動 PWM オーバーライド
5	ファン スピンアップ制御
6	自動ファン制御アルゴリズム

選択される最終的な PWM デューティ サイクルは、以下の式で表されます。

If (手動 PWM オーバーライドが有効)

$$\text{PWM} = \max(1,2,3,4)$$

Else

$$\text{PWM} = \max(1,2,3,5,6)$$

したがって、基本的に、カテゴリ 1、カテゴリ 2、カテゴリ 3 は常にアクティブです。さらに、手動オーバーライドが有効かどうかによって、カテゴリ 4 がアクティブ、またはカテゴリ 5 と カテゴリ 6 がアクティブのいずれかになります。この意味では、手動オーバーライドが有効な場合、カテゴリ 5 と カテゴリ 6 は使用されなくなります。

6.2.18.5 PWM 100% 条件

いくつかの条件が重なると、すべての PWM 出力のデューティ サイクルがただちに 100% に設定されます。条件は以下のとおりです。

- 4 つの温度ゾーンのうち少なくとも 1 つが、プログラムされたファン昇圧制限の設定を超えたが、まだ十分に冷却されてヒステリシス ポイントを下回っていない
- タコメーター読み取り値が限界値を超えた
- OVRID ビットが LM94 ステータス / 制御に設定されている

6.2.18.6 $\overline{\text{VRDx_HOT}}$ ランプアップ / ランプダウン

この機能により、 $\overline{\text{VRD1_HOT}}$ または $\overline{\text{VRD2_HOT}}$ がアサートされると、PWM 出力のデューティ サイクルは時間の経過とともに徐々に増加します。

$\overline{\text{VRDx_HOT}}$ がアサートされると、ランプ機能が有効になります。有効化プロセスには、次の 2 つのステップがあります

- 他の PWM 機能によって要求されている現在のデューティ サイクルが記憶されます。
- ランプ機能は、記憶された値に直ちに PWM デューティ サイクル ステップを 1 つ追加し、追加後の新しいデューティ サイクルを要求します。

この機能が有効になると、 $\overline{\text{VRDx_HOT}}$ がアサートされるたびに、X ミリ秒ごとにデューティ サイクル ステップが徐々に追加されます (X は PWM ランプ制御レジスタでプログラム可能)。 $\overline{\text{VRDx_HOT}}$ が十分な時間アサートされたままであれば、デューティ サイクルは最終的に 100% に達します。

$\overline{\text{VRDx_HOT}}$ がデアサートされるたびに、ランプ機能は X ミリ秒ごとに PWM デューティ サイクル ステップを 1 つ減じて、ランプダウンを開始します。 $\overline{\text{VRDx_HOT}}$ が現在デアサートされており、ランプ機能が他の機能によって要求されている PWM デューティ サイクルより低い場合、ランプ機能は無効になります。

この機能が有効である限り、 $\overline{\text{VRDx_HOT}}$ の状態に応じてランプアップまたはランプダウンを続けます。上記のランプ有効化プロセスは、ランプ機能が無効になった後でのみ再実行できます。 $\overline{\text{VRDx_HOT}}$ の急激なアサート / デアサートは、ランプ機能が無効になる程度の時間 $\overline{\text{VRDx_HOT}}$ がデアサートされない限り、有効化プロセスをトリガすることはありません。

このランプ機能は、 $\overline{\text{VRD1_HOT}}$ と $\overline{\text{VRD2_HOT}}$ に対して個別に動作します。さらに、ランプ機能は、1 つまたは 2 つの $\overline{\text{VRDx_HOT}}$ 入力にバインディングされている PWM にのみ適用されます。バインディングによっては、最大 4 つの個別のランプ機能がいつでもアクティブになります。

PWM1/VRD1

PWM1/VRD2

PWM2/VRD1

PWM2/VRD2

PWM が $\overline{\text{VRD1_HOT}}$ と $\overline{\text{VRD2_HOT}}$ の両方にバインディングされている場合、その PWM 出力に対して 2 つのランプ機能がアクティブになります。この場合、使用されるデューティ サイクルは、2 つのランプ機能のうちの最大値です。

6.2.18.7 $\overline{\text{PROCHOT}}$ ランプアップ / ランプダウン

この機能は、 $\overline{\text{VRDx_HOT}}$ ランプアップ / ランプダウン機能に非常に類似しています。PWM デューティ サイクルは、 $\overline{\text{PROCHOT}}$ 測定値がユーザーによってプログラムされたスレッシュホールドを超えるたびに、同じようにランプアップします。新たに $\overline{\text{PROCHOT}}$ 測定が行われ、ユーザー制限を超えなくなると、PWM はランプダウンを開始します。

$\overline{\text{VRDx_HOT}}$ ランプ機能と同様に、 $\overline{\text{PROCHOT}}$ ランプ機能も個別のバインディングを使用して、各 $\overline{\text{PROCHOT}}$ 入力 ($\overline{\text{P1_PROCHOT}}$ または $\overline{\text{P2_PROCHOT}}$) によって影響を受ける PWM 出力を決定します。

PWM が $\overline{\text{P1_PROCHOT}}$ と $\overline{\text{P2_PROCHOT}}$ の両方にバインディングされてる場合、2 つの $\overline{\text{PROCHOT}}$ ランプ機能が同時にアクティブになります。この場合、使用されるデューティ サイクルは、2 つのランプ機能のうちの最大値です。

6.2.18.8 手動 PWM オーバーライド

PWM チャンネルが手動 PWM オーバーライド用に構成されている場合、ソフトウェアは PWM デューティ サイクルを手動で制御できます。PWM 制御機能によっては、デューティ サイクルが手動設定よりも高くなるものがあります。詳細については、「[セクション 6.2.18.4](#)」を参照してください。

6.2.18.9 ファン スピニアップ制御

他のすべての PWM 制御機能が組み合わされて、実際に PWM 出力に使用される最終的なデューティ サイクルが生成されます。この最終的な値がゼロからゼロ以外の値に変化すると、ファン スピニアップ制御機能がトリガされます。トリガされると、ファン スピニアップ制御はプログラムされた期間にわたって、プログラムされたデューティ サイクルを要求します。

6.2.19 XOR ツリー テスト

自動試験装置 (ATE) のボード レベルのコネクティビティ テスト用に、LM94 には XOR ツリーが用意されています。これにより、すべてのデジタル入力の機能を簡単な方法でテストでき、機能しないピンや短絡しているピンを特定できます。XOR テストレジスタの XEN ビットを設定してテスト モードを有効にすると、デバイスは XOR テスト モードに入ります。

表 6-2. XOR テスト ツリーに含まれる信号

Px_VIDy	GPIO_x	PWMx	Px_ $\overline{\text{PROCHOT}}$	$\overline{\text{VRDx_HOT}}$	GPIx	RESET
---------	--------	------	---------------------------------	-------------------------------	------	-------

テストモードは XOR ツリーであるため、ツリー内の信号の順序は重要ではありません。SMBDAT と SMBCLK はテスト ツリーに含めないでください。

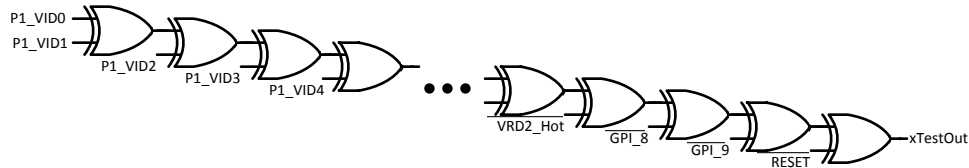


図 6-5. XOR テスト ツリーの例 (すべての信号を示しているわけではない)

PCB 上で XOR ツリー テストを適切に実装するために、ツリーに示されているピンを電源やグランドに直接接続しないでください。GPI のように常時に Low として構成する必要があるピンは、ATE (自動試験装置) が High に駆動できるように、10kΩ のような低抵抗を介してグランドに接続する必要があります。

テスト波形を生成するときは、XOR ツリーを通る標準的な伝搬遅延 500ns を許容する必要があります。

6.3 プログラミング

6.3.1 SMBus インターフェイス

LM94 との通信には SMBus を使用します。LM94 の SMBus インターフェイス ラインは、5V 信号に対する耐性を備えています。必要なプルアップ抵抗はベースボード上に配置されています。各 SMBus 信号に対してプルアップ抵抗の使用は 1 つだけであるように注意してください。SMBus インターフェイスは、SMBus 2.0 のプロトコルと信号レベルに準拠しています。

LM94 の SMBus インターフェイスは、LM94 に電力が供給されていない場合、SMBus に負荷をかけません。これにより、LM94 を搭載したモジュールは、必要に応じて、電源をオフにして交換することができます。

6.3.1.1 SMBus アドレッシング

LM94 は、電源が供給されるたびに、割り当てられた SMBus スレーブ アドレス (ADDR_SEL で決定) をラッチします。これは、最初の有効な SMBus トランザクション中に、ターゲット スレーブ アドレスの最初の 5 ビットが LM94 のスレーブ アドレスと一致する場合に行われます。アドレスがラッチされると、LM94 は以後のすべてのトランザクションでそのアドレスを使用し続け、電源が切れるまでその状態が維持されます。

アドレス選択入力が 3 つの異なる電圧レベルを検出し、システム内に最大 3 つのデバイスを存在させることができます。アドレス割り当ては以下のとおりです。

アドレス選択ピン (ADDR_SEL)	スレーブ アドレスの割り当て
High	01011 01
$V_{DD}/2$	01011 10
Low	01011 00

6.3.1.2 SMBus 通信におけるデジタル ノイズの影響

デジタル ラインへのノイズ カップリング (150mV 以上) で、オーバーシュートが V_{DD} を越え、アンダーシュートが GND を下回る場合、LM94 との SMBus 通信が正常に行われず、NACK が最も一般的な症状で、バス上に不要なトラフィックを発生させます。SMBus の最大通信周波数は比較的低いですが (最大 100 kHz)、バス上に複数の部品が存在して、長いプリント基板のトレースがあるシステムでは、適切な終端処理を行うように注意する必要があります。LM94 には SMBCLK 信号と SMBDAT 信号のオンチップ ローパス フィルタリングを搭載されており、ノイズ耐性が向上しています。デジタルトレースをスイッチング ベースボード領域から遠ざけ、高速データ通信を含むデジタル ラインが SMBDAT ラインおよび SMBCLK ラインと直角に交差するようにすることで、ノイズ カップリングを最小限に抑えます。

6.3.1.3 一般的な SMBus タイミング

SMBus 2.0 仕様では、さまざまな種類の読み出し / 書き込み動作について具体的な条件が定義されていますが、一般的に SMBus プロトコルは次のように動作します。

マスタは、シリアル クロック ライン **SMBCLK** が **High** のままで、シリアル データ ライン **SMBDAT** が **High** から **Low** に遷移することで、**START** 条件を確立してデータ転送を開始します。これは、データ ストリームが続いていることを示します。シリアル バスに接続されているすべてのスレーブ ペリフェラルが **START** 条件に応答し、次の **8** ビットを取り込みます。これは、**7** ビットのスレーブ アドレス (**MSB** が最初) と **R/W** ビットで構成されており、データ転送の方向、つまりスレーブ デバイスとの間でデータを書き込むか読み出すか (**0** = 書き込み、**1** = 読み出し) が決定されます。

送信されたアドレスに対応するアドレスを持つペリフェラルは、アクノリッジ ビット (**9** 回目のクロック パルス) の前の **Low** 期間中にデータ ラインを **Low** に引き下げ、このクロック パルスの **High** 期間中に **Low** を保持して応答します。これで、選択したデバイスがデータの読み出しまたは書き込みを待機している間、バス上の他のすべてのデバイスはアイドルのままになります。**R/W** ビットが **0** の場合、マスタはスレーブ デバイスに書き込みを行います。**R/W** ビットが **1** の場合、マスタはスレーブ デバイスから読み出しを行います。

データはシリアル バス上で **9** つのクロック パルス、**8** ビットのデータ、それに続くアクノリッジ ビットのシーケンスで送信されます。クロック信号が **High** のときの **Low** から **High** への遷移は、**STOP** 信号と解釈される可能性があるため、データ ラインでのデータ遷移はクロック信号の **Low** 期間中に発生して **High** 期間中は安定している必要があります。

書き込み動作の場合、スレーブ アドレスの後の最初のデータ バイトはコマンド バイトになります。これにより、次に何を想定するべきかがスレーブ デバイスに通知されます。これは、スレーブ デバイスにブロック書き込みを想定するように指示する命令である場合もあれば、後続データの書き込み先を指示する単なるレジスタ アドレスである場合もあります。

R/W ビットで定義されるように、データは一方方向にしか流れないため、読み出し動作中にスレーブ デバイスにコマンドを送信することはできません。読み出し動作を実行する前に、書き込み動作を実行して、どのような読み出し動作を想定しているか、どのアドレスからデータを読み出すのか、またはその両方をスレーブに指示する必要があります。

すべてのデータ バイトの読み出しまたは書き込みが完了すると、**STOP** 条件が確立されます。書き込みモードでは、マスタは **10** 回目のクロック パルス中にデータ ラインを **High** にして、**STOP** 条件をアサートできます。読み出しモードでは、マスタではなくスレーブがデータを駆動します。当該ビットでは、スレーブはアクノリッジを想定しており、マスタは **Low** を駆動していません。これを **NO ACKNOWLEDGE** (アクノリッジ (受信確認) なし) と呼びます。次に、マスタは **10** 回目のクロック パルスの前の **Low** 期間中にデータ ラインを **Low** にし、**10** 回目のクロック パルス中に **High** にして、**STOP** 条件をアサートします。

繰り返し **START** は、書き込み動作と読み出し動作が連続している間にのみ行うことができます。

6.3.1.4 SMBus エラー安全機能

より堅牢な SMBus インターフェイスを実現するために、LM94 は **SMBCLK** と **SMBDAT** の両方に対するタイムアウト機能を内蔵しています。いずれかの信号が長時間 **Low** である場合 (**SMBus AC** 仕様を参照)、LM94 の SMBus ステートマシンはアイドル状態に戻り、**START** 信号を待つこととなります。偶発的なタイムアウトを避けるために **SMBCLK** が非常に低い周波数で動作している場合は、すべて **0** の大きなブロック転送を避ける必要があります。**RESET** ピンを **Low** にしても、SMBus のステート マシンはリセットされません。システム リセット中に LM94 の **SMBDAT** ピンが **Low** の場合、LM94 のステート マシンはタイムアウトして自動的にリセットされます。システム リセット中に LM94 の **SMBDAT** ピンが **High** の場合、マスタによる最初のスタート アサートが LM94 のインターフェイス ステート マシンをリセットします。

これは SMBus 仕様に違反するものではありませんが、場合によっては、**START** 信号または **STOP** 信号がアクノリッジ ビットの後ではなく、バイト転送の途中で発生することがあります。この場合、一部のバイトが転送されるだけです。バイトの書き込みが途中で中止され、一部のバイトはコミットされません。読み出しでクリアのレジスタからバイトを読み出している場合、そのレジスタはクリアされません。

6.3.1.5 シリアル インターフェイス プロトコル

LM94 には揮発性レジスタが搭載されており、**00h**~**EFh** のアドレスを占有しています。

データは、1 バイト、1 ワード、または数バイトからなる 1 ブロックとして読み書きできます。LM94 は、以下の SMBus/I²C トランザクション / プロトコルをサポートしています。

- 送信バイト
- 書き込みバイト
- 書き込みワード
- SMBus 書き込みブロック
- I²C ブロック書き込み
- 読み出しバイト
- 読み出しワード
- SMBus 読み出しブロック
- SMBus ブロック書き込みブロック読み出しプロセス呼び出し
- I²C ブロック読み出し

これらのトランザクションに加えて、LM94 はいくつかの追加項目をサポートしているほか、SMBus 2.0 仕様を超えて定義する必要がある動作もあります。他の SMBus 2.0 トランザクション (PEC、ARA など) はサポートされていません。

SMBus 仕様では、さまざまな種類の読み出し / 書き込み動作について複数のプロトコルが定義されています。LM94 で使用されているものについて、以下で説明します。図中では以下の略語を使用しています。

- S** — START (開始)
- P** — STOP (停止)
- R** — READ (読み出し)
- W** — WRITE (書き込み)
- A** — ACKNOWLEDGE (アクノリッジ (受信確認))
- /A** — NO ACKNOWLEDGE (アクノリッジ (受信確認) なし)

6.3.1.5.1 アドレスのインクリメント

設定されたベース アドレスはインクリメントしません。新しいベース アドレスを再設定せずに読み取りを繰り返すと、毎回同じアドレスからデータが返されます。I²C 読み取りトランザクションでは、使用しているマスタが 1 つだけの場合、この情報を使用するとベース アドレスの再設定をスキップできます。この規則の例外として、ブロック書き込みブロック読み取りを使用して、ブロック書き込み / 読み取りプロセス呼び出しをエミュレートする場合があります。詳細については、「[セクション 6.3.1.5.4.3](#)」を参照してください。

6.3.1.5.2 ブロック コマンド コードの概要

ブロック コマンド コードは、以下の表に示すように、LM94 のブロック読み出し / 書き込み動作を制御します。

コマンドコード名	値	説明
ブロック書き込みコマンド	F0h	SMBus ブロック書き込みコマンド コード
ブロック読み出しコマンド	F1h	SMBus ブロック書き込み / 読み出しプロセス呼び出し
固定ブロック 0	F2h	固定ブロック読み出しコマンド コード: アドレス 40h、サイズ 8 バイト
固定ブロック 1	F3h	固定ブロック読み出しコマンド コード: アドレス 48h、サイズ 8 バイト
固定ブロック 2	F4h	固定ブロック読み出しコマンド コード: アドレス 50h、サイズ 6 バイト

コマンドコード名	値	説明
固定ブロック 3	F5h	固定ブロック読み出しコマンドコード: アドレス 56h、サイズ 16 バイト
固定ブロック 4	F6h	固定ブロック読み出しコマンドコード: アドレス 67h、サイズ 4 バイト
固定ブロック 5	F7h	固定ブロック読み出しコマンドコード: アドレス 6Eh、サイズ 8 バイト
固定ブロック 6	F8h	固定ブロック読み出しコマンドコード: アドレス 78h、サイズ 12 バイト
固定ブロック 7	F9h	固定ブロック読み出しコマンドコード: アドレス 90h、サイズ 32 バイト
固定ブロック 8	FAh	固定ブロック読み出しコマンドコード: アドレス B4h、サイズ 8 バイト
固定ブロック 9	FBh	固定ブロック読み出しコマンドコード: アドレス C8h、サイズ 8 バイト
固定ブロック 10	FCh	固定ブロック読み出しコマンドコード: アドレス D00h、サイズ 16 バイト
固定ブロック 11	FDh	固定ブロック読み出しコマンドコード: アドレス E5h、サイズ 9 バイト

6.3.1.5.3 書き込み動作

LM94 は、以下の SMBus 書き込みプロトコルをサポートしています。

6.3.1.5.3.1 書き込みバイト

この動作では、次のように、マスタ デバイスは 1 つのアドレス バイトと 1 つのデータ バイトをスレーブ デバイスに送信します。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスは **ACK** をアサートします。
4. マスタはコマンド コード (レジスタ アドレス) を送信します。
5. スレーブは **ACK** をアサートします。
6. マスタはデータ バイトを送信します。
7. スレーブは **ACK** をアサートします。
8. マスタは、**STOP** 条件をアサートしてトランザクションを終了します。

1	2		3	4	5	6	7	8
S	スレーブ アドレス	W	A	レジスタ アドレス	A	データ バイト	A	P

6.3.1.5.3.2 書き込みワード

この動作では、次のように、マスタ デバイスは 1 つのアドレス バイトと 2 つのデータ バイトをスレーブ デバイスに送信します。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスは **ACK** をアサートします。
4. マスタはコマンド コード (レジスタ アドレス) を送信します。
5. スレーブは **ACK** をアサートします。
6. マスタは下位データ バイトを送信します。
7. スレーブは **ACK** をアサートします。
8. マスタは上位データ バイトを送信します。

9. スレーブは **ACK** をアサートします。
10. マスタは、**STOP** 条件をアサートしてトランザクションを終了します。

1	2		3	4	5	6	7	8	9	10
S	スレーブ アドレス	W	A	レジスタ アドレス	A	下位 データ バイト	A	上位 データ バイト	A	P

6.3.1.5.3.3 任意のアドレスへの SMBus 書き込みブロック

ブロック書き込みの開始アドレスは、このトランザクションに組み込まれています。この動作では、次のようにマスタはデータブロックをスレーブに送信します。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスは **ACK** をアサートします。
4. マスタは、スレーブ デバイスにブロック書き込みがあることを通知するコマンド コードを送信します。LM94 のブロック書き込みのコマンド コードは **F0h** です。
5. スレーブは **ACK** をアサートします。
6. マスタは、スレーブ デバイスに送信するデータ バイト数 (N) を通知するバイトを送信します。SMBus 仕様では、1 回のブロック書き込みで送信できるデータ バイト数は最大 32 バイトです。
7. スレーブ デバイスは **ACK** をアサートします。
8. マスタは、ブロック書き込みの開始アドレスであるデータ バイト 1 を送信します。
9. スレーブは各データ バイトの後に **ACK** をアサートします。
10. マスタはデータ バイト 2 を送信します。
11. スレーブ デバイスは **ACK** をアサートします。
12. マスタはデータ バイトを継続的に送信し、スレーブは各バイトに対して **ACK** をアサートします。
13. マスタは、**STOP** 条件をアサートしてトランザクションを終了します。

1	2		3	4	5	6	7	8	9	10	11	~	12		13
S	スレーブ アドレス	W	A	コマンド F0h (ブロック 書き込み)	A	バイト 数 (N)	A	データ バイト 1 (開始 アドレス)	A	データ バイト 2	A	~	データ バイト N	A	P

注:

1. 通常のアドレス空間を超えるバイトへの書き込みは、LM94 によって確認されますが、無視されます。
2. ブロック書き込みでは、アドレスが **FFh** から **00h** に戻らず、アドレスは **FFh** のままになります。
3. バイト数のフィールドは、LM94 によって無視されます。マスタ デバイスが送信するバイト数は多い場合も少ない場合もありますが、LM94 はそれらを受け入れます。
4. SMBus 仕様では、ブロック書き込みが 32 データ バイトを超えないことを要求しています。この要件を満たすためには、実際のデータ バイトは 31 しか送信できないこととなります (レジスタ アドレスは 1 バイトとしてカウントされます)。この要件を満たすかどうかは、LM94 には問題ではありません。

6.3.1.5.3.4 I2C® ブロック書き込み

このトランザクションでは、マスタは以下のようにデータ ブロックを LM94 に送信します。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスは **ACK** をアサートします。
4. マスタは、ブロック書き込みの開始アドレスを送信します。
5. スレーブは各データ バイトの後に **ACK** をアサートします。
6. マスタはデータ バイト 1 を送信します。
7. スレーブは **ACK** をアサートします。

8. マスタはデータ バイトを継続的に送信し、スレーブは各バイトに対して **ACK** をアサートします。
9. マスタ デバイスは、**STOP** 条件をアサートしてトランザクションを終了します。

1	2		3	4	5	6	7	8		9
S	スレーブ アドレス	W	A	レジスタ・アドレス	A	データ バイト 1	A	~ データ バイト N	A	P

注:

1. 通常のアドレス空間を超えるバイトへの書き込みは、LM94 によって確認されますが、無視されます。
2. ブロック書き込みでは、アドレスが FFh から 00h に戻らず、アドレスは FFh のままになります。

6.3.1.5.4 読み出し動作

LM94 は、以下の SMBus 読み出しプロトコルを使用します。

6.3.1.5.4.1 読み出しバイト

LM94 では、読み出しバイト プロトコルを使用してレジスタから 1 バイトのデータを読み出します。この動作では、次のようにマスタ デバイスはスレーブ デバイスから 1 バイトを受信します。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスは **ACK** をアサートします。
4. マスタはレジスタ アドレスを送信します。
5. スレーブは **ACK** をアサートします。
6. マスタは繰り返し **START** を送信します。
7. マスタ は、スレーブ アドレスとそれに続く書き込みビット (上位) を送信します。
8. スレーブは **ACK** をアサートします。
9. マスタはデータ バイトを受信し、**NACK** をアサートします。
10. マスタは **STOP** 条件をアサートして、トランザクションが終了します。

1	2		3	4	5	6	7		8	9		10
S	スレーブ アドレス	W	A	レジスタ アドレス	A	S	スレーブ アドレス	R	A	データ バイト	/A	P

6.3.1.5.4.2 読み出しワード

LM94 では、読み出しワード プロトコルを使用して、1 つのレジスタまたは連続する 2 つのレジスタから 2 バイトのデータを読み出します。この動作では、次のようにマスタ デバイスはスレーブ デバイスから 2 バイトを読み出します。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスは **ACK** をアサートします。
4. マスタはレジスタ アドレスを送信します。
5. スレーブは **ACK** をアサートします。
6. マスタは繰り返し **START** を送信します。
7. マスタ は、スレーブ アドレスとそれに続く書き込みビット (上位) を送信します。
8. スレーブは **ACK** をアサートします。
9. マスタは下位データ バイトを受信し、**ACK** をアサートします。
10. マスタは上位データ バイトを受信し、**NACK** をアサートします。
11. マスタは **STOP** 条件をアサートして、トランザクションが終了します。

1	2		3	4	5	6	7		8	9		10		11
S	スレーブ アドレス	W	A	レジスタ アドレス	A	S	スレーブ アドレス	R	A	下位 データ バイト	A	上位 データ バイト	/A	P

6.3.1.5.4.3 SMBus ブロック書き込みブロック読み出しプロセス呼び出し

このトランザクションは、LM94 からデータ ブロックを読み出すために使用します。このトランザクションで発生するイベントのシーケンスは以下のとおりです。

1. マスタ デバイスは **START** 条件をアサートします。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. アドレス指定されたスレーブ デバイスが **ACK** をアサートします。
4. マスタはスレーブ デバイスにブロック読み出し (F1h) があることを通知するコマンド コードを送信し、スレーブは **ACK** をアサートします。
5. マスタはこの書き込みのバイト数である 2 を送信し、スレーブは **ACK** をアサートします。
6. マスタはブロック読み出しの開始レジスタ アドレスを送信し、スレーブは **ACK** をアサートします。
7. マスタはブロック読み出しプロセス呼び出しのバイト数 (1~32) を送信し、スレーブは **ACK** をアサートします。
8. マスタは 繰り返し **START** 条件をアサートします。
9. マスタは、7 ビットのスレーブ アドレスとそれに続く読み出しビット (上位) を送信します。
10. スレーブは **ACK** をアサートします。
11. マスタは、これから受信するデータ バイトの数を通知するデータ バイトを受信します。このフィールドは、LM94 に送信されたバイト数によって要求されたバイト数を示しています。SMBus 仕様では、1 回のブロック読み出しで受信できるデータ バイト数は最大 32 バイトです。その後、マスタは **ACK** をアサートします。
12. マスタはデータ バイト 1 を受信し、**ACK** をアサートします。
13. マスタはデータ バイト 2 を受信し、**ACK** をアサートします。
14. マスタはデータ バイト N-3 を受信し、それぞれに対して **ACK** をアサートします。
15. マスタはデータ バイト N を受信し、**NACK** をアサートします。
16. マスタは、**STOP** 条件をアサートしてトランザクションを終了します。

1	2		3	4		5		6		7		8	9		10	~
S	スレーブ アドレス	W	A	ブロック 読み出し コマンド コード (F1h)	A	バイト数 (2h)	A	開始 レジスタ アドレス	A	バイト数 (1-20h) (N)	A	S	スレーブ アドレス	R	A	
~	11			12				13		14	15		15	16		
	バイト数 (1-20h) (N)		A	データ バイト 1	A	データ バイト 2	A	~	データ バイト N	/A	P					

注:

1. 通常のアドレス空間外のアドレスが読み出されると、LM94 は 00h を返します。
2. ブロック読み出しは、アドレス FFh から 00h へのラップアラウンドは行いません。
3. 要求したバイト数以上をマスタがアクロリッジした場合、LM94 はマスタがバイトをアクロリッジしなくなるまで、データを供給し続けます。
4. マスタがバイトをアクロリッジしないで、ブロック読み出しを早期に中止する場合、LM94 はバスから離れ、マスタが **STOP** 信号を発行できるようにします。

6.3.1.5.4.4 SMBus ブロック書き込みブロック読み出しプロセス呼び出しのシミュレーション

マスタが SMBus ブロック書き込みブロック読み出しプロセス呼び出しをサポートできない場合、別の方法として、2 つのトランザクション (ブロック書き込みとそれに続くブロック読み出し) によってエミュレートできます。デュアル マスタ システムでは衝突が発生し、データやトランザクションが破損する可能性があるため、これはシングル マスタ システムでのみ行われる必要があります。これらのトランザクションのイベント シーケンスを以下に示します。

1. マスタはこのトランザクションを開始するために **START** を発行します。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. スレーブは **ACK** をアサートします。

4. マスタはブロック読み出しコマンド コード (F1h) を送信し、スレーブは ACK をアサートします。
5. マスタはこのトランザクションのバイト カウント (2h) を送信し、スレーブは ACK をアサートします。
6. マスタは開始レジスタ アドレスを送信し、スレーブは ACK をアサートします。
7. マスタはブロック読み出しプロセス呼び出しのバイト数 (1-20h) を送信し、スレーブは ACK をアサートします。
8. マスタはこのトランザクションを終了するために STOP を送信します。
9. マスタはこのトランザクションを開始するために START を送信します。
10. マスタは 7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信し、スレーブは ACK をアサートします。
11. マスタはブロック読み出しコマンド コード (F1h) を送信し、スレーブは ACK をアサートします。
12. マスタは繰り返し START を送信します。
13. マスタは 7 ビットのスレーブ アドレスとそれに続く読み出しビット (上位) を送信し、スレーブは ACK をアサートします。
14. マスタはバイト数 (ステップ 7 でマスタが送信したサイズと一致) を受信し、ACK をアサートします。
15. マスタはデータ バイト 1 を受信し、ACK をアサートします。
16. マスタはデータ バイト 2 を受信し、ACK をアサートします。
17. マスタはデータ バイト N-3 を受信し、それぞれに対して ACK をアサートします。
18. マスタは最後のデータ バイトを受信し、NACK をアサートします。
19. マスタはこのトランザクションを終了するために STOP を発行します。

1	2		3	4		5		6		7		8	9	10			~
S	スレーブ アドレス		W	A	ブロック 読み出し コマンド コード (F1h)	A	バイト数 (2h)	A	開始 レジスタ アドレス	A	バイト数 (1-20h) (N)	A	P	S	スレーブ アドレス	W	A

~	11		12	13			14		15		16		17			16
	ブロック 読み出し コマンド コード (F1h)	A	S	スレーブ アドレス	R	A	バイト数 (1-20h) (N)	A	データ バイト 1	A	データ バイト 2	A	~	データ バイト N	/A	P

注:

1. ステップ 9～ステップ 19 を繰り返すと、別のデータ ブロックを読み出すことができます。アドレスは、最後のブロックが終わったところから次のブロックが始まるように自動インクリメントされます。LM94 から返されるサイズは毎回同じです。
2. 通常のアドレス空間外のアドレスが読み出されると、LM94 は 00h を返します。
3. ブロック読み出しは、アドレス FFh から 00h へのラップアラウンドは行いません。
4. 要求したバイト数以上をマスタがアクリッジした場合、LM94 はマスタがバイトをアクリッジしなくなるまで、データを供給し続けます。
5. マスタがバイトをアクリッジしないで、ブロック読み出しを早期に中止する場合、LM94 はバスから離れ、マスタが STOP 信号を発行できるようにします。
6. ブロック読み出しが終了すると、LM94 のベース アドレスが更新され、最後に読み出したバイトの次のバイトを指すようになります。

6.3.1.5.4.5 SMBus 固定アドレス ブロック読み出し

ブロック読み出しは、事前定義されたアドレスから実行できます。事前定義されたアドレスごとに、特定のコマンド コードが予約されています。コマンド コードの詳細については、「[セクション 6.3.1.5.2](#)」を参照してください。このタイプのブロック読み出しで発生するイベントのシーケンスは以下のとおりです。

1. マスタはこのトランザクションを開始するために START を送信します。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. スレーブは ACK をアサートします。

4. マスタは固定ブロック コマンド コード (F2h-FDh) を送信し、スレーブは ACK をアサートします。
5. マスタは繰り返し START を送信します。
6. マスタは、7 ビットのスレーブ アドレスとそれに続く読み出しビット (上位) を送信します。
7. スレーブは ACK をアサートします。
8. マスタはバイト数 (使用されている固定ブロック コマンド コードに依存) を受信し、ACK をアサートします。
9. マスタは最初のデータ バイトを受信し、ACK をアサートします。
10. マスタはデータ バイトを受信し続け、ACK をアサートします。
11. マスタは最後のデータ バイトを受信します。
12. マスタは NACK をアサートします。
13. マスタはこのトランザクションを終了するために STOP を発行します。

1	2		3	4		5	6		7	8		9		10	11	12	13
S	スレーブ アドレス	W	A	固定 ブロック コマンド コード (F2h-FDh)	A	S	スレーブ アドレス	R	A	バイト 数 (N)	A	データ バイト 1	A	~	データ バイト N	/A	P

注:

1. 通常のアドレス空間外のアドレスが読み出されると、LM94 は 00h を返します。
2. ブロック読み出しは、アドレス FFh から 00h へのラップアラウンドは行いません。
3. 要求したバイト数以上をマスタがアクリッジした場合、LM94 はマスタがバイトをアクリッジしなくなるまで、データを供給し続けます。
4. マスタがバイトをアクリッジしないで、ブロック読み出しを早期に中止する場合、LM94 はバスから離れ、マスタが STOP 信号を発行できるようにします。

6.3.1.5.4.6 I²C ブロック読み出し

LM94 は、I²C ブロック読み出しをサポートしています。このトランザクションで発生するイベントのシーケンスは以下のとおりです。

1. マスタはこのトランザクションを開始するために START を送信します。
2. マスタは、7 ビットのスレーブ アドレスとそれに続く書き込みビット (下位) を送信します。
3. スレーブは ACK をアサートします。
4. マスタはレジスタ アドレスを送信し、スレーブは ACK をアサートします。
5. マスタは繰り返し START を送信します。
6. マスタは、7 ビットのスレーブ アドレスとそれに続く読み出しビット (上位) を送信します。
7. スレーブは ACK をアサートします。
8. マスタはデータ バイト 1 を受信し、ACK をアサートします。
9. マスタはバイトを受信し続け、受信したバイトごとに ACK をアサートします。
10. マスタは最後のバイトを受信します。
11. マスタは NACK をアサートします。
12. マスターは STOP を発行します。

1	2		3	4		5	6		7	8		9		~	10	11	12
S	スレーブ アドレス	W	A	レジスタ アドレス	A	S	スレーブ アドレス	R	A	データ バイト 1	A	データ バイト 2	A	~	データ バイト N	/A	P

注:

1. 通常のアドレス空間外のアドレスが読み出されると、LM94 は 00h を返します。
2. ブロック読み出しは、アドレス FFh から 00h へのラップアラウンドは行いません。
3. 要求したバイト数以上をマスタがアクリッジした場合、LM94 はマスタがバイトをアクリッジしなくなるまで、データを供給し続けます。

4. マスタがバイトをアクノリッジしないで、ブロック読み出しを早期に中止する場合、LM94 はバスから離れ、マスタが STOP 信号を発行できるようにします。

6.3.1.6 16 ビットレジスタの読み出しと書き込み

16 ビットレジスタの下位バイトが読み出されるときには、必ず上位バイトがフリーズされます。上位バイトが読み出された後、フリーズは解除されます。これにより、16 ビット値全体が適切に読み出され、上位バイトが下位バイトと一致した状態になります。別の 16 ビットレジスタの下位バイトが読み出されると、現在フリーズされている上位バイトはフリーズ解除され、新しい 16 ビットレジスタの上位バイトがフリーズされます。SMBus マスタが 2 つあるシステムでは、一度に 16 ビットレジスタを読み出すのは 1 つのマスタだけであるということが非常に重要です。これを実現するための 1 つの方法として、2 回の 8 ビット読み出しの代わりに 16 ビットの SMBus 読み出しを使用して、16 ビットレジスタを読み出すことが考えられます。

16 ビットレジスタの下位バイトが書き込まれるときには、書き込みはバッファされ、対応する上位バイトが書き込まれるまで有効になりません。別の 16 ビットレジスタの下位バイトが書き込まれると、最初のレジスタの先にバッファされた下位バイトは破棄されます。デバイスが 16 ビットレジスタの上位バイトを書き込もうとし、対応する下位バイトが書き込まれなかった (または破棄された) 場合、LM94 はそのバイトを NACK します。

6.4 レジスタ

6.4.1 レジスタ警告

ほとんどの場合、予約済みのレジスタやレジスタ ビットは、読み出し時に 0 を返します。予約済みのレジスタは LM94 の機能を将来拡張するために使用されるため、これについて考慮する必要はありません。

一部のレジスタのデフォルト値は N/D になっており、レジスタの電源オン時のデフォルトは定義されていないということです。値レジスタの場合、関連する測定機能が測定値を取得するまでソフトウェアが値レジスタを読み出さないように注意する必要があります。このことは、温度、電圧、ファン RPM、および PROCHOT の監視に適用されます。

6.4.2 レジスタの概要表

表 6-3. レジスタの識別子

用語	説明
N/D	定義なし
N/A	該当なし
R	読み出し専用
R/W	読み出しまたは書き込み
RWC	読み出しまたは書き込みでクリア

ロック	レジスタ名	アドレス	デフォルト	説明
ファクトリレジスタ				
x	XOR テスト	00h	00h	XOR テスト ツリー モードの設定に使用
	SMBus テスト	01h	00	SMBus 読み出し / 書き込みテストレジスタ
	予約済み	02h-04h	N/D	
リモートダイオードモード選択				
x	トランジスタモード選択	05h	00h	リモートダイオード測定のためにダイオードモード(デフォルト)またはトランジスタモードを選択
値レジスタ セクション 1				
	ゾーン 1b (CPU1 ダイオード b) 温度	06h	00h	リモートサーマルダイオード温度チャンネル 1b の測定値
	ゾーン 2b (CPU2 ダイオード b) 温度	07h	00h	リモートサーマルダイオード温度チャンネル 2b の測定値
	ゾーン 1b (CPU1 ダイオード b) フィルタ温度	08h	00h	リモートサーマルダイオード温度チャンネル 1b のフィルタ値
	ゾーン 2b (CPU2 ダイオード b) フィルタ温度	09h	00h	リモートサーマルダイオード温度チャンネル 2b のフィルタ値
	PWM1 の 8 ビット デューティサイクル値	0Ah	00h	PWM1 デューティサイクルの 8 ビット値
	PWM2 の 8 ビット デューティサイクル値	0Bh	00h	PWM2 デューティサイクルの 8 ビット値
高分解能 PWM オーバーライド レジスタ				
x	PWM1 デューティサイクル オーバーライド (下位バイト)	0Ch	00h	高分解能 PWM1 デューティサイクル レジスタの下位バイト
x	PWM1 デューティサイクル オーバーライド (上位バイト)	0Dh	00h	高分解能 PWM1 デューティサイクル レジスタの上位バイト
x	PWM2 デューティサイクル オーバーライド (下位バイト)	0Eh	00h	高分解能 PWM2 デューティサイクル レジスタの下位バイト
x	PWM2 デューティサイクル オーバーライド (上位バイト)	0Fh	00h	高分解能 PWM2 デューティサイクル レジスタの上位バイト
拡張分解能温度値レジスタ				
	Z1a_LSB	10h	00h	ゾーン 1a (CPU1) の拡張分解能フィルタなし温度値レジスタ、最下位バイト

ロック	レジスタ名	アドレス	デフォルト	説明
	Z1a_MSB	11h	00h	ゾーン 1a (CPU1) の拡張分解能フィルタなし温度値レジスタ、最上位バイト
	Z1b_LSB	12h	00h	ゾーン 1b (CPU1) の拡張分解能フィルタなし温度値レジスタ、最下位バイト
	Z1b_MSB	13h	00h	ゾーン 1b (CPU1) の拡張分解能フィルタなし温度値レジスタ、最上位バイト
	Z2a_LSB	14h	00h	ゾーン 2a (CPU2) の拡張分解能フィルタなし温度値レジスタ、最下位バイト
	Z2a_MSB	15h	00h	ゾーン 2a (CPU2) の拡張分解能フィルタなし温度値レジスタ、最上位バイト
	Z2b_LSB	16h	00h	ゾーン 2b (CPU2) の拡張分解能フィルタなし温度値レジスタ、最下位バイト
	Z2b_MSB	17h	00h	ゾーン 2b (CPU2) の拡張分解能フィルタなし温度値レジスタ、最上位バイト
	Z1a_F_LSB	18h	00h	ゾーン 1a (CPU1) の拡張分解能フィルタ温度値レジスタ、最下位バイト
	Z1a_F_MSB	19h	00h	ゾーン 1a (CPU1) の拡張分解能フィルタ温度値レジスタ、最上位バイト
	Z1b_F_LSB	1Ah	00h	ゾーン 1b (CPU1) の拡張分解能フィルタ温度値レジスタ、最下位バイト
	Z1b_F_MSB	1Bh	00h	ゾーン 1b (CPU1) の拡張分解能フィルタ温度値レジスタ、最上位バイト
	Z2a_F_LSB	1Ch	00h	ゾーン 2a (CPU2) の拡張分解能フィルタ温度値レジスタ、最下位バイト
	Z2a_F_MSB	1Dh	00h	ゾーン 2a (CPU2) の拡張分解能フィルタ温度値レジスタ、最上位バイト
	Z2b_F_LSB	1Eh	00h	ゾーン 2b (CPU2) の拡張分解能フィルタ温度値レジスタ、最下位バイト
	Z2b_F_MSB	1Fh	00h	ゾーン 2b (CPU2) の拡張分解能フィルタ温度値レジスタ、最上位バイト
	Z3_LSB	20h	00h	ゾーン 3 (内部) の拡張分解能温度値レジスタ、最下位バイト
	Z3_MSB	21h	00h	ゾーン 3 (内部) の拡張分解能温度値レジスタ、最上位バイト
	Z4_LSB	22h	00h	ゾーン 4 (外部デジタル) の拡張分解能温度値レジスタ、最上位バイト
	Z4_MSB	23h	00h	ゾーン 4 (外部デジタル) の拡張分解能温度値レジスタ、最下位バイト
	予約済み	24h-30h	N/D	
PI ループおよびファン制御の設定レジスタ				
x	温度ソース選択	31h	00h	温度ゾーンの温度ソースを選択する
x	PWM フィルタ設定	32h	00h	低分解能ソース用 PWM 出力の IIR フィルタ係数を設定する
x	PWM1 フィルタ シャットオフ スレッシュホールド	33h	00h	PWM1 フィルタ シャットオフ スレッシュホールド
x	PWM2 フィルタ シャットオフ スレッシュホールド	34h	00h	PWM2 フィルタ シャットオフ スレッシュホールド
x	PI/LUT ファン制御バインディング	35h	30h	PI/LUT ファン制御バインディング構成
x	PI コントローラ最小 PWM およびヒステリシス	36h	00h	PI コントローラ最小 PWM およびヒステリシスの設定
x	ゾーン 1 Tcontrol	37h	00h	ゾーン 1 (CPU1) PI コントローラ ターゲット温度 (Tcontrol)
x	ゾーン 2 Tcontrol	38h	00h	ゾーン 2 (CPU2) PI コントローラ ターゲット温度 (Tcontrol)
x	ゾーン 1 Toff	39h	80h	ゾーン 1 (CPU1) PI コントローラ オフ温度 (Toff)
x	ゾーン 2 Toff	3Ah	80h	ゾーン 2 (CPU2) PI コントローラ オフ温度 (Toff)
x	P 係数	3Bh	00h	PI コントローラ比例係数
x	I 係数	3Ch	00h	PI コントローラ積分係数
x	PI 指数	3Dh	00h	PI コントローラ係数指数

ロック	レジスタ名	アドレス	デフォルト	説明
デバイス識別レジスタ				
	メーカー ID	3Eh	01h	メーカー ID コードを含む
	バージョン / ステッピング	3Fh	79h	メジャー リビジョンとマイナー リビジョンのコードを含む
BMC エラー ステータス レジスタ				
	B_Error ステータス 1	40h	00h	BMC エラー ステータス レジスタ 1
	B_Error ステータス 2	41h	00h	BMC エラー レジスタ 2
	B_Error ステータス 3	42h	00h	BMC エラー レジスタ 3
	B_Error ステータス 4	43h	00h	BMC エラー レジスタ 4
	B_P1_PROCHOT エラー ステータス	44h	00h	P1_PROCHOT の BMC エラー レジスタ
	B_P2_PROCHOT エラー ステータス	45h	00h	P2_PROCHOT の BMC エラー レジスタ
	B_GPI エラー ステータス	46h	00h	GPI の BMC エラー レジスタ
	B_Fan エラー ステータス	47h	00h	ファンの BMC エラー レジスタ
ホスト エラー ステータス レジスタ				
	H_Error ステータス 1	48h	00h	ホスト エラー ステータス レジスタ 1
	H_Error ステータス 2	49h	00h	ホスト エラー レジスタ 2
	H_Error ステータス 3	4Ah	00h	ホスト エラー レジスタ 3
	H_Error ステータス 4	4Bh	00h	ホスト エラー レジスタ 4
	H_P1_PROCHOT エラー ステータス	4Ch	00h	P1_PROCHOT のホスト エラー レジスタ
	H_P2_PROCHOT エラー ステータス	4Dh	00h	P2_PROCHOT のホスト エラー レジスタ
	H_GPI エラー ステータス	4Eh	00h	GPI のホスト エラー レジスタ
	H_Fan エラー ステータス	4Fh	00h	ファンのホスト エラー レジスタ
値レジスタ セクション 2				
	ゾーン 1a (CPU1) 温度	50h	00h	リモート サーマル ダイオード温度チャンネル 1a の測定値
	ゾーン 2a (CPU2) 温度	51h	00h	リモート サーマル ダイオード温度チャンネル 2a の測定値
	ゾーン 3 (内部) 温度	52h	00h	オンチップ センサの測定温度
	ゾーン 4 (外部デジタル) 温度	53h	00h	外部温度センサの測定温度
	ゾーン 1a (CPU1) フィルタ温度	54h	00h	リモート サーマル ダイオード温度チャンネル 1a のフィルタ値
	ゾーン 2a (CPU2) フィルタ温度	55h	00h	リモート サーマル ダイオード温度チャンネル 2a のフィルタ値
	AD_IN1 電圧	56h	N/D	AD_IN1 の測定値
	AD_IN2 電圧	57h	N/D	AD_IN2 の測定値
	AD_IN3 電圧	58h	N/D	AD_IN3 の測定値
	AD_IN4 電圧	59h	N/D	AD_IN4 の測定値
	AD_IN5 電圧	5Ah	N/D	AD_IN5 の測定値
	AD_IN6 電圧	5Bh	N/D	AD_IN6 の測定値
	AD_IN7 電圧	5Ch	N/D	AD_IN7 の測定値
	AD_IN8 電圧	5Dh	N/D	AD_IN8 の測定値
	AD_IN9 電圧	5Eh	N/D	AD_IN9 の測定値
	AD_IN10 電圧	5Fh	N/D	AD_IN10 の測定値
	AD_IN11 電圧	60h	N/D	AD_IN11 の測定値
	AD_IN12 電圧	61h	N/D	AD_IN12 の測定値
	AD_IN13 電圧	62h	N/D	AD_IN13 の測定値
	AD_IN14 電圧	63h	N/D	AD_IN14 の測定値
	AD_IN15 電圧	64h	N/D	AD_IN15 の測定値

ロック	レジスタ名	アドレス	デフォルト	説明
	AD_IN16 電圧	65h	N/D	AD_IN16 の測定値 (V _{DD} 3.3V S/B)
	予約済み	66h	N/D	
	現在の P1_PROCHOT	67h	00h	測定 P1_PROCHOT スロットル パーセンテージ
	平均 P1_PROCHOT	68h	00h	平均 P1_PROCHOT スロットル パーセンテージ
	現在の P2_PROCHOT	69h	00h	測定 P2_PROCHOT スロットル パーセンテージ
	平均 P2_PROCHOT	6Ah	00h	平均 P2_PROCHOT スロットル パーセンテージ
	GPI 状態	6Bh	00h	現在の GPIO 状態
	P1_VID	6Ch	00h	プロセッサ 1 の現在の VID 値
	P2_VID	6Dh	00h	プロセッサ 2 の現在の VID 値
	ファン タコメータ 1 LSB	6Eh	00h	ファン タコメータ 1 LSB 測定値
	ファン タコメータ 1 MSB	6Fh	00h	ファン タコメータ 1 MSB 測定値
	ファン タコメータ 2 LSB	70h	00h	ファン タコメータ 2 LSB 測定値
	ファン タコメータ 2 MSB	71h	00h	ファン タコメータ 2 MSB 測定値
	ファン タコメータ 3 LSB	72h	00h	ファン タコメータ 3 LSB 測定値
	ファン タコメータ 3 MSB	73h	00h	ファン タコメータ 3 MSB 測定値
	ファン タコメータ 4 LSB	74h	00h	ファン タコメータ 4 LSB 測定値
	ファン タコメータ 4 MSB	75h	00h	ファン タコメータ 4 MSB 測定値
	予約済み	76h-77h	N/D	
温度制限レジスタ				
	ゾーン 1 (CPU1) 低温	78h	80h	外付けサーマル ダイオード温度チャンネル 1 (D1) 測定の下限
	ゾーン 1 (CPU1) 高温	79h	80h	外付けサーマル ダイオード温度チャンネル 1 (D1) 測定の上限
	ゾーン 2 (CPU2) 低温	7Ah	80h	外付けサーマル ダイオード温度チャンネル 2 (D2) 測定の下限
	ゾーン 2 (CPU2) 高温	7Bh	80h	外付けサーマル ダイオード温度チャンネル 2 (D2) 測定の上限
	ゾーン 3 (内部) 低温	7Ch	80h	ローカル温度測定の下限
	ゾーン 3 (内部) 高温	7Dh	80h	ローカル温度測定の上限
	ゾーン 4 (外部デジタル) 低温	7Eh	80h	外部デジタル温度センサの下限
	ゾーン 4 (外部デジタル) 高温	7Fh	80h	外部デジタル温度センサの上限
x	ファン昇圧温度ゾーン 1	80h	3Ch	ゾーン 1 (CPU1) ファン昇圧温度
x	ファン昇圧温度ゾーン 2	81h	3Ch	ゾーン 2 (CPU2) ファン昇圧温度
x	ファン昇圧温度ゾーン 3	82h	23h	ゾーン 3 (内部) ファン昇圧温度
x	ファン昇圧温度ゾーン 4	83h	23h	ゾーン 4 (外部デジタル) ファン昇圧温度
	ゾーン 1 とゾーン 2 のヒステリシス	84h	00h	制限比較用のゾーン 1 とゾーン 2 のヒステリシス
	ゾーン 3 とゾーン 4 のヒステリシス	85h	00h	制限比較用のゾーン 3 とゾーン 4 のヒステリシス
	予約済み	86h-8Dh	N/D	

ロック	レジスタ名	アドレス	デフォルト	説明
ゾーン 1b とゾーン 2b の温度読み出し調整レジスタ				
	ゾーン 1b 温度調整	8Eh	00h	すべてのゾーン 1b 温度測定をプログラム可能なオフセットで調整可能にする
	ゾーン 2b 温度調整	8Fh	00h	すべてのゾーン 2b 温度測定をプログラム可能なオフセットで調整可能にする
その他の制限レジスタ				
	AD_IN1 下限	90h	00h	アナログ入力 1 測定の下限
	AD_IN1 上限	91h	FFh	アナログ入力 1 測定の上限
	AD_IN2 下限	92h	00h	アナログ入力 2 測定の下限
	AD_IN2 上限	93h	FFh	アナログ入力 2 測定の上限
	AD_IN3 下限	94h	00h	アナログ入力 3 測定の下限
	AD_IN3 上限	95h	FFh	アナログ入力 3 測定の上限
	AD_IN4 下限	96h	00h	アナログ入力 4 測定の下限
	AD_IN4 上限	97h	FFh	アナログ入力 4 測定の上限
	AD_IN5 下限	98h	00h	アナログ入力 5 測定の下限
	AD_IN5 上限	99h	FFh	アナログ入力 5 測定の上限
	AD_IN6 下限	9Ah	00h	アナログ入力 6 測定の下限
	AD_IN6 上限	9Bh	FFh	アナログ入力 6 測定の上限
	AD_IN7 下限	9Ch	00h	アナログ入力 7 測定の下限
	AD_IN7 上限	9Dh	FFh	アナログ入力 7 測定の上限
	AD_IN8 下限	9Eh	00h	アナログ入力 8 測定の下限
	AD_IN8 上限	9Fh	FFh	アナログ入力 8 測定の上限
	AD_IN9 下限	A0h	00h	アナログ入力 9 測定の下限
	AD_IN9 上限	A1h	FFh	アナログ入力 9 測定の上限
	AD_IN10 下限	A2h	00h	アナログ入力 10 測定の下限
	AD_IN10 上限	A3h	FFh	アナログ入力 10 測定の上限
	AD_IN11 下限	A4h	00h	アナログ入力 11 測定の下限
	AD_IN11 上限	A5h	FFh	アナログ入力 11 測定の上限
	AD_IN12 下限	A6h	00h	アナログ入力 12 測定の下限
	AD_IN12 上限	A7h	FFh	アナログ入力 12 測定の上限
	AD_IN13 下限	A8h	00h	アナログ入力 13 測定の下限
	AD_IN13 上限	A9h	FFh	アナログ入力 13 測定の上限
	AD_IN14 下限	AAh	00h	アナログ入力 14 測定の下限
	AD_IN14 上限	ABh	FFh	アナログ入力 14 測定の上限
	AD_IN15 下限	ACh	00h	アナログ入力 15 測定の下限
	AD_IN15 上限	ADh	FFh	アナログ入力 15 測定の上限
	AD_IN16 下限	A Eh	00h	アナログ入力 16 測定の下限
	AD_IN16 上限	A Fh	FFh	アナログ入力 16 測定の上限
	P1_PROCHOT ユーザー制限	B0h	FFh	P1_PROCHOT のユーザー設定可能な制限
	P2_PROCHOT ユーザー制限	B1h	FFh	P2_PROCHOT のユーザー設定可能な制限

ロック	レジスタ名	アドレス	デフォルト	説明
	Vccp1 制限オフセット	B2h	17h	CPU1 Vccp 用ウィンドウ コンパレータの VID オフセット値 (AD_IN7)
	Vccp2 制限オフセット	B3h	17h	CPU2 Vccp 用ウィンドウ コンパレータの VID オフセット値 (AD_IN8)
	ファン タコメータ 1 制限 LSB	B4h	FCh	ファン タコメータ 1 制限 LSB
	ファン タコメータ 1 制限 MSB	B5h	FFh	ファン タコメータ 1 制限 MSB
	ファン タコメータ 2 制限 LSB	B6h	FCh	ファン タコメータ 2 制限 LSB
	ファン タコメータ 2 制限 MSB	B7h	FFh	ファン タコメータ 2 制限 MSB
	ファン タコメータ 3 制限 LSB	B8h	FCh	ファン タコメータ 3 制限 LSB
	ファン タコメータ 3 制限 MSB	B9h	FFh	ファン タコメータ 3 制限 MSB
	ファン タコメータ 4 制限 LSB	BAh	FCh	ファン タコメータ 4 制限 LSB
	ファン タコメータ 4 制限 MSB	BBh	FFh	ファン タコメータ 4 制限 MSB
設定レジスタ				
	特殊機能制御 1	BCh	00h	電圧制限比較のためのヒステリシスを制御する。また、温度制限比較とファン制御のために、フィルタ温度またはフィルタなし温度の使用を選択する。
	特殊機能制御 2	BDh	00h	スマート タコメータ検出を有効にする。また、ファン制御用に 0.5°Cまたは 1.0°Cの分解能を選択する。
x	GPI / VID レベル制御	BEh	00h	P1_VIDx 入力、P2_VIDx 入力、GPIO_x 入力の入力スレッショルドレベルを制御する。
x	PWM ランプ制御	BFh	00h	VRDX_HOT がアサートされたときの PWM デューティサイクルのランプレート、および PROCHOT がユーザー スレッショルドを超えたときのランプレートを制御する。
x	ファン昇圧ヒステリシス (ゾーン 1/2)	C0h	44h	ゾーン 1 とゾーン 2 のファン昇圧ヒステリシス
x	ファン昇圧ヒステリシス (ゾーン 3/4)	C1h	44h	ゾーン 3 とゾーン 4 のファン昇圧ヒステリシス
x	ゾーン 1/2 スパイク平滑化制御	C2h	00h	ゾーン 1 とゾーン 2 のスパイク平滑化を構成する
x	LUT 1/2 MinPWM とヒステリシス	C3h	00h	LUT 1 と LUT 2 の自動ファン制御用に MinPWM とヒステリシスの設定を制御する
x	LUT 3/4 MinPWM とヒステリシス	C4h	00h	LUT 3 と LUT 4 の自動ファン制御用に MinPWM とヒステリシスの設定を制御する
	GPO	C5h	00h	GPIO ピンの出力状態を制御する
	PROCHOT 制御	C6h	00h	P1_PROCHOT または P2_PROCHOT のアサートを制御する
	PROCHOT 時間間隔	C7h	11h	PROCHOT 入力を測定する時間ウィンドウを構成する
x	PWM1 制御 1	C8h	00h	PWM の制御ソースのバインディングを制御する
x	PWM1 制御 2	C9h	00h	PWM のオーバーライドと出力極性を制御する
x	PWM1 制御 3	CAh	00h	PWM のスピンアップ時間とデューティサイクルを制御する
x	PWM1 制御 4	CBh	00h	PWM1 の周波数制御
x	PWM2 制御 1	CCh	00h	PWM の制御ソースのバインディングを制御する
x	PWM2 制御 2	CDh	00h	PWM のオーバーライドと出力極性を制御する
x	PWM2 制御 3	CEh	00h	PWM のスピンアップ時間とデューティサイクルを制御する
x	PWM2 制御 4	CFh	00h	PWM2 の周波数制御
x	LUT 1 基準温度	D0h	00h	LUT 1 にロックアップ テーブルのオフセットが適用される基準温度

ロック	レジスタ名	アドレス	デフォルト	説明
x	LUT 2 基準温度	D1h	00h	LUT 2 にロックアップ テーブルのオフセットが適用される基準温度
x	LUT 3 基準温度	D2h	00h	LUT 3 にロックアップ テーブルのオフセットが適用される基準温度
x	LUT 4 基準温度	D3h	00h	LUT 4 にロックアップ テーブルのオフセットが適用される基準温度
x	ステップ 2 温度オフセット	D4h	00h	ステップ 2 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 3 温度オフセット	D5h	00h	ステップ 3 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 4 温度オフセット	D6h	00h	ステップ 4 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 5 温度オフセット	D7h	00h	ステップ 5 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 6 温度オフセット	D8h	00h	ステップ 6 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 7 温度オフセット	D9h	00h	ステップ 7 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 8 温度オフセット	DAh	00h	ステップ 8 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 9 温度オフセット	DBh	00h	ステップ 9 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 10 温度オフセット	DCh	00h	ステップ 10 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 11 温度オフセット	DDh	00h	ステップ 11 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 12 温度オフセット	DEh	00h	ステップ 12 LUT 1/2 と LUT 3/4 のオフセット温度
x	ステップ 13 温度オフセット	DFh	00h	ステップ 13 LUT 1/2 と LUT 3/4 のオフセット温度
	タコメータと PWM のバインディング	E0h	00h	タコメータ入力と PWM 出力のバインディングを制御する
x	タコメータ昇圧制御	E1h	3Fh	タコメータ エラー時にファン昇圧機能を制御する
x	LM94 ステータス / 制御	E2h	00h	マスタ エラー ステータス、ASF リセット制御、最大 PWM 制御を行う
x	LM94 構成	E3h	00h	各種出力を構成し、START ビットを提供する
スリープ状態制御レジスタおよびマスク レジスタ				
	スリープ状態制御	E4h	03h	システムのスリープ状態を LM94 に通知するために使用する
	S1 GPI マスク	E5h	FFh	スリープ状態 S1 GPI エラー マスク レジスタ
	S1 ファン マスク	E6h	0Fh	スリープ状態 S1 ファン タコメータ エラー マスク レジスタ
	S3 GPI マスク	E7h	FFh	スリープ状態 S3 GPI エラー マスク レジスタ
	S3 ファン マスク	E8h	0Fh	スリープ状態 S3 ファン タコメータ エラー マスク レジスタ
	S3 温度 / 電圧マスク	E9h	07h	スリープ状態 S3 温度または電圧エラー マスク レジスタ
	S4/5 GPI マスク	EAh	FFh	スリープ状態 S4/5 GPI エラー マスク レジスタ
	S4/5 温度 / 電圧マスク	EBh	07h	スリープ状態 S4/5 温度または電圧エラー マスク レジスタ
その他のマスク レジスタ				
	GPI エラー マスク	ECh	FFh	GPI フォルト用エラー マスク レジスタ
	その他のエラー マスク	EDh	3Fh	VRDx_HOT、GPI、動的 Vccp 制限チェック用エラー マスク レジスタ
ゾーン 1b およびゾーン 2b 温度読み出し調整レジスタ				
	ゾーン 1a 温度調整	EEh	00h	すべてのゾーン 1a 温度測定をプログラム可能なオフセットで調整可能にする
	ゾーン 2a 温度調整	EFh	00h	すべてのゾーン 2a 温度測定をプログラム可能なオフセットで調整可能にする
ブロック コマンド				
	ブロック書き込みコマンド	F0h	該当なし	SMBus ブロック書き込みコマンド コード
	ブロック読み出しコマンド	F1h	該当なし	SMBus ブロック書き込み / 読み出しプロセス呼び出し

ロック	レジスタ名	アドレス	デフォルト	説明
	固定ブロック 0	F2h	該当なし	固定ブロック コード アドレス 40h、サイズ 8 バイト
	固定ブロック 1	F3h	該当なし	固定ブロック コード アドレス 48h、サイズ 8 バイト
	固定ブロック 2	F4h	該当なし	固定ブロック コード アドレス 50h、サイズ 6 バイト
	固定ブロック 3	F5h	該当なし	固定ブロック コード アドレス 56h、サイズ 16 バイト
	固定ブロック 4	F6h	該当なし	固定ブロック コード アドレス 67h、サイズ 4 バイト
	固定ブロック 5	F7h	該当なし	固定ブロック コード アドレス 6Eh、サイズ 8 バイト
	固定ブロック 6	F8h	該当なし	固定ブロック コード アドレス 78h、サイズ 12 バイト
	固定ブロック 7	F9h	該当なし	固定ブロック コード アドレス 90h、サイズ 32 バイト
	固定ブロック 8	FAh	該当なし	固定ブロック コード アドレス B4h、サイズ 8 バイト
	固定ブロック 9	FBh	該当なし	固定ブロック コード アドレス C8h、サイズ 8 バイト
	固定ブロック 10	FCh	該当なし	固定ブロック コード アドレス D0h、サイズ 16 バイト
	固定ブロック 11	FDh	該当なし	固定ブロック コード アドレス E5h、サイズ 9 バイト
	予約済み	FEh-FFh	該当なし	将来のコマンド用に予約済み

6.4.3 ファクトリ レジスタ 00h–04h

6.4.3.1 レジスタ 00h XOR テスト

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
00h	R/W	XOR テス ト	RES							XEN	00h

ビット	名称	R/W	デフォルト	説明	スリープ マスキング
0	XEN	R/W	0	LM94 には XOR ツリー テスト モードがあります。このビットを設定してテスト モードを有効にすると、デバイスは XOR テスト モードに移行します。このビットをクリアすると、デバイスは XOR モードを終了します。	該当なし
7:1	RES	R	0	予約済み	該当なし

6.4.3.2 レジスタ 01h SMBus テスト

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
01h	R/W	SMBus テ スト	7	6	5	4	3	2	1	0	00h

このレジスタを使用すると、SMBus がデバイスに対して読み書きできるかどうかを確認できます。プログラムされた設定に影響することはありません。

6.4.3.3 リモート ダイオード モード選択

6.4.3.3.1 レジスタ 05h リモート ダイオード トランジスタ モード選択

レジスタ・ア ドレス	読み出 し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
05h	R/W	トランジスタ モード選択	RES	RES	RES	RES	P2b_T_EN	P2a_T_EN	P1b_T_EN	P1a_T_EN	00h

ビット	名称	R/W	説明
0	P1a_T_EN	R/W	設定されている場合、プロセッサ 1 リモート ダイオード a トランジスタ モードが有効になります。
1	P1b_T_EN	R/W	設定されている場合、プロセッサ 1 リモート ダイオード b トランジスタ モードが有効になります。
2	P2a_T_EN	R/W	設定されている場合、プロセッサ 2 リモート ダイオード a トランジスタ モードが有効になります。
3	P2b_T_EN	R/W	設定されている場合、プロセッサ 2 リモート ダイオード b トランジスタ モードが有効になります。
7:4	RES	R	予約済み

6.4.4 値レジスタ セクション 1

6.4.4.1 レジスタ 06-07h および 50-53h フィルタなし温度値レジスタ

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
06h	R	ゾーン 1b (CPU1) 温度	7	6	5	4	3	2	1	0	00h
07h	R	ゾーン 2b (CPU2) 温度	7	6	5	4	3	2	1	0	00h
50h	R	ゾーン 1a (CPU1) 温度	7	6	5	4	3	2	1	0	00h
51h	R	ゾーン 2a (CPU2) 温度	7	6	5	4	3	2	1	0	00h
52h	R	ゾーン 3 (内部) 温度	7	6	5	4	3	2	1	0	00h
53h	R/W	ゾーン 4 (外部デジタル) 温度	7	6	5	4	3	2	1	0	00h

ゾーン 1 とゾーン 2 は LM94 によってすべて自動的に更新されます。ゾーン 3 (内部) 温度レジスタとゾーン 4 (外部デジタル) 温度レジスタは、外部の SMBus デバイスによって書き込むことも、それぞれ AD_IN11 と AD_IN15 に割り当てられることもできます。

リモートダイオードのピンがボードの設計者によって実装されていない場合、またはリモートダイオードのピンが適切に機能していない場合、ゾーン 1 とゾーン 2 の温度レジスタは 80h の値を返します。

6.4.4.2 レジスタ 08-09h および 54-55h フィルタ温度値レジスタ

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
08h	R	ゾーン 1b (CPU1) フィルタ温度	7	6	5	4	3	2	1	0	00h
09h	R	ゾーン 2b (CPU2) フィルタ温度	7	6	5	4	3	2	1	0	00h

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
54h	R	ゾーン 1a (CPU1) フィルタ温 度	7	6	5	4	3	2	1	0	00h
55h	R	ゾーン 2a (CPU2) フィルタ温 度	7	6	5	4	3	2	1	0	00h

これらのレジスタは、スパイク平滑化フィルタ適用後のゾーン 1 とゾーン 2 の温度を反映します。

フィルタの特性は、ゾーン 1/2 スパイク平滑化制御レジスタを使用して調整できます。

6.4.4.3 レジスタ 0Ah および 0Bh PWM1 および PWM2 8 ビット デューティ サイクル値

レジスタ・ アドレス	読み出し/ 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
0Ah	R	PWM1 デ ューティ サ イクル値	7	6	5	4	3	2	1	0	00h
0Bh	R	PWM2 デ ューティ サ イクル値	7	6	5	4	3	2	1	0	00h

これらのレジスタは、PWM1 出力または PWM2 出力で駆動されている現在のデューティ サイクルを通知します。9 ビット PWM 値の上位 8 ビットであり、PWM1 出力または PWM2 出力にバインディングされている低分解能または高分解能の PWM ソースの最大デューティ サイクルを反映します。

6.4.5 PWM デューティ サイクル オーバーライド レジスタ

6.4.5.1 レジスタ 0Ch PWM1 デューティ サイクル オーバーライド (下位バイト)

レジスタ・ アドレス	読み出し/ 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
0Ch	R/W	PWM1 デューティ サ イクル オーバーライド (下位バイト)	PWM1_ DC[0]	PWM1_ EN_Hres _Over	RES	RES	RES	RES	RES	RES	00h

ビット	名称	R/W	説明
5:0	RES	R	予約済み
6	PWM1_EN_Hres_Over	R/W	このビットが設定されている場合、PWM1 の高分解能オーバーライドが有効になります。このビットが設定されている場合、PWM1 はプログラムされたデューティ サイクルで動作します。PWM1_DC[8:0]/256 * 100%、100h を超える値は予約済みです。
7	PWM1_DC[0]	R/W	このビットが設定されている場合、PWM1 のオーバーライド デューティ サイクルのビット [0] が設定されます。

このレジスタで手動 PWM1 オーバーライドが有効になっている場合、LM94 ステータス制御レジスタ (E2h) の 100% オーバーライドを除いて、他のすべての PWM1 バインディングが無効になります。

6.4.5.2 レジスタ 0Dh PWM1 デューティ サイクル オーバーライド (上位バイト)

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
0Dh	R/W	PWM1 デューティ サイクル オーバーライド (上位バイト)	PWM1_DC[8:1]	00h							

これらのビットは、PWM1 の 9 ビットのオーバーライド デューティ サイクル値の上位 8 ビットを設定します。

6.4.5.3 レジスタ 0Eh PWM2 デューティ サイクル オーバーライド (下位バイト)

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
0Eh	R/W	PWM2 デューティ サイクル オーバーライド (下位バイト)	PWM2_DC[0]	PWM2_EN_Hres_Over	RES	RES	RES	RES	RES	RES	00h

ビット	名称	R/W	説明
5:0	RES	R	予約済み
6	PWM2_EN_Hres_Over	R/W	このビットが設定されている場合、PWM2 の高分解能オーバーライドが有効になります。このビットが設定されている場合、PWM2 はプログラムされたデューティ サイクルで動作します。PWM2_DC[8:0]/256 * 100%、100h を超える値は予約済みです。
7	PWM2_DC[0]	R/W	このビットが設定されている場合、PWM2 のオーバーライド デューティ サイクルのビット [0] が設定されます。

このレジスタで手動 PWM2 オーバーライドが有効になっている場合、LM94 ステータス制御レジスタ (E2h) の 100% オーバーライドを除いて、他のすべての PWM2 バインディングが無効になります。

6.4.5.4 レジスタ 0Fh PWM2 デューティ サイクル オーバーライド (上位バイト)

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
0Fh	R/W	PWM2 デューティ サイクル オーバーライド (上位バイト)	PWM2_DC[8:1]	00h							

これらのビットは、PWM2 の 9 ビットのオーバーライド デューティ サイクル値の上位 8 ビットを設定します。

6.4.6 拡張分解能値レジスタ

6.4.6.1 レジスタ 10h–17h ゾーン 1 (CPU1) およびゾーン 2 (CPU2) 拡張分解能値フィルタなし温度値レジスタ、最上位バイトおよび最下位バイト

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
10h	R	Z1a_LSB	0.5	0	0	0	0	0	0	0	00h
11h	R	Z1a_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 11h は、アドレス 50h にあるゾーン 1a (CPU1) 温度レジスタのミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
12h	R	Z1b_LSB	0.5	0	0	0	0	0	0	0	00h

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
13h	R	Z1b_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 13h は、アドレス 06h にあるゾーン 1b (CPU1) 温度レジスタのミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
14h	R	Z2a_LSB	0.5	0	0	0	0	0	0	0	00h
15h	R	Z2a_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 15h は、アドレス 51h にあるゾーン 2a (CPU2) 温度レジスタのミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
16h	R	Z2b_LSB	0.5	0	0	0	0	0	0	0	00h
17h	R	Z2b_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 17h は、アドレス 07h にあるゾーン 2b (CPU2) 温度レジスタのミラーです。

6.4.6.2 レジスタ 18h–1Fh ゾーン 1 (CPU1) およびゾーン 2 (CPU2) 拡張分解能値フィルタ値レジスタ、最上位バイトおよび最下位バイト

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
18h	R	Z1a_F_LSB	0.5	0.25	0.125	0.0625	0	0	0	0	00h
19h	R	Z1a_F_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 19h は、アドレス 54h にあるレジスタゾーン 1a (CPU1) フィルタ温度のミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
1Ah	R	Z1b_F_LSB	0.5	0.25	0.125	0.0625	0	0	0	0	00h
1Bh	R	Z1b_F_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 1Bh は、アドレス 08h にあるレジスタゾーン 1b (CPU1) フィルタ温度のミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
1Ch	R	Z2a_F_LSB	0.5	0.25	0.125	0.0625	0	0	0	0	00h
1Dh	R	Z2a_F_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 1Dh は、アドレス 55h にあるレジスタゾーン 2a (CPU2) フィルタ温度のミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値
1Eh	R	Z2b_F_LSB	0.5	0.25	0.125	0.0625	0	0	0	0	00h
1Fh	R	Z2b_F_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 1Fh は、アドレス 09h にあるレジスタゾーン 2b (CPU2) フィルタ温度のミラーです。

6.4.6.3 レジスタ 20h-23h ゾーン 3 およびゾーン 4 拡張分解能値レジスタ、最上位バイトおよび最下位バイト

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
20h	R/W	Z3_LSB	0.5	0	0	0	0	0	0	0	00h
21h	R/W	Z3_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 21h は、アドレス 52h にあるゾーン 3 (内部) 温度レジスタのミラーです。

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
22h	R/W	Z4_LSB	0.5	0	0	0	0	0	0	0	00h
23h	R/W	Z4_MSB	符号	64	32	16	8	4	2	1	00h

レジスタ 23h は、アドレス 53h にあるゾーン 4 (外部レジスタ) 温度レジスタのミラーです。

6.4.7 PI ループ ファン制御の設定レジスタ

6.4.7.1 レジスタ 31h 内部 / 外部温度ソース選択

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
31h	R/W	内部 / 外部温度ソース選択	RES	RES	RES	INT_WR_E	Z2bE	Z1bE	EXT_AD15	INT_AD11	00h

ビット	名称	R/W	説明
0	INT_ADC11	R/W	このビットが設定されている場合、内部温度レジスタ (ゾーン 3) は、ADC_IN11 電圧値レジスタから 128 を減算した値に、MSb を反転させることで、自動的に更新されます。温度レジスタのデータは符号付き値であるため、128 の減算または MSb の反転が必要です。このビットがクリアされている場合、内部温度レジスタ (ゾーン 3) は、LM94 の内部サーマルダイオードの読み取り内部温度で自動的に更新されます。内部温度レジスタ値に関連するすべての機能がこのビットの影響を受けません (LUT、温度昇圧など)。
1	EXT_ADC15	R/W	このビットが設定されている場合、外部デジタル温度レジスタ (ゾーン 4) は読み出し専用になり、ADC_IN15 電圧値レジスタから 128 を減算した値に、MSb を反転させることで、自動的に更新されます。温度レジスタのデータは符号付きであるため、128 の減算または MSb の反転が必要です。このビットがクリアされている場合、外部デジタル温度レジスタは書き込み可能で、ソフトウェアにより SMBus を介して更新されなければなりません。外部デジタル温度レジスタに関連するすべての機能がこのビットの影響を受けません (LUT、温度昇圧など)。
2	Z1bE	R/W	このビットが設定されている場合、ピン 23 は Remote 1b 入力として有効になります。このビットがクリアされている場合、ピン 23 は AD_IN1 入力として設定されます。
3	Z2bE	R/W	このビットが設定されている場合、ピン 24 は Remote 2b 入力として有効になります。このビットがクリアされている場合、ピン 24 は AD_IN2 入力として設定されます。
4	INT_WR_E	R/W	このビットが設定されている場合、内部温度値レジスタは外部 SMBus 書き込みによって更新できます。内部温度値レジスタの自動更新はすべて停止します。
7:3	RES	R	予約済み

6.4.7.2 レジスタ 32h PWM フィルタ設定

レジスタ・アドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
32h	R/W	PWM_Filter	RES	FC_PW M2[2:0]	RES	FC_PWM1[2:0]			00h		

ビット	名称	R/W	説明
2:0	FC_PWM1[2:0]	R/W	PWM1 低分解能ソースの IIR フィルタのフィルタ係数を設定します。
3	RES	R	予約済み
6:4	FC_PWM2[2:0]	R/W	PWM2 低分解能ソースの IIR フィルタのフィルタ係数を設定します。
7	RES	R	予約済み

FC_PWM1[2:0] または FC_PWM2[2:]	95% セtring タイム間隔
000	フィルタはバイパスされる
001	0.098s
010	0.237s
011	0.510s
100	1.056s
101	2.147s
110	4.328s
111	8.689s

6.4.7.3 レジスタ 33h PWM1 フィルタ シャットオフ スレッシュホールド

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
33h	R/W	PWM1 フィルタ シャットオフ スレッシュホールド	PWM1_S HUT_D C[4:0]	RES	RES	RES	00h				

ビット	名称	R/W	説明
2:0	RES	R	予約済み
7:3	PWM1_SHUT_DC[4:0]	R/W	フィルタ シャットオフ スレッシュホールドを設定します。実際のデューティ サイクル スレッシュホールドは、この値の 3.15% です。PWM フィルタが無効の場合、シャットダウン スレッシュホールドも無効になります。シャットダウン スレッシュホールドにより、プログラムされた値よりも低いデューティ サイクルの PWM1 出力をオフにできます。

ビット [7:3]	9 ビット スレッシュホールド	対応するデューティ サイクル
0	0	0.000%
1	8	3.125%
2	16	6.25%
⋮	⋮	⋮
⋮	⋮	⋮
29	232	90.625%
30	240	93.750%
31	248	96.875%

6.4.7.4 レジスタ 34h PWM2 フィルタ シャットオフ スレッシュホールド

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
34h	R/W	PWM2_Filter Shut_Thresh	PWM2_S HUT_D C[4:0]	RES	RES	RES	00h				

ビット	名称	R/W	説明
2:0	RES	R	予約済み
7:3	PWM2_SHUT_DC[4:0]	R/W	フィルタ シャットオフ スレッショルドを設定します。実際のデューティ サイクル スレッショルドは、この値の 3.15% です。PWM フィルタが無効の場合、シャットダウン スレッショルドも無効になります。シャットダウン スレッショルドにより、プログラムされた値よりも低いデューティ サイクルの PWM1 出力をオフにできます。

ビット [7:3]	9 ビット スレッショルド	対応するデューティ サイクル
0	0	0.000%
1	8	3.125%
2	16	6.25%
.	.	.
.	.	.
29	232	90.625%
30	240	93.750%
31	248	96.875%

6.4.7.5 レジスタ 35h PI/LUT ファン制御バインディング

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
35h	R/W	ファン制御バインディング	LUT4_Z2	LUT3_Z1	LUT2_Z2	LUT1_Z1	PWM2_PI	PWM1_PI	PI_Z2	PI_Z1	30h

ビット	名称	R/W	説明
0	PI_Z1	R/W	このビットが設定されている場合、PI コントローラは P1 温度 (ゾーン 1) にバインディングされます。これにより、P1 温度で利用可能なフィルタリング オプションも変更されます。
1	PI_Z2	R/W	このビットが設定されている場合、PI コントローラは P2 温度 (ゾーン 2) にバインディングされます。これにより、P2 温度ゾーンで使用可能なフィルタリング オプションも変更されます。
2	PWM1_PI	R/W	このビットが設定されている場合、PWM1 出力は P1 コントローラにバインディングされます。
3	PWM2_PI	R/W	このビットが設定されている場合、PWM2 出力は P1 コントローラにバインディングされます。
4	LUT1_Z1	R/W	このビットが設定されている場合、LUT1 は内部温度 (ゾーン 3) ではなく P1 温度 (ゾーン 1) を使用します。
5	LUT2_Z2	R/W	このビットが設定されている場合、LUT2 は外部デジタル温度 (ゾーン 4) ではなく P2 温度 (ゾーン 2) を使用します。
6	LUT3_Z1	R/W	このビットが設定されている場合、LUT3 は内部温度 (ゾーン 3) ではなく P1 温度 (ゾーン 1) を使用します。
7	LUT4_Z2	R/W	このビットが設定されている場合、LUT4 は外部デジタル温度 (ゾーン 4) ではなく P2 温度 (ゾーン 2) を使用します。

6.4.7.6 レジスタ 36h PI コントローラ最小 PWM およびヒステリシス

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
36h	R/W	PI MinPWM およびヒステリシス	PI_MinPWM[3:0]	PI_Hyst[3:0]				00h			

ビット	名称	R/W	説明
3:0	PI_Hyst[3:0]	R/W	PI ループ ファン コントローラのヒステリシスを 0.5°C単位で 7.5°Cまで設定します。
7:4	PI_MinPWM[3:0]	R/W	PI ループ ファン コントローラの最小 PWM 出力を 6.25% 単位で 93.75% まで設定します。

PI_Hyst[3:0]	ヒステリシス (°C)
0h	0
1h	0.5
2h	1.0
3h	1.5
4h	2.0
5h	2.5
6h	3.0
7h	3.5
8h	4.0
9h	4.5
Ah	5.0
Bh	5.5
Ch	6.0
Dh	6.5
Eh	7.0
Fh	7.5

PI_MinPWM[3:0]	最小デューティ サイクル
0h	0.00%
1h	6.25%
2h	12.5%
3h	18.75%
4h	25.00%
5h	31.25%
6h	37.50%
7h	43.75%
8h	50.00%
9h	56.25%
Ah	62.50%
Bh	68.75%
Ch	75.00%
Dh	81.25%
Eh	87.5%
Fh	93.75%

6.4.7.7 レジスタ 37h および 38h ゾーン 1 および ゾーン 2 PI コントローラ ターゲット温度 (Tcontrol)

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
37h	R/W	ゾーン 1 Tcontrol	7	6	5	4	3	2	1	0	00h
38h	R/W	ゾーン 2 Tcontrol	7	6	5	4	3	2	1	0	00h

ゾーン 1 およびゾーン 2 の温度値レジスタと同じ形式です。PWM 出力はプロセッサ上のエアフローを制御することにより、プロセッサの温度を PI ループで調整し、最も高温のゾーン 1 またはゾーン 2 の温度測定値を、Tcontrol と Tcontrol からヒステリシスを引いた値 (Tcontrol - hysteresis) の間に維持します。Intel では、MSR レジスタ空間にある一部の Intel プロセッサに最適な Tcontrol 温度を指定しています。

6.4.7.8 レジスタ 39h および 3Ah ゾーン 1 およびゾーン 2 PI ファン制御オフ温度 (Toff)

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
39h	R/W	Z1 Toff	7	6	5	4	3	2	1	0	80h
3Ah	R/W	Z2 Toff	7	6	5	4	3	2	1	0	80h

ゾーン 1 およびゾーン 2 の温度値レジスタと同じ形式です。これらのレジスタが 80h に設定されている場合、Toff 機能は無効になります。Toff は、PI 制御ループ出力が強制的にゼロ デューティ サイクルにされる温度です。

6.4.7.9 レジスタ 3Bh 比例係数

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
3Bh	R/W	P 係数	7	6	5	4	3	2	1	0	00h

6.4.7.10 レジスタ 3Ch 積分係数

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
3Ch	R/W	I 係数	7	6	5	4	3	2	1	0	00h

6.4.7.11 レジスタ 3Dh PI 係数指数

レジスタ・アドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
3Dh	R/W	PI 指数	RES	RES	RES	RES	PCE[1:0]	ICE[1:0]		00h	

ビット	名称	R/W	説明
1:0	ICE[1:0]	R/W	PI コントローラ積分係数指数 (2 ビット符号付き値)
2:3	PCE[1:0]	R/W	PI コントローラ比例係数指数 (2 ビット符号付き値)
7:4	RES	R	予約済み

ICE[1:0]	積分の指数
10b	-2
11b	-1
00b	0

ICE[1:0]	積分の指数
01b	1

PCE[1:0]	比例の指数
10b	-2
11b	-1
00b	0
01b	1

6.4.8 デバイス識別レジスタ (3Eh-3Fh)

6.4.8.1 レジスタ 3Eh メーカー ID

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
3Eh	R	メーカー ID	0	0	0	0	0	0	0	0	01h

メーカー ID レジスタには、メーカー識別番号が含まれています。この番号はテキサス・インスツルメンツによって割り当てられ、部品メーカーを一意に識別するためのものです。

6.4.8.2 レジスタ 3Fh バージョン / ステッピング

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
3Fh	R	バージョ ン / ステッ ピング	VER[3:0]				STP[3:0]				79h
			0	1	1	1	1	0	0	1	

バージョン / ステッピング レジスタ [3:0] の最下位 4 ビットには、LM94 シリコンの現在のステッピングが含まれます。最上位 4 ビット [7:4] は LM94 のバージョン番号を反映します。LM94 は LM93 と密接に関連しているため、LM93 と同じ 0111b という固定バージョン番号を持っています。LM94 の最初のステッピングについて LM94 と LM93 を区別するために、このレジスタは 01111000b を読み出します。LM94 の 2 番目のステッピングでは、このレジスタは 01111001b を読み出します。将来のシリコンのバージョンに向けて、この値は段階的に増加します。最終的にリリースされたシリコンのステッピングは 9h であるため、このレジスタは 79h を読み出します。

アプリケーション ソフトウェアはこのレジスタを使用して、ハードウェア監視 ASIC ファミリのどのデバイスが特定のシステムに実装されているかを識別します。この情報に基づいて、ソフトウェアは読み出しと書き込みの対象となるレジスタを決定できます。アプリケーション ソフトウェアは、現在のステッピングを使用して、特定のシリコン ステッピングで見つかったバグの回避策を実装することができます。

6.4.9 BMC エラー ステータス レジスタ 40h-47h

B_Error ステータス レジスタには、LM94 が監視できる特定のエラー イベントを表す複数のビットが含まれています。対応するエラー イベントが発生するたびに、LM94 は指定されたビットを設定します。LM94 ステータス / 制御レジスタの BMC_ERR ビットは、BMC エラー ステータス レジスタのビットが設定されている場合にも設定されます。有効な場合、BMC_ERR が設定されているときは常に **ALERT** もアサートされます。例外としては、**PROCHOT** エラー ステータス レジスタの固定スレッショルド エラー ステータス ビットがあります。BMC_ERR または **ALERT** には影響しません。

BMC エラー ステータス レジスタにビットが設定されると、エラー イベントが解消しても、LM94 によってそのビットが自動的にクリアされることはありません。各ビットはソフトウェアによってクリアされる必要があります。エラー状態が続いているときにソフトウェアがビットをクリアしようとしても、そのエラーがマスクされていない場合、そのビットはクリアされません。エラーがマスクされている場合は、エラー状態がまだ続いていてもビットはクリアできます。

LM94 が ASF モードの場合、BMC エラー ステータス レジスタは読み出しでクリアと書き込みでクリアの両方が可能です。ASF モードではない場合、レジスタをクリアするには、1 を書き込んでクリアのみが可能です。

このセクションで説明する各レジスタには、**スリープ マスキング** という列があります。この列には、さまざまなスリープ状態でマスクされるエラー イベントが示されます。システムのスリープ状態は、スリープ状態制御レジスタに書き込むことで **LM94** に通知されます。この列のスリープ状態は横に * が付いている場合、スリープ状態マスクレジスタに応じて、そのスリープモードでエラー イベントがオプションでマスクされることを示しています。

6.4.9.1 レジスタ 40h B_Error ステータス 1

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
40h	RWC	B_Error ステータス 1	RES		VRD2 _ERR	VRD1 _ERR	ZN4 _ERR	ZN3 _ERR	ZN2 _ERR	ZN1 _ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	ZN1_ERR	RWC	ゾーン 1 の温度が関連する温度制限を外れた場合に、このビットが設定されます。	S3*, S4/5*
1	ZN2_ERR	RWC	ゾーン 2 の温度が関連する温度制限を外れた場合に、このビットが設定されます。	S3*, S4/5*
2	ZN3_ERR	RWC	ゾーン 3 の温度がゾーン 3 の温度制限を外れた場合に、このビットが設定されます。	なし
3	ZN4_ERR	RWC	ゾーン 4 の温度がゾーン 4 の温度制限を外れた場合に、このビットが設定されます。	なし
4	VRD1_ERR	RWC	VRD1_HOT 入力のアサートされた場合に、このビットが設定されます。	S3, S4/5
5	VRD2_ERR	RWC	VRD2_HOT# 入力のアサートされた場合に、このビットが設定されます。	S3, S4/5
7:6	RES	R	予約済み	該当なし

6.4.9.2 レジスタ 41h B_Error ステータス 2

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
41h	RWC	B_Error ステータス 2	ADIN8 _ERR	ADIN7 _ERR	ADIN6 _ERR	ADIN5 _ERR	ADIN4 _ERR	ADIN3 _ERR	ADIN2 _ERR	ADIN1 _ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	AD1_ERR	RWC	このビットは、AD_IN1 電圧が AD_IN1 下限レジスタと AD_IN1 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
1	AD2_ERR	RWC	このビットは、AD_IN2 電圧が AD_IN2 下限レジスタと AD_IN2 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
2	AD3_ERR	RWC	このビットは、AD_IN3 電圧が AD_IN3 下限レジスタと AD_IN3 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
3	AD4_ERR	RWC	このビットは、AD_IN4 電圧が AD_IN4 下限レジスタと AD_IN4 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
4	AD5_ERR	RWC	このビットは、AD_IN5 電圧が AD_IN5 下限レジスタと AD_IN5 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
5	AD6_ERR	RWC	このビットは、AD_IN6 電圧が AD_IN6 下限レジスタと AD_IN6 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
6	AD7_ERR	RWC	このビットは、AD_IN7 電圧が AD_IN7 下限レジスタと AD_IN7 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
7	AD8_ERR	RWC	このビットは、AD_IN8 電圧が AD_IN8 下限レジスタと AD_IN8 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5

6.4.9.3 レジスタ 42h B_Error ステータス 3

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
42h	RWC	B_Error ステータス 3	ADIN16 _ERR	ADIN15 _ERR	ADIN14 _ERR	ADIN13 _ERR	ADIN12 _ERR	ADIN11 _ERR	ADIN10 _ERR	ADIN9 _ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	AD9_ERR	RWC	このビットは、AD_IN9 電圧が AD_IN9 下限レジスタと AD_IN9 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
1	AD10_ERR	RWC	このビットは、AD_IN10 電圧が AD_IN10 下限レジスタと AD_IN10 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
2	AD11_ERR	RWC	このビットは、AD_IN11 電圧が AD_IN11 下限レジスタと AD_IN11 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
3	AD12_ERR	RWC	このビットは、AD_IN12 電圧が AD_IN12 下限レジスタと AD_IN12 上限レジスタで定義された範囲外になった場合に設定されます。	S3*, S4/5*
4	AD13_ERR	RWC	このビットは、AD_IN13 電圧が AD_IN13 下限レジスタと AD_IN13 上限レジスタで定義された範囲外になった場合に設定されます。	S3*, S4/5*
5	AD14_ERR	RWC	このビットは、AD_IN14 電圧が AD_IN14 下限レジスタと AD_IN14 上限レジスタで定義された範囲外になった場合に設定されます。	S3*, S4/5*
6	AD15_ERR	RWC	このビットは、AD_IN15 電圧が AD_IN15 下限レジスタと AD_IN15 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
7	AD16_ERR	RWC	このビットは、AD_IN16 電圧が AD_IN16 下限レジスタと AD_IN16 上限レジスタで定義された範囲外になった場合に設定されます。	なし

6.4.9.4 レジスタ 43h B_Error ステータス 4

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
43h	RWC	B_Error ステータス 4	D2a_ ERR	D1a_ ERR	DV _{DD} P2_ ERR	DV _{DD} P1_ ERR	GPI9_ ERR	GPI8_ ERR	D2b_ ERR	D1b_ ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	D1b_ERR	RWC	ダイオード フォルト エラー REMOTE1b+ ピンと REMOTE1- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*
1	D2b_ERR	RWC	ダイオード フォルト エラー REMOTE2b+ ピンと REMOTE2- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*
2	GPI8	RWC	SCSI ヒューズ エラー GPI8 がアサートされている場合、このビットが設定されます。VID モードが VRD 10 に設定されている場合のみ有効です。	S3, S4/5
3	GPI9	RWC	SCSI ヒューズ エラー GPI9 がアサートされている場合、このビットが設定されます。VID モードが VRD 10 に設定されている場合のみ有効です。	S3, S4/5
4	DV _{DD} P1_ERR	RWC	動的 V _c cp 制限エラー AD_IN7 (P1_V _c cp) が P1_VID[7:0] で報告された要求電圧と一致しなかった場合、このビットが設定されます。	S3, S4/5
5	DV _{DD} P2_ERR	RWC	動的 V _c cp 制限エラー AD_IN8 (P2_V _c cp) が P1_VID[7:0] で報告された要求電圧と一致しなかった場合、このビットが設定されます。	S3, S4/5
6	D1a_ERR	RWC	ダイオード フォルト エラー REMOTE1a+ ピンと REMOTE1- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*
7	D2a_ERR	RWC	ダイオード フォルト エラー REMOTE2a+ ピンと REMOTE2- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*

6.4.9.5 レジスタ 44h B_P1_PROCHOT エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
44h	RWC	B_P1_PR OCHOT エラー ス テータス	PH1 _ERR	TMAX	T100	T75	T50	T25	T12	T0	00h

ビット	名称	R/W	説明	スリープ マスキング
0	T0	RWC	P1_PROCHOT がスロットリング状態になった場合に設定されます。このビットは、>0% の PROCHOT スロットリングに対して設定されます。	S3, S4/5
1	T12	RWC	0.39% 以上 12.5% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
2	T25	RWC	12.5% 以上 25% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
3	T50	RWC	25% 以上 50% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
4	T75	RWC	50% 以上 75% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
5	T100	RWC	75% 以上 100% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
6	TMAX	RWC	100% の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
7	PH1_ERR	RWC	ユーザー制限を超えた P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5

PH1_ERR ビットは、LM94 ステータス / 制御レジスタの BMC_ERR を設定する、このレジスタの唯一のビットです。

6.4.9.6 レジスタ 45h B_P2_PROCHOT エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
45h	RWC	B_P2_PR OCHOT エラー ス テータス	PH2 _ERR	TMAX	T100	T75	T50	T25	T12	T0	00h

ビット	名称	R/W	説明	スリープ マスキング
0	T0	RWC	P2_PROCHOT がスロットリング状態になった場合に設定されます。このビットは、>0% の PROCHOT スロットリングに対して設定されます。	S3, S4/5
1	T12	RWC	0.0% 以上 12.5% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
2	T25	RWC	12.5% 以上 25% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
3	T50	RWC	25% 以上 50% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
4	T75	RWC	50% 以上 75% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
5	T100	RWC	75% 以上 100% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
6	TMAX	RWC	100% の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
7	PH2_ERR	RWC	ユーザー制限を超えた P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5

PH2_ERR ビットは、LM94 ステータス / 制御レジスタの BMC_ERR を設定する、このレジスタの唯一のビットです。

6.4.9.7 レジスタ 46h B_GPI エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
46h	RWC	B_GPI エラー ス テータス	GPI7 _ERR	GPI6 _ERR	GPI5 _ERR	GPI4 _ERR	GPI3 _ERR	GPI2 _ERR	GPI1 _ERR	GPI0 _ERR	00h

ビット	名称	R/W	説明	スリープ マスクング
0	GPI0_ERR	RWC	このビットは、GPIO0 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
1	GPI1_ERR	RWC	このビットは、GPIO1 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
2	GPI2_ERR	RWC	このビットは、GPIO2 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
3	GPI3_ERR	RWC	このビットは、GPIO3 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
4	GPI4_ERR	RWC	このビットは、GPIO4 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
5	GPI5_ERR	RWC	このビットは、GPIO5 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
6	GPI6_ERR	RWC	このビットは、GPIO6 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*
7	GPI7_ERR	RWC	このビットは、GPIO7 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされない場合)。	S1*, S3*, S4/5*

6.4.9.8 レジスタ 47h B_Fan エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
47h	RWC	B_Fan エラー ステータス	RES				FAN4 _ERR	FAN3 _ERR	FAN2 _ERR	FAN1 _ERR	00h

ビット	名称	R/W	説明	スリープ マスクング
0	FAN1_ERR	RWC	このビットは、ファン タコメータ 1 値レジスタがファン タコメータ 1 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
1	FAN2_ERR	RWC	このビットは、ファン タコメータ 2 値レジスタがファン タコメータ 2 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
2	FAN3_ERR	RWC	このビットは、ファン タコメータ 3 値レジスタがファン タコメータ 3 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
3	FAN4_ERR	RWC	このビットは、ファン タコメータ 4 値レジスタがファン タコメータ 4 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
7:4	RES	R	予約済み	該当なし

6.4.10 ホスト エラー ステータス レジスタ

ホスト エラー ステータス レジスタには、LM94 で監視できる特定のエラー イベントを表す複数のビットがあります。対応するエラー イベントが発生するたびに、LM94 は指定されたビットを設定します。LM94 ステータス / 制御レジスタの HOST_ERR ビットは、ホスト エラー ステータス レジスタのビットが設定されている場合にも設定されます。例外としては、PROCHOT エラー ステータス レジスタの固定スレッシュホールド エラー ステータス ビットがあります。これらは HOST_ERR には影響しません。

ホスト エラー ステータス レジスタにビットが設定されると、エラー イベントが解消しても、LM94 によってそのビットが自動的にクリアされることはありません。各ビットはソフトウェアによってクリアされる必要があります。エラー状態が続いているときにソフトウェアがビットをクリアしようとしても、そのビットはクリアされません。

ソフトウェアは、ホスト エラー ステータス レジスタでクリアするビットに 1 を書き込む必要があります (write-one-to-clear)。

このセクションで説明する各レジスタには、スリープ マスクング という列があります。この列には、さまざまなスリープ状態でマスクされるエラー イベントが示されます。システムのスリープ状態は、スリープ状態制御レジスタに書き込むことで LM94

に通知されます。この列のスリープ状態は横に * が付いている場合、スリープ状態マスク レジスタに応じて、そのスリープモードでエラー イベントがオプションでマスクされることを示しています。

6.4.10.1 レジスタ 48h H_Error ステータス 1

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
48h	RWC	H_Error ステータス 1	RES		VRD2_ERR	VRD1_ERR	ZN4_ERR	ZN3_ERR	ZN2_ERR	ZN1_ERR	00h

ビット	名称	R/W	説明	スリープマスキング
0	ZN1_ERR	RWC	ゾーン 1 の温度が関連する温度制限を外れた場合に、このビットが設定されます。	S3*, S4/5*
1	ZN2_ERR	RWC	ゾーン 2 の温度が関連する温度制限を外れた場合に、このビットが設定されます。	S3*, S4/5*
2	ZN3_ERR	RWC	ゾーン 3 の温度がゾーン 3 の温度制限を外れた場合に、このビットが設定されます。	なし
3	ZN4_ERR	RWC	ゾーン 4 の温度がゾーン 4 の温度制限を外れた場合に、このビットが設定されます。	なし
4	VRD1_ERR	RWC	VRD1_HOT# 入力のアサートされた場合に、このビットが設定されます。	S3, S4/5
5	VRD2_ERR	RWC	VRD2_HOT# 入力のアサートされた場合に、このビットが設定されます。	S3, S4/5
7:6	RES	R	予約済み	該当なし

6.4.10.2 レジスタ 49h H_Error ステータス 2

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
49h	RWC	H_Error ステータス 2	ADIN8_ERR	ADIN7_ERR	ADIN6_ERR	ADIN5_ERR	ADIN4_ERR	ADIN3_ERR	ADIN2_ERR	ADIN1_ERR	00h

ビット	名称	R/W	説明	スリープマスキング
0	AD1_ERR	RWC	このビットは、AD_IN1 電圧が AD_IN1 下限レジスタと AD_IN1 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
1	AD2_ERR	RWC	このビットは、AD_IN2 電圧が AD_IN2 下限レジスタと AD_IN2 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
2	AD3_ERR	RWC	このビットは、AD_IN3 電圧が AD_IN3 下限レジスタと AD_IN3 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
3	AD4_ERR	RWC	このビットは、AD_IN4 電圧が AD_IN4 下限レジスタと AD_IN4 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
4	AD5_ERR	RWC	このビットは、AD_IN5 電圧が AD_IN5 下限レジスタと AD_IN5 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
5	AD6_ERR	RWC	このビットは、AD_IN6 電圧が AD_IN6 下限レジスタと AD_IN6 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
6	AD7_ERR	RWC	このビットは、AD_IN7 電圧が AD_IN7 下限レジスタと AD_IN7 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
7	AD8_ERR	RWC	このビットは、AD_IN8 電圧が AD_IN8 下限レジスタと AD_IN8 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5

6.4.10.3 レジスタ 4Ah H_Error ステータス 3

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
4Ah	RWC	H_Error ステータス 3	ADIN16 _ERR	ADIN15 _ERR	ADIN14 _ERR	ADIN13 _ERR	ADIN12 _ERR	ADIN11 _ERR	ADIN10 _ERR	ADIN9 _ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	AD9_ERR	RWC	このビットは、AD_IN9 電圧が AD_IN9 下限レジスタと AD_IN9 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
1	AD10_ERR	RWC	このビットは、AD_IN10 電圧が AD_IN10 下限レジスタと AD_IN10 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
2	AD11_ERR	RWC	このビットは、AD_IN11 電圧が AD_IN11 下限レジスタと AD_IN11 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
3	AD12_ERR	RWC	このビットは、AD_IN12 電圧が AD_IN12 下限レジスタと AD_IN12 上限レジスタで定義された範囲外になった場合に設定されます。	S3*, S4/5*
4	AD13_ERR	RWC	このビットは、AD_IN13 電圧が AD_IN13 下限レジスタと AD_IN13 上限レジスタで定義された範囲外になった場合に設定されます。	S3*, S4/5*
5	AD14_ERR	RWC	このビットは、AD_IN14 電圧が AD_IN14 下限レジスタと AD_IN14 上限レジスタで定義された範囲外になった場合に設定されます。	S3*, S4/5*
6	AD15_ERR	RWC	このビットは、AD_IN15 電圧が AD_IN15 下限レジスタと AD_IN15 上限レジスタで定義された範囲外になった場合に設定されます。	S3, S4/5
7	AD16_ERR	RWC	このビットは、AD_IN16 電圧が AD_IN16 下限レジスタと AD_IN16 上限レジスタで定義された範囲外になった場合に設定されます。	なし

6.4.10.4 レジスタ 4Bh H_Error ステータス 4

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
4Bh	RWC	H_Error ステータス 4	D2a_ERR	D1a_ERR	DV _{DD} P2 _ERR	DV _{DD} P1 _ERR	GPI9 _ERR	GPI8 _ERR	D2b_ERR	D1b_ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	D1b_ERR	RWC	ダイオード フォルト エラー REMOTE1b+ ピンと REMOTE1- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*
1	D2b_ERR	RWC	ダイオード フォルト エラー REMOTE2b+ ピンと REMOTE2- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*
2	GPI8	RWC	SCSI ヒューズ エラー GPI8 がアサートされている場合、このビットが設定されます。VID モードが VRD 10 に設定されている場合のみ有効です。	S3, S4/5
3	GPI9	RWC	SCSI ヒューズ エラー GPI9 がアサートされている場合、このビットが設定されます。VID モードが VRD 10 に設定されている場合のみ有効です。	S3, S4/5
4	DV _{DD} P1_ERR	RWC	動的 V _{ccp} 制限エラー AD_IN7 (P1_V _{ccp}) が P1_VID[7:0] で報告された要求電圧と一致しなかった場合、このビットが設定されます。	S3, S4/5
5	DV _{DD} P2_ERR	RWC	動的 V _{ccp} 制限エラー AD_IN8 (P2_V _{ccp}) が P1_VID[7:0] で報告された要求電圧と一致しなかった場合、このビットが設定されます。	S3, S4/5

ビット	名称	R/W	説明	スリープ マスキング
6	D1a_ERR	RWC	ダイオード フォルト エラー REMOTE1a+ ピンと REMOTE1- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*
7	D2a_ERR	RWC	ダイオード フォルト エラー REMOTE2a+ ピンと REMOTE2- ピンに断線や短絡がある場合、このビットが設定されます。	S3*, S4/5*

6.4.10.5 レジスタ 4Ch H_P1_PROCHOT エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
4Ch	RWC	H_P1_PR OCHOT エラー ス テータス	PH1_ERR	TMAX	T100	T75	T50	T25	T12	T0	00h

ビット	名称	R/W	説明	スリープ マスキング
0	T0	RWC	P1_PROCHOT がスロットリング状態になった場合に設定されます。このビットは、>0% の PROCHOT スロットリングに対して設定されます。	S3, S4/5
1	T12	RWC	0.00% 以上 12.5% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
2	T25	RWC	12.5% 以上 25% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
3	T50	RWC	25% 以上 50% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
4	T75	RWC	50% 以上 75% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
5	T100	RWC	75% 以上 100% 未満の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
6	TMAX	RWC	100% の P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5
7	PH1_ERR	RWC	ユーザー制限を超えた P1_PROCHOT スロットリングに対して設定されます。	S3, S4/5

このレジスタ内で、LM94 ステータス / 制御レジスタの HOST_ERR を設定するのは PH1_ERR ビットのみです。

6.4.10.6 レジスタ 4Dh B_P2_PROCHOT エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
4Dh	RWC	H_P2_PR OCHOT エラー ス テータス	PH2_ERR	TMAX	T100	T75	T50	T25	T12	T0	00h

ビット	名称	R/W	説明	スリープ マスキング
0	T0	RWC	P2_PROCHOT がスロットリング状態になった場合に設定されます。このビットは、>0% の PROCHOT スロットリングに対して設定されます。	S3, S4/5
1	T12	RWC	0.00% 以上 12.5% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
2	T25	RWC	12.5% 以上 25% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
3	T50	RWC	25% 以上 50% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
4	T75	RWC	50% 以上 75% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
5	T100	RWC	75% 以上 100% 未満の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
6	TMAX	RWC	100% の P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5
7	PH2_ERR	RWC	ユーザー制限を超えた P2_PROCHOT スロットリングに対して設定されます。	S3, S4/5

このレジスタ内で、LM94 ステータス / 制御レジスタの HOST_ERR を設定するのは PH2_ERR ビットのみです。

6.4.10.7 レジスタ 4Eh H_GPI エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
4Eh	RWC	H_GPI エラー ス テータス	GPI7 _ERR	GPI6 _ERR	GPI5 _ERR	GPI4 _ERR	GPI3 _ERR	GPI2 _ERR	GPI1 _ERR	GPI0 _ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	GPI0_ERR	RWC	このビットは、GPIO0 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
1	GPI1_ERR	RWC	このビットは、GPIO1 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
2	GPI2_ERR	RWC	このビットは、GPIO2 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
3	GPI3_ERR	RWC	このビットは、GPIO3 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
4	GPI4_ERR	RWC	このビットは、GPIO4 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
5	GPI5_ERR	RWC	このビットは、GPIO5 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
6	GPI6_ERR	RWC	このビットは、GPIO6 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*
7	GPI7_ERR	RWC	このビットは、GPIO7 が Low に駆動されると常に設定されます (GPI エラー マスクレジスタを介してマスクされていない場合)。	S1*, S3*, S4/5*

6.4.10.8 レジスタ 4Fh H_Fan エラー ステータス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
4Fh	RWC	H_Fan エラー ス テータス	RES				FAN4 _ERR	FAN3 _ERR	FAN2 _ERR	FAN1 _ERR	00h

ビット	名称	R/W	説明	スリープ マスキング
0	FAN1_ERR	RWC	このビットは、ファン タコメータ 1 値レジスタがファン タコメータ 1 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
1	FAN2_ERR	RWC	このビットは、ファン タコメータ 2 値レジスタがファン タコメータ 2 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
2	FAN3_ERR	RWC	このビットは、ファン タコメータ 3 値レジスタがファン タコメータ 3 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
3	FAN4_ERR	R	このビットは、ファン タコメータ 4 値レジスタがファン タコメータ 4 制限レジスタに設定された値を上回ると設定されます。	S1*, S3*, S4/5
7:4	RES	R	予約済み	該当なし

6.4.11 値レジスタ

6.4.11.1 レジスタ 50–53h フィルタなし温度値レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
06h	R	ゾーン 1b (CPU1) 温 度	7	6	5	4	3	2	1	0	00h
07h	R	ゾーン 2b (CPU2) 温 度	7	6	5	4	3	2	1	0	00h
50h	R	ゾーン 1a (CPU1) 温 度	7	6	5	4	3	2	1	0	00h
51h	R	ゾーン 2a (CPU2) 温 度	7	6	5	4	3	2	1	0	00h
52h	R	ゾーン 3 (内部) 温 度	7	6	5	4	3	2	1	0	00h
53h	R/W	ゾーン 4 (外部デジ タル) 温 度	7	6	5	4	3	2	1	0	00h

ゾーン 1 とゾーン 2 は LM94 によってすべて自動的に更新されます。ゾーン 3 (内部) 温度レジスタとゾーン 4 (外部デジタル) 温度レジスタは、外部の SMBus デバイスによって書き込むことも、それぞれ AD_IN11 と AD_IN15 に割り当てることもできます。

リモート ダイオードのピンがボードの設計者によって実装されていない場合、またはリモート ダイオードのピンが適切に機能していない場合、ゾーン 1 とゾーン 2 の温度レジスタは 80h の値を返します。

6.4.11.2 レジスタ 54–55h フィルタ温度値レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
08h	R	ゾーン 1b (CPU1) フィルタ温 度	7	6	5	4	3	2	1	0	00h
09h	R	ゾーン 2b (CPU2) フィルタ温 度	7	6	5	4	3	2	1	0	00h
54h	R	ゾーン 1a (CPU1) フィルタ温 度	7	6	5	4	3	2	1	0	00h
55h	R	ゾーン 2a (CPU2) フィルタ温 度	7	6	5	4	3	2	1	0	00h

これらのレジスタは、スパイク平滑化フィルタ適用後のゾーン 1 とゾーン 2 の温度を反映します。

フィルタの特性は、ゾーン 1/2 スパイク平滑化制御レジスタを使用して調整できます。

6.4.11.3 レジスタ 56–65h A/D チャネル電圧レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
56h	R	AD_IN1 電圧	7	6	5	4	3	2	1	0	N/D
57h	R	AD_IN2 電圧	7	6	5	4	3	2	1	0	N/D
58h	R	AD_IN3 電圧	7	6	5	4	3	2	1	0	N/D
59h	R	AD_IN4 電圧	7	6	5	4	3	2	1	0	N/D
5Ah	R	AD_IN5 電圧	7	6	5	4	3	2	1	0	N/D
5Bh	R	AD_IN6 電圧	7	6	5	4	3	2	1	0	N/D
5Ch	R	AD_IN7 電圧	7	6	5	4	3	2	1	0	N/D
5Dh	R	AD_IN8 電圧	7	6	5	4	3	2	1	0	N/D
5Eh	R	AD_IN9 電圧	7	6	5	4	3	2	1	0	N/D
5Fh	R	AD_IN10 電圧	7	6	5	4	3	2	1	0	N/D
60h	R	AD_IN11 電圧	7	6	5	4	3	2	1	0	N/D
61h	R	AD_IN12 電圧	7	6	5	4	3	2	1	0	N/D
62h	R	AD_IN13 電圧	7	6	5	4	3	2	1	0	N/D
63h	R	AD_IN14 電圧	7	6	5	4	3	2	1	0	N/D
64h	R	AD_IN15 電圧	7	6	5	4	3	2	1	0	N/D
65h	R	AD_IN16 電圧	7	6	5	4	3	2	1	0	N/D

電圧読み出しレジスタは、LM94 の電圧監視入力現在の電圧を反映します。電圧は、公称電圧の $\frac{3}{4}$ フルスケールでレジスタに示されます。したがって、公称電圧では、各レジスタは C0h を読み出します。

6.4.11.4 レジスタ 67h 現在の P1_PROCHOT

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
67h	R	現在の P1_PRO CHOT	7	6	5	4	3	2	1	0	00h

これは、PROCHOT 時間間隔レジスタで設定された、各 PROCHOT 監視間隔の終了時におけるプロセッサ 1 の PROCHOT のパーセンテージアクティブ時間の値です。このレジスタに書き込みを行ってもレジスタの内容には影響はありませんが、両方の PROCHOT チャンネル (P1_PROCHOT と P2_PROCHOT) のキャプチャ サイクルが再開されます。レジスタ値が 1 の場合、アクティブ時間は 0% より大きく 0.39% 未満であることを示します。

レジスタ値 (10 進)	パーセンテージアクティブ時間
0	0%

レジスタ値 (10 進)	パーセンテージ アクティブ時間
1	0.39%
2	0.78%
⋮	⋮
⋮	⋮
n	n/256*100
255	99.60%

6.4.11.5 レジスタ 68h 平均 P1_PROCHOT

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
68h	R	平均 P1_PRO CHOT	7	6	5	4	3	2	1	0	00h

これは P1_PROCHOT のパーセンテージ アクティブ時間の平均で、このレジスタの内容を現在の P1_PROCHOT レジスタの内容に加算し、結果を 2 で除算したものです。現在の P1_PROCHOT レジスタが更新されると同時に更新されま
す。レジスタ値が 1 の場合、アクティブ時間は 0% より大きく 0.39% 未満であることを示します。

6.4.11.6 レジスタ 69h 現在の P2_PROCHOT

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
69h	R	現在の P2_PRO CHOT	7	6	5	4	3	2	1	0	00h

これは、PROCHOT 時間間隔レジスタで設定された、各 PROCHOT 監視間隔の終了時におけるプロセッサ 2 の
PROCHOT のパーセンテージ アクティブ時間の値です。このレジスタに書き込みを行ってもレジスタの内容には影響は
ありませんが、両方の PROCHOT チャンネル (P1_PROCHOT と P2_PROCHOT) のキャプチャ サイクルが再開されま
す。レジスタ値が 1 の場合、アクティブ時間は 0% より大きく 0.39% 未満であることを示します。

レジスタ値 (10 進)	パーセンテージ アクティブ時間
0	0%
1	0.39%
2	0.78%
⋮	⋮
⋮	⋮
n	n/256*100
255	99.60%

6.4.11.7 レジスタ 6Ah 平均 P2_PROCHOT

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
6Ah	R	平均 P2_PRO CHOT	7	6	5	4	3	2	1	0	00h

これは $\overline{P2_PROCHOT}$ の平均アクティブ時間のパーセンテージで、このレジスタの内容を現在の $\overline{P2_PROCHOT}$ レジスタの内容に加算し、結果を 2 で除算したものです。現在の $\overline{P2_PROCHOT}$ レジスタが更新されると同時に更新されます。レジスタ値が 1 の場合、アクティブ時間は 0% より大きく 0.39% 未満であることを示します。

6.4.11.8 レジスタ 6Bh 現在の GPI 状態

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
6Bh	R	GPI 状態	GPI7	GPI6	GP15	GPI4	GPI3	GPI2	GPI1	GPI0	00h

ビット	名称	読み出し/書き込み	説明
0	GPI0	R	GPIO_0 入力が Low の場合は 1、ラッチなし
1	GPI1	R	GPIO_1 入力が Low の場合は 1、ラッチなし
2	GPI2	R	GPIO_2 入力が Low の場合は 1、ラッチなし
3	GPI3	R	GPIO_3 入力が Low の場合は 1、ラッチなし
4	GPI4	R	GPIO_4 入力が Low の場合は 1、ラッチなし
5	GPI5	R	GPIO_5 入力が Low の場合は 1、ラッチなし
6	GPI6	R	GPIO_6 入力が Low の場合は 1、ラッチなし
7	GPI7	R	GPIO_7 入力が Low の場合は 1、ラッチなし

6.4.11.9 レジスタ 6Ch P1_VID

このレジスタには、以下の表に示す 4 つのマッピングがあります。マッピングは、アドレス BDh にある特殊機能制御 2 レジスタで選択される VID モードによって決定されます。詳細については、[特殊機能制御 2](#) レジスタの説明を参照してください。

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
6Ch	R	P1_VID	RES (0)		VRD 10 モード用 P1_VID[5:0] (LM93 と同じ機能)						00h
			RES (0)	VRD 10.2 拡張モード用 P1_VID[6:0]						00h	
			RES (0)	VRD 11 用 P1_VID[6:0]、モード 1 (VRD11 で最もよく使用されるモード)						00h	
			VRD 11 用 P1_VID[7:1]、モード 2								RES (0)

表 6-4. VRD 10 モード

ビット	名称	読み出し/書き込み	説明
5:0	P1_VID[5:0]	R	プロセッサ 1 VID ステータス。 P1_VID5 ピン～P1_VID0 ピンの現在の状態を通知します。このレジスタは、P1_VID 信号が 600ns 以上安定している場合のみ更新されます。
7:6	RES	R	予約済みで、常に 0 を通知します。

表 6-5. VRD 10.2 拡張モード

ビット	名称	読み出し/書き込み	説明
6:0	P1_VID[6:0]	R	プロセッサ 1 VID ステータス。 P1_VID6 ピン～P1_VID0 ピンの現在の状態を通知します。このレジスタは、P1_VID 信号が 600ns 以上安定している場合のみ更新されます。
7	RES	R	予約済みで、常に 0 を通知します。

表 6-6. VRD 11 モード 1

ビット	名称	読み出し / 書き込み	説明
6:0	P1_VID[6:0]	R	プロセッサ 1 VID ステータス。このモードは、VRD11 のサポートに推奨されます。P1_VID6 ピン～P1_VID0 ピンの現在の状態を通知します。このレジスタは、P1_VID 信号が 600ns 以上安定している場合にのみ更新されます。
7	RES	R	予約済みで、常に 0 を通知します。

表 6-7. VRD 11 モード 2

ビット	名称	読み出し / 書き込み	説明
0	RES	R	予約済みで、常に 0 を通知します。
7:1	P1_VID[7:1]	R	プロセッサ 1 VID ステータス。このモードは将来の実験用に用意されており、VRD11 と VRD10 の両方の仕様をサポートするには追加のハードウェアが必要になります。P1_VID7 ピン～P1_VID1 ピンの現在の状態を通知します。このレジスタは、P1_VID 信号が 600ns 以上安定している場合にのみ更新されます。

6.4.11.10 レジスタ 6Dh P2_VID

このレジスタには、以下の表に示す 4 つのマッピングがあります。マッピングは、アドレス BDh にある特殊機能制御 2 レジスタで選択される VID モードによって決定されます。詳細については、[特殊機能制御 2](#) レジスタの説明を参照してください。

レジスタアドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
6Dh	R	P2_VID	RES (0)		VRD 10 モード用 P2_VID[5:0] (LM93 と同じ機能)					00h	
			RES (0)	VRD 10.2 拡張モード用 P2_VID[6:0]					00h		
			RES (0)	VRD 11 用 P2_VID[6:0]、モード 1 (VRD11 で最もよく使用されるモード)					00h		
			VRD 11 用 P2_VID[7:1]、モード 2								RES (0)

表 6-8. VRD 10 モード

ビット	名称	読み出し / 書き込み	説明
5:0	P2_VID[5:0]	R	プロセッサ 2 VID ステータス。P2_VID5 ピン～P2_VID0 ピンの現在の状態を通知します。このレジスタは、P2_VID 信号が 600ns 以上安定している場合にのみ更新されます。
7:6	RES	R	予約済みで、常に 0 を通知します。

表 6-9. VRD 10.2 拡張モード

ビット	名称	読み出し / 書き込み	説明
6:0	P2_VID[6:0]	R	プロセッサ 2 VID ステータス。P2_VID6 ピン～P2_VID0 ピンの現在の状態を通知します。このレジスタは、P2_VID 信号が 600ns 以上安定している場合にのみ更新されます。
7	RES	R	予約済みで、常に 0 を通知します。

表 6-10. VRD 11 モード 1

ビット	名称	読み出し / 書き込み	説明
6:0	P2_VID[6:0]	R	プロセッサ 2 VID ステータス。このモードは、VRD11 のサポートに推奨されます。P2_VID6 ピン～P2_VID0 ピンの現在の状態を通知します。このレジスタは、P2_VID 信号が 600ns 以上安定している場合にのみ更新されます。

表 6-10. VRD 11 モード 1 (続き)

ビット	名称	読み出し / 書き込み	説明
7	RES	R	予約済みで、常に 0 を通知します。

表 6-11. VRD 11 モード 2

ビット	名称	読み出し / 書き込み	説明
0	RES	R	予約済みで、常に 0 を通知します。
7:1	P2_VID[7:1]	R	プロセッサ 2 VID ステータス。このモードは将来の実験用に用意されており、VRD11 と VRD10 の両方の仕様をサポートするには追加のハードウェアが必要になります。 P2_VID7 ピン～P2_VID1 ピンの現在の状態を通知します。このレジスタは、P2_VID 信号が 600ns 以上安定している場合にのみ更新されます。

6.4.11.11 レジスタ 6E–75h ファン タコメータ読み取り値

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値	
6Eh	R	ファン タコメータ 1 LSB	TACH1[5:0]						T1ST[1:0]		00h	
6Fh	R	ファン タコメータ 1 MSB	TACH1[13:6]									00h
70h	R	ファン タコメータ 2 LSB	TACH2[5:0]						T2ST[1:0]		00h	
71h	R	ファン タコメータ 2 MSB	TACH2[13:6]									00h
72h	R	ファン タコメータ 3 LSB	TACH3[5:0]						T3ST[1:0]		00h	
73h	R	ファン タコメータ 3 MSB	TACH3[13:6]									00h
74h	R	ファン タコメータ 4 LSB	TACH4[5:0]						T4ST[1:0]		00h	
75h	R	ファン タコメータ 4 MSB	TACH4[13:6]									00h

14 ビットのファン タコメータ読み取り値は、タコメータ入力信号のフル 2 周期中に発生した 22.5kHz のクロック周期の数を示しています。ほとんどのファンは、1 回転あたり 2 つのタコメータ パルスを生成します。これらのレジスタは、少なくとも毎秒 1 回更新されなければなりません。

ファン タコメータ読み取り値レジスタは、ファンが無効になっている、または機能していない場合でも、常に正確なファン タコメータ測定値を返す必要があります。3FFFh は、ファンが停止している、測定するのに十分な速度で回転していない、タコメータ入力が無効な信号に接続されていないことを示します。

ファンの 1 回転あたりのパルス数がわかっている場合、RPM は次の式で計算できます。

$$RPM = 22500 \text{ サイクル / 秒} * 60 \text{ 秒 / 分} * 2 \text{ パルス / COUNT サイクル} / PULSES_PER_REV$$

ここで

PULSES_PER_REV = ファンが 1 回転あたりに生成するパルス数

COUNT = タコメータ レジスタから読み出された 14 ビットの値

ビット	名称	読み出し/書き込み	説明
1:0	T1ST[1:0]、T2ST[1:0]、T3ST[1:0]、T4ST[1:0]	R	タコメータ読み取り値ごとに 2 ビットあり、読み取り値の取得に使用されたファン制御回路の状態を通知します。詳細については、以下の表を参照してください。
7:2	TACH1[5:0]、TACH2[5:0]、TACH3[5:0]、TACH4[5:0]	R	タコメータ読み取り値の最下位ビットフィールド。
7:0	TACH1[13:6]、TACH2[13:6]、TACH3[13:6]、TACH4[13:6]	R	タコメータ読み取り値の最上位ビットフィールド。

T1ST[1:0]、T2ST[1:0]、T3ST[1:0]、T4ST[1:0]	ファン制御回路の状態
00	通常モード (スマートタコメータモード無効)
01	予約済み
10	スマートタコメータモード 1、精度はそれほど高くないが、ファン RPM は最も安定している
11	スマートタコメータモード 2、精度は最も高いが、ファン RPM が最も不安定

6.4.12 制限レジスタ

6.4.12.1 レジスタ 78–7Fh 温度制限レジスタ

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
78h	R/W	プロセッサ 1 (ゾーン 1) 低温	7	6	5	4	3	2	1	0	80h
79h	R/W	プロセッサ 1 (ゾーン 1) 高温	7	6	5	4	3	2	1	0	80h
7Ah	R/W	プロセッサ 2 (ゾーン 2) 低温	7	6	5	4	3	2	1	0	80h
7Bh	R/W	プロセッサ 2 (ゾーン 2) 高温	7	6	5	4	3	2	1	0	80h
7Ch	R/W	内部 (ゾーン 3) 低温	7	6	5	4	3	2	1	0	80h
7Dh	R/W	内部 (ゾーン 3) 高温	7	6	5	4	3	2	1	0	80h
7Eh	R/W	外部デジタル (ゾーン 4) 低温	7	6	5	4	3	2	1	0	80h
7Fh	R/W	外部デジタル (ゾーン 4) 高温	7	6	5	4	3	2	1	0	80h

外部温度入力または内部温度センサが、上限レジスタに設定された値を超えるか、下限レジスタに設定された値を下回ると、LM94 によって、B_Error および H_Error ステータス 1 レジスタに対応するビットが自動的に設定されます。たとえ

ば、Remote1- 入力 および Remote1+ 入力から読み出された温度がプロセッサ (ゾーン 1) 高温レジスタの制限設定を超えると、B_Error ステータス 1 レジスタおよび H_Error ステータス 1 レジスタの両方の ZN1_ERR ビットが設定されます。これらのレジスタの温度制限は、摂氏で符号付き 8 ビットの 2 の補数で表されます。

高温制限レジスタが 80h に設定されている場合、その温度チャンネルの B_Error および H_Error ステータス レジスタ ビットがマスクされます。

6.4.12.2 レジスタ 80–83h ファン昇圧温度レジスタ

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
80h	R/W	ファン昇圧 温度 ゾーン 1	7	6	5	4	3	2	1	0	3Ch
81h	R/W	ファン昇圧 温度 ゾーン 2	7	6	5	4	3	2	1	0	3Ch
82h	R/W	ファン昇圧 温度 ゾーン 3	7	6	5	4	3	2	1	0	23h
83h	R/W	ファン昇圧 温度 ゾーン 4	7	6	5	4	3	2	1	0	23h

熱ゾーンがファン昇圧制限レジスタで設定された温度を超えると、両方の PWM 出力が 100% に設定されます。ファン昇圧機能は、低分解能手動オーバーライドよりも優先されます。高分解能手動オーバーライドは、ファン昇圧機能よりも優先されます。これは安全機能であり、致命的な過熱状態が発生する可能性がある場合にシステムの冷却を試行するものです。7Fh に設定され、ファン制御の温度分解能が 1°C の場合、この機能は無効になります。

デフォルト = 60°C = 3Ch (ゾーン 1 とゾーン 2)

デフォルト = 35°C = 23h (ゾーン 3 とゾーン 4)

PWM 出力が通常動作に戻るには、この温度よりファン昇圧ヒステリシス レジスタで指定された度数だけ温度が下がる必要があります。ファン昇圧機能は、関連するレジスタを 80h に設定することで無効にすることができます。

6.4.12.3 レジスタ 84h ゾーン 1 およびゾーン 2 制限比較ヒステリシス

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
84h	R/W	制限比較 ヒステリシス (ゾーン 1/2)	HC2				HC1				00h

ビット	名称	R/W	説明
3:0	HC1	R/W	ゾーン 1 の上限と下限の両方について、制限比較ヒステリシスを設定します。ヒステリシスは 0°C~15°C の範囲で設定でき、分解能は 1°C です。
7:4	HC2	R/W	ゾーン 2 の上限と下限の両方について、制限比較ヒステリシスを設定します。ヒステリシスは 0°C~15°C の範囲で設定でき、分解能は 1°C です。

6.4.12.4 レジスタ 85h ゾーン 3 および ゾーン 4 ヒステリシスの制限比較

レジスタアドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
85h	R/W	制限比較ヒステリシス (ゾーン 3/4)	HC4				HC3				00h

ビット	名称	R/W	説明
3:0	HC3	R/W	ゾーン 3 の上限と下限の両方について、制限比較ヒステリシスを設定します。ヒステリシスは 0°C~15°C の範囲で設定でき、分解能は 1°C です。
7:4	HC4	R/W	ゾーン 4 の上限と下限の両方について、制限比較ヒステリシスを設定します。ヒステリシスは 0°C~15°C の範囲で設定でき、分解能は 1°C です。

6.4.12.5 レジスタ 8E–8Fh ゾーン 1b および ゾーン 2b 温度読み取り調整レジスタ

レジスタアドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
8Eh	R/W	ゾーン 1b 温度調整	RES	RES	Z1b_ADJUST[5:0]					00h	
8Fh	R/W	ゾーン 2b 温度調整	RES	RES	Z2b_ADJUST[5:0]					00h	

ビット	名称	R/W	説明
5:0	Z1b_ADJUST[5:0] または Z2b_ADJUST[5:0]	R/W	6 ビット符号付き 2 の補数オフセット調整。この値は、ゾーン 1b またはゾーン 2b の温度測定時にその測定値に加算されます。LM94 のすべてのレジスタと機能は、結果として得られる温度が真の測定温度であるかのように動作します。このレジスタを使用すると、+31°C~−32°C の範囲でオフセットを 1°C 単位で調整できます。
7:6	RES	R	予約済み

6.4.12.6 レジスタ 90–AFh 電圧制限レジスタ

レジスタアドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
90h	R/W	AD_IN1 下限	7	6	5	4	3	2	1	0	00h
91h	R/W	AD_IN1 上限	7	6	5	4	3	2	1	0	FFh
92h	R/W	AD_IN2 下限	7	6	5	4	3	2	1	0	00h
93h	R/W	AD_IN2 上限	7	6	5	4	3	2	1	0	FFh
94h	R/W	AD_IN3 下限	7	6	5	4	3	2	1	0	00h
95h	R/W	AD_IN3 上限	7	6	5	4	3	2	1	0	FFh
96h	R/W	AD_IN4 下限	7	6	5	4	3	2	1	0	00h
97h	R/W	AD_IN4 上限	7	6	5	4	3	2	1	0	FFh
98h	R/W	AD_IN5 下限	7	6	5	4	3	2	1	0	00h

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
99h	R/W	AD_IN5 上限	7	6	5	4	3	2	1	0	FFh
9Ah	R/W	AD_IN6 下限	7	6	5	4	3	2	1	0	00h
9Bh	R/W	AD_IN6 上限	7	6	5	4	3	2	1	0	FFh
9Ch	R/W	AD_IN7 下限	7	6	5	4	3	2	1	0	00h
9Dh	R/W	AD_IN7 上限	7	6	5	4	3	2	1	0	FFh
9Eh	R/W	AD_IN8 下限	7	6	5	4	3	2	1	0	00h
9Fh	R/W	AD_IN8 上限	7	6	5	4	3	2	1	0	FFh
A0h	R/W	AD_IN9 下限	7	6	5	4	3	2	1	0	00h
A1h	R/W	AD_IN9 上限	7	6	5	4	3	2	1	0	FFh
A2h	R/W	AD_IN10 下限	7	6	5	4	3	2	1	0	00h
A3h	R/W	AD_IN10 上限	7	6	5	4	3	2	1	0	FFh
A4h	R/W	AD_IN11 下限	7	6	5	4	3	2	1	0	00h
A5h	R/W	AD_IN11 上限	7	6	5	4	3	2	1	0	FFh
A6h	R/W	AD_IN12 下限	7	6	5	4	3	2	1	0	00h
A7h	R/W	AD_IN12 上限	7	6	5	4	3	2	1	0	FFh
A8h	R/W	AD_IN13 下限	7	6	5	4	3	2	1	0	00h
A9h	R/W	AD_IN13 上限	7	6	5	4	3	2	1	0	FFh
AAh	R/W	AD_IN14 下限	7	6	5	4	3	2	1	0	00h
ABh	R/W	AD_IN14 上限	7	6	5	4	3	2	1	0	FFh
ACh	R/W	AD_IN15 下限	7	6	5	4	3	2	1	0	00h
ADh	R/W	AD_IN15 上限	7	6	5	4	3	2	1	0	FFh
A Eh	R/W	AD_IN16 下限	7	6	5	4	3	2	1	0	00h
AFh	R/W	AD_IN16 上限	7	6	5	4	3	2	1	0	FFh

上限として FFh を設定すると、その電圧センサのマスクとして機能するため、上限エラーと下限エラーの両方について、このチャンネルは B_ または H_Error ステータスレジスタの関連エラー ステータス ビットを設定できなくなります。

電圧入力、電圧上限レジスタに設定された値を超えるか、電圧下限レジスタに設定された値を下回ると、LM94 によって、B_ および H_Error ステータスレジスタに対応するビットが自動的に設定されます。

6.4.12.7 レジスタ B0–B1h PROCHOT ユーザー制限レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
B0h	R/W	P1_PRO CHOT ユーザー 制限	7	6	5	4	3	2	1	0	FFh
B1h	R/W	P2_PRO CHOT ユーザー 制限	7	6	5	4	3	2	1	0	FFh

これらのレジスタにより、PROCHOT 監視機能のユーザー制限を設定できます。対応する現在の Px_PROCHOT レジスタがこの値を超えると、対応するホストおよび BMC のエラー ステータス レジスタに PH1_ERR ビットまたは PH2_ERR ビットが設定されます。値 FFh はマスクとして機能し、エラー ステータス ビットが設定されないようにします。

レジスタ値 (10 進)	スレッショルド パーセンテージ
0	0%
1	0.39%
2	0.78%
⋮	⋮
⋮	⋮
n	n/256*100
255	99.60%

6.4.12.8 レジスタ B2–B3h 動的 Vccp 制限オフセット レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
B2h	R/W	Vccp1 制 限オフセッ ト	UPPER_OFFSET1				LOWER_OFFSET1				17h
B3h	R/W	Vccp2 制 限オフセッ ト	UPPER_OFFSET2				LOWER_OFFSET2				17h

これらのオフセットは、動的 Vccp ウィンドウ コンパレータの上限と下限を決定するために使用されます。これらのオフセットは、VID ビットで選択された値に加算または減算されます。

LOWER_OFFSET1 または LOWER_OFFSET2	下限オフセット
0h	25 mV
1h	50 mV
2h	75 mV
3h	100 mV
--	--
Ch	325 mV
Dh	350 mV
Eh	375 mV
Fh	400 mV

UPPER_OFFSET1 または UPPER_OFFSET2	上限オフセット
0h	12.5 mV
1h	25 mV
2h	37.5 mV
3h	50 mV
~~	~~
Dh	175 mV
Eh	187.5 mV
Fh	200 mV

6.4.12.9 レジスタ B4–BBh ファン タコメータ制限レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
B4h	R/W	ファン タコ メータ 1 制限 LSB	TLIMIT1[5:0]						RES		FCh
B5h	R/W	ファン タコ メータ 1 制限 MSB	TLIMIT1[13:6]								FFh
B6h	R/W	ファン タコ メータ 2 制限 LSB	TLIMIT2[5:0]						RES		FCh
B7h	R/W	ファン タコ メータ 2 制限 MSB	TLIMIT2[13:6]								FFh
B8h	R/W	ファン タコ メータ 3 制限 LSB	TLIMIT3[5:0]						RES		FCh
B9h	R/W	ファン タコ メータ 3 制限 MSB	TLIMIT1[13:6]								FFh
BAh	R/W	ファン タコ メータ 4 制限 LSB	TLIMIT4[5:0]						RES		FCh
BBh	R/W	ファン タコ メータ 4 制限 MSB	TLIMIT4[13:6]								FFh

タコメータ読み取り値が (これらのレジスタで定義された) 制限を超えた場合、対応するビットがホストおよび BMC のエラー ステータス レジスタに設定されます。ファン タコメータ読み取り値は特定の PWM 出力に関連付けることができますが、PWM が 0% になっている場合や、ファン RPM が意図的に制限を下回るようなレベルに設定されている場合は、タコメータ エラーは自動的にマスクされません。誤ったエラーを防止するために、ファン タコメータ制限が適切に設定されていることを確認する必要があります。ファン タコメータ制限が 3FFFh に設定されている場合、エラーは生成されません。

6.4.13 設定レジスタ

6.4.13.1 レジスタ BCh 特殊機能制御 1 (電圧ヒステリシスおよびファン制御フィルタ有効)

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
BCh	R/W	特殊機能 制御 1	RES	FCFE2	FCFE1	LCFE2	LCFE1	VH			00h

ビット	名称	R/W	説明
2:0	VH	R/W	電圧ヒステリシス制御。これにより、すべての電圧制限比較に適用されるヒステリシスの大きさが決まります。上限と下限の両方に適用されます。1 LSB が 1 A/D カウントに相当するため、1 LSB で表される実際の電圧は電圧チャンネルによって異なります。
3	LCFE1	R/W	制限比較フィルタ有効。このビットを設定すると、温度ゾーン 1a と温度ゾーン 1b の制限比較で、フィルタなし温度ではなく、フィルタ (スパイク平滑化) 温度が使用されます。
4	LCFE2	R/W	制限比較フィルタ有効。このビットを設定すると、温度ゾーン 2a と温度ゾーン 2b の制限比較で、フィルタなし温度ではなく、フィルタ (スパイク平滑化) 温度が使用されます。
5	FCFE1	R/W	ファン制御フィルタ有効。このビットを設定すると、ゾーン 1a とゾーン 1b のファン制御機能 (ファン昇圧を含む) で、フィルタなし温度ではなく、フィルタ (スパイク平滑化) 温度が使用されます。これには、PI ループコントローラ、LUT、温度ファン昇圧機能が含まれます。
6	FCFE2	R/W	ファン制御フィルタ有効。このビットを設定すると、ゾーン 2a とゾーン 2b のファン制御機能 (ファン昇圧を含む) で、フィルタなし温度ではなく、フィルタ (スパイク平滑化) 温度が使用されます。これには、PI ループコントローラ、LUT、温度ファン昇圧機能が含まれます。
7	RES	R	予約済み

LCFE1 ビット、LCFE2 ビット、FCFE1 ビット、FCFE2 ビットを正しく動作させるには、ゾーン 1/2 スパイク平滑化制御レジスタ (アドレス C2h) の ZN1E ビットと ZN2E ビットをクリアする必要があります。

アプリケーション ノート: 電圧制限比較のヒステリシスがゼロでない場合、電圧エラー状態が続いている間に電圧制限レジスタを変更するときは特に注意が必要です。ソフトウェアがエラー状態を回避するために電圧制限を緩和する場合、ヒステリシス値より大きな量で制限を緩和し、指定された電圧チャンネルのエラー ステータス ビットをクリアする前に数ミリ秒待つ必要がある場合があります。エラー ステータス ビットがクリアされると、必要な制限値をプログラムできます。

6.4.13.2 レジスタ BDh 特殊機能制御 2 (スマート タコメータ モード有効、ファン制御温度分解能制御、VID モード選択)

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
BDh	R/W	特殊機能 制御 2	VID_MODE[1:0]		LT34_RS	LT12_RS	STE4	STE3	STE2	STE1	00h

ビット	名称	R/W	説明
0	STE1	R/W	タコメータ 1 のスマート タコメータを有効にします。
1	STE2	R/W	タコメータ 2 のスマート タコメータを有効にします。
2	STE3	R/W	タコメータ 3 のスマート タコメータを有効にします。
3	STE4	R/W	タコメータ 4 のスマート タコメータを有効にします。
4	LT12_RS	R/W	このビットが設定されている場合、LUT1 と LUT2 のファン制御は 0.5°C を使用し、LUT オフセットとヒステリシス設定の分解能はこのビットの影響を受けます。これらのビットは、ファン制御オフセットレジスタ、ファン制御ヒステリシス レジスタ、昇圧ヒステリシス レジスタに適用されます。
5	LT34_RS	R/W	このビットが設定されている場合、LUT3 と LUT4 のファン制御は 0.5°C を使用し、LUT オフセットとヒステリシス設定の分解能はこのビットの影響を受けます。
7:6	VID_MODE[1:0]	R/W	これらのビットは、P1_VID と P2_VID の値レジスタと動的 V _{ccp} 監視によって VID コードがどのように処理されるかを決定する VID モードを選択します。

表 6-12. VID モード選択ビットの説明

VID_MODE[1:0]	VID モード	備考
00	VRD10	Intel の VRD10 仕様をサポートしており、LM93 動的 Vccp 監視回路と下位互換性があります。このモードは、分解能 12.5mV で、0.8375V~1.600V の電圧範囲を持ち、6 つの VID ビット/ピンをサポートしています。
01	VRD10.2 拡張	Intel の VRD10.2 拡張仕様をサポートしています。このモードは、分解能 6.25mV で、0.83125V~1.600V の電圧範囲を持ち、7 つの VID ビット/ピンをサポートしています。
10	VRD11 モード 1	Intel の VRD11 仕様をサポートしています。このモードは、分解能 6.25mV で、0.83125V~1.600V の電圧範囲を持ち、7 つの VID ビット/ピン (VID6-VID0) をサポートしています。VID7 が 0 であると想定しています。これは、追加のハードウェアを必要とすることなく、VRD10 と VRD11 をサポートするための推奨動作モードです。
11	VRD11 モード 2	Intel の VRD11 仕様をサポートしています。このモードは、分解能 12.5mV で、0.0375V~1.600V の電圧範囲を持ち、7 つの VID ビット/ピン (VID7-VID1) をサポートしています。VID0 が 0 であると想定しています。このモードでは、VRD11 について 0.83125V 未満の電圧レベルを測定しますが、同時に VRD10 動作をサポートするために追加ハードウェアが必要になります。

アプリケーション ノート: いずれかの PWM 出力が 22.5kHz に構成されている場合、スマート タコメータ モードの有効化はサポートされません。この構成がプログラムされている場合、デバイスの動作は未定義です。スマート タコメータ モードが有効な場合、レジスタ E0h 特殊機能 TACH と PWM のバインディングを設定する必要があります。

6.4.13.3 レジスタ BEh GPI/VID レベル制御

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
BEh	R/W	GPI/VID レベル制御	GPI7 _LVL	GPI6 _LVL	GPI5 _LVL	GPI4 _LVL	GPI9 _LVL	GPI8 _LVL	P2_VID _LVL	P1_VID _LVL	00h

ビット	名称	R/W	説明
0	P1_VID_LVL	R/W	設定されている場合、P1_VIDx 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
1	P2_VID_LVL	R/W	設定されている場合、P2_VIDx 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
2	GPI8_LVL	R/W	VRD10 モードのときに設定されている場合、GPI_8 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
3	GPI9_LVL	R/W	VRD10 モードのときに設定されている場合、GPI_9 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
4	GPI4_LVL	R/W	設定されている場合、GPIO4 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
5	GPI5_LVL	R/W	設定されている場合、GPIO5 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
6	GPI6_LVL	R/W	設定されている場合、GPIO6 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。
7	GPI7_LVL	R/W	設定されている場合、GPIO7 入力は低い V _{IH} レベルと V _{IL} レベルを交互に使用します。

正確な V_{IH} レベルと V_{IL} レベルについては、「[セクション 5.3](#)」を参照してください。

6.4.13.4 レジスタ BFh PWM ランプ制御

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
BFh	R/W	PWM ランプ制御	PH_RAMP				VRD_RAMP				00h

ビット	名称	R/W	説明
3:0	VRD_RAMP	R/W	VRDx_HOT ランプアップ / ランプダウン PWM 機能のランプ ステップ間の時間遅延を設定します。

ビット	名称	R/W	説明
7:4	PH_RAMP	R/W	Px_PROCHOT ランプアップ / ランプダウン PWM 機能のランプ ステップ間の時間遅延を設定します。

ステップ間の時間遅延が 0ms に設定されている場合、PWM デューティ サイクルは徐々にランプアップするのではなく、直ちに 100% になります。

VRD_RAMP または PH_RAMP	ランプ ステップ間の 時間遅延
0h	0 ms
1h	50 ms
2h	100 ms
3h	150 ms
4h	200 ms
5h	250 ms
6h	300 ms
7h	350 ms
8h	400 ms
9h	450 ms
Ah	500 ms
Bh	550 ms
Ch	600 ms
Dh	650 ms
Eh	700 ms
Fh	750 ms

6.4.13.5 レジスタ C0h ファン昇圧ヒステリシス (ゾーン 1/2)

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C0h	R/W	ファン昇圧 ヒステリシ ス (ゾーン 1/2)	H2				H1				44h

ビット	名称	R/W	説明
3:0	H1	R/W	ゾーン 1a およびゾーン 1b のファン昇圧ヒステリシスを設定し、分解能は 1°C です。
7:4	H2	R/W	ゾーン 2a およびゾーン 2b のファン昇圧ヒステリシスを設定し、分解能は 1°C です。

温度ゾーンがファン昇圧温度を上回り、その後ファン昇圧温度を下回った場合、温度がファン昇圧温度を一定量下回るまで、PWM 出力は 100% のままとなります。これらのヒステリシス レジスタはこの量を制御し、0°C ~ 15°C の範囲で設定できます (符号なし)。

6.4.13.6 レジスタ C1h ファン昇圧ヒステリシス (ゾーン 3/4)

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C1h	R/W	ファン昇圧 ヒステリシ ス (ゾーン 3/4)	H4				H3				44h

ビット	名称	R/W	説明
3:0	H3	R/W	ゾーン 3 のファン昇圧ヒステリシスを設定し、分解能は 1°C です。
7:4	H4	R/W	ゾーン 4 のファン昇圧ヒステリシスを設定し、分解能は 1°C です。

温度ゾーンがファン昇圧温度を上回り、その後ファン昇圧温度を下回った場合、温度がファン昇圧温度を一定量下回るまで、PWM 出力は 100% のままとなります。これらのヒステリシスレジスタはこの量を制御し、0°C～15°Cの範囲で設定できます (符号なし)。

6.4.13.7 レジスタ C2h ゾーン 1/2 スパイク平滑化制御

レジスタアドレス	読み出し / 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
C2h	R/W	ゾーン 1/2 スパイク平滑化制御	ZN2E	ZN2			ZN1E	ZN1			00h

ビット	名称	R/W	説明
2:0	ZN1	R/W	ゾーン 1a とゾーン 1b のスパイク平滑化特性を構成します。
3	ZN1E	R/W	設定されている場合、ゾーン 1a とゾーン 1b のフィルタ温度が、フィルタなし温度の代わりに、制限チェックと自動ファン制御の両方に使用されます。このビットがクリアされている場合でも、フィルタ温度は、フィルタ温度レジスタからソフトウェアで読み出しできます。
6:4	ZN2	R/W	ゾーン 2a とゾーン 2b のスパイク平滑化特性を構成します。
7	ZN2E	R/W	設定されている場合、ゾーン 2a とゾーン 2b のフィルタ温度が、フィルタなし温度の代わりに、制限チェックと自動ファン制御の両方に使用されます。このビットがクリアされている場合でも、フィルタ温度は、フィルタ温度レジスタからソフトウェアで読み出しできます。

REMOTE1 ピンまたは REMOTE2 ピンがすべてプロセッサやチップセットに接続されている場合、LM94 によって瞬間的な温度スパイクがサンプリングされることがあります。このようなスパイクが放置されると、PWM 出力によりファンが早期にオンになり、不快なノイズが発生する可能性があります。また、誤エラー イベントが発生する可能性があります。このため、チップセットやプロセッサに接続されているゾーンではスパイク平滑化を有効にする必要があります。スパイク平滑化により、 $\Sigma\Delta$ A/D 固有の平均化よりもさらに上の追加のフィルタリングが行われます。

スパイク平滑化が有効になっている場合、温度読み出しレジスタは、フィルタ値ではなく、現在の温度値を反映します。フィルタ温度レジスタだけが、フィルタ値を反映します。

ZN1 または ZN2	スパイク平滑化の時間
0h	11.8 秒
1h	7.0 秒
2h	4.4 秒
3h	3.0 秒
4h	1.6 秒
5h	0.8 秒
6h	0.6 秒
7h	0.4 秒

6.4.13.8 レジスタ C3h LUT 1/2 MinPWM およびヒステリシス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C3h	R/W	LUT 1/2 MinPWM および ヒステリシ ス	MinPWM12				LUT_FC_TH12				00h

ビット	名称	R/W	説明
3:0	LUT_FC_TH12	R/W	このフィールドは、LUT 1 および LUT 2 の自動ファン制御で使用されるヒステリシスの大きさ (°C) を設定します。ルックアップ テーブル内の 2 つのステップ間の不要な振動を避けるため、0 以上の値に設定する必要があります。このフィールドの分解能は、特殊機能制御 2 レジスタのビット 4 で制御されます。
7:4	MinPWM12	R/W	このフィールドは、特定のゾーンの温度が、割り当てられた LUT にプログラムされた基準温度を下回った場合に、自動ファン制御が LUT 1 および LUT 2 に対して要求するデューティサイクルを決定します。16 個の値を受け入れて、そのうち 13 個は自動ファン制御のセクション 6.2.18.2 の表に従ってデューティサイクルにマッピングされます。

6.4.13.9 レジスタ C4h LUT 3/4 MinPWM およびヒステリシス

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C4h	R/W	LUT 3/4 MinPWM および ヒステリシ ス	MinPWM34				LUT_FC_TH34				00h

ビット	名称	R/W	説明
3:0	LUT_FC_TH34	R/W	このフィールドは、LUT 3 と LUT 4 の自動ファン制御で使用されるヒステリシスの大きさ (°C) を設定します。ルックアップ テーブル内の 2 つのステップ間の不要な振動を避けるため、0 以上の値に設定する必要があります。このフィールドの分解能は、特殊機能制御 2 レジスタのビット 5 で制御されます。
7:4	MinPWM34	R/W	このフィールドは、特定のゾーンの温度が、割り当てられた LUT にプログラムされた基準温度を下回った場合に、自動ファン制御が LUT 3 および LUT 4 に対して要求するデューティサイクルを決定します。16 個の値を受け入れて、そのうち 13 個は自動ファン制御のセクション 6.2.18.2 の表に従ってデューティサイクルにマッピングされます。

6.4.13.10 レジスタ C5h GPO

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C5h	R/W	GPO	GPO7	GPO6	GPO5	GPO4	GPO3	GPO2	GPO1	GPO0	00h

ビット	名称	R/W	説明
0	GPO0	R/W	設定されている場合、GPIO_0 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_0 が入力として使用されている場合、このビットは 0 である必要があります。
1	GPO1	R/W	設定されている場合、GPIO_1 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_1 が入力として使用されている場合、このビットは 0 である必要があります。
2	GPO2	R/W	設定されている場合、GPIO_2 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_2 が入力として使用されている場合、このビットは 0 である必要があります。

ビット	名称	R/W	説明
3	GPO3	R/W	設定されている場合、GPIO_3 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_3 が入力として使用されている場合、このビットは 0 である必要があります。
4	GPO4	R/W	設定されている場合、GPIO_4 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_4 が入力として使用されている場合、このビットは 0 である必要があります。
5	GPO5	R/W	設定されている場合、GPIO_5 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_5 が入力として使用されている場合、このビットは 0 である必要があります。
6	GPO6	R/W	設定されている場合、GPIO_6 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_6 が入力として使用されている場合、このビットは 0 である必要があります。
7	GPO7	R/W	設定されている場合、GPIO_7 が Low にプルされます。クリアされた場合、出力は Low にプルされません。GPIO_7 が入力として使用されている場合、このビットは 0 である必要があります。

6.4.13.11 レジスタ C6h PROCHOT 制御

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
C6h	R/W	PROCHOT オーバーライド	FORCE_P1	FORCE_P2	P2_VRD2_DIS	P1_VRD1_DIS	PHT_DC				00h

ビット	名称	R/W	説明
3:0	PHT_DC	R/W	PROCHOT デューティ サイクル選択
4	P1_VRD1_DIS	R/W	このビットがソフトウェアによって設定されている場合、P1_VRD_HOT がアサートされているときに P1_PROCHOT はアサートされません。
5	P2_VRD2_DIS	R/W	このビットがソフトウェアによって設定されている場合、P2_VRD_HOT がアサートされているときに P2_PROCHOT はアサートされません。
6	FORCE_P1	R/W	このビットがソフトウェアによって設定されている場合、P1_PROCHOT は、PHT_DC で選択されたデューティ サイクルで LM94 によってアサートされます。
7	FORCE_P2	R/W	このビットがソフトウェアによって設定されている場合、P2_PROCHOT は、PHT_DC で選択されたデューティ サイクルで LM94 によってアサートされます。

P1P2_PROCHOT ビットが Px_PROCHOT ピンを互いに短絡するように設定されている場合、FORCE_Px ビットが 1 つだけ設定されていても、両方の Px_PROCHOT 出力が一緒に駆動されることに注意してください。

Px_PROCHOT で駆動される PWM 信号の周期は 3.56ms (内部 22.5kHz クロックで 80 個) です。アサート時間は、5 クロックごとに増やすことができます。5 クロックは約 220µs で、これは 6.25% のスロットリングを表します。

PHT_DC の設定:

PHT_DC	アサート周期
0h	5 クロック
1h	10 クロック
2h	15 クロック
3h	20 クロック
4h	25 クロック
5h	30 クロック
6h	35 クロック
7h	40 クロック

PHT_DC	アサート周期
8h	45 クロック
9h	50 クロック
Ah	55 クロック
Bh	60 クロック
Ch	65 クロック
Dh	70 クロック
Eh	75 クロック
Fh	80 クロック

6.4.13.12 レジスタ C7h PROCHOT 時間間隔

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C7h	R/W	PROCHOT 時間 間隔	P2_TI				P1_TI				11h

ビット	名称	R/W	説明
3:0	P1_TI	R/W	P1_PROCHOT 監視間隔を設定します。
7:4	P2_TI	R/W	P2_PROCHOT 監視間隔を設定します。

P1_TI および P2_TI の設定:

P1_TI または P2_TI	監視時間間隔 (秒)
0h	0.73
1h	1.46
2h	2.9
3h	5.8
4h	11.7
5h	23.3
6h	46.6
7h	93.2
8h	186
9h	372
Ah–Fh	予約済み

PROCHOT 測定実行中にこの値を変更すると、監視回路が誤った値を生成する可能性があることに注意してください。アラートや無効な B_Px_PROCHOT または B_Px_PROCHOT のエラー ステータス値を回避するには、チップが S3 または S4/5 にプログラムされている間のみ、この値を変更してください。

6.4.13.13 レジスタ C8h PROCHOT 制御 1

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C8h	R/W	PWM1 制御 1	VRD2	VRD1	PH2	PH1	LUT4	LUT3	LUT2	LUT1	00h

ビット	名称	R/W	説明
0	LUT1	R/W	設定されている場合、PWM1 は LUT 1 にバインディングされます。
1	LUT2	R/W	設定されている場合、PWM1 は LUT 2 にバインディングされます。
2	LUT3	R/W	設定されている場合、PWM1 は LUT 3 にバインディングされます。
3	LUT4	R/W	設定されている場合、PWM1 は LUT 4 にバインディングされます。
4	PH1	R/W	設定されている場合、PWM1 は P1_PROCHOT にバインディングされます。
5	PH2	R/W	設定されている場合、PWM1 は P2_PROCHOT にバインディングされます。
6	VRD1	R/W	設定されている場合、PWM1 は VRD1_HOT1 にバインディングされます。
7	VRD2	R/W	設定されている場合、PWM1 は VRD1_HOT2 にバインディングされます。

このレジスタは、PWM1 を複数の異なる制御ソースにバインディングできます。温度ゾーンは、テーブル ルックアップ機能を使用して PWM デューティ サイクルを制御します。Px_PROCHOT 入力と VRDx_HOT 入力は、ランプアップ / ランプダウン機能を使用して PWM を制御します。複数の制御ソースが PWM1 にバインディングされている場合、要求されている最大のデューティ サイクルが使用されます。

6.4.13.14 レジスタ C9h PWM1 制御 2

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
C9h	R/W	PWM1 制御 2	OVR_DC				PPL	EPPL	INV	OVR	00h

ビット	名称	R/W	説明
0	OVR	R/W	設定されている場合、PWM1 の手動デューティ サイクル オーバーライドを有効にします。
1	INV	R/W	PWM1 出力を反転します。0 の場合、デューティ サイクルが 100% のときは PWM 出力が連続的に High になります。1 の場合、デューティ サイクルが 100% のときは PWM 出力が連続的に Low になります。
2	EPPL	R/W	PROCHOT PWM1 ロックを有効にします。設定されている場合、このビットにより、PWM1 でバインディングされた PROCHOT イベントが発生して、PPL (ビット [3]) がトリガされます。クリアされている場合、PPL は設定されません。
3	PPL	R/W	PROCHOT PWM1 ロック。設定されている場合、このビットは、EPPL (ビット [2]) が設定されている間にバインディングされた PROCHOT イベントが発生したため、PWM1 が現在 100% に保持されていることを示します。このビットは、0 を書き込むことでクリアされます。このビットをクリアすると、ファンは通常動作に戻ります。このビットは、LM94 構成レジスタの LOCK ビットではロックされません。
7:4	OVR_DC	R/W	このフィールドは、手動低分解能オーバーライド モードがアクティブな場合は常に、PWM1 が使用するデューティ サイクルを設定します。このフィールドでは、「セクション 6.2.18」セクションの表に従ってデューティ サイクルにマッピングされた 16 個の値を受け入れます。このレジスタが読み出されるたびに、オーバーライド モードがアクティブかどうかに関係なく、PWM1 が現在使用しているデューティ サイクルが返されます。別の制御ソースがより高いデューティ サイクルを要求している場合、読み出された値は最後に書き込まれた値と一致しないことがあります。このフィールドは、PWM1 スピンアップ サイクルがアクティブなときに常に 0h を返します。

6.4.13.15 レジスタ CAh PWM1 制御 3

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
CAh	R/W	PWM1 制御 3	SU_DUR[2:0]			SU_DUR[3]	SU_DC			00h	

ビット	名称	R/W	説明
3:0	SU_DC	R/W	このフィールドは、PWM1 にスピナップ サイクルが発生したときに常に使用されるデューティサイクルを設定します。このフィールドでは、「セクション 6.2.18.2」セクションの表に従ってデューティサイクルにマッピングされた 16 個の値を受け入れます。このフィールドを 0h に設定すると、スピナップは実質的に無効になります。
4	SU_DUR[3]	R/W	PWM1 のスピナップ時間を設定する最上位ビット。
7:0	SU_DUR[2:0]	R/W	PWM1 のスピナップ時間を設定する最下位ビット。

ビット 7～ビット 4 はスピナップ時間を構成します。PWM1 のデューティサイクルがゼロからゼロ以外の値に変化すると、指定された時間だけスピナップシーケンスがアクティブになります。使用可能な設定は、以下の表に従って定義されます。

SU_DUR[3] (ビット 4)	SU_DUR[2:0] (ビット [7:5])	スピナップ時間
0	0h	スピナップ無効
0	1h	100 ミリ秒
0	2h	250 ミリ秒
0	3h	400 ミリ秒
0	4h	700 ミリ秒
0	5h	1s
0	6h	2 秒
0	7h	4 秒
1	0h	6 秒
1	1h	8 秒
1	2h	10 秒
1	3h	12 秒
1	4h	14 秒
1	5h	16 秒
1	6h	18 秒
1	7h	20 秒

6.4.13.16 レジスタ CBh PWM1 制御 4

レジスタアドレス	読み出し/書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト値
CBh	R/W	PWM1 制御 4	RES	RES	RES	RES	HF_LUT_MAP	FREQ1			00h

ビット	名称	R/W	説明
2:0	FREQ1	R/W	PWM1 周波数制御。この値を設定すると、以下の表に従って PWM1 出力の周波数が制御されます。
3	HF_LUT_MAP	R/W	PWM 周波数が 22.5kHz に設定されている場合、LUT での PWM デューティサイクルの割り当てに対して、2 つの異なるマップから選択します。LUT 4 つ、VRD ランプ、PROCHOT ランプ、スピナップ、低分解能オーバーライドはすべて、このビットの影響を受けます。このビットが設定されている場合、LUT デューティサイクルの割り当ては 25% から 6.25% 単位で増加します。このビットがクリアされている場合、デューティサイクルのマッピングは低周波数の表と一致します。PWM 周波数が 22.5kHz 以外に設定されている場合、このビットによる影響はなく、低 PWM 周波数マッピングが使用されます。
7:4	RES	R	予約済み

FREQ1	PWM1 の 周波数 (Hz)
0h	22500
1h	96
2h	84
3h	72
4h	60
5h	48
6h	36
7h	12

表 6-13. HF_LUT_MAP ビットで制御される時の PWM 周波数 = 22.5kHz での LLUT 1-4 デューティ サイクルの割り当て

HF_LUT_MAP = 0 のときの LUT デューティサイクルの割り当て		HF_LUT_MAP = 1 のときの LUT デューティサイクルの割り当て (低 PWM 周波数マッピング)	
LUT ステップ	デューティ サイクル (%)	LUT ステップ	デューティ サイクル (%)
1	25	1	25
2	31.25	2	28.57
3	37.5	3	32.14
4	43.75	4	35.71
5	50	5	39.29
6	56.25	6	42.86
7	62.25	7	46.43
8	68.75	8	50
9	75	9	53.57
10	81.25	10	57.14
11	87.5	11	71.43
12	93.75	12	85.71
13	100	13	100

6.4.13.17 レジスタ CCh PWM2 制御 1

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
CCh	R/W	PWM2 制御 1	VRD2	VRD1	PH2	PH1	LUT4	LUT3	LUT2	LUT1	00h

ビット	名称	R/W	説明
0	LUT1	R/W	設定されている場合、PWM2 は LUT 1 にバインディングされます。
1	LUT2	R/W	設定されている場合、PWM2 は LUT 2 にバインディングされます。
2	LUT3	R/W	設定されている場合、PWM2 は LUT 3 にバインディングされます。
3	LUT4	R/W	設定されている場合、PWM2 は LUT 4 にバインディングされます。
4	PH1	R/W	設定されている場合、PWM2 は P1_PROCHOT にバインディングされます。
5	PH2	R/W	設定されている場合、PWM2 は P2_PROCHOT にバインディングされます。
6	VRD1	R/W	設定されている場合、PWM2 は VRD1_HOT にバインディングされます。
7	VRD2	R/W	設定されている場合、PWM2 は VRD2_HOT にバインディングされます。

このレジスタは、PWM2 を複数の異なる制御ソースにバインディングできます。温度ゾーンは、テーブル ルックアップ機能を使用して PWM デューティ サイクルを制御します。Px_PROCHOT 入力と V_{RDx_HOT} 入力は、ランプアップ / ランプダウン機能を使用して PWM を制御します。複数の制御ソースが PWM2 にバインディングされている場合、要求されている最大のデューティ サイクルが使用されます。

6.4.13.18 レジスタ CDh PWM2 制御 2

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
CDh	R/W	PWM2 制御 2	OVR_DC				PPL	EPPL	INV	OVR	00h

ビット	名称	R/W	説明
0	OVR	R/W	設定されている場合、PWM2 の手動デューティ サイクル オーバーライドを有効にします。
1	INV	R/W	PWM1 出力を反転します。0 の場合、デューティ サイクルが 100% のときは PWM 出力が連続的に High になります。1 の場合、デューティ サイクルが 100% のときは PWM 出力が連続的に Low になります。
2	EPPL	R/W	PROCHOT PWM2 ロックを有効にします。設定されている場合、このビットにより、PWM2 でバインディングされた PROCHOT イベントが発生して、PPL (ビット [3]) がトリガされます。クリアされている場合、PPL は設定されません。
3	PPL	R/W	PROCHOT PWM2 ロック。設定されている場合、このビットは、EPPL (ビット [2]) が設定されている間にバインディングされた PROCHOT イベントが発生したため、PWM2 が現在 100% に保持されていることを示します。このビットは、0 を書き込むことでクリアされます。このビットをクリアすると、ファンは通常動作に戻ります。このビットは、LM94 構成レジスタの LOCK ビットではロックされません。
7:4	OVR_DC	R/W	このフィールドは、手動低分解能オーバーライド モードがアクティブな場合は常に、PWM2 が使用するデューティ サイクルを設定します。このフィールドでは、「 セクション 6.2.18 」セクションの表に従ってデューティ サイクルにマッピングされた 16 個の値を受け入れます。このレジスタが読み出されるたびに、オーバーライド モードがアクティブかどうかに関係なく、PWM2 が現在使用しているデューティ サイクルが返されます。別の制御ソースがより高いデューティ サイクルを要求している場合、読み出された値は最後に書き込まれた値と一致しないことがあります。このフィールドは、PWM2 スピンアップ サイクルがアクティブなときに常に 0h を返します。

6.4.13.19 レジスタ CEh PWM2 制御 3

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
CEh	R/W	PWM2 制御 3	SU_DUR[2:0]			SU_DUR[3]	SU_DC			00h	

ビット	名称	R/W	説明
3:0	SU_DC	R/W	このフィールドは、PWM2 にスピンアップ サイクルが発生したときに常に使用されるデューティ サイクルを設定します。このフィールドでは、「 セクション 6.2.18.2 」セクションの自動ファン制御の表に従ってデューティ サイクルにマッピングされる 16 個の値を受け入れます。このフィールドを 0h に設定すると、スピンアップは実質的に無効になります。
4	SU_DUR[3]	R/W	PWM2 のスピンアップ時間を設定する最上位ビット。
7:5	SU_DUR[2:0]	R/W	PWM2 のスピンアップ時間を設定する最下位ビット。

ビット 7～ビット 4 はスピンアップ時間を構成します。PWM2 のデューティ サイクルがゼロからゼロ以外の値に変化すると、指定された時間だけスピンアップ シーケンスがアクティブになります。使用可能な設定は、以下の表に従って定義されます。

SU_DUR[3] (ビット 4)	SU_DUR[2:0] (ビット [7:5])	スピンアップ時間
0	0h	スピンアップ無効

SU_DUR[3] (ビット 4)	SU_DUR[2:0] (ビット [7:5])	スピニングアップ時間
0	1h	100 ms
0	2h	250 ms
0	3h	400 ms
0	4h	700 ms
0	5h	1s
0	6h	2s
0	7h	4s
1	0h	6s
1	1h	8s
1	2h	10s
1	3h	12s
1	4h	14s
1	5h	16s
1	6h	18s
1	7h	20s

6.4.13.20 レジスタ CFh PWM2 制御 4

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
CFh	R/W	PWM2 制御 4	RES	RES	RES	RES	HF_LUT _MAP	FREQ2			00h

ビット	名称	R/W	説明
2:0	FREQ2	R/W	PWM2 周波数制御。PWM1 制御 4 レジスタの FREQ1 と同じ方法で、PWM2 出力の周波数を制御します。
3	HF_LUT_MAP	R/W	PWM 周波数が 22.5kHz に設定されている場合、LUT での PWM デューティサイクルの割り当てに対して、2 つの異なるマップから選択します。LUT 4 つ、VRD ランプ、PROCHOT ランプ、スピニングアップ、低分解能オーバーライドはすべて、このビットの影響を受けます。このビットがクリアされている場合、LUT デューティサイクルの割り当ては 25% から 6.25% 単位で増加します。このビットが設定されている場合、デューティサイクルのマップは低周波数の表と一致します。PWM 周波数が 22.5kHz 以外に設定されている場合、このビットによる影響はなく、低 PWM 周波数マッピングが使用されます。
7:4	RES	R	予約済み

FREQ1	PWM1 の 周波数 (Hz)
0h	22500
1h	96
2h	84
3h	72
4h	60
5h	48
6h	36
7h	12

表 6-14. HF_LUT_MAP ビットで制御されるときの PWM 周波数 = 22.5kHz での LLUT 1-4 デューティ サイクルの割り当て

HF_LUT_MAP = 0 のときの LUT デューティサイクルの割り当て		HF_LUT_MAP = 1 のときの LUT デューティサイクルの割り当て (低 PWM 周波数マッピング)	
LUT ステップ	デューティ サイクル (%)	LUT ステップ	デューティ サイクル (%)
1	25	1	25
2	31.25	2	28.57
3	37.5	3	32.14
4	43.75	4	35.71
5	50	5	39.29
6	56.25	6	42.86
7	62.25	7	46.43
8	68.75	8	50
9	75	9	53.57
10	81.25	10	57.14
11	87.5	11	71.43
12	93.75	12	85.71
13	100	13	100

6.4.13.21 レジスタ D0h–D3h LUT 1~LUT 4 基準温度

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
D0h	R/W	LUT 1 基 準 温度	7	6	5	4	3	2	1	0	00h
D1h	R/W	LUT 2 基 準 温度	7	6	5	4	3	2	1	0	00h
D2h	R/W	LUT 3 基 準 温度	7	6	5	4	3	2	1	0	00h
D3h	R/W	LUT 4 基 準 温度	7	6	5	4	3	2	1	0	00h

このレジスタの値は、自動ファン制御ルックアップ テーブルの温度計算の基準として使用されます。これらのレジスタは、標準の温度形式 (8 ビットの符号付きデータ) を使用します。ルックアップ テーブルには、温度オフセットが含まれます。これらのオフセットを基準温度に追加し、自動ファン制御の各表エントリに使用する実際の温度を決定します。

6.4.13.22 レジスタ D4h–DFh ルックアップ テーブル ステップ—LUT 1/2 および LUT 3/4 オフセット温度

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
D4h	R/W	ステップ 2 温度オフ セット	LUT3/4_STEP2				LUT1/2_STEP2				00h
D5h	R/W	ステップ 3 温度オフ セット	LUT3/4_STEP3				LUT1/2_STEP3				00h
D6h	R/W	ステップ 4 温度オフ セット	LUT3/4_STEP4				LUT1/2_STEP4				00h
D7h	R/W	ステップ 5 温度オフ セット	LUT3/4_STEP5				LUT1/2_STEP5				00h
D8h	R/W	ステップ 6 温度オフ セット	LUT3/4_STEP6				LUT1/2_STEP6				00h
D9h	R/W	ステップ 7 温度オフ セット	LUT3/4_STEP7				LUT1/2_STEP7				00h
DAh	R/W	ステップ 8 温度オフ セット	LUT3/4_STEP8				LUT1/2_STEP8				00h
DBh	R/W	ステップ 9 温度オフ セット	LUT3/4_STEP9				LUT1/2_STEP9				00h
DCh	R/W	ステップ 10 温度オフ セット	LUT3/4_STEP10				LUT1/2_STEP10				00h
DDh	R/W	ステップ 11 温度オフ セット	LUT3/4_STEP11				LUT1/2_STEP11				00h

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
DEh	R/W	ステップ 12 温度オフ セット	LUT3/4_STEP12				LUT1/2_STEP12				00h
DFh	R/W	ステップ 13 温度オフ セット	LUT3/4_STEP13				LUT1/2_STEP13				00h

13 のステップ (12 のオフセット) のルックアップ テーブルが 2 つあり、1 つは LUT 1 と LUT 2 用、もう 1 つは LUT 3 と LUT 4 用です。各 8 ビットのオフセットレジスタには、LUT 1 と LUT 2 のオフセット温度と、LUT 3 と LUT 4 のオフセット温度が含まれます。オフセットの形式は 4 ビットの符号なし値で、1 LSB は 1°C または 0.5°C です。オフセット分解能は、特殊機能制御 2 レジスタ (アドレス BDh) にある LT34_RS ビットと LT12_RS ビットによって制御されます。そのため、オフセット範囲も可変で、15°C ~ 0°C または 7.5°C ~ 0°C のいずれかになります。

PWM 出力を制御するために基準温度 / ルックアップ テーブルを使用する方法の詳細については、「[セクション 6.2.18](#)」セクションを参照してください。

6.4.13.23 レジスタ E0h 特殊機能 TACH と PWM のバインディング

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E0h	R/W	特殊機能 TACH と PWM の バインディ ング	T4P2	T4P1	T3P2	T3P1	T2P2	T2P1	T1P2	T1P1	00h

ビット	名称	R/W	説明
0	T1P1	R/W	設定されている場合、TACH1 は PWM1 にバインディングされます。
1	T1P2	R/W	設定されている場合、TACH1 は PWM2 にバインディングされます。
2	T2P1	R/W	設定されている場合、TACH2 は PWM1 にバインディングされます。
3	T2P2	R/W	設定されている場合、TACH2 は PWM2 にバインディングされます。
4	T3P1	R/W	設定されている場合、TACH3 は PWM1 にバインディングされます。
5	T3P2	R/W	設定されている場合、TACH3 は PWM2 にバインディングされます。
6	T4P1	R/W	設定されている場合、TACH4 は PWM1 にバインディングされます。
7	T4P2	R/W	設定されている場合、TACH4 は PWM2 にバインディングされます。

TACH チャンネルが PWM チャンネルにバインディングされている場合、そのチャンネルの TACH エラーは、バインディングされた PWM がデューティ サイクル 0% であるか、スピナップしているときに、自動的にマスクされます。TACH チャンネルが両方の PWM 出力にバインディングされている場合の動作は定義されていません。このレジスタは、レジスタ BDh 特殊機能制御 2 でスマート タコメータ モードが有効になっている場合、およびレジスタ E1h タコメータ ファン昇圧制御でタコメータ昇圧が有効になっている場合に、設定する必要があります。

6.4.13.24 レジスタ E1h タコメータ ファン昇圧制御レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E1h	R/W	タコメータ ファン昇圧制御	RES	TBS	TBT[5:0]	3Fh					

ロック	ビット	名称	R/W	説明
X	5:0	TBT[5:0]]	R/W	タコメータ エラー ファン昇圧無効タイムアウト。63 (3Fh) に設定すると、タコメータ エラー ファン昇圧機能が無効になります (デフォルト)。63 以外の値を設定すると、タコメータ エラー ファン昇圧機能が有効になり、以下の表に従ってタイムアウトが設定されます。
	6	TBS	R/W	タコメータ昇圧ステータス: 設定されている場合、このビットはタコメータ エラー昇圧がトリガされ、現在 100% PWM を要求していることを示します。ビット [5:0] が無限タイムアウトに設定されており、タコメータ エラーが解消された場合、このビットに 0 を書き込むとタコメータ昇圧はトリガされなくなります。タコメータ エラー昇圧が無効である場合、このビットは常に 0 を返します。
	7	RES	R	予約済み

表 6-15. TBT[5:0] のタイムアウト割り当て

TBT[5:0]	タイムアウト / 機能
0	0
1	3
.	.
.	.
.	.
N	$N * 32 * 0.091$ 秒
60	175
61	178
62	無限設定 (リセットするには、ソフトウェアがこのレジスタのビット 6 をクリアする必要があります)
63	無効

6.4.13.25 レジスタ E2h LM94 ステータス制御

レジスタ アドレス	読み出し / 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E2h	R/W	LM94 ステータス / 制御	BMC_ERR	HOST_ERR	TACH_EDGE		GPI5_AM	GPI4_AM	ASF	OVRID	00h

ロック	ビット	名称	R/W	説明
	0	OVRID	R/W	このビットが設定されている場合、すべての PWM 出力が 100% デューティサイクルになります。
X	1	ASF	R/W	このビットが設定されている場合、BMC エラー レジスタは ASF をサポートし、読み出し時にリセットされます。ASF モードではない場合、BMC エラー ステータス レジスタのビットをクリアするには、1 を書き込む必要があります。
	2	GPI4_AM	R/W	GPI4 自動マスク有効 このビットが設定されている場合、GPI4 のエラー イベントによって、他のすべてのエラー イベントがマスクされます。 B_GPI エラー ステータス レジスタの GPI4_ERR ビットがクリアされるまで、BMC エラー ステータス レジスタは新しいエラー イベントを反映しません。H_GPI エラー ステータス レジスタの GPI4_ERR ビットがクリアされるまで、ホスト エラー ステータス レジスタは新しいエラー イベントを反映しません。 CPU_THERMTRIP 信号が GPIO4 に接続されている場合、CPU_THERMTRIP がアサートされると、不要なエラー イベントが発生しないようにします。
	3	GP15_AM	R/W	GPI5 自動マスク有効 このビットは GPI4_AM とまったく同じように機能しますが、GPI5 に適用されます。
	5:4	TACH_EDGE	R/W	このフィールドは、ファン タコメータ パルスの測定に使用するエッジタイプを決定します。4 つのタコメータ入力のすべてに影響します。

ロック	ビット	名称	R/W	説明
	6	HOST_ERR	R	ホスト エラー ステータス レジスタ (H_) でエラー ビットが設定されると、このビットが設定されます。
	7	BMC_ERR	R	BMC エラー ステータス レジスタ (B_) でエラー ビットが設定されると、このビットが設定されます。このビットが設定されている場合、ALERT が有効な場合にアサートされます。

TACH_EDGE	タコメータ測定に使用する エッジタイプ
0h	立ち上がりエッジと立ち下がりエッジのどちらも使用できます。
1h	立ち上がりエッジのみ
2h	立ち下がりエッジのみ
3h	予約済み

6.4.13.26 レジスタ E3h LM94 構成

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E3h	R/W	LM94 構成	READY	RES	ALERT_ COMP_ EN	P1P2_ PROCHO T	ALERT_ EN	GMSK	LOCK	START	00h

ロック	ビット	名称	R/W	説明
x	0	START	R/W	このビットが 0 の場合、LM94 は基本モードで動作します。すべてのエラー イベントがマスクされます。自動ファン制御アルゴリズムは無効です。両方の PWM は 0% に設定されています。すべての監視機能はアクティブで、値レジスタが更新されます。このビットが設定されると、エラー イベントは全体的にマスクされなくなり、自動ファン制御アルゴリズムが有効になります。ファン昇圧は、プログラムされた値を使用します。このビットを設定する前に、すべての制限レジスタと設定レジスタは、BIOS またはアプリケーション ソフトウェアによって設定されていることが求められます。
X	1	LOCK	R/W	このビットが設定されると、ロック可能と示されたすべてのレジスタとレジスタ ビットがロックされます。ロック可能なレジスタは、説明の Lock 列に x があり、設定されるとロックされます。このビットは、RESET を外部デバイスがアサートすることによってのみクリアできます。
	2	GMSK	R/W	グローバル マスク ソフトウェアでこのビットが設定されている場合、すべてのエラー イベントがマスクされます。このビットを設定しても、他のマスクレジスタや値レジスタには影響しません。
	3	ALERT_EN	R/W	このビットが設定されている場合、ALERT 出力が有効になります。このビットがクリアされた場合、ALERT 出力は無効になります。
	4	P1P2_ PROCHOT	R/W	構成によっては、両方のプロセッサを同じレートでスロットリングさせる必要がある場合があります。このビットが設定されている場合、LM94 は P1_PROCHOT を P2_PROCHOT に接続します。P1_PROCHOT と P2_PROCHOT が他の手段ですでに短絡している場合、このビットは設定しないでください。設定すると、このビットがクリアされるまで、両方の PROCHOT 信号が Low のままになります。
	5	ALERT_ COMP_EN	R/W	このビットが設定されている場合、ALERT 出力はサーマル コンパレータ モードで機能します。サーマル コンパレータ モードでは、マスクされていないサーマル エラー イベントに対してのみ ALERT がアサートされます。エラー イベントが終了すると、ALERT はただちにデアサートされます。
	6	RES	R/W	予約済み
	7	READY	R	LM94 は、すべての温度と電圧について有効なデータが収集された後、このビットを自動的に設定します。このビットが設定されるまで、ソフトウェアで温度や電圧の値を使用しないでください。

6.4.14 スリープ状態制御レジスタとマスク レジスタ

6.4.14.1 レジスタ E4h スリープ状態制御

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E4h	R/W	スリープ状 態 制御	RES						SB		03h

ビット	名称	R/W	説明
1:0	SB	R/W	スリープ状態制御。このフィールドを設定すると、システムがどのスリープ状態にあるかが LM94 に通知されます。このフィールドの状態に応じて、いくつかのエラー イベントがマスクされます。
7:2	RES	R	予約済み

SB	説明
00	スリープ状態 = S0 エラーをマスクしません。
01	スリープ状態 = S1 S1 マスクレジスタと標準 S1 マスキングに従って、エラーをマスクします。
10	スリープ状態 = S3 S3 マスクレジスタと標準 S3 マスキングに従って、エラーをマスクします。
11	スリープ状態 = S4/5 S4/5 マスクレジスタと標準 S4/5 マスクに従って、エラーをマスクします。このモードは、RESET 入力が入力されると自動的にアクティブになります。

6.4.14.2 レジスタ E5h S1 GPI マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E5h	R/W	S1 GPI マスク	GPI7_S1 _MSK	GPI6_S1 _MSK	GPI5_S1 _MSK	GPI4_S1 _MSK	GPI3_S1 _MSK	GPI2_S1 _MSK	GPI1_S1 _MSK	GPI0_S1 _MSK	FFh

ビット	名称	R/W	説明
0	GPI0_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI0 エラーがマスクされます。
1	GPI1_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI1 エラーがマスクされます。
2	GPI2_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI2 エラーがマスクされます。
3	GPI3_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI3 エラーがマスクされます。
4	GPI4_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI4 エラーがマスクされます。
5	GPI5_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI5 エラーがマスクされます。
6	GPI6_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI6 エラーがマスクされます。
7	GPI7_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で GPI7 エラーがマスクされます。

6.4.14.3 レジスタ E6h S1 タコメータ マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E6h	R/W	S1 タコメ ータ マスク	RES				TACH4_S 1 _MSK	TACH3_S 1 _MSK	TACH2_S 1 _MSK	TACH1_S 1 _MSK	0Fh

ビット	名称	R/W	説明
0	TACH1_S1_MSCK	R/W	設定されている場合、S1 スリープ状態で Tach1 エラーがマスクされます。

ビット	名称	R/W	説明
1	TACH2_S1_MSK	R/W	設定されている場合、S1 スリープ状態で Tach2 エラーがマスクされます。
2	TACH3_S1_MSK	R/W	設定されている場合、S1 スリープ状態で Tach3 エラーがマスクされます。
3	TACH4_S1_MSK	R/W	設定されている場合、S1 スリープ状態で Tach4 エラーがマスクされます。
7:4	RES	R	予約済み

6.4.14.4 レジスタ E7h S3 GPI マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E7h	R/W	S3 GPI マスク	GPI7_S3 _MSK	GPI6_S3 _MSK	GPI5_S3 _MSK	GPI4_S3 _MSK	GPI3_S3 _MSK	GPI2_S3 _MSK	GPI1_S3 _MSK	GPI0_S3 _MSK	FFh

ビット	名称	R/W	説明
0	GPI0_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPIO エラーがマスクされます。
1	GPI1_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI1 エラーがマスクされます。
2	GPI2_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI2 エラーがマスクされます。
3	GPI3_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI3 エラーがマスクされます。
4	GPI4_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI4 エラーがマスクされます。
5	GPI5_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI5 エラーがマスクされます。
6	GPI6_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI6 エラーがマスクされます。
7	GPI7_S3_MSK	R/W	設定されている場合、S3 スリープ状態で GPI7 エラーがマスクされます。

6.4.14.5 レジスタ E8h S3 タコメータ マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E8h	R/W	S3 タコメ ータ マスク	RES				TACH4_S 3 _MSK	TACH3_S 3 _MSK	TACH2_S 3 _MSK	TACH1_S 3 _MSK	0Fh

ビット	名称	R/W	説明
0	TACH1_S3_MSK	R/W	設定されている場合、S3 スリープ状態で Tach1 エラーがマスクされます。
1	TACH2_S3_MSK	R/W	設定されている場合、S3 スリープ状態で Tach2 エラーがマスクされます。
2	TACH3_S3_MSK	R/W	設定されている場合、S3 スリープ状態で Tach3 エラーがマスクされます。
3	TACH4_S3_MSK	R/W	設定されている場合、S3 スリープ状態で Tach4 エラーがマスクされます。
7:4	RES	R	予約済み

6.4.14.6 レジスタ E9h S3 温度 / 電圧マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
E9h	R/W	S3 電圧 マスク	RES				TEMP_ S3_MSK	AIN14_S3 _MSK	AIN13_S3 _MSK	AIN12_S3 _MSK	07h

ビット	名称	R/W	説明
0	AIN12_S3_MSK	R/W	設定されている場合、S3 スリープ状態で AIN12 エラーがマスクされます。
1	AIN13_S3_MSK	R/W	設定されている場合、S3 スリープ状態で AIN13 エラーがマスクされます。
2	AIN14_S3_MSK	R/W	設定されている場合、S3 スリープ状態で AIN14 エラーがマスクされます。
3	TEMP_S3_MSK	R/W	設定されている場合、S3 スリープ状態で、ゾーン 1 とゾーン 2 の温度エラーとダイオード フォルト エラーがマスクされます。

ビット	名称	R/W	説明
7:3	RES	R	予約済み

6.4.14.7 レジスタ EAh S4/5 GPI マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
EAh	R/W	S4/5 GPI マスク	GPI7 _S4/5 _MSK	GPI6 _S4/5 _MSK	GPI5 _S4/5 _MSK	GPI4 _S4/5 _MSK	GPI3 _S4/5 _MSK	GPI2 _S4/5 _MSK	GPI1 _S4/5 _MSK	GPI0 _S4/5 _MSK	FFh

ビット	名称	R/W	説明
0	GPI0_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI0 エラーがマスクされます。
1	GPI1_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI1 エラーがマスクされます。
2	GPI2_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI2 エラーがマスクされます。
3	GPI3_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI3 エラーがマスクされます。
4	GPI4_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI4 エラーがマスクされます。
5	GPI5_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI5 エラーがマスクされます。
6	GPI6_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI6 エラーがマスクされます。
7	GPI7_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で GPI7 エラーがマスクされます。

6.4.14.8 レジスタ EBh S4/5 温度 / 電圧マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
EBh	R/W	S4/5 電圧 マスク	RES				TEMP_ S4/5_MS K	AIN14_S4 /5 _MSK	AIN13_S4 /5 _MSK	AIN12_S4 /5 _MSK	07h

ビット	名称	R/W	説明
0	AIN12_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で AIN12 エラーがマスクされます。
1	AIN13_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で AIN13 エラーがマスクされます。
2	AIN14_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で AIN14 エラーがマスクされます。
3	TEMP_S4/5_MS	R/W	設定されている場合、S4/5 スリープ状態で、ゾーン 1 とゾーン 2 の温度エラーとダイオードフォルト エラーがマスクされます。
7:3	RES	R	予約済み

6.4.15 その他のマスク レジスタ

6.4.15.1 レジスタ ECh GPI エラー マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
ECh	R/W	GPI エラ ー マスク	GPI7 _MSK	GPI6 _MSK	GPI5 _MSK	GPI4 _MSK	GPI3 _MSK	GPI2 _MSK	GPI1 _MSK	GPI0 _MSK	FFh

ビット	名称	R/W	説明
0	GPI0_MS	R/W	このビットが設定されている場合、GPI0 エラー イベントがマスクされます。
1	GPI1_MS	R/W	このビットが設定されている場合、GPI1 エラー イベントがマスクされます。
2	GPI2_MS	R/W	このビットが設定されている場合、GPI2 エラー イベントがマスクされます。
3	GPI3_MS	R/W	このビットが設定されている場合、GPI3 エラー イベントがマスクされます。
4	GPI4_MS	R/W	このビットが設定されている場合、GPI4 エラー イベントがマスクされます。

ビット	名称	R/W	説明
5	GPI5_MSK	R/W	このビットが設定されている場合、GPI5 エラー イベントがマスクされます。
6	GPI6_MSK	R/W	このビットが設定されている場合、GPI6 エラー イベントがマスクされます。
7	GPI7_MSK	R/W	このビットが設定されている場合、GPI7 エラー イベントがマスクされます。

これらのビットは、B および H_GPI エラー ステータス レジスタの対応するビットをマスクするもので、GPI 状態レジスタには影響しません。

6.4.15.2 Register EDh 各種エラー マスク

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
EDh	R/W	各種 エラー マ スク	RES		DVccp2 _MSK	DVccp1 _MSK	SCSI2 _MSK	SCSI1 _MSK	VRD2 _MSK	VRD1 _MSK	3Fh

ビット	名称	R/W	説明
0	VRD1_MSK	R/W	このビットが設定されている場合、 $\overline{\text{VRD1_HOT}}$ エラー イベントがマスクされます。
1	VRD2_MSK	R/W	このビットが設定されている場合、 $\overline{\text{VRD2_HOT}}$ エラー イベントがマスクされます。
2	SCSI1_MSK	R/W	このビットが設定されている場合、 $\overline{\text{GPI8}}$ エラー イベントがマスクされます。
3	SCSI2_MSK	R/W	このビットが設定されている場合、 $\overline{\text{GPI9}}$ エラー イベントがマスクされます。
4	DVccp1_MSK	R/W	このビットが設定されている場合、AD_IN7 (CPU1) の動的 Vccp 制限エラー イベントがマスクされます。
5	DVccp2_MSK	R/W	このビットが設定されている場合、AD_IN8 (CPU2) の動的 Vccp 制限エラー イベントはマスクされます。
7:6	RES	R	予約済み

6.4.15.3 レジスタ EE および EFh ゾーン 1a およびゾーン 2a 調整レジスタ

レジスタ アドレス	読み出し/ 書き込み	レジスタ 名	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	デフォルト 値
EEh	R/W	ゾーン 1a 調整	RES	RES	Z1a_ADJUST[5:0]					00h	
EFh	R/W	ゾーン 2a 調整	RES	RES	Z2a_ADJUST[5:0]					00h	

ビット	名称	R/W	説明
5:0	Z1a_ADJUST[5:0] または Z2a_ADJUST[5:0]	R/W	6 ビット符号付き 2 の補数オフセット調整。この値は、ゾーン 1a またはゾーン 2a の温度測定時にその測定値に加算されます。LM94 のすべてのレジスタと機能は、結果として得られる温度が真の測定温度であるかのように動作します。このレジスタを使用すると、+31°C ~ -32°C の範囲でオフセットを 1°C 単位で調整できます。符号付きの 2 の補数で表されます。
7:6	RES	R	予約済み

7 アプリケーションと実装

7.1 アプリケーション情報

7.1.1 電源オン

LM94 は、デバイスに初めて電力が供給されると、 $\overline{\text{RESET}}$ でパワーオンリセット信号を生成します。

7.1.2 リセット

電源オン時に、電源電圧がパワーオンリセットのスレッシュホールドレベルを超えると、 $\overline{\text{RESET}}$ 出力がアサートされます (電気的特性を参照)。 $\overline{\text{RESET}}$ 出力はオープンドレインであるため、 V_{DD} に接続された外部プルアップ抵抗と一緒に使用する必要があります。パワーオンリセットが完了すると、 $\overline{\text{RESET}}$ ピンは入力となり、 $\overline{\text{RESET}}$ のアサートから 10 μs 後に LM94 構成レジスタの LOCK ビットがクリアされます。さらに、 $\overline{\text{RESET}}$ のアサートから 10 μs 後、スリープ制御レジスタは自動的に S4/S5 に設定されます。これにより、S4/S5 のマスキング定義に従って、いくつかのエラーイベントがマスクされます。 $\overline{\text{RESET}}$ ピンはアクティブ入力になるため、いかなるときでもフローティングのままにしないでください。フローティングのままにすると、LM94 が S4/S5 にドリフトし、予測不能な動作をする可能性があります。確実に検出できるようにするには、 $\overline{\text{RESET}}$ を 4 μs 以上アサートする必要があります。

レジスタタイプ	パワーオンリセット	外部リセット
工場レジスタ	X	
BMC エラー ステータス レジスタ	X	
ホスト エラー ステータス レジスタ	X	
値レジスタ		
制限レジスタ	X	
セットアップレジスタ	X	
LM94 構成ロックビット	X	X
LM94 構成 GMSK ビット	X (リセット)	
スリープ マスク	X	
スリープ状態制御		X
その他のマスクレジスタ	X	

他のすべてのレジスタは、パワーオンリセットや外部リセットの影響を受けません。

7.1.3 アドレス選択

LM94 は、主に監視デバイス 1 つのみを必要とするデュアル プロセッサ サーバー システムで使用するよう設計されています。

複数の LM94 デバイスを同じシステムに実装する場合、それぞれ固有の SMBus スレーブ アドレスが必要になります。詳細については、「セクション 6.3.1.1」を参照してください。

ボードの設計者は、グランドや ADDR_SEL ピンの 3.3V SB V_{DD} に 10k Ω のプルダウン抵抗やプルアップ抵抗を適用できます。LM94 は、2 つの抵抗が必要な場合に、許容誤差 5% の抵抗で動作するよう設計されています。LM94 は、デバイスとの最初の SMBus 通信時に、ADDR_SEL 入力に従って自身に SMBus アドレスを割り当てます。

アドレス選択	ボードの実装	SMBus アドレス
V_{DD} の 10% 未満	10k Ω 抵抗を介してグランドにプル	0101 100b
$\approx V_{DD}/2$	3.3V SB V_{DD} およびグランドへの 10k Ω (5%) 抵抗	0101 110b
V_{DD} の 90% 以上	10 k Ω 抵抗を介して 3.3V SB の V_{DD} にプル	0101 101b

7.1.4 デバイスのセットアップ

BIOS は次の手順を実行して、LM94 のレジスタを構成します。デフォルト値が許容範囲である場合は、すべての手順を実行する必要はありません。

制限とパラメータを設定します (必ずしもこの順序で行う必要はありません)。

- ファン制御の設定
- PWM 温度バインディングの設定
- ファン タコメータ制限の設定
- ファン昇圧温度とヒステリシスの設定
- VRD_HOT と PROCHOT の PWM ランプ制御レートの設定
- スマート タコメータ モードの有効化と、タコメータ入力と PWM のバインディング (ファンのグラウンド ピンまたは電源ピンの PWM 駆動に必要)
- 温度絶対制限の設定
- 温度ヒステリシス値の設定
- フィルタリング済み温度 / フィルタなし温度の使用設定
- ゾーン調整オフセット温度の設定
- PROCHOT オーバーライド値と時間間隔値の設定
- PROCHOT ユーザー制限の設定
- エラー イベントの THERMTRIP マスキングの有効化 (GPIO4 と GPIO5 を THERMTRIP 入力として使用する場合)
- 電圧センサ制限とヒステリシスの設定
- 動的 Vccp オフセット制限の設定
- スリープ状態の制御レジスタとマスク レジスタの設定
- その他のマスク レジスタの設定 (GPI エラー、VRDx_HOT、動的 Vccp 制限のチェック)
- スタートビットを設定してユーザー値を選択し、エラー イベントのマスクを解除
- スリープ状態を 0 に設定
- LOCK ビットを設定して制限レジスタとパラメータ レジスタをロック (オプション)

7.1.5 ラウンド ロビン電圧 / 温度変換サイクル

LM94 監視機能は、本デバイスに電源が供給されると起動します。LM94 は、以下の順序で入力のラウンド ロビン サンプルリングを実行します。ラウンド ロビンの各サイクルは 100ms 未満で完了します。

サンプリングと変換の結果は値レジスタに格納され、いつでも確認できます。

チャンネル	入力	標準的な割り当て
3	温度ゾーン 3	内部温度読み取り
1	温度ゾーン 1a	リモートダイオード 1a 温度読み取り
	温度ゾーン 1b	リモートダイオード 1b 温度読み取り (選択した場合)
2	温度ゾーン 2a	リモートダイオード 2a 温度読み取り
	温度ゾーン 2b	リモートダイオード 2b 温度読み取り (選択した場合)
4	AIN1	+12V1 (選択した場合)
5	AIN2	+12V2 (選択した場合)
6	AIN3	+12V3
7	AIN4	FSB_Vtt
8	AIN5	3GIO/PXH/MCH_Core
9	AIN6	ICH_Core
10	AIN7	CPU_1Vccp
11	AIN8	CPU2_Vccp
12	AIN9	3.3V
13	AIN10	+5V

チャンネル	入力	標準的な割り当て
14	AIN11	SCSI_Core
15	AIN12	Mem_Core
16	AIN13	Mem_Vtt
17	AIN14	GBIT_Core
18	AIN15	-12V
19	AIN16	3.3V SB V _{DD} 電源レール

7.1.6 エラー ステータス レジスタ

LM94 には BMC 側のエラー ステータス レジスタがいくつか含まれており、ホスト側にも同じエラー ステータス レジスタが複製されています。これらのレジスタは、LM94 が監視するエラー状態をすべて反映するために使用されます。

BMC / ホスト エラー ステータス レジスタは、エラー イベントの原因となっている状態が解消された場合でも、イベントがソフトウェアによってクリアされるまで、設定されたビットを保持します。

エラー ステータス レジスタのビットをクリアするには、クリアが必要な特定のビットに 1 を書き込む必要があります。エラーの原因となったイベントがすでに発生していない場合、ビットはクリアされます。

BMC エラー ステータス レジスタのビットをクリアしても、ホスト エラー ステータス レジスタの対応するビットはクリアされません。その逆も同様です。

7.1.6.1 ASF モード

エラー ステータス レジスタの機能により、LM94 は従来のセンサ (ASF 仕様 DSP0114 rev 2 の 6.1.2) として動作し、ASF 対応 NIC チップの SMBus に簡単に接続できます。

LM94 は、LM94 ステータス / 制御レジスタの適切なビットを設定することで、ASF モードに設定できます。このビットが設定されると、BMC エラー ステータス レジスタは読み出し時に自動的にクリアされるようになります。ASF モードでは、特定のビットをクリアするために 1 を書き込むこともできます。ホスト エラー ステータス レジスタが ASF モードの影響を受けることはありません。

7.1.7 マスキング、エラー ステータス、および ALERT

マスキングは常に、ホストおよび BMC のエラー ステータス レジスタのビットに適用されます。イベントがマスクされると、ホストまたは BMC のエラー ステータス レジスタの対応するエラー ビットが設定されなくなります。その結果、このイベントによって ALERT がアサートされることはなくなります。イベントが現在設定されている場合、イベントをマスクしても、関連するエラー ステータス ビットはクリアされません。

電圧エラーは、高電圧制限値 FFh を書き込むことでマスクされます。これは、すべての電圧に対するデフォルトの上限です。

温度エラーは、高温制限値 80h を書き込むことでマスクされます。これは、すべての温度に対するデフォルトの上限です。温度チャンネルをマスクすると、温度エラーとダイオード フォルト エラーの両方がマスクされます。

GPI マスク レジスタを使用すると、GPI エラーをマスクできます。このレジスタに設定されたビットは、対応する GPIO_x ピンのイベントをマスクします。

ユーザー PROCHOT ステータスは実際にはエラーではありませんが、事前設定されたユーザー制限を超えたプロセッサのスロットリングをユーザーに通知するために使用できます。ユーザー制限 FFh がこのレジスタのマスクとして機能します。事前定義された PROCHOT スレッシュホールドに関連付けられたエラー ビットは、マスクできません。ただし、これらのエラー ビットによって、いかなる条件下でも BMC_ERR、HOST_ERR、ALERT がアサートされることはないという点に注意してください。

ファン タコメータ エラーは、指定されたタコメータのタコメータ制限が FFh に設定されている場合にマスクされます。

GPI エラーと VRDx_HOT エラーは、GPI およびその他のエラー マスク レジスタの適切なビットを設定することでマスクできます。

LM94 が電源オンになると、 $\overline{\text{ALERT}}$ 出力は無効になります。 $\overline{\text{ALERT}}$ 出力は、LM94 構成レジスタの ALERT_EN ビットを設定することで有効にできます。

手動マスキング オプションに加えて、LM94 では、システムのスリープ状態に応じて一部のエラーもマスクします。システムのスリープ状態は、スリープ状態制御レジスタに書き込むことで LM94 に通知されます。一部の種類のエラーイベントは、特定のスリープ モードでは常にマスクされます。一部の種類のエラー イベントは、スリープ マスクレジスタのビットが設定されている場合、特定のスリープ モードでオプションでマスクされます。詳細については、[レジスタの説明](#)を参照してください。

7.1.8 レイアウトおよびグラウンディング

分圧器などのアナログ コンポーネントは、物理的に LM94 のできるだけ近くに配置する必要があります。サーマル ダイオードの推奨レイアウトについては、「[セクション 8.2](#)」を参照してください。

100pF、10μF (電解またはタンタル)、0.1μF (セラミック) のバイパス コンデンサを並列接続した LM94 のバイパス コンデンサは、電源ピン (ピン 39) とグラウンドの間に接続し、LM94 のできるだけ近くに配置する必要があります。100pF コンデンサは、電源ピンの直近に配置する必要があります。

7.2 代表的なアプリケーション

代表的なアプリケーションは、デュアル プロセッサ サーバーのベースボード管理です。クラウド プロセッサ ボードを管理するために LM94 が 2 つ必要になる場合もあります。以下は、デュアル プロセッサ サーバーのシステム図を示しています。

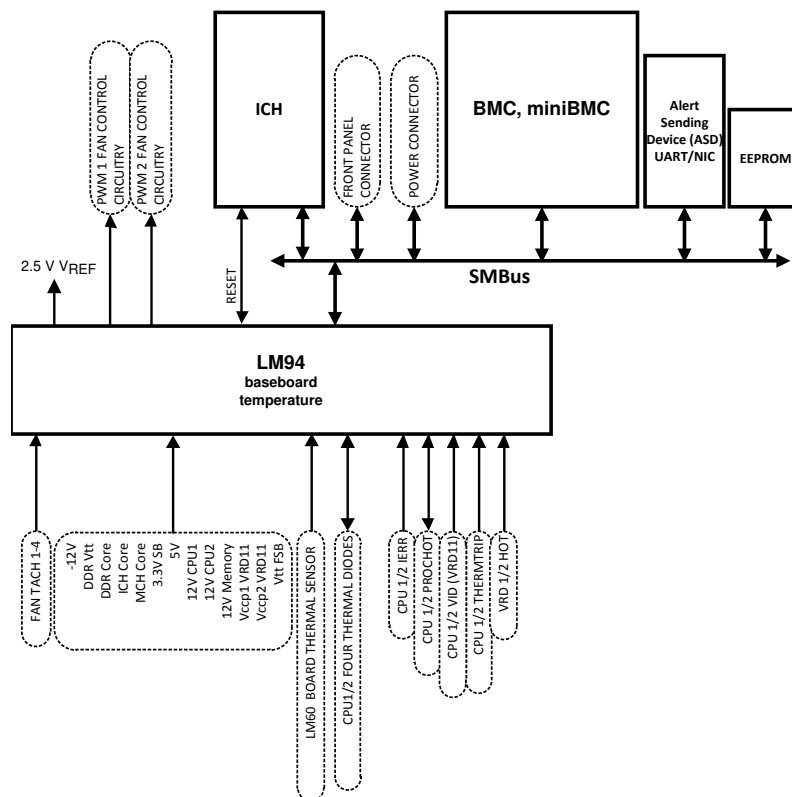


図 7-1.2 ウェイ Xeon サーバー管理

7.2.1 サーマル ダイオード アプリケーション

LM94 の外部温度を測定する際は、リモート ディスクリット ダイオードを使用して、外部の物体や周囲の温度を検出します。ディスクリット ダイオードの温度は、そのリード線の温度に影響され、多くの場合でリード線の温度によって決まります。

ほとんどのシリコン ダイオードは、この用途には適していません。コレクタをベースに接続した MMBT3904 トランジスタ タイプのベース エミッタ接合部を使用することをお勧めします。

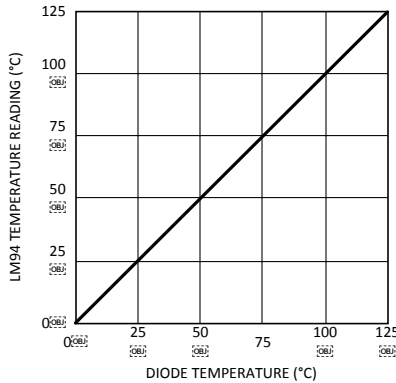


図 7-2. サーマル ダイオード温度と LM94 の温度読み取り値との関係

7.2.1.1 ダイオードの非理想性

7.2.1.1.1 ダイオードの非理想係数が精度に及ぼす影響

トランジスタがダイオードとして接続されている場合、変数 V_{BE} 、 T 、 I_F の関係は次のようになります。

$$I_F = I_S \times \left[e^{\left[\frac{V_{BE}}{\eta \times V_t} \right]} - 1 \right] \quad (10)$$

ここで

$$V_t = \frac{kT}{q} \quad (11)$$

- $q = 1.6 \times 10^{-19}$ クーロン (電子電荷)、
- $T =$ 絶対温度 (ケルビン)
- $k = 1.38 \times 10^{-23}$ ジュール/K (ボルツマン定数)、
- $\eta =$ ダイオードが製造されたプロセスの非理想係数、
- $I_S =$ 飽和電流 (プロセスに依存)、
- $I_F =$ ベース エミッタ接合部を流れる順方向電流
- $V_{BE} =$ ベース エミッタの電圧降下

アクティブ領域では、-1 項は無視できるほど小さく除去できるので、次の式が得られます。

$$I_F = I_S \left[e^{\frac{V_{be}}{\eta V_t}} \right] \quad (12)$$

式 12 で、 η と I_S はダイオードの製造に使用されたプロセスに依存します。2 つの電流を強制的に厳密に制御された比率 (I_{F2}/I_{F1}) にし、その結果得られる電圧差を測定すると、 I_S 項を除去できます。順方向電圧の差を求めると、次の関係が得られます。

$$\Delta V_{BE} = \eta \times \frac{k \times T}{q} \times \ln \left(\frac{I_{F2}}{I_{F1}} \right) \quad (13)$$

式 13 を温度を求める式にすると、次のようになります。

$$T = \frac{\Delta V_{BE} \times q}{\eta \times k \times \ln \left(\frac{I_{F2}}{I_{F1}} \right)} \quad (14)$$

MMBT3904 などのダイオード接続トランジスタを使用する場合は、式 14 が適用されます。図 7-3 に示すように、プロセッサトランジスタのような内蔵ダイオードでコレクタが GND に接続されている場合にこの式を適用すると、非理想性のばらつきが広がります。このように非理想性のばらつきが広がるのは、真のプロセスの変動によるものではなく、式 14 が近似値であるためです。

TruTherm 技術では、トランジスタ用の式 15 を使用します。これは、FPGA またはプロセッサに内蔵されているサーマルダイオードのトポロジをより正確に表現しています。

$$T = \frac{\Delta V_{BE} \times q}{\eta \times k \times \ln \left(\frac{I_{C2}}{I_{C1}} \right)} \quad (15)$$

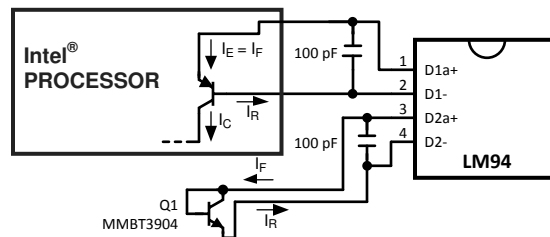


図 7-3. サーマル ダイオードの電流経路

TruTherm は、図 7-3 に示すようなプロセッサに内蔵されたトランジスタの温度を測定する場合にのみ有効にする必要があります。式 15 はこのトポロジにのみ適用されます。

7.2.1.1.2 システム全体の精度の計算

LM94 で検出される電圧には、直列抵抗の $I_F R_S$ 電圧降下も含まれます。非理想係数 η は、考慮されていない唯一の他のパラメータであり、これは測定に使用するダイオードによって異なります。 ΔV_{BE} は η と T の両方に比例するため、 η の変動と温度の変動を区別することはできません。非理想係数は温度センサで制御されないため、センサの精度を悪化させる直接要因となります。65nm プロセスの Pentium D プロセッサでは、Intel は、ダイオード用の式 14 を真として仮定した回路でプロセッサダイオードを測定した場合、 η の部品間の変動を $+4.06\%/-0.89\%$ と規定しています。たとえば、温度が 75°C (348 ケルビン) のときの温度センサの精度仕様が $\pm 2.5^\circ\text{C}$ 、プロセッサダイオードの非理想性変動が $+4.06\%/-0.89\%$ であるとすると、検出されるプロセッサ温度のシステム精度は次のようになります。

$$T_{ACC} = \pm 2.5^\circ\text{C} + (+4.06\% \text{ of } 348 \text{ K}) = +16.6^\circ\text{C} \quad (16)$$

および

$$T_{ACC} = \pm 2.5^{\circ}\text{C} + (-0.89\% \text{ of } 348 \text{ K}) = -5.6^{\circ}\text{C} \quad (17)$$

TruTherm 技術ではトランジスタ用の式 15 を使用するので、プロセスの変動を真に反映する非理想性のばらつきは非常に小さくなります。65nm プロセスの Pentium D プロセッサでは、トランジスタ式の非理想性のばらつきは $\pm 0.4\%$ です。TruTherm 技術を使用すると、結果の精度は次のように向上します。

$$T_{ACC} = \pm 2.5^{\circ}\text{C} + (\pm 0.4\% \text{ of } 348 \text{ K}) = \pm 3.9^{\circ}\text{C} \quad (18)$$

次に説明する誤差項は、サーマル ダイオードとプリント基板トレースの直列抵抗に起因するものです。サーマル ダイオードの直列抵抗は、ほとんどのプロセッサのデータシートに規定されています。65nm プロセスの Pentium D プロセッサでは、これは標準値 4.52Ω に規定されています。LM94 は、90nm プロセスの Pentium D プロセッサの標準的な直列抵抗を調整できます。考慮されていない誤差は Pentium の直列抵抗のばらつき ($2.79\Omega \sim 6.24\Omega$ または $\pm 1.73\Omega$) です。LM94 の直列抵抗 (T_{ER}) による温度誤差は、次の式で計算します。

$$T_{ER} = R_{PCB} \times 0.62^{\circ}\text{C}/\Omega \quad (19)$$

R_{PCB} が $\pm 1.73\Omega$ である場合に式 19 を計算すると、 $\pm 1.07^{\circ}\text{C}$ の直列抵抗のばらつきにより追加の誤差が発生します。誤差のばらつきを相殺するには、個別のサーマル ダイオード デバイスを測定する必要があるため、不可能です。これは非常に困難で、大量生産環境では実用的ではありません。

式 19 は、プリント基板の直列抵抗に起因する付加誤差の計算にも使用できます。PCB 直列抵抗の変動は最小限であるため、誤差項の大部分は常に正であり、LM94 の出力読み取り値からその誤差を減算するだけで相殺できます。

7.2.1.1.3 異なる非理想性の補償

非理想性によって生じる誤差を補償するため、温度センサは特定のプロセッサ用に較正されています。テキサス・インスツルメンツの温度センサは、特定のプロセッサ タイプの標準的な非理想性および直列抵抗に対して較正されています。LM94 は、2 つの非理想係数と直列抵抗値に対して較正されているため、追加トリムを必要とせず、MMBT3904 トランジスタと 65nm プロセスの Pentium D プロセッサをサポートします。最も正確な測定値を得るには、65nm プロセスの Pentium D プロセッサを測定する際は、非理想性の誤ったばらつきによる誤差を抑えるために TruTherm モードをオンにする必要があります (セクション 7.2.1.1.1 を参照)。特定のプロセッサ タイプ用に較正された温度センサを別のプロセッサ タイプに使用すると、追加の誤差が発生します。

さまざまなプロセッサ タイプの非理想性に関連する温度誤差は、ソフトウェア較正を使用することにより、特定の温度範囲で低減できます。標準的な非理想性仕様の違いにより、伝達関数のゲイン変動が発生するため、対象の温度範囲の中心を較正のターゲット温度とする必要があります。LM94 がサポートするのは異なるターゲット非理想性を補償するのに必要な温度補正係数 (T_{CF}) を計算するには、次の式を使用できます。

$$T_{CF} = [(\eta_S - \eta_{\text{Processor}}) \div \eta_S] \times (T_{CR} + 273 \text{ K}) \quad (20)$$

ここで、

- η_S = LM94 の精度仕様の非理想性
- η_T = ターゲット サーマル ダイオードの標準的な非理想性
- T_{CR} = 対象の温度範囲の中心 ($^{\circ}\text{C}$)

式 20 の補正係数は、LM94 で生成される温度読み取り値に直接追加する必要があります。たとえば、LM94 を使用し、3904 モードを選択して AMD Athlon プロセッサを測定する場合、標準的な非理想性が 1.008 であるため、温度範囲 $60^{\circ}\text{C} \sim 100^{\circ}\text{C}$ の補正係数は次のように計算されます。

$$T_{CF} = [(1.003 - 1.008) \div 1.003] \times (80 + 273) = -1.75^{\circ}\text{C} \quad (21)$$

そのため、標準的な非理想性ターゲットとの違いを補償するため、LM94 の温度読み取り値から 1.75°C を差し引く必要があります。

8 レイアウト

8.1 推奨される実装

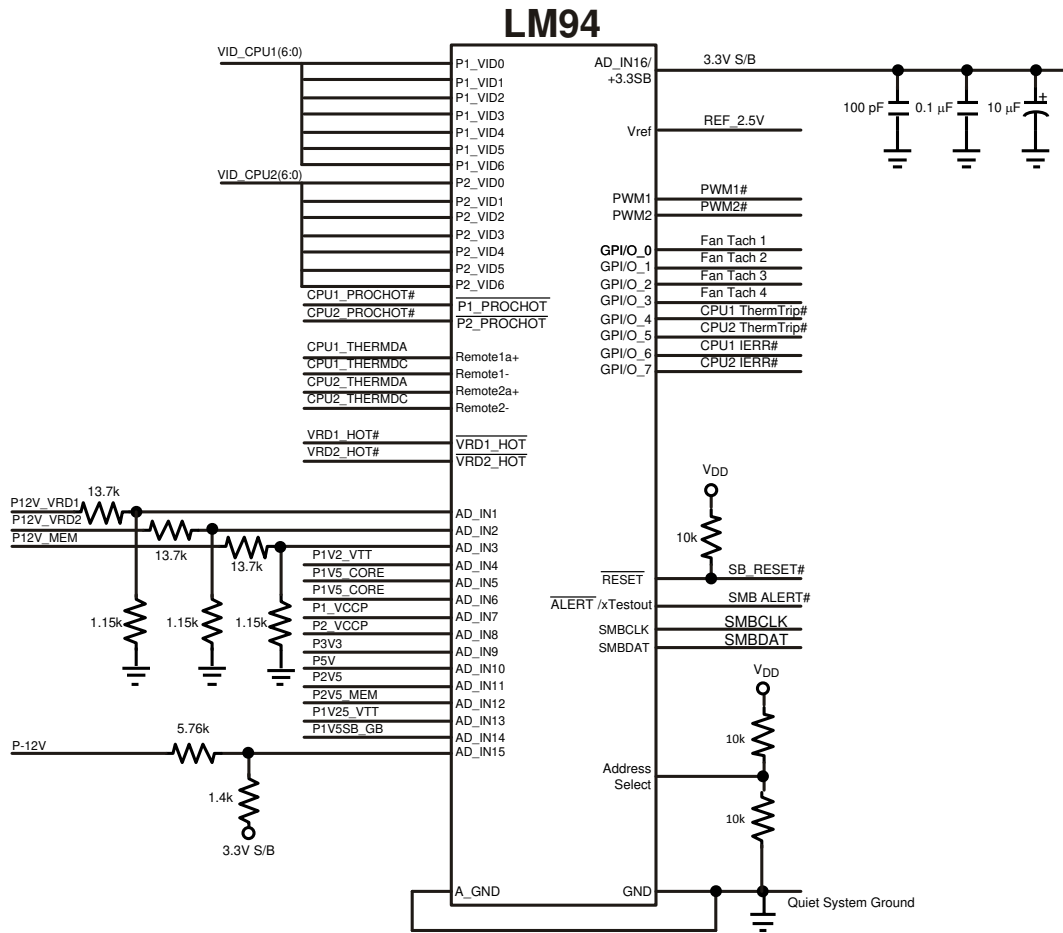
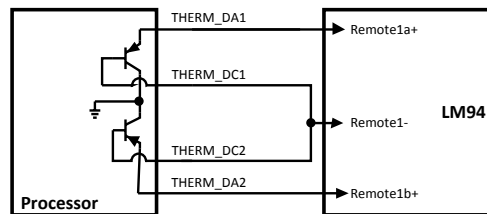


図 8-1. サーマル ダイオード接続なしの推奨される実装



注: 各サーマル ダイオードの両端に接続する 100pF コンデンサはオプションであり、使用する場合は LM94 の近くに配置する必要があります。サーマル ダイオードのピン間の最大容量は 300pF です。

図 8-2. サーマル ダイオードによる推奨される実装

8.2 ノイズを最小限に抑えるための PCB レイアウト

以下のガイドラインでは、Remote+ と Remote- は、REMOTE1a+ ピン、Remote 1b+ ピン、REMOTE1- ピン、REMOTE2a+ ピン、Remote2b+ ピン、REMOTE2- ピンを指しています。

電源のようにノイズの多い環境では、レイアウトの考慮事項は非常に重要です。リモート温度ダイオード センサと LM94 の間のトレースに起因するノイズは、温度変換誤差を引き起こす可能性があります。

以下のガイドラインに従う必要があります。

- 0.1 μ F と 100pF の LM94 電源バイパス コンデンサを、100pF コンデンサが最も近くなるように、V_{DD} ピンのできるだけ近くに配置します。10 μ F コンデンサを LM94 電源ピンの近くに配置します。
- 100pF コンデンサを、LM94 サーマル ダイオードの Remote+ ピンと Remote- ピンのできるだけ近くに配置します。100pF コンデンサまでのトレースが一致し、できるだけ短くなっていることを確認してください。このコンデンサは、高周波ノイズの誤差を最小限に抑えるために必要です。
- 1 つの Remote- ピンを共有するサーマル ダイオードは、LM94 の Remote- ピンから各ダイオードのカソードまで、別のトレースが必要です。これらの接続をデジジー チェーン接続しないでください。
- 理想としては、LM94 はサーマル ダイオードピンから 10cm 以内に配置し、トレースはできるだけまっすぐ、短く、同一形状にする必要があります。1 Ω のトレース抵抗によって、最大 1°C の誤差が発生する可能性があります。
- 可能であれば、ダイオードトレースの左右上下を GND ガードリングで囲む必要があります。この GND ガードは、Remote+ ラインと Remote- ラインの間に配置しないでください。ノイズがダイオードラインに結合する場合、両方に同じように結合する、同相になるように結合することが望ましいです。すなわち、Remote+ (D+) ラインおよび Remote- (D-) ラインの両方に均等に結合することです。(次の図を参照)

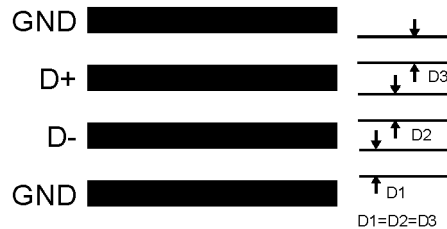


図 8-3. ダイオードトレースの推奨レイアウト

- ダイオードトレースを電源のスイッチング インダクタまたはフィルタリング インダクタの近くに配線するのは避けてください。
- ダイオードトレースを高速デジタル ラインおよびバス ラインの近く、またはそれらと並行して配線するのは避けてください。ダイオードトレースは、高速デジタルトレースから 2 cm 以上離す必要があります。
- 高速デジタルトレースを交差させる必要がある場合は、ダイオードトレースと高速デジタルトレースを 90 度の角度で交差させる必要があります。
- LM94 の GND ピンは、センス ダイオードに関連付けられているプロセッサの GND のできるだけ近くに接続するのが理想的です。プロセッサが 2 つある場合、2 つの間で最もノイズが少ないノードを選択します。
- Remote+ と GND の間のリーク電流は、最小限に抑える必要があります。ダイオード温度読み取り値の誤差は、リーク電流 30nA で 0.4°C に達する可能性があります。プリント基板をできるだけ清浄に保つことで、リーク電流を最小限に抑えることができます。一部の凍結スプレーの残留物は、高いリーク電流を引き起こす可能性があります。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

I2C® is a registered trademark of dcl_owner.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2013) to Revision D (February 2024) Page

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... **1**

Changes from Revision B (July 2010) to Revision C (March 2013) Page

- ナショナル セミコンダクターのデータシートのレイアウトをテキサス・インスツルメンツ形式に変更..... **13**

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、左側のナビゲーションを参照してください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LM94CIMTX/NOPB	ACTIVE	TSSOP	DGG	56	1000	RoHS & Green	SN	Level-2-260C-1 YEAR	0 to 100	LM94CIMT	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM94CIMTX/NOPB	TSSOP	DGG	56	1000	330.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM94CIMTX/NOPB	TSSOP	DGG	56	1000	356.0	356.0	45.0

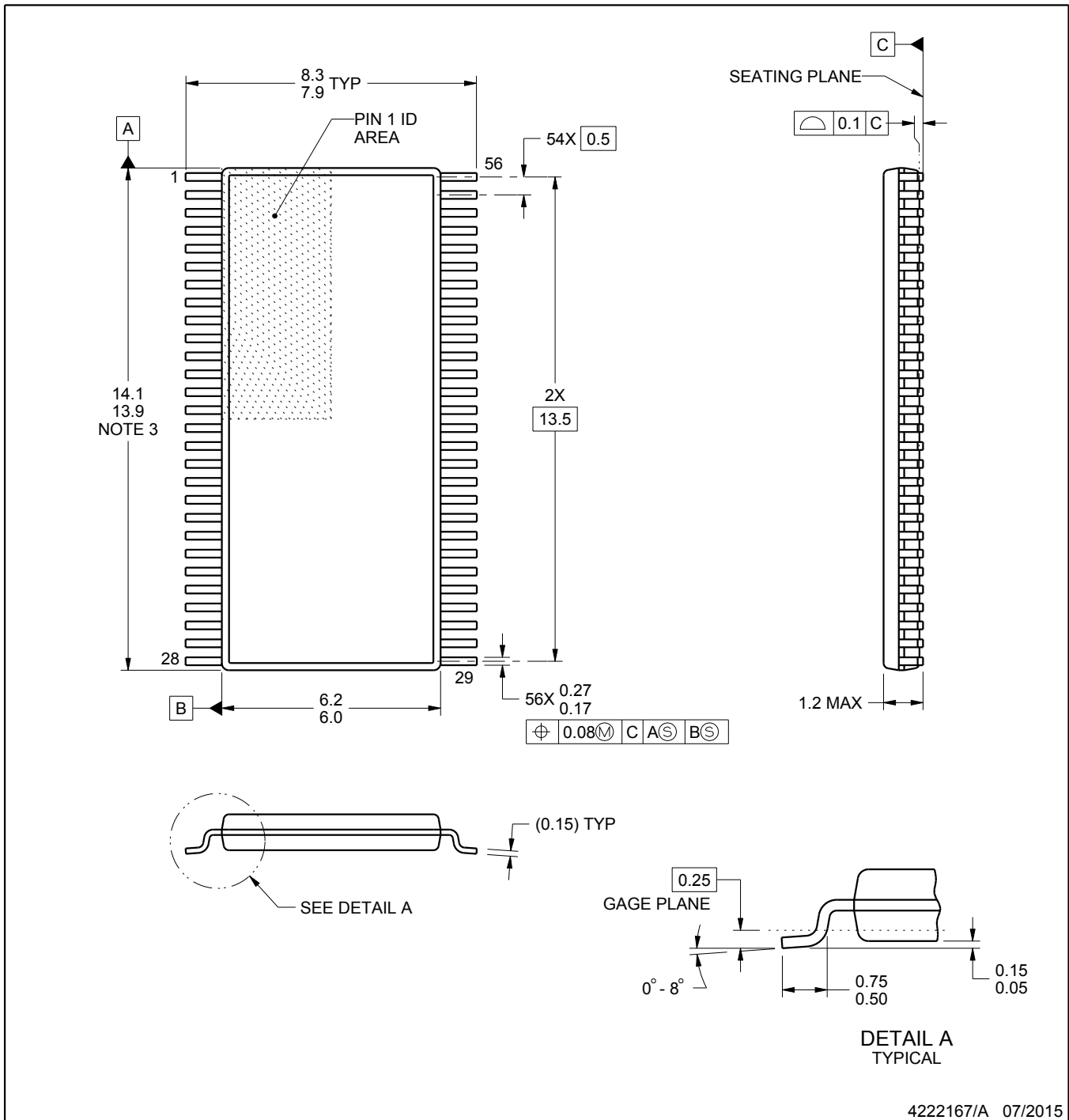
DGG0056A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4222167/A 07/2015

NOTES:

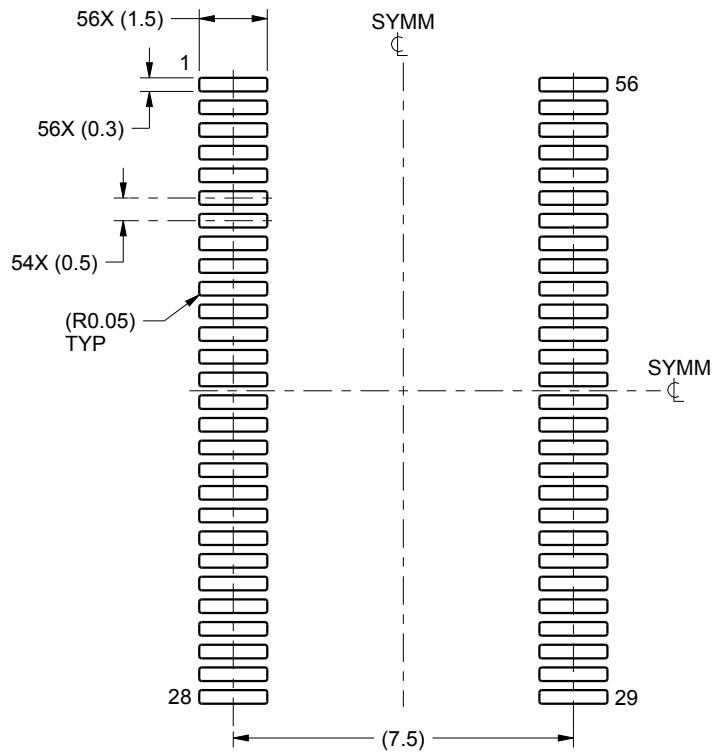
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

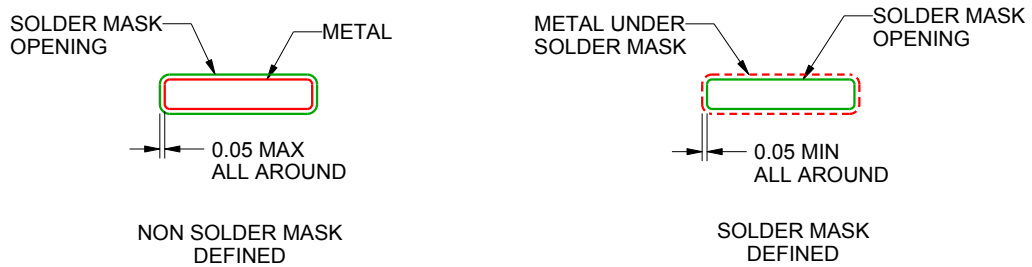
DGG0056A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4222167/A 07/2015

NOTES: (continued)

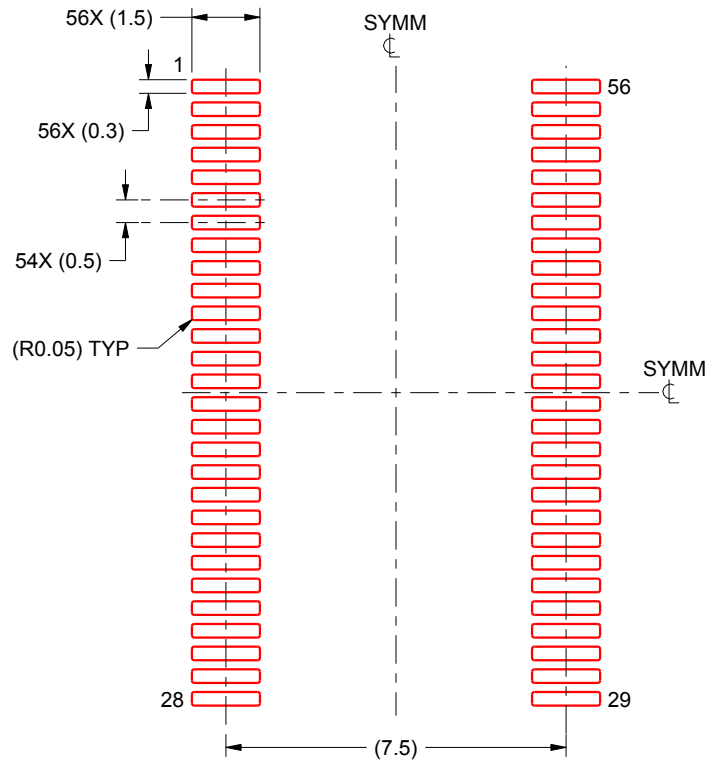
- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGG0056A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4222167/A 07/2015

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated