

DRV8899-Q1 内蔵電流検出機能付き、1/256 マイクロ・ステップ対応、車載用ステッピング・モータ・ドライバ

1 特長

- 車載用に AEC-Q100 認証済み
- 最高 1/256 のマイクロステップ
- 電流検出機能内蔵
 - 検出抵抗が不要
- スマート・チューン減衰テクノロジー、固定低速および混合減衰オプション
- 4.5~45V の電源電圧範囲で動作
- ピン互換の $R_{DS(ON)}$ バリエント:
 - DRV8899/A-Q1: 25°C で 900mΩ HS + LS
 - DRV8899-Q1: 25°C で 1200mΩ HS + LS
- ブリッジごとの大電流能力
 - DRV8899/A-Q1: 2.4A ピーク、1.5A フルスケール
 - DRV8899-Q1: 1.7A ピーク、1A フルスケール
- TRQ_DAC ビットによりフルスケール電流をスケールリング
- オフ時間 PWM チョッピングを構成可能
- シンプルな STEP/DIR インターフェイス
- デジタイズ・チェーンをサポートした SPI
- 低消費電流のスリープ・モード (2μA)
- 出力スルー・レートをプログラム可能
- 拡散スペクトラム・クロック処理により EMI を最小化
- 保護機能
 - VM 低電圧誤動作防止
 - 過電流保護
 - 開放負荷検出
 - 過熱警告およびシャットダウン
 - 低温警告
 - フォルト状態通知ピン (nFAULT)
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- 車載用バイポーラ・ステッピング・モータ
- ヘッドライトの位置調整
- ヘッド・アップ・ディスプレイ (HUD)
- HVAC ステッピング・モータ
- 電子式燃料噴射 (EFI)

3 説明

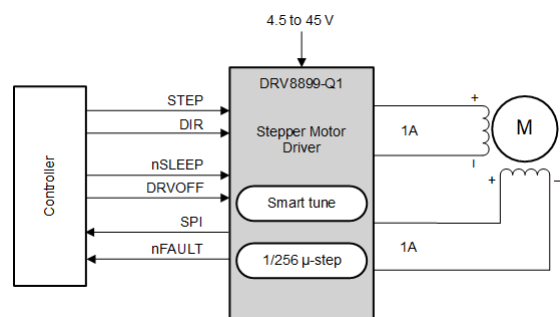
DRV8899-Q1 は完全統合型ステッピング・モータ・ドライバであり、内部マイクロステップ・インデキサ、スマート・チューン減衰テクノロジー、内蔵型電流検出機能を備え、最大 1A のフルスケール電流をサポートしています。方向と

ステップ速度を制御するための単純なステップ / 方向インターフェイスを備えた DRV8899-Q1 は、滑らかなモーション・プロファイルを実現するために最大 1/256 レベルのマイクロステップをサポートしています。内蔵電流検出機能を備えているため、2 つの外部抵抗を取り除くことができ、基板面積とコストを削減できます。DRV8899-Q1 にはスマート・チューン、低速、混合減衰オプションを含む 8 つの減衰モードがあります。スマート・チューンでは、最適な電流レギュレーション性能が得られるように自動調整を行い、モータのばらつきと経年変化の影響を補償します。このデバイスは、コントローラが SPI 経由で出力電流をスケールリングできるトルク DAC も内蔵しているため、VREF 基準電圧をスケールリングする必要はありません。低消費電力のスリープ・モードを備えており、nSLEEP ピンを使用することで、超低スタンバイ電流を実現できます。このデバイスには、全二重の 4 線式同期 SPI 通信機能が搭載されており、最大 63 台のデバイスを直列にデジタイズ・チェーン接続し、構成や詳細なフォルト報告が可能です。弊社のポートフォリオ全体については、ti.com の [ステッパ・モータ・ドライバ](#) をご覧ください。

製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
DRV8899QWRGERQ1	VQFN (24) (ウェットダブル・フランク)	4.00mm×4.00mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図



目次

1 特長.....	1	7.4 デバイスの機能モード.....	36
2 アプリケーション.....	1	7.5 プログラミング.....	37
3 説明.....	1	7.6 レジスタ・マップ.....	42
4 改訂履歴.....	2	8 アプリケーションと実装.....	50
5 ピン構成と機能.....	3	8.1 アプリケーション情報.....	50
ピン機能.....	3	8.2 代表的なアプリケーション.....	50
6 仕様.....	5	9 電源に関する推奨事項.....	60
6.1 絶対最大定格.....	5	9.1 バルク容量.....	60
6.2 ESD 定格.....	5	10 レイアウト.....	61
6.3 推奨動作条件.....	6	10.1 レイアウトの注意点.....	61
6.4 熱に関する情報.....	6	10.2 レイアウト例.....	62
6.5 電気的特性.....	7	11 デバイスおよびドキュメントのサポート.....	63
6.6 SPI のタイミング要件.....	9	11.1 ドキュメントのサポート.....	63
6.7 インデクサ・タイミング要件.....	10	11.2 Receiving Notification of Documentation Updates..	63
6.8 代表的特性.....	11	11.3 サポート・リソース.....	63
7 詳細説明.....	12	11.4 商標.....	63
7.1 概要.....	12	11.5 Electrostatic Discharge Caution.....	63
7.2 機能ブロック図.....	13	11.6 Glossary.....	63
7.3 機能説明.....	14	12 メカニカル、パッケージ、および注文情報.....	63

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (August 2020) to Revision B (April 2021)	Page
• 機能安全の情報を追加.....	1
• 「絶対最大定格」表の誤字を訂正.....	5
• 100% 電流によるフルステップの表を更新.....	15
• 重複したパッケージ図を削除.....	63

Changes from Revision * (November 2019) to Revision A (August 2020)	Page
• デバイスのステータスを「量産データ」に変更.....	1

5 ピン構成と機能

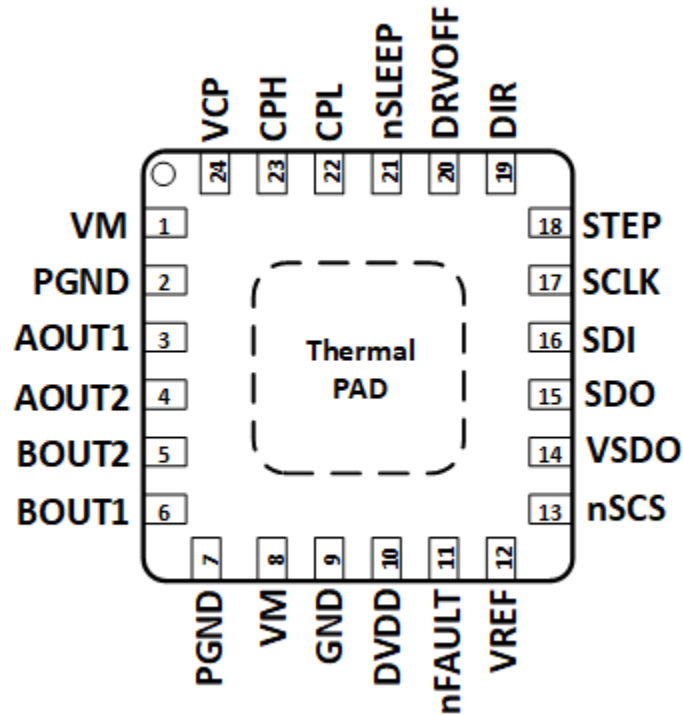


図 5-1. WRGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図

ピン機能

ピン		I/O	種類	説明
名称	番号			
AOUT1	3	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。
AOUT2	4	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。
PGND	2, 7	—	電源	電源グランド。両方の PGND ピンは内部で短絡されています。PCB 上のシステム・グランドに接続します。
BOUT1	6	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。
BOUT2	5	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。
CPH	23	—	電源	チャージ・ポンプのスイッチング・ノード。X7R、0.022µF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	22			
DIR	19	I	入力	方向入力。ロジック・レベルによりステッピング方向を設定します。内部プルダウン抵抗。
DRVOFF	20	I	入力	ロジック High でデバイスの出力をディセーブル。ロジック Low でイネーブル。DVDD への内部プルアップ。
DVDD	10		電源	ロジック電源電圧。X7R、0.47µF、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
GND	9	—	電源	デバイスのグランド。システム・グランドに接続します。
VREF	12	I	入力	電流設定リファレンス入力。最大値 2.2V。DVDD と抵抗分割器を使用して VREF を供給できます。
SCLK	17	I	入力	シリアル・クロック入力。シリアル・データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト・アウトおよびキャプチャされます。
SDI	16	I	入力	シリアル・データ入力。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。

ピン		I/O	種類	説明
名称	番号			
SDO	15	O	プッシュ・プル	シリアル・データ出力。データは、SCLK ピンの立ち上がりエッジでシフト・アウトされます。
STEP	18	I	入力	ステップ入力。立ち上がりエッジでインデクサが 1 ステップ進みます。内部プルダウン抵抗。
VCP	24	—	電源	チャージ・ポンプの出力。X7R、0.22 μ F、16V セラミック・コンデンサを VM との間に接続します。
VM	1, 8	—	電源	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01 μ F セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して GND にバイパスします。
VSDO	14		電源	SDO 出力の電源ピン。必要なロジック・レベルに応じて、5V または 3.3V に接続します。
nFAULT	11	O	オープンドレイン	フォルト通知。フォルト状態になるとロジック Low に駆動されます。オープンドレイン出力には外部プルアップ抵抗が必要です。
nSCS	13	I	入力	シリアル・チップ選択。このピンを Low にするとシリアル・インターフェイス通信が有効になります。DVDD への内部プルアップ。
nSLEEP	21	I	入力	スリープ・モード入力。ロジック High でデバイスをイネーブル。ロジック Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。
PAD	-	-	-	サーマル・パッド。システム・グラウンドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) 1

	最小値	最大値	単位
電源電圧 (VM)	-0.3	50	V
チャージ・ポンプ電圧 (VCP, CPH)	-0.3	VM + 7	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	VM	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	VM	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
SDO 出力リファレンス電圧 (VSDO)	-0.3	5.75	V
制御ピン電圧 (STEP, DIR, DRVOFF, nFAULT, SDI, SDO, SCLK, nSCS)	-0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREF)	-0.3	5.75	V
巻線出力ピン電圧 (連続) (AOUT1, AOUT2, BOUT1, BOUT2)	-1.0	VM + 1.0	V
巻線出力電圧 (過渡 100ns) (AOUT1, AOUT2, BOUT1, BOUT2)	-3.0	VM + 3.0	V
ピーク駆動電流 (AOUT1, AOUT2, BOUT1, BOUT2)	内部的に制限		A
動作時の周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保存温度、 T_{stg}	-65	150	°C

- 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、AEC Q100-002 に準拠 (1)	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	

- AECQ100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) 1

		最小値	最大値	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	45	V
V_I	ロジック・レベル入力電圧	0	5.5	V
V_{SDO}	SDO バッファ電源電圧	2.9	5.5	V
V_{VREF}	VREF 電圧	0.05	2.2	V
f_{STEP}	STEP 信号周波数 (STEP)	0	100 (2)	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	1 (3)	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	0.7 (3)	A
T_A	動作時周囲温度	-40	125	°C
T_J	動作時接合部温度	-40	150	°C

6.4 熱に関する情報

熱評価基準 1		DRV8899-Q1		単位
		RGE (VQFN)		
		24 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	40.7		°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	31.1		°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	17.9		°C/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	0.6		°C/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	17.8		°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.3		°C/W

1. 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り) 標準値には $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ が適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
電源 (VM、DVDD、VSDO)					
I_{VM}	VM 動作電源電流	DRVOFF = 0、nSLEEP = 1、出力なし	5	7	mA
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0	2	4	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	75		μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルト・レジスタをクリアするのみ	18	35	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移	0.6	0.9	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移	0.6	0.9	ms
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、 $6\text{V} < V_{VM} < 45\text{V}$	4.5	5	V
チャージ・ポンプ (VCP、CPH、CPL)					
V_{VCP}	VCP 動作電圧		VM + 5		V
$f_{(VCP)}$	チャージ・ポンプ・スイッチング周波数	$V_{VM} > UVLO$ 、nSLEEP = 1	400		kHz
ロジック・レベル入力 (STEP、DIR、nSLEEP、nSCS、SCLK、SDI、DRVOFF)					
V_{IL}	入力ロジック Low 電圧		0	0.6	V
V_{IH}	入力ロジック High 電圧		1.5	5.5	V
V_{HYS}	入力ロジック・ヒステリシス		150		mV
I_{IL1}	入力ロジック Low 電流	VIN = 0V (nSCS、DRVOFF)	8	12	μA
I_{IL2}	入力ロジック Low 電流	VIN = 0V	-1	1	μA
I_{IH1}	入力ロジック High 電流	VIN = DVDD (nSCS、DRVOFF)		500	nA
I_{IH2}	入力ロジック High 電流	VIN = 5V		50	μA
プッシュプル出力 (SDO)					
$R_{PD,SDO}$	内部プルダウン抵抗	5mA 負荷、GND 基準	40	75	Ω
$R_{PU,SDO}$	内部プルアップ抵抗	5mA 負荷、VSDO 基準	30	60	Ω
I_{SDO}	SDO リーク電流	SDO = VSDO および 0V	-1	1	μA
制御出力 (nFAULT)					
V_{OL}	出力ロジック Low 電圧	$I_O = 5\text{mA}$		0.4	V
I_{OH}	出力ロジック High リーク電流	$V_{VM} = 13.5\text{V}$	-1	1	μA

推奨動作条件範囲内 (特に記述のない限り)標準値には $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ が適用されます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
モータ・ドライブ出力 (AOUT1、AOUT2、BOUT1、BOUT2)					
$R_{DS(ONH)}$ ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -1\text{A}$		600	730	mΩ
	$T_J = 125^\circ\text{C}$ 、 $I_O = -1\text{A}$		900	1100	mΩ
	$T_J = 150^\circ\text{C}$ 、 $I_O = -1\text{A}$		1040	1250	mΩ
$R_{DS(ONL)}$ ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -1\text{A}$		600	730	mΩ
	$T_J = 125^\circ\text{C}$ 、 $I_O = -1\text{A}$		900	1100	mΩ
	$T_J = 150^\circ\text{C}$ 、 $I_O = -1\text{A}$		1040	1250	mΩ
t_{SR} 出力スルーレート	SR = 00b、VM = 13.5V、 $I_O = 0.5\text{A}$		10		V/μs
	SR = 01b、VM = 13.5V、 $I_O = 0.5\text{A}$		35		
	SR = 10b、VM = 13.5V、 $I_O = 0.5\text{A}$		50		
	SR = 11b、VM = 13.5V、 $I_O = 0.5\text{A}$		105		
PWM 電流制御 (VREF)					
K_V トランスインピーダンス・ゲイン			2.2		V/A
t_{OFF} PWM オフ時間	TOFF = 00b		7		μs
	TOFF = 01b		16		
	TOFF = 10b		24		
	TOFF = 11b		32		
ΔI_{TRIP} 電流トリップ精度	$I_O = 1\text{A}$ 、10%~30% 電流設定	-13		10	%
	$I_O = 1\text{A}$ 、30%~100% 電流設定	-8		8	
$I_{O,CH}$ AOUT と BOUT の電流マッチング	$I_O = 1\text{A}$	-2.5		2.5	%
保護回路					
V_{UVLO} VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.15	4.25	4.35	V
	VM 立ち上がり、UVLO 立ち上がり	4.25	4.35	4.45	
$V_{UVLO,HYS}$ 低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
V_{RST} VM 低電圧誤動作防止 (UVLO) リセット	VM 立ち下がり、デバイス・リセット、SPI 通信なし			3.9	V
V_{CPUV} チャージ・ポンプ低電圧	VCP 立ち下がり、CPUV 通知		VM + 2		V
I_{OCP} 過電流保護	いずれかの FET を流れる電流	1.7			A
t_{OCP} 過電流グリッチ除去時間	$V_{VM} < 37\text{V}$		3		μs
	$V_{VM} \geq 37\text{V}$		0.5		
t_{RETRY} 過電流リトライ時間	OCP_MODE = 1b		4		ms
t_{OL} 開放負荷検出時間	EN_OL = 1b			200	ms
I_{OL} 開放負荷電流スレッショルド			30		mA
T_{OTW} 過熱警告	ダイ温度 T_J	135	150	165	$^\circ\text{C}$
T_{UTW} 低温警告	ダイ温度 T_J	-25	-10	5	$^\circ\text{C}$
T_{OTSD} サーマル・シャットダウン	ダイ温度 T_J	150	165	180	$^\circ\text{C}$
T_{HYS_OTSD} サーマル・シャットダウン・ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$
T_{HYS_OTW} 過熱警告ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$
T_{HYS_UTW} 低温警告ヒステリシス	ダイ温度 T_J		10		$^\circ\text{C}$

6.6 SPI のタイミング要件

		最小	公称値	最大	単位
$t_{\text{(READY)}}$	SPI 準備完了、 $V_M > V_{\text{RST}}$		1		ms
$t_{\text{(CLK)}}$	SCLK の最小周期	100			ns
$t_{\text{(CLKH)}}$	SCLK の最小 High 時間	50			ns
$t_{\text{(CLKL)}}$	SCLK の最小 Low 時間	50			ns
$t_{\text{su(SDI)}}$	SDI 入力のセットアップ時間	20			ns
$t_{\text{h(SDI)}}$	SDI 入力のホールド時間	30			ns
$t_{\text{d(SDO)}}$	SDO 出力遅延時間、SCLK High から SDO 有効まで、 $C_L = 20\text{pF}$			30	ns
$t_{\text{su(nSCS)}}$	nSCS 入力のセットアップ時間	50			ns
$t_{\text{h(nSCS)}}$	nSCS 入力のホールド時間	50			ns
$t_{\text{(HI_nSCS)}}$	nSCS のアクティブ Low の前の最小 High 時間			2	μs
$t_{\text{dis(nSCS)}}$	nSCS ディセーブル時間、nSCS High から SDO ハイ・インピーダンスまで		10		ns

6.7 インデクサ・タイミング要件

推奨動作条件範囲内 (特に記述のない限り)。標準値には $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 13.5\text{V}$ が適用されます。

番号			最小値	最大値	単位
1	f_{STEP}	ステップ周波数		500 ⁽¹⁾	kHz
2	$t_{\text{WH}}(\text{STEP})$	パルス幅、STEP High	970		ns
3	$t_{\text{WL}}(\text{STEP})$	パルス幅、STEP Low	970		ns
4	$t_{\text{SU}}(\text{DIR}, \text{Mx})$	セットアップ時間、DIR から STEP 立ち上がりまで	200		ns
5	$t_{\text{H}}(\text{DIR}, \text{Mx})$	ホールド時間、DIR から STEP 立ち上がりまで	200		ns

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

6.8 代表的特性

推奨動作条件範囲内 (特に記述のない限り)

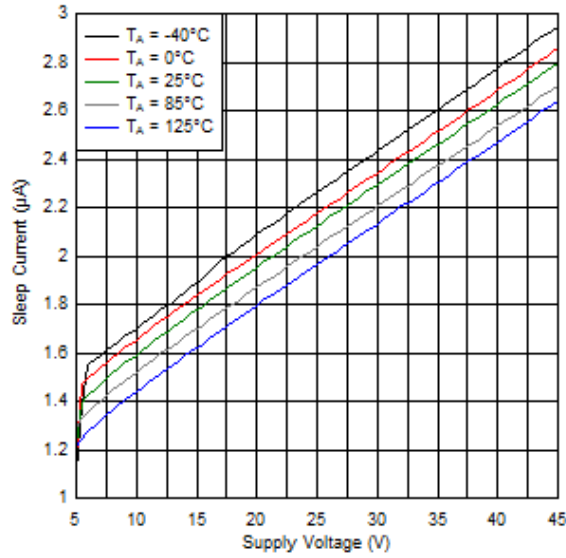


図 6-1. スリープ電流と VM との関係

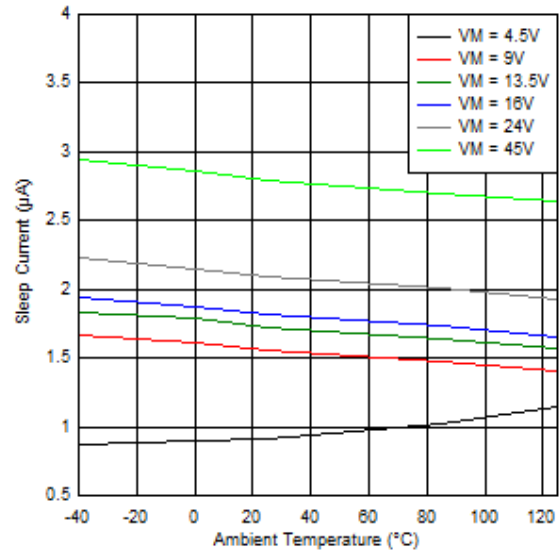


図 6-2. スリープ電流と温度との関係

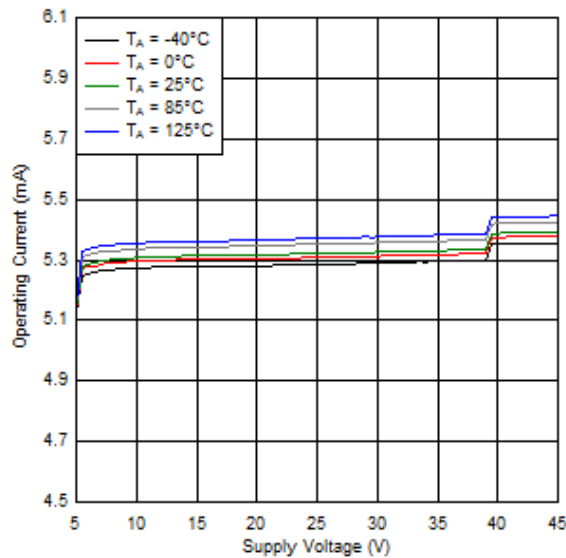


図 6-3. 動作電流と VM との関係

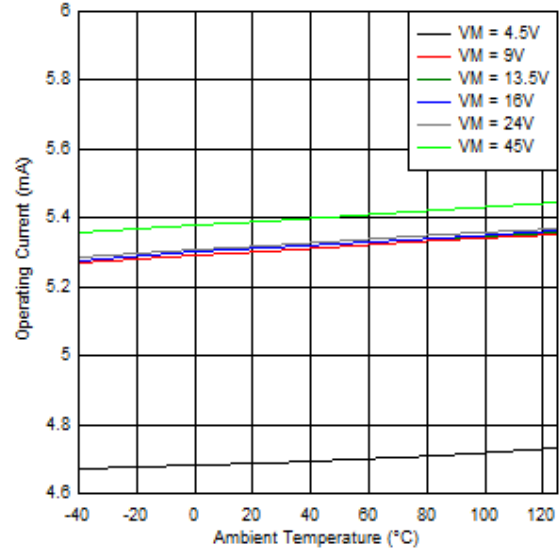


図 6-4. 動作電流 と温度との関係

7 詳細説明

7.1 概要

DRV8899-Q1 はバイポーラ・ステッピング・モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 個の N チャネル・パワー MOSFET H ブリッジ、内蔵電流検出機能、レギュレーション回路、およびマイクロステッピング・インデクサを統合しています。DRV8899-Q1 は 4.5~45V の電源電圧範囲で動作し、ピーク時で最大 1.7A、フルスケールで最大 1A、実効値 (RMS) で最大 0.7A の出力電流を供給できます。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

本デバイスは、内蔵型電流検出アーキテクチャを採用しており、2 つの外部電流検出シャント抵抗が不要になっています。このアーキテクチャでは、電流検出に電流ミラー手法と内部パワー MOSFET を使うことで、検出抵抗での電力消費をなくしています。電流レギュレーションの設定点は VREF ピンの電圧で調整できます。このため、外付け部品のコスト、プリント基板 (PCB) のサイズ、システムの消費電力を低減できます。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。内部インデクサを使うと、巻線電流レベルを制御する外部コントローラを使わなくても高精度のマイクロステッピングを実行できます。このインデクサは、フルステップ、ハーフステップ、1/4、1/8、1/16、1/32、1/64、1/128、1/256 マイクロステッピングを実行できます。標準のハーフステップ・モードに加えて、非真円ハーフステップ・モードを利用して、モータの RPM が高いときにトルク出力を増大させることもできます。

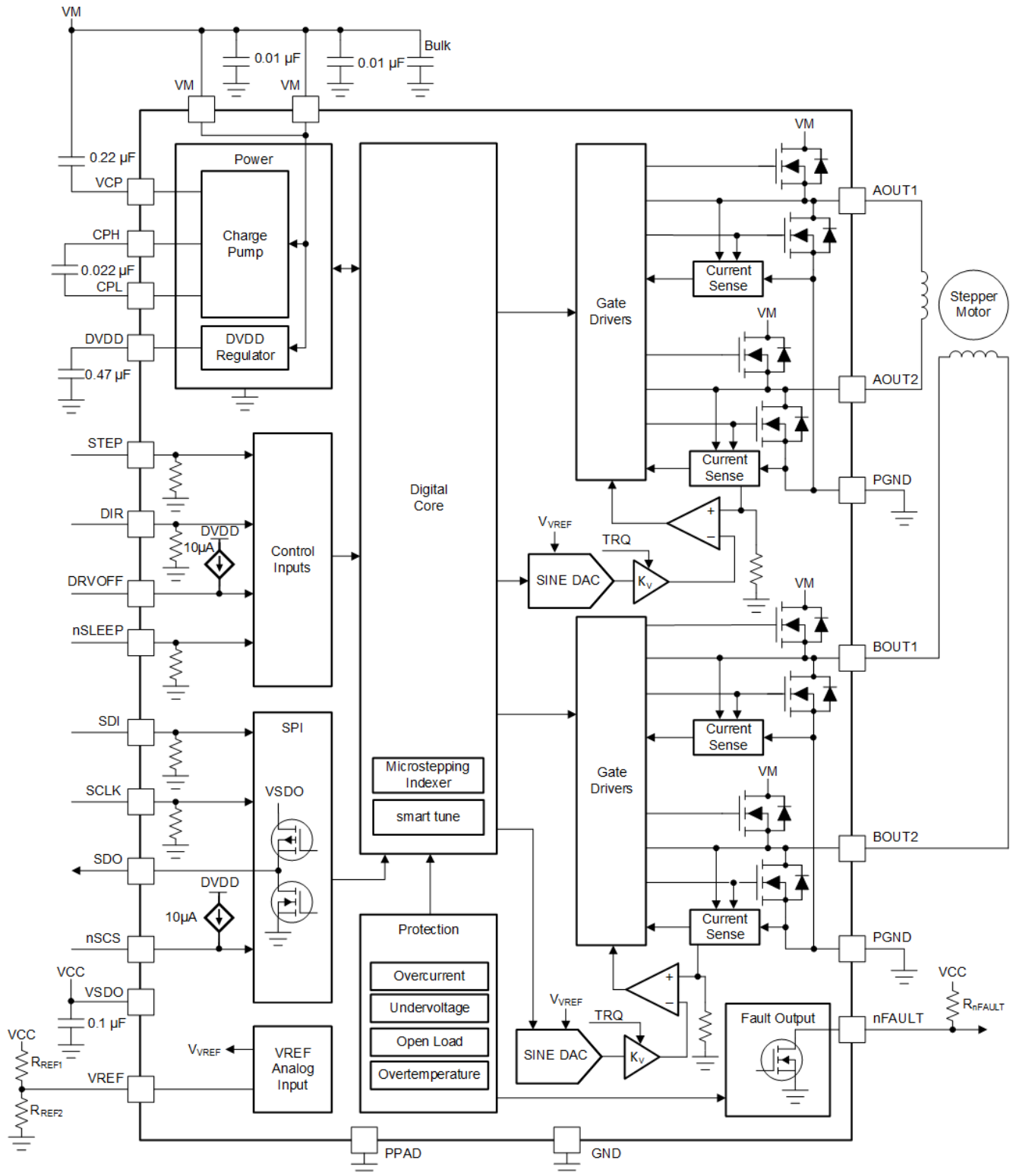
電流レギュレーションは、複数の減衰モードに構成できます。減衰モードは、低速 - 混合、混合減衰、スマート・チューン・リップル制御、またはスマート・チューン・ダイナミック減衰電流レギュレーション方式のいずれかを選択できます。低速 - 混合減衰モードでは、ステップの増加時には低速減衰を、ステップの減少時には混合減衰を使用します。スマート・チューン減衰モードでは、最適な電流レギュレーション性能が得られるように自動調整を行い、モータのばらつきと経年変化の影響を補償します。スマート・チューン・リップル制御では、オフ時間可変型のリップル制御方式により、モータ巻線電流の歪みを最小限に抑えることができます。スマート・チューン・ダイナミック減衰では、オフ時間固定のダイナミック減衰率方式により、モータ巻線電流の歪みを最小限に抑え、周波数成分も最小化できます。

本デバイスは、内蔵デジタル発振器と内蔵チャージ・ポンプのための拡散スペクトラム・クロック処理機能を備えています。この機能と出力スルーレート制御を組み合わせることで、本デバイスからの放射妨害波を最小化できます。

トルク DAC 機能により、コントローラは VREF 基準電圧のスケールリングを必要とせずに出力電流をスケールリングできます。トルク DAC はデジタル入力ピンから利用できるため、高い出力トルクが不要なときにモータの消費電流を抑えることで、コントローラはシステムの電力消費を削減できます。

また、低消費電力スリープ・モードを備えているので、モータをアクティブに駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図



7.3 機能説明

表 7-1 に、DRV8899-Q1 の推奨外付け部品を示します。

表 7-1. DRV8899-Q1 の外付け部品

部品	ピン 1	ピン 2	推奨事項
C _{VM1}	VM	GND	2 つの X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	GND	パルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R、0.22μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R、0.022μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R、0.47μF～1μF、6.3V セラミック・コンデンサ
R _{nFAULT}	VCC ⁽¹⁾	nFAULT	4.7kΩ 以上の抵抗
R _{REF1}	VREF	VCC	チョッピング電流を制限するための抵抗。R _{REF1} と R _{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF2} (オプション)	VREF	GND	

(1) VCC は DRV8899-Q1 のピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 ステッピング・モータ・ドライバの電流定格

ステッピング・モータ・ドライバは、出力電流を表す 3 種類の数値 (ピーク、RMS、フルスケール) を使用して分類できます。

7.3.1.1 ピーク電流定格

ステッピング・モータ・ドライバのピーク電流は、過電流保護スレッシュホールド I_{OC}P で制限されます。ピーク電流は、何らかの過渡電流パルスを指します (例: 静電容量を充電するとき、デューティ・サイクルが極めて小さいとき)。一般に、I_{OC}P の最小値は、ステッピング・モータ・ドライバのピーク電流定格を規定します。

DRV8899-Q1 の場合、ピーク電流定格はブリッジあたり 1.7A です。

7.3.1.2 RMS 電流定格

RMS (平均) 電流は、IC の熱性能を考慮して決定します。RMS 電流は、25°Cの代表的なシステムでの R_{DS(ON)}、立ち上がりおよび立ち下がり時間、PWM 周波数、デバイスの静止電流、パッケージの熱的性能に基づいて計算されます。実動作時の RMS 電流は放熱と周囲温度に応じて上下する場合があります。

DRV8899-Q1 の場合、RMS 電流定格はブリッジあたり 0.7A です。

7.3.1.3 フルスケール電流定格

フルスケール電流とは、マイクロステッピング時の正弦電流波形の最大値を指します。この正弦波振幅は RMS 電流に関係しているため、フルスケール電流もデバイスの熱性能を考慮して決定します。フルスケール電流定格は、およそ $\sqrt{2} \times I_{RMS}$ です。

DRV8899-Q1 の場合、フルスケール電流定格はブリッジあたり 1A です。

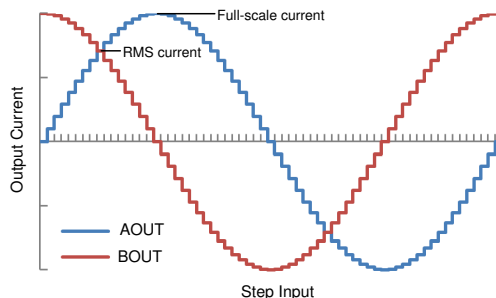


図 7-1. フルスケール電流と RMS 電流

7.3.2 PWM モータ・ドライバ

本デバイスは、バイポーラ・ステッピング・モータの 2 つの巻線を駆動するために、2 つのフル H ブリッジ回路を駆動します。図 7-2 に、この回路のブロック図を示します。

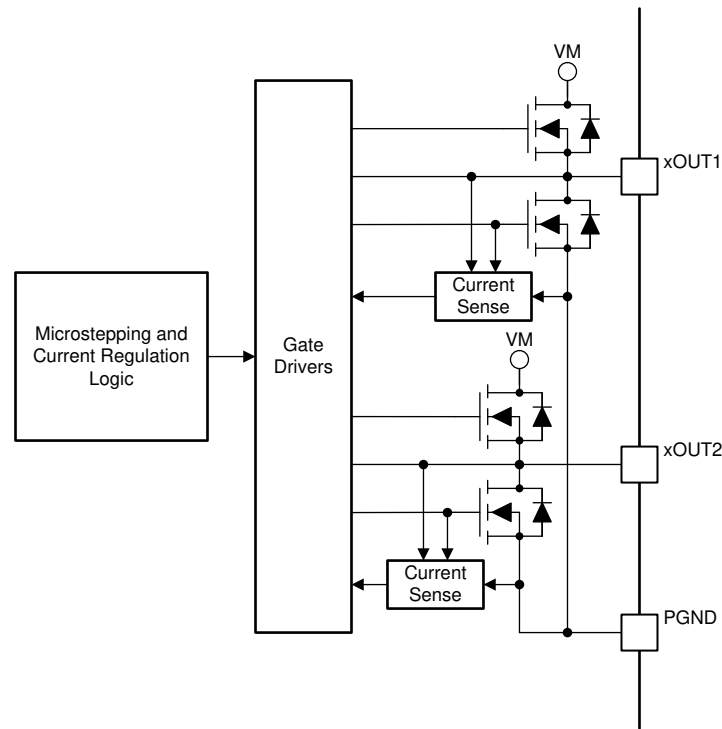


図 7-2. PWM モータ・ドライバのブロック図

7.3.3 マイクロステッピング・インデクサ

本デバイスの内蔵インデクサ・ロジックを使用すると、各種ステップ・モードに対応できます。表 7-2 に示すとおり、SPI レジスタの MICROSTEP_MODE ビットを使用してステップ・モードを設定します。

表 7-2. マイクロステッピングの設定

MICROSTEP_MODE	ステップ・モード
0000b	100% 電流によるフルステップ (2 相励磁)
0001b	71% 電流によるフルステップ (2 相励磁)
0010b	非真円 1/2 ステップ
0011b	1/2 ステップ
0100b	1/4 ステップ
0101b	1/8 ステップ
0110b	1/16 ステップ
0111b	1/32 ステップ
1000b	1/64 ステップ
1001b	1/128 ステップ
1010b	1/256 ステップ

表 7-3 に、フルステップ (71% 電流)、1/2 ステップ、1/4 ステップ、1/8 ステップ動作の電流の相対値とステップ方向を示します。マイクロステッピングの分解能がより高い場合も同じパターンに従います。AOUT 電流は電気角の正弦、BOUT 電流は電気角の余弦です。正電流は、駆動時に xOUT1 ピンから xOUT2 ピンに流れる電流と定義します。

STEP 入力の各立ち上がりエッジで、インデクサは表内の次の状態に移行します。この方向は、DIR ピンが論理 High の場合です。DIR ピンが論理 Low の場合、シーケンスは反転します。

注

ステップの実行中にステップ・モードが変更された場合、STEP の立ち上がりエッジで、インデクサは次の有効な状態に進み、新しいステップ・モード設定になります。

注

DIR = 0 かつ電気角がフルステップ角 (45、135、225、315 度) である場合に、いずれかのマイクロステップ・モードからフルステップ・モードに変更した後、インデクサが進むには STEP ピンに 2 つの立ち上がりエッジが必要です。最初のパルスでは電気角は変化しません。2 番目のパルスで、インデクサは次のフルステップ角に進みます。

初期状態は電気角 45° です。この状態には、電源投入後、電圧誤動作防止ロジック解除後、スリープ・モード解除後のいずれかで移行します。

表 7-3. 電流の相対値とステップ方向

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	1	1		0	100	0
2				20	98	11
3	2			38	92	23
4				56	83	34
5	3	2	1	71	71	45
6				83	56	56
7	4			92	38	68
8				98	20	79
9	5	3		100	0	90
10				98	-20	101
11	6			92	-38	113
12				83	-56	124
13	7	4	2	71	-71	135
14				56	-83	146
15	8			38	-92	158
16				20	-98	169
17	9	5		0	-100	180
18				-20	-98	191
19	10			-38	-92	203
20				-56	-83	214
21	11	6	3	-71	-71	225
22				-83	-56	236
23	12			-92	-38	248
24				-98	-20	259
25	13	7		-100	0	270
26				-98	20	281
27	14			-92	38	293
28				-83	56	304

表 7-3. 電流の相対値とステップ方向 (continued)

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
29	15	8	4	-71	71	315
30				-56	83	326
31	16			-38	92	338
32				-20	98	349

表 7-4 に、100% のフルスケール電流によるフルステップ動作を示します。このステッピング・モードは、71% の電流によるフルステップ・モードよりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-4. 100% 電流によるフルステップ

フルステップ 100%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	100	100	45
2	100	-100	135
3	-100	-100	225
4	-100	100	315

表 7-5 に、非真円 1/2 ステップ動作を示します。このステッピング・モードは真円 1/2 ステップ動作よりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-5. 非真円 1/2 ステッピング電流

非真円 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	-100	135
5	0	-100	180
6	-100	-100	225
7	-100	0	270
8	-100	100	315

7.3.4 MCU DAC による VREF の制御

場合によっては、フルスケール出力電流を、モータの速度と負荷に応じて各種の値に変更する必要があります。VREF ピンの電圧をシステムで調整することにより、フルスケール電流を変更できます。

この動作モードでは、DAC 電圧が増加するにつれて、フルスケール・レギュレーション電流も増加します。正常に動作させるには、DAC の出力が 2.2 V を超えないようにする必要があります。

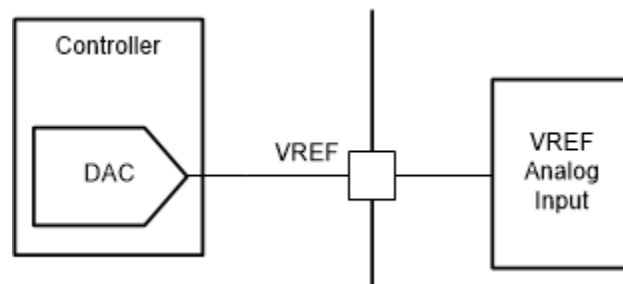


図 7-3. DAC 出力による VREF の制御

また、PWM 信号とローパス・フィルタを使用して VREF ピンを調整することもできます。ローパス・フィルタの R-C 時定数は、PWM 信号周期の 10 倍以上にする必要があります。

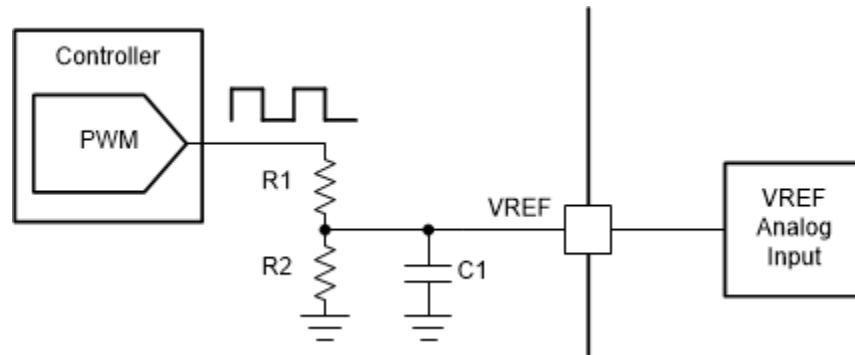


図 7-4. PWM 出力による VREF の制御

7.3.5 電流レギュレーション

モータ巻線に流れる電流は、PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線を通る電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、ブリッジは TOFF レジスタの設定と選択された減衰モードで決まる時間の間、減衰モードに移行して電流を減少させます。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

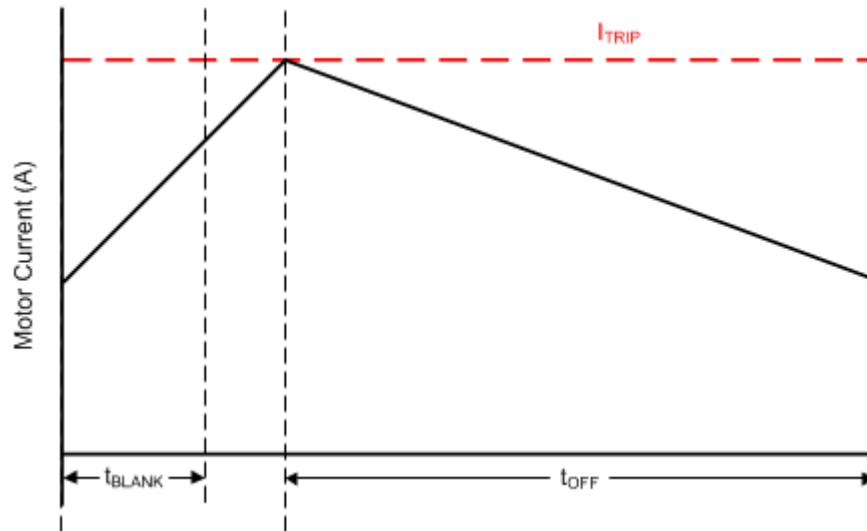


図 7-5. 電流チョッピング波形

PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流センス MOSFET は、正弦波で重み付けした電流モード DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は VREF ピンの電圧で設定します。また、TRQ_DAC レジスタにより、リファレンス電流をさらに調整できます。

フルスケール・レギュレーション電流を計算するには式 1 を使用します。

$$I_{FS} (A) = \frac{V_{REF} (V)}{K_V (V/A)} \times TRQ_DAC (\%) = \frac{V_{REF} (V) \times TRQ_DAC (\%)}{2.2 (V/A)} \quad (1)$$

TRQ_DAC は SPI レジスタにより調整されます。表 7-6 に、さまざまな入力の電流倍率値を示します。

表 7-6. トルク DAC の設定

TRQ_DAC	電流倍率 (TRQ)
0000b	100%
0001b	93.75%
0010b	87.5%
0011b	81.25%
0100b	75%
0101b	68.75%
0110b	62.5
0111b	56.25%
1000b	50%
1001b	43.75%

表 7-6. トルク DAC の設定 (continued)

TRQ_DAC	電流倍率 (TRQ)
1010b	37.5%
1011b	31.25%
1100b	25%
1101b	18.75%
1110b	12.5%
1111b	6.25%

7.3.6 減衰モード

PWM 電流チョッピング中、PWM 電流チョッピング・スレッショルドに達するまで、H ブリッジはイネーブルになり、モータ巻線を駆動します。図 7-6 の項目 1 にこれを示します。

チョッピング電流スレッショルドに達した後、H ブリッジは 2 種類の状態 (高速減衰または低速減衰) で動作できます。高速減衰モードでは、PWM チョッピング電流スレッショルドに達すると、巻線電流が逆方向に流れるように H ブリッジは状態を反転させます。反対側の FET がオンになり、巻線電流がゼロに近づく、ブリッジはディセーブルされ、逆電流が流れるのを防止します。図 7-6 の項目 2 に高速減衰モードを示します。低速減衰モードでは、ブリッジの両方のローサイド FET をオンにすることで巻線電流を再循環させます。図 7-6 の項目 3 にこれを示します。

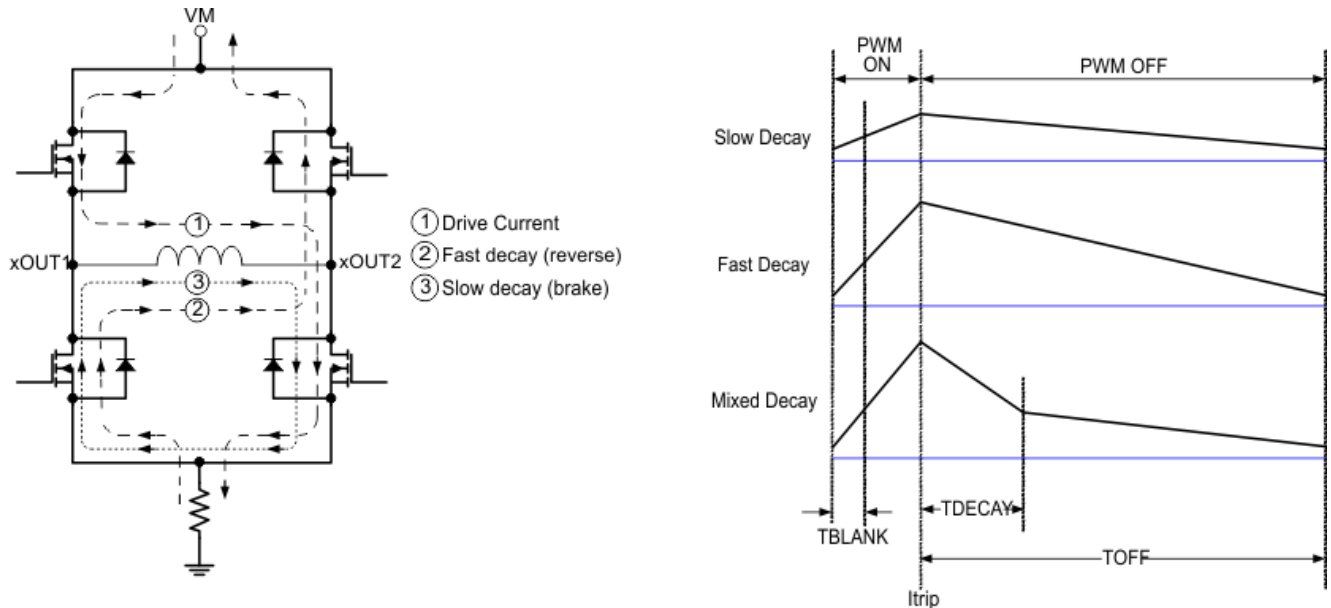


図 7-6. 減衰モード

減衰モードは DECAY レジスタで選択されます (表 7-7 を参照)。

表 7-7. 減衰モードの設定

DECAY	増加ステップ	減少ステップ
000b	低速減衰	低速減衰
001b	低速減衰	混合減衰:30% 高速
010b	低速減衰	混合減衰:60% 高速
011b	低速減衰	高速減衰
100b	混合減衰:30% 高速	混合減衰:30% 高速
101b	混合減衰:60% 高速	混合減衰:60% 高速
110b	スマート・チューン・ダイナミック減衰	スマート・チューン・ダイナミック減衰
111b (デフォルト)	スマート・チューン・リップル制御	スマート・チューン・リップル制御

図 7-7 に、電流の増減を定義します。低速 - 混合減衰モードの場合、電流増加ステップ中は減衰モードが低速減衰に設定され、電流減少ステップ中は混合減衰に設定されます。フルステップ動作および非真円 1/2 ステップ動作では、減少ステップに対応する減衰モードが常に使用されます。

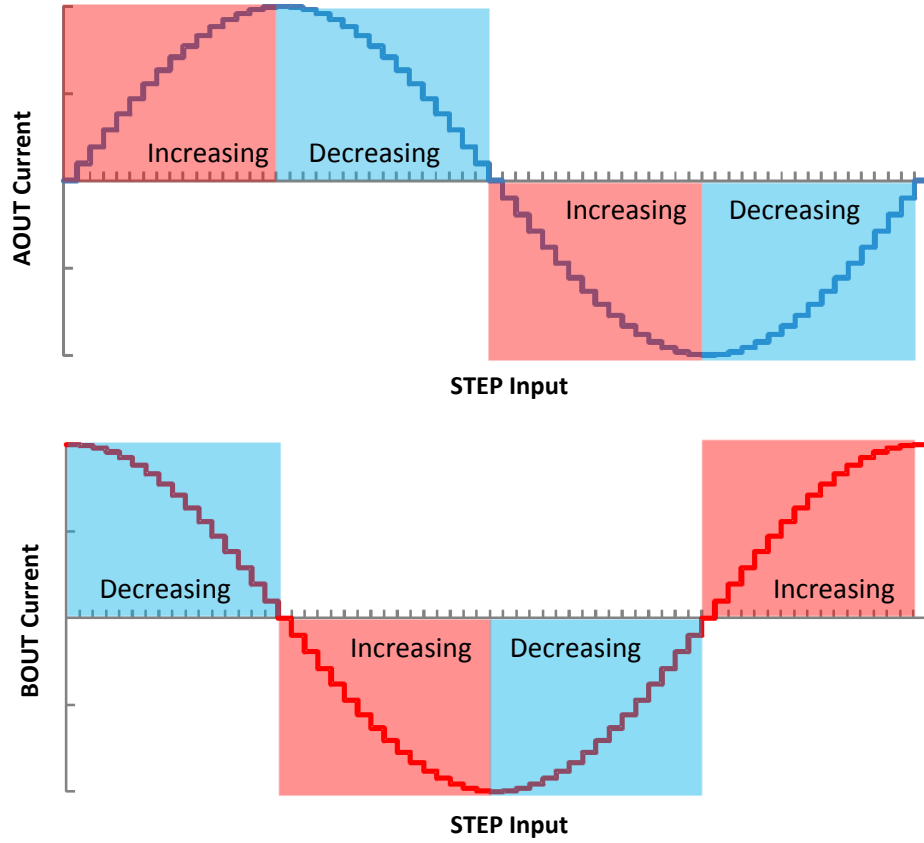


図 7-7. 増加および減少ステップの定義

7.3.6.1 電流増加時および減少時の低速減衰

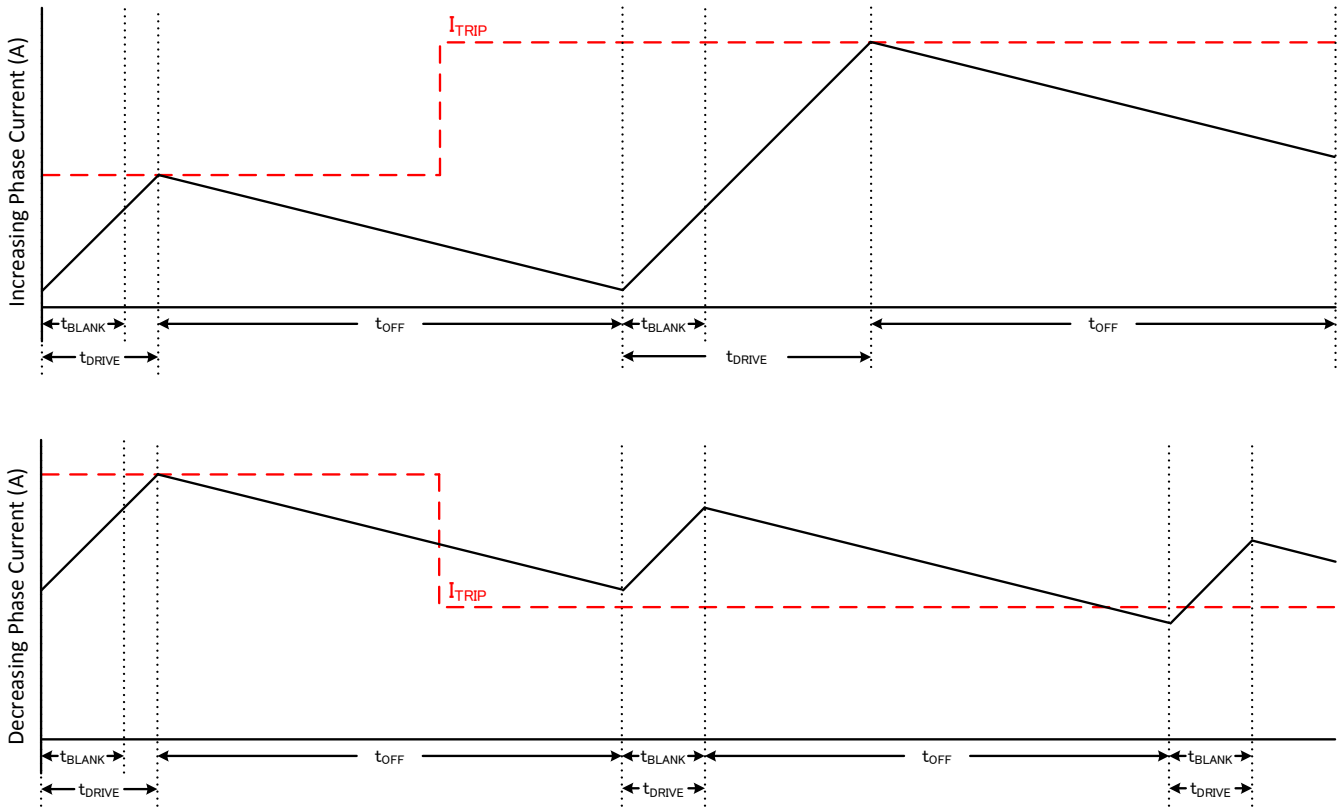


図 7-8. 低速 / 低速減衰モード

低速減衰では、Hブリッジのローサイド FET はどちらもオンになり、電流を再循環させます。

低速減衰は、与えられた t_{OFF} に対する減衰モードの中で、最も小さい電流リップルを示します。しかし電流減少ステップでは、低速では電流が非常にゆっくり減少するため、新しい I_{TRIP} レベルに落ち着くのに長い時間がかかります。オフ時間終了時の電流が I_{TRIP} レベルを上回っている場合、もう一度オフ時間の間低速減衰が延長され、オフ時間終了時の電流が I_{TRIP} レベルを下回るまで繰り返されます。

電流が長時間保持されている (STEP ピンの入力がない) 場合、またはステップ速度が非常に小さい場合、モータ巻線に逆起電力が生じないため、低速減衰では適切に電流を制御できない場合があります。この状態では、モータ電流が急速に増加する可能性があり、長いオフ時間を必要とする場合があります。場合によっては、このために電流レギュレーションが失われる可能性があるため、より積極的な減衰モードが推奨されます。

7.3.6.2 電流増加時は低速減衰、電流減少時は混合減衰

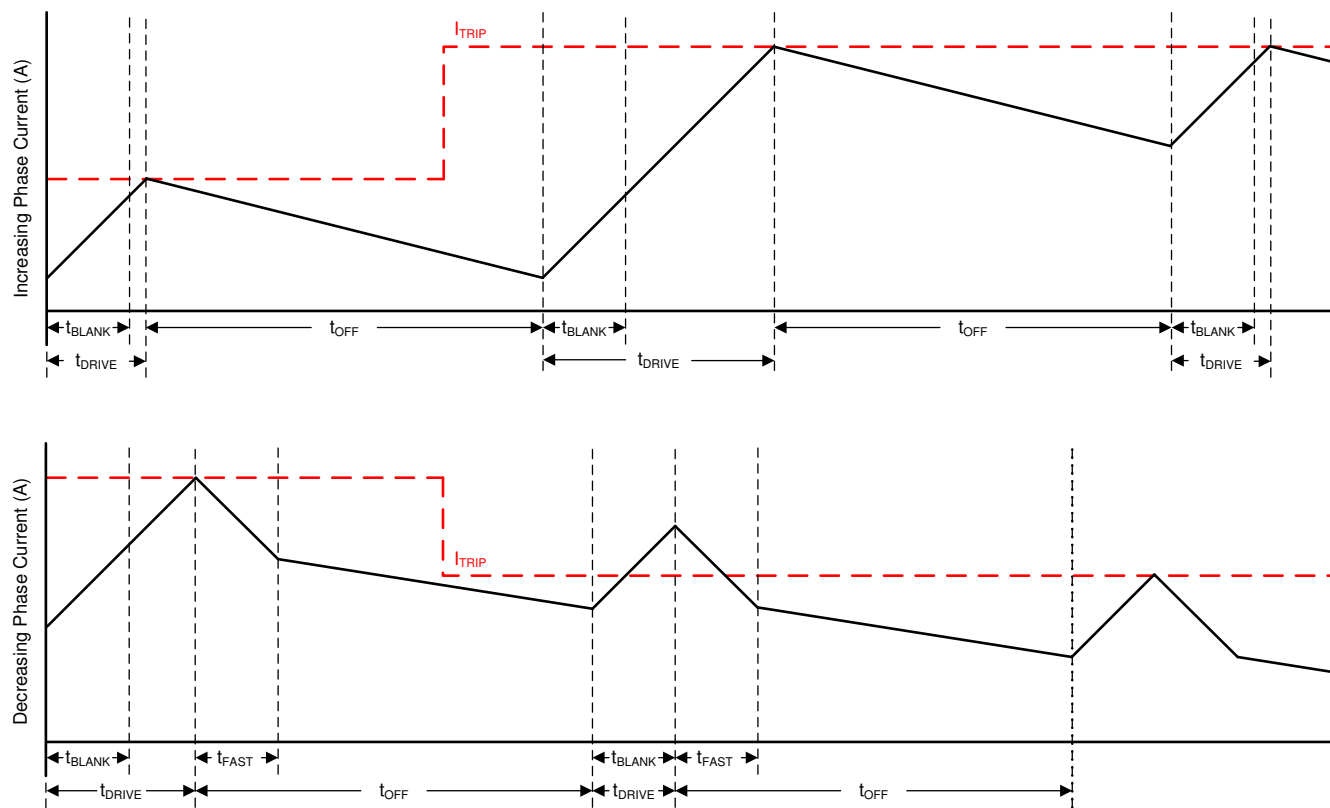
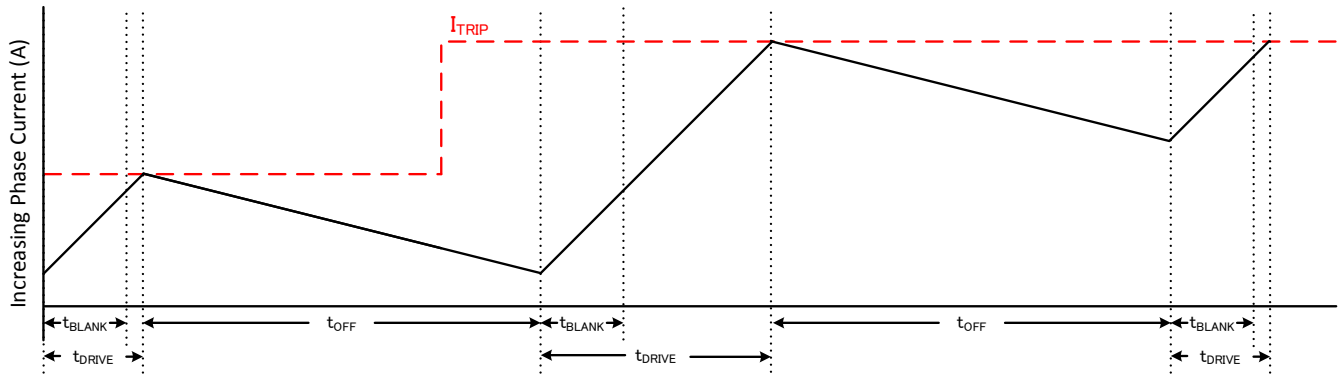


図 7-9. 低速 - 混合減衰モード

混合減衰では、 t_{OFF} 時間の初めの一定期間は低速減衰を行い、その後低速減衰に切り替わります。このモードでは、電流減少時にのみ混合減衰が発生します。電流増加時には低速減衰が使用されます。

このモードでは、電流増加時に低速減衰と同じ電流リップルが生じていますが、これは、電流増加時には低速減衰のみを使用するためです。電流減少時のリップルは、低速減衰より大きくなりますが、高速減衰よりは小さくなります。電流減少ステップでは、混合減衰は低速減衰よりも速く新しい I_{TRIP} レベルに落ち着きます。

7.3.6.3 モード4：電流増加時は低速減衰、電流減少時は高速減衰



Please note that these graphs are not the same scale; t_{OFF} is the same

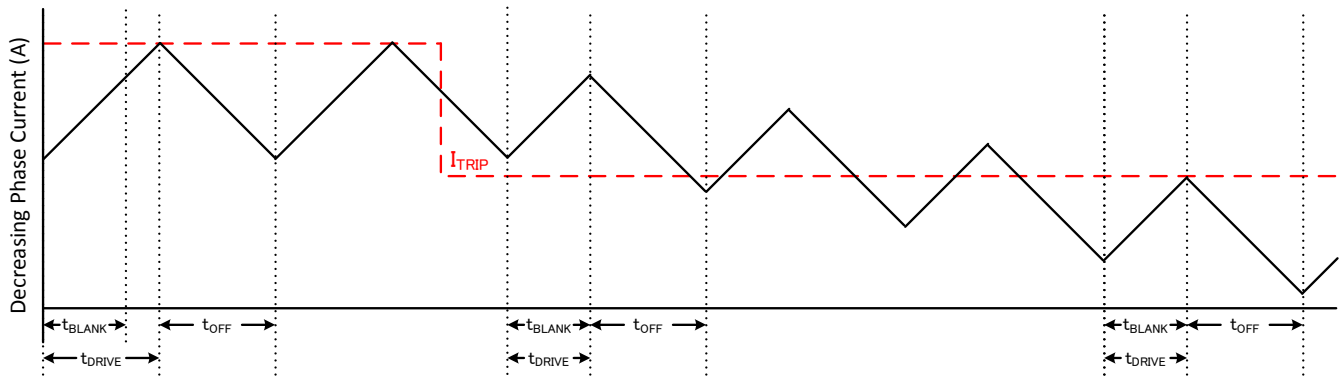


図 7-10. 低速 / 高速減衰モード

高速減衰中に、Hブリッジの極性が反転します。電流がゼロに近づくと、Hブリッジはディセーブルされ、逆方向の電流を防止します。このモードでは、電流減少時のみ高速減衰が発生します。電流増加時には低速減衰が使用されます。

高速減衰は、与えられた t_{OFF} に対する減衰モードの中で、最も大きい電流リップルを示します。電流減少ステップでは、電流が非常に速く減少するため、低速減衰よりも遷移時間ははるかに短くなります。

7.3.6.4 電流増加および減少時の混合減衰

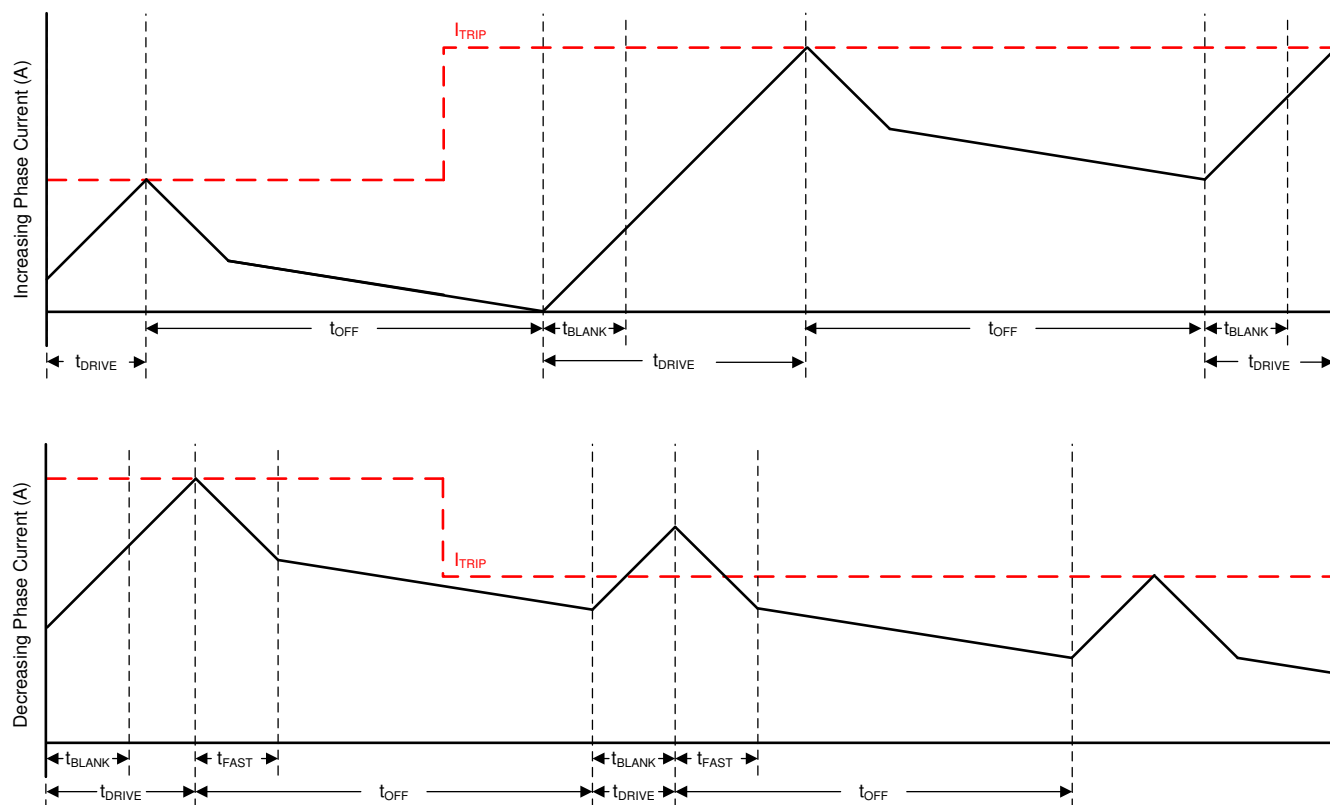


図 7-11. 混合 - 混合減衰モード

混合減衰では、 t_{OFF} 時間の初めの一定期間は高速減衰を行い、その後、低速減衰に切り替わります。このモードでは、電流増加ステップと電流減少ステップの両方とも混合減衰になります。

このモードでのリップルは、低速減衰時より大きくなりますが、高速減衰時よりは小さくなります。電流減少ステップでは、混合減衰は低速減衰よりも速く新しい I_{TRIP} レベルに落ち着きます。

電流が長時間保持されている (STEP ピンの入力がない) 場合、またはステップ速度が非常に小さい場合、モータ巻線に逆起電力が生じないため、低速減衰では適切に電流を制御できない場合があります。この状態では、モータ電流が急速に増加する可能性があり、非常に長いオフ時間が必要です。増加時または減少時に混合減衰を使用すると、モータ巻線に逆起電力が生じない場合にも、電流レベルは制御状態を維持できます。

7.3.6.5 スマート・チューン・ダイナミック減衰

スマート・チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート・チューン電流レギュレーション方式を使うと、ステッピング・モータ・ドライバは以下のような動作要因に基づいて減衰方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 立ち上がりおよび立ち下がりステップでのモータの逆起電力の差
- ステップ遷移
- 小電流と大電流の di/dt

本デバイスは 2 つのスマート・チューン電流レギュレーション・モード (スマート・チューン・ダイナミック減衰とスマート・チューン・リップル制御) を備えています。

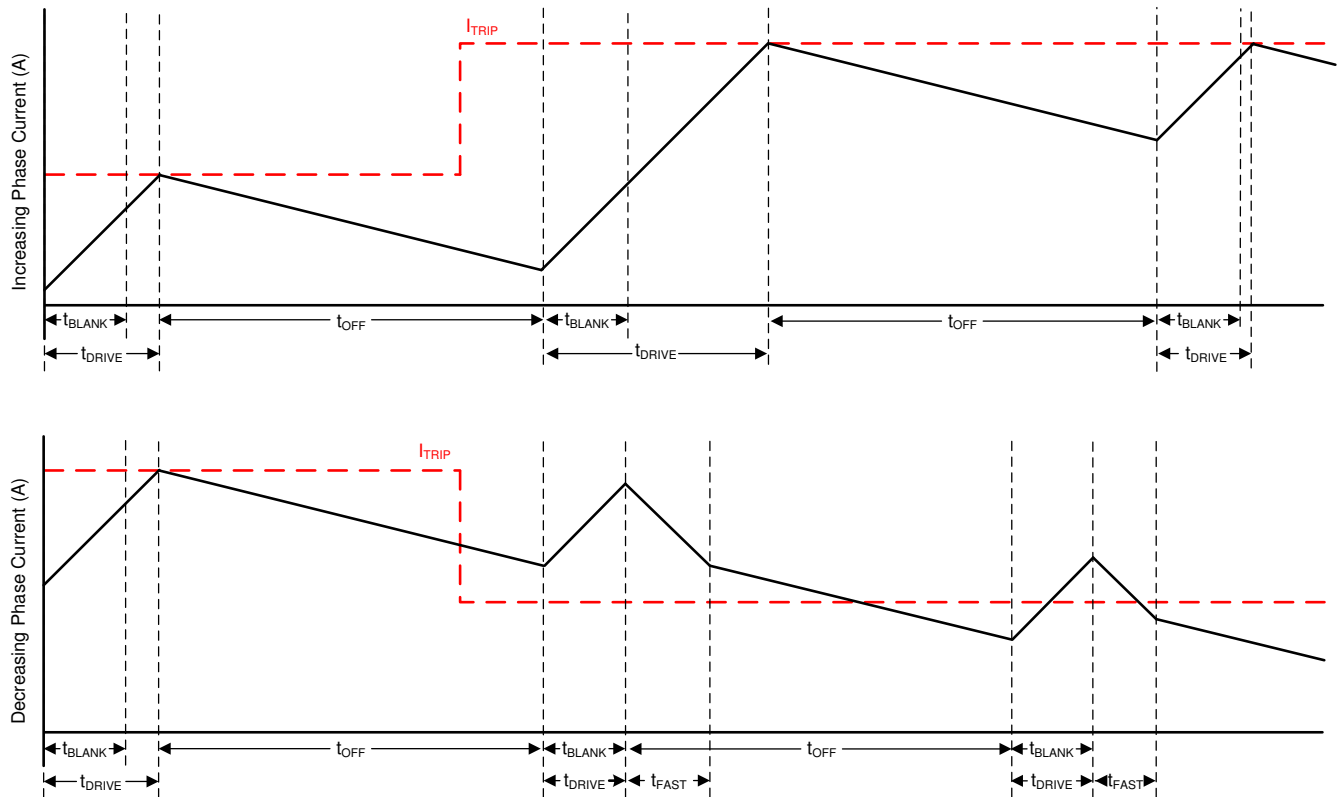


図 7-12. スマート・チューン・ダイナミック減衰モード

スマート・チューン・ダイナミック減衰では、低速、混合、高速減衰の中から減衰モードが自動的に設定されるため、減衰モードの選択が大幅に簡略化されます。混合減衰では、スマート・チューンにより、混合減衰の総時間に対する高速減衰の割合が動的に調整されます。この機能により、モータのリップルを最小限に抑える最良の減衰設定が自動的に決定されるため、モータのチューニングが不要になります。

減衰モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標トリップ・レベルを超えると、レギュレーション損失を防ぐため、次のサイクルで減衰モードはより積極的になります (高速減衰の割合を増やします)。目標トリップ・レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルで減衰モードはより消極的になります (高速減衰の割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、スマート・チューン・ダイナミック減衰は自動的に高速減衰に切り替わります。

スマート・チューン・ダイナミック減衰は、電流レギュレーション方式で電流リップルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーションに最適です。

7.3.6.6 スマート・チューン・リップル制御

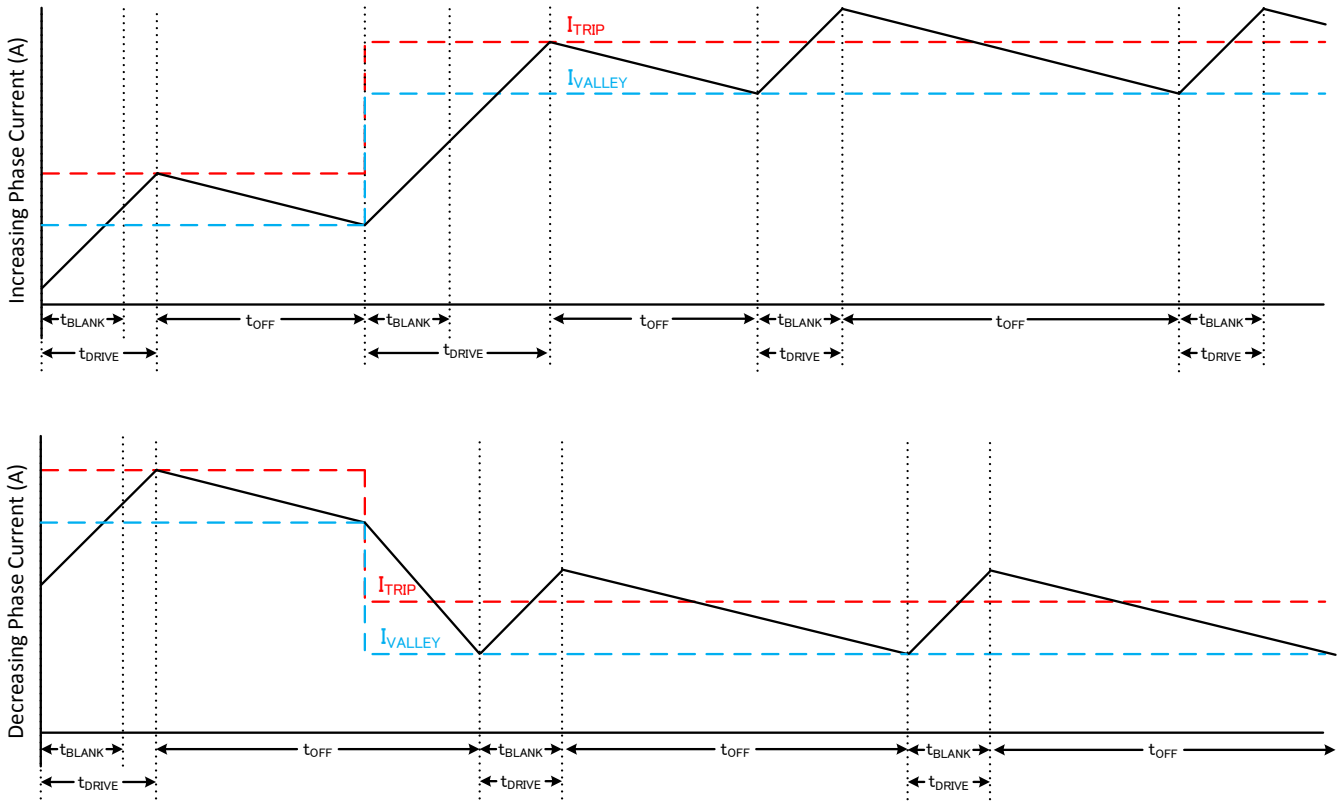


図 7-13. スマート・チューン・リップル制御減衰モード

スマート・チューン・リップル制御は、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまで低速減衰に移行するのではなく、 I_{VALLEY} に達するまで低速減衰に移行します。低速減衰は、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて t_{OFF} が変化します。

この手法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル制御は、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。

7.3.7 ブランキング時間

H ブリッジで電流が出力されると (ドライブ・フェーズの開始)、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。低速減衰フェーズが終わってドライブ・フェーズに移行する際のブランキング時間は約 500ns です。高速減衰フェーズが終わってドライブ・フェーズに移行する際のおおよそのブランキング時間を以下の表に示します。

表 7-8. ブランキング時間

SLEW_RATE	ブランキング時間 (t_{BLANK})
00b	5.6 μ s
01b	2 μ s
10b	1.5 μ s
11b	860ns

7.3.8 チャージ・ポンプ

ハイサイド N チャンネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

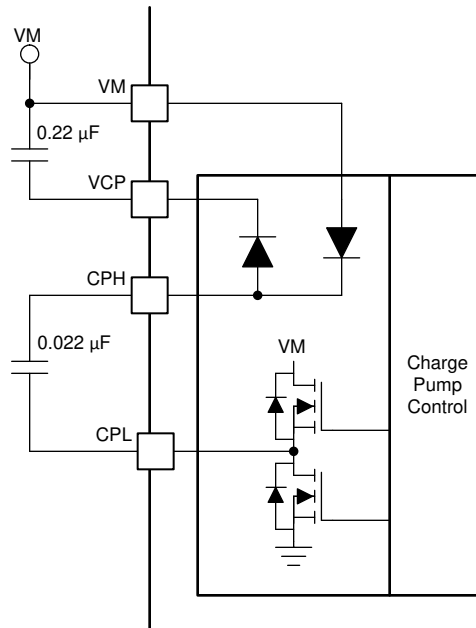


図 7-14. チャージ・ポンプのブロック図

7.3.9 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2mA を超えると、出力電圧は大きく低下します。

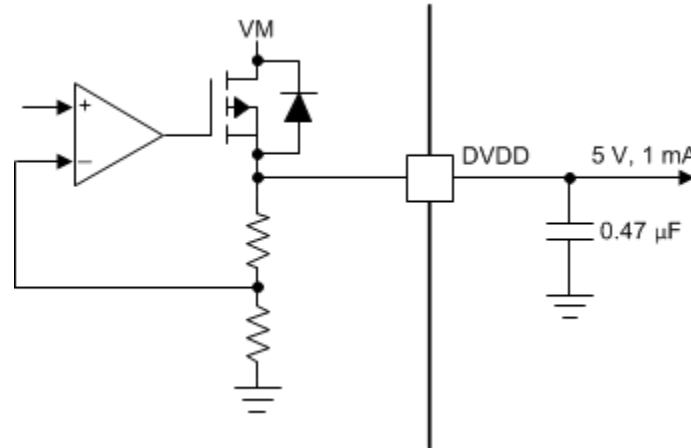


図 7-15. リニア電圧レギュレータのブロック図

ロジック・レベル入力を永続的に High に接続する必要がある場合は、外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、ロジック・レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続することはできません。これを接続すると、本デバイスはスリープ・モードから復帰できなくなります。

7.3.10 ロジック・レベル・ピン構造図

図 7-16 に、ロジック・レベル・ピン STEP、DIR、nSLEEP、SDI、SCLK の入力構造を示します。

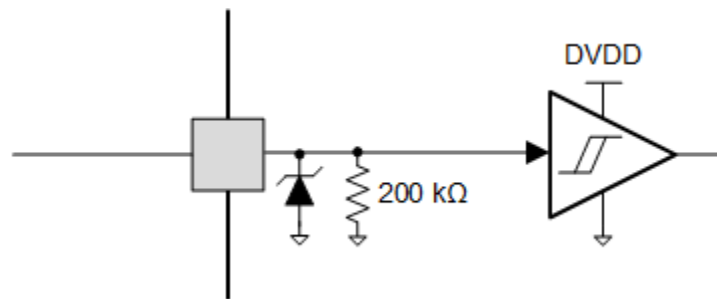


図 7-16. ロジック・レベル入力ピン構造図

図 7-17 に、ロジック・レベル・ピン DRVOFF、nSCS の入力構造を示します。

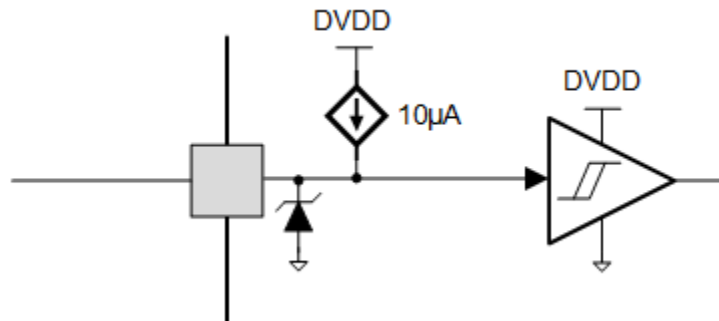


図 7-17. 内部プルアップ付きロジック・レベル入力ピン構造図

7.3.10.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V または 3.3V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンはロジック Low になります。電源投入後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンから抵抗を介して DVDD ピンに接続できます。3.3V にプルアップする場合、外部の 3.3V 電源を使う必要があります。

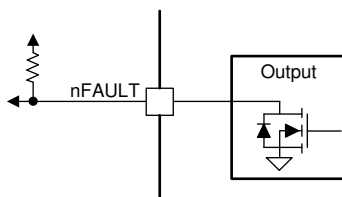


図 7-18. nFAULT ピン

7.3.11 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱、開放負荷イベントからデバイスを保護します。

7.3.11.1 VM 低電圧誤動作防止 (UVLO)

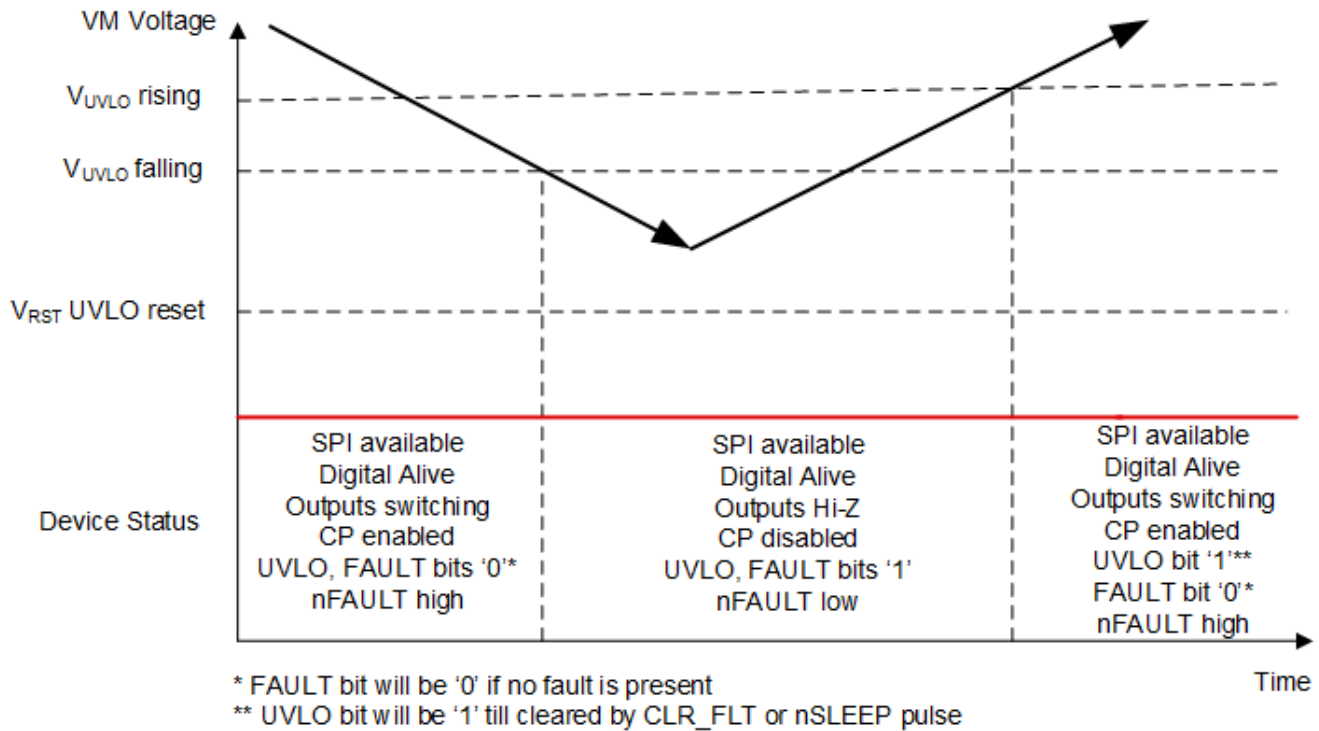


図 7-19. 電源電圧ランプ・プロファイル

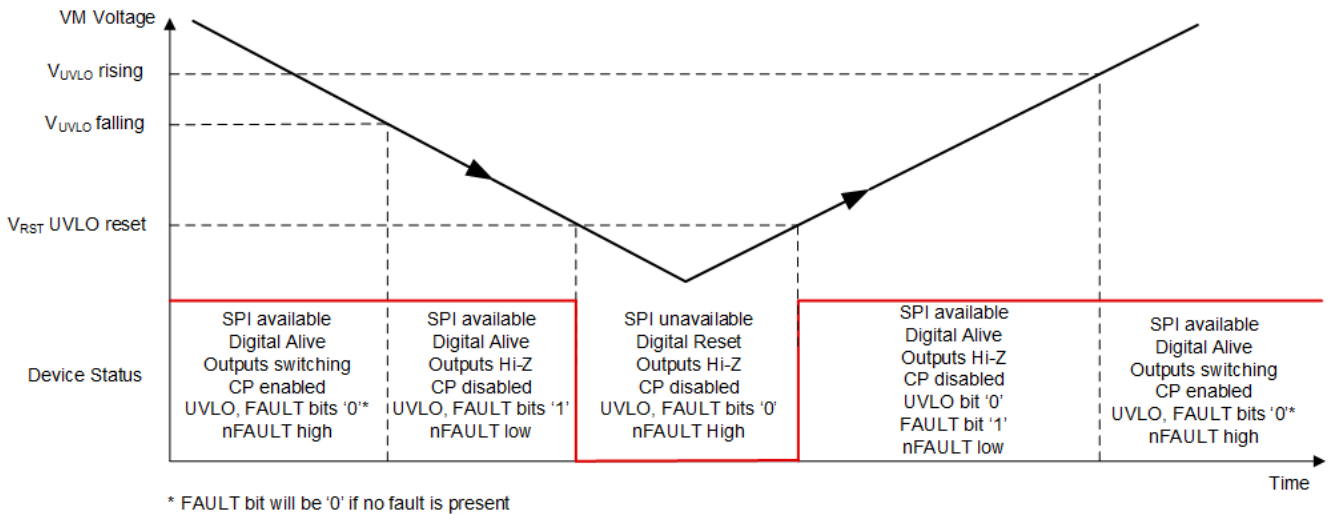


図 7-20. 電源電圧ランプ・プロファイル

VM ピンの電圧が UVLO 立ち下がりスレッショルド電圧を下回ると常に、すべての出力がディセーブルされ (ハイ・インピーダンス)、チャージ・ポンプ (CP) がディセーブルされます。VM 電圧が UVLO 立ち上がりスレッショルド電圧を上回ると、通常動作に復帰します (モータ・ドライバとチャージ・ポンプ)。

VM ピンの電圧が、UVLO 立ち下がりスレッショルド電圧 (標準値 4.25V) を下回っていても、VM UVLO リセット電圧 (V_{RST} , 3.9V 以下) を上回っていると、SPI 通信が利用可能で、本デバイスのデジタル・コアは起動しており、SPI レジスタの FAULT ビットと UVLO ビットが High になり、nFAULT ピンが Low に駆動されます (図 7-19 を参照)。この状態から、VM 電圧が UVLO 立ち上がりスレッショルド電圧 (標準値 4.35V) を上回ると、nFAULT ピンが解放され (外部電圧にブ

ルアップされる)、FAULT ビットがリセットされます。しかし UVLO ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまで High にラッチされたまま維持されます。

VM ピンの電圧が VM UVLO リセット電圧 (V_{RST} , 3.9V 以下) を下回ると、SPI 通信が利用できなくなり、デジタル・コアはシャットダウンし、FAULT ビットと UVLO ビットは Low になり、nFAULT ピンは High になります。その後の電圧上昇で、VM 電圧が V_{RST} 電圧を上回ると、デジタル・コアが起動し、UVLO ビットが Low に維持されますが、FAULT ビットは High になり、nFAULT ピンは Low になります (図 7-20 を参照)。VM 電圧が VM UVLO 立ち上がりスレッシュホールドを上回ると、FAULT ビットはリセットされ、UVLO ビットは Low に維持され、nFAULT ピンは High になります。

7.3.11.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。SPI レジスタの FAULT ビットと CPUV ビットが High になります。VCP の低電圧状態が解消されると、通常動作に復帰します (モータ・ドライバが動作を開始し、nFAULT が解放され、FAULT ビットが Low になります)。CPUV ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまでセットされたまま維持されます。

7.3.11.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることにより FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、その特定の H ブリッジの FET がディセーブルされ、nFAULT ピンは Low に駆動されます。SPI レジスタの FAULT ビットと OCP ビットが High にラッチされます。xOUTx と VM が短絡した場合、DIAG ステータス 1 レジスタの対応する OCP_LSx_x ビットが High になります。同様に、xOUTx とグランドが短絡した場合、対応する OCP_HSx_x ビットが High になります。たとえば、AOUT1 と VM が短絡した場合、OCP_LS1_A ビットが High になり、BOUT2 とグランドが短絡した場合、OCP_HS2_B ビットが High になります。この条件の間、チャージ・ポンプはアクティブのまま維持されます。過電流保護は 2 つのモード (ラッチド・シャットダウンと自動リトライ) で動作できます。

7.3.11.3.1 ラッチド・シャットダウン (OCP_MODE = 0b)

このモードでは、OCP イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。CLR_FLT コマンドが発行された後、または nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後のいずれかで通常動作に復帰します。これは、本デバイスの OCP イベントのデフォルトのモードです。

7.3.11.3.2 自動リトライ (OCP_MODE = 1b)

このモードでは、OCP イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。 t_{RETRY} 時間が経過し、フォルト条件が解消すると、自動的に通常動作に復帰します (モータ・ドライバの動作の開始、nFAULT の解放、FAULT ビットの Low への遷移)。

7.3.11.4 開放負荷検出 (OL)

どちらかのコイルの巻線電流が、オープン負荷電流スレッシュホールド (I_{OL}) とインデクサによって設定された I_{TRIP} レベルを下回り、この状態が開放負荷検出時間 (t_{OL}) を超えて持続した場合、開放負荷状態が検出されます。開放負荷検出を有効にするには、EN_OL ビットを「1」にする必要があります。開放負荷フォルトが検出されると、SPI レジスタの OL ビットと FAULT ビットが High にラッチされ、nFAULT ピンが Low に駆動されます。OL_A ビットが High の場合、それは巻線 A (AOUT1 と AOUT2 の間) の開放負荷フォルトを示します。同様に、BOUT1 と BOUT2 の間の開放負荷フォルトによって OL_B ビットが High になります。開放負荷条件が解消し、かつ CLR_FLT ビットと nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行されると、通常動作に復帰し、nFAULT ラインはただちに解放されます。本デバイスの電源を切って再投入した後、またはスリープ・モードから復帰した後も、このフォルトはクリアされます。

開放負荷検出時間より長い間 0° 、 90° 、 180° 、 270° の電気角に対応する位置にモータが保持されると、開放負荷フォルトのフラグが立ち、コイル電流の 1 つがゼロであることを示します。フルステップ・モードでは、コイル電流は決してゼロにならないため、この状況は発生しません。

7.3.11.5 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。この状態では、チャージ・ポンプはディセーブルされます。さらに、FAULT ビッ

ト、TF ビット、OTS ビットが High にラッチされます。この保護機能をディセーブルにすることはできません。過熱保護は 2 つのモード (ラッチド・シャットダウンと自動復帰) で動作できます。

7.3.11.5.1 ラッチド・シャットダウン (OTSD_MODE = 0b)

このモードでは、OTSD イベントの後、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。SPI レジスタの FAULT ビット、TF ビット、OTS ビットが High にラッチされます。CLR_FLT コマンドが発行された後、または nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後のいずれかで通常動作に復帰します。これは、OTSD イベントのデフォルトのモードです。

7.3.11.5.2 自動復帰 (OTSD_MODE = 1b)

このモードでは、OTSD イベントの後、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。SPI レジスタの FAULT ビット、TF ビット、OTS ビットが High にラッチされます。接合部温度が、過熱スレッシュホールド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作に復帰します (モータ・ドライバの動作の開始、nFAULT ラインの解放、FAULT ビットの Low への遷移)。TF ビットと OTS ビットは、High にラッチされ、過熱状態が発生していたことを示します。これは、CLR_FLT ビットまたは nSLEEP リセット・パルスのいずれかによって障害クリア・コマンドが発行されるまで維持されます。

7.3.11.6 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ・ポイント (T_{OTW}) を上回ると、SPI レジスタの OTW ビットと TF ビットがセットされます。デバイスの動作は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス・ポイント (T_{HYS_OTW}) を下回ると、OTW ビットと TF ビットは自動的にクリアされます。また、SPI レジスタの TW_REP ビットを 1b に設定することで、nFAULT ピンでフォルトを通知し、かつ SPI レジスタの FAULT ビットをセットするように OTW ビットを構成することもできます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。

7.3.11.7 低温警告 (UTW)

ダイ温度が低温警告のトリップ・ポイント (T_{UTW}) を下回ると、SPI レジスタの UTW ビットと TF ビットがセットされます。デバイスの動作は継続され、追加動作が実行されることはありません。ダイ温度が低温警告のヒステリシス・ポイント (T_{HYS_UTW}) を上回ると、UTW ビットと TF ビットは自動的にクリアされます。また、SPI レジスタの TW_REP ビットを 1b に設定することで、nFAULT ピンでフォルトを通知し、かつ SPI レジスタの FAULT ビットをセットするように UTW ビットを構成することもできます。この状態の間、チャージ・ポンプはアクティブのまま維持されます。

表 7-9. フォルト条件のまとめ

フォルト	条件	構成	異常通知	H ブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$ (最大値 4.35V)	—	nFAULT / SPI	ディセーブル	ディセーブル	ディセーブル	リセット ($V_{VM} < 3.9V$)	自動: $VM < V_{UVLO}$ (最大値 4.45V)
VCP 低電圧検出 (CPUV)	$VCP < V_{CPUV}$ (標準値 VM + 2.25V)	—	nFAULT / SPI	ディセーブル	動作	動作	動作	$VCP > V_{CPUV}$ (標準値 VM + 2.7V)
過電流 (OCP)	$I_{OUT} > I_{OCP}$ (最小値 1.7A)	OCP_MOD E = 0b	nFAULT / SPI	ディセーブル	動作	動作	動作	ラッチ: CLR_FLT / nSLEEP
		OCP_MOD E = 1b	nFAULT / SPI	ディセーブル	動作	動作	動作	自動リトライ: t_RETRY
開放負荷 (OL)	負荷が検出されない	EN_OL = 1b	nFAULT / SPI	動作	動作	動作	動作	通知のみ
過熱警告 (OTW)	$T_J > T_{OTW}$	TW_REP = 1b	nFAULT / SPI	動作	動作	動作	動作	自動: $T_J < T_{OTW} - T_{HYS_OTW}$
		TW_REP = 0b	SPI	動作	動作	動作	動作	
低温警告 (UTW)	$T_J < T_{UTW}$	TW_REP = 1b	nFAULT / SPI	動作	動作	動作	動作	自動: $T_J > T_{UTW} + T_{HYS_UTW}$
		TW_REP = 0b	SPI	動作	動作	動作	動作	

表 7-9. フォルト条件のまとめ (continued)

フォルト	条件	構成	異常通知	Hブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
サーマル・シャットダウン (OTSD)	$T_J > T_{OTSD}$	OTSD_MO DE = 0b	nFAULT / SPI	ディセーブル	ディセーブル	動作	動作	ラッチ: CLR_FLT / nSLEEP
		OTSD_MO DE = 1b	SPI	ディセーブル	ディセーブル	動作	動作	自動: $T_J < T_{OTSD} - T_{HYS_OTSD}$

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

本デバイスの状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET、DVDD レギュレータ、チャージ・ポンプ、SPI がディセーブルされます。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 ディセーブル・モード (nSLEEP = 1、DRVOFF = 1)

DRVOFF ピンは、本デバイスのハーフ・ブリッジをイネーブルまたはディセーブルするために使用されます。DRVOFF ピンが High になると、出力ドライバはディセーブルになり、ハイ・インピーダンス状態になります。

DIS_OUT ビットも、出力ドライバをディセーブルする目的で使用できます。DIS_OUT ビットを「1」にすると、出力ドライバはディセーブルになり、ハイ・インピーダンス状態になります。DIS_OUT は DRVOFF ピンと論理和がとられます。

表 7-10. 出力ドライバをイネーブルまたはディセーブルするための条件

nSLEEP	DRVOFF	DIS_OUT	Hブリッジ
0	ドント・ケア	ドント・ケア	ディセーブル
1	0	0	動作
1	0	1	ディセーブル
1	1	0	ディセーブル
1	1	1	ディセーブル

7.4.3 動作モード (nSLEEP = 1、DRVOFF = 0)

nSLEEP ピンが High、DRVOFF ピンが Low、 $VM > UVLO$ のすべてに該当する場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.4 nSLEEP リセット・パルス

ラッチされたフォルトは、SPI レジスタの CLR_FLT ビットに加えて、短い nSLEEP パルスでもクリアできます。このパルス幅は 18 μ s より長く 35 μ s より短い必要があります。nSLEEP が 35 μ s より長く 75 μ s より短い間 Low である場合、フォルトはクリアされますが、本デバイスはタイミング図で示すように、シャットダウンする場合としない場合があります (図 7-21 を参照)。このリセット・パルスはすべての SPI フォルトをリセットし、チャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

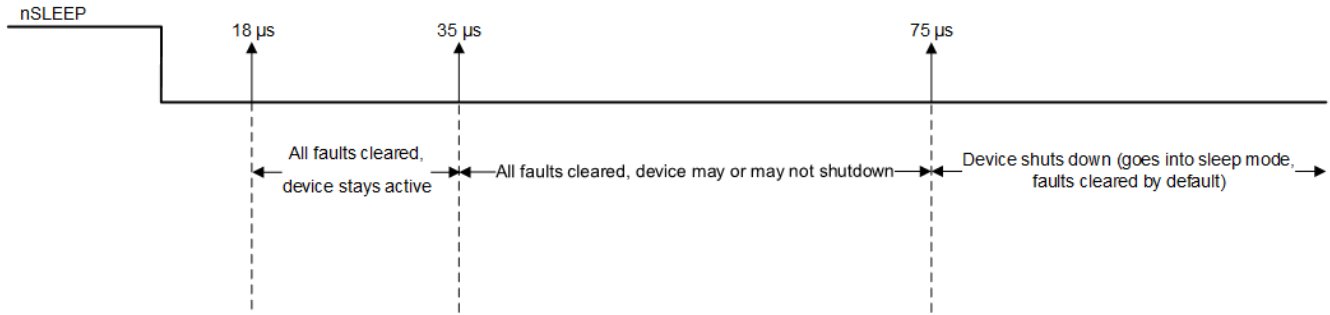


図 7-21. nSLEEP リセット・パルス

表 7-11 に、機能モードのまとめを示します。

表 7-11. 機能モードのまとめ

条件	構成	H ブリッジ	DVDD レギュレ ータ	チャージ・ポンプ	インデクサ	ロジック
スリープ・モード	4.5V < VM < 45V nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 45V nSLEEP ピン = 1 DRVOFF ピン = 0	動作	動作	動作	動作	動作
ディセーブル	4.5V < VM < 45V nSLEEP ピン = 1 DRVOFF ピン = 1	ディセーブル	動作	動作	動作	動作

7.5 プログラミング

7.5.1 シリアル・ペリフェラル・インターフェイス (SPI) 通信

本デバイスの SPI は、全二重 4 線式同期通信に対応しています。このセクションでは、SPI プロトコル、コマンド構造、制御およびステータス・レジスタについて説明します。本デバイスは、以下の構成で MCU と接続できます。

- 1 つのスレーブ・デバイス
- 並列接続した複数のスレーブ・デバイス
- 直列 (デジター・チェーン) 接続した複数のスレーブ・デバイス

7.5.1.1 SPI フォーマット

SDI 入力データ・ワードは 16 ビット長であり、以下のフォーマットで構成されています。

- 1 読み取りまたは書き込みビット、W (ビット 14)
- 5 アドレス・ビット、A (ビット 13~9)
- 8 データ・ビット、D (ビット 7~0)

SDO 出力データ・ワードは 16 ビット長であり、上位 8 ビットはステータス・レジスタ (S1) を構成します。レポート・ワード (R1) はアクセス先のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、SDO ピンでの応答ワードはその時点で書き込み先レジスタ内にあるデータです。

読み取りコマンド (W0 = 1) の場合、応答ワードはその時点で読み取り元レジスタ内にあるデータです。

表 7-12. SDI 入力データ・ワードのフォーマット

R/W	アドレス							ドット・ケア	データ							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
0	W0	A4	A3	A2	A1	A0	X	D7	D6	D5	D4	D3	D2	D1	D0	

表 7-13. SDO 出力データ・ワードのフォーマット

ステータス								レポート							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
1	1	UVLO	CPUV	OCV	RSVD	TF	OL	D7	D6	D5	D4	D3	D2	D1	D0

7.5.1.2.1 つのスレーブ・デバイスのための SPI

SPI は、デバイス構成と動作パラメータの設定、診断情報の読み出しに使用します。SPI はスレーブ・モードで動作します。SPI 入力データ (SDI) ワードは 16 ビットのワード、8 ビットのコマンド、8 ビットのデータで構成されています。SPI 出力データ (SDO) ワードは 8 ビットのステータス・レジスタ (フォルト・ステータス表示付き) と 8 ビットのレジスタ・データで構成されています。図 7-22 に、MCU と SPI スレーブ・ドライバの間のデータ・シーケンスを示します。

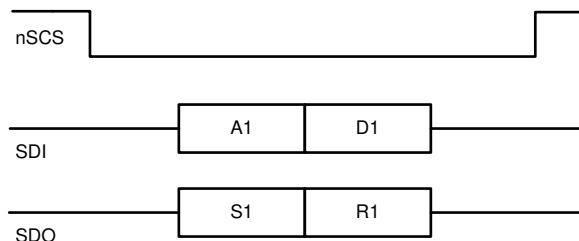


図 7-22. MCU と本デバイス間の SPI トランザクション

有効なフレームは以下の条件を満たしていなければなりません。

- nSCS ピンが Low になる際と nSCS ピンが High になる際に、SCLK ピンは Low である必要がある。
- nSCS ピンは、フレーム間の 500ns 以上にわたって High になっている必要がある。
- nSCS ピンが High にアサートされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ・インピーダンス状態 (Hi-Z) になる。
- 16 SCLK サイクルのすべてが発生する必要がある。
- データはクロックの立ち下がりエッジでキャプチャされ、クロックの立ち上がりエッジで駆動される。
- 最上位ビット (MSB) のシフト・イン / シフト・アウトが最初に行われる。
- SDI ピンに送信されるデータ・ワードが 16 ビットより少ない場合または 16 ビットより多い場合、フレーム・エラーが発生してデータ・ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド・データに続いて SDO ピンでシフト・アウトされる。

7.5.1.3 パラレル構成の複数のスレーブ・デバイスのための SPI

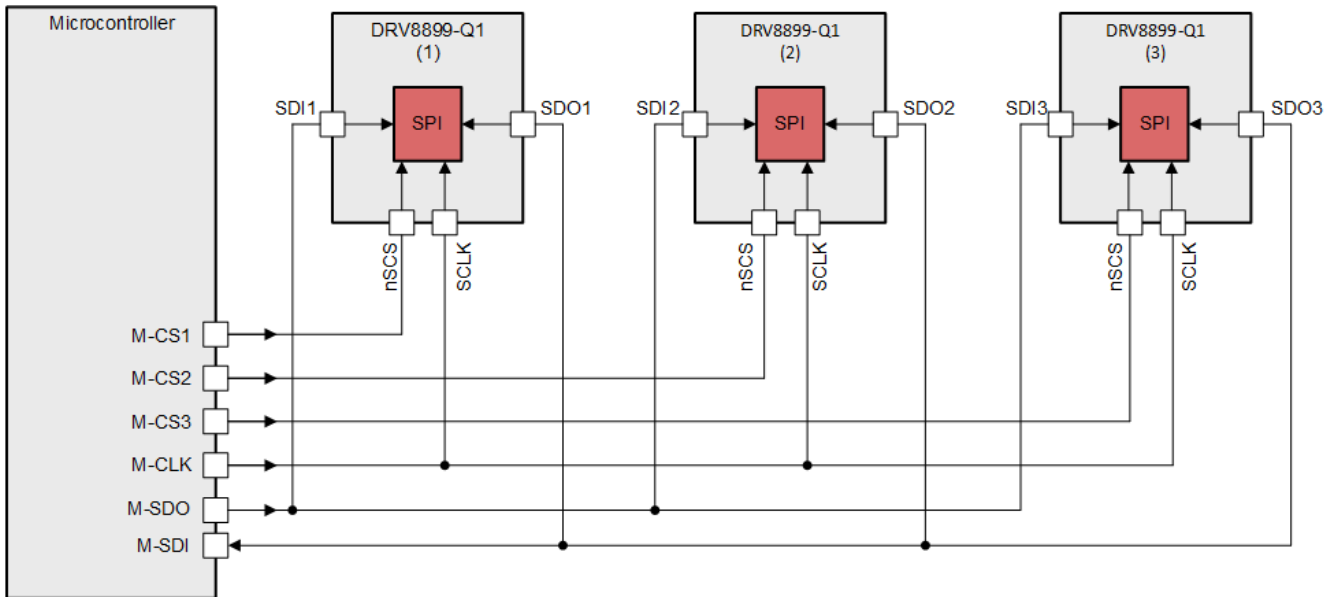


図 7-23. パラレル構成で接続された 3 つの DRV8899-Q1 デバイス

7.5.1.4 デイジー・チェーン構成の複数のスレーブ・デバイスのための SPI

複数のデバイスが同じ MCU と通信する際に、DRV8899-Q1 デバイスをデイジー・チェーン構成で接続することで GPIO ポートを空けておくことができます。図 7-24 に、3 つのデバイスを直列に接続する場合のトポロジを示します。

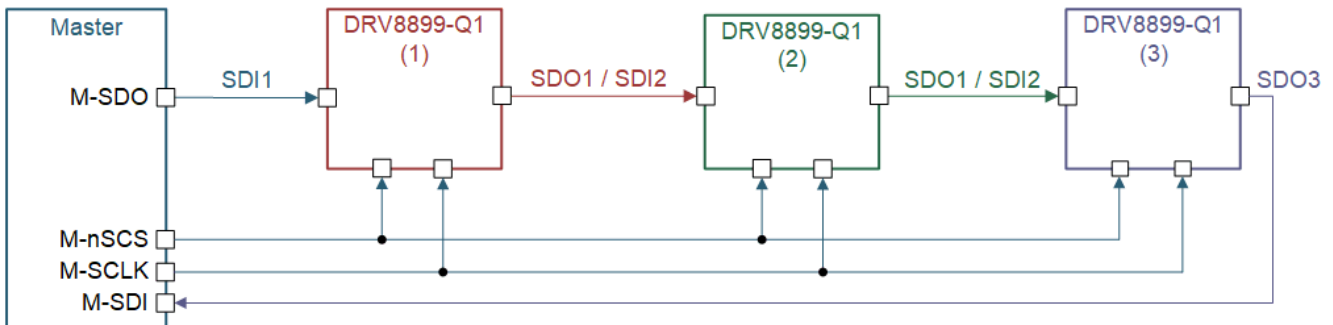


図 7-24. デイジー・チェーン接続された 3 つの DRV8899-Q1 デバイス

チェーンの最初のデバイスは、3 デバイス構成に対応する次のフォーマットで MCU からデータを受信します。2 バイトのヘッダ (HDRx) + 3 バイトのアドレス (Ax) + 3 バイトのデータ (Dx)。

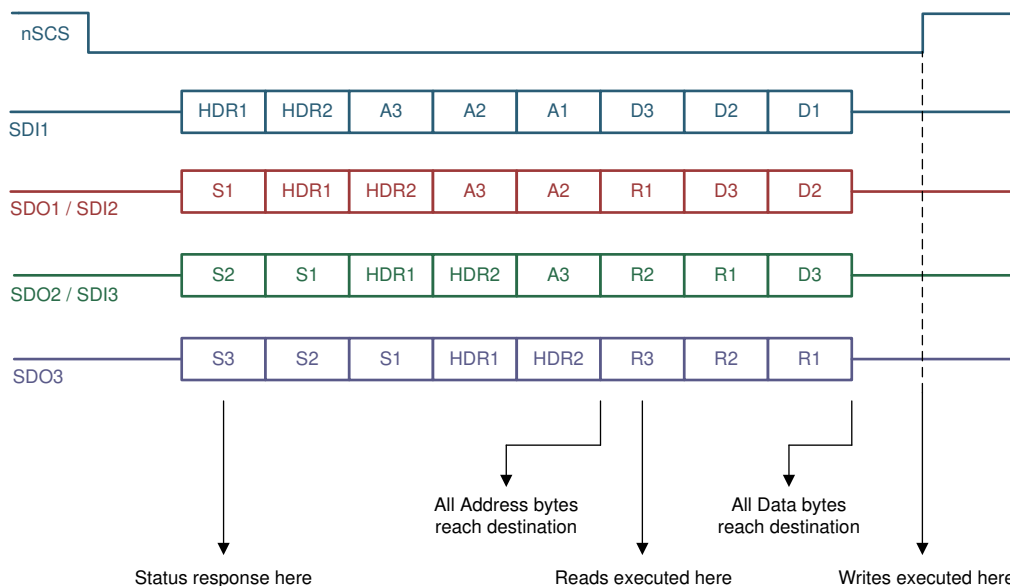


図 7-25. 3 つのデバイスによる SPI フレーム

データがチェーンを介して送信されると、MCU は 3 デバイス構成に対応する次のフォーマットでデータ・ストリングを受信します。3 バイトのステータス (Sx) + 2 バイトのヘッダ + 3 バイトのレポート (Rx)。

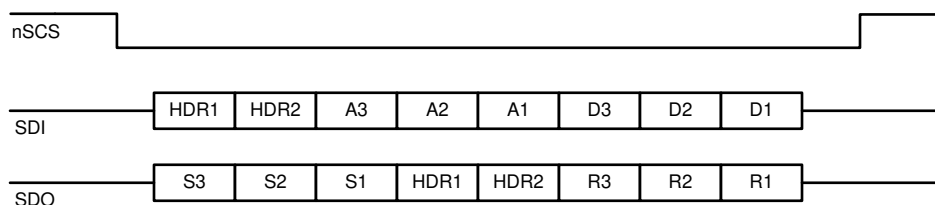


図 7-26. 3 つのデバイスのための SPI データ・シーケンス

ヘッダ・バイトには、チェーン接続されたデバイス数とグローバル障害クリア・コマンドの情報が含まれています。グローバル障害クリア・コマンドとは、すべてのデバイスの FAULT レジスタをチップ選択 (nSCS) 信号の立ち上がりエッジでクリアするコマンドです。ヘッダ値 N5~N0 は、チェーン内のデバイスの数を示すための 6 ビット値です。各デジター・チェーン接続に、最大 63 のデバイスを直列に接続できます。

HDR2 レジスタの下位 5 ビットは、MCU がデジター・チェーン接続の整合性を判断するために使えるドント・ケア・ビットです。ヘッダ・バイトは、上位 2 ビットが 10 で始まる必要があります。

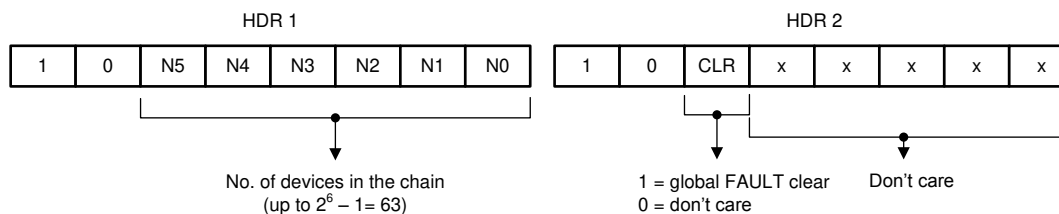


図 7-27. ヘッダ・バイト

ステータス・バイトは、MCU が読み出しコマンドを発行して特定のデバイスからフォルト・ステータスを読み取る必要がないように、デジター・チェーン内の各デバイスの FAULT ステータス・レジスタに関する情報を提供します。これにより、MCU は追加の読み取りコマンドを確保でき、システムは、デバイス内でフラグが立ったフォルト条件をより効率的に特定できます。ステータス・バイトは、上位 2 ビットが 11 で始まる必要があります。

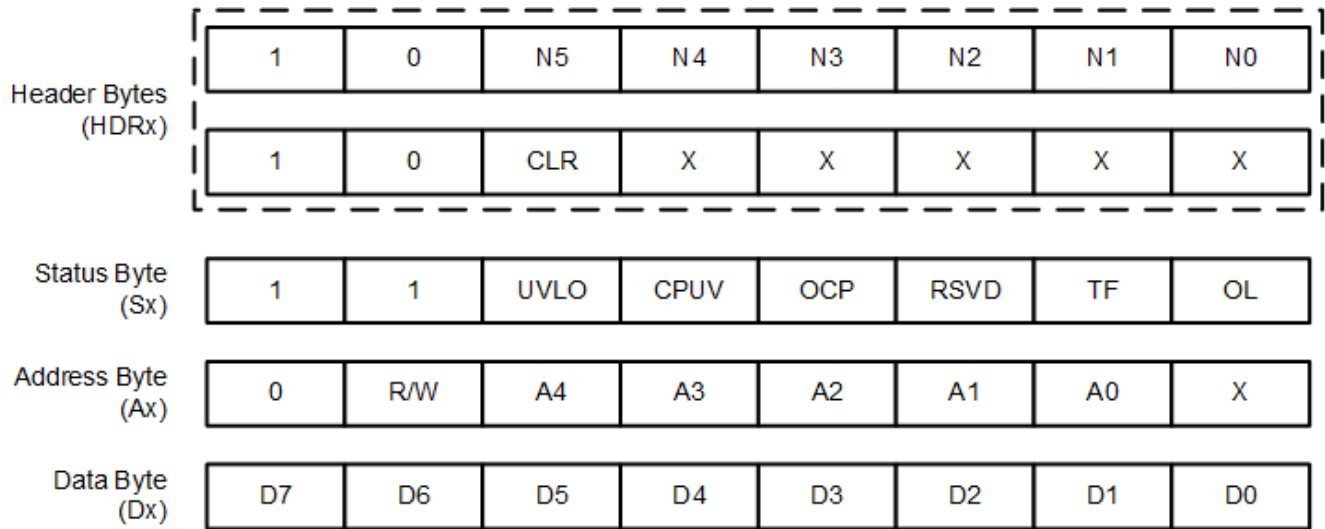


図 7-28. DRV8899-Q1 のヘッダ、ステータス、アドレス、データ・バイトの内容

データがデバイスを通る際、そのデバイスは最初のヘッダ・バイトに続けて受信したステータス・バイトの数を数えることで、チェーン内の自身の位置を判断します。たとえば、この 3 デバイス構成では、チェーン内のデバイス 2 は、HDR1 バイトとそれに続く HDR2 バイトを受信する前に 2 つのステータス・バイトを受信します。

受信したステータス・バイトが 2 つであることから、デバイス 2 は自身の位置がチェーン内の 2 番目であることがわかります。HDR2 バイトから、チェーン内に接続されているデバイスの数がわかります。このようにして、データは関連するアドレスおよびデータ・バイトのみをバッファに読み込み、その他のビットは無視します。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを追加せずに、より高速な通信を可能にします。

アドレスおよびデータ・バイトは 1 デバイス接続と同じです。レポート・バイト (R1~R3、図 7-26 を参照) は、アクセス先のレジスタの内容です。

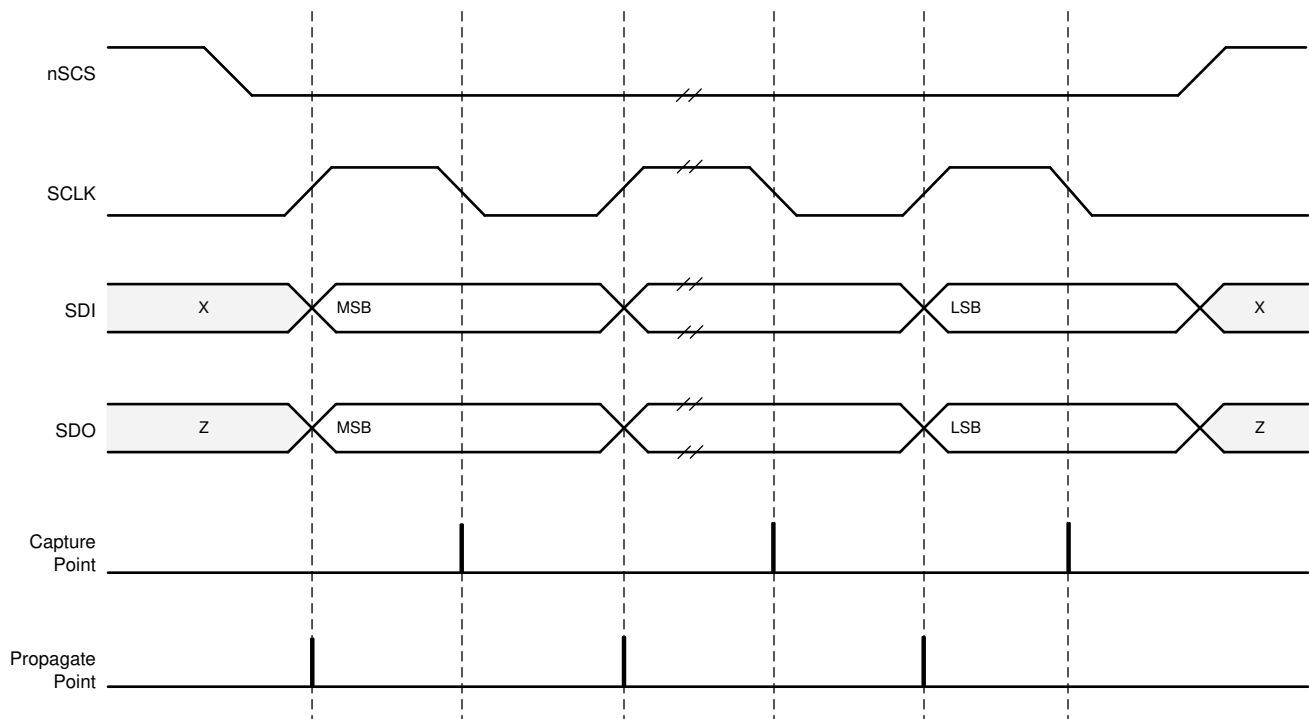


図 7-29. SPI トランザクション

7.6 レジスタ・マップ

メモリ マップに、DRV8899-Q1 のメモリ・マップされたレジスタを示します。メモリ マップにないレジスタ・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-14. メモリ・マップ

レジスタ名	7	6	5	4	3	2	1	0	アクセス・タイプ	アドレス	
FAULT ステータス	FAULT	SPI_ERROR	UVLO	CPUV	OCP	RSVD	TF	OL	R	0x00	
DIAG ステータス 1	OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A	R	0x01	
DIAG ステータス 2	UTW	OTW	OTS	RSVD			OL_B	OL_A	R	0x02	
CTRL1	TRQ_DAC [3:0]			RSVD			SLEW_RATE [1:0]		RW	0x03	
CTRL2	DIS_OUT	RSVD		TOFF [1:0]		DECAY [2:0]			RW	0x04	
CTRL3	DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE [3:0]					RW	0x05
CTRL4	CLR_FLT	LOCK [2:0]			EN_OL	OCP_MODE	OTSD_MODE	TW_REP	RW	0x06	
CTRL5	RSVD								RW	0x07	
CTRL6	RSVD								RW	0x08	
CTRL7	RSVD								R	0x09	
CTRL8	RSVD				REV_ID [3:0]				R	0x0A	

DRV8889-Q1 と DRV8889A-Q1 のレジスタ・マップの違いは、DRV8889A-Q1 のレジスタ・マップには CTRL5 レジスタの OL_TIME [1:0] および EN_SR_BLANK ビットが含まれていることです。これらのビットは、開放負荷検出時間、および低速減衰フェーズとドライブ・フェーズの間のブランキング時間を設定するために使います。また、CTRL2 レジスタの DIS_OUT ビットのデフォルト値は、DRV8889A-Q1 では異なります。

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 7-15 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 7-15. アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み出しタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1 ステータス・レジスタ

ステータス・レジスタは、警告およびフォルト状態を示すために使用されます。ステータス・レジスタは読み取り専用レジスタです。

表 7-16 に、ステータス・レジスタのメモリ・マップされたレジスタを示します。表 7-16 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-16. ステータス・レジスタまとめ表

アドレス	レジスタ名	セクション
0x00	FAULT ステータス	表示
0x01	DIAG ステータス 1	表示
0x02	DIAG ステータス 2	表示

7.6.2 FAULT ステータス・レジスタ名 (アドレス = 0x00)

図 7-30 に、FAULT ステータス・レジスタのフィールドを示し、図 7-30 に、その説明を示します。

読み出し専用

図 7-30. FAULT ステータス・レジスタ

7	6	5	4	3	2	1	0
FAULT	SPI_ERROR	UVLO	CPUV	OCP	RSVD	TF	OL
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-17. FAULT ステータス・レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	FAULT	R	0b	nFAULT ピンが 1 のとき、FAULT ビットは 0 です。nFAULT ピンが 0 のとき、FAULT ビットは 1 です。
6	SPI_ERROR	R	0b	SPI プロトコル・エラー (例: SCLK パルスが必要な数以上存在する。nSCS が Low であるにもかかわらず SCLK が存在しない) を示します。フォルトで High になり、nFAULT ピンが Low に駆動されます。プロトコル・エラーが解消し、かつ CLR_FLT ビットと nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行されると、通常動作が再開されます。
5	UVLO	R	0b	低電圧誤動作防止フォルト状態を示します。
4	CPUV	R	0b	チャージ・ポンプ低電圧フォルト状態を示します。
3	OCP	R	0b	過電流フォルト状態を示します。
2	RSVD	R	0b	予約済み。
1	TF	R	0b	過熱警告、低温警告、過熱シャットダウンの論理和です。
0	OL	R	0b	開放負荷状態を示します。

7.6.3 DIAG ステータス 1 (アドレス = 0x01)

図 7-31 に、DIAG ステータス 1 レジスタのフィールドを示し、表 7-18 に、その説明を示します。

読み出し専用

図 7-31. DIAG ステータス 1 レジスタ

7	6	5	4	3	2	1	0
OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A

図 7-31. DIAG ステータス 1 レジスタ (continued)

R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b
------	------	------	------	------	------	------	------

表 7-18. DIAG ステータス 1 レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	OCP_LS2_B	R	0b	BOUT のハーフ・ブリッジ 2 のローサイド FET の過電流フォルトを示します。
6	OCP_HS2_B	R	0b	BOUT のハーフ・ブリッジ 2 のハイサイド FET の過電流フォルトを示します。
5	OCP_LS1_B	R	0b	BOUT のハーフ・ブリッジ 1 のローサイド FET の過電流フォルトを示します。
4	OCP_HS1_B	R	0b	BOUT のハーフ・ブリッジ 1 のハイサイド FET の過電流フォルトを示します。
3	OCP_LS2_A	R	0b	AOUT のハーフ・ブリッジ 2 のローサイド FET の過電流フォルトを示します。
2	OCP_HS2_A	R	0b	AOUT のハーフ・ブリッジ 2 のハイサイド FET の過電流フォルトを示します。
1	OCP_LS1_A	R	0b	AOUT のハーフ・ブリッジ 1 のローサイド FET の過電流フォルトを示します。
0	OCP_HS1_A	R	0b	AOUT のハーフ・ブリッジ 1 のハイサイド FET の過電流フォルトを示します。

7.6.4 DIAG ステータス 2 (アドレス = 0x02)

図 7-32 に、DIAG ステータス 2 レジスタのフィールドを示し、表 7-19 に、その説明を示します。

読み出し専用

図 7-32. DIAG ステータス 2 レジスタ

7	6	5	4	3	2	1	0
UTW	OTW	OTS	RSVD			OL_B	OL_A
R-0b	R-0b	R-0b	R-000b			R-0b	R-0b

表 7-19. DIAG ステータス 2 レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	UTW	R	0b	低温警告を示します。
6	OTW	R	0b	過熱警告を示します。
5	OTS	R	0b	過熱シャットダウンを示します。
4-2	RSVD	R	000b	予約済み。
1	OL_B	R	0b	BOUT の開放負荷検出を示します。
0	OL_A	R	0b	AOUT の開放負荷検出を示します。

7.6.5 制御レジスタ

本 IC の制御レジスタは、デバイスの設定に使用します。これらのレジスタは読み取りと書き込みが可能です。

表 7-20 に、制御レジスタのメモリ・マップされたレジスタを示します。表 7-20 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-20. 制御レジスタまとめ表

アドレス	レジスタ名	セクション
0x03	CTRL1	表示
0x04	CTRL2	表示
0x05	CTRL3	表示
0x06	CTRL4	表示
0x07	CTRL5	表示
0x08	CTRL6	表示
0x09	CTRL7	表示

7.6.6 CTRL1 制御レジスタ (アドレス = 0x03)

図 7-33 に、CTRL1 制御レジスタのフィールドを示し、表 7-21 に、その説明を示します。

読み出し/書き込み

図 7-33. CTRL1 制御レジスタ

7	6	5	4	3	2	1	0
TRQ_DAC [3:0]				RSVD		SLEW_RATE [1:0]	
R/W-0000b				R/W-00b		R/W-00b	

表 7-21. CTRL1 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-4	TRQ_DAC [3:0]	R/W	0000b	0000b = 100% 0001b = 93.75% 0010b = 87.5% 0011b = 81.25% 0100b = 75% 0101b = 68.75% 0110b = 62.5% 0111b = 56.25% 1000b = 50% 1001b = 43.75% 1010b = 37.5% 1011b = 31.25% 1100b = 25% 1101b = 18.75% 1110b = 12.5% 1111b = 6.25%
3-2	RSVD	R/W	00b	予約済み
1-0	SLEW_RATE [1:0]	R/W	00b	00b = 10V/μs 01b = 35V/μs 10b = 50V/μs 11b = 105V/μs

7.6.7 CTRL2 制御レジスタ (アドレス = 0x04)

図 7-34 に、DRV8889A-Q1 の CTRL2 制御レジスタのフィールドを示し、表 7-22 に、その説明を示します。

読み出し/書き込み

図 7-34. DRV8899-Q1 の CTRL2 制御レジスタ

7	6	5	4	3	2	1	0
DIS_OUT	RSVD		TOFF [1:0]		DECAY [2:0]		
R/W-0b	R/W-00b		R/W-01b		R/W-111b		

表 7-22. DRV8899-Q1 の CTRL2 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	DIS_OUT	R/W	0b (DRV8899-Q1) 1b (DRV8899A-Q1)	すべての出力をハイ・インピーダンスにするには、「1」を書き込みます。すべての出力を有効にするには、「0」を書き込みます。DRVOFF ピンとの論理和がとられます。OL の誤検出を防ぐには、EN_OL ビットに「0」を書き込むことで OL フォルト検出が無効になっていることを確認してから、DIS_OUT に「1」を書き込むことで出力をハイ・インピーダンスにします。
6-5	RSVD	R/W	00b	予約済み
4-3	TOFF [1:0]	R/W	01b	00b = 7μs 01b = 16μs 10b = 24μs 11b = 32μs
2-0	DECAY [2:0]	R/W	111b	000b = 電流増加時は低速、電流減少時は低速 001b = 電流増加時は低速、電流減少時は混合 30% 010b = 電流増加時は低速、電流減少時は混合 60% 011b = 電流増加時は低速、電流減少時は高速 100b = 電流増加時は混合 30%、電流減少時は混合 30% 101b = 電流増加時は混合 60%、電流減少時は混合 60% 110b = スマート・チューン・ダイナミック減衰 111b = スマート・チューン・リップル制御

7.6.8 CTRL3 制御レジスタ (アドレス = 0x05)

図 7-35 に、CTRL3 制御レジスタのフィールドを示し、表 7-23 に、その説明を示します。

読み出し/書き込み

図 7-35. CTRL3 制御レジスタ

7	6	5	4	3	2	1	0
DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE [3:0]			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0000b			

表 7-23. CTRL3 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	DIR	R/W	0b	方向入力。SPI_DIR = 1 の場合、ロジック「1」はステップ方向を設定します。
6	STEP	R/W	0b	ステップ入力。SPI_STEP = 1 の場合、ロジック「1」にするとインデクサが 1 ステップ進みます。このビットは「1」が書き込まれた後、自己クリアされ自動的に「0」になります。
5	SPI_DIR	R/W	0b	0b = 出力は入力ピン DIR に従います。 1b = 出力は SPI レジスタの DIR に従います。
4	SPI_STEP	R/W	0b	0b = 出力は入力ピン STEP に従います。 1b = 出力は SPI レジスタの STEP に従います。

表 7-23. CTRL3 制御レジスタのフィールドの説明 (continued)

ビット	フィールド	タイプ	デフォルト	説明
3-0	MICROSTEP_MODE [3:0]	R/W	0000b	0000b = 100% 電流によるフルステップ (2 相励磁) 0001b = 71% 電流によるフルステップ (2 相励磁) 0010b = 非真円 1/2 ステップ 0011b = 1/2 ステップ 0100b = 1/4 ステップ 0101b = 1/8 ステップ 0110b = 1/16 ステップ 0111b = 1/32 ステップ 1000b = 1/64 ステップ 1001b = 1/128 ステップ 1010b = 1/256 ステップ 1011b~1111b = 予約済み

7.6.9 CTRL4 制御レジスタ (アドレス = 0x06)

図 7-36 に、CTRL4 制御レジスタのフィールドを示し、表 7-24 に、その説明を示します。

読み出し/書き込み

図 7-36. CTRL4 制御レジスタ

7	6	5	4	3	2	1	0
CLR_FLT		LOCK [2:0]		EN_OL	OCP_MODE	OTSD_MODE	TW_REP
R/W-0b		R/W-011b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-24. CTRL4 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7	CLR_FLT	R/W	0b	すべてのラッチされたフォルト・ビットをクリアするには、このビットに「1」を書き込みます。書き込んだ後、このビットは自動的にリセットされます。
6-4	LOCK [2:0]	R/W	011b	設定をロックして、レジスタへのさらなる書き込み (これらのビットとアドレス 0x06h のビット 7 (CLR_FLT) への書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
3	EN_OL	R/W	0b	開放負荷検出を有効にするには、「1」を書き込みます。
2	OCP_MODE	R/W	0b	0b = 過電流状態によってラッチされたフォルトが発生します。 1b = 過電流状態によって自動リトライ・フォルトが発生します。
1	OTSD_MODE	R/W	0b	0b = 過熱状態によってラッチされたフォルトが発生します。 1b = 過熱状態によって自動復帰フォルトが発生します。
0	TW_REP	R/W	0b	0b = 過熱または低温警告は nFAULT ラインで通知されません。 1b = 過熱または低温警告は nFAULT ラインで通知されます。

7.6.10 CTRL5 制御レジスタ (アドレス = 0x07)

図 7-37 に、CTRL5 制御レジスタのフィールドを示し、表 7-25 に、その説明を示します。

読み出し/書き込み

図 7-37. CTRL5 制御レジスタ

7	6	5	4	3	2	1	0
RSVD							
R/W-00001000b							

表 7-25. CTRL5 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-0	RSVD	R/W	00001000b	予約済み。常に「00001000」である必要があります。

7.6.11 CTRL6 制御レジスタ (アドレス = 0x08)

図 7-38 に、CTRL6 制御レジスタのフィールドを示し、表 7-26 に、その説明を示します。

読み出し/書き込み

図 7-38. CTRL6 制御レジスタ

7	6	5	4	3	2	1	0
RSVD							
R/W-00001111b							

表 7-26. CTRL6 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-0	RSVD	R/W	00001111b	予約済み。

7.6.12 CTRL7 制御レジスタ (アドレス = 0x09)

図 7-39 に、CTRL7 制御レジスタのフィールドを示し、表 7-27 に、その説明を示します。

読み出し専用

図 7-39. CTRL7 制御レジスタ

7	6	5	4	3	2	1	0
RSVD							
R-11111111b							

表 7-27. CTRL7 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-0	RSVD	R	11111111b	予約済み。

7.6.13 CTRL8 制御レジスタ (アドレス = 0x0A)

図 7-40 に、CTRL8 制御レジスタのフィールドを示し、表 7-28 に、その説明を示します。

読み出し専用

図 7-40. CTRL8 制御レジスタ

7	6	5	4	3	2	1	0
RSVD				REV_ID [3:0]			
R-0000b				R-0010b			

表 7-28. CTRL8 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	デフォルト	説明
7-4	RSVD	R	0000b	予約済み
3-0	REV_ID	R	0010b	シリコンのリビジョン識別。 0000b は第 1 のプロトタイプ・リビジョンを示します。 0001b は第 2 のプロトタイプ・リビジョンを示します。 0010b は量産リビジョンを示します。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8899-Q1 はバイポーラ・ステッピング制御で使用されます。

8.2 代表的なアプリケーション

次の設計手順で DRV8899-Q1 を構成できます。

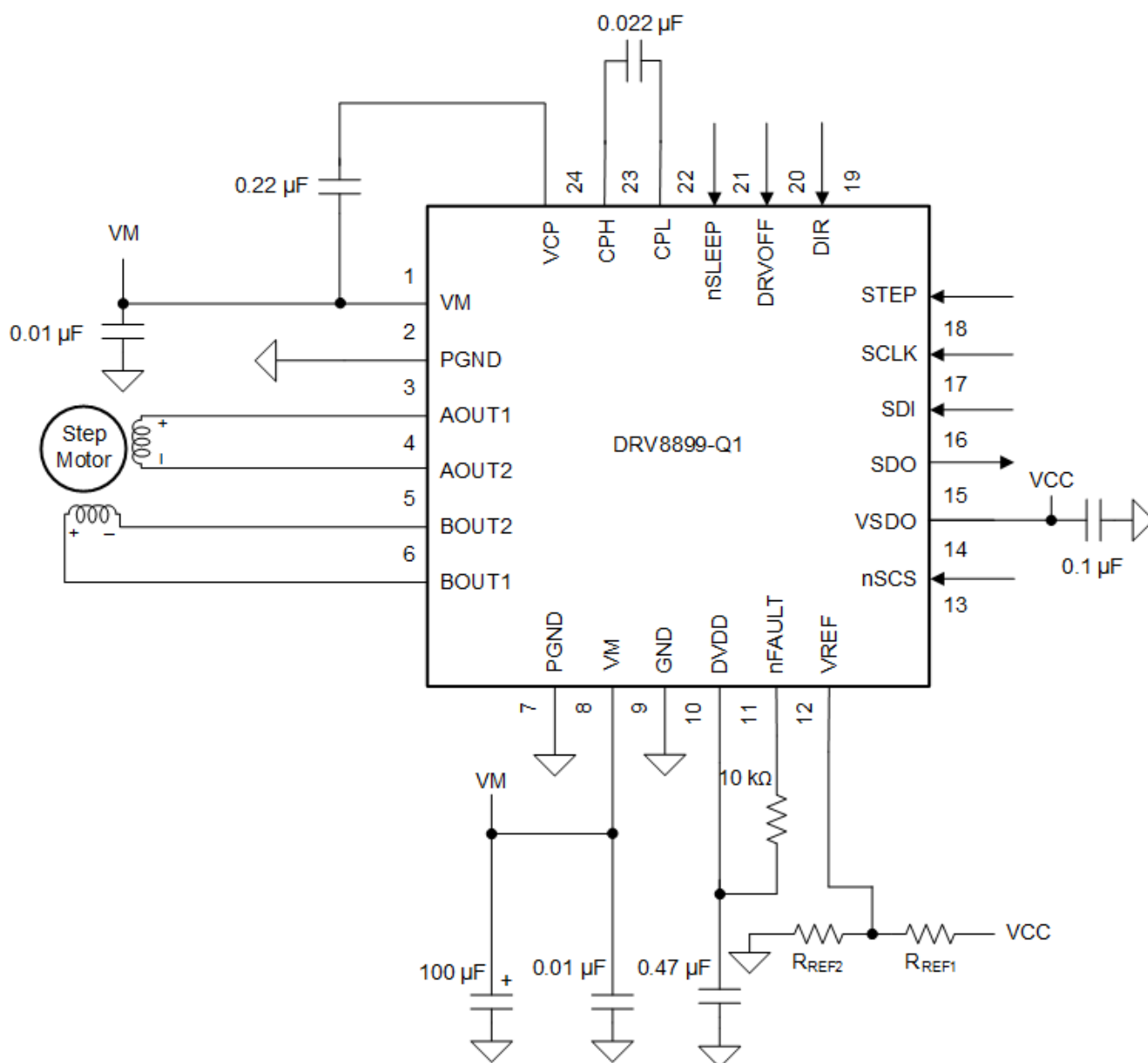


図 8-1. 代表的なアプリケーション回路図 (VQFN パッケージ)

8.2.1 設計要件

表 8-1 に、代表的な適応型ヘッドライト・アプリケーションの設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	9V~16V、公称 13.5V
モータ巻線抵抗	R _L	7.7Ω/相
モータ・フルステップ角	θ _{step}	15°/ステップ
目標マイクロステッピング・レベル	n _m	1/8 ステップ
目標モータ速度	v	300rpm
目標フルスケール電流	I _{FS}	500mA

8.2.2 詳細な設計手順

8.2.2.1 ステッピング・モータの速度

本デバイスを構成するには、まず、モータ速度とマイクロステッピング・レベルの目標値が必要です。対象とするアプリケーションで一定速度が必要な場合、周波数 f_{step} の矩形波を STEP ピンに印加する必要があります。目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。モータ速度 (v)、マイクロステッピング・レベル (n_m)、モータのフルステップ角 (θ_{step}) の目標値に対応する f_{step} を計算するには式 2 を使用します。

$$f_{step} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (}^\circ \text{ / rot)}}{\theta_{step} \text{ (}^\circ \text{ / step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (2)$$

θ_{step} 値は、ステッピング・モータのデータシートまたはモータそのものに記載されています。

たとえば、1/8 マイクロステップ・モードで 300rpm という目標に対して、この適応型ヘッドライト・アプリケーションのモータは 15°/step の回転が必要となります。式 2 を使用すると、 f_{step} は 960Hz として計算できます。

DRV8899-Q1 の場合、マイクロステッピング・レベルは SPI レジスタの MICROSTEP_MODE ビットで設定され、表 8-2 に示す設定のいずれかにできます。マイクロステッピング・レベルが高いほどモータの動きは円滑になり、可聴ノイズは小さくなりますが、スイッチング損失が増え、同じモータ速度を実現するのに高い f_{step} を必要とします。

表 8-2. マイクロステッピング・インデクサの設定

MICROSTEP_MODE	ステップ・モード
0000b	100% 電流によるフルステップ (2 相励磁)
0001b	71% 電流によるフルステップ (2 相励磁)
0010b	非真円 1/2 ステップ
0011b	1/2 ステップ
0100b	1/4 ステップ
0101b	1/8 ステップ
0110b	1/16 ステップ
0111b	1/32 ステップ
1000b	1/64 ステップ
1001b	1/128 ステップ
1010b	1/256 ステップ

8.2.2.2 電流レギュレーション

ステッピング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREF 電圧と TRQ_DAC 設定で決まります。

VREF ピンの最大許容電圧は 2.2 V です。DVDD と抵抗分割器を使用して VREF を供給できます。

ステッピング時には、 I_{FS} により、最大電流ステップの電流チョッピング・スレッシュヨルド (I_{TRIP}) が定義されます。

$$I_{FS} (A) = \frac{V_{REF} (V)}{K_v (V/A)} \times TRQ_DAC (\%) = \frac{V_{REF} (V) \times TRQ_DAC (\%)}{2.2 (V/A)} \quad (3)$$

8.2.2.3 減衰モード

表 7-7 に示すように、本デバイスは 8 種類の減衰モードをサポートしています。モータ巻線を通る電流は、調整可能な固定オフ時間方式によって制御されます。これは、ドライブ・フェーズでモータ巻線電流が電流チョッピング・スレッシュヨルド (I_{TRIP}) に達した後、本デバイスが t_{OFF} の間、巻線を 8 つの減衰モードのいずれかに設定することを意味します。 t_{OFF} が経過すると、新たなドライブ・フェーズが開始します。

8.2.3 アプリケーション曲線

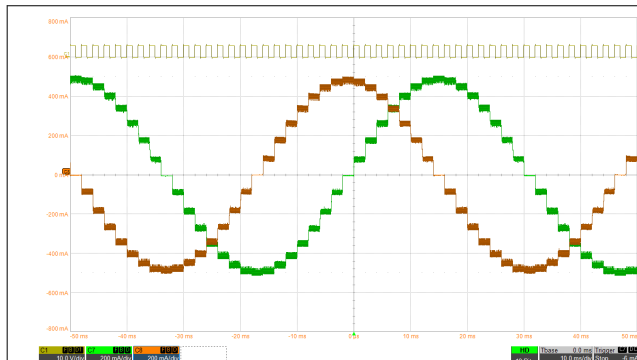


図 8-2. 混合 30 - 混合 30 減衰による 1/8 マイクロステッピング

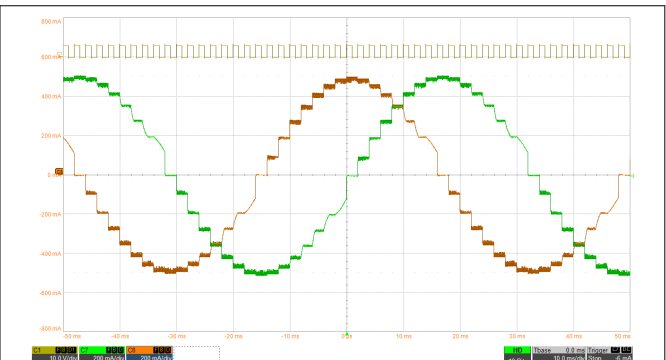


図 8-3. 低速 - 低速減衰による 1/8 マイクロステッピング

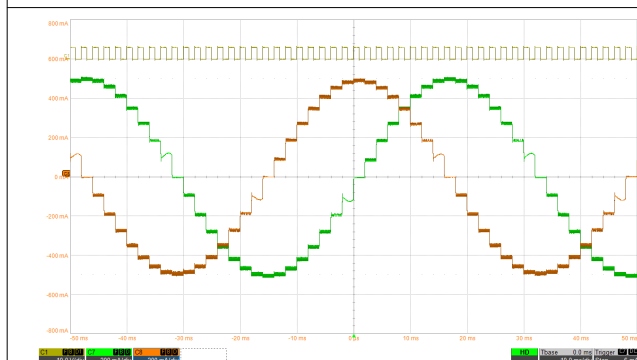


図 8-4. スマート・チューン・リップル制御減衰による 1/8 マイクロステッピング

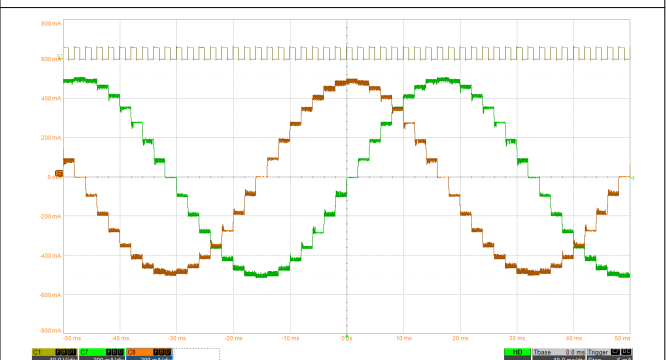


図 8-5. スマート・チューン・ダイナミック減衰による 1/8 マイクロステッピング

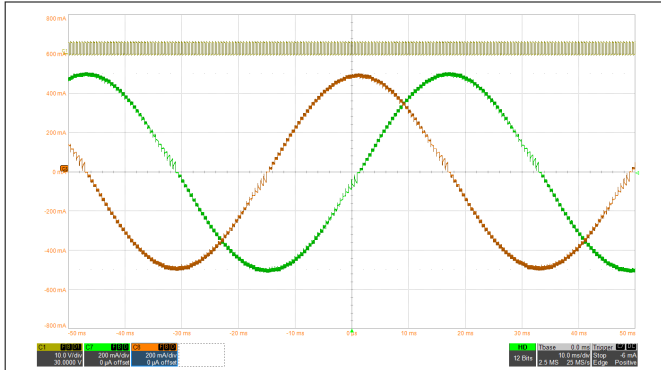


図 8-6. スマート・チューン・リップル制御減衰による 1/32 マイクロステッピング

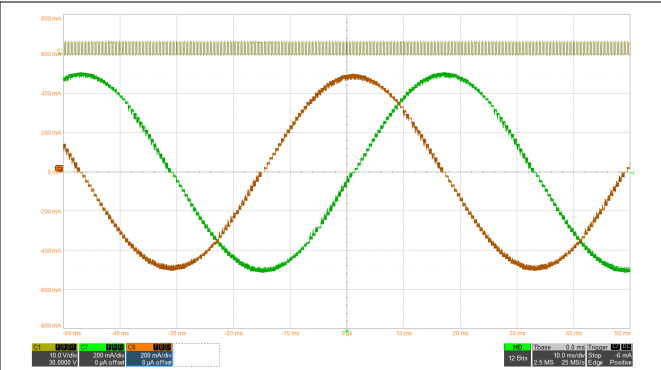


図 8-7. スマート・チューン・ダイナミック減衰による 1/32 マイクロステッピング

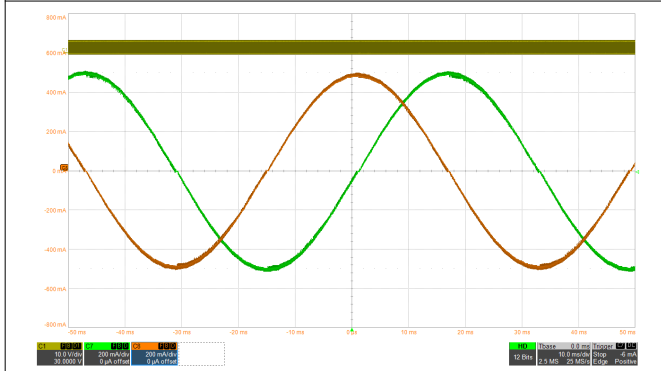


図 8-8. スマート・チューン・リップル制御減衰による 1/256 マイクロステッピング

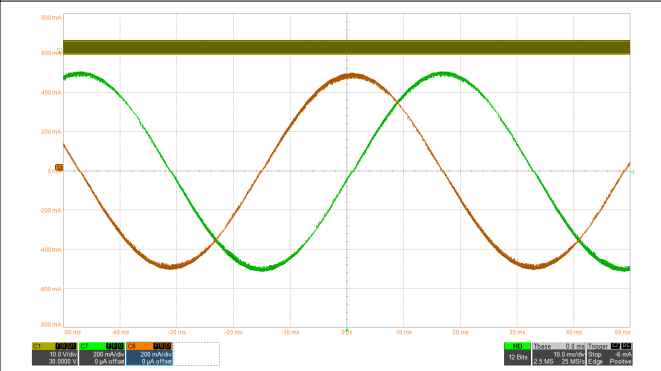


図 8-9. スマート・チューン・ダイナミック減衰による 1/256 マイクロステッピング

8.2.4 熱に関連する計算

このセクションでは、DRV8899-Q1 の消費電力の計算と接合部温度の概算について説明します。

8.2.4.1 消費電力

DRV8899-Q1 の全消費電力は主な 3 つの要素 (導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止電流による電力損失 (P_Q)) で構成されます。

8.2.4.1.1 導通損失

フル・ブリッジに接続されたモータの電流経路は一方のハーフ・ブリッジのハイサイド FET と他方のハーフ・ブリッジのローサイド FET を通ります。導通損失 (P_{COND}) は、式 4 のように、モータの RMS 電流 (I_{RMS})、ハイサイド・オン抵抗 ($R_{DS(ONH)}$)、ローサイド・オン抵抗 ($R_{DS(ONL)}$) で決まります。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (4)$$

セクション 8.2.1 で説明する代表的なアプリケーションの導通損失は式 5 のように計算されます。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (500\text{mA} / \sqrt{2})^2 \times (0.6\Omega + 0.6\Omega) = 300\text{mW} \quad (5)$$

注

この電力の計算値は、ハイサイド FET とローサイド FET のオン抵抗に大きな影響を与えるデバイス温度に大きく影響されます。より精密に計算するには、FET のオン抵抗の温度依存性を考慮します。

8.2.4.1.2 スwitching損失

PWM スwitching 周波数に起因する電力損失はスルーレート (t_{SR})、電源電圧、モータの RMS 電流、PWM スwitching 周波数で決まります。各 H ブリッジの立ち上がり時間のスwitching損失と立ち下がり時間のスwitching損失は式 6 と式 7 のように計算されます。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE_PWM} \times f_{PWM} \quad (6)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL_PWM} \times f_{PWM} \quad (7)$$

t_{RISE_PWM} と t_{FALL_PWM} はどちらも V_{VM} / t_{SR} として近似されます。各種パラメータの値を代入した後、105V/ μs のスルーレートと 30kHz の PWM 周波数を仮定すると、各 H ブリッジのスswitching損失は以下のように計算されます。

$$P_{SW_RISE} = 0.5 \times 13.5\text{V} \times (500\text{mA} / \sqrt{2}) \times (13.5\text{V} / 105\text{V}/\mu\text{s}) \times 30\text{kHz} = 9.2\text{mW} \quad (8)$$

$$P_{SW_FALL} = 0.5 \times 13.5\text{V} \times (500\text{mA} / \sqrt{2}) \times (13.5\text{V} / 105\text{V}/\mu\text{s}) \times 30\text{kHz} = 9.2\text{mW} \quad (9)$$

全スswitching損失 (P_{SW}) は立ち上がり時間のスswitching損失 (P_{SW_RISE}) と立ち下がり時間のスswitching損失 (P_{SW_FALL}) の合計の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (9.2\text{mW} + 9.2\text{mW}) = 36.8\text{mW} \quad (10)$$

注

立ち上がり時間 (t_{RISE}) と立ち下がり時間 (t_{FALL}) はスルーレート (t_{SR}) の標準値に基づいて計算されます。このパラメータは、電源電圧、温度、デバイス間のばらつきに基づいて変化することが予想されます。

スイッチング損失は出力スルーレートに反比例します。10V/ μ s のスルーレートは、105V/ μ s のスルーレートの約 10 倍のスイッチング損失をもたらします。しかし、スルーレートが小さいほど、ドライバの EMC 性能は向上する傾向があります。アプリケーションに適したスルーレートを決定するには、トレードオフを慎重に分析する必要があります。

スイッチング損失は PWM スwitching 周波数に正比例します。アプリケーションでの PWM 周波数は電源電圧、モータ・コイルのインダクタンス、逆起電圧、オフ時間 (スマート・チューン・リップル制御減衰モードの場合はリップル電流) で決まります。

8.2.4.1.3 静止電流による消費電力

静止電流によって電源で発生する消費電力は以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \tag{11}$$

値を代入すると、静止電力損失は以下のように計算されます。

$$P_Q = 13.5V \times 5mA = 67.5mW \tag{12}$$

注

静止電力損失は、動作電源電流 (I_{VM} 、標準値) を使用して計算されます。この動作電源電流は電源電圧、温度、デバイス間のばらつきによって決まります。

8.2.4.1.4 全消費電力

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として式 13 のように計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 300mW + 36.8mW + 67.5mW = 404.3mW \tag{13}$$

8.2.4.2 PCB のタイプ

このセクションの熱解析では、HTSSOP と VQFN の両方のパッケージについて、2 種類の銅箔厚さ (1oz、2oz)、6 種類の銅箔面積 (1cm²、2cm²、4cm²、8cm²、16cm²、32cm²) の 2 層および 4 層 PCB に注目します。

図 8-10 と図 8-11 に、それぞれ HTSSOP パッケージと VQFN パッケージのための PCB の最上層 (2 層 / 4 層共通) を示します。PCB の最上層、中間層 1、最下層はグランド・プレーンで埋められ、中間層 2 は電源プレーンで埋められています。

HTSSOP の場合、300 μ m のドリル直径、25 μ m の銅めっきの 4 x 3 サーマル・ビア配列がデバイス・パッケージの直下に配置されています。VQFN の場合、300 μ m のドリル直径、25 μ m の銅めっきの 2 x 2 サーマル・ビア配列がデバイス・パッケージの直下に配置されています。サーマル・ビアは、必要に応じて最上層、最下層、中間層 1 (グランド・プレーン) を接続しています。中間層と最下層はサイズ A * A で形成されています (2 層設計 / 4 層設計共通)。VQFN パッケージの場合、デバイスのランド領域外の最上層に銅箔は存在しません。

表 8-3 に、各種 PCB タイプでの各種 PCB 層の銅箔の厚さをまとめます。PCB 寸法 (A) と PCB 銅箔面積の関係を表 8-4 (HTSSOP パッケージ) と表 8-5 (VQFN パッケージ) にまとめます。

表 8-3. PCB のタイプと銅箔の厚さ

PCB のタイプ	銅厚	上層	下層	中間層 1	中間層 2
2 層	1oz PCB	1oz	1oz	該当なし	
	2oz PCB	2oz	2oz		
4 層	1oz PCB	1oz	1oz	1oz	1oz

表 8-3. PCB のタイプと銅箔の厚さ (continued)

PCB のタイプ	銅厚	上層	下層	中間層 1	中間層 2
	2oz PCB	2oz	2oz	1oz	1oz

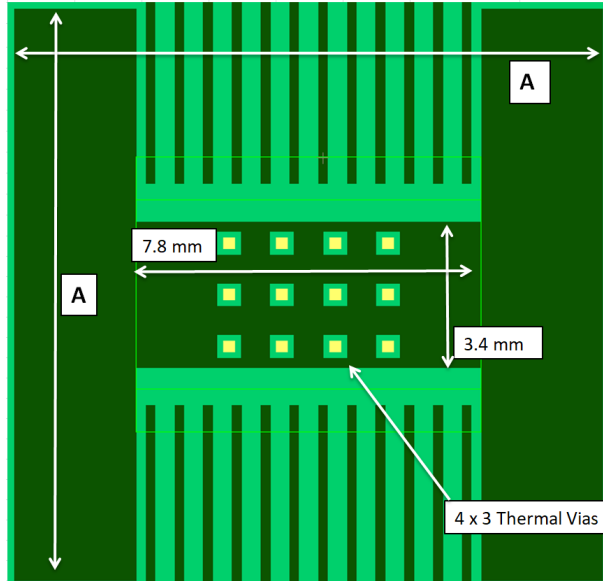


図 8-10. PCB - 最上層 (4/2 層 PCB、HTSSOP パッケージ)

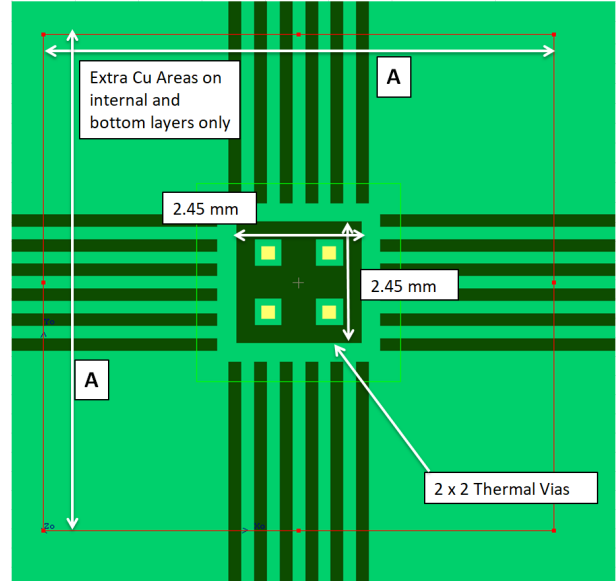


図 8-11. PCB - 最上層 (4/2 層 PCB、VQFN パッケージ)

表 8-4. PCB の寸法 (HTSSOP パッケージ)

銅箔面積 (cm ²)	寸法 (A) (mm)
1cm ²	13.31 mm
2 cm ²	17.64 mm
4 cm ²	23.62 mm
8 cm ²	31.98 mm
16 cm ²	43.76 mm
32 cm ²	60.36 mm

表 8-5. PCB の寸法 (VQFN パッケージ)

銅箔面積 (cm ²)	寸法 (A) (mm)
1cm ²	10.00 mm
2 cm ²	14.14 mm
4 cm ²	20.00 mm
8 cm ²	28.28 mm
16 cm ²	40.00 mm
32 cm ²	56.57 mm

8.2.4.3 HTSSOP パッケージの熱パラメータ

$R_{\theta JA}$ (接合部から周囲への熱抵抗) と Ψ_{JB} (接合部から基板への熱特性パラメータ) などの熱パラメータの変化は、PCB のタイプ、パッケージのタイプ、銅箔の厚さ、銅パッドの面積の影響を大きく受けます。

図 8-12 と図 8-13 に、HTSSOP パッケージを実装した 2 層 PCB での $R_{\theta JA}$ (接合部から周囲への熱抵抗) と Ψ_{JB} (接合部から基板への熱特性パラメータ) の銅パッド面積による変化を示します。これらの曲線が示すように、PCB の銅箔の厚さが厚いほど、また銅パッド面積が大きいほど熱抵抗は小さくなります。

同様に、[図 8-14](#) と [図 8-15](#) に、HTSSOP パッケージを実装した 4 層 PCB での $R_{\theta JA}$ と Ψ_{JB} の銅パッド面積による変化をそれぞれ示します。

注

熱パラメータ ($R_{\theta JA}$ (接合部から周囲への熱抵抗) と Ψ_{JB} (接合部から基板への熱特性パラメータ)) は、周囲温度 25°C で、2W の電力がハイサイド FET とローサイド FET の間で均等に消費されるものとして計算されています。これらの熱パラメータは、平均的な推定ではなく、パワー FET の実際の場所での消費電力を考慮して計算されています。

熱パラメータは、高度、パッケージ形状などの外部条件の影響を大きく受けます。詳細については、[アプリケーション・レポート](#)を参照してください。

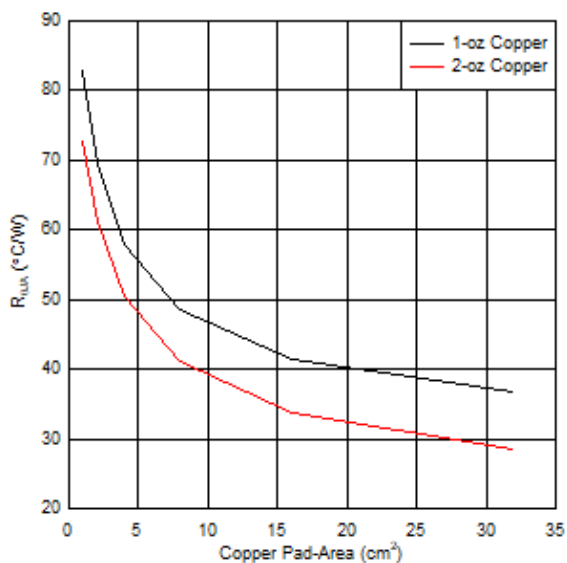


図 8-12. 2 層 PCB の接合部から周囲への熱抵抗 ($R_{\theta JA}$) と銅面積との関係

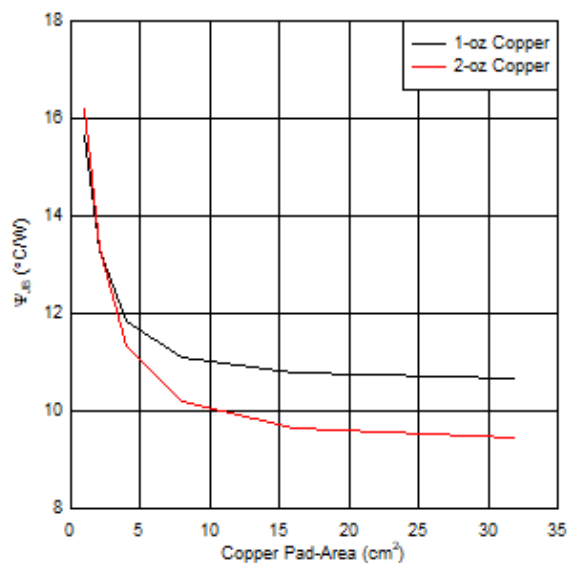


図 8-13. 2 層 PCB の接合部から基板への熱特性パラメータ (Ψ_{JB}) と銅面積との関係

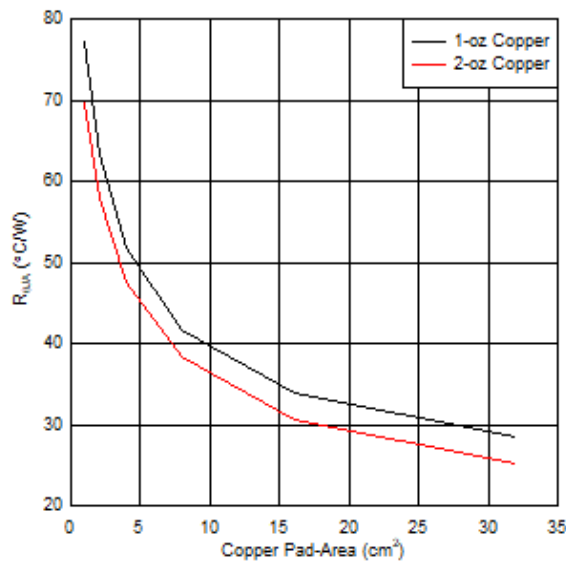


図 8-14. 4 層 PCB の接合部から周囲への熱抵抗 ($R_{\theta JA}$) と銅面積との関係

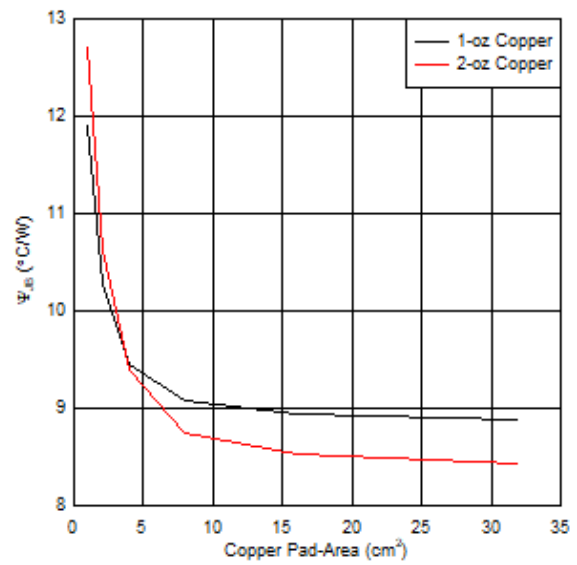


図 8-15. 4 層 PCB の接合部から基板への熱特性パラメータ (Ψ_{JB}) と銅面積との関係

8.2.4.4 VQFN パッケージの熱パラメータ

図 8-16 と図 8-17 に、VQFN パッケージを実装した 2 層 PCB での $R_{\theta JA}$ (接合部から周囲への熱抵抗) と Ψ_{JB} (接合部から基板への熱特性パラメータ) の銅パッド面積による変化を示します。これらの曲線が示すように、PCB の銅箔の厚さが厚いほど、また銅パッド面積が大きいほど熱抵抗は小さくなります。

同様に、図 8-18 と図 8-19 に、VQFN パッケージを実装した 4 層 PCB での $R_{\theta JA}$ と Ψ_{JB} の銅パッド面積による変化をそれぞれ示します。

注

熱パラメータ ($R_{\theta JA}$ (接合部から周囲への熱抵抗) と Ψ_{JB} (接合部から基板への熱特性パラメータ)) は、周囲温度 25°C で、2W の電力がハイサイド FET とローサイド FET の間で均等に消費されるものとして計算されています。これらの熱パラメータは、平均的な推定ではなく、パワー FET の実際の場所での消費電力を考慮して計算されています。

熱パラメータは、高度、パッケージ形状などの外部条件の影響を大きく受けます。詳細については、[アプリケーション・レポート](#)を参照してください。

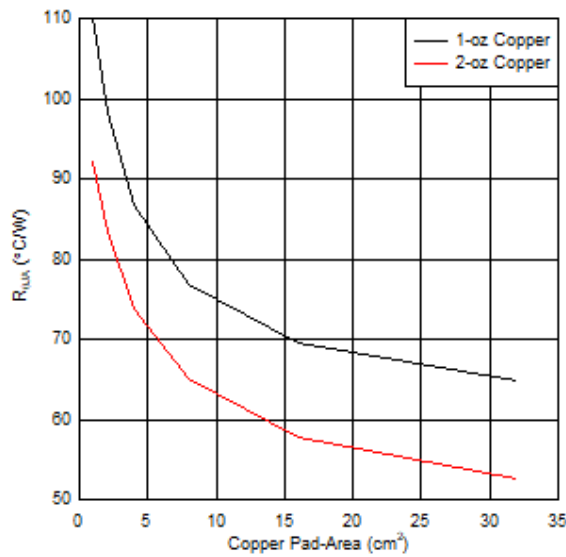


図 8-16. 2 層 PCB の接合部から周囲への熱抵抗 ($R_{\theta JA}$) と銅面積との関係

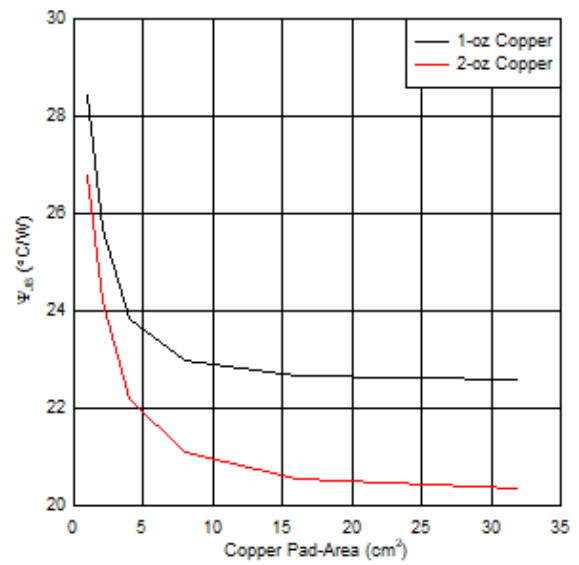


図 8-17. 2 層 PCB の接合部から基板への熱特性パラメータ (Ψ_{JB}) と銅面積との関係

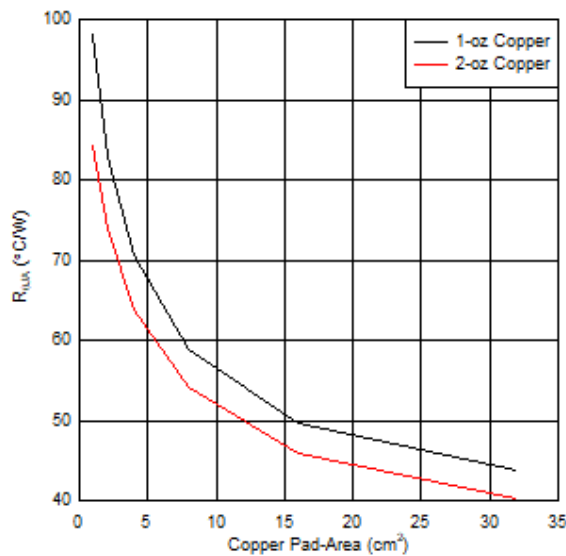


図 8-18. 4 層 PCB の接合部から周囲への熱抵抗 ($R_{\theta JA}$) と銅面積との関係

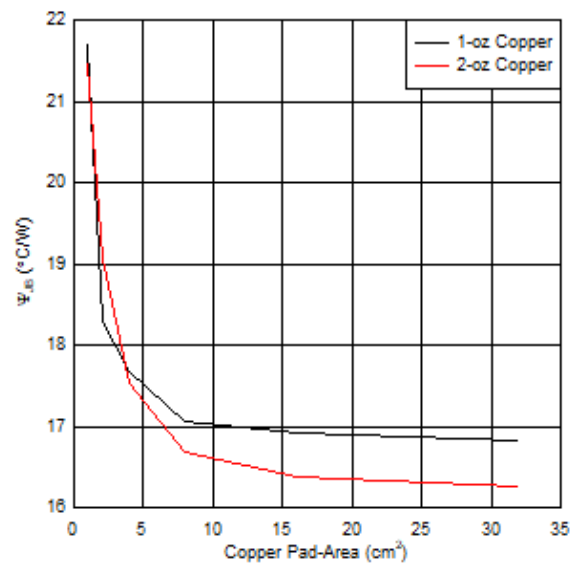


図 8-19. 4 層 PCB の接合部から基板への熱特性パラメータ (Ψ_{JB}) と銅面積との関係

8.2.4.5 デバイスの接合部温度の概算

周囲温度が T_A 、総消費電力が P_{TOT} の場合、接合部温度 (T_J) は次式のように計算されます。 $T_J = T_A + (P_{TOT} \times R_{\theta JA})$
JEDEC 規格の 4 層 PCB の場合を考えると、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、VQFN パッケージの場合 40.7°C/W です。

接合部温度は以下のように計算されます。

$$T_J = 25^\circ\text{C} + (0.4043\text{W} \times 40.7^\circ\text{C/W}) = 41.46^\circ\text{C} \quad (14)$$

9 電源に関する推奨事項

本デバイスは、4.5V～45V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01 μ F セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バルク容量

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムとの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムとの間のインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンプによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマーヅンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

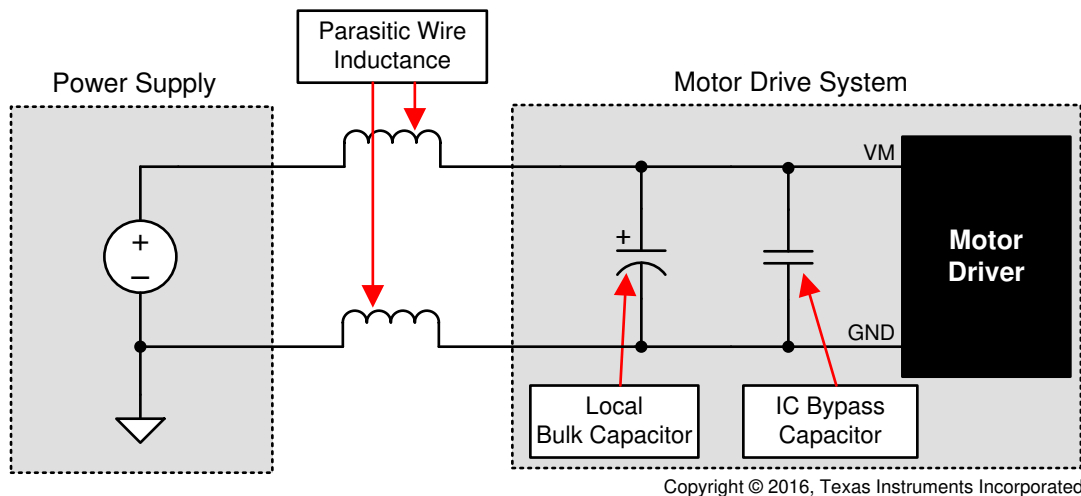


図 9-1. 外部電源を使用したモータ駆動システムの構成例

10 レイアウト

10.1 レイアウトの注意点

VM 定格で推奨値 $0.01\mu\text{F}$ の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを GND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグランド・プレーンでデバイスの GND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグランドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 定格の $0.022\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.22\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグランドにバイパスします。6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

サーマル・パッドはシステム・グランドに接続する必要があります。

10.2 レイアウト例

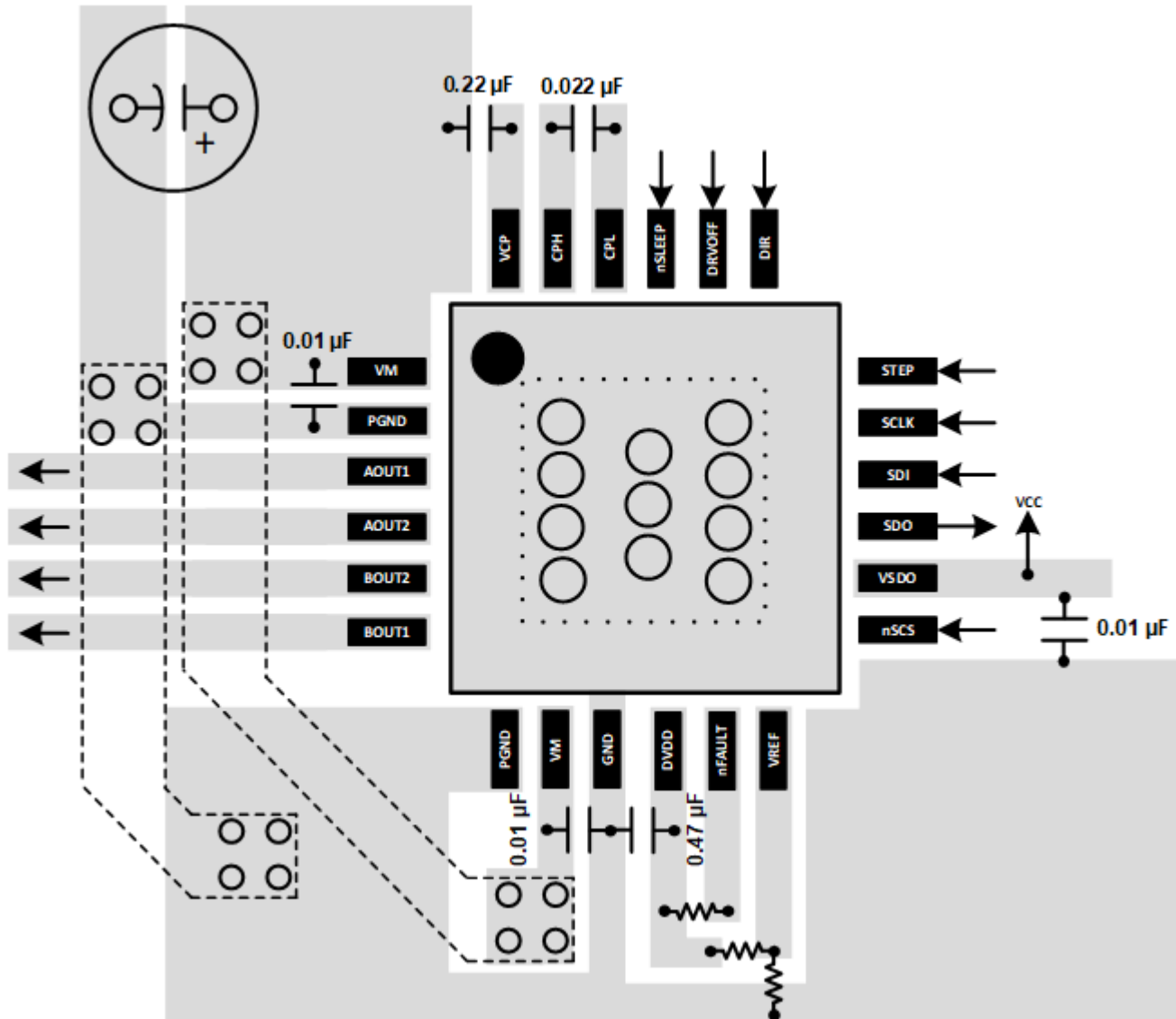


図 10-1. QFN の推奨レイアウト

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[DRV8899-Q1 機能安全 FIT 率、FMD、ピン FMA](#)』(英語)
- テキサス・インスツルメンツ、『[モータ・ドライブ消費電力の計算](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[電流再循環および減衰モード](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[ステッピング・モータの AutoTune™ による電流制御](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[産業用モータ・ドライブ・ソリューション・ガイド](#)』
- テキサス・インスツルメンツ、『[PowerPAD™ 入門](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[熱特性強化型パッケージ PowerPAD™](#)』アプリケーション・レポート
- テキサス・インスツルメンツ、『[AutoTune™ によるステッピング・モータの簡単な使用法](#)』ホワイトペーパー
- テキサス・インスツルメンツ、『[モータ・ドライブの電流定格の理解](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[モータ・ドライブの基板設計のベスト・プラクティス](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[DRV8899-Q1 評価モジュール \(EVM\) ツール・フォルダ](#)』

11.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](#). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

11.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.6 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

12 メカニカル、パッケージ、および注文情報

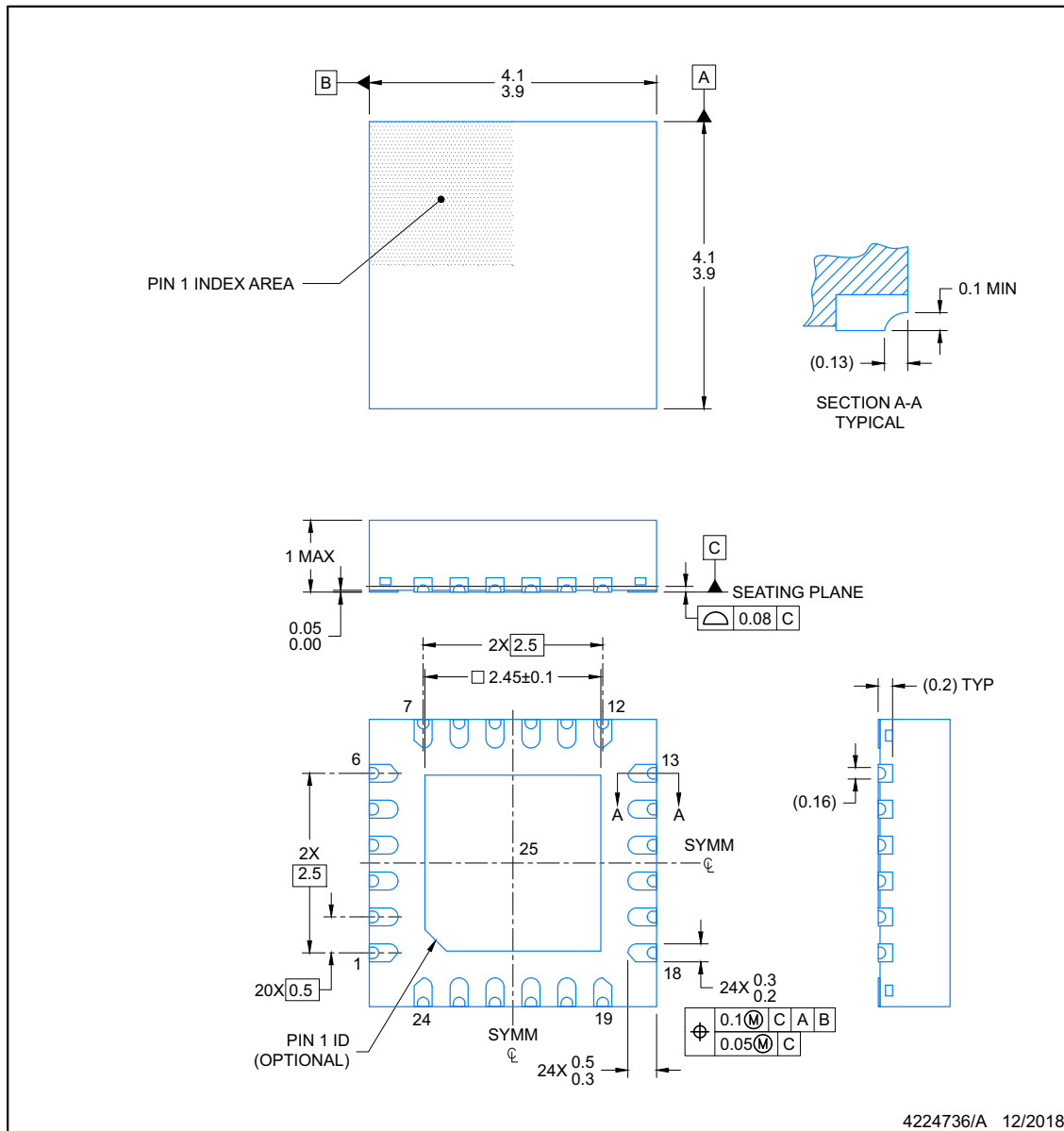
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

RGE0024N

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

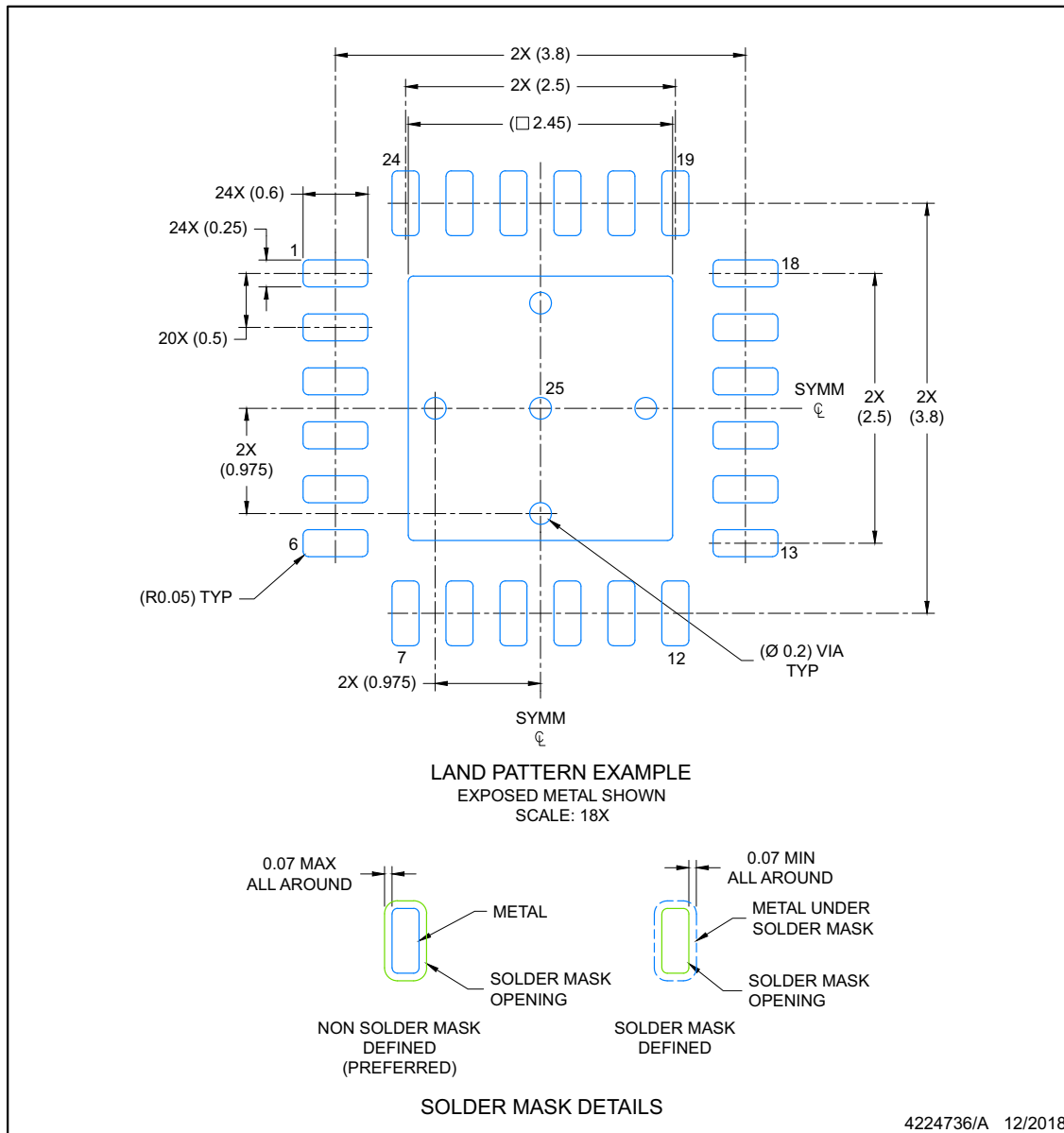
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

VQFN - 1 mm max height

RGE0024N

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

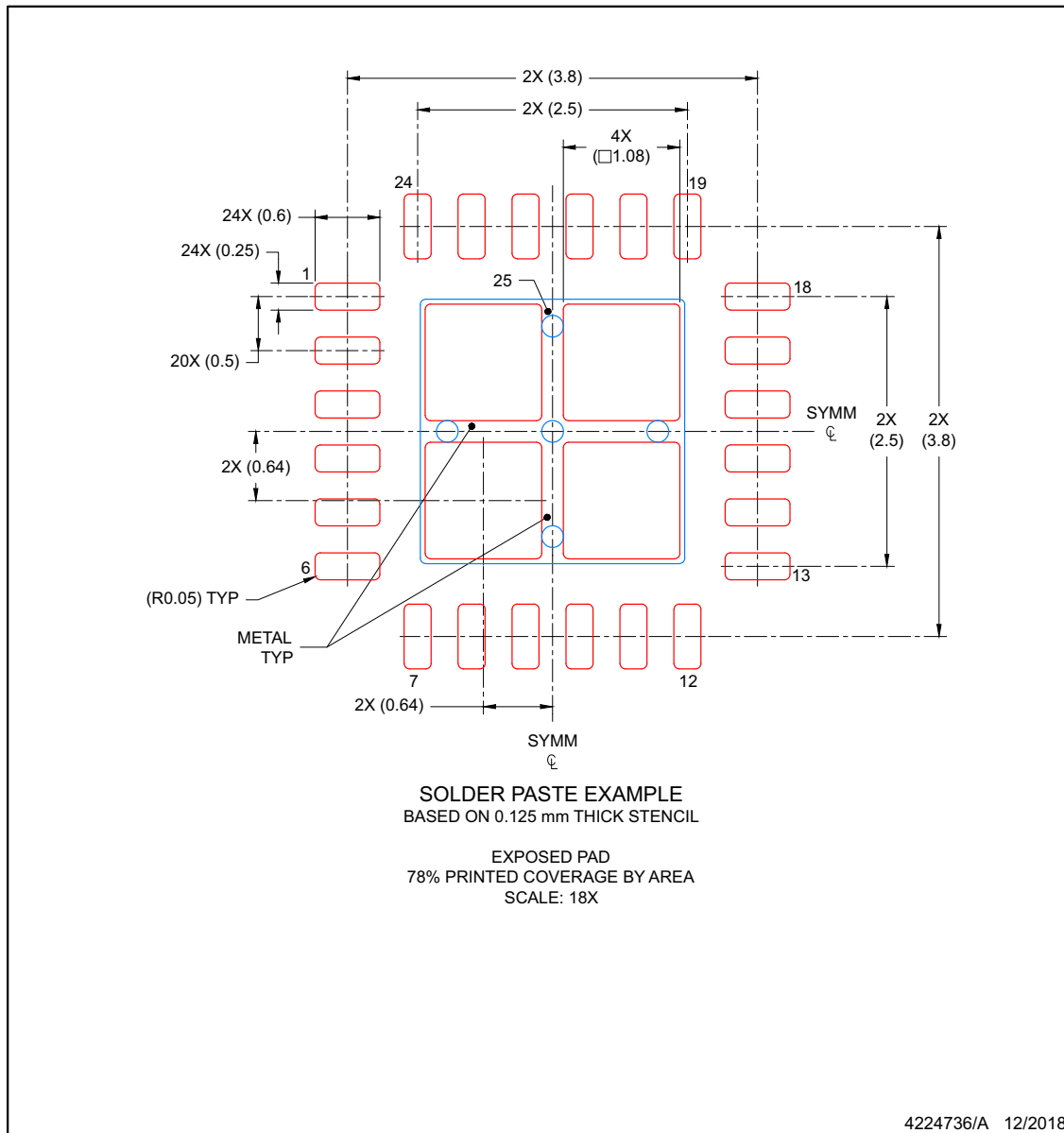
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

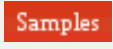
PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8899QWRGERQ1	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV 8899	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=100ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8899QWRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8899QWRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

RGE 24

GENERIC PACKAGE VIEW

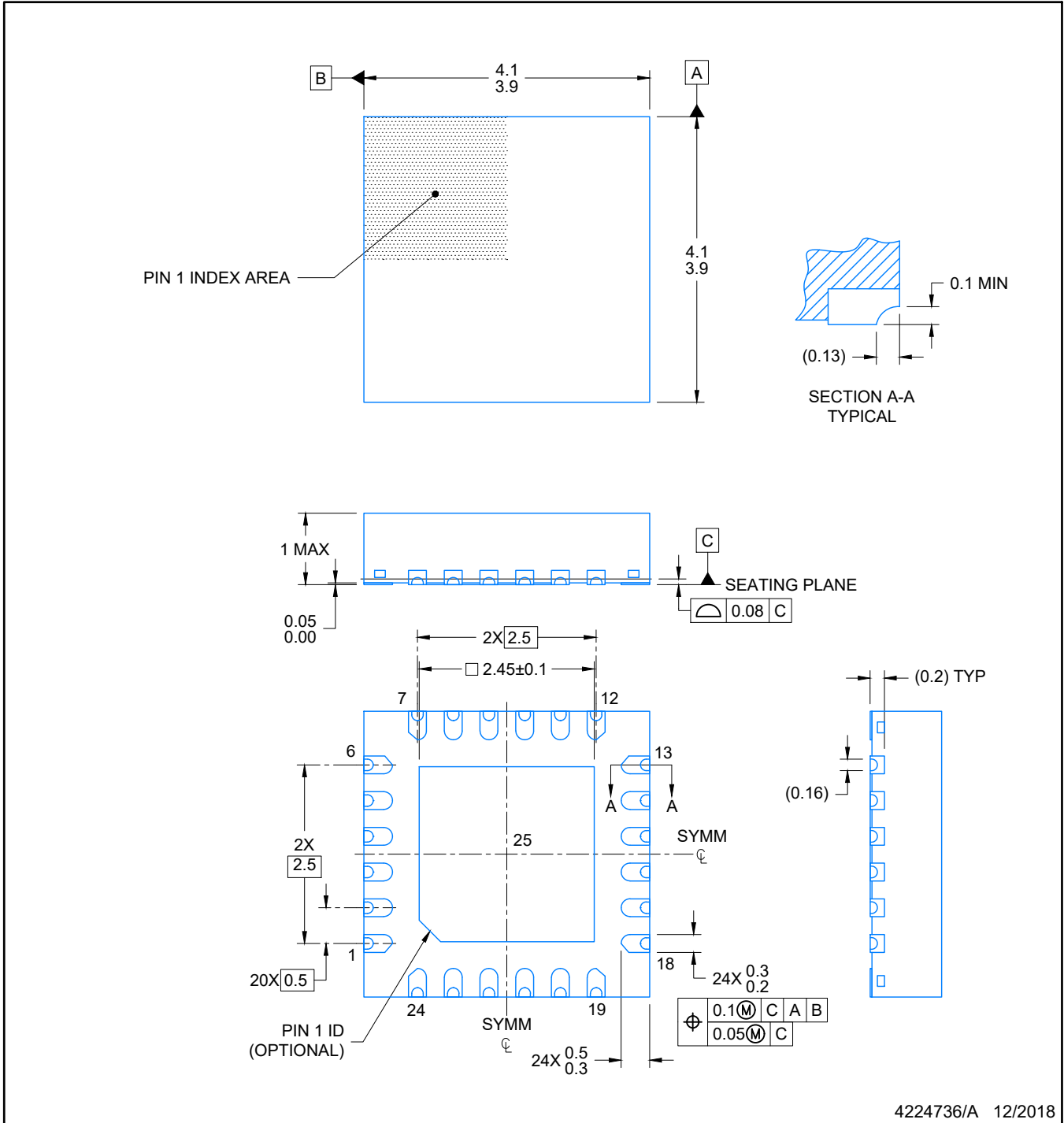
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4224736/A 12/2018

NOTES:

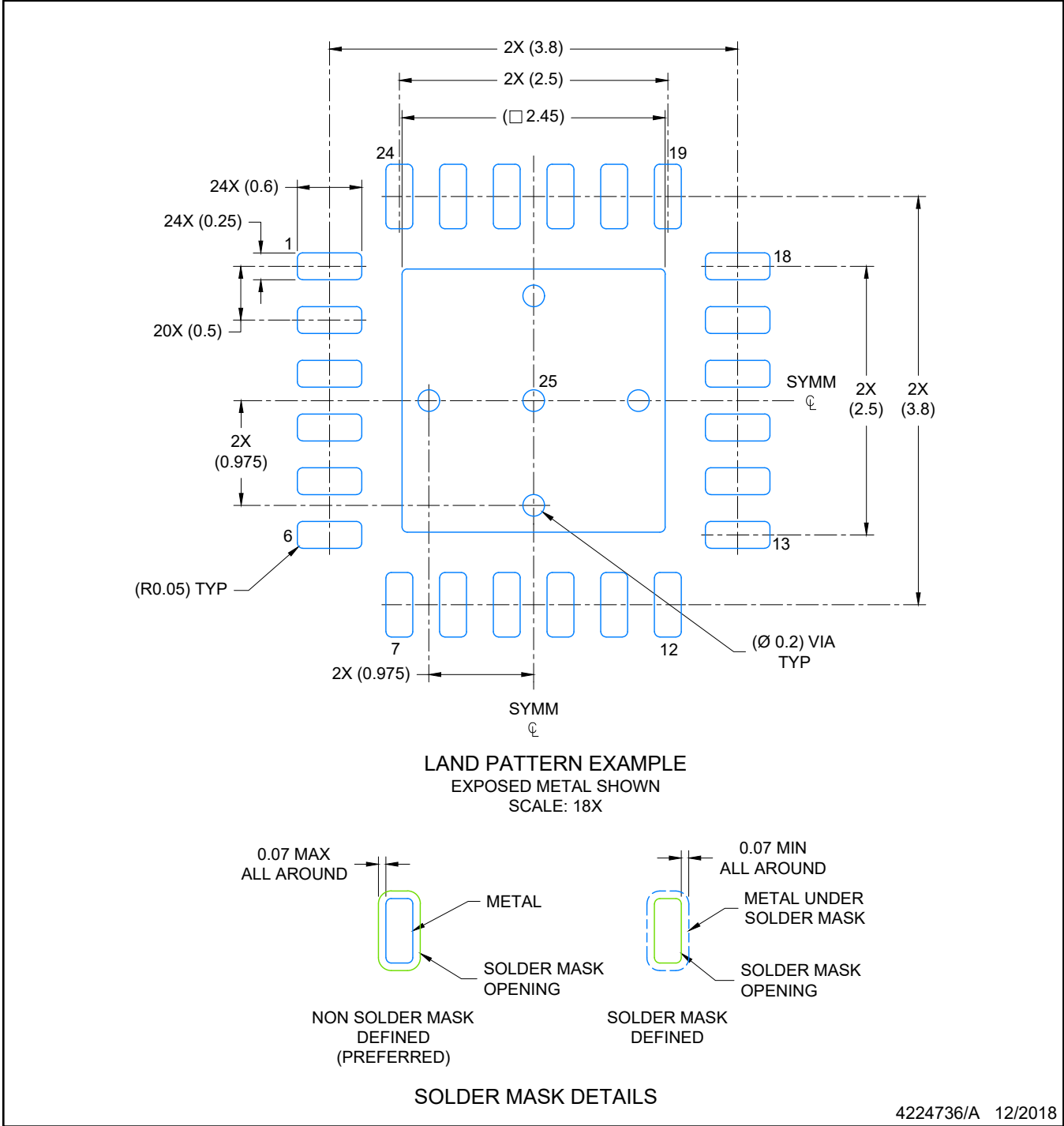
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

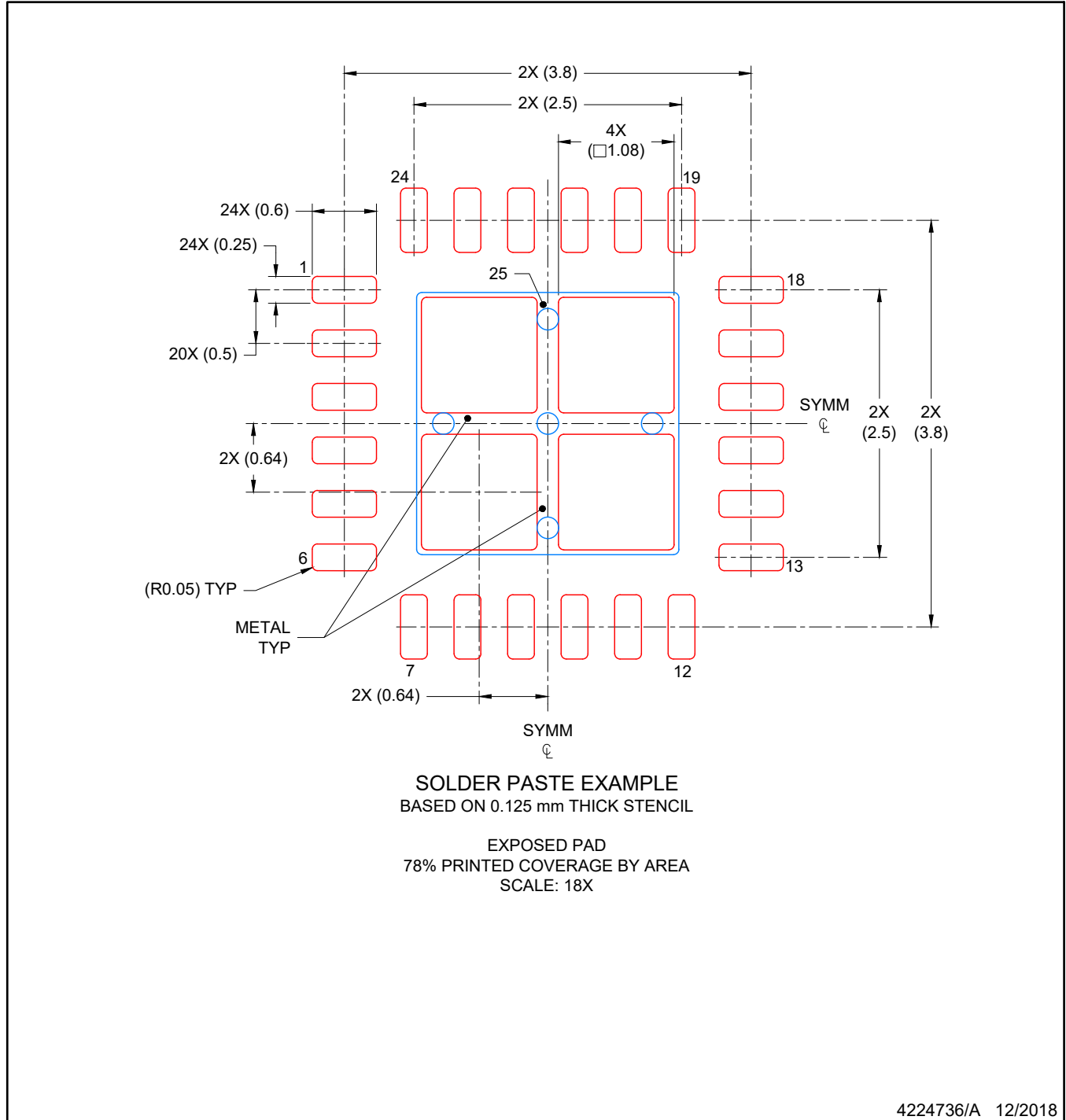
- 4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VQFN - 1 mm max height

RGE0024N

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated