

DRV8434E/P デュアル H ブリッジ・モータ・ドライバ、電流センスおよびスマート・チューン・テクノロジー内蔵

1 特長

- デュアル H ブリッジ・モータ・ドライバ
 - 1 つのバイポーラ・ステッピング・モータ
 - 2 つの双方向ブラシ付き DC モータ
 - 4 つの単方向ブラシ付き DC モータ
- 内蔵型の電流検出機能
 - 検出抵抗が不要
 - $\pm 4\%$ のフルスケール電流精度
- 4.5V~48V の動作電源電圧範囲
- 複数の制御インターフェイス・オプション
 - 位相 / イネーブル (PH/EN)
 - PWM (IN/IN)
- スマート・チューン、ファーストおよびミックス・ディケイ・オプション
- 低い $R_{DS(ON)}$: 24V、25°C で 330mΩ HS + LS
- ブリッジごとの大電流能力: 4A ピーク (ブラシ付き)、2.5A フルスケール (ステッピング)
- ブラシ付き DC アプリケーションでの突入電流制限
- 以下とピン互換:
 - DRV8426E/P: 33V、900mΩ HS + LS
 - DRV8436E/P: 48V、900mΩ HS + LS
 - DRV8424E/P: 33V、330mΩ HS + LS
- 構成可能なオフ時間 PWM チョッピング
 - 7、16、24、32μs
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電流のスリープ・モード (2μA)
- 拡散スペクトラム・クロック処理による低い EMI
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- プリンタとスキャナ
- ATM と繊維機械
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーション およびロボティクス
- 主な家電製品
- 掃除機、ヒューマノイド、ロボティクス

3 概要

DRV8434E/P デバイスは、さまざまな産業用アプリケーションに適したデュアル H ブリッジ・モータ・ドライバです。このデバイスを使用すると、2 つの DC モータまたは 1 つのバイポーラ・ステッピング・モータを駆動できます。

本ドライバの出力段は、2 つのフル H ブリッジとして構成された N チャネル・パワー MOSFET、チャージ・ポンプ・レギュレータ、電流検出およびレギュレーション回路、保護回路で構成されます。内蔵の電流検出機能では内部の電流ミラー・アーキテクチャを使用するため、外部シャント抵抗が不要になり、基板面積の節約とシステムコストの削減が可能です。低消費電力のスリープ・モードにより、内部回路の多くをシャットダウンして、非常に低い静止電流を実現できます。保護機能として、電源低電圧誤動作防止 (UVLO)、チャージ・ポンプ低電圧検出 (CPUV)、過電流検出 (OCP)、デバイス過熱検出 (TSD) を内蔵しています。

DRV8424E/P は、最大 2.5A のフルスケール・モータまたは最大 4A のピークを持つブラシ付きモータを駆動できます (PCB 設計に依存)。

製品情報

型番 ⁽¹⁾	パッケージ	本体サイズ (公称)
DRV8434EPWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8434ERGER	VQFN (24)	4.0mm × 4.0mm
DRV8434PPWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8434PRGER	VQFN (24)	4.0mm × 4.0mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

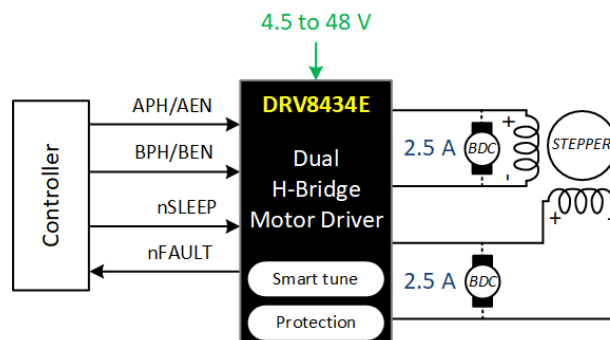


図 3-1. DRV8434E の概略回路図



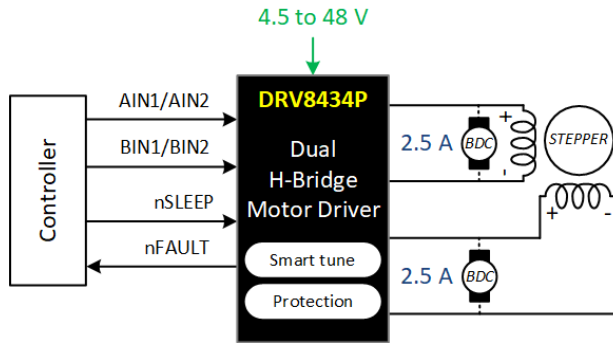


図 3-2. DRV8434P の概略回路図

目次

1 特長.....	1	7.2 機能ブロック図.....	13
2 アプリケーション.....	1	7.3 機能説明.....	15
3 概要.....	1	7.4 デバイスの機能モード.....	25
4 改訂履歴.....	3	8 アプリケーションと実装.....	27
5 ピン構成および機能.....	4	8.1 アプリケーション情報.....	27
端子機能.....	5	8.2 代表的なアプリケーション.....	27
6 仕様.....	7	8.3 代替アプリケーション.....	30
6.1 絶対最大定格.....	7	9 電源に関する推奨事項.....	32
6.2 ESD 定格.....	7	9.1 バルク・コンデンサ.....	32
6.3 推奨動作条件.....	8	10 レイアウト.....	33
6.4 熱に関する情報.....	8	10.1 レイアウトの注意点.....	33
6.5 電気的特性.....	9	10.2 レイアウト例.....	33
7 詳細説明.....	12	11 メカニカル、パッケージ、および注文情報.....	35
7.1 概要.....	12		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	リビジョン	注
2020 年 11 月	*	初版。

5 ピン構成および機能

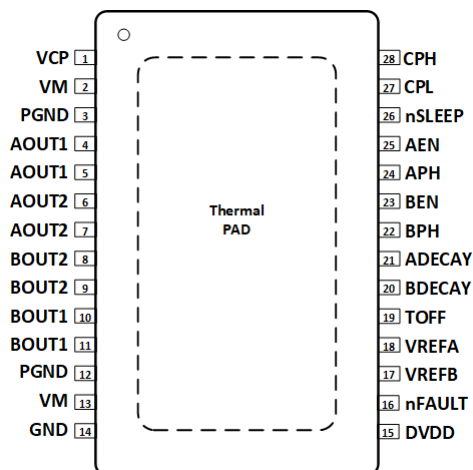


図 5-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図 DRV8434E

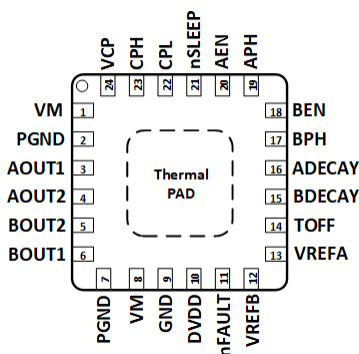


図 5-2. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図 DRV8434E

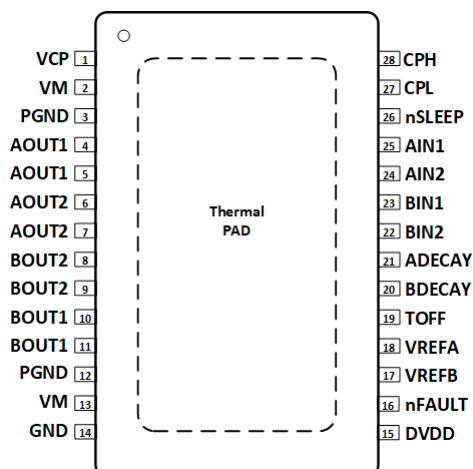


図 5-3. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図 DRV8434P

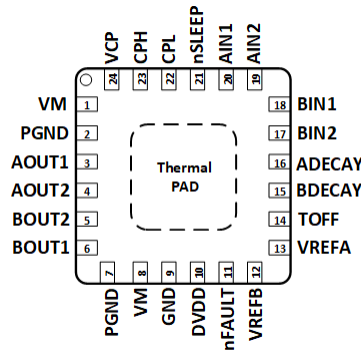


図 5-4. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図 DRV8434P

端子機能

名前	ピン				種類	説明
	PWP		RGE			
	DRV8434E	DRV8434P	DRV8434E	DRV8434P		
ADECAy	21	21	16	16	I	ディケイ・モード設定ピン。ブリッジ A のディケイ・モードを設定します。クワッド・レベル・ピン。
AEN	25	—	20	—	I	ブリッジ A のイネーブル入力。ロジック High にするとブリッジ A はイネーブルされ、ロジック Low にするとブリッジ A はディセーブルされてハイ・インピーダンスになります。
AIN1	—	25	—	20	I	ブリッジ A の PWM 入力。H ブリッジ A の状態をロジック制御します。内部プルダウン。
AIN2	—	24	—	19	I	ブリッジ B の PWM 入力。H ブリッジ B の状態をロジック制御します。内部プルダウン。
AOUT1	4, 5	4, 5	3	3	O	巻線 A 出力。モータの巻線に接続します。
AOUT2	6, 7	6, 7	4	4	O	巻線 A 出力。モータの巻線に接続します。
APH	24	—	19	—	I	ブリッジ A の Phase 入力。ロジック High にすると、AOUT1 から AOUT2 に電流が駆動されます。
VREFA	18	18	13	13	I	基準電圧入力。このピンの電圧により、H ブリッジ A のフルスケールのチョッピング電流が設定されます。
BDECAy	20	20	15	15	I	ディケイ・モード設定ピン。ブリッジ B のディケイ・モードを設定します。クワッド・レベル・ピン。
BEN	23	—	18	—	I	ブリッジ B のイネーブル入力。ロジック High にするとブリッジ B はイネーブルされ、ロジック Low にするとブリッジ B はディセーブルされてハイ・インピーダンスになります。
BIN1	—	23	—	18	I	ブリッジ B の PWM 入力。H ブリッジ B の状態をロジック制御します。内部プルダウン。
BIN2	—	22	—	17	I	ブリッジ B の PWM 入力。H ブリッジ B の状態をロジック制御します。内部プルダウン。
BOUT1	10, 11	10, 11	6	6	O	巻線 B 出力。モータの巻線に接続します。
BOUT2	8, 9	8, 9	5	5	O	巻線 B 出力。モータの巻線に接続します。
BPH	22	—	17	—	I	ブリッジ B の Phase 入力。ロジック High にすると、BOUT1 から BOUT2 に電流が駆動されます。
VREFB	17	17	12	12	I	基準電圧入力。このピンの電圧により、H ブリッジ B のフルスケールのチョッピング電流が設定されます。

名前	ピン				種類	説明
	PWP		RGE			
	DRV8434E	DRV8434P	DRV8434E	DRV8434P		
CPH	28	28	23	23	PWR	チャージ・ポンプのスイッチング・ノード。X7R、0.022 μ F、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	27	27	22	22		
GND	14	14	9	9	PWR	デバイスのグランド。システム・グランドに接続します。
TOFF	19	19	14	14	I	電流チョッピング中のディケイ・モードのオフ時間を設定します。クワッドレベル・ピン。
DVDD	15	15	10	10	PWR	ロジック電源電圧。X7R、0.47 μ F~1 μ F、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
VCP	1	1	24	24	O	チャージ・ポンプの出力。X7R、0.22 μ F、16V セラミック・コンデンサを VM との間に接続します。
VM	2, 13	2, 13	1, 8	1, 8	PWR	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01 μ F セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して PGND にバイパスします。
PGND	3, 12	3, 12	2, 7	2, 7	PWR	電源グランド。システム・グランドに接続します。
nFAULT	16	16	11	11	O	フォルト通知。フォルト条件により論理 Low に駆動されます。オープン・ドレイン出力には外部プルアップ抵抗が必要です。
nSLEEP	26	26	21	21	I	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。nSLEEP Low パルスにより、フォルトがクリアされます。
PAD	-	-	-	-	-	サーマル・パッド。システム・グランドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内、GND 基準 (特に記述のない限り)⁽¹⁾

	最小	最大	単位
電源電圧 (VM)	-0.3	50	V
チャージ・ポンプ電圧 (VCP, CPH)	-0.3	$V_{VM} + 7$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
制御ピン電圧 (APH, AEN, BPH, BEN, AIN1, AIN2, BIN1, BIN2, nFAULT, ADECAY, BDECAY, TOFF)	-0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREFA, VREFB)	-0.3	5.75	V
巻線出力ピン電圧 (連続) (AOUT1, AOUT2, BOUT1, BOUT2)	-1	$V_{VM} + 1$	V
巻線出力ピン電圧 (過渡 100ns) (AOUT1, AOUT2, BOUT1, BOUT2)	-3	$V_{VM} + 3$	V
ピーク駆動電流 (AOUT1, AOUT2, BOUT1, BOUT2)	内部的に制限		A
動作時周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	PWP のコーナー・ピン (1、14、15、28)		±750
			その他のピン		±500

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	48	V
V_I	論理レベル入力電圧	0	5.5	V
V_{REF}	基準 RMS 電圧範囲 (VREFA, VREFB)	0.05	3.3	V
f_{PWM}	適用される PWM 信号 (APH, AEN, BPH, BEN, AIN1, AIN2, BIN1, BIN2)	0	100	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	2.5	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	1.8	A
T_A	動作時の周囲温度	-40	125	°C
T_J	動作時のジャンクション温度	-40	150	°C

6.4 熱に関する情報

熱測定値		PWP (HTSSOP)	RGE (VQFN)	単位
		28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.7	39.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	23.0	28.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	16.0	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	0.4	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	9.2	15.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.4	3.4	°C/W

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
電源 (VM, DVDD)						
I_{VM}	VM 動作電源電流	nSLEEP = 1、モータ負荷なし		5	6.5	mA
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	120			μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.8	1.2	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.8	1.2	ms
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、 $6\text{V} < V_{VM} < 48\text{V}$	4.75	5	5.25	V
		外部負荷なし、 $V_{VM} = 4.5\text{V}$	4.2	4.35		V
チャージ・ポンプ (VCP, CPH, CPL)						
V_{VCP}	VCP 動作電圧	$6\text{V} < V_{VM} < 48\text{V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	チャージ・ポンプ・スイッチング周波数	$V_{VM} > UVLO$ 、nSLEEP = 1		360		kHz
ロジック・レベル入力 (APH, AEN, BPH, BEN, AIN1, AIN2, BIN1, BIN2, nSLEEP)						
V_{IL}	入力論理 Low 電圧		0		0.6	V
V_{IH}	入力論理 High 電圧		1.5		5.5	V
V_{HYS}	入力論理ヒステリシス			150		mV
I_{IL}	入力論理 Low 電流	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IH}	入力論理 High 電流	$V_{IN} = 5\text{V}$			100	μA
t_{PD}	伝搬遅延	xPH、xEN、xINx 入力から電流が変化するまで		800		ns
クワッド・レベル入力 (ADECAY, BDECAY, TOFF)						
V_{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V_{I2}		$330\text{k}\Omega \pm 5\%$ を GND との間に接続	1	1.25	1.4	V
V_{I3}	入力ハイ・インピーダンス電圧	ハイ・インピーダンス (GND との間の抵抗値が $500\text{k}\Omega$ よりも大きい)	1.8	2	2.2	V
V_{I4}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I_O	出力プルアップ電流			10		μA
制御出力 (nFAULT)						
V_{OL}	出力論理 Low 電圧	$I_O = 5\text{mA}$			0.5	V
I_{OH}	出力論理 High リーク電流		-1		1	μA
モータ・ドライバ出力 (AOUT1, AOUT2, BOUT1, BOUT2)						
$R_{DS(ONH)}$	ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -1\text{A}$		165	200	m Ω
		$T_J = 125^\circ\text{C}$ 、 $I_O = -1\text{A}$		250	300	m Ω
		$T_J = 150^\circ\text{C}$ 、 $I_O = -1\text{A}$		280	350	m Ω
$R_{DS(ONL)}$	ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = 1\text{A}$		165	200	m Ω
		$T_J = 125^\circ\text{C}$ 、 $I_O = 1\text{A}$		250	300	m Ω
		$T_J = 150^\circ\text{C}$ 、 $I_O = 1\text{A}$		280	350	m Ω
t_{SR}	出力スルーレート	VM = 24V、 $I_O = 1\text{A}$ 、10% と 90% の間		240		V/ μs
PWM 電流制御 (VREFA, VREFB)						
K_V	トランスインピーダンス・ゲイン	VREF = 3.3V	1.254	1.32	1.386	V/A

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小	標準	最大	単位
I_{VREF}	VREF リーク電流	$V_{REF} = 3.3\text{V}$			8.25	μA
t_{OFF}	PWM オフ時間	$TOFF = 0$		7		μs
		$TOFF = 1$		16		
		$TOFF = \text{ハイインピーダンス}$		24		
		$TOFF = 330\text{k}\Omega$ を GND との間に接続		32		
ΔI_{TRIP}	電流トリップ精度	$0.25\text{A} < I_O < 0.5\text{A}$	-12		12	%
		$0.5\text{A} < I_O < 1\text{A}$	-6		6	
		$1\text{A} < I_O < 2.5\text{A}$	-4		4	
$I_{O,CH}$	AOUT と BOUT の電流マッチング	$I_O = 2.5\text{A}$	-2.5		2.5	%
保護回路						
V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.1	4.25	4.35	V
		VM 立ち上がり、UVLO 立ち上がり	4.2	4.35	4.45	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュホールド		100		mV
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり		$V_{VM} + 2$		V
I_{OCP}	過電流保護	FET を流れる電流	4			A
t_{OCP}	過電流グリッチ除去時間			2		μs
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	$^\circ\text{C}$
T_{HYS_OTSD}	過熱保護閾値ヒステリシス	ダイ温度 T_J		20		$^\circ\text{C}$

6.5.1 代表的特性

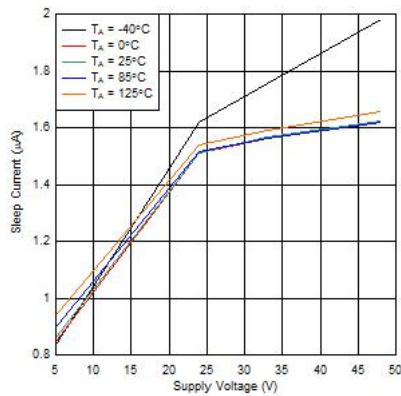


図 6-1. スリープ電流と電源電圧

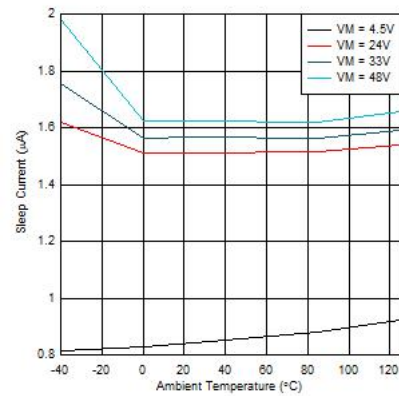


図 6-2. スリープ電流温度特性

6.5.1 代表的特性 (continued)

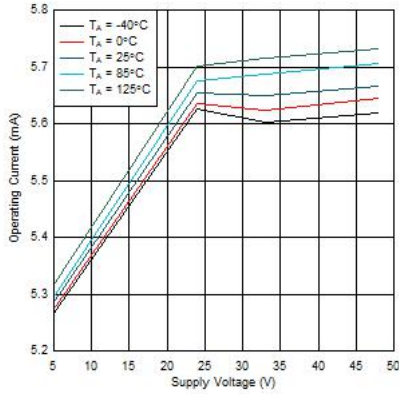


図 6-3. 動作電流と電源電圧

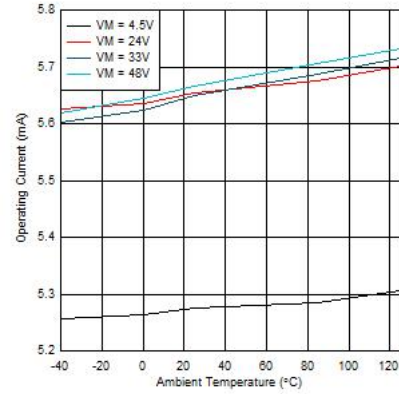


図 6-4. 動作電流温度特性

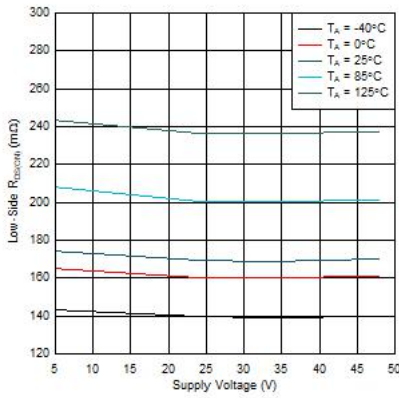


図 6-5. ローサイド $R_{DS(ON)}$ と電源電圧

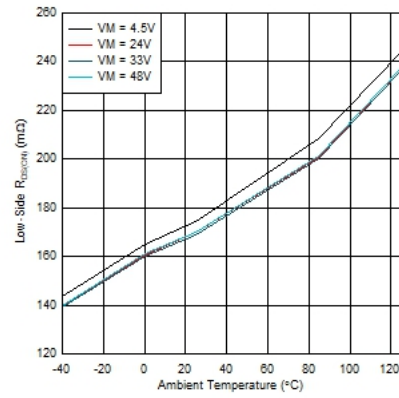


図 6-6. ローサイド $R_{DS(ON)}$ 温度特性

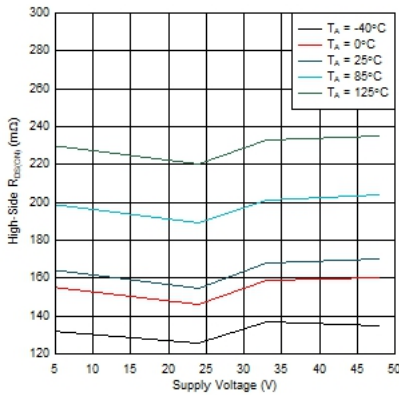


図 6-7. ハイサイド $R_{DS(ON)}$ と電源電圧

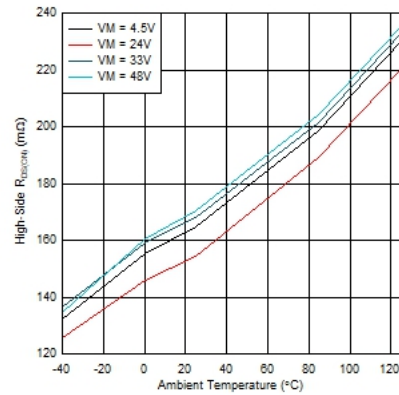


図 6-8. ハイサイド $R_{DS(ON)}$ 温度特性

7 詳細説明

7.1 概要

DRV8434E/P はバイポーラ・ステッピング・モータまたはデュアル・ブラシ付き DC モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 個の N チャネル・パワー MOSFET H ブリッジ、統合型電流検出機能、およびレギュレーション回路を統合しています。DRV8434E/P は、DRV8426E/P、DRV8436E/P、DRV8424E/P とピン互換です。DRV8434E/P は 4.5~48V の電源電圧範囲で動作し、ピーク時で最大 4A、フルスケールで最大 2.5A の出力電流を供給できます。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

DRV8434E/P デバイスは電流検出アーキテクチャを内蔵しているため、2 つの外部電力検出抵抗が不要になり、基板面積、BOM コスト、設計作業が大幅に削減され、消費電力が大幅に削減されます。このアーキテクチャでは、電流検出に電流ミラー手法と内部パワー MOSFET を使うことで、検出抵抗での電力消費をなくしています。電流レギュレーションの設定点は VREFA および VREFB ピンの電圧で調整できます。

シンプルな PH/EN (DRV8434E) または PWM (DRV8434P) インターフェイスにより、コントローラ回路と簡単に接続できます。

電流レギュレーションは高度に設定可能であり、複数のディケイ動作モードを持っています。ディケイ・モードとして、スマート・チューン・ダイナミック・ディケイ、スマート・チューン・リップル・コントロール、ミックス、ファースト・ディケイを選択できます。PWM オフ時間 t_{OFF} は 7、16、24、32 μ s に調整できます。

また、低消費電力スリープ・モードを内蔵しているため、モータを駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図

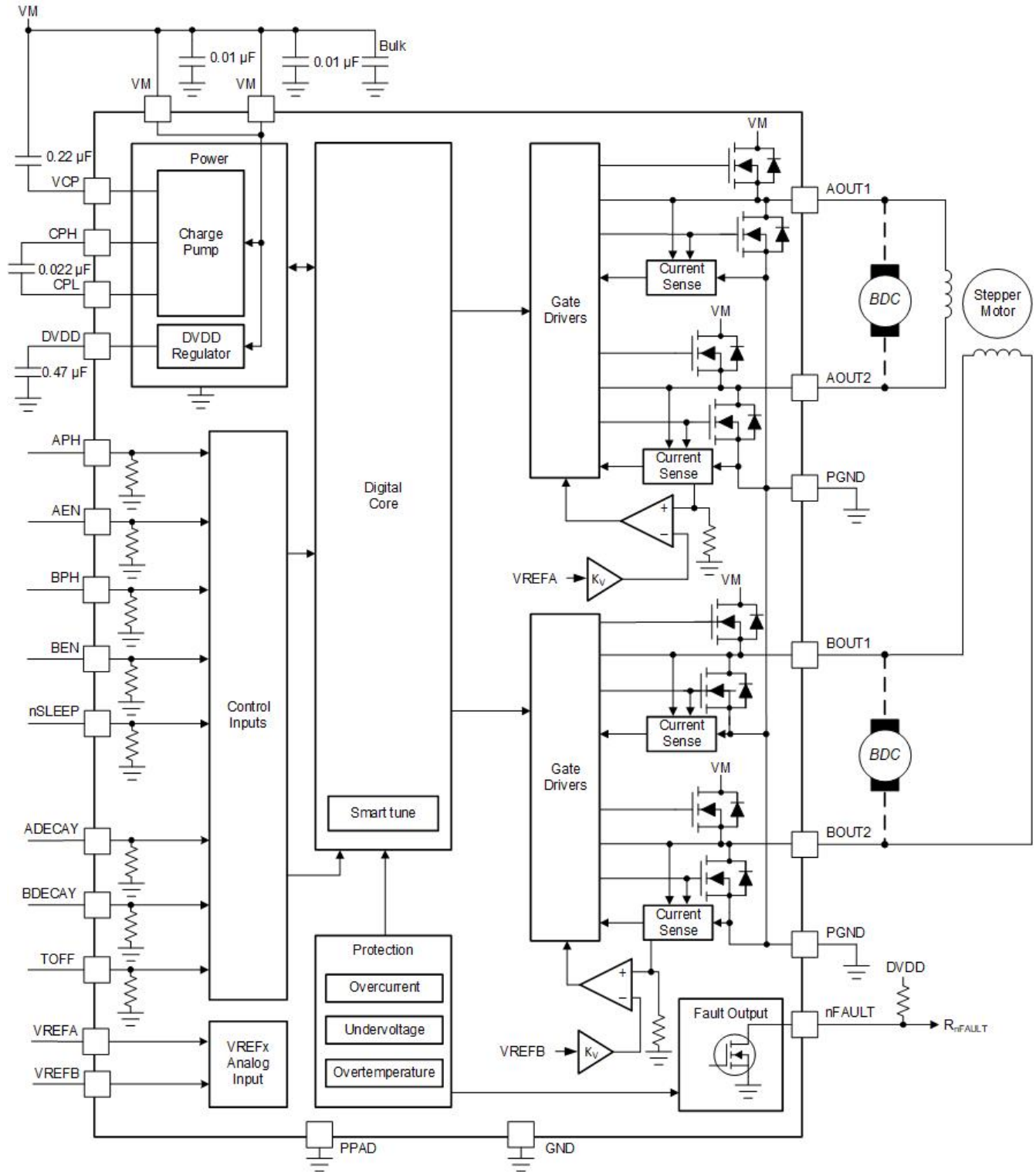


図 7-1. DRV8434E のブロック図

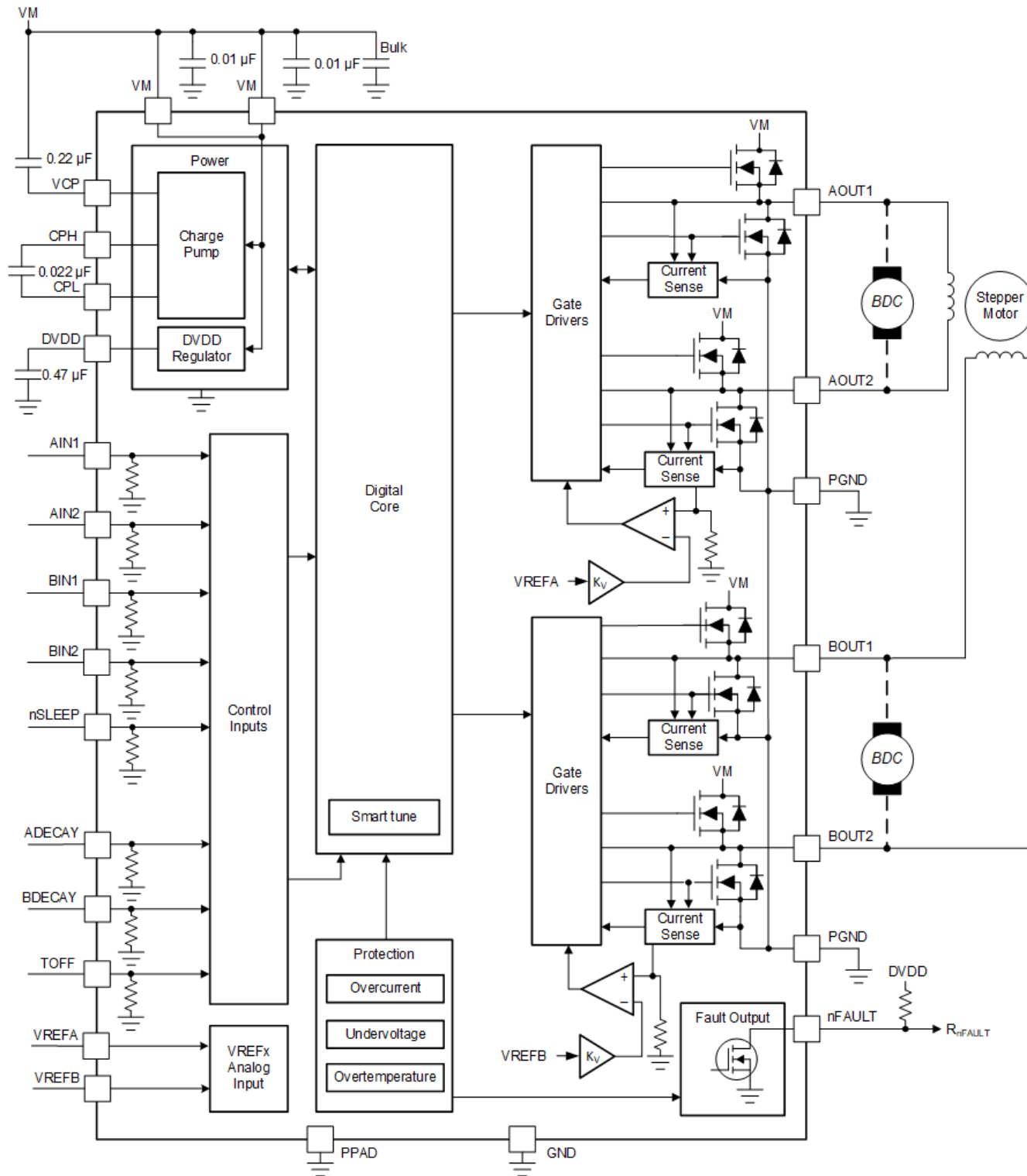


図 7-2. DRV8434P のブロック図

7.3 機能説明

以下の表に、ドライバの外付け部品の推奨値を示します。

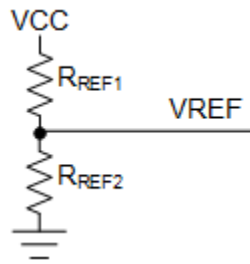


図 7-3. VREF ピンに接続された抵抗分割器

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨する事項
C _{VM1}	VM	PGND	2 つの X7R, 0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R, 0.22μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R, 0.022μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R, 0.47μF~1μF、6.3V または 10V 定格セラミック・コンデンサ
R _{nFAULT}	VCC	nFAULT	4.7kΩ 以上の抵抗
R _{REF1}	VREFx	VCC	チョッピング電流を制限するための抵抗。R _{REF1} と R _{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF2} (オプション)	VREFx	GND	

VCC は本デバイスのピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 ブリッジの制御

DRV8434E は、PH/EN インターフェイスを使用して制御されます。表 7-2 に、フル H ブリッジの状態を示します。この表では、DRV8434E に組み込まれている電流制御機能は考慮されていないことに注意します。正の電流は、xOUT1 から xOUT2 の方向に定義されています。

表 7-2. DRV8434E の (PH/EN) 制御インターフェイス

nSLEEP	xEN	xPH	xOUT1	xOUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	スリープ・モード、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	X	ハイ・インピーダンス	ハイ・インピーダンス	H ブリッジはディセーブル (ハイ・インピーダンス)
1	1	0	L	H	逆方向 (xOUT2 から xOUT1 への電流)
1	1	1	H	L	順方向 (xOUT1 から xOUT2 への電流)

DRV8434P は、PWM インターフェイスを使用して制御されます。表 7-3 に、フル H ブリッジの状態を示します。この表では、DRV8434P に組み込まれている電流制御機能は考慮されていないことに注意します。正の電流は、xOUT1 から xOUT2 の方向に定義されています。

表 7-3. DRV8434P の (PWM) 制御インターフェイス

nSLEEP	xIN1	xIN2	xOUT1	xOUT2	説明
0	X	X	ハイ・インピーダンス	ハイ・インピーダンス	スリープ・モード、H ブリッジはディセーブル (ハイ・インピーダンス)
1	0	0	L	L	ブレーキ、ローサイド・スロー・ディケイ

表 7-3. DRV8434P の (PWM) 制御インターフェイス (continued)

nSLEEP	xIN1	xIN2	xOUT1	xOUT2	説明
1	0	1	L	H	逆方向 (xOUT2 から xOUT1 への電流)
1	1	0	H	L	順方向 (xOUT1 から xOUT2 への電流)
1	1	1	H	H	ブレーキ、ハイサイド・スロー・ディケイ

7.3.2 電流レギュレーション

モータ巻線に流れる電流は、調整可能なオフ時間 PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線に流れる電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、ブリッジは TOFF ピンの設定で決まる時間の間ディケイ・モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

表 7-4. オフ時間の設定

TOFF	オフ時間 t_{OFF}
0	7 μ s
1	16 μ s
ハイ・インピーダンス	24 μ s
330k Ω を GND との間に接続	32 μ s

TOFF ピンは、スマート・チューン・リップル・コントロールを除くすべてのディケイ・モードの PWM オフ時間を設定します。このオフ時間設定は、実行中に変更できます。オフ時間設定を変更した後、10 μ s のデグリッチ時間後に新しいオフ時間が適用されます。

電流レギュレーション・スレッショルドは、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。コンパレータの基準電圧を生成するため、VREFx 入力は Kv の係数で減衰されます。

チョッピング電流 (I_{FS}) は、 $I_{FS} (A) = V_{REFx} (V) / K_V (V/A) = V_{REFx} (V) / 1.32 (V/A)$ として計算できます。

7.3.3 ディケイ・モード

PWM 電流チョッピング中、PWM 電流チョッピング・スレッシュホールドに達するまで H ブリッジはモータ巻線を駆動します。図 7-4 の項目 1 に、これを示します。

チョッピング電流スレッシュホールドに達すると、H ブリッジは 2 種類の状態 (ファースト・ディケイまたはスロー・ディケイ) で動作できるようになります。ファースト・ディケイ・モードでは、PWM チョッピング電流スレッシュホールドに達すると、巻線電流が逆方向に流れるように H ブリッジは状態を反転させます。反対側の FET がオンになり、巻線電流がゼロに近づくと、ブリッジはディセーブルされ、逆電流が流れるのを防止します。図 7-4 の項目 2 に、ファースト・ディケイ・モードを示します。スロー・ディケイ・モードでは、ブリッジの両方のローサイド FET をオンにすることで巻線電流を再循環させます。図 7-4 の項目 3 に、これを示します。

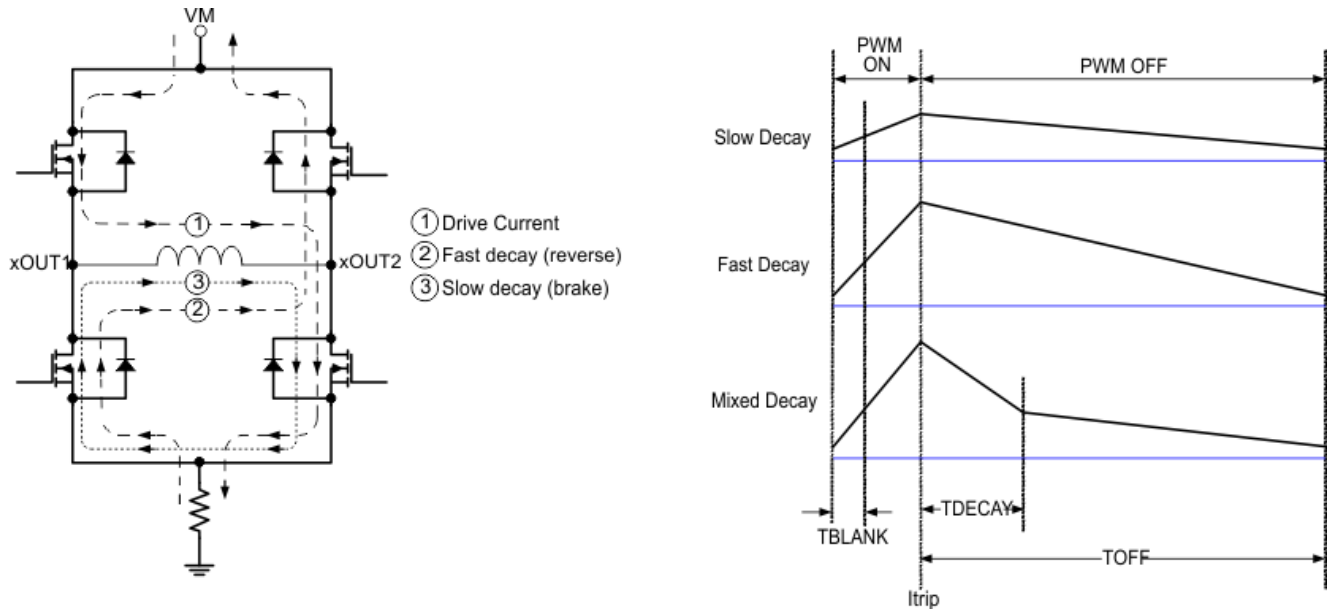


図 7-4. ディケイ・モード

ディケイ・モードは、クワッド・レベルの ADECAY ピンと BDECAY ピンを設定することで選択されます (表 7-5.を参照)。

表 7-5. ディケイ・モードの設定

xDECAY	ディケイ・モード
0	スマート・チューン・ダイナミック・ディケイ
1	スマート・チューン・リップル・コントロール
ハイ・インピーダンス	ミックス・ディケイ:30% 高速
330kΩ を GND との間に接続	ファースト・ディケイ

ADECAY ピンは H ブリッジ A (AOUT1、AOUT2) のディケイ・モードの設定に使用し、BDECAY ピンは H ブリッジ B (BOUT1、BOUT2) のディケイ・モードの設定に使用します。

7.3.3.1 ミックス・ディケイ

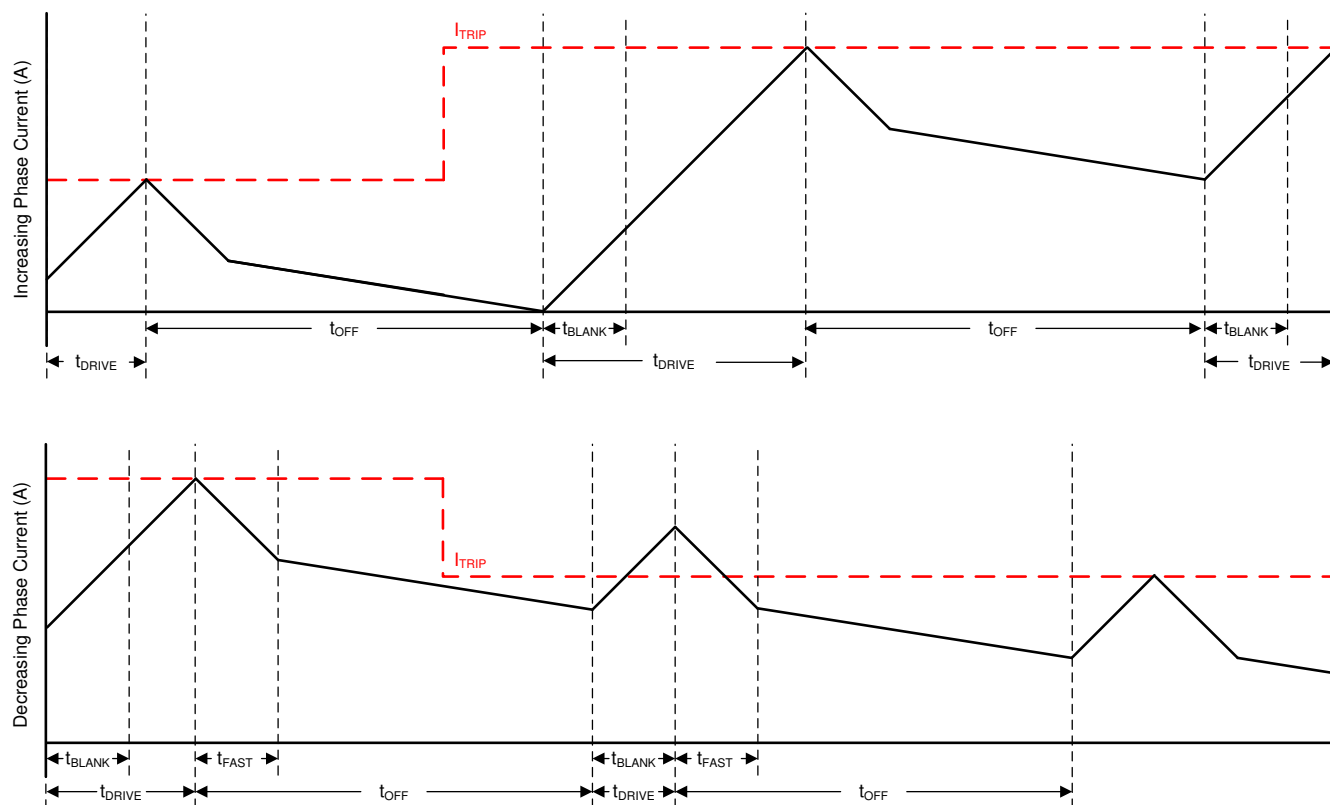


図 7-5. ミックス・ディケイ・モード

ミックス・ディケイでは、 t_{OFF} 時間の初めの 30% の期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。

このモードでのリップルは、スロー・ディケイ時より大きくなりますが、ファースト・ディケイ時よりは小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

7.3.3.2 ファースト・ディケイ

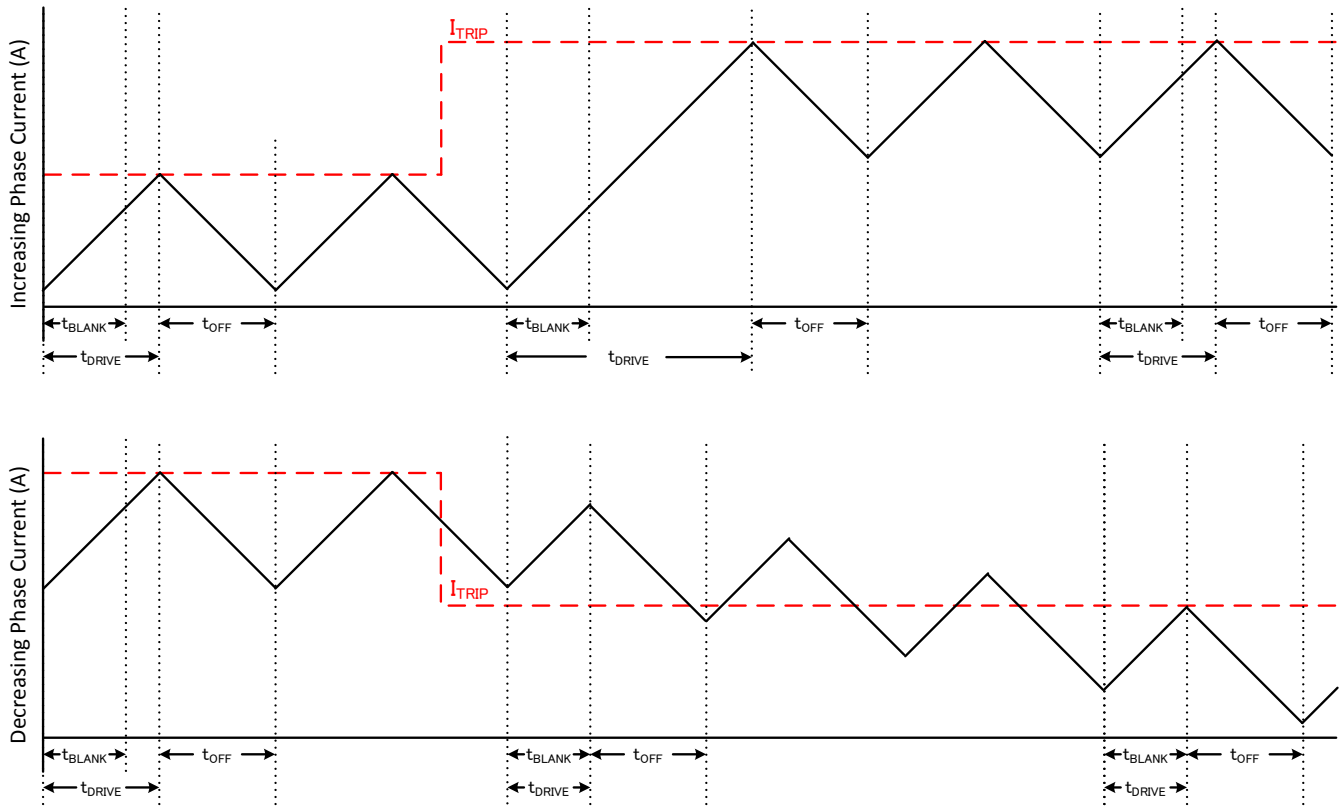


図 7-6. ファースト/ファースト・ディケイ・モード

ファースト・ディケイ中、Hブリッジの極性は反転します。電流がゼロに近づくと、Hブリッジはディセーブルされ、逆方向の電流を防止します。

ファースト・ディケイは、与えられた t_{OFF} に対して、ディケイ・モードの中で最も大きい電流リップルを示します。電流減少ステップでは、電流が非常に速く減少するため、スロー・ディケイよりも遷移時間ははるかに短くなります。

7.3.3.3 スマート・チューン・ダイナミック・ディケイ

スマート・チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート・チューン電流レギュレーション方式を使うと、ステッピング・モータ・ドライバは以下のような動作要因に基づいてディケイ方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 小電流と大電流の di/dt

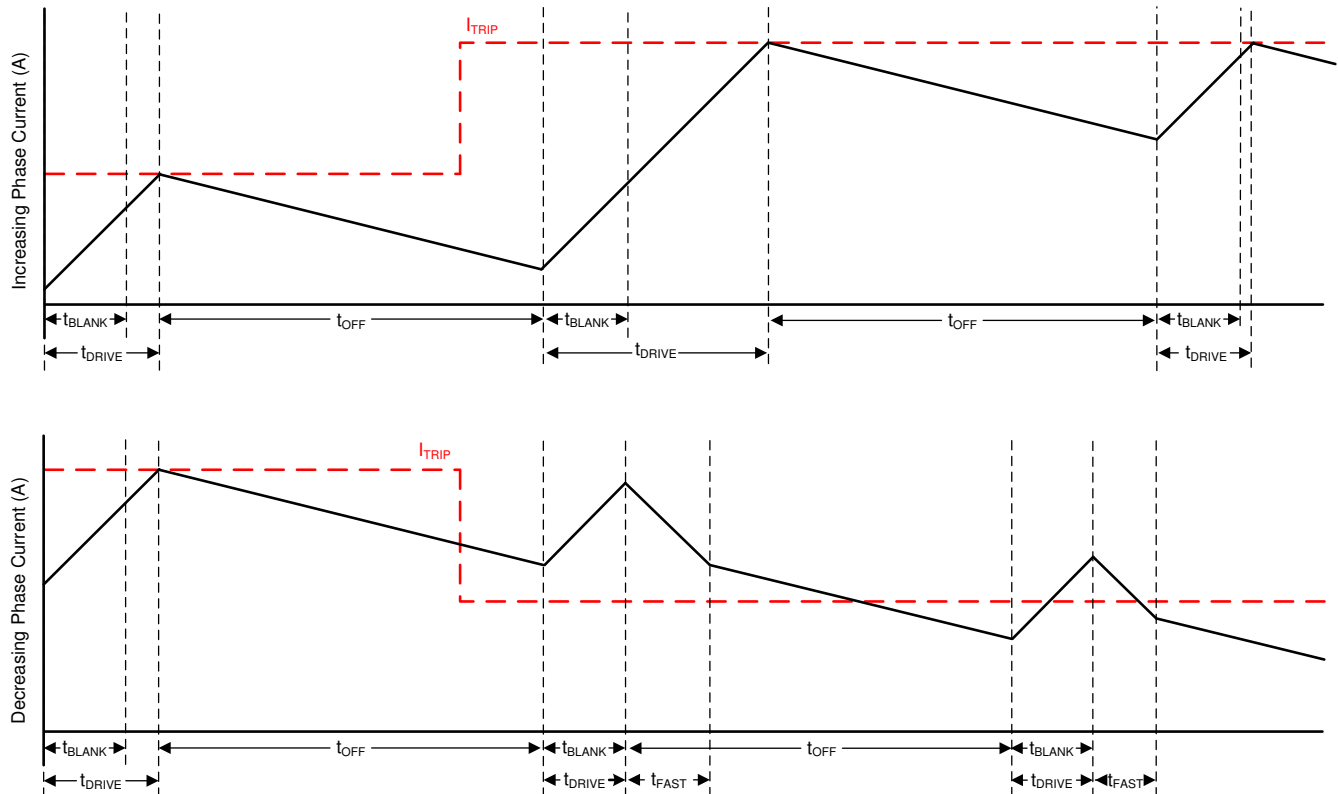


図 7-7. スマート・チューン・ダイナミック・ディケイ・モード

スマート・チューン・ダイナミック・ディケイでは、スロー、ミックス、ファースト・ディケイといったディケイ・モードが自動的に構成されるため、ディケイ・モードの選択が大幅に簡略化されます。ミックス・ディケイでは、スマート・チューンにより、ミックス・ディケイの総時間に対するファースト・ディケイの割合が動的に調整されます。この機能により、モータのリップルを最小限に抑える最良のディケイ設定が自動的に決定されるため、モータのチューニングが不要になります。

ディケイ・モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標リップル・レベルを超えると、レギュレーション損失を防ぐため、次のサイクルでディケイ・モードはより積極的になります (ファースト・ディケイの割合を増やします)。目標リップル・レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルでディケイ・モードはより消極的になります (ファースト・ディケイの割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、スマート・チューン・ダイナミック・ディケイは自動的にファースト・ディケイに切り替わります。

スマート・チューン・ダイナミック・ディケイは、電流レギュレーション方式で電流リップルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーションに最適です。

7.3.3.4 スマート・チューン・リップル・コントロール

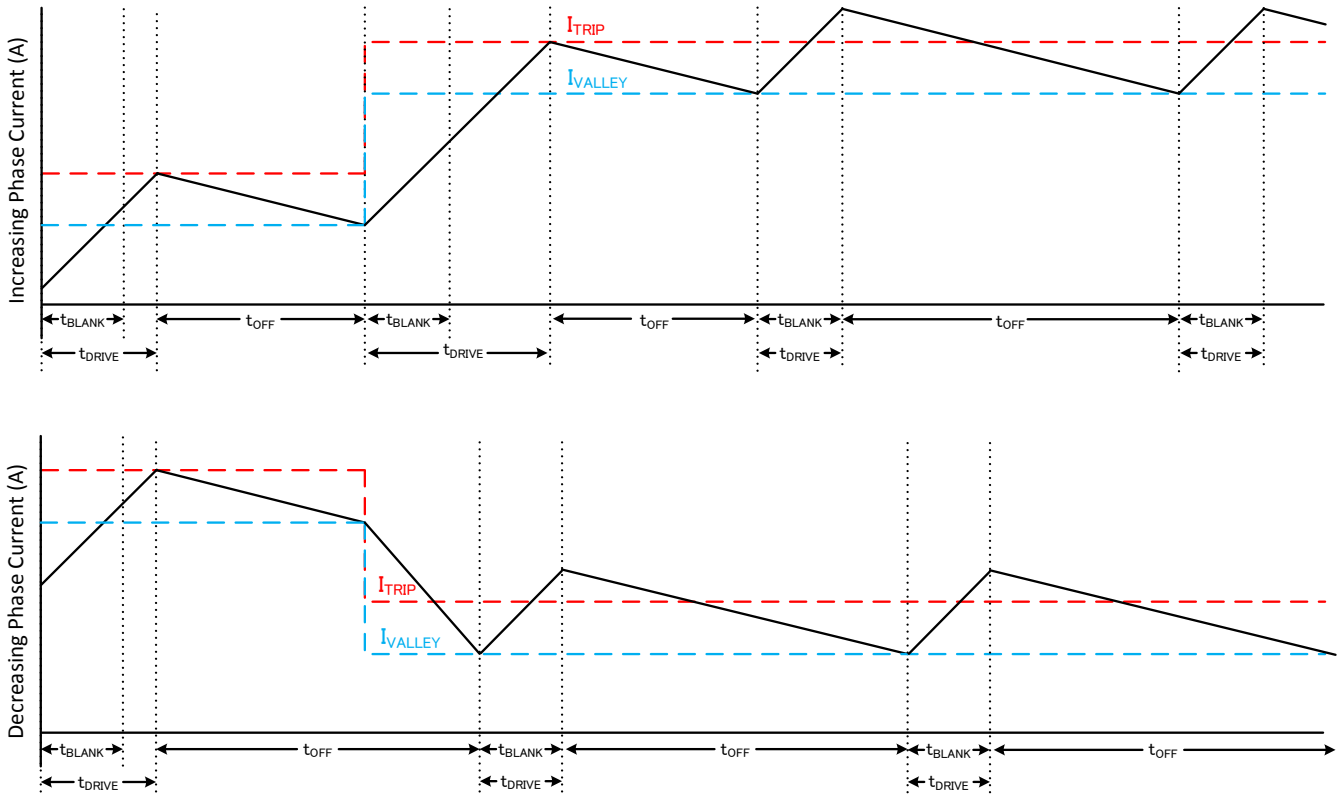


図 7-8. スマート・チューン・リップル・コントロール・ディケイ・モード

スマート・チューン・リップル・コントロールは、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまでスロー・ディケイに移行する代わりに、 I_{VALLEY} に達するまでスロー・ディケイに移行します。スロー・ディケイは、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて t_{OFF} が変化します。

この手法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル・コントロールは、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。

7.3.3.5 ブランキング時間

H ブリッジで電流が出力されると（駆動相の開始）、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 $1\mu s$ です。

7.3.4 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

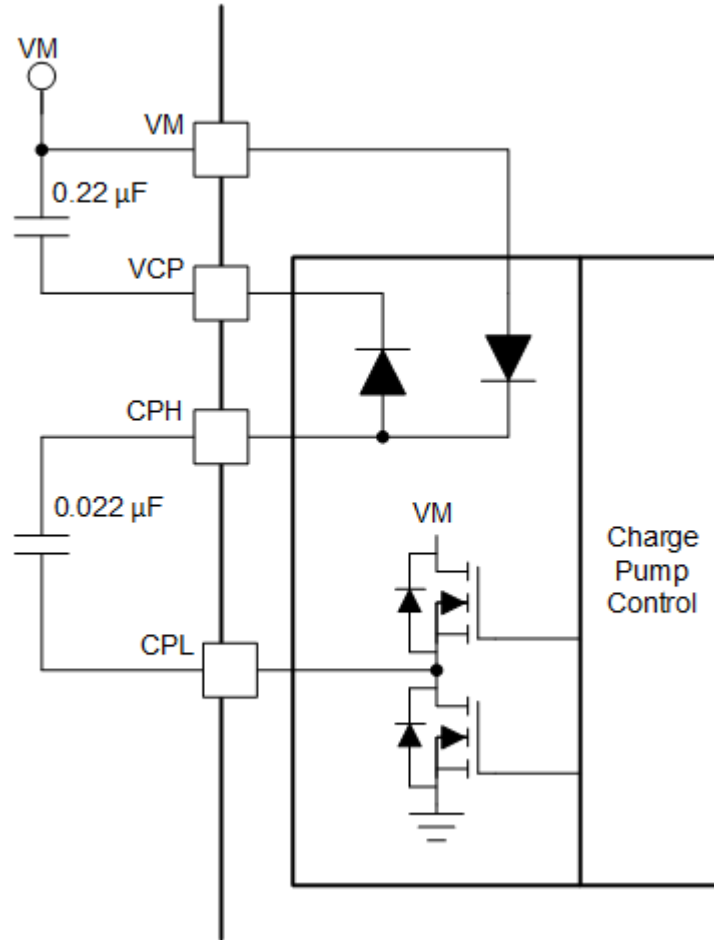


図 7-9. チャージ・ポンプのブロック図

7.3.5 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2 mA を超えると、出力電圧は大きく低下します。

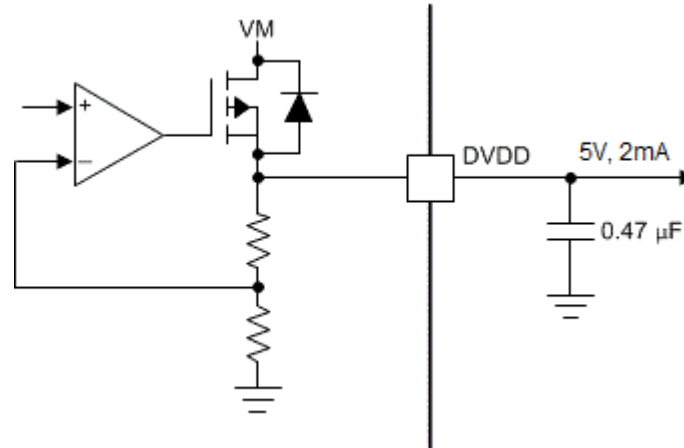


図 7-10. リニア電圧レギュレータのブロック図

デジタル入力 (すなわち ADECAY、BDECAY、TOFF) を永続的に High に固定する場合、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続することはできません。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.6 論理およびクワッドレベル・ピン構造図

図 7-11 に、ロジック・レベル・ピン APH、AEN、BPH、BEN、AIN1、AIN2、BIN1、BIN2、nSLEEP の入力構造を示します。

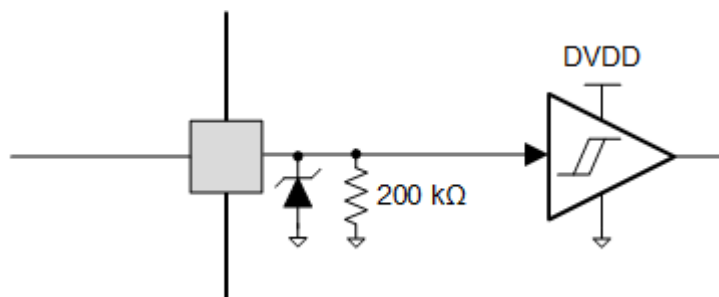


図 7-11. 論理レベル入力ピン構造図

クワッド・レベルのロジック・ピン TOFF、ADECAY、BDECAY の構造は次のとおりです (図 7-12 を参照)。

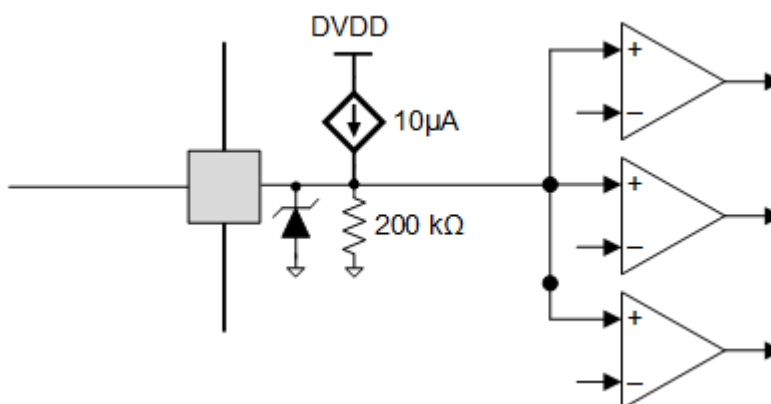


図 7-12. クワッドレベル入力ピン構造図

7.3.6.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

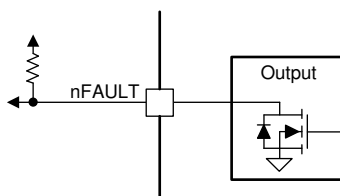


図 7-13. nFAULT ピン

7.3.7 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.7.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッショルド電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。VM 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.7.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.7.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、その特定の H ブリッジの FET がディセーブルされ、nFAULT ピンは Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。OCP 条件が解消すると、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.7.4 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回った後に、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

フォルト条件のまとめ

表 7-6. フォルト条件のまとめ

フォルト	条件	異常通知	H ブリッジ	チャージ・ポンプ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	nFAULT	ディセーブル	ディセーブル	リセット ($V_{DVDD} < 3.9V$)	自動: $VM > V_{UVLO}$
CP 低電圧検出 (CPUV)	$VCP < V_{CPUV}$	nFAULT	ディセーブル	動作	動作	$VCP > V_{CPUV}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	nFAULT	ディセーブル	動作	動作	ラッチ
サーマル・シャットダウン (OTSD)	$T_J > T_{TSD}$	nFAULT	ディセーブル	ディセーブル	動作	ラッチ

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

本デバイスの状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET がディセーブルされ、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち下がりがエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 動作モード (nSLEEP = 1)

nSLEEP ピンが High かつ $VM > UVLO$ の場合、本デバイスはアクティブ・モードに入ります。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.3 nSLEEP リセット・パルス

ラッチされたフォルトは短い nSLEEP パルスでクリアできます。このパルス幅は 20 μ s より長く 40 μ s より短い必要があります。nSLEEP が 40 μ s より長く 120 μ s より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (図 7-14 を参照)。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

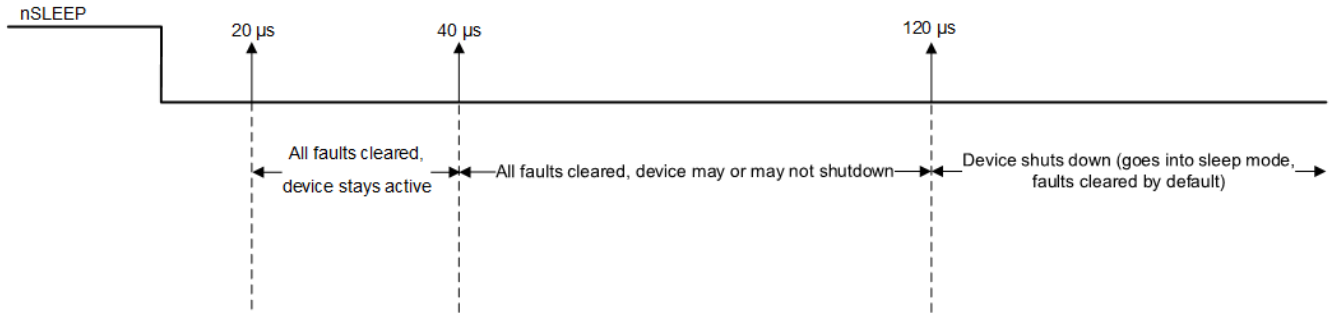


図 7-14. nSLEEP リセット・パルス

機能モードのまとめ

表 7-7 に、機能モードのまとめを示します。

表 7-7. 機能モードのまとめ

	条件	構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	ロジック
スリープ・モード	4.5V < VM < 48V	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 48V	nSLEEP ピン = 1	動作	動作	動作	動作

8.2.2 詳細な設計手順

8.2.2.1 電流レギュレーション

制御電流 (I_{REG}) は V_{REFx} アナログ電圧によって設定されます。ブラシ付き DC モータを起動する際、逆起電力が生じないため、大きな突入電流が発生することがあります。電流レギュレーションは、この突入電流を制限し、起動時の大電流を防止するように機能します。制御電流 (I_{REG}) は、 $I_{REG} (A) = V_{REFx} (V) / K_V (V/A) = V_{REFx} (V) / 1.32 (V/A)$ として計算できます。

8.2.2.2 消費電力および熱に関する計算

本デバイスの出力電流および消費電力特性は、PCB 設計と外部条件に大きく依存します。ここでは、これらの値を計算するための指針を提示します。

本デバイスの総消費電力 (P_{TOT}) は、おもに 3 つの要素から成ります。それらは、パワー MOSFET $R_{DS(ON)}$ (導通) 損失、パワー MOSFET スwitching 損失、および電源静止電流損失です。それ以外の要素が電力損失の増加に影響することもあります。この 3 つの主要な要素に比べると通常わずかです。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q$$

各ブラシ付き DC モータの P_{COND} は、デバイス $R_{DS(ON)}$ および安定化出力電流 (I_{REG}) から計算できます。両方のブラシ付き DC モータで同じ I_{REG} を仮定すると、

$$P_{COND} = 2 \times (I_{REG})^2 \times (R_{DS(ONH)} + R_{DS(ONL)})$$

$R_{DS(ON)}$ はデバイス温度と強い相関があることに注意する必要があります。正規化した $R_{DS(ON)}$ と温度との関係を示す曲線については、「代表的特性」の曲線を参照してください。

$$P_{COND} = 2 \times (1.5A)^2 \times (0.165\Omega + 0.165\Omega) = 1.485W$$

P_{SW} は、公称電源電圧 (V_M)、安定化出力電流 (I_{REG})、switching 周波数 (f_{PWM})、デバイス出力立ち上がり (t_{RISE}) / 立ち下がり (t_{FALL}) 時間の仕様から計算できます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL})$$

$$P_{SW_RISE} = 0.5 \times V_M \times I_{REG} \times t_{RISE} \times f_{PWM}$$

$$P_{SW_FALL} = 0.5 \times V_M \times I_{REG} \times t_{FALL} \times f_{PWM}$$

$$P_{SW_RISE} = 0.5 \times 24V \times 1.5A \times 100ns \times 30kHz = 0.054W$$

$$P_{SW_FALL} = 0.5 \times 24V \times 1.5A \times 100ns \times 30kHz = 0.054W$$

$$P_{SW} = 2 \times (0.054W + 0.054W) = 0.216W$$

P_Q は、公称電源電圧 (V_M) と I_{VM} 電流の仕様から計算できます。

$$P_Q = V_M \times I_{VM} = 24V \times 5mA = 0.12W$$

全消費電力 (P_{TOT}) は導通損失、switching 損失、静止電力損失の合計として計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 1.485W + 0.216W + 0.12W = 1.821W$$

周囲温度が T_A 、総消費電力 A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 29.7 °C/W、VQFN パッケージの場合 39 °C/W です。

25°C の周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ C + (1.821W \times 29.7^\circ C/W) = 79.08^\circ C$$

VQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ C + (1.821W \times 39^\circ C/W) = 96.02^\circ C$$

デバイス接合部温度が規定の動作範囲内にあることを確認する必要があります。

8.2.3 アプリケーション曲線

CH3 = VM (10V/div)、CH1 = nFAULT (3V/div)、CH5 = nSLEEP (3V/div)、CH7 = I_{REG} (1.5A/div)

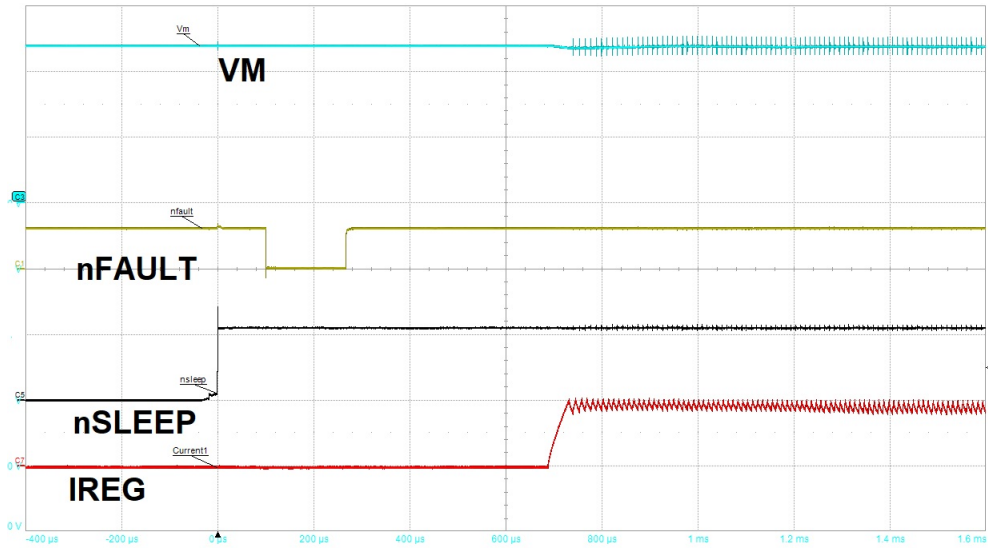


図 8-2. デバイスの電源投入、nSLEEP 使用

CH3 = VM (10V/div)、CH1 = nFAULT (3V/div)、CH5 = nSLEEP (3V/div)、CH7 = I_{REG} (1.5A/div)

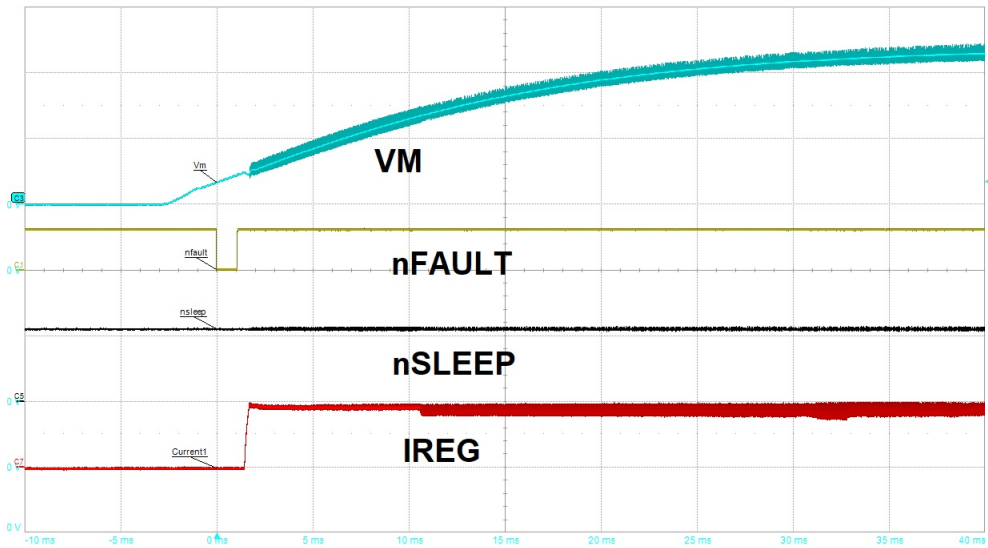


図 8-3. デバイス電源投入、電源電圧 (VM) ランプ使用

CH1 = IN1 (3V/div)、CH7 = I_{REG} (0.75A/div)、CH3 = AOUT1 (24V/div)、CH2 = AOUT2 (24V/div)

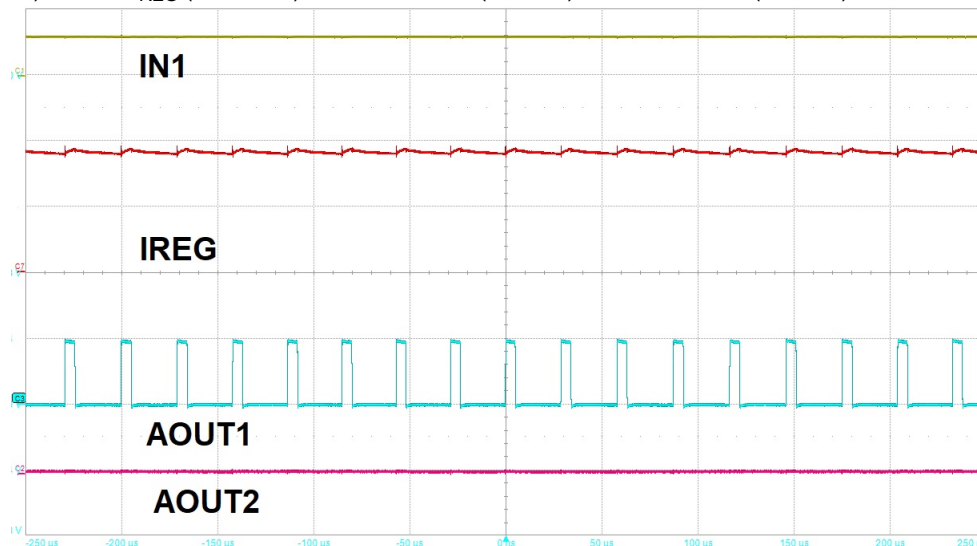


図 8-4. ドライバ・フル・オン動作、電流レギュレーション使用

8.3 代替アプリケーション

以下の設計手順を使用して、ステッピング・モータを駆動するよう DRV8434E/P を構成できます。

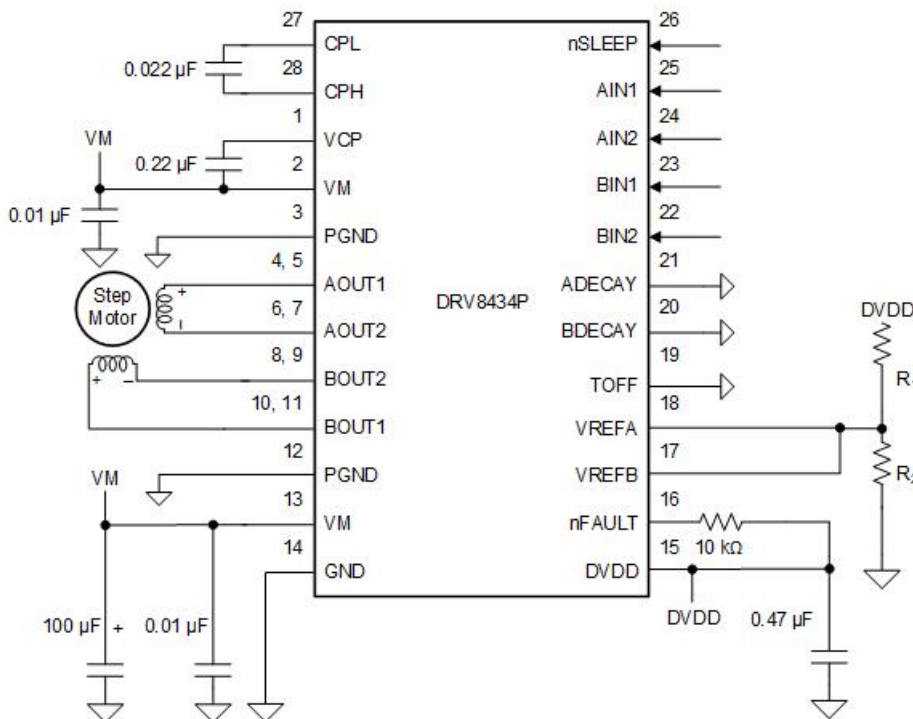


図 8-5. 代替アプリケーションの回路図

8.3.1 設計要件

表 8-2 に、システム設計の設計入力パラメータを示します。

表 8-2. 設計パラメータ

設計パラメータ	略号	例値
電源電圧	VM	24V
モータ巻線抵抗	R _L	0.93Ω/相
モータ巻線インダクタンス	L _L	1.9mH/相
モータ・フルステップ角	θ _{step}	1.8°/ステップ
目標マイクロステップ・レベル	n _m	1/2 ステップ
目標モータ速度	v	90rpm
目標フルスケール電流	I _{FS}	2A

8.3.2 詳細な設計手順

8.3.2.1 電流レギュレーション

ステップング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREFx 電圧に依存します。VREFx ピンの最大許容電圧は 3.3V です。DVDD と抵抗分器器を使用して VREFx を供給できます。

$$I_{FS} (A) = V_{REF} (V) / 1.32 (V/A)$$

NOTE

モータを飽和させないように、I_{FS} 電流は 式 1 にも従う必要があります。VM はモータの電源電圧、R_L はモータの巻線の抵抗です。

$$I_{FS} (A) < \frac{VM (V)}{R_L (\Omega) + 2 \times R_{DS(ON)} (\Omega)} \quad (1)$$

8.3.2.2 ステッピング・モータの速度

次に、駆動波形を計画する必要があります。正しい速度を指示するため、入力波形の周波数を決定します。

目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。

モータ速度 (v)、マイクロステップ・レベル (n_m)、モータのフルステップ角 (θ_{step}) の目標値に対応する f_{step} を計算するには以下を使用します。

$$f_{step} (steps / s) = \frac{v (rpm) \times 360 (^\circ / rot)}{\theta_{step} (^\circ / step) \times n_m (steps / microstep) \times 60 (s / min)} \quad (2)$$

θ_{step} は、ステップング・モータのデータシートまたはモータそのものに記載されています。

周波数 f_{step} は、デバイスの入力の変化の周波数を示します。式 2 で示した設計パラメータの場合、f_{step} は 600Hz として計算できます。

8.3.2.3 ディケイ・モード

本デバイスは、各種のディケイ・モード (ファースト・ディケイ、ミックス・ディケイ、スマート・チューン) をサポートしています。モータ巻線に流れる電流は、調整可能な固定オフ時間方式によって制御されます。これは、モータ巻線電流が電流チョッピング・スレッシュホールド (I_{TRIP}) に達した駆動相の後には常に、本デバイスが TOFF にわたり巻線を複数のディケイ・モードのいずれかに設定することを意味します。TOFF が経過すると、新たなドライブフェーズが開始します。

9 電源に関する推奨事項

本デバイスは、4.5V～48V の入力電圧源 (VM) 範囲で動作するように設計されています。本デバイスの絶対最大定格は 50V です。VM 定格の 0.1 μ F セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

9.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムのための寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムのためのインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンブによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

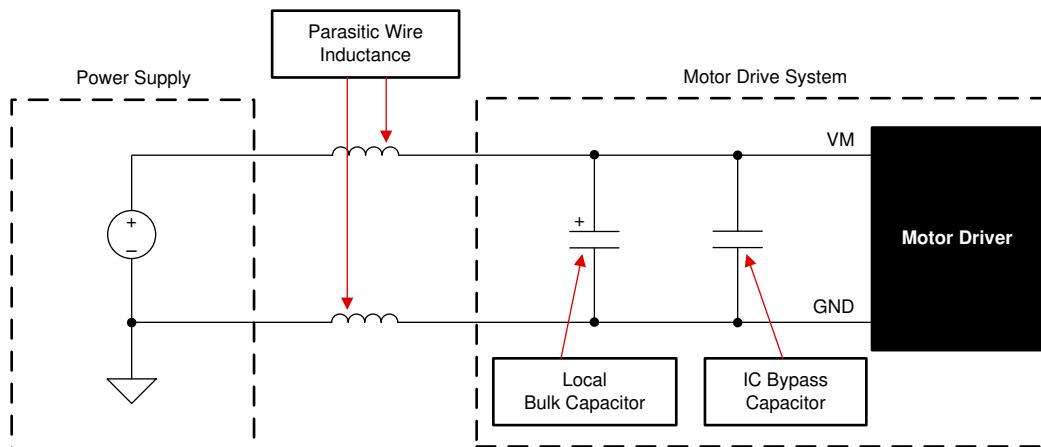


図 9-1. 外部電源を使用したモータ駆動システムの構成

10 レイアウト

10.1 レイアウトの注意点

推奨する VM 定格で $0.01\mu\text{F}$ の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグラウンド・プレーンでデバイスの PGND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグラウンドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 定格の $0.022\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $0.22\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグラウンドにバイパスします。6.3V 定格の $0.47\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

サーマル・パッドはシステム・グラウンドに接続する必要があります。

10.2 レイアウト例

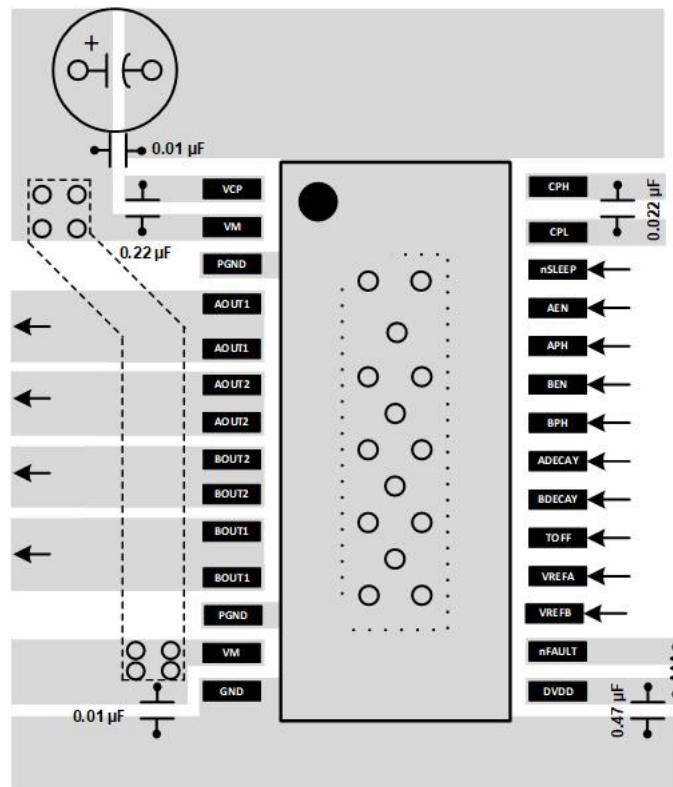


図 10-1. HTSSOP の推奨レイアウト

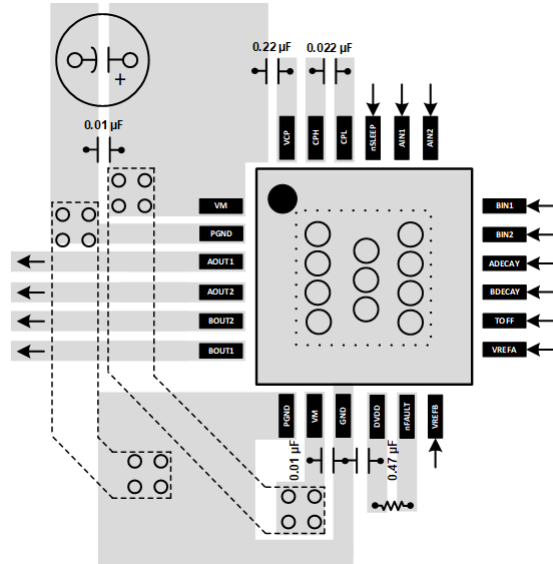


図 10-2. QFN の推奨レイアウト

11 メカニカル、パッケージ、および注文情報

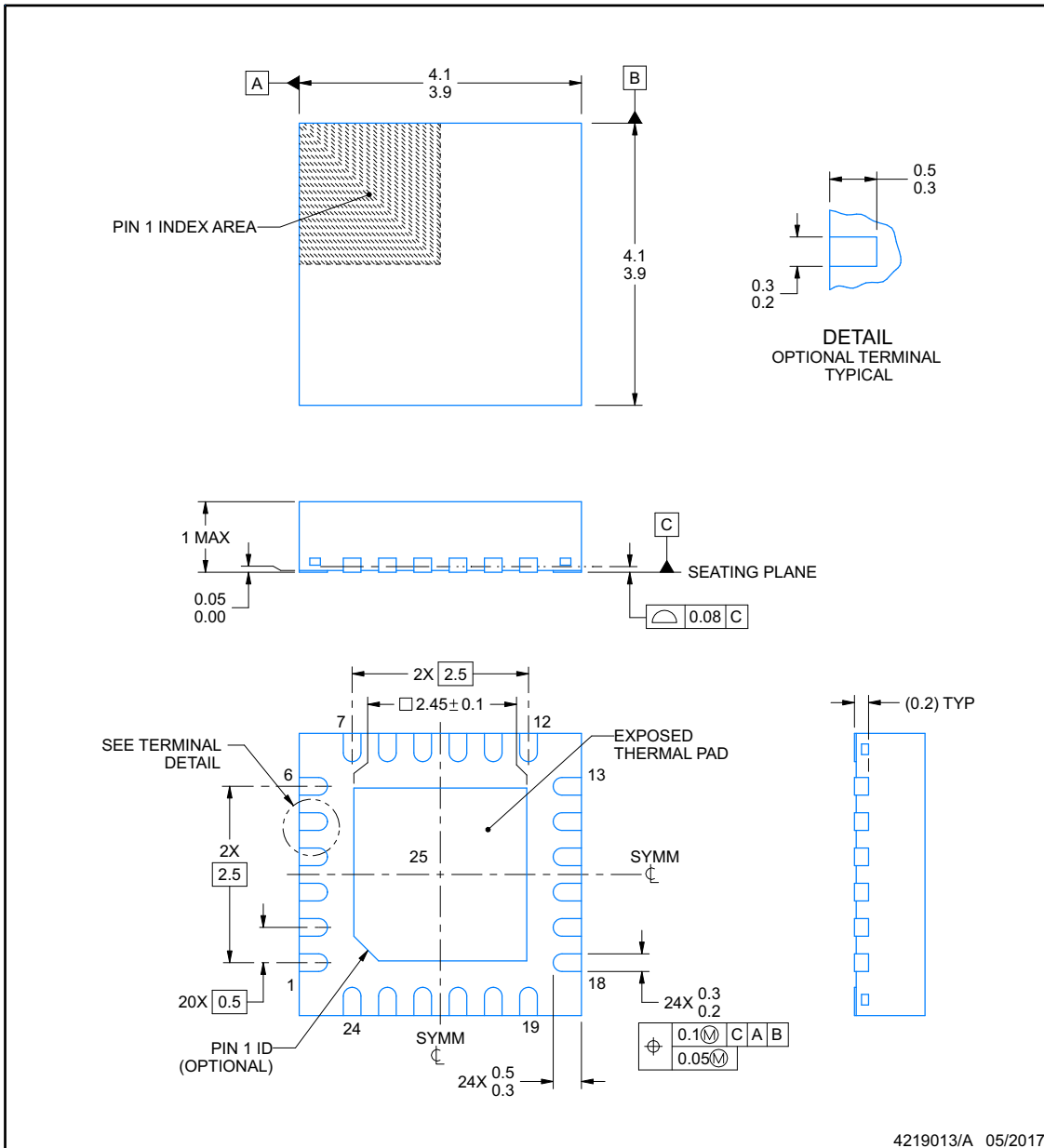
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



RGE0024B

PACKAGE OUTLINE
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

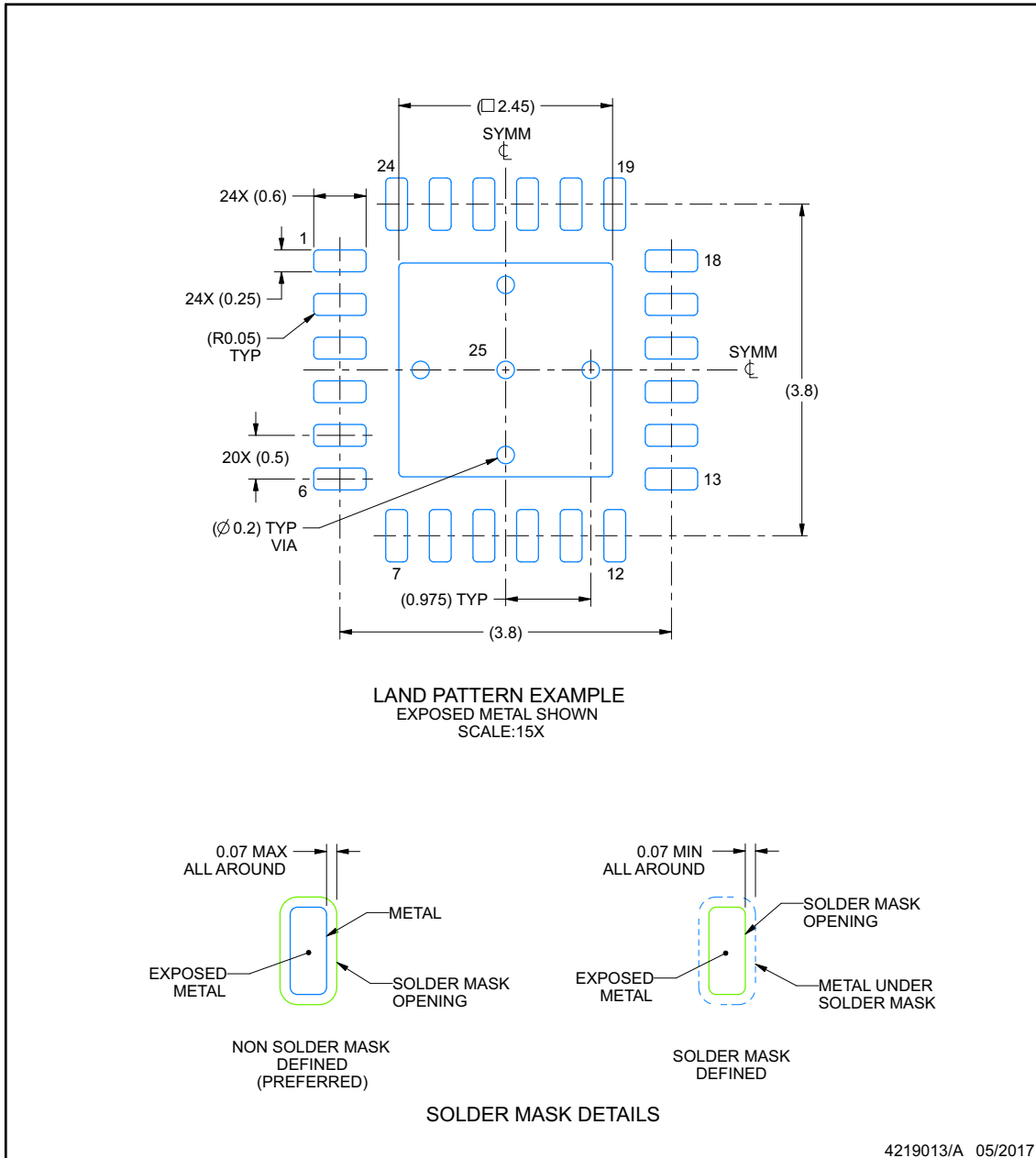
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

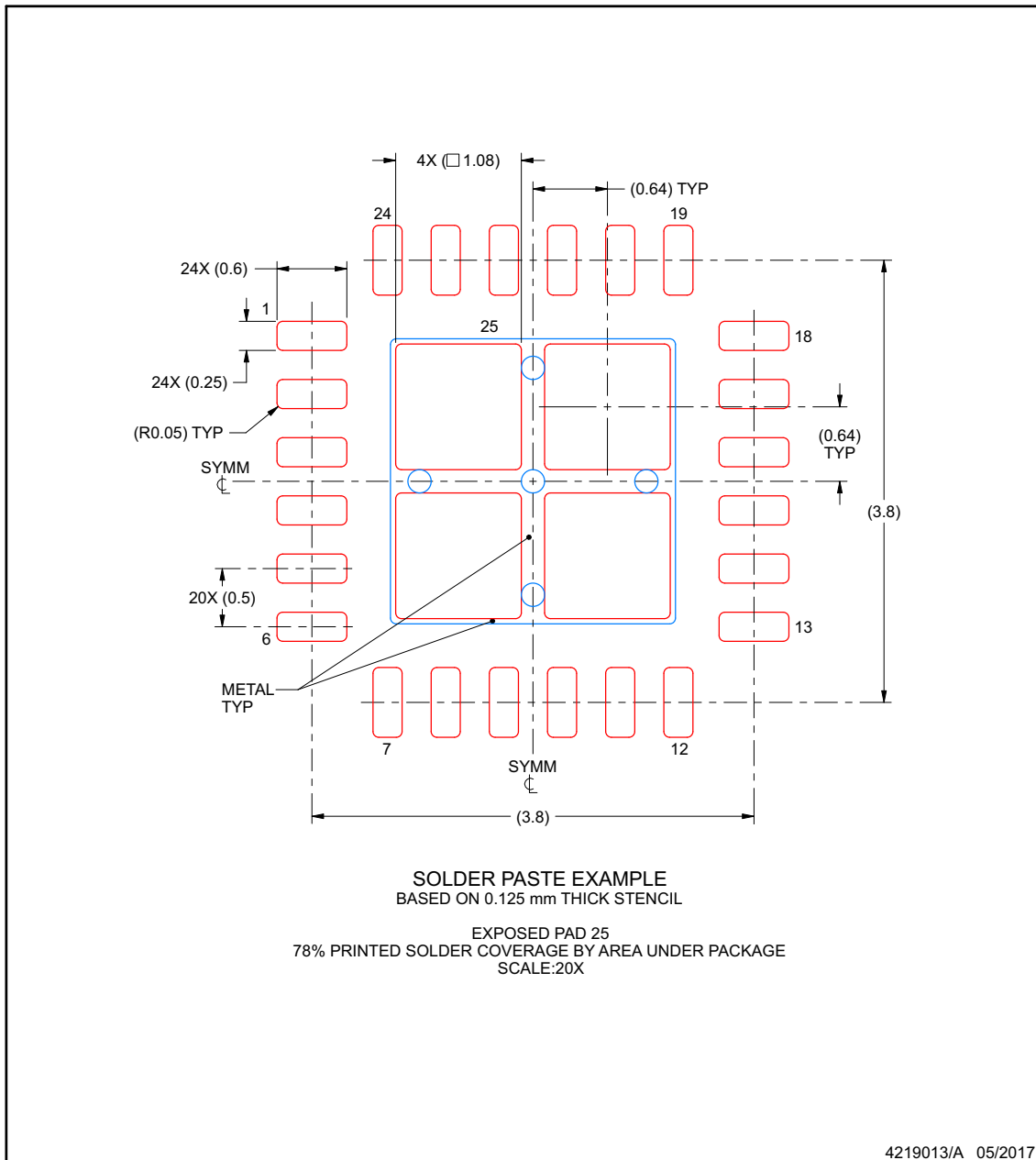
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

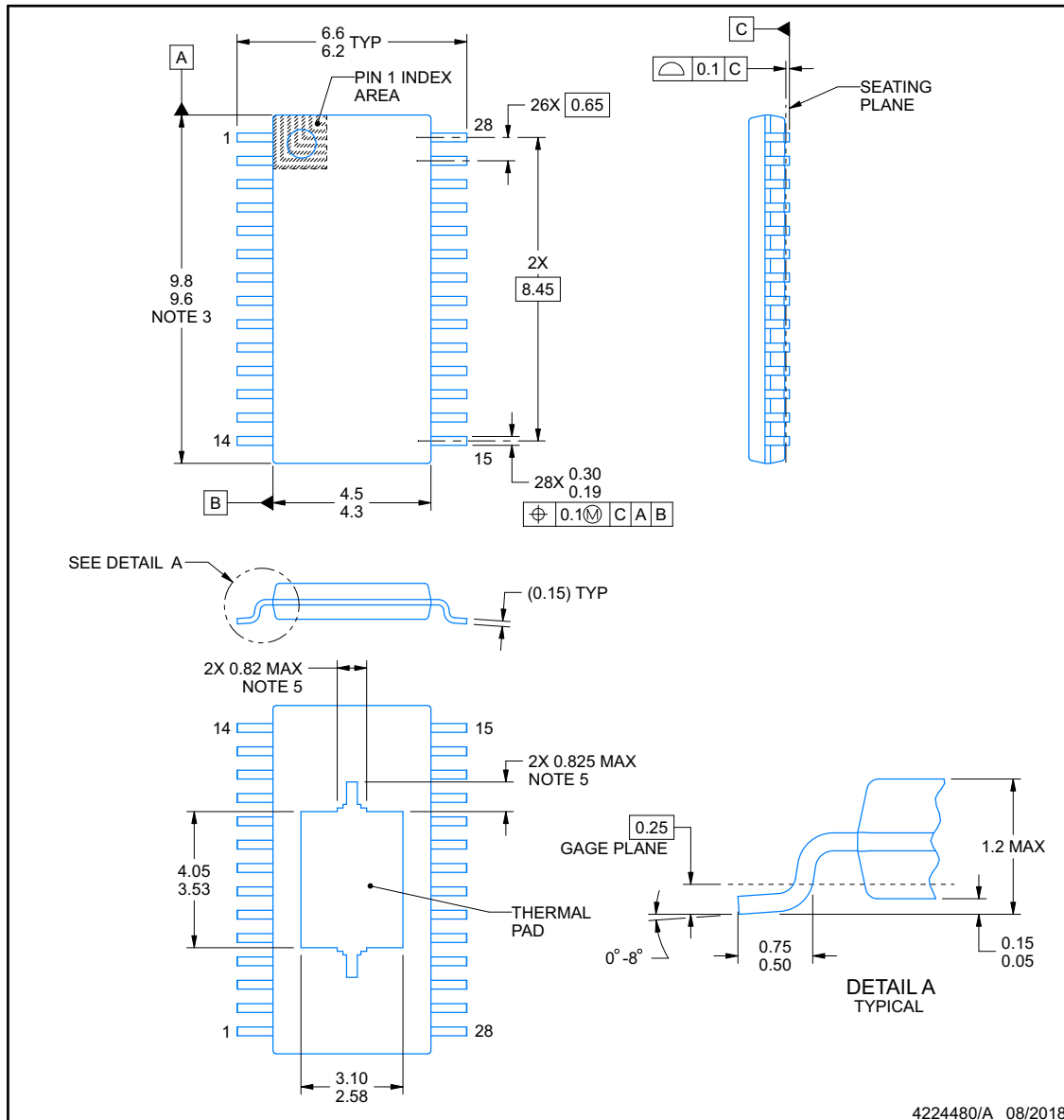


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

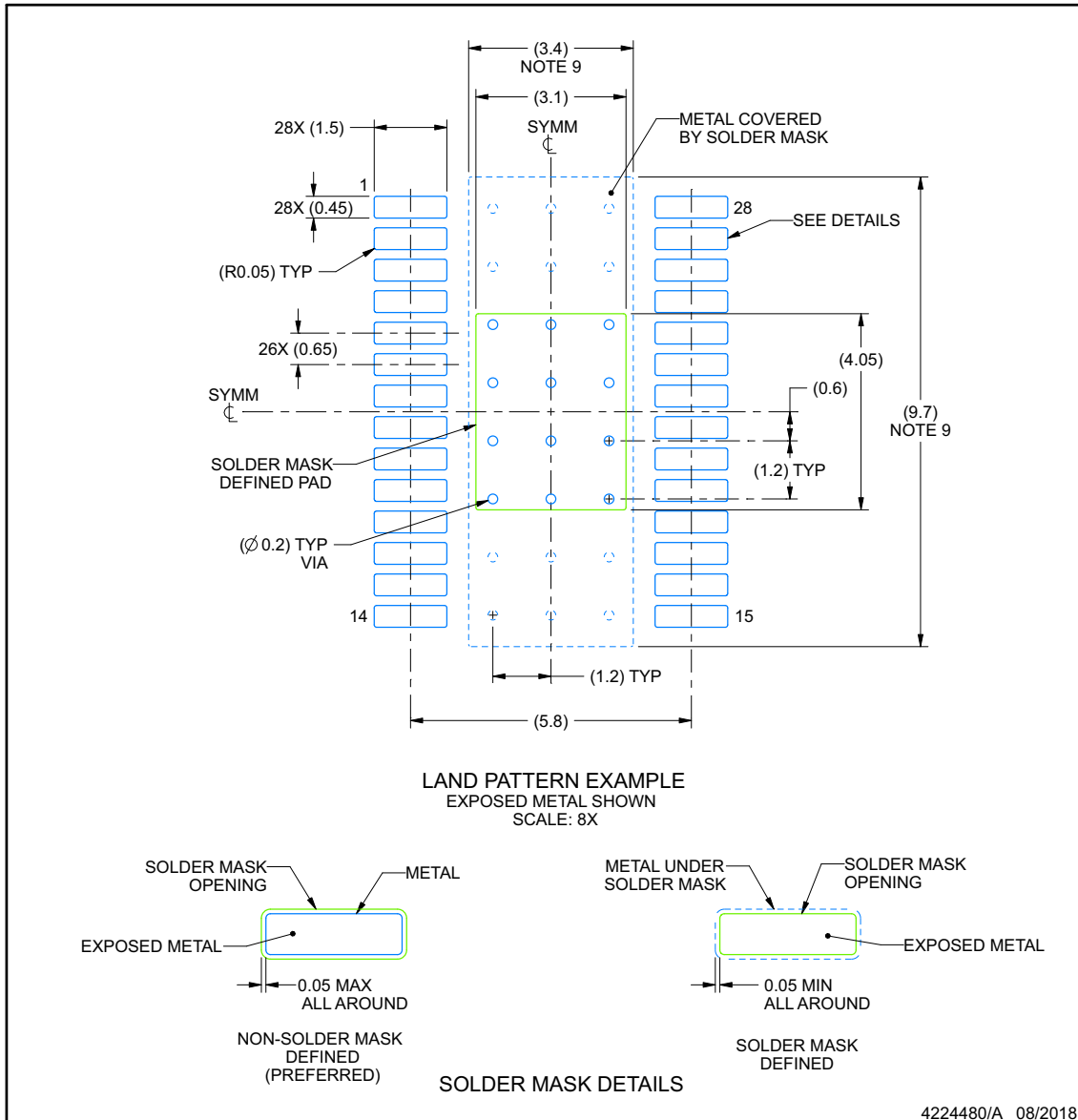
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

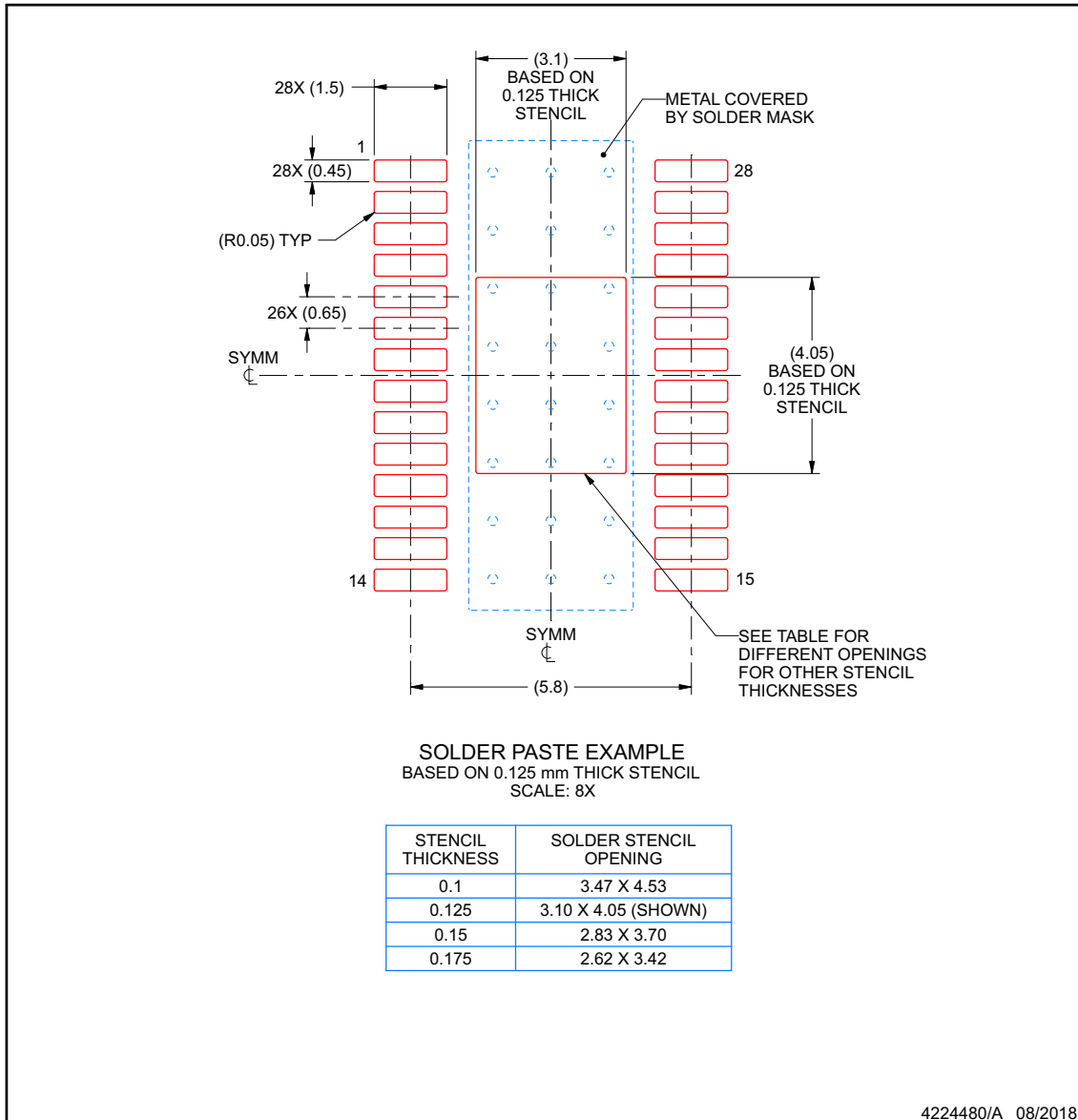
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8434EPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8434E	Samples
DRV8434ERGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8434E	Samples
DRV8434PPWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8434P	Samples
DRV8434PRGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8434P	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

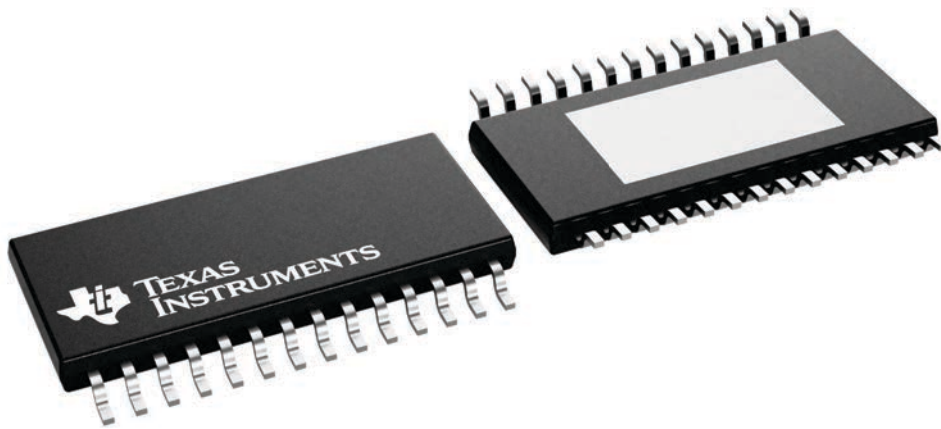
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

RGE 24

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



NOTES:

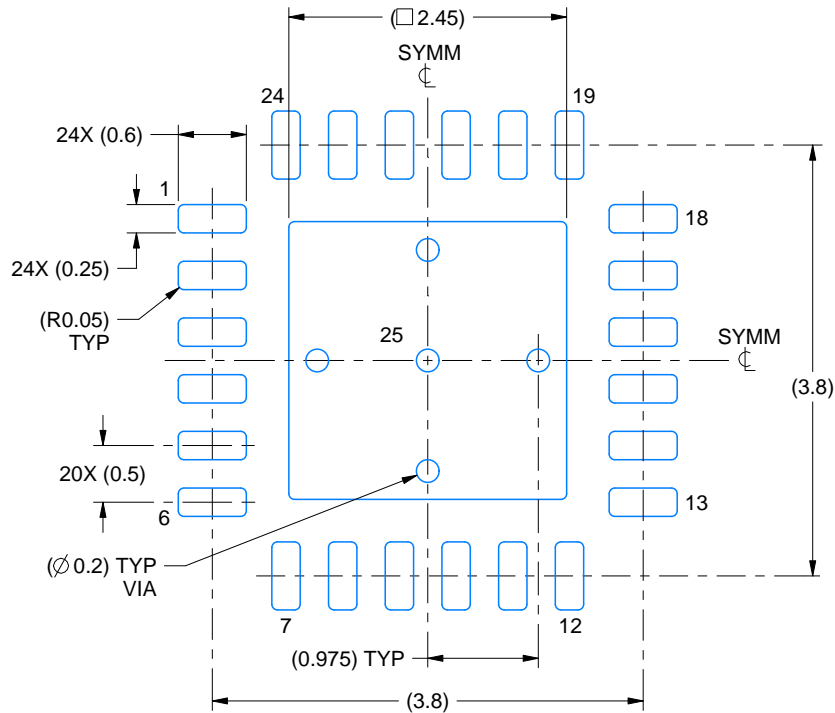
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
 78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションが適用される各種規格や、その他のあらゆる安全性、セキュリティ、またはその他の要件を満たしていることを確実にする責任を、お客様のみが単独で負うものとします。上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売約款 (<https://www.tij.co.jp/ja-jp/legal/terms-of-sale.html>)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

日本語版 日本テキサス・インスツルメンツ合同会社
Copyright © 2021, Texas Instruments Incorporated