

DRV8434 ステッピング・ドライバ、内蔵電流検出機能、1/256 マイクロステッピング、STEP/DIR インターフェイス、スマート・チューン・テクノロジー搭載

1 特長

- PWM マイクロステッピングのステッピング・モータ・ドライバ
 - シンプルな STEP/DIR インターフェイス
 - 最高 1/256 のマイクロステッピング・インデクサ
- 電流検出機能を搭載
 - 検出抵抗が不要
 - $\pm 4\%$ のフルスケール電流精度
- スマート・チューン、スローおよびミックス・ディケイ・オプション
- 4.5~48V の電源動作電圧範囲
- 低い $R_{DS(ON)}$: 24V, 25°C で 330m Ω HS + LS
- 高電流出力ドライバ: 2.5A フルスケール、1.8A rms
- 以下とピン互換:
 - DRV8426: 33V, 900m Ω HS + LS
 - DRV8436: 48V, 900m Ω HS + LS
 - DRV8424/25: 33V, 330/550m Ω HS + LS
- 構成可能なオフ時間 PWM チョッピング
 - 7 μ s, 16 μ s, 24 μ s, 32 μ s
- 1.8V, 3.3V, 5.0V ロジック入力をサポート
- 低消費電流スリープ・モード (2 μ A)
- 拡散スペクトラム・クロック処理による低い EMI
- 小型パッケージと小占有面積
- 保護機能
 - VM 低電圧誤動作防止 (UVLO)
 - チャージ・ポンプ低電圧検出 (CPUV)
 - 過電流保護 (OCP)
 - 開放負荷検出 (OL)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)

2 アプリケーション

- プリンタとスキャナ
- ATM と貨幣処理機
- 工業用マシン
- ステージ照明機器
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーションおよびロボティクス
- 医療用アプリケーション
- 3D プリンタ

3 概要

DRV8434 は、産業用および民生用アプリケーション向けのステッピング・モータ・ドライバです。このデバイスには、2

つの N チャンネル・パワー MOSFET H ブリッジ・ドライバ、マイクロステッピング・インデクサ、および電流検出機能が完全に統合されています。DRV8434 は最大 2.5A のフルスケール出力電流 (PCB の設計に依存) を駆動できます。

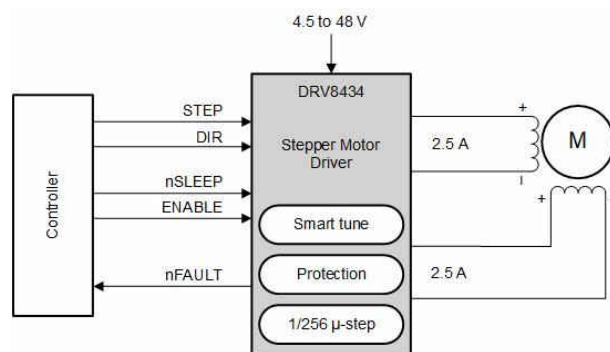
本デバイスは、2 つの外部電力検出抵抗が不要な内部電流検出アーキテクチャを採用しているため、PCB 面積とシステム・コストを低減できます。本デバイスは、スマート・チューン、スロー、ミックスのディケイ・オプションを選択できる内部 PWM 電流レギュレーション方式を採用しています。スマート・チューンは、最適な電流レギュレーションを自動的に調整し、モータの変動と経年変化を補償し、モータからの可聴ノイズを低減します。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。デバイスは、フルステップから 1/256 マイクロステッピングまでのモードに構成可能です。専用の nSLEEP ピンを使用して、低消費電力のスリープ・モードを実現します。電源の低電圧、チャージ・ポンプ障害、過電流、短絡、開放負荷、過熱に対する保護機能が備わっています。フォルト条件は、nFAULT ピンで通知されます。

製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
DRV8434PWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8434RGER	VQFN (24)	4mm × 4mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図



目次

1 特長	1	7.4 デバイスの機能モード.....	30
2 アプリケーション	1	8 Application and Implementation	32
3 概要	1	8.1 Application Information.....	32
4 Revision History	2	8.2 Typical Application.....	32
5 Pin Configuration and Functions	3	9 Power Supply Recommendations	38
5.1 端子機能.....	3	9.1 バルク・コンデンサ.....	38
6 仕様	5	10 Layout	39
6.1 絶対最大定格.....	5	10.1 Layout Guidelines.....	39
6.2 ESD 定格.....	5	10.2 Layout Example.....	39
6.3 推奨動作条件.....	6	11 Device and Documentation Support	41
6.4 熱に関する情報.....	6	11.1 Related Documentation.....	41
6.5 Electrical Characteristics.....	7	11.2 Receiving Notification of Documentation Updates..	41
6.6 Indexer Timing Requirements.....	8	11.3 サポート・リソース.....	41
7 詳細説明	11	11.4 Trademarks.....	41
7.1 概要.....	11	11.5 Electrostatic Discharge Caution.....	41
7.2 機能ブロック図.....	12	11.6 Glossary.....	41
7.3 機能説明.....	12	12 Mechanical, Packaging, and Orderable Information	42

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2020) to Revision A (May 2022)	Page
• Updated Tri-Level and Quad-Level Input pin diagrams.....	27
• Updated HTSSOP and QFN layout examples.....	39
• Added links to Related Documents section.....	41

5 Pin Configuration and Functions

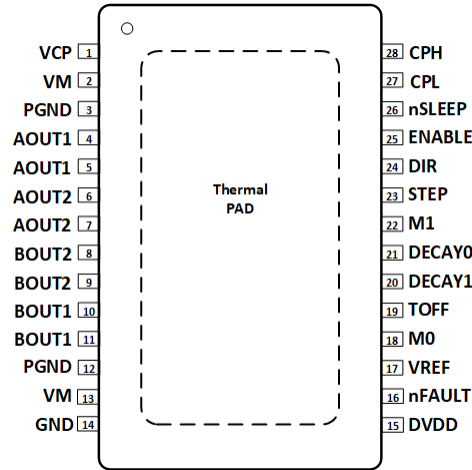


図 5-1. PWP PowerPAD™ Package 28-Pin HTSSOP Top View

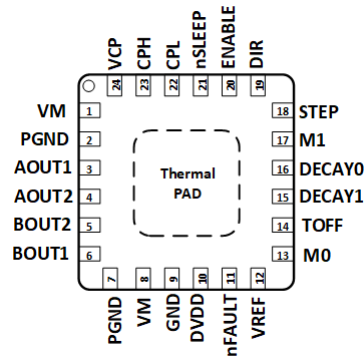


図 5-2. RGE Package 24-Pin VQFN with Exposed Thermal PAD Top View

5.1 端子機能

名前	端子番号		I/O	種類	説明
	HTSSOP	VQFN			
AOUT1	4, 5	3	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。
AOUT2	6, 7	4	O	出力	巻線 A 出力。ステッピング・モータの巻線に接続します。
PGND	3, 12	2, 7	—	電源	電源グランド。システム・グランドに接続します。
BOUT2	8, 9	5	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。
BOUT1	10, 11	6	O	出力	巻線 B 出力。ステッピング・モータの巻線に接続します。
CPH	28	23	—	電源	チャージ・ポンプのスイッチング・ノード。X7R、0.022μF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	27	22	—	電源	チャージ・ポンプのスイッチング・ノード。X7R、0.022μF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
DIR	24	19	I	入力	方向入力。論理レベルによりステッピング方向を設定します。内部プルダウン抵抗。
ENABLE	25	20	I	入力	論理 Low でデバイスの出力をディセーブル。論理 High でイネーブル。DVDD への内部プルアップ。OCP および OTSD 応答のタイプも決定します。
DVDD	15	10	—	電源	ロジック電源電圧。X7R、0.47μF～1μF、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
GND	14	9	—	電源	デバイスのグランド。システム・グランドに接続します。

名前	端子		I/O	種類	説明
	番号				
	HTSSOP	VQFN			
VREF	17	12	I	入力	電流設定リファレンス入力。最大値 3.3V。DVDD と抵抗分割器を使用して VREF を供給できます。
M0	18	13	I	入力	マイクロステップ・モード設定ピン。ステップ・モードを設定します。内部プルダウン抵抗。
M1	22	17			
DECAY0	21	16	I	入力	ディケイ・モード設定ピン。ディケイ・モードを設定します (セクション 7.3.6 セクションを参照)。
DECAY1	20	15			
STEP	23	18	I	入力	ステップ入力。立ち上がりエッジでシーケンス制御ロジックが 1 ステップ進みます。内部プルダウン抵抗。
VCP	1	24	—	電源	チャージ・ポンプの出力。X7R、0.22 μ F、16V セラミック・コンデンサを VM との間に接続します。
VM	2, 13	1, 8	—	電源	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01 μ F セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して PGND にバイパスします。
TOFF	19	14	I	入力	電流チョッピング中のディケイ・モードのオフ時間を設定します。4 レベル・ピン。また、スマート・チューン・リップル・コントロール・モードでリップル電流を設定します。
nFAULT	16	11	O	オープンドレイン	フォルト通知。フォルト条件により論理 Low に駆動されます。オープンドレイン出力には外部プルアップ抵抗が必要です。
nSLEEP	26	21	I	入力	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。nSLEEP Low パルスにより、フォルトがクリアされます。
PAD	-	-	-	-	サーマル・パッド。システム・グラウンドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小	最大	単位
電源電圧 (VM)	-0.3	50	V
チャージ・ポンプ電圧 (VCP, CPH)	-0.3	$V_{VM} + 7$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
制御ピン電圧 (STEP, DIR, ENABLE, nFAULT, DECAY0, DECAY1, TOFF, M0, M1)	-0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREF)	-0.3	5.75	V
相ノード・ピン電圧 (連続) (AOUT1, AOUT2, BOUT1, BOUT2)	-1	$V_{VM} + 1$	V
相ノード・ピン電圧 (過渡 100ns) (AOUT1, AOUT2, BOUT1, BOUT2)	-3	$V_{VM} + 3$	V
ピーク駆動電流 (AOUT1, AOUT2, BOUT1, BOUT2)	内部的に制限		A
動作時の周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保管温度、 T_{stg}	-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠	±2000	V	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	PWP のコーナー・ピン (1、14、15、28)		±750
			その他のピン		±500

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	48	V
V_I	論理レベル入力電圧	0	5.5	V
V_{VREF}	VREF 電圧	0.05	3.3	V
f_{STEP}	適用される STEP 信号 (STEP)	0	500 ⁽¹⁾	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	2.5 ⁽²⁾	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	1.8 ⁽²⁾	A
T_A	動作時の周囲温度	-40	125	°C
T_J	動作時のジャンクション温度	-40	150	°C

- (1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。
 (2) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		PWP (HTSSOP)	RGE (VQFN)	単位
		28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.7	39.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	23.0	28.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	9.3	16.0	°C/W
Ψ_{JT}	接合部から上面への評価パラメータ	0.3	0.4	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	9.2	15.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.4	3.4	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 Electrical Characteristics

Typical values are at $T_A = 25^\circ\text{C}$ and $V_{VM} = 24\text{ V}$. All limits are over recommended operating conditions, unless otherwise noted.

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
POWER SUPPLIES (VM, DVDD)						
I_{VM}	VM operating supply current	ENABLE = 1, nSLEEP = 1, No motor load		5	6.5	mA
I_{VMQ}	VM sleep mode supply current	nSLEEP = 0		2	4	μA
t_{SLEEP}	Sleep time	nSLEEP = 0 to sleep-mode	120			μs
t_{RESET}	nSLEEP reset pulse	nSLEEP low to clear fault	20		40	μs
t_{WAKE}	Wake-up time	nSLEEP = 1 to output transition		0.8	1.2	ms
t_{ON}	Turn-on time	$V_M > UVLO$ to output transition		0.8	1.2	ms
t_{EN}	Enable time	ENABLE = 0/1 to output transition			5	μs
V_{DVDD}	Internal regulator voltage	No external load, $6\text{ V} < V_{VM} < 48\text{ V}$	4.75	5	5.25	V
		No external load, $V_{VM} = 4.5\text{ V}$	4.2	4.35		V
CHARGE PUMP (VCP, CPH, CPL)						
V_{VCP}	VCP operating voltage	$6\text{ V} < V_{VM} < 48\text{ V}$		$V_{VM} + 5$		V
$f_{(VCP)}$	Charge pump switching frequency	$V_{VM} > UVLO$; nSLEEP = 1		360		kHz
LOGIC-LEVEL INPUTS (STEP, DIR, nSLEEP)						
V_{IL}	Input logic-low voltage		0		0.6	V
V_{IH}	Input logic-high voltage		1.5		5.5	V
V_{HYS}	Input logic hysteresis			150		mV
I_{IL}	Input logic-low current	$V_{IN} = 0\text{ V}$	-1		1	μA
I_{IH}	Input logic-high current	$V_{IN} = 5\text{ V}$			100	μA
TRI-LEVEL INPUTS (M0, DECAY0, DECAY1, ENABLE)						
V_{I1}	Input logic-low voltage	Tied to GND	0		0.6	V
V_{I2}	Input Hi-Z voltage	Hi-Z	1.8	2	2.2	V
V_{I3}	Input logic-high voltage	Tied to DVDD	2.7		5.5	V
I_O	Output pull-up current			10		μA
QUAD-LEVEL INPUTS (M1, TOFF)						
V_{I1}	Input logic-low voltage	Tied to GND	0		0.6	V
V_{I2}		$330\text{k}\Omega \pm 5\%$ to GND	1	1.25	1.4	V
V_{I3}	Input Hi-Z voltage	Hi-Z	1.8	2	2.2	V
V_{I4}	Input logic-high voltage	Tied to DVDD	2.7		5.5	V
I_{IL}	Output pull-up current			10		μA
CONTROL OUTPUTS (nFAULT)						
V_{OL}	Output logic-low voltage	$I_O = 5\text{ mA}$			0.5	V
I_{OH}	Output logic-high leakage		-1		1	μA
MOTOR DRIVER OUTPUTS (AOUT1, AOUT2, BOUT1, BOUT2)						
$R_{DS(ON)}$	High-side FET on resistance	$T_J = 25^\circ\text{C}$, $I_O = -1\text{ A}$		165	200	m Ω
		$T_J = 125^\circ\text{C}$, $I_O = -1\text{ A}$		250	300	m Ω
		$T_J = 150^\circ\text{C}$, $I_O = -1\text{ A}$		280	350	m Ω
$R_{DS(ON)}$	Low-side FET on resistance	$T_J = 25^\circ\text{C}$, $I_O = 1\text{ A}$		165	200	m Ω
		$T_J = 125^\circ\text{C}$, $I_O = 1\text{ A}$		250	300	m Ω
		$T_J = 150^\circ\text{C}$, $I_O = 1\text{ A}$		280	350	m Ω

Typical values are at $T_A = 25^\circ\text{C}$ and $V_{VM} = 24\text{ V}$. All limits are over recommended operating conditions, unless otherwise noted.

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{SR}	Output slew rate	$V_{VM} = 24\text{ V}$, $I_O = 1\text{ A}$, Between 10% and 90%		240		V/ μs
PWM CURRENT CONTROL (VREF)						
K_V	Transimpedance gain	$V_{REF} = 3.3\text{ V}$	1.254	1.32	1.386	V/A
I_{VREF}	VREF Leakage Current	$V_{REF} = 3.3\text{ V}$			8.25	μA
t_{OFF}	PWM off-time	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = Hi-Z		24		
		TOFF = 330 k Ω to GND		32		
ΔI_{TRIP}	Current trip accuracy	$0.25\text{ A} < I_O < 0.5\text{ A}$	-12		12	%
		$0.5\text{ A} < I_O < 1\text{ A}$	-6		6	
		$1\text{ A} < I_O < 2.5\text{ A}$	-4		4	
$I_{O,CH}$	AOUT and BOUT current matching	$I_O = 2.5\text{ A}$	-2.5		2.5	%
PROTECTION CIRCUITS						
V_{UVLO}	VM UVLO lockout	VM falling, UVLO falling	4.1	4.25	4.35	V
		VM rising, UVLO rising	4.2	4.35	4.45	
$V_{UVLO,HYS}$	Undervoltage hysteresis	Rising to falling threshold		100		mV
V_{CPUV}	Charge pump undervoltage	VCP falling; CPUV report		$V_{VM} + 2$		V
I_{OCP}	Overcurrent protection	Current through any FET	4			A
t_{OCP}	Overcurrent deglitch time			2		μs
t_{RETRY}	Overcurrent retry time			4		ms
t_{OL}	Open load detection time				50	ms
I_{OL}	Open load current threshold			75		mA
T_{OTSD}	Thermal shutdown	Die temperature T_J	150	165	180	$^\circ\text{C}$
T_{HYS_OTSD}	Thermal shutdown hysteresis	Die temperature T_J		20		$^\circ\text{C}$

6.6 Indexer Timing Requirements

Typical limits are at $T_J = 25^\circ\text{C}$ and $V_{VM} = 24\text{ V}$. Over recommended operating conditions unless otherwise noted.

NO.			MIN	MAX	UNIT
1	f_{STEP}	Step frequency		500 ⁽¹⁾	kHz
2	$t_{WH(STEP)}$	Pulse duration, STEP high	970		ns
3	$t_{WL(STEP)}$	Pulse duration, STEP low	970		ns
4	$t_{SU(DIR, Mx)}$	Setup time, DIR or MODEx to STEP rising	200		ns
5	$t_{H(DIR, Mx)}$	Hold time, DIR or MODEx to STEP rising	200		ns

(1) STEP input can operate up to 500 kHz, but system bandwidth is limited by the motor load.

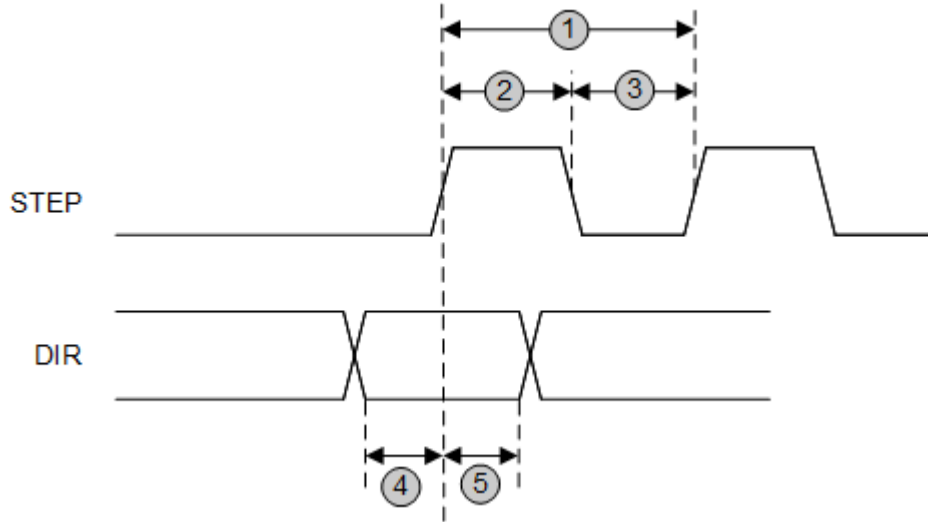


図 6-1. STEP and DIR Timing Diagram

6.6.1 代表的特性

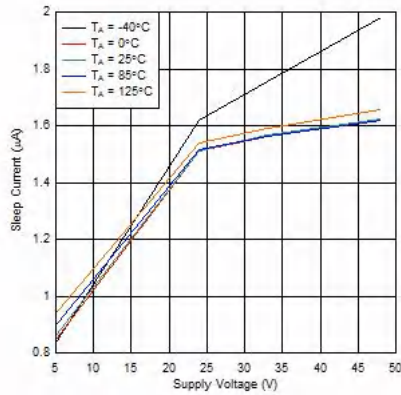


図 6-2. スリープ電流と電源電圧

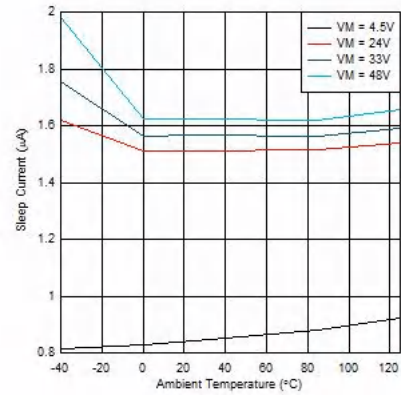


図 6-3. スリープ電流温度特性

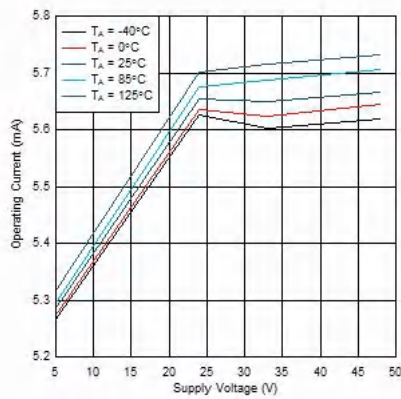


図 6-4. 動作電流と電源電圧

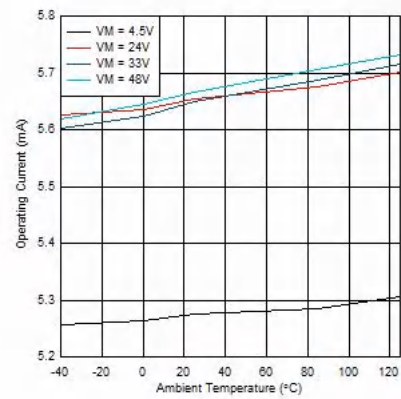


図 6-5. 動作電流温度特性

6.6.1 代表的特性 (continued)

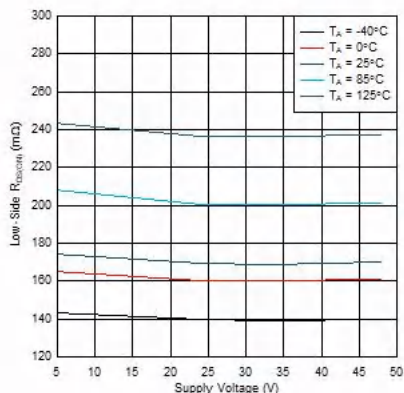


図 6-6. ローサイド $R_{DS(ON)}$ と電源電圧 (MODE = 0 または 330kΩ を GND との間に接続)

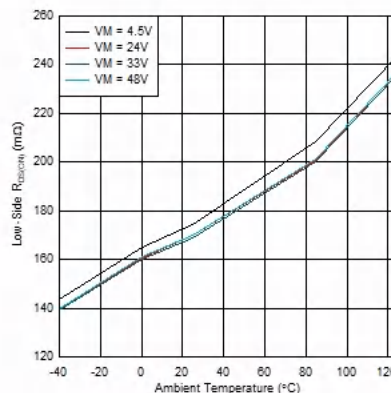


図 6-7. ローサイド $R_{DS(ON)}$ 温度特性 (MODE = 0 または 330kΩ を GND との間に接続)

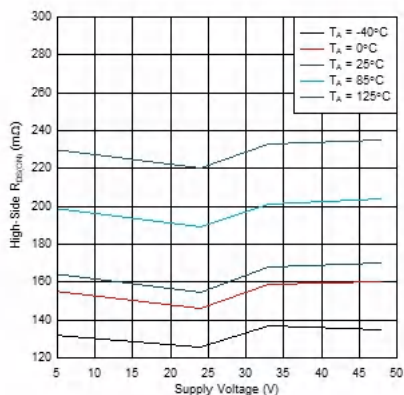


図 6-8. ハイサイド $R_{DS(ON)}$ と電源電圧 (MODE = 0 または 330kΩ を GND との間に接続)

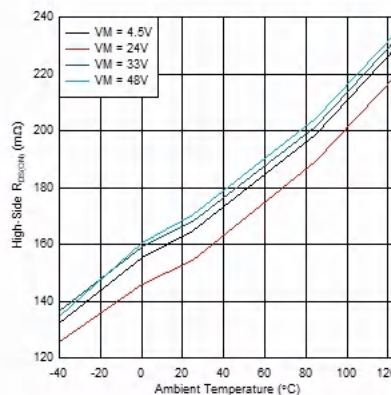


図 6-9. ハイサイド $R_{DS(ON)}$ 温度特性 (MODE = 0 または 330kΩ を GND との間に接続)

7 詳細説明

7.1 概要

DRV8434 はバイポーラ・ステッピング・モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 つの N チャンネル・パワー MOSFET H ブリッジ、電流検出抵抗とレギュレーション回路、およびマイクロステッピング・インデクサを統合することで、性能を最大限に発揮します。DRV8434 は、[DRV8426](#)、[DRV8436](#)、[DRV8424/25](#) とピン互換です。DRV8434 は、4.5V~48V の広い電源電圧範囲をサポートできます。DRV8434 は、最大 4A のピーク、2.5A のフルスケール、1.8A の実効値 (RMS) の出力電流を供給します。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

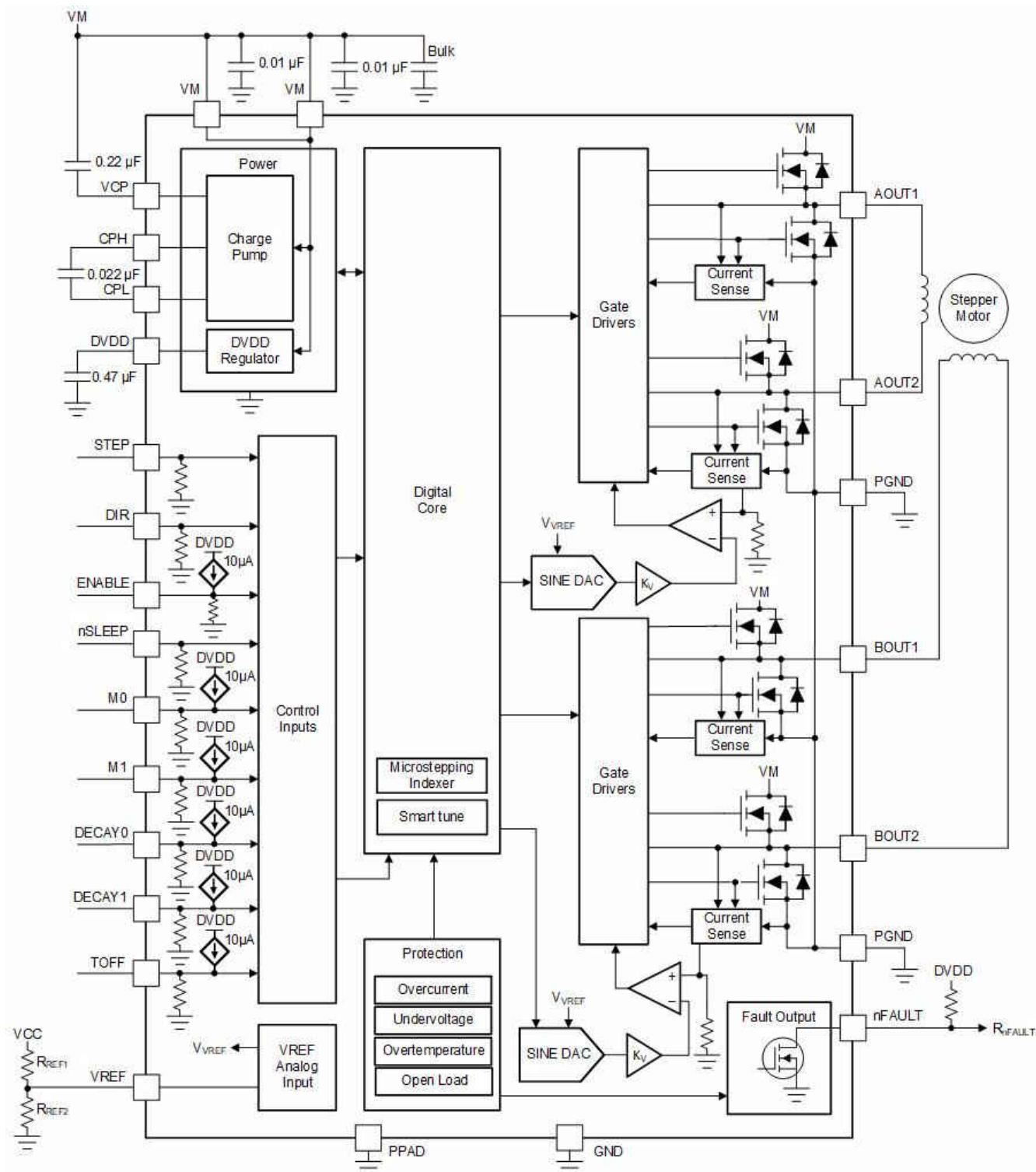
DRV8434 は電流検出アーキテクチャを内蔵しているため、2 つの外部電力検出抵抗が不要になり、基板面積、BOM コスト、設計作業が大幅に削減され、消費電力が大幅に低減されます。このアーキテクチャでは、電流検出に電流ミラー手法と内部パワー MOSFET を使うことで、検出抵抗での電力消費をなくしています。電流レギュレーションの設定点は VREF ピンの電圧で調整できます。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。内部マイクロステッピング・インデクサを使うと、巻線電流レベルを制御する外部コントローラを使わなくても高精度のマイクロステッピングを実行できます。このステッピング制御ロジック (インデクサ) はフルステップ、ハーフステップ、1/4、1/8、1/16、1/32、1/64、1/128、1/256 マイクロステッピングを実行できます。高いマイクロステッピングにより、大きな可聴ノイズの低減とスムーズな動作が可能になります。標準のハーフステップ・モードに加えて、非真円ハーフステップ・モードを利用して、モータの RPM が高いときにトルク出力を増大させることもできます。

ステッピング・モータ・ドライバは、スロー・ディケイ、ミックス・ディケイ、ファースト・ディケイなど、いくつかの種類のディケイ・モードを実装することにより、巻線電流を再循環する必要があります。DRV8434 には、スマート・チューン・ディケイ・モードが搭載されています。スマート・チューンは革新的なディケイ・メカニズムで、電圧、モータ速度、ばらつき、経年変化の影響に関係なく、最適な電流レギュレーション性能を自動的に調整します。スマート・チューン・リップル・コントロールでは、オフ時間可変型のリップル電流制御方式により、モータ巻線電流の歪みを最小限に抑えることができます。スマート・チューン・ダイナミック・ディケイでは、オフ時間固定のダイナミック・ファースト・ディケイ率方式により、モータ巻線電流の歪みを最小限に抑え、周波数成分を最小化し、設計作業を大幅に削減できます。このシームレスで簡単な自動スマート・チューンに加えて、DRV8434 はスロー・ミックスやミックス・ディケイなどの従来のディケイ・モードも備えています。

本デバイスは、内蔵デジタル発振器と内蔵チャージ・ポンプのための拡散スペクトラム・クロック処理機能を備えています。この機能により、本デバイスからの放射妨害波を最小限に抑えることができます。また、低消費電力スリープ・モードを内蔵しているため、モータをアクティブ駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図



7.3 機能説明

表 7-1 に、DRV8434 の推奨外付け部品を示します。

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨する事項
C _{VM1}	VM	PGND	2 つの X7R, 0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGND	バルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R, 0.22μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R, 0.022μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R, 0.47μF~1μF、6.3V セラミック・コンデンサ
R _{nFAULT}	VCC (1)	nFAULT	4.7kΩ 以上の抵抗
R _{REF1}	VREF	VCC	チョッピング電流を制限するための抵抗。R _{REF1} と R _{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R _{REF2} (オプション)	VREF	GND	

(1) VCC は本デバイスのピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 Stepper Motor Driver Current Ratings

Stepper motor drivers can be classified using three different numbers to describe the output current: peak, RMS, and full-scale.

7.3.1.1 ピーク電流定格

ステッピング・ドライバのピーク電流は、過電流保護閾値 I_{OCP} で制限されます。ピーク電流は、すべての過渡電流パルスを指します (例: 静電容量の充電時、デューティ・サイクルが極めて小さい場合)。一般に、I_{OCP} の最小値は、ステッピング・モータ・ドライバのピーク電流定格を規定します。DRV8434 の場合、ピーク電流定格はブリッジあたり 4A です。

7.3.1.2 RMS 電流定格

RMS (平均) 電流は、IC の熱性能を考慮して求めます。RMS 電流は、25°Cの代表的なシステムでの R_{DS(ON)}、立ち上がりおよび立ち下がり時間、PWM 周波数、デバイスの静止電流、パッケージの熱的性能に基づいて計算されます。実動作時の RMS 電流は放熱と周囲温度に応じて上下する場合があります。DRV8434 の場合、RMS 電流定格はブリッジあたり 1.8A です。

7.3.1.3 Full-Scale Current Rating

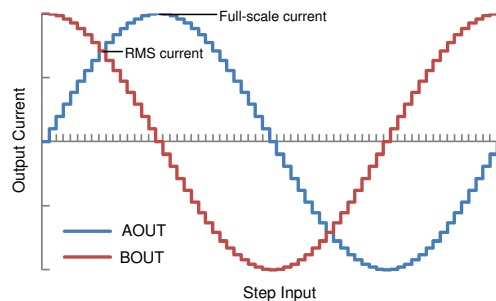


図 7-1. Full-Scale and RMS Current

7.3.2 PWM Motor Drivers

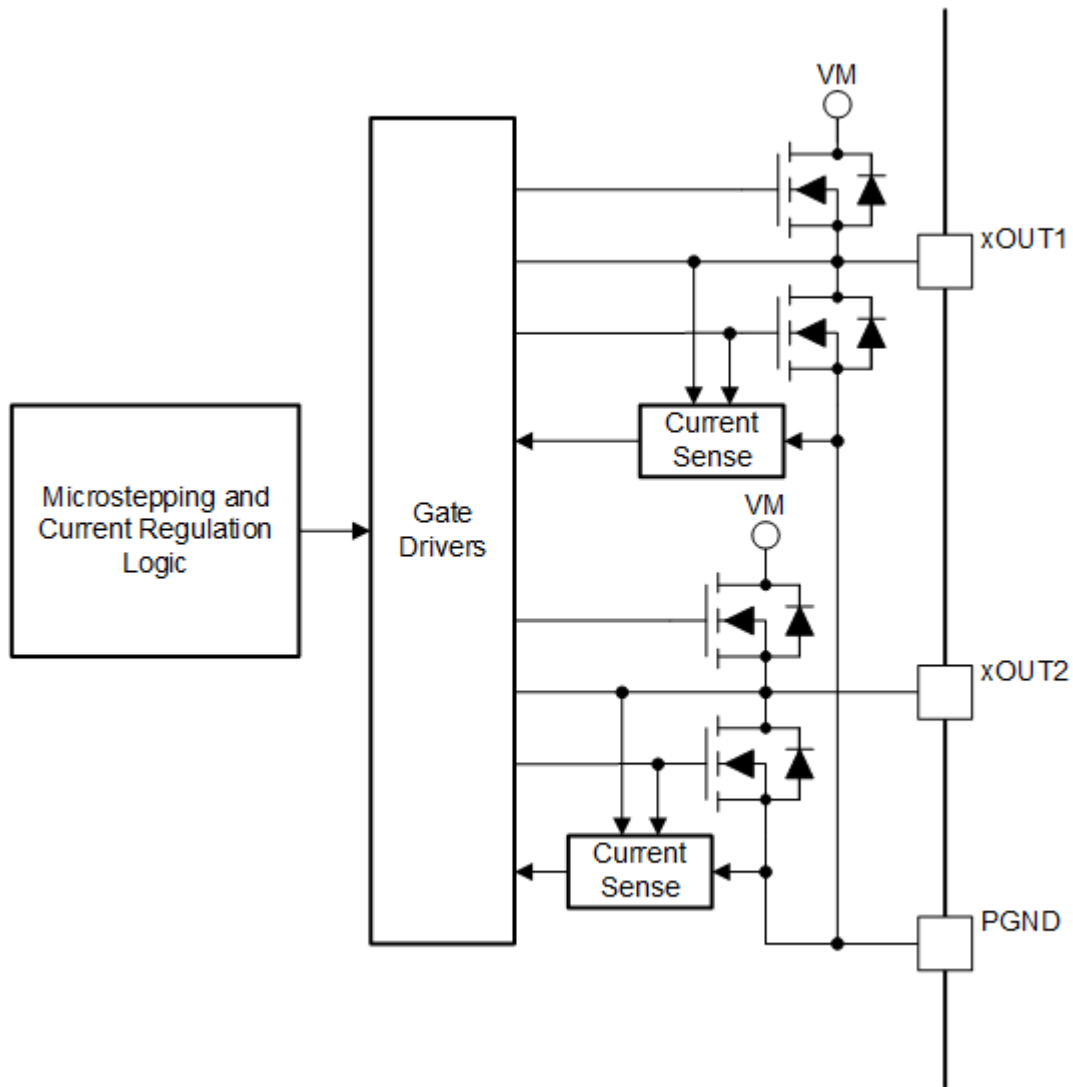


图 7-2. PWM Motor Driver Block Diagram

7.3.3 Microstepping Indexer

Built-in indexer logic in the device allows a number of different step modes. The M0 and M1 pins are used to configure the step mode as shown below. The settings can be changed on the fly.

表 7-2. Microstepping Indexer Settings

M0	M1	STEP MODE
0	0	Full step (2-phase excitation) with 100% current
0	330 kΩ to GND	Full step (2-phase excitation) with 71% current
1	0	Non-circular 1/2 step
Hi-Z	0	1/2 step
0	1	1/4 step
1	1	1/8 step
Hi-Z	1	1/16 step

表 7-2. Microstepping Indexer Settings (continued)

M0	M1	STEP MODE
0	Hi-Z	1/32 step
Hi-Z	330kΩ to GND	1/64 step
Hi-Z	Hi-Z	1/128 step
1	Hi-Z	1/256 step

表 7-3 shows the relative current and step directions for full-step (71% current), 1/2 step, 1/4 step and 1/8 step operation. Higher microstepping resolutions follow the same pattern. The AOUT current is the sine of the electrical angle and the BOUT current is the cosine of the electrical angle. Positive current is defined as current flowing from the xOUT1 pin to the xOUT2 pin while driving.

At each rising edge of the STEP input the indexer advances to the next state in the table. The direction shown is with the DIR pin logic high. If the DIR pin is logic low, the sequence table is reversed.

Note

If the step mode is changed dynamically while stepping, the indexer advances to the next valid state for the new step mode setting at the rising edge of STEP.

The initial excitation state is an electrical angle of 45°, corresponding to 71% of full-scale current in both coils. This state is entered immediately after power-up, after exiting logic undervoltage lockout, or after exiting sleep mode.

表 7-3. Relative Current and Step Directions

1/8 STEP	1/4 STEP	1/2 STEP	FULL STEP 71%	AOUT CURRENT (% FULL-SCALE)	BOUT CURRENT (% FULL-SCALE)	ELECTRICAL ANGLE (DEGREES)
1	1	1		0%	100%	0.00
2				20%	98%	11.25
3	2			38%	92%	22.50
4				56%	83%	33.75
5	3	2	1	71%	71%	45.00
6				83%	56%	56.25
7	4			92%	38%	67.50
8				98%	20%	78.75
9	5	3		100%	0%	90.00
10				98%	-20%	101.25
11	6			92%	-38%	112.50
12				83%	-56%	123.75
13	7	4	2	71%	-71%	135.00
14				56%	-83%	146.25
15	8			38%	-92%	157.50
16				20%	-98%	168.75
17	9	5		0%	-100%	180.00
18				-20%	-98%	191.25
19	10			-38%	-92%	202.50
20				-56%	-83%	213.75
21	11	6	3	-71%	-71%	225.00
22				-83%	-56%	236.25
23	12			-92%	-38%	247.50

表 7-3. Relative Current and Step Directions (continued)

1/8 STEP	1/4 STEP	1/2 STEP	FULL STEP 71%	AOUT CURRENT (% FULL-SCALE)	BOUT CURRENT (% FULL-SCALE)	ELECTRICAL ANGLE (DEGREES)
24				-98%	-20%	258.75
25	13	7		-100%	0%	270.00
26				-98%	20%	281.25
27	14			-92%	38%	292.50
28				-83%	56%	303.75
29	15	8	4	-71%	71%	315.00
30				-56%	83%	326.25
31	16			-38%	92%	337.50
32				-20%	98%	348.75

表 7-4 shows the full step operation with 100% full-scale current. This stepping mode consumes more power than full-step mode with 71% current, but provides a higher torque at high motor RPM.

表 7-4. Full Step with 100% Current

FULL STEP 100%	AOUT CURRENT (% FULL-SCALE)	BOUT CURRENT (% FULL-SCALE)	ELECTRICAL ANGLE (DEGREES)
1	100	100	45
2	100	-100	135
3	-100	-100	225
4	-100	100	315

表 7-5 shows the noncircular 1/2–step operation. This stepping mode consumes more power than circular 1/2–step operation, but provides a higher torque at high motor RPM.

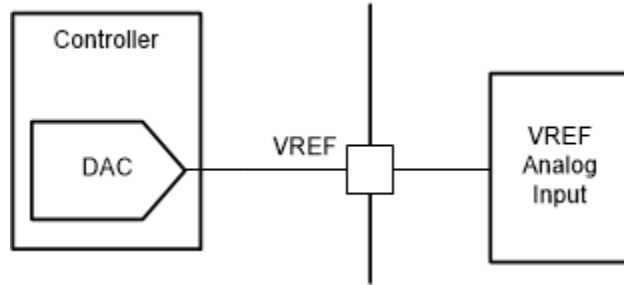
表 7-5. Non-Circular 1/2-Stepping Current

NON-CIRCULAR 1/2-STEP	AOUT CURRENT (% FULL-SCALE)	BOUT CURRENT (% FULL-SCALE)	ELECTRICAL ANGLE (DEGREES)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	-100	135
5	0	-100	180
6	-100	-100	225
7	-100	0	270
8	-100	100	315

7.3.4 Controlling VREF with an MCU DAC

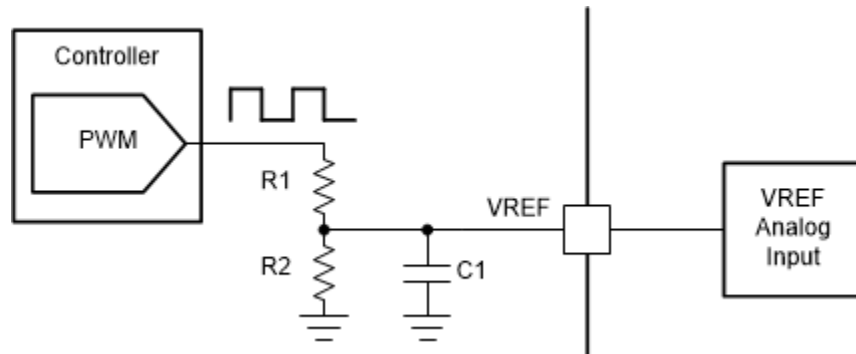
In some cases, the full-scale output current may need to be changed between many different values, depending on motor speed and loading. The voltage of the VREF pin can be adjusted in the system to change the full-scale current.

In this mode of operation, as the DAC voltage increases, the full-scale regulation current increases as well. For proper operation, the output of the DAC must not exceed 3.3 V.



☒ 7-3. Controlling VREF with a DAC Resource

The VREF pin can also be adjusted using a PWM signal and low-pass filter.



☒ 7-4. Controlling VREF With a PWM Resource

7.3.5 電流レギュレーション

モータ巻線に流れる電流は、調整可能なオフ時間 PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線に流れる電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、ブリッジは TOFF ピンの設定で決まる時間の間ディケイ・モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

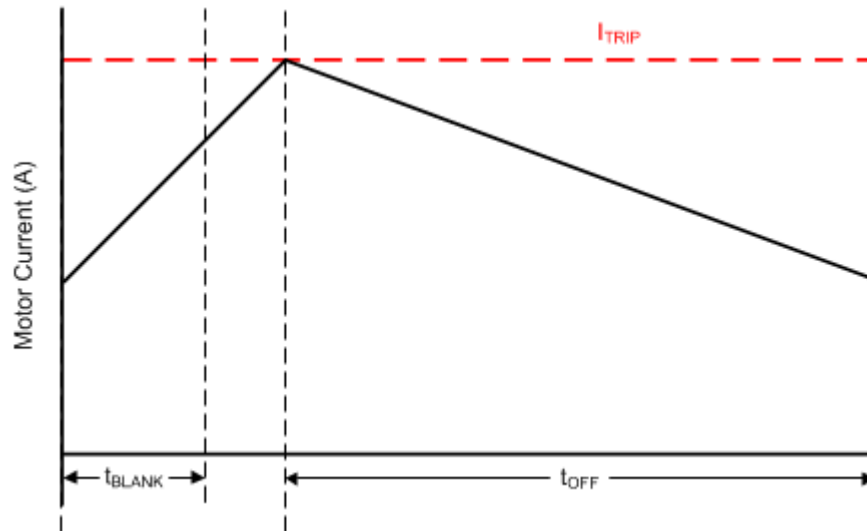


図 7-5. 電流チョッピング波形

PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流センス MOSFET は、正弦波で重み付けした電流モード DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は VREF ピンの電圧で設定します。

このフルスケール・レギュレーション電流 (I_{FS}) は次の式で計算できます。 $I_{FS} (A) = V_{REF} (V) / K_V (V/A) = V_{REF} (V) / 1.32 (V/A)$

7.3.6 Decay Modes

During PWM current chopping, the H-bridge is enabled to drive through the motor winding until the PWM current chopping threshold is reached. This is shown in [Figure 7-6](#), Item 1.

Once the chopping current threshold is reached, the H-bridge can operate in two different states, fast decay or slow decay. In fast decay mode, once the PWM chopping current level has been reached, the H-bridge reverses state to allow winding current to flow in a reverse direction. Fast decay mode is shown in [Figure 7-6](#), item 2. In slow decay mode, winding current is re-circulated by enabling both of the low-side FETs in the bridge. This is shown in [Figure 7-6](#), Item 3.

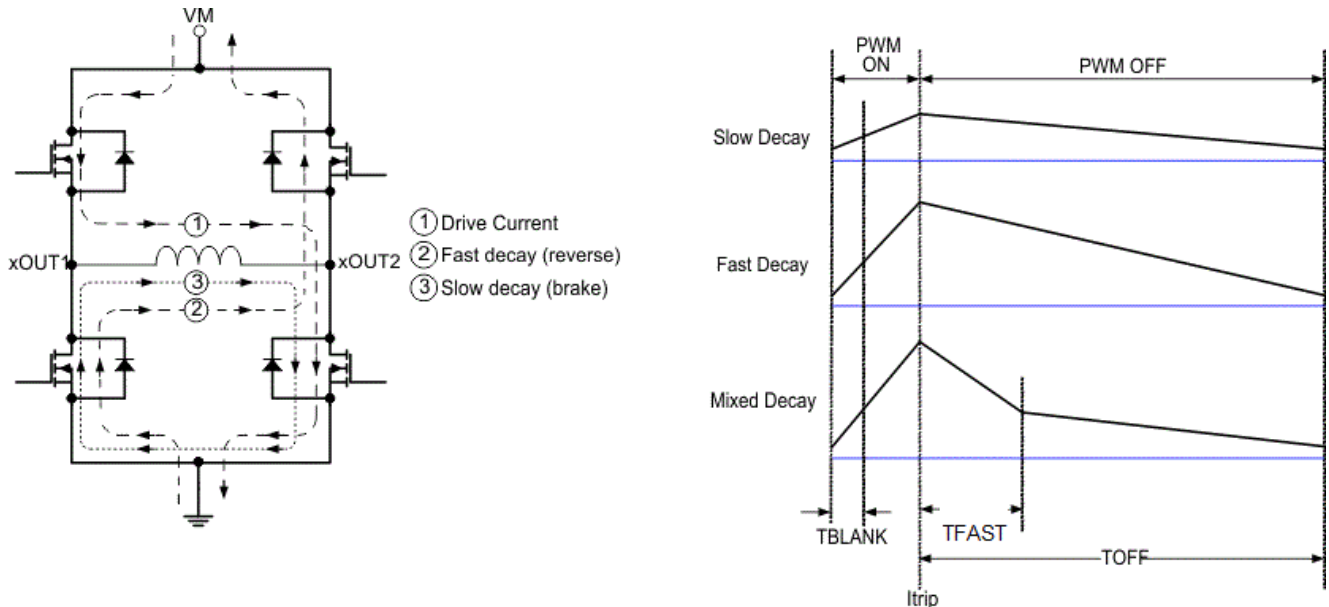


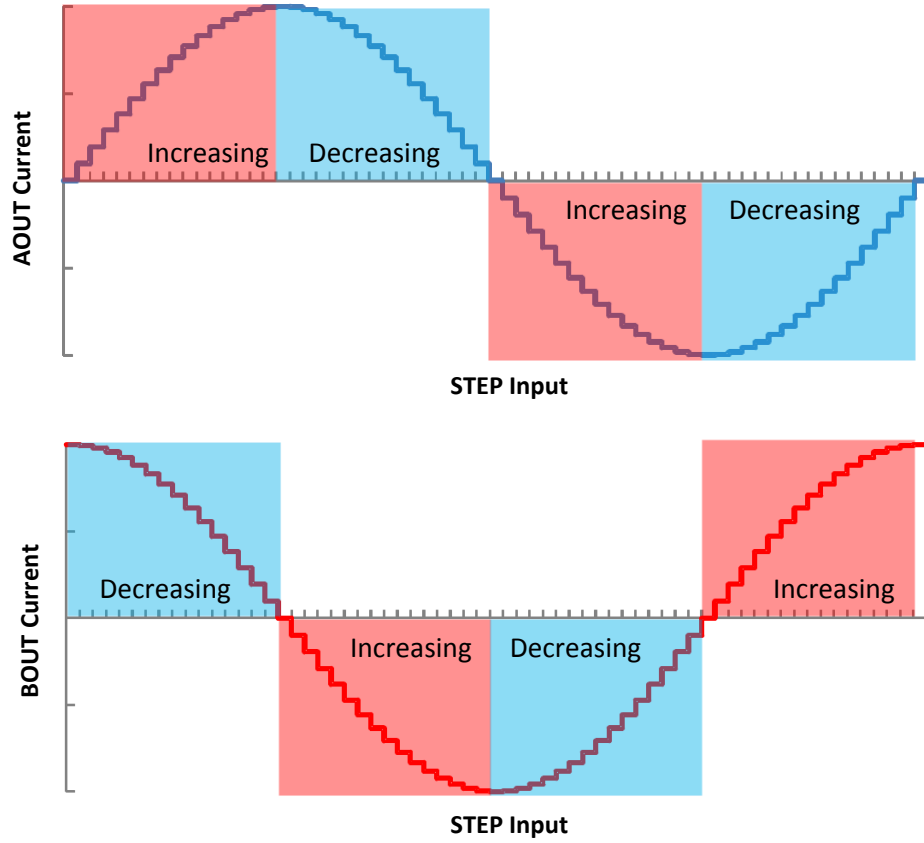
Figure 7-6. Decay Modes

The decay mode of the DRV8434 is selected by the DECAY0 and DECAY1 pins as shown in [Table 7-6](#). If DECAY1 pin is Hi-Z, irrespective of the DECAY0 pin voltage, the decay mode will be smart tune dynamic decay. The decay modes can be changed on the fly. After a decay mode change, the new decay mode is applied after a 10 μ s de-glitch time.

Table 7-6. Decay Mode Settings

DECAY0	DECAY1	INCREASING STEPS	DECREASING STEPS
0	0	Smart tune Dynamic Decay	Smart tune Dynamic Decay
0	1	Smart tune Ripple Control	Smart tune Ripple Control
1	0	Mixed decay: 30% fast	Mixed decay: 30% fast
1	1	Slow decay	Mixed decay: 30% fast
Hi-Z	0	Mixed decay: 60% fast	Mixed decay: 60% fast
Hi-Z	1	Slow decay	Slow decay

[Figure 7-7](#) defines increasing and decreasing current. For the slow-mixed decay mode, the decay mode is set as slow during increasing current steps and mixed decay during decreasing current steps. In full step and noncircular 1/2-step operation, the decay mode corresponding to decreasing steps is always used.



7-7. Definition of Increasing and Decreasing Steps

7.3.6.1 Slow Decay for Increasing and Decreasing Current

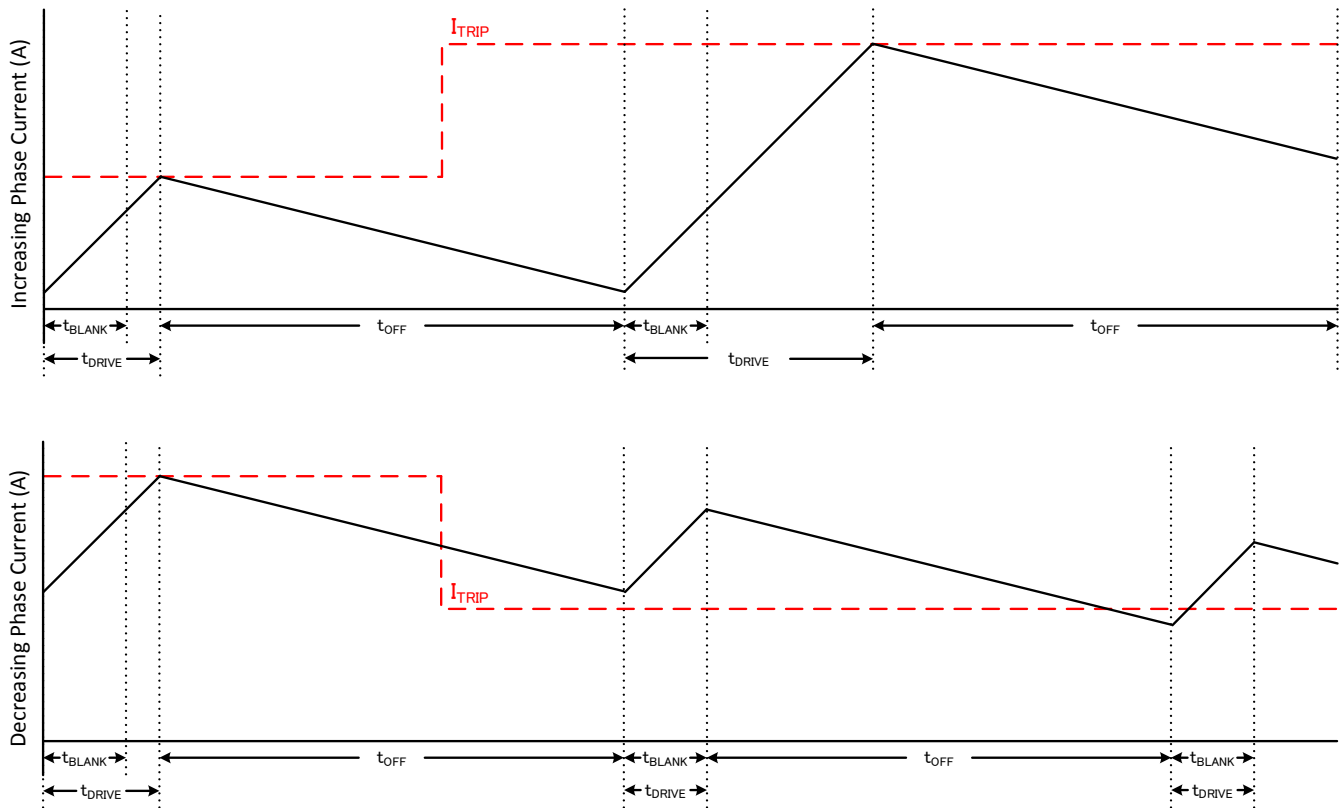


Fig 7-8. Slow/Slow Decay Mode

During slow decay, both low-side MOSFETs of the H-bridge are turned on, allowing the current to be recirculated.

Slow decay exhibits the least current ripple of the decay modes for a given t_{OFF} . However on decreasing current steps, slow decay will take a long time to settle to the new I_{TRIP} level because the current decreases very slowly. If the current at the end of the off time is above the I_{TRIP} level, slow decay will be extended for multiple off time duration, until the current at the end of the cumulative off time is below the I_{TRIP} level.

When the winding current is held static for a long time (for example while no STEP input is present), or at very low step rates, slow decay may not properly regulate the current because back-EMF will be small or absent across the motor windings. The motor current can rise rapidly, and may require an extremely long off-time. In some cases this could result in loss of current regulation. An aggressive decay mode is recommended in such cases.

7.3.6.2 Slow Decay for Increasing Current, Mixed Decay for Decreasing Current

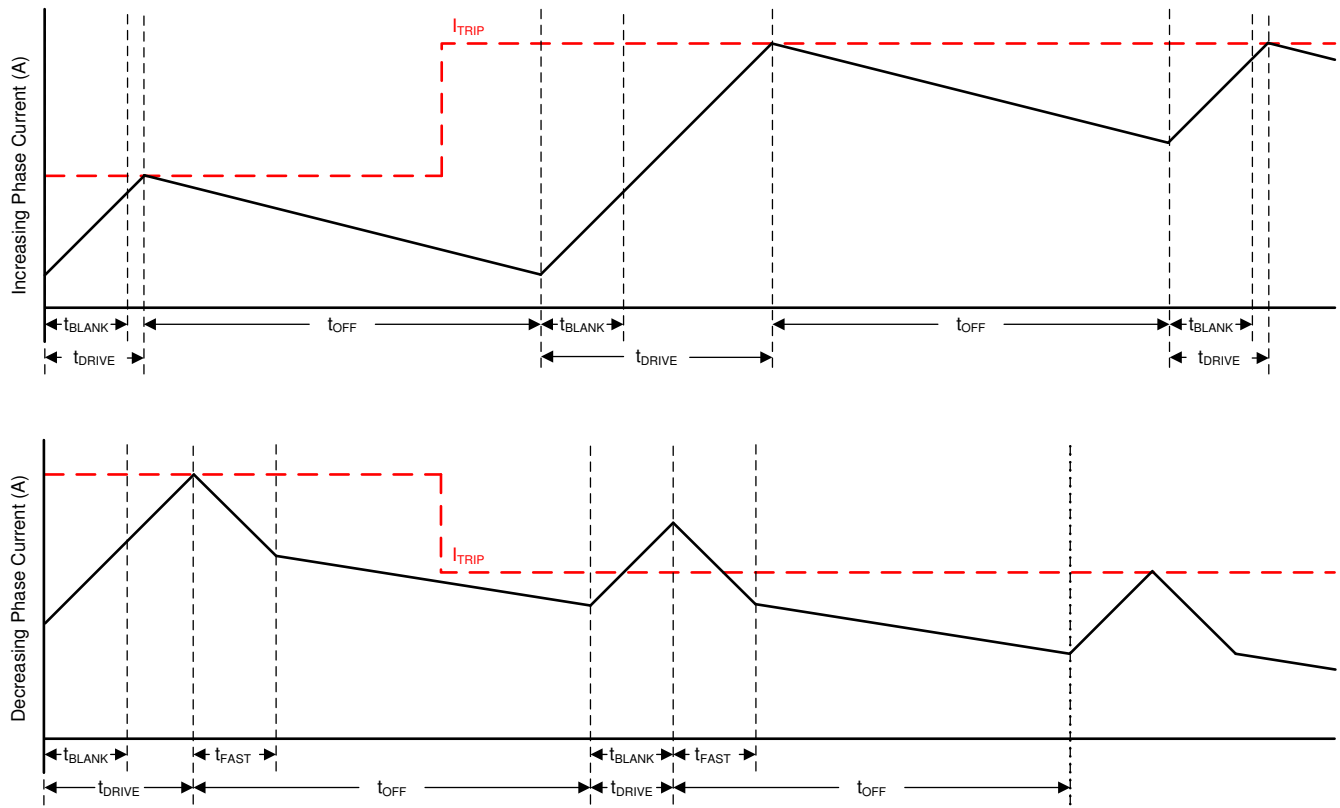


图 7-9. Slow-Mixed Decay Mode

Mixed decay begins as fast decay for an initial duration of the t_{OFF} , followed by slow decay for the remainder of the t_{OFF} time. Mixed decay only occurs during decreasing current. Slow decay is used for increasing current.

This decay mode exhibits the same current ripple as slow decay mode does for increasing current, because for increasing current, only slow decay is used in this mode. For decreasing current, the ripple is larger than slow decay, but smaller than fast decay. On decreasing current steps, mixed decay settles to the new I_{TRIP} level faster than slow decay.

7.3.6.3 電流増加および減少でミックス・ディケイ

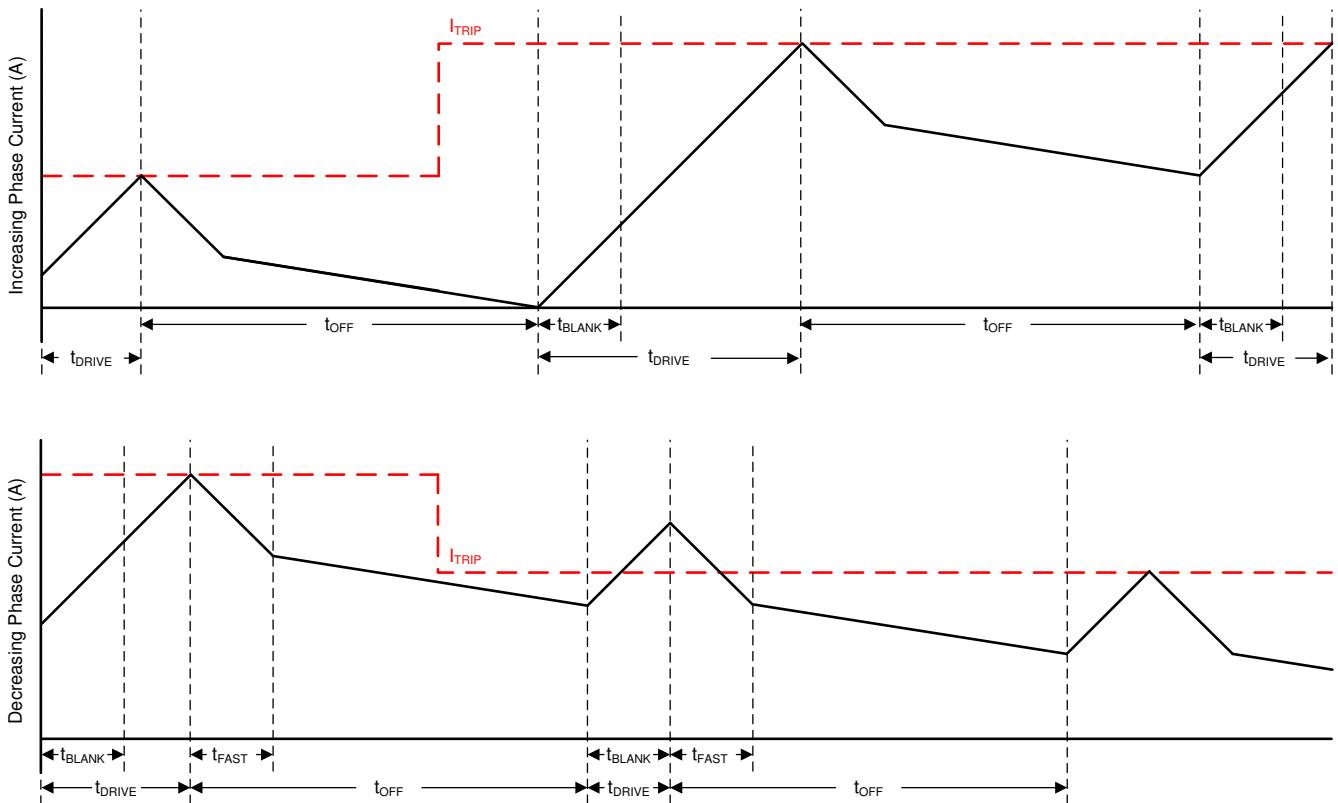


図 7-10. ミックス・ミックス・ディケイ・モード

ミックス・ディケイでは、 t_{OFF} 時間の初めの一定期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。このモードでは、電流増加ステップと電流減少ステップの両方ともミックス・ディケイになります。

このモードでのリップルは、スロー・ディケイ時より大きくなりますが、ファースト・ディケイ時よりは小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

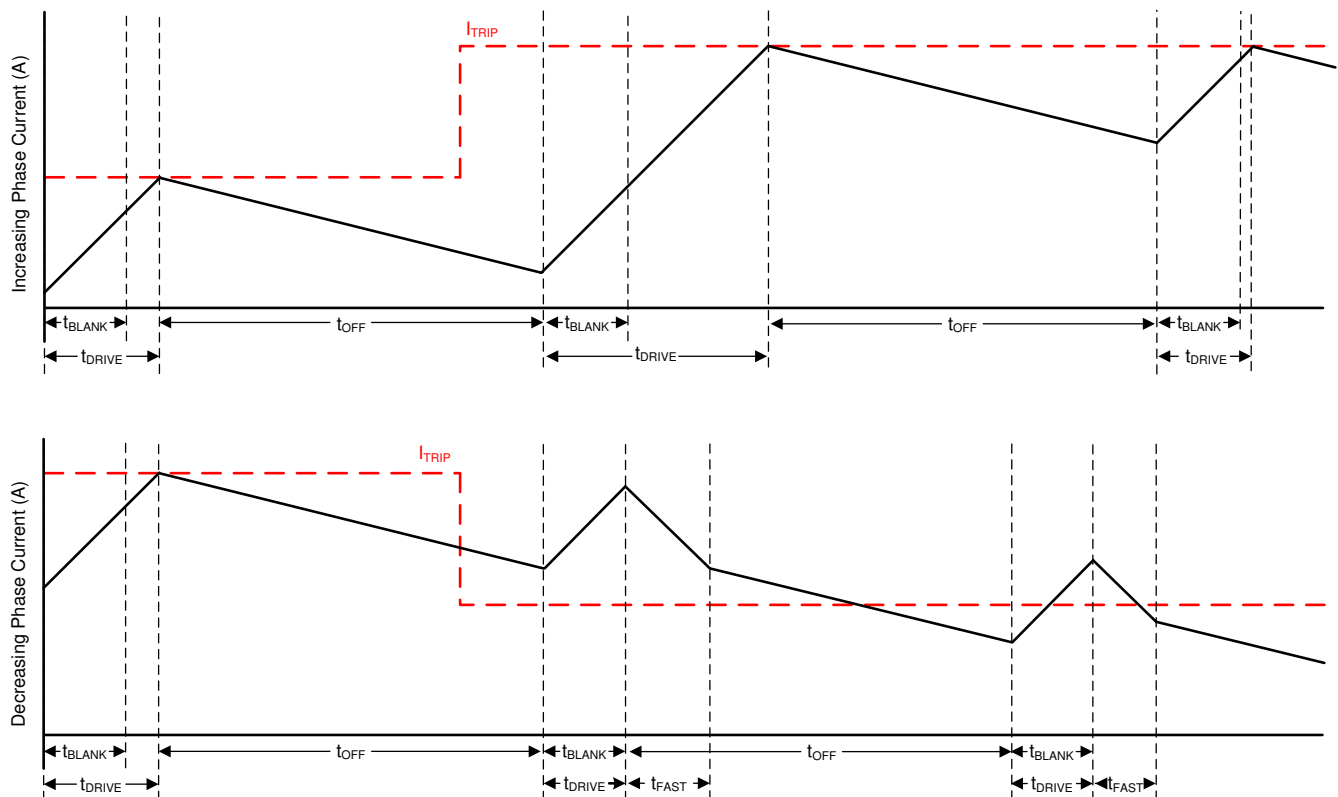
電流が長時間保持されている (STEP ピンの入力がない) 場合、またはステップ速度が非常に小さい場合、モータ巻線に逆起電力が生じないため、スロー・ディケイでは適切に電流を制御できない場合があります。この状態では、モータ電流が急速に増加する可能性があり、非常に長いオフ時間が必要です。増加または減少のミックス・ディケイ・モードを使用すると、モータ巻線に逆起電力が生じない場合、電流レベルは制御状態を維持できます。

7.3.6.4 Smart tune Dynamic Decay

The smart tune current regulation schemes are advanced current-regulation control methods compared to traditional fixed off-time current regulation schemes. Smart tune current regulation schemes help the stepper motor driver adjust the decay scheme based on operating factors such as the ones listed as follows:

- Motor winding resistance and inductance
- Motor aging effects
- Motor dynamic speed and load
- Motor supply voltage variation
- Motor back-EMF difference on rising and falling steps
- Step transitions
- Low-current versus high-current di/dt

The device provides two different smart tune current regulation modes, named smart tune Dynamic Decay and smart tune Ripple Control.



☒ 7-11. Smart tune Dynamic Decay Mode

Smart tune Dynamic Decay greatly simplifies the decay mode selection by automatically configuring the decay mode between slow, mixed, and fast decay. In mixed decay, smart tune dynamically adjusts the fast decay percentage of the total mixed decay time. This feature eliminates motor tuning by automatically determining the best decay setting that results in the lowest ripple for the motor.

The decay mode setting is optimized iteratively each PWM cycle. If the motor current overshoots the target trip level, then the decay mode becomes more aggressive (add fast decay percentage) on the next cycle to prevent regulation loss. If a long drive time must occur to reach the target trip level, the decay mode becomes less aggressive (remove fast decay percentage) on the next cycle to operate with less ripple and more efficiently. On falling steps, smart tune Dynamic Decay automatically switches to fast decay to reach the next step quickly.

Smart tune Dynamic Decay is optimal for applications that require minimal current ripple but want to maintain a fixed frequency in the current regulation scheme.

7.3.6.5 スマート・チューン・リップル・コントロール

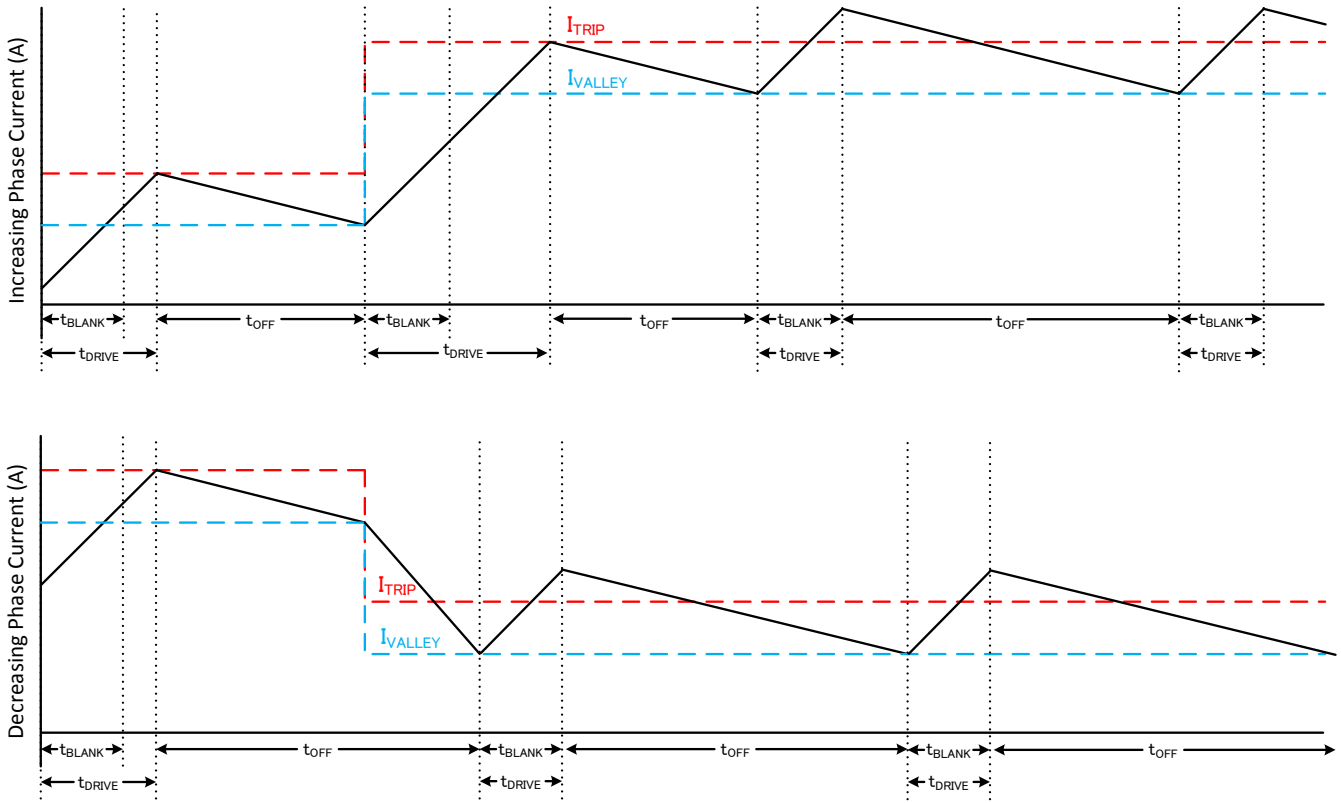


図 7-12. スマート・チューン・リップル・コントロール・ダイケイ・モード

スマート・チューン・リップル・コントロールは、 I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまでスロー・ディケイに移行する代わりに、 I_{VALLEY} に達するまでスロー・ディケイに移行します。スロー・ディケイは、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて t_{OFF} が変化します。

このダイケイ・モードのリップル電流は、TOFF ピンによってプログラミングされます。リップル電流は、特定のマイクロステップ・レベルの ITRIP に依存します。

表 7-7. 電流リップル設定

TOFF	特定のマイクロステップ・レベルでの電流リップル
0	19mA + ITRIP の 1%
1	19mA + ITRIP の 2%
ハイ・インピーダンス	19mA + ITRIP の 4%
330kΩ を GND との間に接続	19mA + ITRIP の 6%

このリップル制御方法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル・コントロールは、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。PWM 周波数が可聴範囲外であることを確認するには、低リップル電流設定を選択します。ただし、リップル電流の値が大きいほど、PWM 周波数が低下し、スイッチング損失が減少します。

7.3.6.6 PWM オフ時間

TOFF ピンは、表 7-8 に示すように、スマート・チューン・リップル・コントロールを除くすべてのディケイ・モードの PWM オフ時間を設定します。このオフ時間設定は、実行中に変更できます。オフ時間設定を変更した後、10 μ s のデグリッチ時間後に新しいオフ時間が適用されます。

表 7-8. オフ時間の設定

TOFF	オフ時間
0	7 μ s
1	16 μ s
ハイ・インピーダンス	24 μ s
330k Ω を GND との間に接続	32 μ s

7.3.6.7 ブランキング時間

H ブリッジで電流が出力されると (駆動相の開始)、電流検出コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流検出回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 1 μ s です。

7.3.7 チャージ・ポンプ

ハイサイド N チャンネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

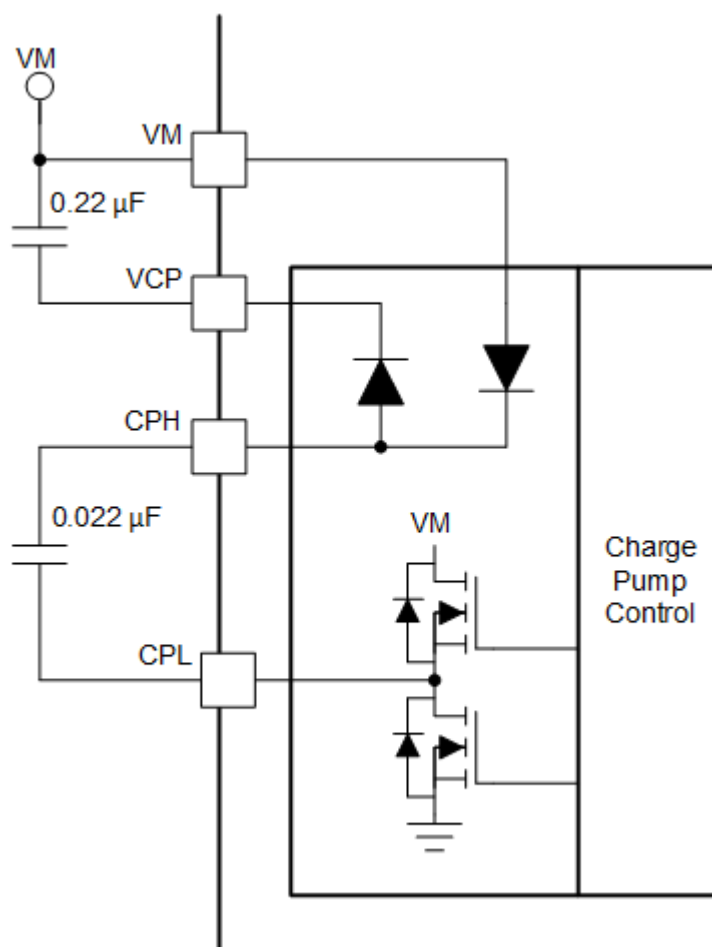


図 7-13. チャージ・ポンプのブロック図

7.3.8 リニア電圧レギュレータ

本デバイスには、DVDD 用にリニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、VREF リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2mA を超えると、出力電圧は大きく低下します。

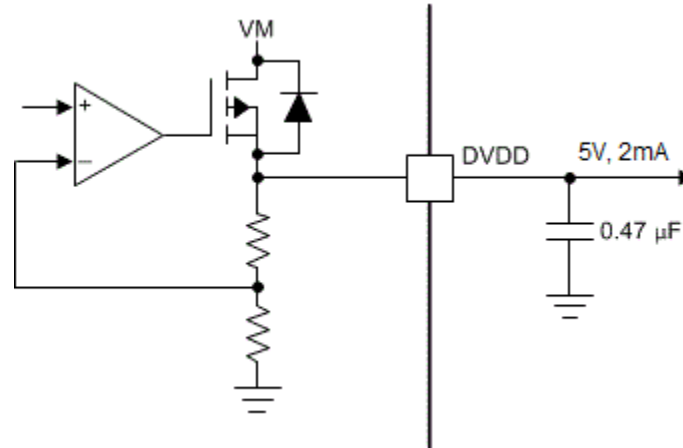


図 7-14. リニア電圧レギュレータのブロック図

デジタル入力 (すなわち Mx、DECAYx、TOFF) を永続的に High に固定する場合、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続しないでください。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.9 Logic Level, Tri-Level and Quad-Level Pin Diagrams

図 7-15 shows the input structure for M0, DECAY0 and ENABLE pins.

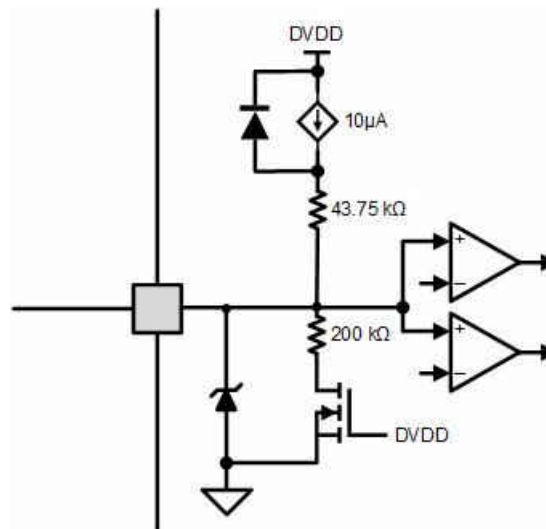
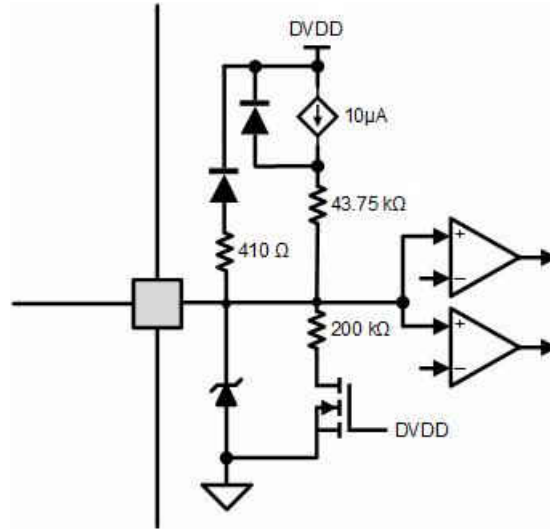


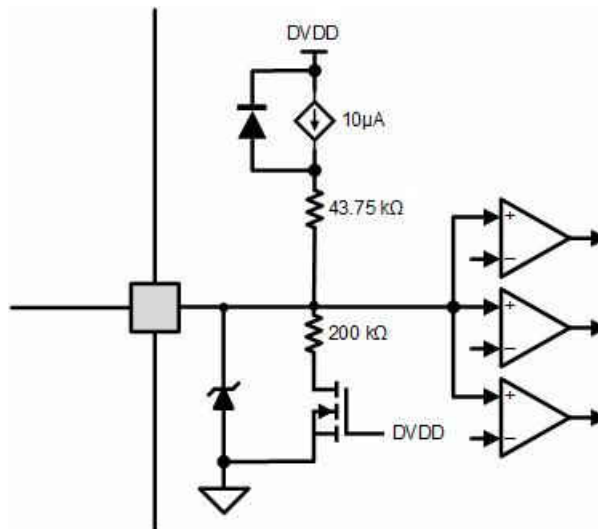
図 7-15. Tri-Level Input Pin Diagram

図 7-16 shows the input structure for DECAY1 pin.



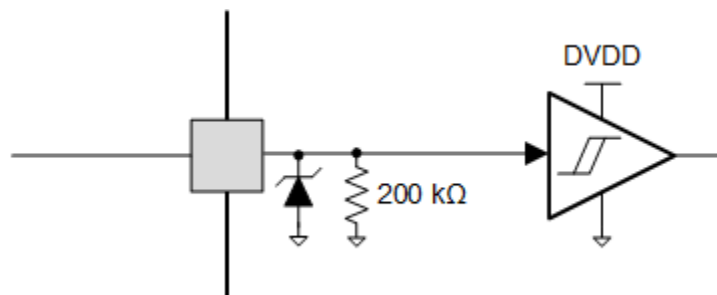
7-16. DECA1 Pin Diagram

7-17 shows the input structure for M1 and TOFF pins.



7-17. Quad-Level Input Pin Diagram

7-18 shows the input structure for STEP, DIR and nSLEEP pins.



7-18. Logic-Level Input Pin Diagram

7.3.9.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V、3.3V または 1.8V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V または 1.8V にプルアップする場合、外部電源を使う必要があります。

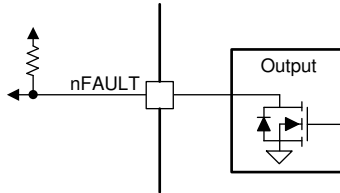


図 7-19. nFAULT ピン

7.3.10 保護回路

DRV8434 は、電源低電圧、チャージ・ポンプ低電圧、出力過電流、開放負荷、デバイス過熱イベントからデバイスを保護します。

7.3.10.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッショルド電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。VM 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.10.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.10.3 過電流保護 (OCP)

各 MOSFET のアナログ電流制限回路は、ゲート駆動を止めることで、MOSFET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、両方の H ブリッジの MOSFET がディセーブルされ、nFAULT ピンは Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。過電流保護は 2 つのモード (ラッチド・シャットダウンと自動リトライ) で動作できます。この動作モードは、実行中に変更できます。

7.3.10.3.1 ラッチド・シャットダウン

ラッチド・シャットダウン・モードを選択するには、ENABLE ピンをハイ・インピーダンスにする必要があります。このモードでは、OCP イベントの後、出力がディセーブルされ、nFAULT ピンが Low に駆動されます。OCP 条件が解消すると、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.10.3.2 自動リトライ

自動リトライ・モードを選択するには、ENABLE ピンを High (>2.7V) にする必要があります。このモードでは、OCP イベントの後、出力がディセーブルされ、nFAULT ピンが Low に駆動されます。 t_{RETRY} 時間が経過し、フォルト条件が解消した後、自動的に通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.10.4 開放負荷検出 (OL)

どちらかのコイルの巻線電流が、オープン負荷電流スレッショルド (I_{OL}) とインデクサによって設定された I_{TRIP} レベルを下回り、この条件が開放負荷検出時間 (t_{OL}) を超えて持続した場合、開放負荷条件が検出されます。

ENABLE ピンが DVDD に接続されている場合、開放負荷条件が解消した後、nFAULT ラインはただちに解放されます。ENABLE ピンがハイ・インピーダンスの場合、開放負荷条件が解消し、かつ nSLEEP リセット・パルスが印加された後、

nFAULT ラインは解放されます。本デバイスの電源を切って再投入した後、またはスリープ・モードから復帰した後も、このフォルトはクリアされます。

7.3.10.5 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはディセーブルされます。サーマル・シャットダウン保護は 2 つのモード (ラッチド・シャットダウンと自動リトライ) で動作できます。この動作モードは、実行中に変更できます。

7.3.10.5.1 ラッチド・シャットダウン

ラッチド・シャットダウン・モードを選択するには、ENABLE ピンをハイ・インピーダンスにする必要があります。このモードでは、OTSD イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回った後に、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.10.5.2 自動リトライ

自動リトライ・モードを選択するには、ENABLE ピンを High (>2.7V) にする必要があります。このモードでは、OTSD イベントの後、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。接合部温度が、過熱スレッショルド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作に復帰します (モータ・ドライバの動作と nFAULT ラインの解放)。

Fault Condition Summary

表 7-9. Fault Condition Summary

FAULT	CONDITION	CONFIGURATION	ERROR REPORT	H-BRIDGE	CHARGE PUMP	INDEXER	LOGIC	RECOVERY
VM undervoltage (UVLO)	$VM < V_{UVLO}$	—	nFAULT	Disabled	Disabled	Disabled	Reset ($V_{DVDD} < 3.9\text{ V}$)	Automatic: $VM > V_{UVLO}$
VCP undervoltage (CPUV)	$VCP < V_{CPUV}$	—	nFAULT	Disabled	Operating	Operating	Operating	Automatic: $VCP > V_{CPUV}$
Overcurrent (OCP)	$I_{OUT} > I_{OCP}$	ENABLE = Hi-Z	nFAULT	Disabled	Operating	Operating	Operating	Latched
		ENABLE = 1	nFAULT	Disabled	Operating	Operating	Operating	Automatic retry: t_{RETRY}
Open Load (OL)	No load detected	—	nFAULT	Operating	Operating	Operating	Operating	Report only
Thermal Shutdown (OTSD)	$T_J > T_{TSD}$	ENABLE = Hi-Z	nFAULT	Disabled	Disabled	Operating	Operating	Latched
		ENABLE = 1	nFAULT	Disabled	Disabled	Operating	Operating	Automatic: $T_J < T_{OTSD} - T_{HYS_OTSD}$

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

DRV8434 の状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、DRV8434 デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET がディセーブルされ、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、DRV8434 は自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 ディセーブル・モード (nSLEEP = 1, ENABLE = 0)

ENABLE ピンは、DRV8434 をイネーブルまたはディセーブルするために使用されます。ENABLE ピンが Low になると、出力ドライバは無効化され、ハイ・インピーダンス状態になります。

7.4.3 動作モード (nSLEEP = 1、ENABLE = ハイ・インピーダンス / 1)

nSLEEP ピンが High、ENABLE ピンがハイ・インピーダンスまたは High、VM > UVLO のすべてに該当する場合、本デバイスはアクティブ・モードに入ります。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.4 nSLEEP リセット・パルス

ラッチされたフォルトは nSLEEP リセット・パルスでクリアできます。このパルス幅は 20µs より長く 40µs より短い必要があります。nSLEEP が 40µs より長く 120µs より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (図 7-20 を参照)。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

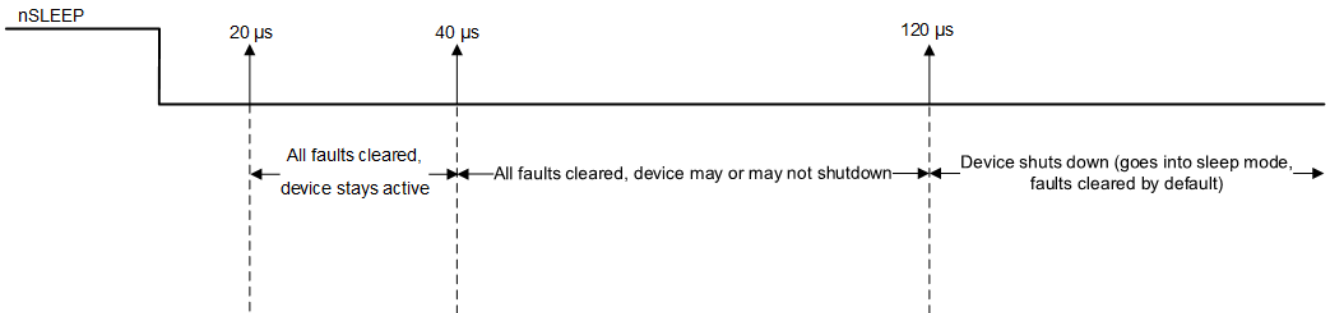


図 7-20. nSLEEP リセット・パルス

機能モードのまとめ

表 7-10 に、機能モードのまとめを示します。

表 7-10. 機能モードのまとめ

条件		構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	インデクサ	ロジック
スリープ・モード	4.5V < VM < 48V	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 48V	nSLEEP ピン = 1 ENABLE ピン = 1 またはハイ・インピーダンス	動作	動作	動作	動作	動作
ディセーブル	4.5V < VM < 48V	nSLEEP ピン = 1 ENABLE ピン = 0	ディセーブル	動作	動作	動作	動作

8 Application and Implementation

Note

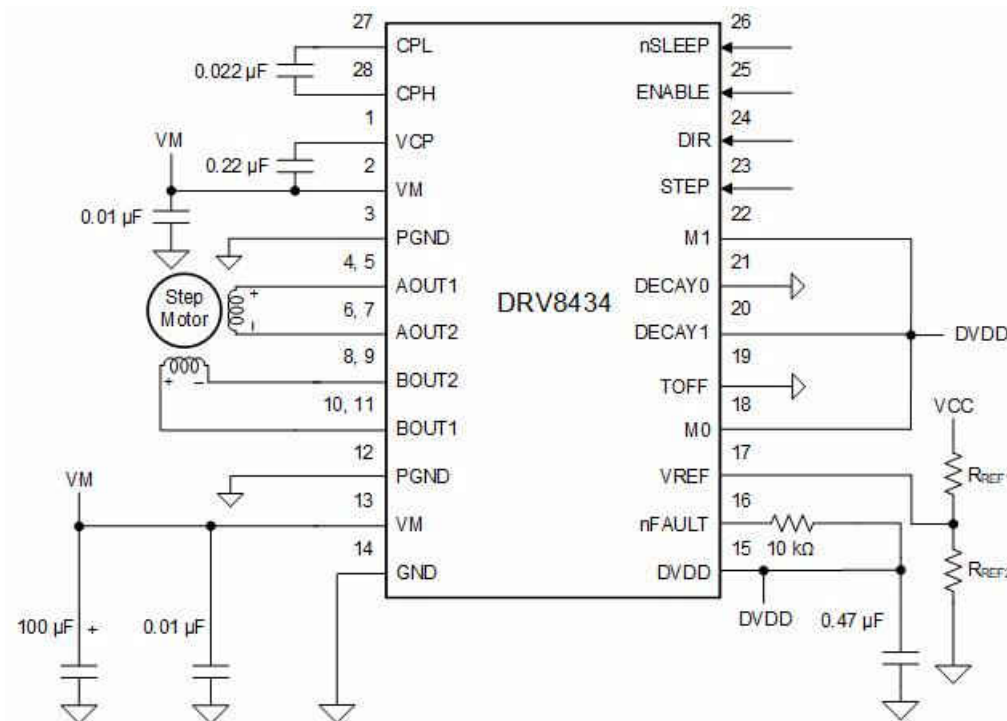
Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

8.1 Application Information

The DRV8434 is used in bipolar stepper control.

8.2 Typical Application

The following design procedure can be used to configure the DRV8434.



8-1. Typical Application Schematic (1/8 microstepping, smart tune Ripple Control Decay, HTSSOP package)

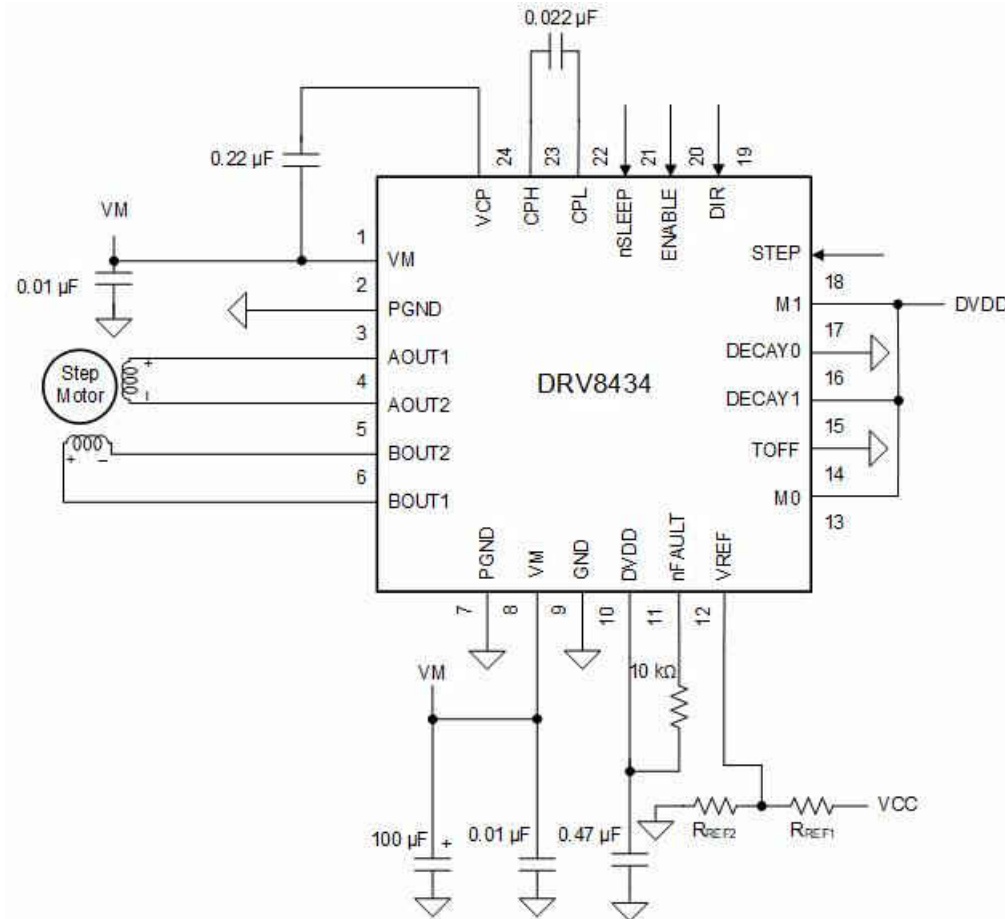


图 8-2. Typical Application Schematic (1/8 microstepping, smart tune Ripple Control Decay, VQFN package)

8.2.1 Design Requirements

表 8-1 lists the design input parameters for system design.

表 8-1. Design Parameters

DESIGN PARAMETER	REFERENCE	EXAMPLE VALUE
Supply voltage	VM	24 V
Motor winding resistance	R_L	0.9 Ω /phase
Motor winding inductance	L_L	1.4 mH/phase
Motor full step angle	θ_{step}	1.8°/step
Target microstepping level	n_m	1/8 step
Target motor speed	v	18.75 rpm
Target full-scale current	I_{FS}	2 A

8.2.2 Detailed Design Procedure

8.2.2.1 Stepper Motor Speed

The first step in configuring the DRV8434 requires the desired motor speed and microstepping level. If the target application requires a constant speed, then a square wave with frequency f_{step} must be applied to the STEP pin. If the target motor speed is too high, the motor does not spin. Make sure that the motor can support the target speed. Use 式 1 to calculate f_{step} for a desired motor speed (v), microstepping level (n_m), and motor full step angle (θ_{step})

$$f_{\text{step}} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (}^\circ \text{ / rot)}}{\theta_{\text{step}} \text{ (}^\circ \text{ / step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (1)$$

The value of θ_{step} can be found in the stepper motor data sheet, or written on the motor. For example, the motor in this application is required to rotate at 1.8°/step for a target of 18.75 rpm at 1/8 microstep mode. Using 式 1, f_{step} can be calculated as 500 Hz.

The microstepping level is set by the M0 and M1 pins and can be any of the settings listed in 表 8-2. Higher microstepping results in a smoother motor motion and less audible noise, but requires a higher f_{step} to achieve the same motor speed.

表 8-2. Microstepping Indexer Settings

MODE0	MODE1	STEP MODE
0	0	Full step (2-phase excitation) with 100% current
0	330kΩ to GND	Full step (2-phase excitation) with 71% current
1	0	Non-circular 1/2 step
Hi-Z	0	1/2 step
0	1	1/4 step
1	1	1/8 step
Hi-Z	1	1/16 step
0	Hi-Z	1/32 step
Hi-Z	330kΩ to GND	1/64 step
Hi-Z	Hi-Z	1/128 step
1	Hi-Z	1/256 step

8.2.2.2 電流レギュレーション

ステッピング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREF 電圧と TRQ_DAC 設定で決まります (式 2 を参照)。

VREF ピンの最大許容電圧は 3.3V です。DVDD と抵抗分割器を使用して VREF を供給できます。

ステッピング時には、 I_{FS} により、最大電流ステップの電流チョッピング・スレッショルド (I_{TRIP}) が定義されます。

$$I_{\text{FS}} \text{ (A)} = \frac{V_{\text{REF}} \text{ (V)}}{K_v \text{ (V/A)}} \times \text{TRQ_DAC} \text{ (\%)} = \frac{V_{\text{REF}} \text{ (V)} \times \text{TRQ_DAC} \text{ (\%)}}{1.32 \text{ (V/A)}} \quad (2)$$

8.2.2.3 ディケイ・モード

DRV8434A はスマート・チューン・リップル・コントロール・ディケイ・モードで動作します。モータ巻線電流が電流チョッピング・スレッショルド (I_{TRIP}) に達すると、DRV8434A は巻線をスロー・ディケイに設定します。

8.2.2.4 アプリケーション曲線

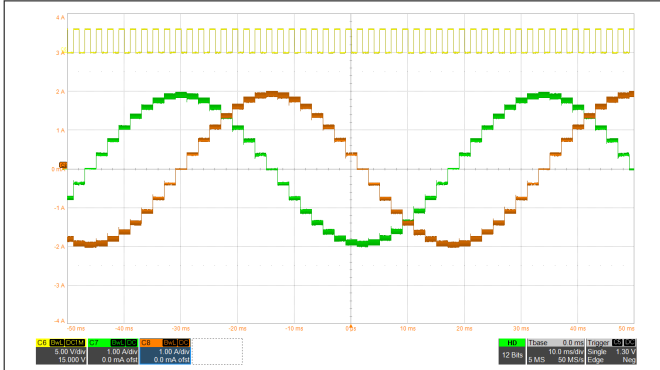


図 8-3. スマート・チューン・リップル・コントロール・ディケイによる 1/8 マイクロステッピング

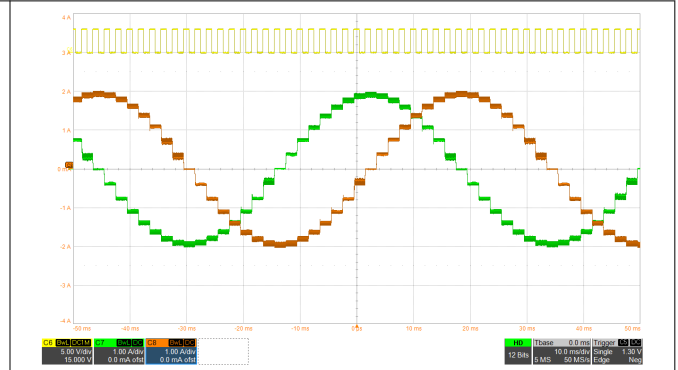


図 8-4. スマート・チューン・ダイナミック・ディケイによる 1/8 マイクロステッピング

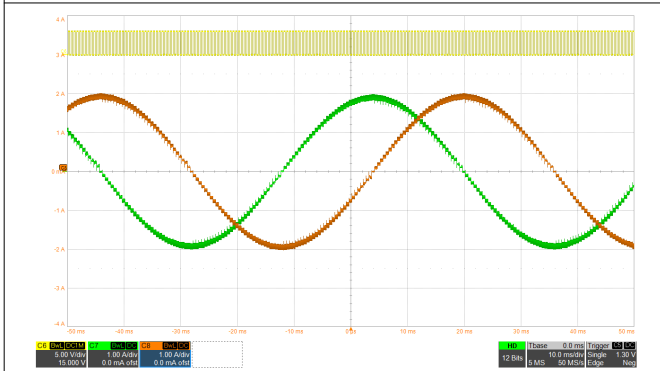


図 8-5. スマート・チューン・リップル・コントロール・ディケイによる 1/32 マイクロステッピング

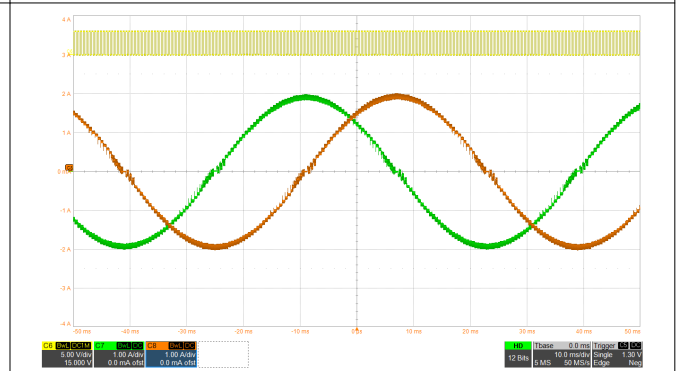


図 8-6. スマート・チューン・ダイナミック・ディケイによる 1/32 マイクロステッピング

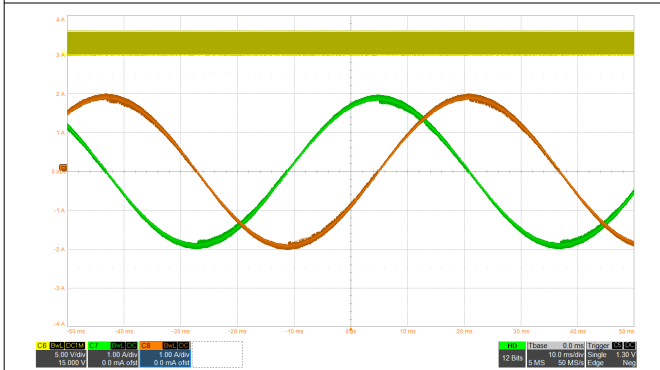


図 8-7. スマート・チューン・リップル・コントロール・ディケイによる 1/256 マイクロステッピング

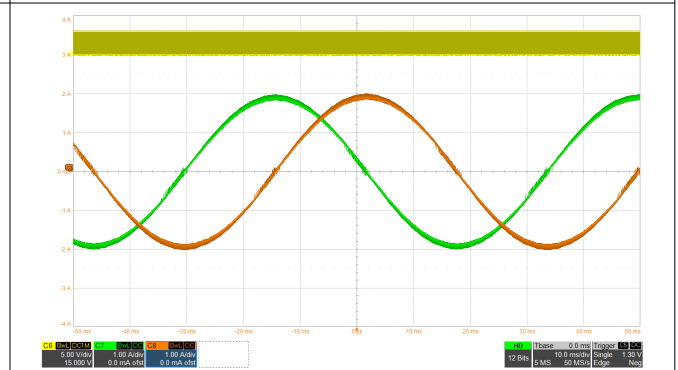


図 8-8. スマート・チューン・ダイナミック・ディケイによる 1/256 マイクロステッピング

8.2.2.5 Thermal Application

This section presents the power dissipation calculation and junction temperature estimation of the device.

8.2.2.5.1 Power Dissipation

The total power dissipation constitutes of three main components - conduction loss (P_{COND}), switching loss (P_{SW}) and power loss due to quiescent current consumption (P_Q).

8.2.2.5.2 Conduction Loss

The current path for a motor connected in full-bridge is through the high-side FET of one half-bridge and low-side FET of the other half-bridge. The conduction loss (P_{COND}) depends on the motor rms current (I_{RMS}) and high-side ($R_{DS(ONH)}$) and low-side ($R_{DS(ONL)}$) on-state resistances as shown in 式 3.

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (3)$$

The conduction loss for the typical application shown in 表 8-1 is calculated in 式 4.

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (2-A / \sqrt{2})^2 \times (0.165-\Omega + 0.165-\Omega) = 1.32-W \quad (4)$$

Note

This power calculation is highly dependent on the device temperature which significantly effects the high-side and low-side on-resistance of the FETs. For more accurate calculation, consider the dependency of on-resistance of FETs with device temperature.

8.2.2.5.3 Switching Loss

The power loss due to the PWM switching frequency depends on the slew rate (t_{SR}), supply voltage, motor RMS current and the PWM switching frequency. The switching losses in each H-bridge during rise-time and fall-time are calculated as shown in 式 5 and 式 6.

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE_PWM} \times f_{PWM} \quad (5)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL_PWM} \times f_{PWM} \quad (6)$$

Both t_{RISE_PWM} and t_{FALL_PWM} can be approximated as V_{VM} / t_{SR} . After substituting the values of various parameters, and assuming 30-kHz PWM frequency, the switching losses in each H-bridge are calculated as shown below -

$$P_{SW_RISE} = 0.5 \times 24-V \times (2-A / \sqrt{2}) \times (24-V / 240 \text{ V}/\mu\text{s}) \times 30\text{-kHz} = 0.05-W \quad (7)$$

$$P_{SW_FALL} = 0.5 \times 24-V \times (1-A / \sqrt{2}) \times (24-V / 240 \text{ V}/\mu\text{s}) \times 30\text{-kHz} = 0.05-W \quad (8)$$

The total switching loss for the stepper motor driver (P_{SW}) is calculated as twice the sum of rise-time (P_{SW_RISE}) switching loss and fall-time (P_{SW_FALL}) switching loss as shown below -

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.05-W + 0.05-W) = 0.2-W \quad (9)$$

Note

The rise-time (t_{RISE}) and the fall-time (t_{FALL}) are calculated based on typical values of the slew rate (t_{SR}). This parameter is expected to change based on the supply-voltage, temperature and device to device variation.

The switching loss is directly proportional to the PWM switching frequency. The PWM frequency in an application will depend on the supply voltage, inductance of the motor coil, back emf voltage and OFF time or the ripple current (for smart tune ripple control decay mode).

8.2.2.5.4 Power Dissipation Due to Quiescent Current

The power dissipation due to the quiescent current consumed by the power supply is calculated as shown below -

$$P_Q = V_{VM} \times I_{VM} \quad (10)$$

Substituting the values, quiescent power loss can be calculated as shown below -

$$P_Q = 24\text{-V} \times 5\text{-mA} = 0.12\text{-W} \quad (11)$$

Note

The quiescent power loss is calculated using the typical operating supply current (I_{VM}) which is dependent on supply-voltage, temperature and device to device variation.

8.2.2.5.5 Total Power Dissipation

The total power dissipation (P_{TOT}) is calculated as the sum of conduction loss, switching loss and the quiescent power loss as shown in 式 12.

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 1.32\text{-W} + 0.2\text{-W} + 0.12\text{-W} = 1.64\text{-W} \quad (12)$$

8.2.2.5.6 Device Junction Temperature Estimation

For an ambient temperature of T_A and total power dissipation (P_{TOT}), the junction temperature (T_J) is calculated as -

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

Considering a JEDEC standard 4-layer PCB, the junction-to-ambient thermal resistance ($R_{\theta JA}$) is 29.7 °C/W for the HTSSOP package and 39 °C/W for the VQFN package.

Assuming 25°C ambient temperature, the junction temperature for the HTSSOP package is calculated as shown below -

$$T_J = 25^\circ\text{C} + (1.64\text{-W} \times 29.7^\circ\text{C/W}) = 73.71^\circ\text{C} \quad (13)$$

The junction temperature for the VQFN package is calculated as shown below -

$$T_J = 25^\circ\text{C} + (1.64\text{-W} \times 39^\circ\text{C/W}) = 88.96^\circ\text{C} \quad (14)$$

9 Power Supply Recommendations

The device is designed to operate from an input voltage supply (VM) range from 4.5 V to 48 V. A 0.01- μF ceramic capacitor rated for VM must be placed at each VM pin as close to the device as possible. In addition, a bulk capacitor must be included on VM.

9.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

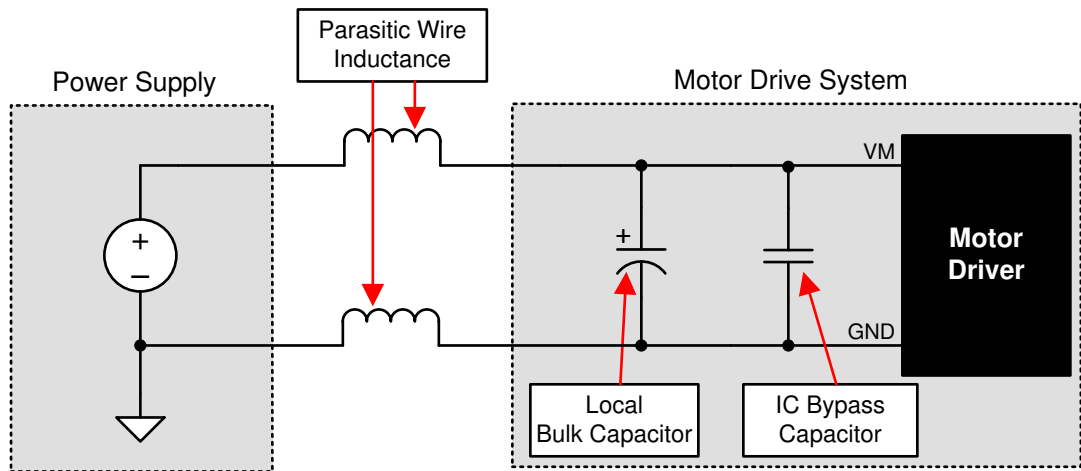
必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムとの寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムとの間のインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンブによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマーゲンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。



Copyright © 2016, Texas Instruments Incorporated

図 9-1. 外部電源を使用したモータ駆動システムの構成例

10 Layout

10.1 Layout Guidelines

The VM pin should be bypassed to PGND using a low-ESR ceramic bypass capacitor with a recommended value of 0.01 μF rated for VM. This capacitor should be placed as close to the VM pin as possible with a thick trace or ground plane connection to the device PGND pin.

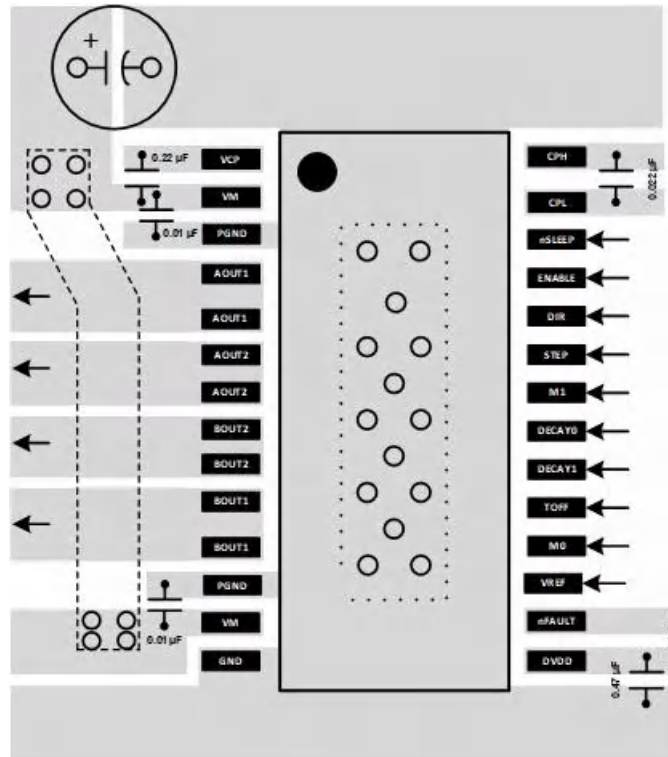
The VM pin must be bypassed to ground using a bulk capacitor rated for VM. This component can be an electrolytic capacitor.

A low-ESR ceramic capacitor must be placed in between the CPL and CPH pins. A value of 0.022 μF rated for VM is recommended. Place this component as close to the pins as possible.

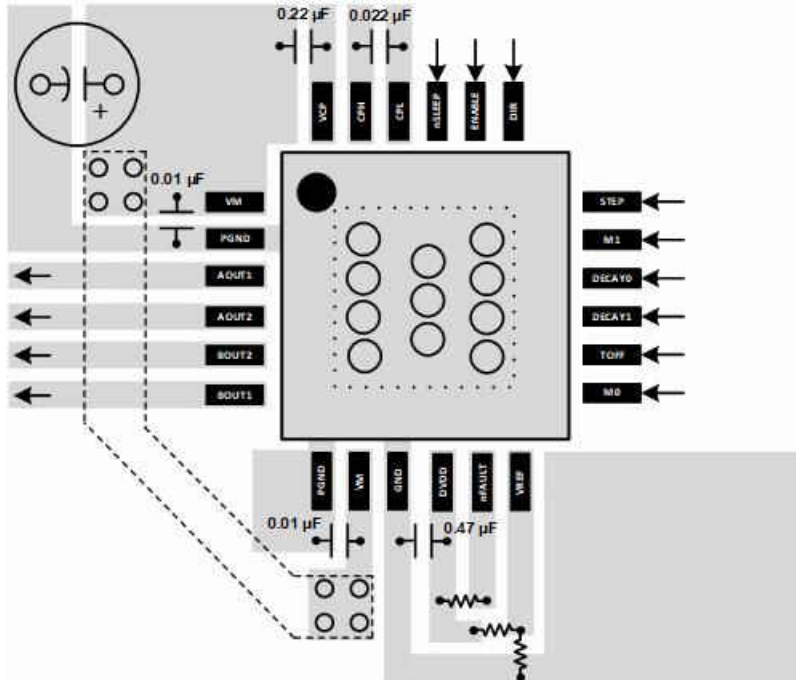
A low-ESR ceramic capacitor must be placed in between the VM and VCP pins. A value of 0.22 μF rated for 16 V is recommended. Place this component as close to the pins as possible.

Bypass the DVDD pin to ground with a low-ESR ceramic capacitor. A value of 0.47 μF rated for 6.3 V is recommended. Place this bypassing capacitor as close to the pin as possible..

10.2 Layout Example



☒ 10-1. HTSSOP Layout Example



☒ 10-2. QFN Layout Example

11 Device and Documentation Support

11.1 Related Documentation

- Texas Instruments, [How to Reduce Audible Noise in Stepper Motors](#) application report
- Texas Instruments, [How to Improve Motion Smoothness and Accuracy](#) application report
- Texas Instruments, [How to Drive Unipolar Stepper Motors with DRV8xxx](#) application report
- Texas Instruments, [Calculating Motor Driver Power Dissipation](#) application report
- Texas Instruments, [Current Recirculation and Decay Modes](#) application report
- Texas Instruments, [Understanding Motor Driver Current Ratings](#) application report
- Texas Instruments, [Motor Drives Layout Guide](#) application report

11.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](#). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

11.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.6 Glossary

[TI Glossary](#) This glossary lists and explains terms, acronyms, and definitions.

12 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

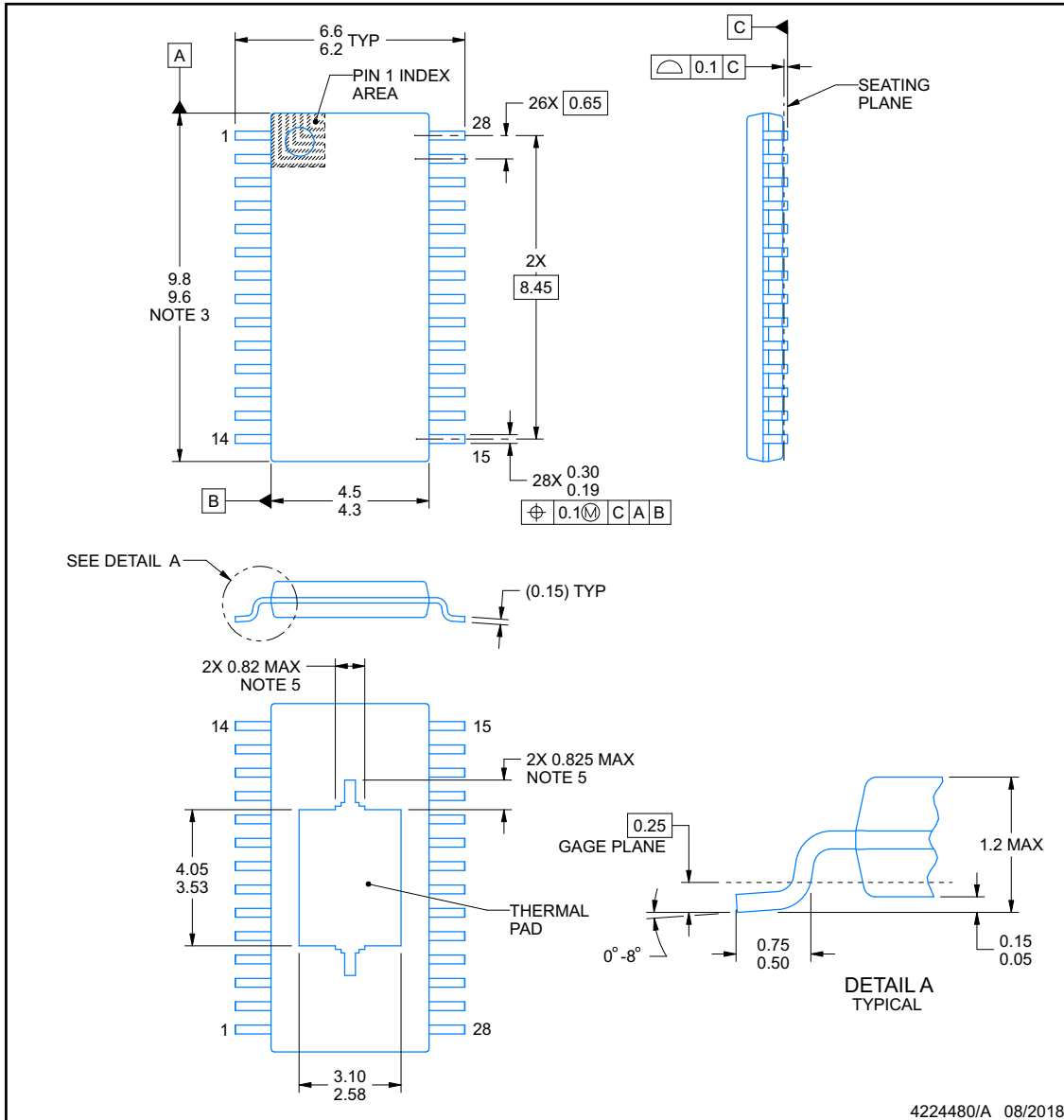


PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

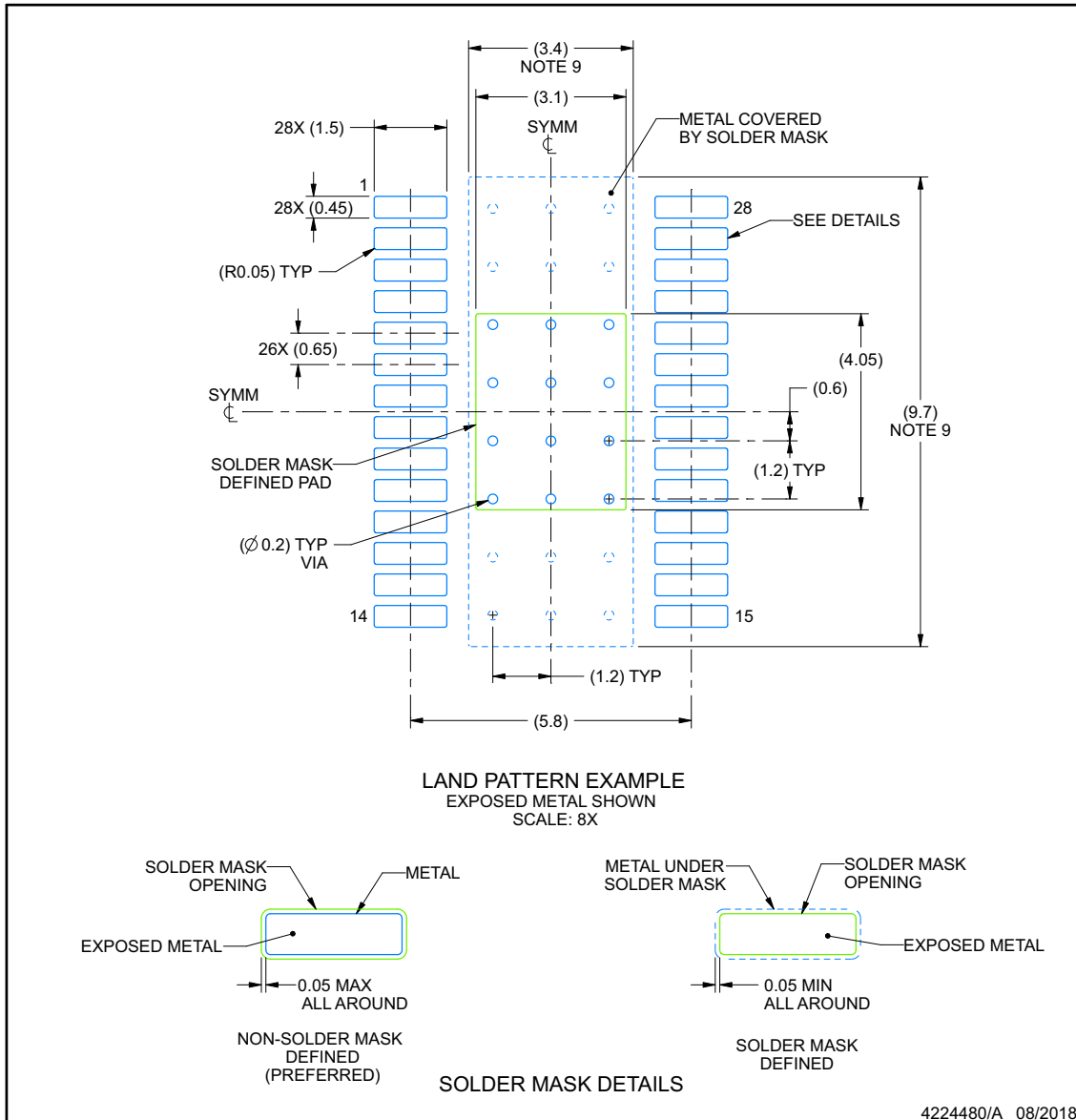
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

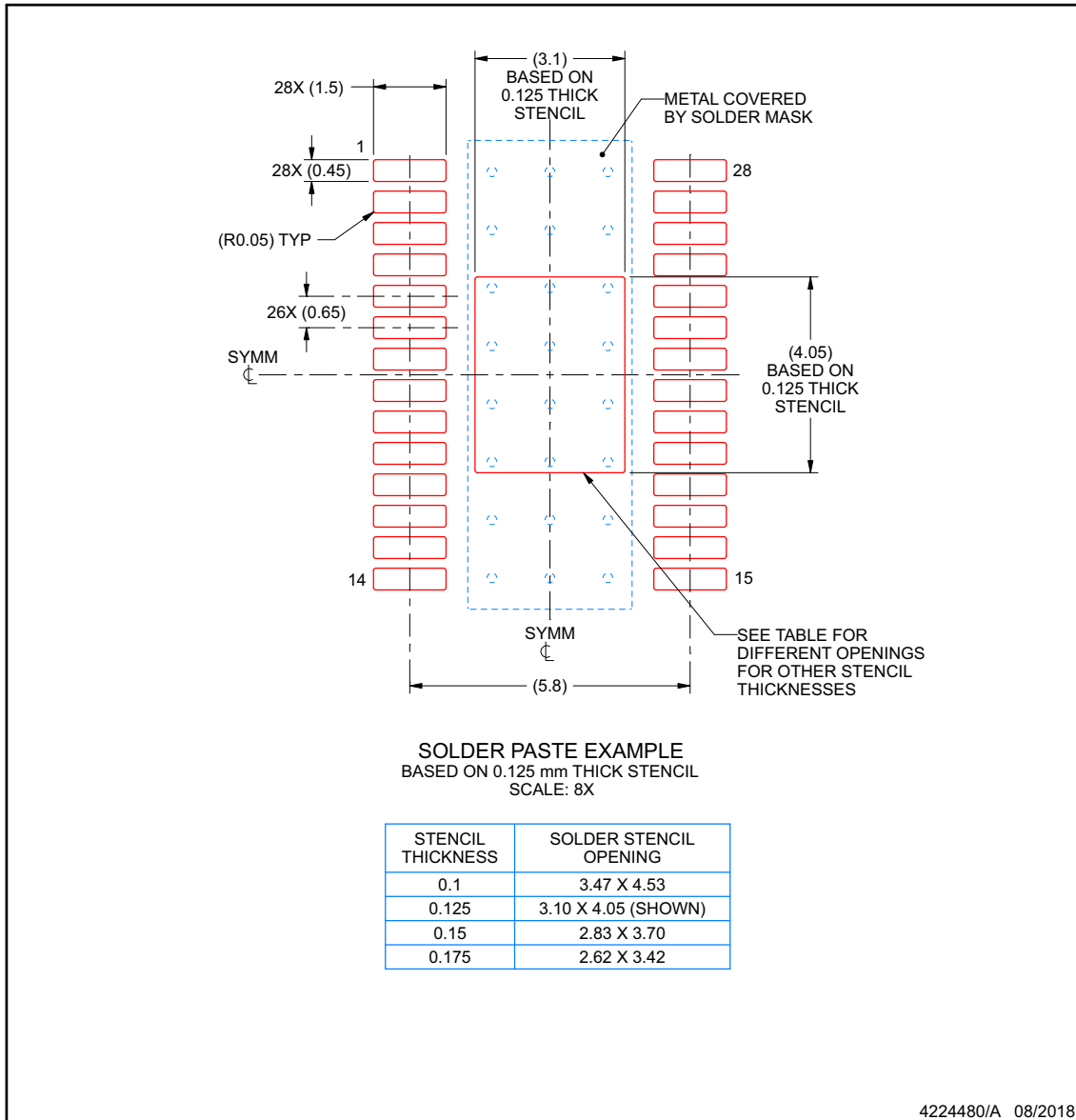
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height


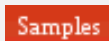
SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8434PWPR	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8434	
DRV8434RGER	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8434	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8434PWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1
DRV8434RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8434PWPR	HTSSOP	PWP	28	2500	356.0	356.0	35.0
DRV8434RGER	VQFN	RGE	24	3000	367.0	367.0	35.0

RGE 24

GENERIC PACKAGE VIEW

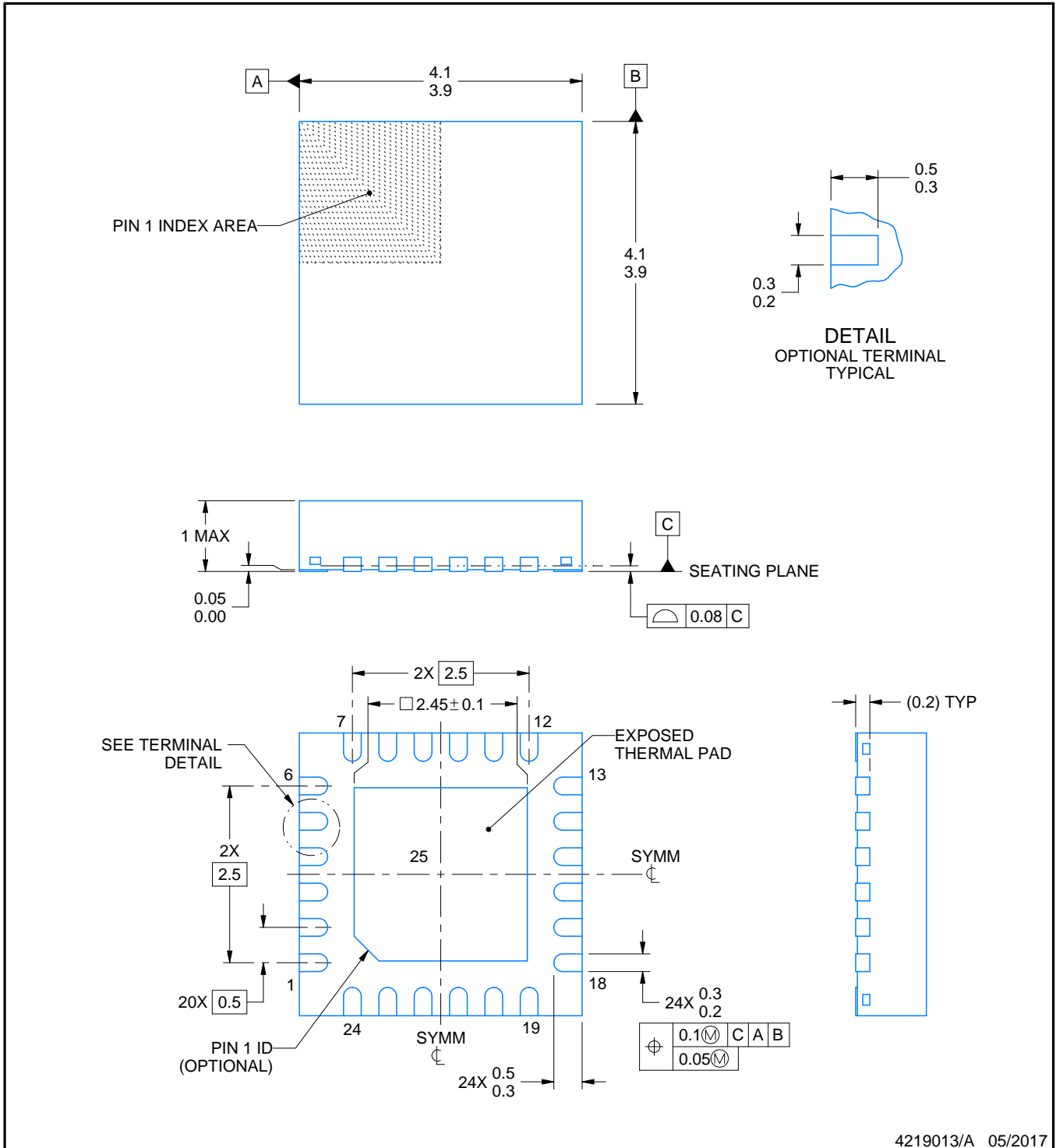
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H



4219013/A 05/2017

NOTES:

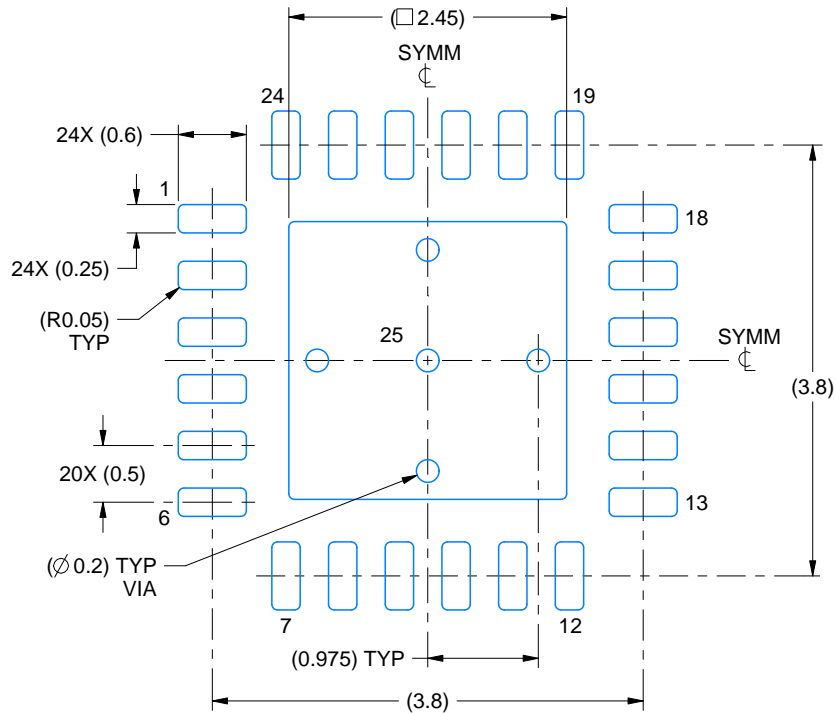
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

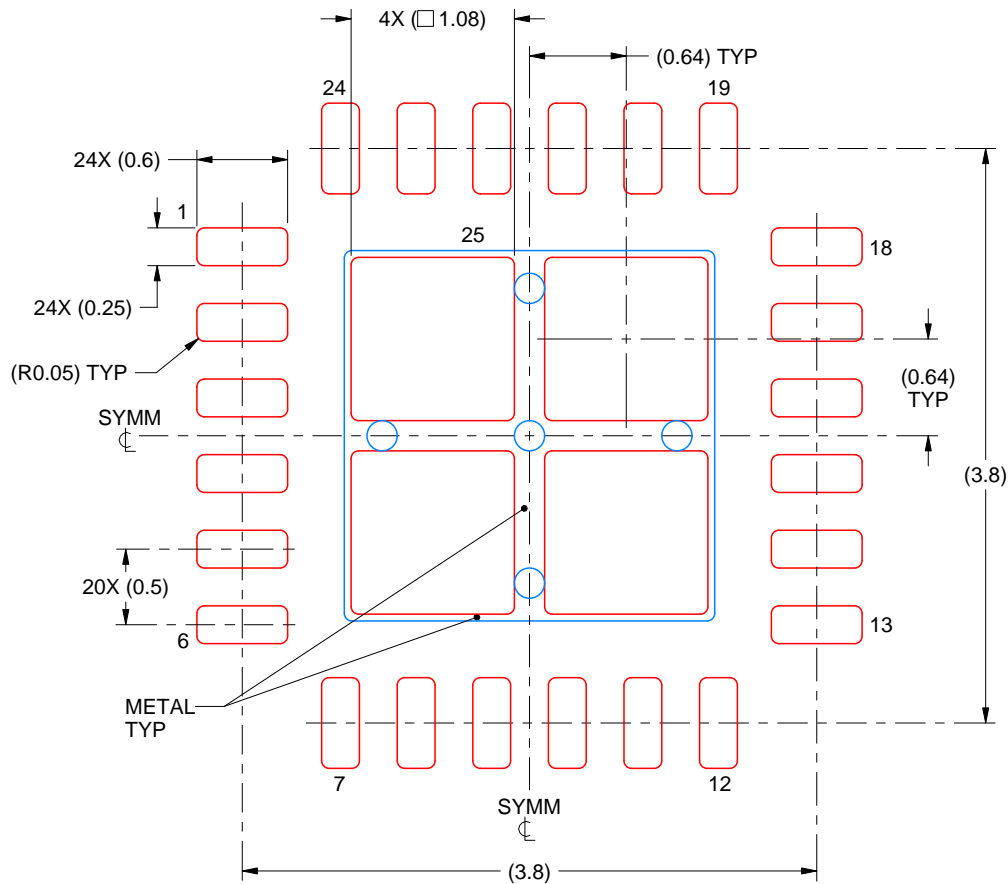
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGE0024B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
 78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

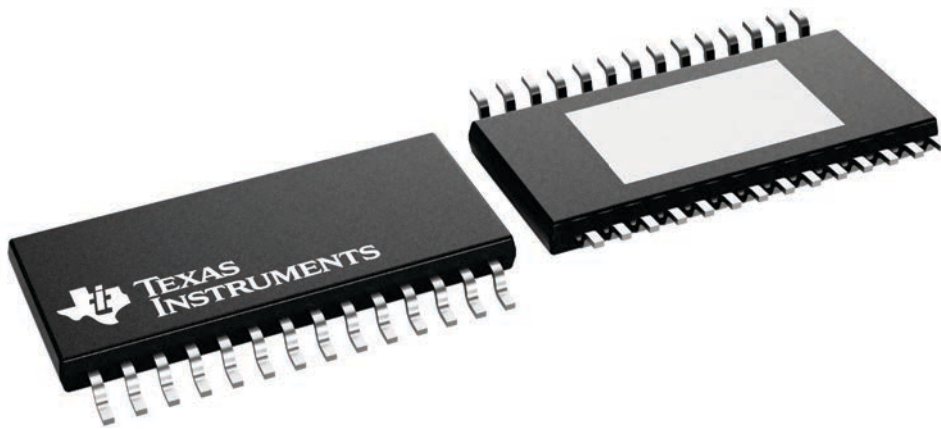
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated