

# DRV832x 6~60V、3相スマート・ゲート・ドライバ

## 1 特長

- トリプル・ハーフブリッジ・ゲート・ドライバ
  - 3つのハイサイドと3つのローサイドのNチャンネルMOSFET (NMOS) を駆動
- スマート・ゲート・ドライブ・アーキテクチャ
  - 調整可能なスルー・レート制御
  - 10mA~1Aのピーク・ソース電流
  - 20mA~2Aのピーク・シンク電流
- ゲート・ドライバ電源を内蔵
  - 100%のPWMデューティ・サイクルをサポート
  - ハイサイドのチャージ・ポンプ
  - ローサイドのリニア・レギュレータ
- 6V~60Vの動作電圧範囲
- 降圧レギュレータ内蔵 (オプション)
  - LMR16006X SIMPLE SWITCHER®
  - 4~60Vの動作電圧範囲
  - 0.8~60Vで600mAの出力能力
- トリプル電流センス・アンプ (CSA) 内蔵 (オプション)
  - 可変ゲイン (5、10、20、40V/V)
  - 双方向または単方向のサポート
- SPIおよびハードウェア・インターフェイスを利用可能
- 6x、3x、1x、および独立PWMモード
- 1.8V、3.3V、5Vのロジック入力電圧をサポート
- 低消費電力のスリープ・モード (12µA)
- リニア電圧レギュレータ、3.3V、30mA
- 小型で占有面積の小さいQFNパッケージ
- パワー・ブロックによる効率的なシステム設計
- 保護機能を内蔵
  - VM低電圧誤動作防止 (UVLO)
  - チャージ・ポンプ低電圧 (CPUV)
  - MOSFET過電流保護 (OCP)
  - ゲート・ドライバ障害 (GDF)
  - 熱警告およびシャットダウン (OTW/OTSD)
  - 障害状況インジケータ (nFAULT)

## 2 アプリケーション

- ブラシレスDC (BLDC) モーター・モジュール
- ファンおよびポンプ
- 電動アシスト自転車、電動スクーター、E-モビリティ
- コードレスの庭園機器および電動工具
- コードレス掃除機
- ドローン、ロボティクス、ラジコン玩具
- ATMおよび貨幣計数機

## 3 概要

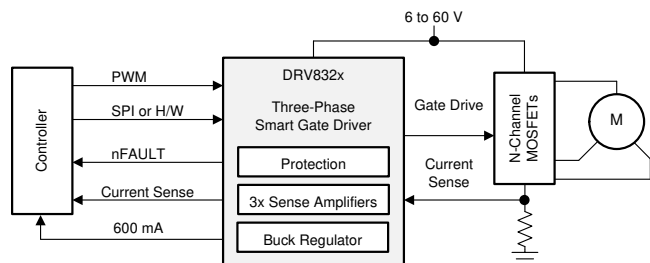
DRV832xファミリのデバイスは、3相アプリケーション用の統合ゲート・ドライバです。このデバイスには、3つのハーフ・ブリッジ・ゲート・ドライバがあり、それぞれがハイサイドとローサイドのNチャンネル・パワーMOSFETを駆動できます。DRV832xは、内蔵のチャージ・ポンプを使用してハイサイドMOSFET用の、リニア・レギュレータを使用してローサイドMOSFET用の、適切なゲート駆動電圧を生成します。スマート・ゲート・ドライブのアーキテクチャは、最大でソース1A、シンク2Aのピーク・ゲート駆動電流をサポートします。DRV832xは単一電源で動作し、ゲート・ドライバについて6~60V、オプションの降圧レギュレータについて4~60Vの広い入力電源電圧に対応します。

### 製品情報<sup>(1)</sup>

型番	パッケージ	本体サイズ (公称)
DRV8320	WQFN (32)	5.00mmx5.00mm
DRV8320R	VQFN (40)	6.00mmx6.00mm
DRV8323	WQFN (40)	6.00mmx6.00mm
DRV8323R	VQFN (48)	7.00mmx7.00mm

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

### 概略回路図



Copyright © 2017, Texas Instruments Incorporated



## 目次

1	特長	1	9.5	プログラミング	52
2	アプリケーション	1	9.6	レジスタ・マップ	54
3	概要	1	10	アプリケーションと実装	62
4	改訂履歴	2	10.1	アプリケーション情報	62
5	概要 (続き)	3	10.2	代表的なアプリケーション	62
6	デバイス比較表	4	11	電源に関する推奨事項	71
7	ピン構成および機能	4	11.1	バルク容量の決定	71
8	仕様	11	12	レイアウト	72
8.1	絶対最大定格	11	12.1	レイアウトのガイドライン	72
8.2	ESD定格	11	12.2	レイアウト例	73
8.3	推奨動作条件	12	13	デバイスおよびドキュメントのサポート	74
8.4	熱特性	12	13.1	デバイス・サポート	74
8.5	電気的特性	13	13.2	ドキュメントのサポート	74
8.6	SPIのタイミング要件	18	13.3	関連リンク	74
8.7	代表的特性	19	13.4	ドキュメントの更新通知を受け取る方法	75
9	詳細説明	21	13.5	コミュニティ・リソース	75
9.1	概要	21	13.6	商標	75
9.2	機能ブロック図	22	13.7	静電気放電に関する注意事項	75
9.3	機能説明	30	13.8	Glossary	75
9.4	デバイスの機能モード	51	14	メカニカル、パッケージ、および注文情報	75

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Revision A (April 2017) から Revision B に変更

Page

• 「特長」で、低消費電力のスリープ・モードの消費電流を最大値 (20 $\mu$ A) から標準値 (12 $\mu$ A) に変更	1
• 「アプリケーション」変更	1
• Changed 「電気的特性」表で、H/Wデバイスに対するアンプ・ゲインの測定条件のGAIN値を45k $\Omega$ から47k $\Omega$ に	15
• Deleted 「SPIスリープ・モード・タイミング図」から $t_{EN\_nSCS}$ を	18
• Added 「同期1x PWMモード」にIPWMを定義する注記を	31
• 「自動オフセット校正」セクションを更新	45
• 「 $V_{DS}$ ラッチ・シャットダウン」および「 $V_{DS}$ 自動リトライ」セクションを更新	49
• 「スリープ・モード」セクションを更新	51
• Changed 「ゲート駆動LSレジスタ」セクションのタイトルに記載されるアドレスを正しいレジスタ・アドレス0x04に	59
• 変更「詳細な設計手順」の $V_{VM} = 8V$ の例で、台形波整流と正弦波整流の両方の最大 $Q_g$ 値を	64
• 変更「IDRIVEの設定」セクションで $I_{DRIVEP}$ と $I_{DRIVEN}$ の式を	64

### 2017年2月発行のものから更新

Page

• Changed 「電気的特性」表で $I_{BIAS}$ パラメータの測定条件を	16
• Changed 「3x PWMモードの真理値表」でGHxの値を	31
• Changed 自動校正機能の説明を追加し、校正の説明を	45

## 5 概要（続き）

6x、3x、1x、および独立入力のPWMモードにより、コントローラの回路と簡単に接続できます。ゲート・ドライバとデバイスの構成設定は、SPIまたはハードウェア (H/W) インターフェイスにより細かく変更可能です。DRV8323およびDRV8323R デバイスには3つのローサイド電流センス・アンプが内蔵されており、駆動段の3相すべてについて、双方向の電流センシングが可能です。DRV8320RおよびDRV8323R デバイスには、600mAの降圧レギュレータが内蔵されています。

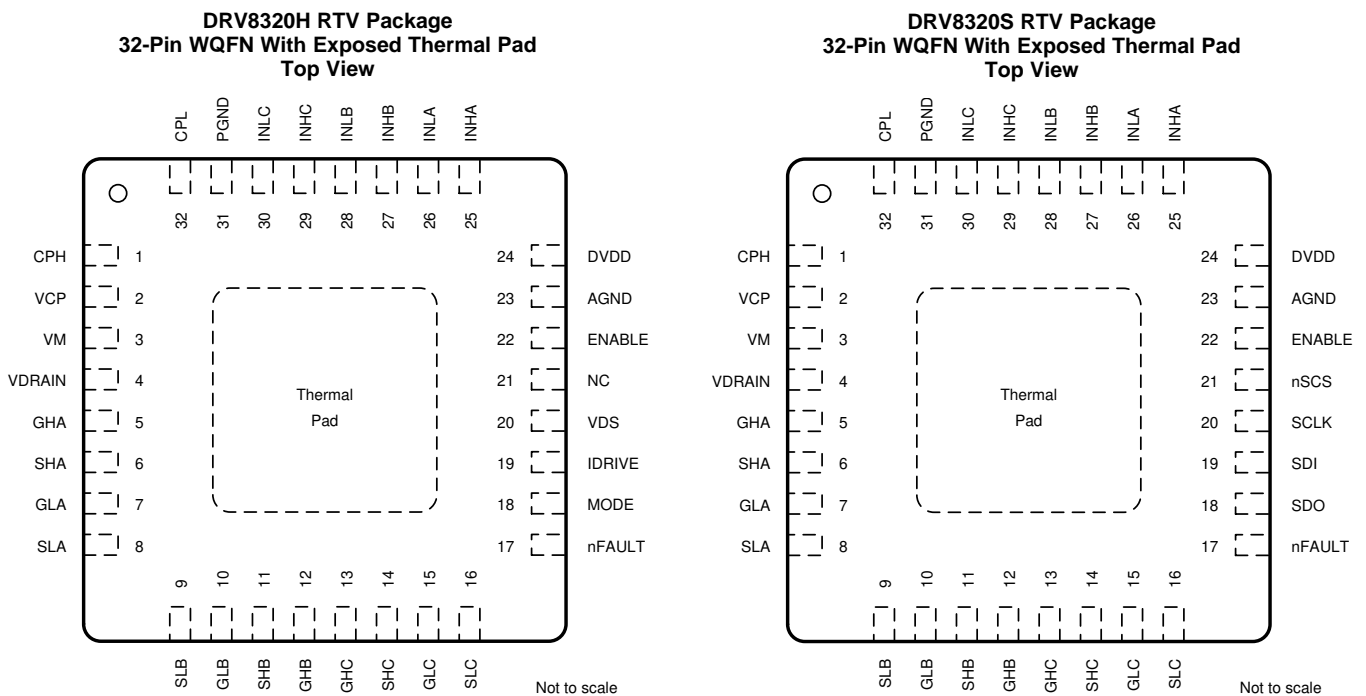
低消費電力のスリープ・モードがあり、内部回路のほとんどをシャットダウンして、静止電流を低減できます。低電圧誤動作防止、チャージ・ポンプ障害、MOSFET過電流、MOSFET短絡、ゲート・ドライバ障害、過熱への保護機能が内蔵されています。障害状況はnFAULTピンにより通知され、SPI版のデバイスではデバイスのレジスタにより詳細が通知されます。

## 6 デバイス比較表

DEVICE	VARIANT <sup>(1)</sup>	CURRENT SENSE AMPLIFIERS	BUCK REGULATOR <sup>(1)</sup>	INTERFACE <sup>(1)</sup>
DRV8320	DRV8320H	0	None	Hardware
	DRV8320S			SPI
DRV8320R	DRV8320RH		600 mA	Hardware
	DRV8320RS			SPI
DRV8323	DRV8323H	3	None	Hardware
	DRV8323S			SPI
DRV8323R	DRV8323RH		600 mA	Hardware
	DRV8323RS			SPI

(1) デバイス名およびデバイス・オプションの詳細については、「[デバイスの項目表記](#)」セクションを参照してください。

## 7 ピン構成および機能



### ピン機能—32ピンDRV8320デバイス

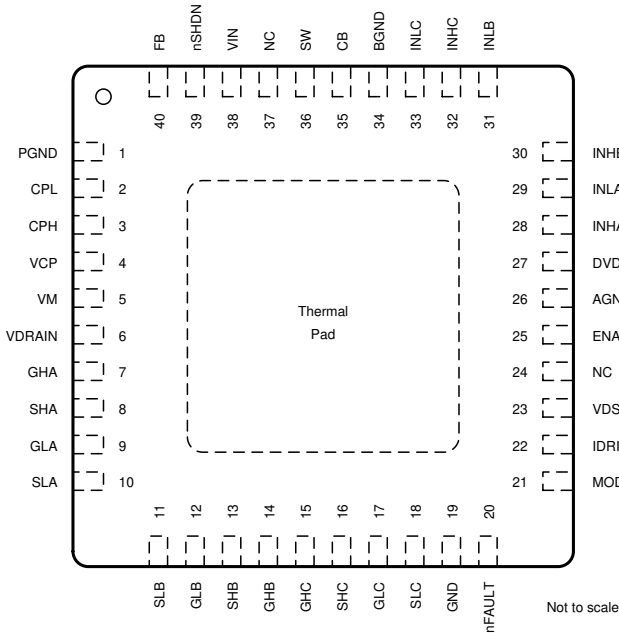
NAME	PIN NO.		TYPE <sup>(1)</sup>	DESCRIPTION
	DRV8320H	DRV8320S		
AGND	23	23	PWR	Device analog ground. Connect to system ground.
CPH	1	1	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
CPL	32	32	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
DVDD	24	24	PWR	3.3-V internal regulator output. Connect a X5R or X7R, 1-μF, 6.3-V ceramic capacitor between the DVDD and AGND pins. This regulator can source up to 30 mA externally.
ENABLE	22	22	I	Gate driver enable. When this pin is logic low the device goes to a low-power sleep mode. An 8 to 40-μs pulse can be used to reset fault conditions.
GHA	5	5	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHB	12	12	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHC	13	13	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン出力

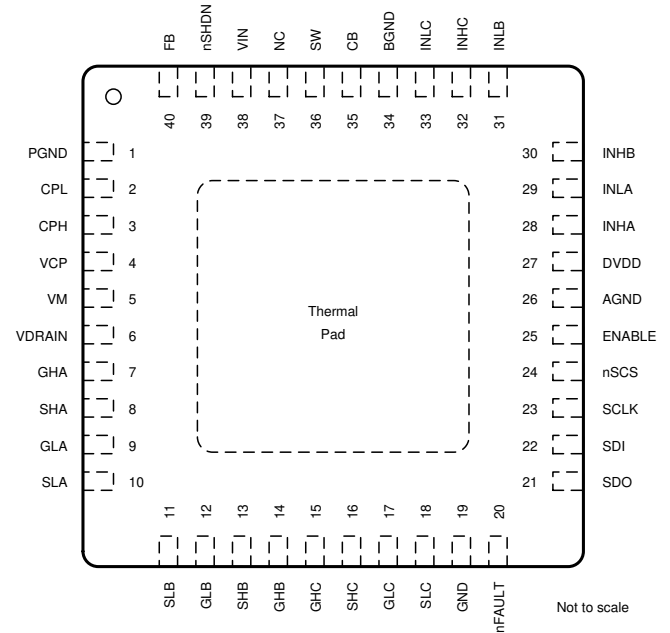
**ピン機能—32ピンDRV8320デバイス (continued)**

NAME	PIN		TYPE <sup>(1)</sup>	DESCRIPTION
	NO.			
	DRV8320H	DRV8320S		
GLA	7	7	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLB	10	10	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLC	15	15	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
IDRIVE	19	—	I	Gate drive output current setting. This pin is a 7 level input pin set by an external resistor.
INHA	25	25	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHB	27	27	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHC	29	29	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INLA	26	26	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLB	28	28	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLC	30	30	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
MODE	18	—	I	PWM input mode setting. This pin is a 4 level input pin set by an external resistor.
NC	21	—	NC	No internal connection. This pin can be left floating or connected to system ground.
nFAULT	17	17	OD	Fault indicator output. This pin is pulled logic low during a fault condition and requires an external pullup resistor.
nSCS	—	21	I	Serial chip select. A logic low on this pin enables serial interface communication.
PGND	31	31	PWR	Device power ground. Connect to system ground.
SCLK	—	20	I	Serial clock input. Serial data is shifted out and captured on the corresponding rising and falling edge on this pin.
SDI	—	19	I	Serial data input. Data is captured on the falling edge of the SCLK pin.
SDO	—	18	OD	Serial data output. Data is shifted out on the rising edge of the SCLK pin. This pin requires an external pullup resistor.
SHA	6	6	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHB	11	11	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHC	14	14	I	High-side source sense input. Connect to the high-side power MOSFET source.
SLA	8	8	I	Low-side source sense input. Connect to the low-side power MOSFET source.
SLB	9	9	I	Low-side source sense input. Connect to the low-side power MOSFET source.
SLC	16	16	I	Low-side source sense input. Connect to the low-side power MOSFET source.
VCP	2	2	PWR	Charge pump output. Connect a X5R or X7R, 1- $\mu$ F, 16-V ceramic capacitor between the VCP and VM pins.
VDRAIN	4	4	I	High-side MOSFET drain sense input. Connect to the common point of the MOSFET drains.
VDS	20	—	I	VDS monitor trip point setting. This pin is a 7 level input pin set by an external resistor.
VM	3	3	PWR	Gate driver power supply input. Connect to the bridge power supply. Connect a X5R or X7R, 0.1- $\mu$ F, VM-rated ceramic and greater than or equal to 10- $\mu$ F local capacitance between the VM and PGND pins.
Thermal Pad			PWR	Must be connected to ground

**DRV8320RH RHA Package**  
40-Pin VQFN With Exposed Thermal Pad  
Top View



**DRV8320RS RHA Package**  
40-Pin VQFN With Exposed Thermal Pad  
Top View



**ピン機能—40ピンDRV8320Rデバイス**

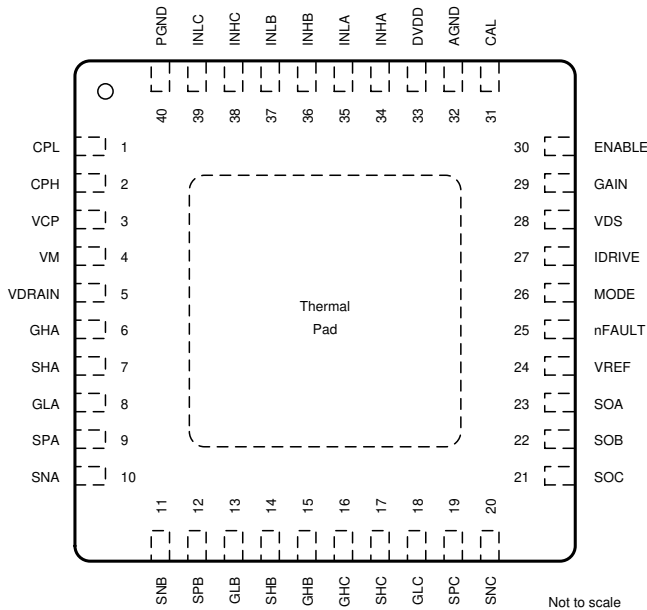
NAME	PIN NO.		TYPE <sup>(1)</sup>	DESCRIPTION
	DRV8320RH	DRV8320RS		
AGND	26	26	PWR	Device analog ground. Connect to system ground.
BGND	34	34	PWR	Buck regulator ground. Connect to system ground.
CB	35	35	PWR	Buck regulator bootstrap input. Connect a X5R or X7R, 0.1- $\mu$ F, 16-V, capacitor between the CB and SW pins.
CPH	3	3	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
CPL	2	2	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
DVDD	27	27	PWR	3.3-V internal regulator output. Connect a X5R or X7R, 1- $\mu$ F, 6.3-V ceramic capacitor between the DVDD and AGND pins. This regulator can source up to 30 mA externally.
ENABLE	25	25	I	Gate driver enable. When this pin is logic low the device goes to a low-power sleep mode. An 8 to 40- $\mu$ s low pulse can be used to reset fault conditions.
FB	40	40	I	Buck feedback input. A resistor divider from the buck post inductor output to this pin sets the buck output voltage.
GHA	7	7	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHB	14	14	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHC	15	15	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GLA	9	9	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLB	12	12	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLC	17	17	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GND	19	19	PWR	Device ground. Connect to system ground.
IDRIVE	22	—	I	Gate drive output current setting. This pin is a 7 level input pin set by an external resistor.
INHA	28	28	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHB	30	30	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHC	32	32	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INLA	29	29	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLB	31	31	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLC	33	33	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
MODE	21	—	I	PWM input mode setting. This pin is a 4 level input pin set by an external resistor.
NC	24	—	NC	No internal connection. This pin can be left floating or connected to system ground.
NC	37	37	NC	No internal connection. This pin can be left floating or connected to system ground.
nFAULT	20	20	OD	Fault indicator output. This pin is pulled logic low during a fault condition and requires an external pullup resistor.

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン出力

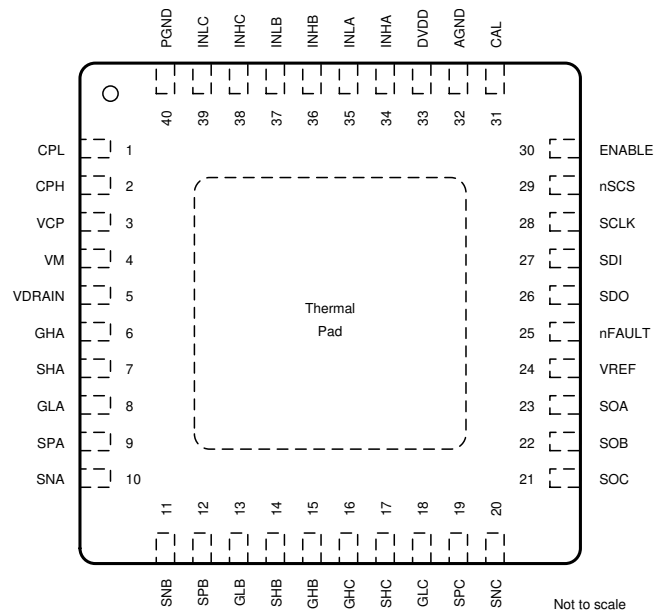
ピン機能—40ピンDRV8320Rデバイス (continued)

NAME	PIN NO.		TYPE <sup>(1)</sup>	DESCRIPTION
	DRV8320RH	DRV8320RS		
nSCS	—	24	I	Serial chip select. A logic low on this pin enables serial interface communication.
nSHDN	39	39	I	Buck shutdown input. Enable and disable input (high voltage tolerant). Internal pullup current source. Pull lower than 1.25 V to disable. Float to enable. Establish input undervoltage lockout with two resistor divider.
PGND	1	1	PWR	Device power ground. Connect to system ground.
SCLK	—	23	I	Serial clock input. Serial data is shifted out and captured on the corresponding rising and falling edge on this pin.
SDI	—	22	I	Serial data input. Data is captured on the falling edge of the SCLK pin.
SDO	—	21	OD	Serial data output. Data is shifted out on the rising edge of the SCLK pin. This pin requires an external pullup resistor.
SHA	8	8	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHB	13	13	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHC	16	16	I	High-side source sense input. Connect to the high-side power MOSFET source.
SLA	10	10	I	Low-side source sense input. Connect to the low-side power MOSFET source.
SLB	11	11	I	Low-side source sense input. Connect to the low-side power MOSFET source.
SLC	18	18	I	Low-side source sense input. Connect to the low-side power MOSFET source.
SW	36	36	O	Buck switch node. Connect this pin to an inductor, diode, and the CB bootstrap capacitor.
VCP	4	4	PWR	Charge pump output. Connect a X5R or X7R, 1-µF, 16-V ceramic capacitor between the VCP and VM pins.
VDRAIN	6	6	I	High-side MOSFET drain sense input. Connect to the common point of the MOSFET drains.
VDS	23	—	I	VDS monitor trip point setting. This pin is a 7 level input pin set by an external resistor.
VIN	38	38	PWR	Buck regulator power supply input. Place an X5R or X7R, VM-rated ceramic capacitor between the VIN and BGND pins.
VM	5	5	PWR	Gate driver power supply input. Connect to the bridge power supply. Connect a X5R or X7R, 0.1-µF, VM-rated ceramic and greater than or equal to 10-µF local capacitance between the VM and PGND pins.
Thermal Pad			PWR	Must be connected to ground

DRV8323H RTA Package  
40-Pin WQFN With Exposed Thermal Pad  
Top View



DRV8323S RTA Package  
40-Pin WQFN With Exposed Thermal Pad  
Top View



ピン機能—40ピンDRV8323デバイス

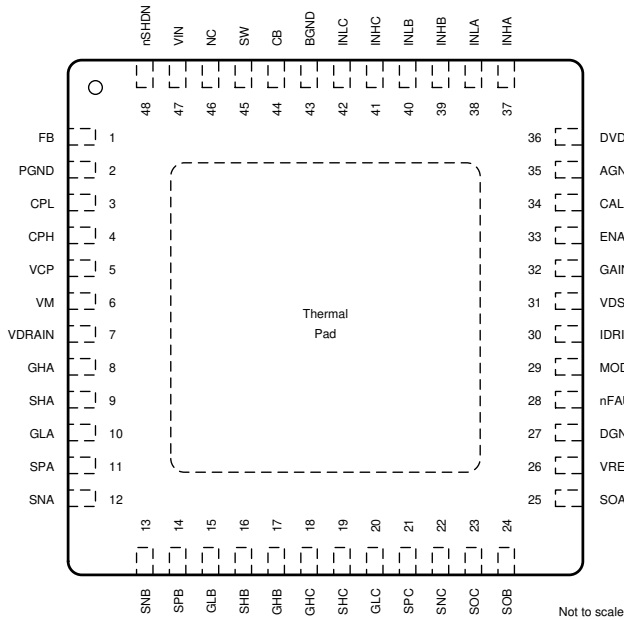
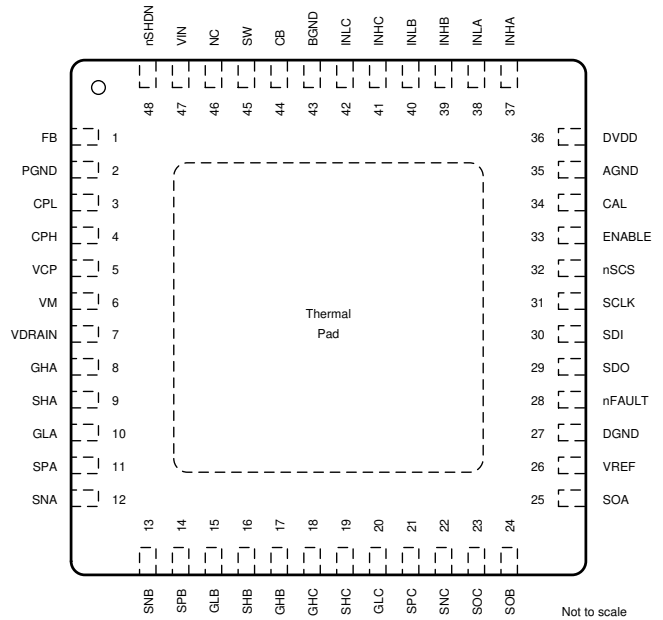
NAME	PIN NO.		TYPE <sup>(1)</sup>	DESCRIPTION
	DRV8323H	DRV8323S		
AGND	32	32	PWR	Device analog ground. Connect to system ground.
CAL	31	31	I	Amplifier calibration input. Set logic high to internally short amplifier inputs and perform auto offset calibration.
CPH	2	2	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン出力

ピン機能—40ピンDRV8323デバイス (continued)

NAME	PIN		TYPE <sup>(1)</sup>	DESCRIPTION
	NO.			
	DRV8323H	DRV8323S		
CPL	1	1	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
DVDD	33	33	PWR	R 3.3-V internal regulator output. Connect a X5R or X7R, 1- $\mu$ F, 6.3-V ceramic capacitor between the DVDD and AGND pins. This regulator can source up to 30 mA externally.
ENABLE	30	30	I	Gate driver enable. When this pin is logic low the device goes to a low-power sleep mode. An 8 to 40- $\mu$ s low pulse can be used to reset fault conditions.
GAIN	29	—	I	Amplifier gain setting. The pin is a 4 level input pin set by an external resistor.
GHA	6	6	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHB	15	15	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHC	16	16	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GLA	8	8	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLB	13	13	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLC	18	18	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
IDRIVE	27	—	I	Gate drive output current setting. This pin is a 7 level input pin set by an external resistor.
INHA	34	34	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHB	36	36	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHC	38	38	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INLA	35	35	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLB	37	37	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLC	39	39	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
MODE	26	—	I	PWM input mode setting. This pin is a 4 level input pin set by an external resistor.
nFAULT	25	25	OD	Fault indicator output. This pin is pulled logic low during a fault condition and requires an external pullup resistor.
nSCS	—	29	I	Serial chip select. A logic low on this pin enables serial interface communication.
PGND	40	40	PWR	Device power ground. Connect to system ground.
SCLK	—	28	I	Serial clock input. Serial data is shifted out and captured on the corresponding rising and falling edge on this pin.
SDI	—	27	I	Serial data input. Data is captured on the falling edge of the SCLK pin.
SDO	—	26	OD	Serial data output. Data is shifted out on the rising edge of the SCLK pin. This pin requires an external pullup resistor.
SHA	7	7	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHB	14	14	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHC	17	17	I	High-side source sense input. Connect to the high-side power MOSFET source.
SNA	10	10	I	Current sense amplifier input. Connect to the low-side of the current shunt resistor.
SNB	11	11	I	Current sense amplifier input. Connect to the low-side of the current shunt resistor.
SNC	20	20	I	Current sense amplifier input. Connect to the low-side of the current shunt resistor.
SOA	23	23	O	Current sense amplifier output.
SOB	22	22	O	Current sense amplifier output.
SOC	21	21	O	Current sense amplifier output.
SPA	9	9	I	Low-side current shunt amplifier input. Connect to the low-side power MOSFET source and high-side of the current shunt resistor.
SPB	12	12	I	Low-side current shunt amplifier input. Connect to the low-side power MOSFET source and high-side of the current shunt resistor.
SPC	19	19	I	Low-side current shunt amplifier input. Connect to the low-side power MOSFET source and high-side of the current shunt resistor.
VCP	3	3	PWR	Charge pump output. Connect a X5R or X7R, 1- $\mu$ F, 16-V ceramic capacitor between the VCP and VM pins.
VDRAIN	5	5	I	High-side MOSFET drain sense input. Connect to the common point of the MOSFET drains.
VDS	28	—	I	VDS monitor trip point setting. This pin is a 7 level input pin set by an external resistor.
VM	4	4	PWR	Gate driver power supply input. Connect to the bridge power supply. Connect a X5R or X7R, 0.1- $\mu$ F, VM-rated ceramic and greater than or equal to 10- $\mu$ F local capacitance between the VM and PGND pins.
VREF	24	24	PWR	Current sense amplifier power supply input and reference. Connect a X5R or X7R, 0.1- $\mu$ F, 6.3-V ceramic capacitor between the VREF and AGND pins.
Thermal Pad			PWR	Must be connected to ground



**DRV8323RH RGZ Package  
48-Pin VQFN With Exposed Thermal Pad  
Top View**

**DRV8323RS RGZ Package  
48-Pin VQFN With Exposed Thermal Pad  
Top View**

**ピン機能—48ピンDRV8323Rデバイス**

NAME	PIN NO.		TYPE <sup>(1)</sup>	DESCRIPTION
	DRV8323RH	DRV8323RS		
AGND	35	35	PWR	Device analog ground. Connect to system ground.
BGND	43	43	PWR	Buck regulator ground. Connect to system ground.
CAL	34	34	I	Amplifier calibration input. Set logic high to internally short amplifier inputs and perform auto offset calibration.
CB	44	44	PWR	Buck regulator bootstrap input. Connect a X5R or X7R, 0.1-μF, 16-V, capacitor between the CB and SW pins.
CPH	4	4	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
CPL	3	3	PWR	Charge pump switching node. Connect a X5R or X7R, 47-nF, VM-rated ceramic capacitor between the CPH and CPL pins.
DGND	27	27	PWR	Device ground. Connect to system ground.
DVDD	36	36	PWR	3.3-V internal regulator output. Connect a X5R or X7R, 1-μF, 6.3-V ceramic capacitor between the DVDD and AGND pins. This regulator can source up to 30 mA externally.
ENABLE	33	33	I	Gate driver enable. When this pin is logic low the device goes to a low-power sleep mode. An 8 to 40-μs low pulse can be used to reset fault conditions.
FB	1	1	I	Buck feedback input. A resistor divider from the buck post inductor output to this pin sets the buck output voltage.
GAIN	32	—	I	Amplifier gain setting. The pin is a 4 level input pin set by an external resistor.
GHA	8	8	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHB	17	17	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GHC	18	18	O	High-side gate driver output. Connect to the gate of the high-side power MOSFET.
GLA	10	10	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLB	15	15	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
GLC	20	20	O	Low-side gate driver output. Connect to the gate of the low-side power MOSFET.
IDRIVE	30	—	I	Gate drive output current setting. This pin is a 7 level input pin set by an external resistor.
INHA	37	37	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHB	39	39	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INHC	41	41	I	High-side gate driver control input. This pin controls the output of the high-side gate driver.
INLA	38	38	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLB	40	40	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
INLC	42	42	I	Low-side gate driver control input. This pin controls the output of the low-side gate driver.
MODE	29	—	I	PWM input mode setting. This pin is a 4 level input pin set by an external resistor.
NC	46	46	NC	No internal connection. This pin can be left floating or connected to system ground.
nFAULT	28	28	OD	Fault indicator output. This pin is pulled logic low during a fault condition and requires an external pullup resistor.

(1) PWR = 電源、I = 入力、O = 出力、NC = 接続なし、OD = オープン・ドレイン出力

ピン機能—48ピンDRV8323Rデバイス (continued)

NAME	PIN		TYPE <sup>(1)</sup>	DESCRIPTION
	NO.			
	DRV8323RH	DRV8323RS		
nSCS	—	32	I	Serial chip select. A logic low on this pin enables serial interface communication.
nSHDN	48	48	I	Buck shutdown input. Enable and disable input (high voltage tolerant). Internal pullup current source. Pull lower than 1.25 V to disable. Float to enable. Establish input undervoltage lockout with two resistor divider.
PGND	2	2	PWR	Device power ground. Connect to system ground.
SCLK	—	31	I	Serial clock input. Serial data is shifted out and captured on the corresponding rising and falling edge on this pin.
SDI	—	30	I	Serial data input. Data is captured on the falling edge of the SCLK pin.
SDO	—	29	OD	Serial data output. Data is shifted out on the rising edge of the SCLK pin. This pin requires an external pullup resistor.
SHA	9	9	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHB	16	16	I	High-side source sense input. Connect to the high-side power MOSFET source.
SHC	19	19	I	High-side source sense input. Connect to the high-side power MOSFET source.
SNA	12	12	I	Current sense amplifier input. Connect to the low-side of the current shunt resistor.
SNB	13	13	I	Current sense amplifier input. Connect to the low-side of the current shunt resistor.
SNC	22	22	I	Current sense amplifier input. Connect to the low-side of the current shunt resistor.
SOA	25	25	O	Current sense amplifier output.
SOB	24	24	O	Current sense amplifier output.
SOC	23	23	O	Current sense amplifier output.
SPA	11	11	I	Low-side current shunt amplifier input. Connect to the low-side power MOSFET source and high-side of the current shunt resistor.
SPB	14	14	I	Low-side current shunt amplifier input. Connect to the low-side power MOSFET source and high-side of the current shunt resistor.
SPC	21	21	I	Low-side current shunt amplifier input. Connect to the low-side power MOSFET source and high-side of the current shunt resistor.
SW	45	45	O	Buck switch node. Connect this pin to an inductor, diode, and the CB bootstrap capacitor.
VCP	5	5	PWR	Charge pump output. Connect a X5R or X7R, 1- $\mu$ F, 16-V ceramic capacitor between the VCP and VM pins.
VDRAIN	7	7	I	High-side MOSFET drain sense input. Connect to the common point of the MOSFET drains.
VDS	31	—	I	VDS monitor trip point setting. This pin is a 7 level input pin set by an external resistor.
VIN	47	47	PWR	Buck regulator power supply input. Place an X5R or X7R, VM-rated ceramic capacitor between the VIN and BGND pins.
VM	6	6	PWR	Gate driver power supply input. Connect to the bridge power supply. Connect a X5R or X7R, 0.1- $\mu$ F, VM-rated ceramic and greater then or equal to 10- $\mu$ F local capacitance between the VM and PGND pins.
VREF	26	26	PWR	Current sense amplifier power supply input and reference. Connect a X5R or X7R, 0.1- $\mu$ F, 6.3-V ceramic capacitor between the VREF and AGND pins.
Thermal Pad			PWR	Must be connected to ground

## 8 仕様

### 8.1 絶対最大定格

 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (特に記述のない限り)<sup>(1)</sup>

	MIN	MAX	UNIT
<b>GATE DRIVER</b>			
Power supply pin voltage (VM)	-0.3	65	V
Voltage differential between ground pins (AGND, BGND, DGND, PGND)	-0.3	0.3	V
MOSFET drain sense pin voltage (VDRAIN)	-0.3	65	V
Charge pump pin voltage (CPH, VCP)	-0.3	$V_{VM} + 13.5$	V
Charge pump negative-switching pin voltage (CPL)	-0.3	$V_{VM}$	V
Internal logic regulator pin voltage (DVDD)	-0.3	3.8	V
Digital pin voltage (CAL, ENABLE, GAIN, IDRIVE, INHx, INLx, MODE, nFAULT, nSCS, SCLK, SDI, SDO, VDS)	-0.3	5.75	V
Continuous high-side gate drive pin voltage (GHx)	-5 <sup>(2)</sup>	$V_{VCP} + 0.5$	V
Transient 200-ns high-side gate drive pin voltage (GHx)	-7	$V_{VCP} + 0.5$	V
High-side gate drive pin voltage with respect to SHx (GHx)	-0.3	13.5	V
Continuous high-side source sense pin voltage (SHx)	-5 <sup>(2)</sup>	$V_{VM} + 5$	V
Transient 200-ns high-side source sense pin voltage (SHx)	-7	$V_{VM} + 7$	V
Continuous low-side gate drive pin voltage (GLx)	-0.5	13.5	V
Gate drive pin source current (GHx, GLx)	Internally limited		A
Gate drive pin sink current (GHx, GLx)	Internally limited		A
Continuous low-side source sense pin voltage (SLx)	-1	1	V
Transient 200-ns low-side source sense pin voltage (SLx)	-3	3	V
Continuous input pin voltage (SNx, SPx)	-1	1	V
Transient 200-ns input pin voltage (SNx, SPx)	-3	3	V
Reference input pin voltage (VREF)	-0.3	5.75	V
output pin voltage (SOx)	-0.3	$V_{VREF} + 0.3$	V
<b>BUCK REGULATOR</b>			
Power supply pin voltage (VIN)	-0.3	65	V
Shutdown control pin voltage (nSHDN)	-0.3	$V_{VIN}$	V
Voltage feedback pin voltage (FB)	-0.3	7	V
Bootstrap pin voltage with respect to SW (CB)	-0.3	7	V
Switching node pin voltage (SW)	-0.3	$V_{VIN}$	V
Switching node pin voltage less than 30-ns transients (SW)	-2	$V_{VIN}$	V
<b>DRV832x</b>			
Operating junction temperature, $T_J$	-40	150	$^{\circ}\text{C}$
Storage temperature, $T_{stg}$	-65	150	$^{\circ}\text{C}$

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) VMの絶対最大定格65Vに対して、連続ハイサイド・ゲート・ピン (GHx) および相ノード・ピン (SHx) の電圧は最小-2Vに制限される必要があります。60V以下では、GHxおよびSHxの最小仕様である-5Vの連続電圧が許容されます。

### 8.2 ESD定格

		VALUE	UNIT
$V_{(ESD)}$ Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	$\pm 3000$	V
	Charged-device model (CDM), per JEDEC specification JESD22-C101 <sup>(2)</sup>	$\pm 1000$	

- (1) JEDECのドキュメントJEP155に、500V HBMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。 $\pm 2000\text{V}$ と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
- (2) JEDECのドキュメントJEP157に、250V CDMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。 $\pm 500\text{V}$ と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

### 8.3 推奨動作条件

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$  (特に記述のない限り)

		MIN	MAX	UNIT
<b>GATE DRIVER</b>				
$V_{VM}$	Power supply voltage (VM)	6	60	V
$V_I$	Input voltage (CAL, ENABLE, GAIN, IDRIVE, INHx, INLx, MODE, nSCS, SCLK, SDI, VDS)	0	5.5	V
$f_{PWM}$	Applied PWM signal (INHx, INLx)	0	200 <sup>(1)</sup>	kHz
$I_{GATE\_HS}$	High-side average gate drive current (GHx)	0	25 <sup>(1)</sup>	mA
$I_{GATE\_LS}$	Low-side average gate drive current (GLx)	0	25 <sup>(1)</sup>	mA
$I_{DVDD}$	External load current (DVDD)	0	30 <sup>(1)</sup>	mA
$V_{VREF}$	Reference voltage input (VREF)	3	5.5	V
$I_{SO}$	output current (SOx)	0	5	mA
$V_{OD}$	Open drain pullup voltage (nFAULT, SDO)	0	5.5	V
$I_{OD}$	Open drain output current (nFAULT, SDO)	0	5	mA
<b>BUCK REGULATOR</b>				
$V_{VIN}$	Power supply voltage (VIN)	4	60	V
$V_{nSHDN}$	Shutdown control input voltage (nSHDN)	0	60	V
<b>DRV832x</b>				
$T_A$	Operating ambient temperature	-40	125	$^{\circ}\text{C}$

(1) 消費電力および温度の制限に従う必要があります。

### 8.4 熱特性

THERMAL METRIC <sup>(1)</sup>	DRV832x				UNIT
	RTV (WQFN)	RHA (VQFN)	RTA (WQFN)	RGZ (VQFN)	
	32 PINS	40 PINS	40 PINS	48 PINS	
$R_{\theta JA}$ Junction-to-ambient thermal resistance	32.9	30.1	32.1	26.6	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(top)}$ Junction-to-case (top) thermal resistance	15.8	16.7	11	13.9	$^{\circ}\text{C}/\text{W}$
$R_{\theta JB}$ Junction-to-board thermal resistance	6.8	9.9	7.1	9.2	$^{\circ}\text{C}/\text{W}$
$\Psi_{JT}$ Junction-to-top characterization parameter	0.2	0.5	0.1	0.3	$^{\circ}\text{C}/\text{W}$
$\Psi_{JB}$ Junction-to-board characterization parameter	6.8	9.9	7.1	9.1	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(bot)}$ Junction-to-case (bottom) thermal resistance	2.1	2.2	2.1	2	$^{\circ}\text{C}/\text{W}$

(1) 従来および新しい熱測定値の詳細については、『[半導体およびICパッケージの熱測定値](#)』アプリケーション・レポートを参照してください。

## 8.5 電気的特性

 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{VM} = 6 \sim 60\text{V}$  (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>POWER SUPPLIES (DVDD, VCP, VM)</b>						
$I_{VM}$	VM operating supply current	$V_{VM} = 24\text{ V}$ , ENABLE = 3.3 V, INHx/INLx = 0 V		10.5	14	mA
$I_{VMQ}$	VM sleep mode supply current	ENABLE = 0 V, $V_{VM} = 24\text{ V}$ , $T_A = 25^{\circ}\text{C}$		12	20	$\mu\text{A}$
		ENABLE = 0 V, $V_{VM} = 24\text{ V}$ , $T_A = 125^{\circ}\text{C}^{(1)}$			50	
$t_{RST}^{(1)}$	Reset pulse time	ENABLE = 0 V period to reset faults	8		40	$\mu\text{s}$
$t_{WAKE}$	Turnon time	$V_{VM} > V_{UVLO}$ , ENABLE = 3.3 V to outputs ready			1	ms
$t_{SLEEP}$	Turnoff time	ENABLE = 0 V to device sleep mode			1	ms
$V_{DVDD}$	DVDD regulator voltage	$I_{DVDD} = 0$ to 30 mA	3	3.3	3.6	V
$V_{VCP}$	VCP operating voltage with respect to VM	$V_{VM} = 13\text{ V}$ , $I_{VCP} = 0$ to 25 mA	8.4	11	12.5	V
		$V_{VM} = 10\text{ V}$ , $I_{VCP} = 0$ to 20 mA	6.3	9	10	
		$V_{VM} = 8\text{ V}$ , $I_{VCP} = 0$ to 15 mA	5.4	7	8	
		$V_{VM} = 6\text{ V}$ , $I_{VCP} = 0$ to 10 mA	4	5	6	
<b>LOGIC-LEVEL INPUTS (CAL, ENABLE, INHx, INLx, nSCS, SCLK, SDI)</b>						
$V_{IL}$	Input logic low voltage		0		0.8	V
$V_{IH}$	Input logic high voltage		1.5		5.5	V
$V_{HYS}$	Input logic hysteresis			100		mV
$I_{IL}$	Input logic low current	$V_{VIN} = 0\text{ V}$	-5		5	$\mu\text{A}$
$I_{IH}$	Input logic high current	$V_{VIN} = 5\text{ V}$		50	70	$\mu\text{A}$
$R_{PD}$	Pulldown resistance	To AGND		100		k $\Omega$
$t_{PD}$	Propagation delay	INHx/INLx transition to GHx/GLx transition		150		ns
<b>FOUR-LEVEL H/W INPUTS (GAIN, MODE)</b>						
$V_{I1}$	Input mode 1 voltage	Tied to AGND		0		V
$V_{I2}$	Input mode 2 voltage	45 k $\Omega \pm 5\%$ to tied AGND		1.2		V
$V_{I3}$	Input mode 3 voltage	Hi-Z		2		V
$V_{I4}$	Input mode 4 voltage	Tied to DVDD		3.3		V
$R_{PU}$	Pullup resistance	Internal pullup to DVDD		50		k $\Omega$
$R_{PD}$	Pulldown resistance	Internal pulldown to AGND		84		k $\Omega$
<b>SEVEN-LEVEL H/W INPUTS (IDRIVE, VDS)</b>						
$V_{I1}$	Input mode 1 voltage	Tied to AGND		0		V
$V_{I2}$	Input mode 2 voltage	18 k $\Omega \pm 5\%$ tied to AGND		0.5		V
$V_{I3}$	Input mode 3 voltage	75 k $\Omega \pm 5\%$ tied to AGND		1.1		V
$V_{I4}$	Input mode 4 voltage	Hi-Z		1.65		V
$V_{I5}$	Input mode 5 voltage	75 k $\Omega \pm 5\%$ tied to DVDD		2.2		V
$V_{I6}$	Input mode 6 voltage	18 k $\Omega \pm 5\%$ tied to DVDD		2.8		V
$V_{I7}$	Input mode 7 voltage	Tied to DVDD		3.3		V
$R_{PU}$	Pullup resistance	Internal pullup to DVDD		73		k $\Omega$
$R_{PD}$	Pulldown resistance	Internal pulldown to AGND		73		k $\Omega$
<b>OPEN DRAIN OUTPUTS (nFAULT, SDO)</b>						
$V_{OL}$	Output logic low voltage	$I_O = 5\text{ mA}$			0.1	V
$I_{OZ}$	Output high impedance leakage	$V_O = 5\text{ V}$	-2		2	$\mu\text{A}$

(1) 設計と特性データにより規定されています。

電氣的特性 (continued)

T<sub>A</sub> = -40°C ~ +125°C、V<sub>VM</sub> = 6 ~ 60V (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>GATE DRIVERS (GHx, GLx)</b>						
V <sub>GSH</sub> <sup>(1)</sup>	High-side gate drive voltage with respect to SHx	V <sub>VM</sub> = 13 V, I <sub>VCP</sub> = 0 to 25 mA	8.4	11	12.5	V
		V <sub>VM</sub> = 10 V, I <sub>VCP</sub> = 0 to 20 mA	6.3	9	10	
		V <sub>VM</sub> = 8 V, I <sub>VCP</sub> = 0 to 15 mA	5.4	7	8	
		V <sub>VM</sub> = 6 V, I <sub>VCP</sub> = 0 to 10 mA	4	5	6	
V <sub>GSL</sub> <sup>(1)</sup>	Low-side gate drive voltage with respect to PGND	V <sub>VM</sub> = 12 V, I <sub>VGLS</sub> = 0 to 25 mA	9	11	12	V
		V <sub>VM</sub> = 10 V, I <sub>VGLS</sub> = 0 to 20 mA	7.5	9	10	
		V <sub>VM</sub> = 8 V, I <sub>VGLS</sub> = 0 to 15 mA	5.5	7	8	
		V <sub>VM</sub> = 6 V, I <sub>VGLS</sub> = 0 to 10 mA	4	5	6	
t <sub>DEAD</sub>	Gate drive dead time	SPI Device	DEAD_TIME = 00b	50		ns
			DEAD_TIME = 01b	100		
			DEAD_TIME = 10b	200		
			DEAD_TIME = 11b	400		
		H/W Device	100			
t <sub>DRIVE</sub>	Peak current gate drive time	SPI Device	TDRIVE = 00b	500		ns
			TDRIVE = 01b	1000		
			TDRIVE = 10b	2000		
			TDRIVE = 11b	4000		
		H/W Device	4000			
I <sub>DRIVEP</sub>	Peak source gate current	SPI Device	IDRIVEP_HS or IDRIVEP_LS = 0000b	10		mA
			IDRIVEP_HS or IDRIVEP_LS = 0001b	30		
			IDRIVEP_HS or IDRIVEP_LS = 0010b	60		
			IDRIVEP_HS or IDRIVEP_LS = 0011b	80		
			IDRIVEP_HS or IDRIVEP_LS = 0100b	120		
			IDRIVEP_HS or IDRIVEP_LS = 0101b	140		
			IDRIVEP_HS or IDRIVEP_LS = 0110b	170		
			IDRIVEP_HS or IDRIVEP_LS = 0111b	190		
			IDRIVEP_HS or IDRIVEP_LS = 1000b	260		
			IDRIVEP_HS or IDRIVEP_LS = 1001b	330		
			IDRIVEP_HS or IDRIVEP_LS = 1010b	370		
			IDRIVEP_HS or IDRIVEP_LS = 1011b	440		
			IDRIVEP_HS or IDRIVEP_LS = 1100b	570		
			IDRIVEP_HS or IDRIVEP_LS = 1101b	680		
			IDRIVEP_HS or IDRIVEP_LS = 1110b	820		
			IDRIVEP_HS or IDRIVEP_LS = 1111b	1000		
		H/W Device	IDRIVE = Tied to AGND	10		
			IDRIVE = 18 kΩ ± 5% tied to AGND	30		
			IDRIVE = 75 kΩ ± 5% tied to AGND	60		
			IDRIVE = Hi-Z	120		
H/W Device	IDRIVE = 75 kΩ ± 5% tied to DVDD	260				
	IDRIVE = 18 kΩ ± 5% tied to DVDD	570				
	IDRIVE = Tied to DVDD	1000				

**電氣的特性 (continued)**
 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ,  $V_{VM} = 6 \sim 60\text{V}$  (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT			
$I_{DRIVEN}$	Peak sink gate current	IDRIVEN_HS or IDRIVEN_LS = 0000b		20		mA			
		IDRIVEN_HS or IDRIVEN_LS = 0001b		60					
		IDRIVEN_HS or IDRIVEN_LS = 0010b		120					
		IDRIVEN_HS or IDRIVEN_LS = 0011b		160					
		IDRIVEN_HS or IDRIVEN_LS = 0100b		240					
		IDRIVEN_HS or IDRIVEN_LS = 0101b		280					
		IDRIVEN_HS or IDRIVEN_LS = 0110b		340					
		IDRIVEN_HS or IDRIVEN_LS = 0111b		380					
		IDRIVEN_HS or IDRIVEN_LS = 1000b		520					
		IDRIVEN_HS or IDRIVEN_LS = 1001b		660					
		IDRIVEN_HS or IDRIVEN_LS = 1010b		740					
		IDRIVEN_HS or IDRIVEN_LS = 1011b		880					
		IDRIVEN_HS or IDRIVEN_LS = 1100b		1140					
		IDRIVEN_HS or IDRIVEN_LS = 1101b		1360					
		IDRIVEN_HS or IDRIVEN_LS = 1110b		1640					
		IDRIVEN_HS or IDRIVEN_LS = 1111b		2000					
		$I_{HOLD}$	Gate holding current	IDRIVE = Tied to AGND			20		mA
				IDRIVE = 18 k $\Omega$ $\pm$ 5% tied to AGND			60		
IDRIVE = 75 k $\Omega$ $\pm$ 5% tied to AGND				120					
IDRIVE = Hi-Z				240					
IDRIVE = 75 k $\Omega$ $\pm$ 5% tied to DVDD				520					
IDRIVE = 18 k $\Omega$ $\pm$ 5% tied to DVDD				1140					
IDRIVE = Tied to DVDD				2000					
$I_{STRONG}$	Gate strong pulldown current	GHx to SHx and GLx to PGND		2		A			
$R_{OFF}$	Gate hold off resistor	GHx to SHx and GLx to PGND		150		k $\Omega$			
<b>CURRENT SENSE AMPLIFIER (SNx, SOx, SPx, VREF)</b>									
$G_{CSA}$	Amplifier gain	SPI Device	CSA_GAIN = 00b	4.85	5	5.15	V/V		
			CSA_GAIN = 01b	9.7	10	10.3			
			CSA_GAIN = 10b	19.4	20	20.6			
			CSA_GAIN = 11b	38.8	40	41.2			
		H/W Device	GAIN = Tied to AGND	4.85	5	5.15			
			GAIN = 47 k $\Omega$ $\pm$ 5% tied to AGND	9.7	10	10.3			
			GAIN = Hi-Z	19.4	20	20.6			
			GAIN = Tied to DVDD	38.8	40	41.2			
$t_{SET}^{(1)}$	Settling time to $\pm 1\%$	$V_{O\_STEP} = 0.5\text{ V}$ , $G_{CSA} = 5\text{ V/V}$		150		ns			
		$V_{O\_STEP} = 0.5\text{ V}$ , $G_{CSA} = 10\text{ V/V}$		300					
		$V_{O\_STEP} = 0.5\text{ V}$ , $G_{VSA} = 20\text{ V/V}$		600					
		$V_{O\_STEP} = 0.5\text{ V}$ , $G_{CSA} = 40\text{ V/V}$		1200					
$V_{COM}$	Common mode input range		-0.15		0.15	V			
$V_{DIFF}$	Differential mode input range		-0.3		0.3	V			
$V_{OFF}$	Input offset error	$V_{SP} = V_{SN} = 0\text{ V}$ , CAL = 3.3 V, VREF = 3.3 V		-4		4	mV		
$V_{DRIFT}^{(1)}$	Drift offset	$V_{SP} = V_{SN} = 0\text{ V}$			10		$\mu\text{V}/^{\circ}\text{C}$		
$V_{LINEAR}$	SOx output voltage linear range		0.25		$V_{VREF} - 0.25$		V		

電氣的特性 (continued)

T<sub>A</sub> = -40°C ~ +125°C, V<sub>VM</sub> = 6 ~ 60V (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT	
V <sub>BIAS</sub>	SOx output voltage bias	SPI Device	V <sub>SP</sub> = V <sub>SN</sub> = 0 V, CAL = 3.3 V, VREF_DIV = 0b			V	
			V <sub>SP</sub> = V <sub>SN</sub> = 0 V, CAL = 3.3 V, VREF_DIV = 1b				
		H/W Device	V <sub>SP</sub> = V <sub>SN</sub> = 0 V, CAL = 3.3 V				
I <sub>BIAS</sub>	SPx/SNx input bias current	VREF_DIV = 1b			100	μA	
V <sub>SLEW</sub> <sup>(1)</sup>	SOx output slew rate	60-pF load		10		V/μs	
I <sub>VREF</sub>	VREF input current	V <sub>VREF</sub> = 5 V		2	3	mA	
UGB <sup>(1)</sup>	Unity gain bandwidth	60-pF load		1		MHz	
<b>PROTECTION CIRCUITS</b>							
V <sub>UVLO</sub>	VM undervoltage lockout	VM falling, UVLO report	5.4	5.6	5.8	V	
		VM rising, UVLO recovery	5.6	5.8	6		
V <sub>UVLO_HYS</sub>	VM undervoltage hysteresis	Rising to falling threshold		200		mV	
t <sub>UVLO_DEG</sub>	VM undervoltage deglitch time	VM falling, UVLO report		10		μs	
V <sub>CPUV</sub>	Charge pump undervoltage lockout	VCP falling, CPUV report		V <sub>VM</sub> + 2.8		V	
V <sub>GS_CLAMP</sub>	High-side gate clamp	Positive clamping voltage	15	16.5	18	V	
		Negative clamping voltage		-0.7			
V <sub>VDS_OCP</sub>	V <sub>DS</sub> overcurrent trip voltage	SPI Device	VDS_LVL = 0000b			0.06	V
			VDS_LVL = 0001b			0.13	
			VDS_LVL = 0010b			0.2	
			VDS_LVL = 0011b			0.26	
			VDS_LVL = 0100b			0.31	
			VDS_LVL = 0101b			0.45	
			VDS_LVL = 0110b			0.53	
			VDS_LVL = 0111b			0.6	
			VDS_LVL = 1000b			0.68	
			VDS_LVL = 1001b			0.75	
			VDS_LVL = 1010b			0.94	
			VDS_LVL = 1011b			1.13	
			VDS_LVL = 1100b			1.3	
			VDS_LVL = 1101b			1.5	
		VDS_LVL = 1110b			1.7		
		VDS_LVL = 1111b			1.88		
		H/W Device	VDS = Tied to AGND			0.06	
			VDS = 18 kΩ ± 5% tied to AGND			0.13	
			VDS = 75 kΩ ± 5% tied to AGND			0.26	
			VDS = Hi-Z			0.6	
VDS = 75 kΩ ± 5% tied to DVDD			1.13				
VDS = 18 kΩ ± 5% tied to DVDD			1.88				
VDS = Tied to DVDD			Disabled				
t <sub>OCP_DEG</sub>	V <sub>DS</sub> and V <sub>SENSE</sub> overcurrent deglitch time	SPI Device	OCP_DEG = 00b			2	μs
			OCP_DEG = 01b			4	
			OCP_DEG = 10b			6	
			OCP_DEG = 11b			8	
		H/W Device				4	



**電氣的特性 (continued)**
 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{VM} = 6 \sim 60\text{V}$  (特に記述のない限り)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{SEN\_OCP}$	$V_{SENSE}$ overcurrent trip voltage	SPI Device	SEN_LVL = 00b	0.25		V
			SEN_LVL = 01b	0.5		
			SEN_LVL = 10b	0.75		
			SEN_LVL = 11b	1		
		H/W Device		1		
$t_{RETRY}$	Overcurrent retry time	SPI Device	TRETRY = 0b	4		ms
			TRETRY = 1b	50		$\mu\text{s}$
		H/W Device		4		ms
$T_{OTW}^{(1)}$	Thermal warning temperature	Die temperature, $T_J$	130	150	165	$^{\circ}\text{C}$
$T_{OTS}^{(1)}$	Thermal shutdown temperature	Die temperature, $T_J$	150	170	185	$^{\circ}\text{C}$
$T_{HYS}^{(1)}$	Thermal hysteresis	Die temperature, $T_J$		20		$^{\circ}\text{C}$
<b>BUCK REGULATOR SUPPLY (VIN)</b>						
$I_{nSHDN}$	Shutdown supply current	$V_{nSHDN} = 0\text{V}$		1	3	$\mu\text{A}$
$I_Q$	Operating quiescent current	$V_{VIN} = 12\text{V}$ , no load; not switching		28		$\mu\text{A}$
$V_{VIN\_UVLO}$	VIN undervoltage lockout threshold	VIN Rising			4	V
		VIN Falling	3			
<b>BUCK REGULATOR SHUTDOWN (nSHDN)</b>						
$V_{nSHDN\_TH}$	Rising nSHDN threshold		1.05	1.25	1.38	V
$I_{nSHDN}$	Input current	$V_{nSHDN} = 2.3\text{V}$		-4.2		$\mu\text{A}$
		$V_{nSHDN} = 0.9\text{V}$		-1		
$I_{nSHDN\_HYS}$	Hysteresis current			-3		$\mu\text{A}$
<b>BUCK REGULATOR HIGH-SIDE MOSFET</b>						
$R_{DS\_ON}$	MOSFET on resistance	$V_{VIN} = 12\text{V}$ , $V_{CB}$ to $V_{SW} = 5.8\text{V}$ , $T_A = 25^{\circ}\text{C}$		900		$\text{m}\Omega$
<b>BUCK REGULATOR VOLTAGE REFERENCE (FB)</b>						
$V_{FB}$	Feedback voltage		0.747	0.765	0.782	V
<b>BUCK REGULATOR CURRENT LIMIT</b>						
$I_{LIMIT}$	Peak current limit	$V_{VIN} = 12\text{V}$ , $T_A = 25^{\circ}\text{C}$		1200		mA
					1700	
<b>BUCK REGULATOR SWITCHING (SW)</b>						
$f_{SW}$	Switching frequency		595	700	805	kHz
$D_{MAX}$	Maximum duty cycle			96%		
<b>BUCK REGULATOR THERMAL SHUTDOWN</b>						
$T_{SHDN}^{(1)}$	Thermal shutdown threshold			170		$^{\circ}\text{C}$
$T_{HYS}^{(1)}$	Thermal shutdown hysteresis			10		$^{\circ}\text{C}$

## 8.6 SPIのタイミング要件<sup>(1)</sup>

$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $V_{VM} = 6 \sim 60\text{V}$  (特に記述のない限り)

		MIN	NOM	MAX	UNIT
<b>SPI (nSCS, SCLK, SDI, SDO)</b>					
$t_{\text{READY}}$	SPI ready after enable	VM > UVLO, ENABLE = 3.3 V		1	ms
$t_{\text{CLK}}$	SCLK minimum period	100			ns
$t_{\text{CLKH}}$	SCLK minimum high time	50			ns
$t_{\text{CLKL}}$	SCLK minimum low time	50			ns
$t_{\text{SU\_SDI}}$	SDI input data setup time	20			ns
$t_{\text{H\_SDI}}$	SDI input data hold time	30			ns
$t_{\text{D\_SDO}}$	SDO output data delay time			30	ns
$t_{\text{SU\_nSCS}}$	nSCS input setup time	50			ns
$t_{\text{H\_nSCS}}$	nSCS input hold time	50			ns
$t_{\text{HI\_nSCS}}$	nSCS minimum high time before active low	400			ns
$t_{\text{DIS\_nSCS}}$	nSCS disable time		10		ns

(1) 設計と特性データにより規定されています。

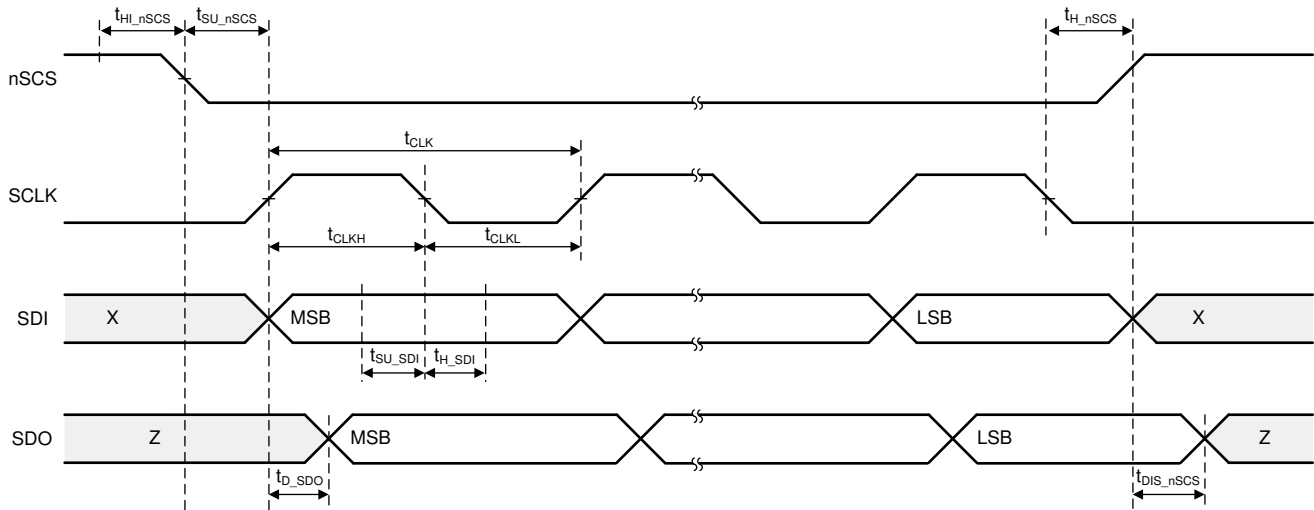
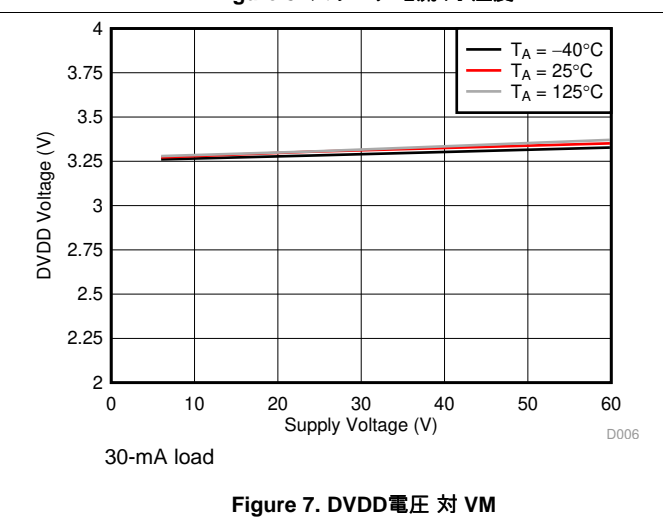
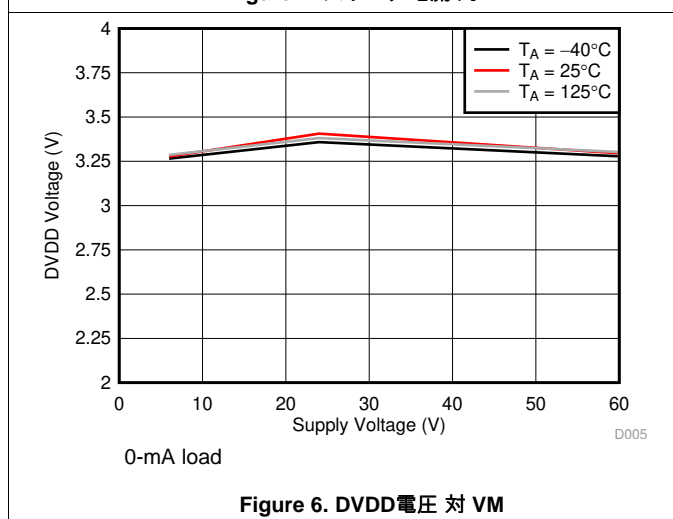
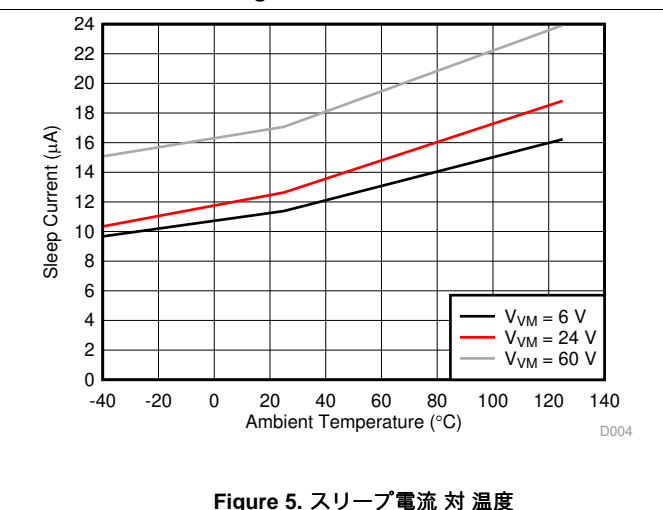
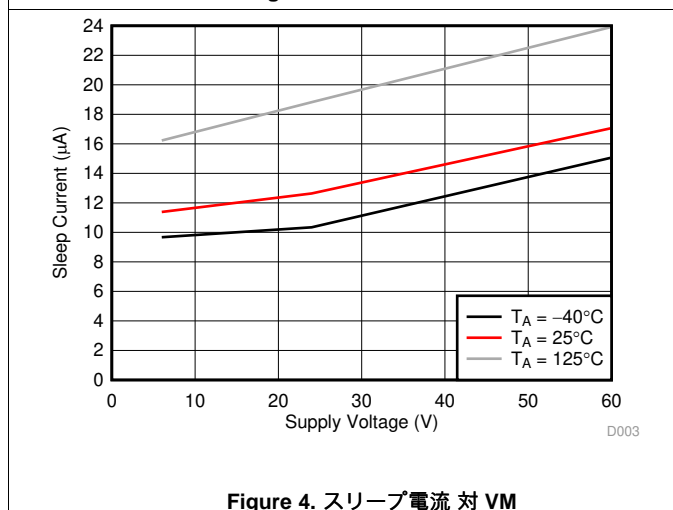
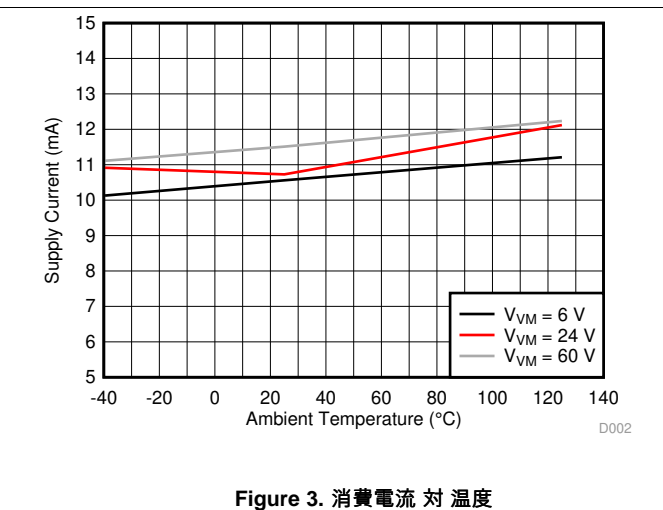
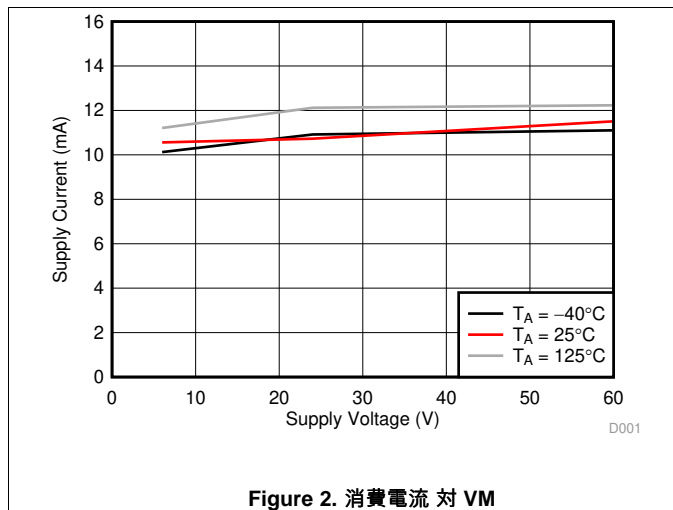
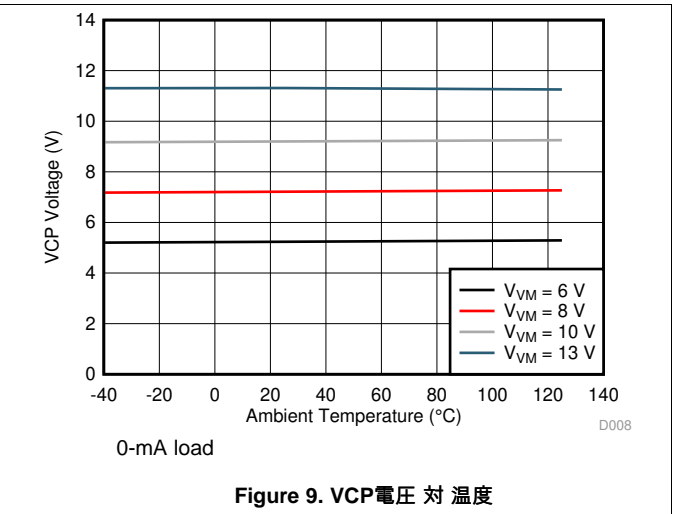
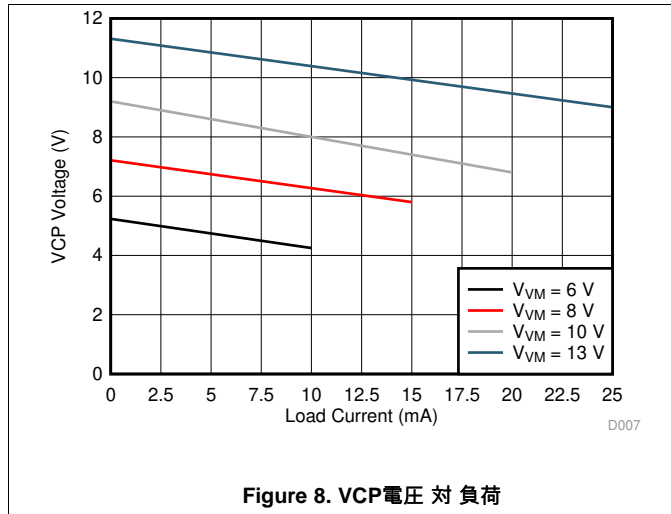


Figure 1. SPIスレーブ・モード・タイミング図

8.7 代表的特性



代表的特性 (continued)



## 9 詳細説明

### 9.1 概要

DRV832xファミリのデバイスは、3相モーター駆動アプリケーション用の統合型6~60Vゲート・ドライバです。これらのデバイスは、ハイサイド/ローサイド・ゲート・ドライバの電源電圧用に3つの独立したハーフブリッジ・ゲート・ドライバ、およびチャージ・ポンプとリニア・レギュレータを内蔵しているため、システムの部品点数、コスト、複雑さを低減できます。また、オプションとして3つの電流シャント（電流センス）アンプや600mAの降圧レギュレータを組み込むこともできます。

標準のシリアル・ペリフェラル・インターフェイス（SPI）を使用すれば、外部コントローラから簡単にデバイスの各種設定を行ったたり障害診断情報を読み取ったりできます。また、ハードウェア・インターフェイス（H/W）のオプションを選択した場合は、固定の外部抵抗を使用して、ごく一般的な設定を行うことができます。

ゲート・ドライバは、外部のNチャンネル・ハイサイド/ローサイド・パワーMOSFETをサポートし、25mAの平均出力電流で最大1A（ソース）/2A（シンク）のピーク駆動電流を供給できます。ハイサイド・ゲート駆動の電源電圧は、ダブラー・チャージ・ポンプから生成されます。このチャージ・ポンプ・アーキテクチャでは、VCP出力を $V_{VM} + 11V$ にレギュレートします。ローサイド・ゲート・ドライバの電源電圧がリニア・レギュレータを使用してVM電源から生成され、11Vにレギュレートされます。

スマート・ゲート・ドライブ・アーキテクチャによってゲート駆動の出力電流の強さを動的に調整できるので、ゲート・ドライバでパワーMOSFETの $V_{DS}$ スイッチング速度を制御することができます。この機能により、外部のゲート駆動抵抗およびダイオードが不要になるので、部品表（BOM）の部品点数や、コスト、プリント基板（PCB）上に占める面積が低減します。このアーキテクチャでは、ゲート・ドライバで発生する短絡からの保護、ハーフブリッジのデッド・タイムの制御、外部パワーMOSFETの $dV/dt$ 寄生ターンオンからの保護のために、内部ステート・マシンも使用します。

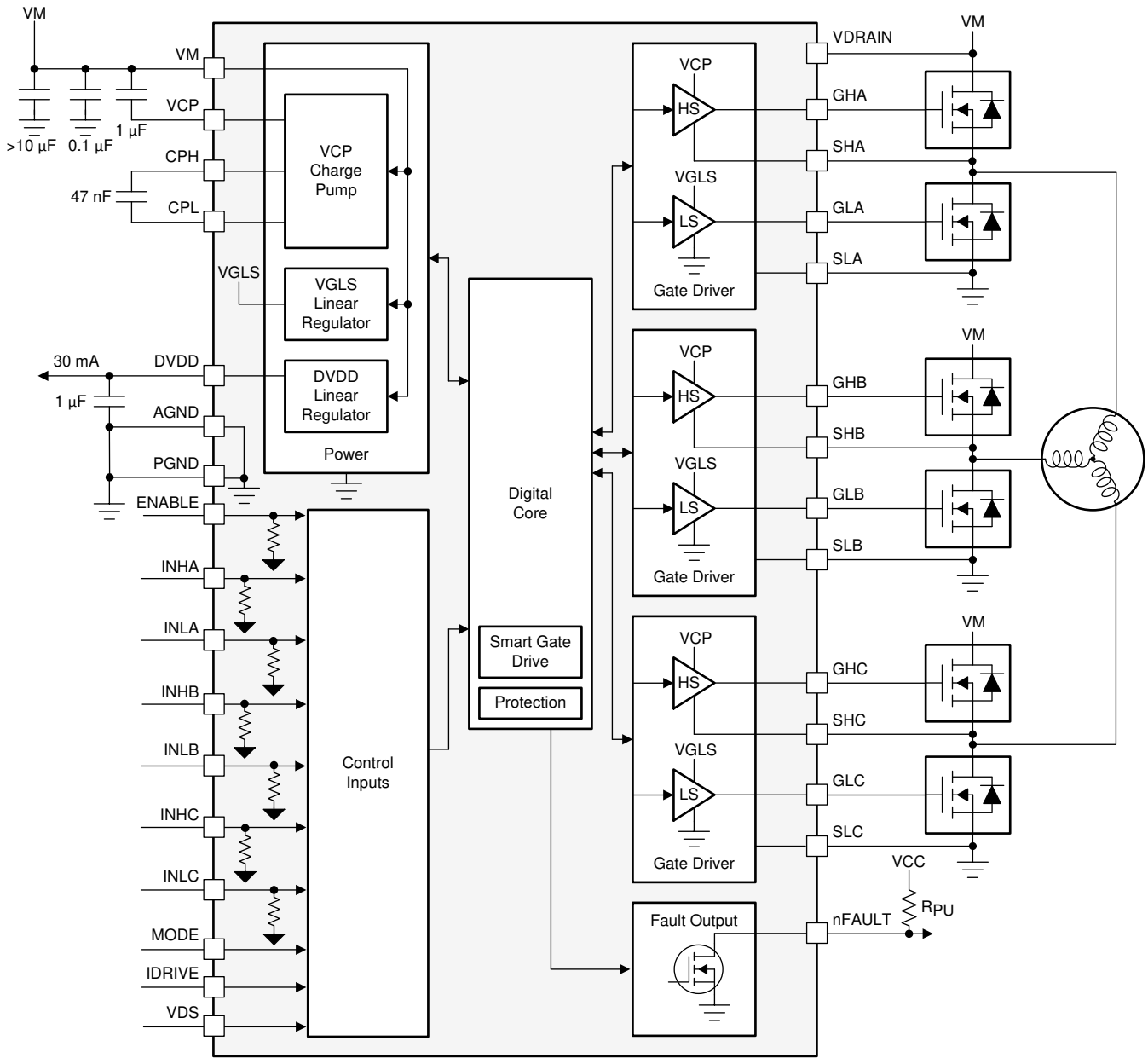
DRV8323とDRV8323Rの各デバイスには、ローサイド・シャント抵抗を使用して各外部ハーフブリッジを流れる電流のレベルを監視するために、3つの双方向電流センス・アンプが内蔵されています。電流センス・アンプのゲイン設定は、SPIまたはハードウェア・インターフェイスを介して調整できます。SPI方式を使用すれば、出力バイアス点をより柔軟に調整できます。

DRV8320RとDRV8323Rの各デバイスには、外部コントローラや他の論理回路への電力供給に使用できる、600mAの降圧レギュレータが内蔵されています。降圧レギュレータは独立した内部ダイとして実装され、ゲート・ドライバと同じ電源として使用することも、別の電源として使用することもできます。

高いレベルでデバイスが統合されていることに加え、DRV832xファミリのデバイスには、広範な保護機能も組み込まれています。例えば、電源の低電圧誤動作防止（UVLO）、チャージ・ポンプの低電圧誤動作防止（CPUV）、 $V_{DS}$ 過電流監視（OCP）、ゲート・ドライバ短絡検出（GDF）、過熱シャットダウン（OTWおよびOTSD）などの機能が挙げられます。障害イベントはnFAULTピンにより通知され、SPI版のデバイスではSPIレジスタで詳細情報を取得できます。

DRV832xファミリのデバイスは、0.5mmピン・ピッチのQFN表面実装パッケージで供給されます。QFNサイズは32ピン・パッケージで5x5mm、40ピン・パッケージで6x6mm、48ピン・パッケージで7x7mmです。

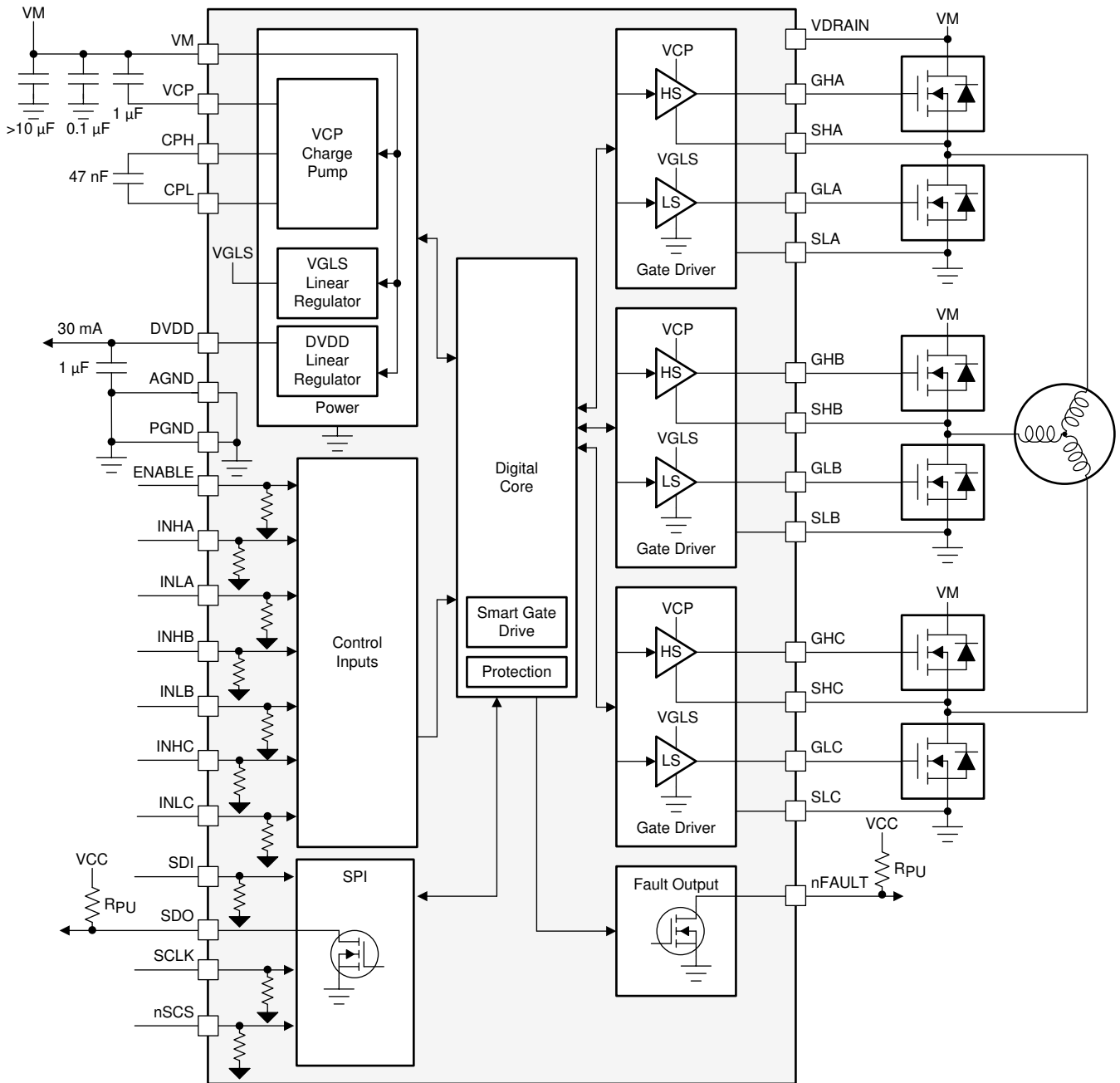
9.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

Figure 10. DRV8320Hのブロック図

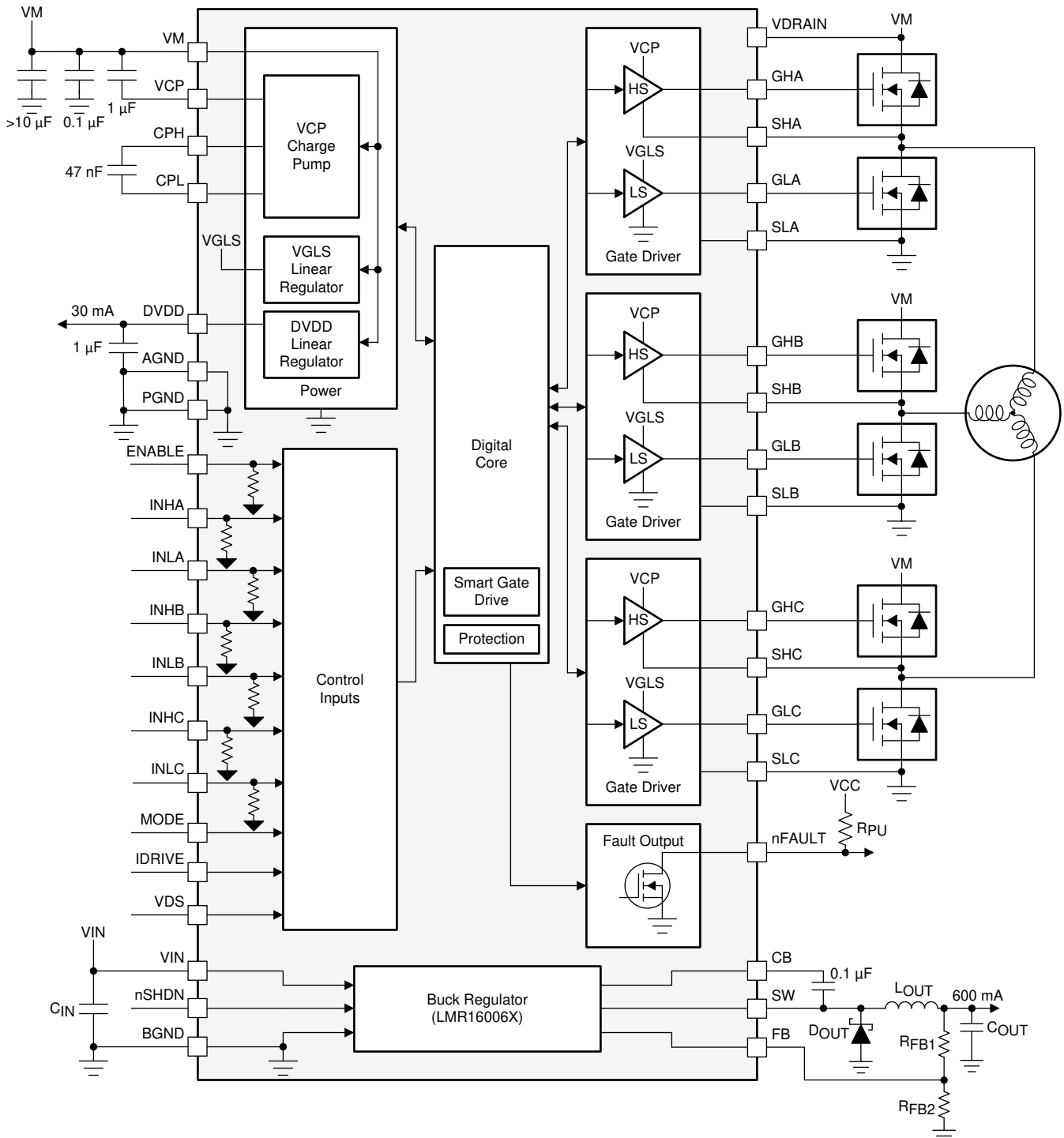
機能ブロック図 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 11. DRV8320Sのブロック図

機能ブロック図 (continued)

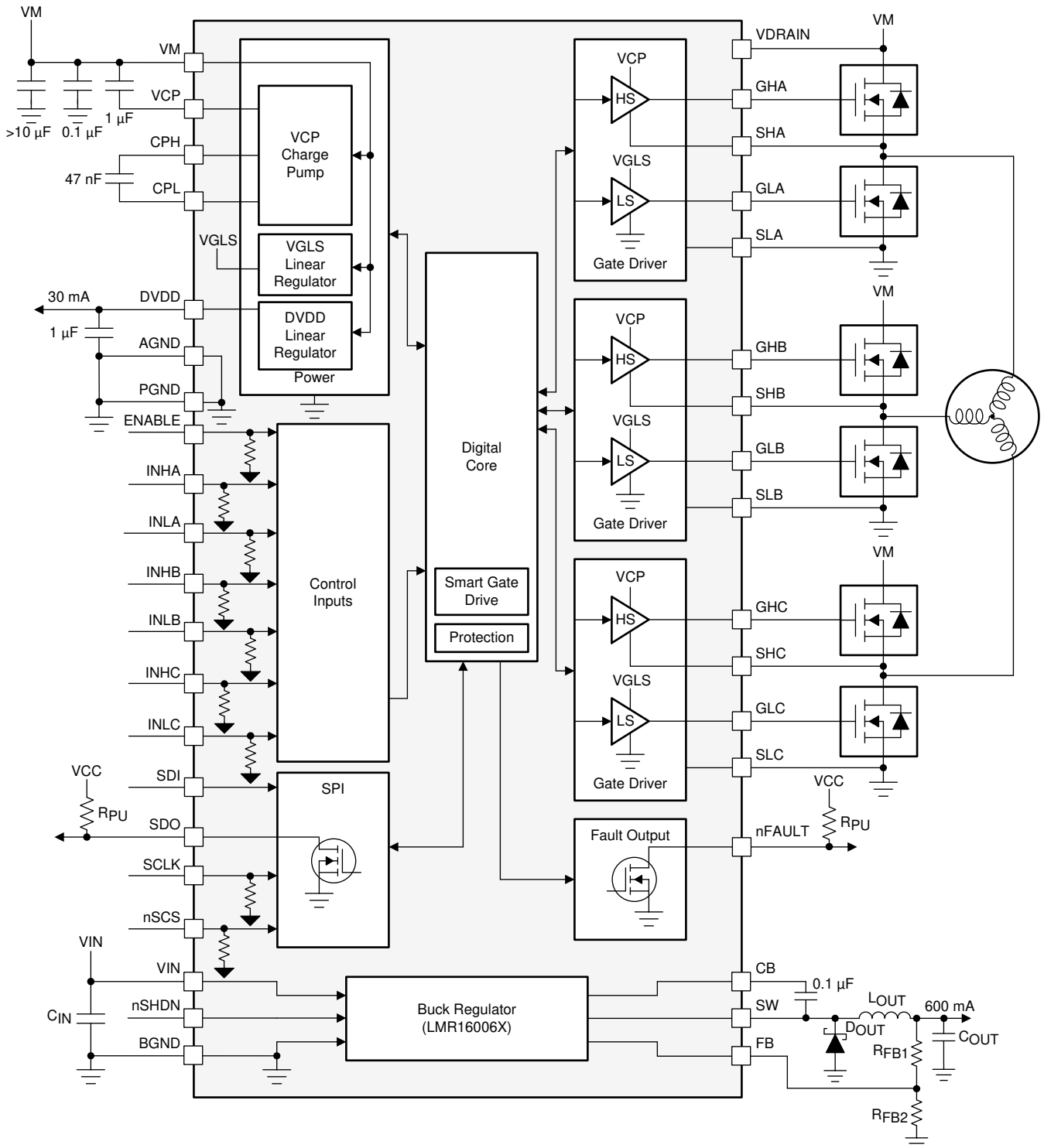


Copyright © 2017, Texas Instruments Incorporated

Figure 12. DRV8320RHのブロック図



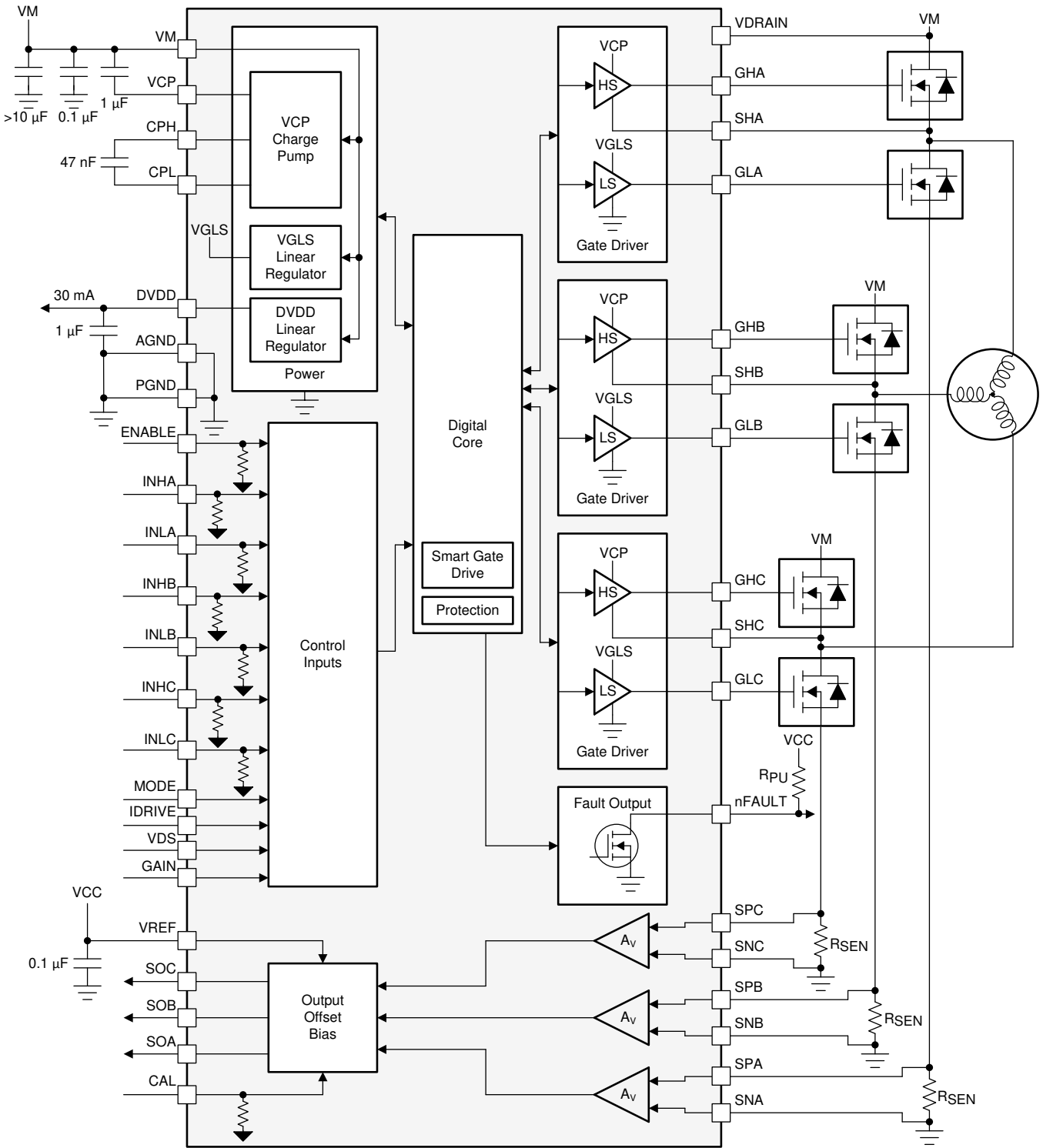
機能ブロック図 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 13. DRV8320RSのブロック図

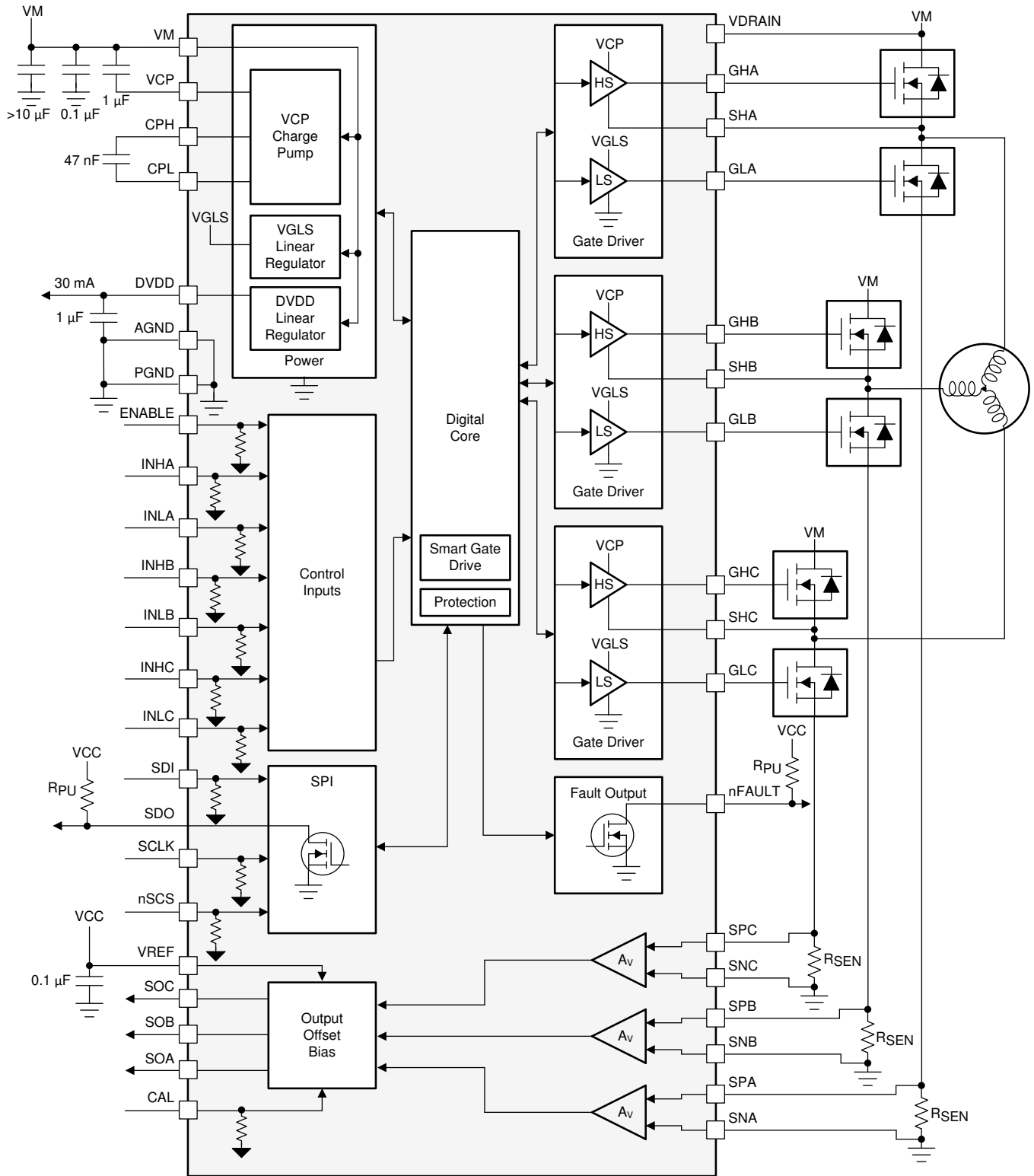
機能ブロック図 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 14. DRV8323Hのブロック図

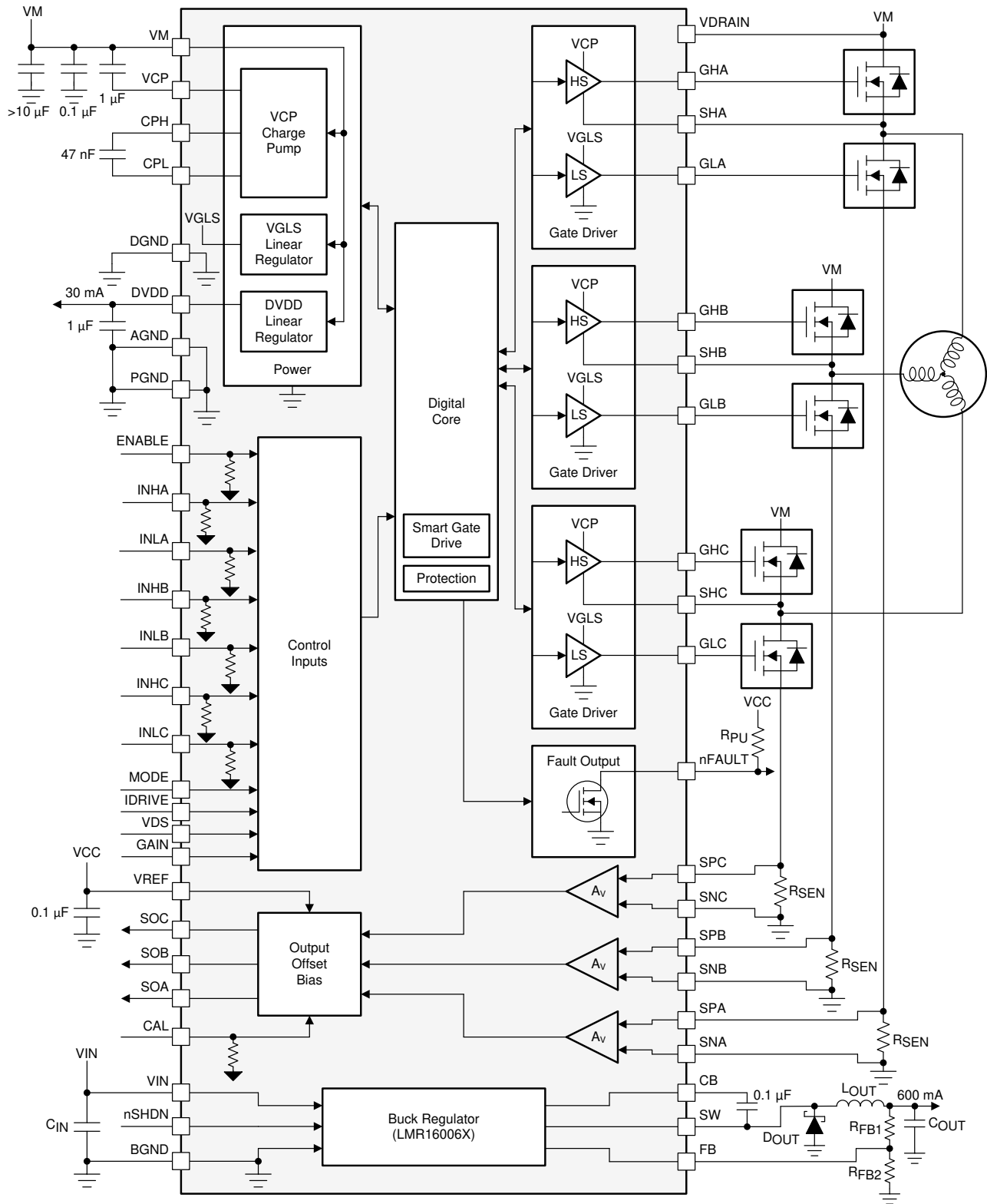
機能ブロック図 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 15. DRV8323Sのブロック図

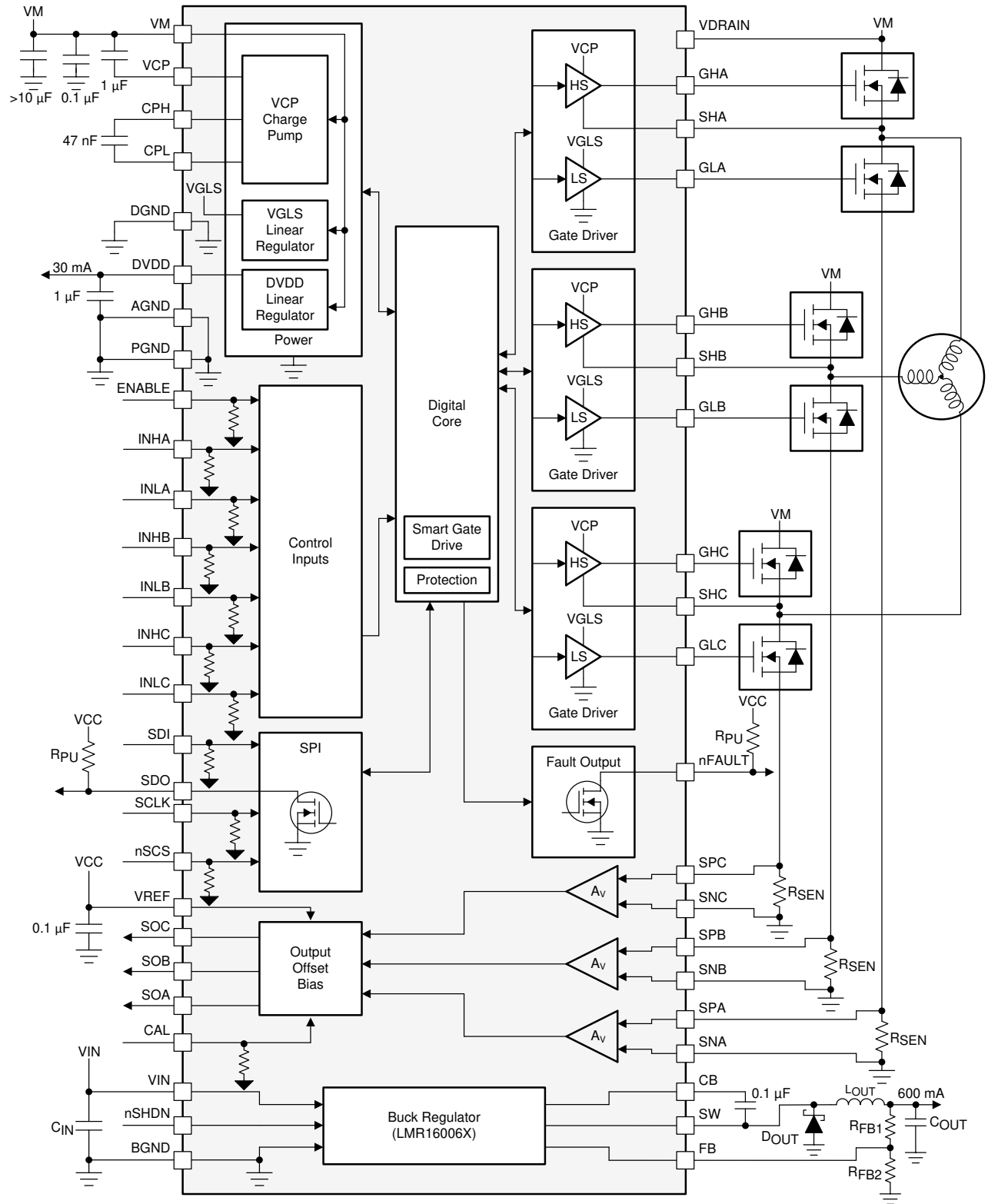
機能ブロック図 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 16. DRV8323RHのブロック図

機能ブロック図 (continued)



Copyright © 2017, Texas Instruments Incorporated

Figure 17. DRV8323RSのブロック図

### 9.3 機能説明

Table 1 には、ゲート・ドライバと降圧レギュレータ用の外部部品の推奨値が記載されています。

Table 1. DRV832xの外部部品

COMPONENTS	PIN 1	PIN 2	RECOMMENDED
<b>GATE DRIVER AND SENSE AMPLIFIER</b>			
C <sub>VM1</sub>	VM	PGND	X5R or X7R, 0.1- $\mu$ F, VM-rated capacitor
C <sub>VM2</sub>	VM	PGND	$\geq 10 \mu\text{F}$ , VM-rated capacitor
C <sub>VCP</sub>	VCP	VM	X5R or X7R, 16-V, 1- $\mu$ F capacitor
C <sub>SW</sub>	CPH	CPL	X5R or X7R, 47-nF, VM-rated capacitor
C <sub>DVDD</sub>	DVDD	AGND	X5R or X7R, 1- $\mu$ F, 6.3-V capacitor
R <sub>nFAULT</sub>	VCC <sup>(1)</sup>	nFAULT	Pullup resistor
R <sub>SDO</sub>	VCC <sup>(1)</sup>	SDO	Pullup resistor
R <sub>IDRIVE</sub>	IDRIVE	AGND or DVDD	DRV832x hardware interface
R <sub>VDS</sub>	VDS	AGND or DVDD	DRV832x hardware interface
R <sub>MODE</sub>	MODE	AGND or DVDD	DRV832x hardware interface
R <sub>GAIN</sub>	GAIN	AGND or DVDD	DRV832x hardware interface
C <sub>VREF</sub>	VREF	AGND or DGND	X5R or X7R, 0.1- $\mu$ F, VREF-rated capacitor
R <sub>ASENSE</sub>	SPA	SNA and PGND	Sense shunt resistor
R <sub>BSENSE</sub>	SPB	SNB and PGND	Sense shunt resistor
R <sub>CSENSE</sub>	SPC	SNC and PGND	Sense shunt resistor
<b>BUCK REGULATOR</b>			
C <sub>VIN</sub>	VIN	BGND	X5R or X7R, 1 to 10 $\mu$ F, VM-rated capacitor
C <sub>BOOT</sub>	SW	CB	X5R or X7R, 0.1- $\mu$ F, 16-V capacitor
D <sub>SW</sub>	SW	BGND	Schottky diode
L <sub>SW</sub>	SW	OUT <sup>(2)</sup>	Output inductor
C <sub>OUT</sub>	OUT <sup>(2)</sup>	BGND	X5R or X7R, OUT rated capacitor
R <sub>FB1</sub>	OUT <sup>(2)</sup>	FB	Resistor divider to set buck output voltage
R <sub>FB2</sub>	FB	BGND	

(1) このVCCピンはDRV832xファミリのデバイス上のピンではありませんが、オープン・ドレイン出力のnFAULTとSDOにはVCC電源電圧プルアップが必要です。これらのピンは、DVDDにプルアップすることもできます。

(2) OUTピンはDRV8320RおよびDRV8323Rデバイス上のピンではなく、出力インダクタの後に降圧レギュレータによってレギュレートされる出力電圧です。

#### 9.3.1 3相スマート・ゲート・ドライバ

DRV832xファミリのデバイスには3つのハーフブリッジ・ゲート・ドライバが内蔵されており、それぞれがハイサイドとローサイドのNチャネル・パワーMOSFETを駆動できます。ダブル・チャージ・ポンプが100%のデューティ・サイクルをサポートしつつ、広い動作電圧範囲にわたって適切なゲート・バイアス電圧をハイサイドMOSFETに供給します。ローサイドMOSFET用のゲート・バイアス電圧は、内部リニア・レギュレータが供給します。ハーフブリッジ・ゲート・ドライバは、3相モーターを駆動するために複数のドライバを組み合わせることも、他の種類の負荷を駆動するために個別に使用することもできます。

DRV832xファミリのデバイスにはスマート・ゲート・ドライブ・アーキテクチャが実装されており、ゲート駆動電流をユーザーが動的に調整できるので、外部抵抗でゲート電流を制限する必要がありません。また、このアーキテクチャにより、自動テッド・タイム挿入、寄生成分によるdV/dtゲート・ターンオンの防止、ゲート障害検出など、外部MOSFET用のさまざまな保護機能が実現できます。

##### 9.3.1.1 PWM制御モード

DRV832xファミリのデバイスには、さまざまな整流方式や制御方式をサポートするために、4種類のPWM制御モードが用意されています。テキサス・インスツルメンツでは、パワーMOSFETの動作中にMODEピンまたはPWM\_MODEレジスタを変更することを推奨していません。MODEピンまたはPWM\_MODEレジスタを変更する場合は、その前にすべてのIN<sub>Hx</sub>およびIN<sub>Lx</sub>ピンをLowに設定してください。

**9.3.1.1.1 6x PWMモード ( PWM\_MODE = 00bまたはMODEピンをAGNDに接続 )**

6x PWMモードでは、ハーフブリッジごとにLow、High、ハイ・インピーダンス ( Hi-Z ) の3つの出力状態がサポートされます。Table 2に示すように、対応するINHxおよびINLx信号で出力状態を制御します。

**Table 2. 6x PWMモードの真理値表**

INLx	INHx	GLx	GHx	SHx
0	0	L	L	Hi-Z
0	1	L	H	H
1	0	H	L	L
1	1	L	L	Hi-Z

**9.3.1.1.2 3x PWMモード ( PWM\_MODE = 01bまたはMODEピンを47kΩの抵抗を介してAGNDに接続 )**

3x PWMモードでは、INHxピンで各ハーフブリッジを制御し、LowまたはHighの2つの出力状態がサポートされます。INLxピンは、ハーフブリッジをHi-Z状態にするために使用します。Hi-Z状態にする必要がない場合は、すべてのINLxピンをHighに接続してください。Table 3に示すように、対応するINHxおよびINLx信号で出力状態を制御します。

**Table 3. 3x PWMモードの真理値表**

INLx	INHx	GLx	GHx	SHx
0	X	L	L	Hi-Z
1	0	H	L	L
1	1	L	H	H

**9.3.1.1.3 1x PWMモード ( PWM\_MODE = 10bまたはMODEピン = Hi-Z )**

1x PWMモードでは、DRV832xファミリのデバイスは内部に格納されている6段階のブロック整流テーブルを使用します。この機能により、3相BLDCモーターを、単純なコントローラから供給する1つのPWMを使用して制御できます。PWMはINHAピンに印加され、ハーフブリッジの出力周波数とデューティ・サイクルを決定します。

ハーフブリッジの出力状態はINLA、INHb、INLbの各ピンによって管理され、それらが状態の論理入力として使用されます。状態の入力は、外部コントローラで制御することも、モーターからホール効果センサのデジタル出力に直接接続することもできます ( INLA = HALL\_A、INHb = HALL\_B、INLb = HALL\_C )。1x PWMモードは、通常は同期整流 ( ローサイドMOSFET再循環 ) で動作しますが、SPIデバイスでは、非同期整流 ( MOSFETボディ・ダイオードのフリーホイール ) を使用するように構成することもできます。この構成は、SPIレジスタの1PWM\_COMビットを使用して設定します。

INHc入力は、6段階の整流テーブルによって方向を制御します。このテーブルは、ホール効果センサがINLA、INHb、INLbの各入力の状態を直接制御している場合に、モーターの方向を変更するために使用されます。この機能が不要な場合は、INHcピンをLowに接続してください。

INLc入力は、INLcピンがLowになったときに、すべてのハイサイドMOSFETをオフにし、すべてのローサイドMOSFETをオンにすることにより、モーターにブレーキをかけます。このブレーキ動作は、他の入力ピンの状態とは無関係です。この機能が不要な場合は、INLcピンをHighに接続してください。

**Table 4. 同期1x PWMモード**

STATE	LOGIC AND HALL INPUTS						GATE DRIVE OUTPUTS <sup>(1)</sup>						DESCRIPTION
	INHc = 0			INHc = 1			PHASE A		PHASE B		PHASE C		
	INLA	INHb	INLb	INLA	INHb	INLb	GHA	GLA	GHB	GLB	GHC	GLC	
Stop	0	0	0	0	0	0	L	L	L	L	L	L	Stop
Align	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	Align
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

(1) !PWMはPWM信号の反転です。

Table 5. 非同期1x PWMモード1PWM\_COM = 1 ( SPIのみ )

STATE	LOGIC AND HALL INPUTS						GATE DRIVE OUTPUTS						DESCRIPTION
	INHC = 0			INHC = 1			PHASE A		PHASE B		PHASE C		
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
Stop	0	0	0	0	0	0	L	L	L	L	L	L	Stop
Align	1	1	1	1	1	1	PWM	L	L	H	L	H	Align
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

Figure 18とFigure 19は、1x PWMモードで可能な2種類の構成を示しています。

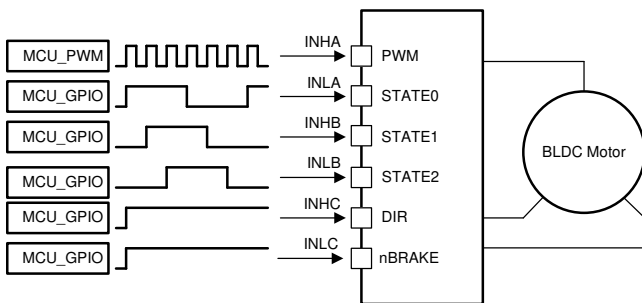


Figure 18. 1x PWM—単純なコントローラ

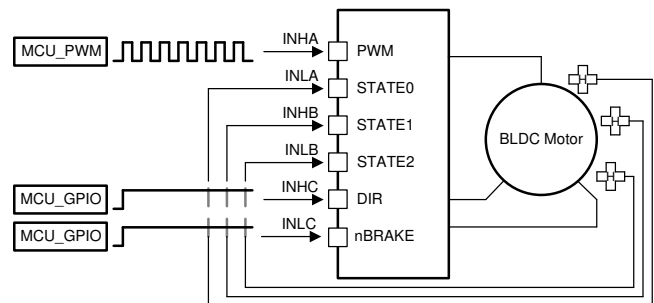


Figure 19. 1x PWM—ホール効果センサ

9.3.1.1.4 独立PWMモード ( PWM\_MODE = 11bまたはMODEピンをDVDDに接続 )

独立PWMモードでは、各ハイサイドおよびローサイド・ゲート・ドライバが、対応する入力ピンにより独立して制御されます。この制御モードでは、ハイサイドとローサイドの負荷を各ハーフブリッジで個別に駆動できます。このような種類の負荷には、単方向ブラシ付きDCモーター、ソレノイド、ローサイドおよびハイサイド・スイッチなどがあります。このモードでは、システムがハーフブリッジ構成の場合、ハイサイドとローサイド両方のMOSFETを同時にオンにすると、貫通電流が生じます。

Table 6. 独立PWMモードの真理値表

INLx	INHx	GLx	GHx
0	0	L	L
0	1	L	H
1	0	H	L
1	1	H	H



ハイサイドおよびローサイド  $V_{DS}$  過電流監視では SHx センス・ラインが共有されるので、1つのハーフブリッジのハイサイドとローサイド両方のゲート・ドライバが分割されて使用されている場合には監視ができません。この場合は、SHx ピンをハイサイド・ドライバに接続して  $V_{DS}$  過電流監視を無効にしてください (Figure 20 を参照)。

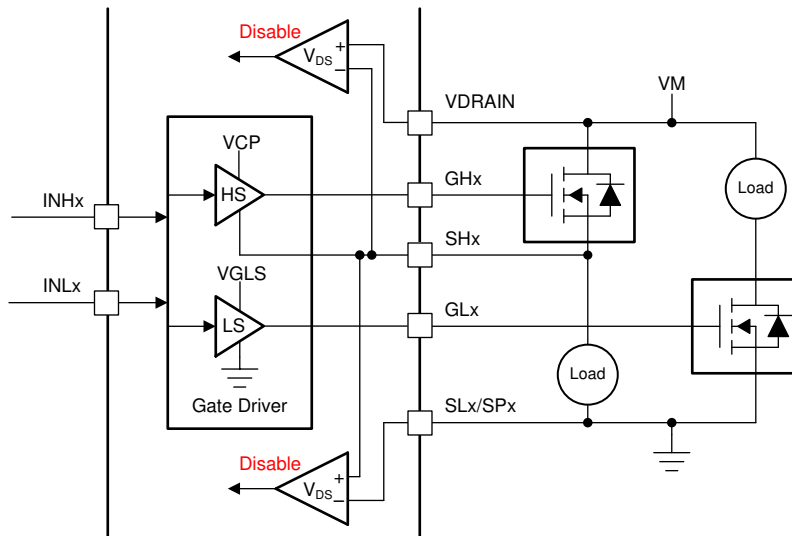


Figure 20. 独立PWMハイサイドおよびローサイド・ドライバ

ハーフブリッジを使用してハイサイド・ドライバとローサイド・ドライバのどちらか一方のみを実装している場合は、 $V_{DS}$  過電流監視を使用できます。SHx ピンを、Figure 21 または Figure 22 に示す方法で接続してください。使用されていないゲート・ドライバとそれに対応する入力は未接続のまま構いません。

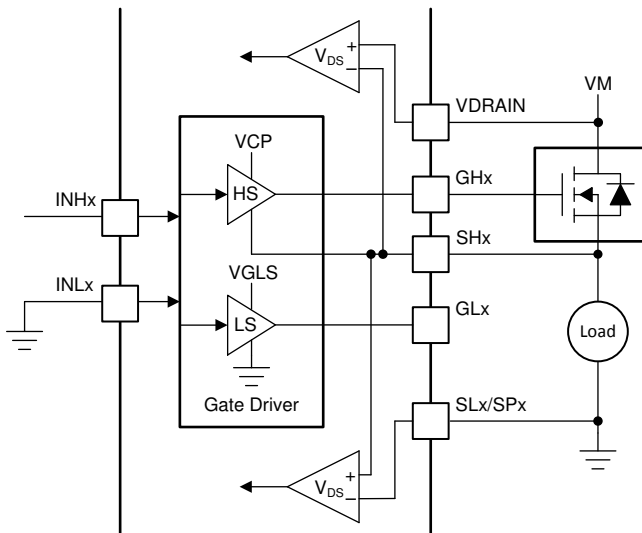


Figure 21. 1つのハイサイド・ドライバ

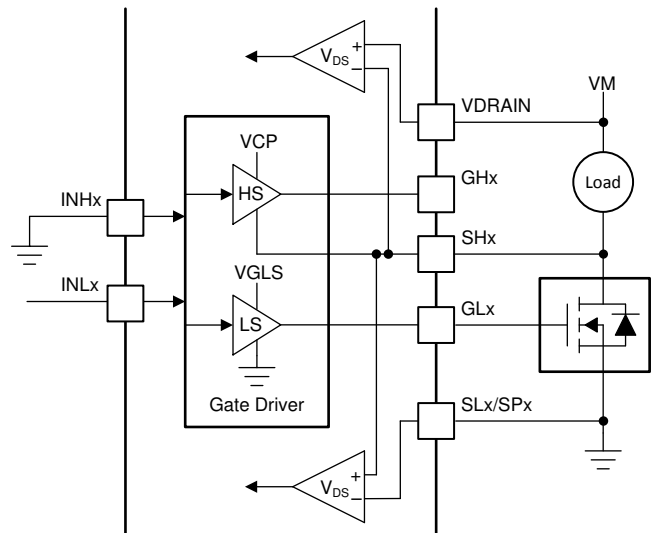


Figure 22. 1つのローサイド・ドライバ

### 9.3.1.2 デバイス・インターフェイス・モード

DRV832xファミリのデバイスでは、最終的なアプリケーションを柔軟な設計にするか単純な設計にするか選択できるように、2種類のインターフェイス・モード (SPIとハードウェア) をサポートしています。2つのインターフェイス・モードで同じ4つのピンが共有されているので、異なるバージョン間でのピン互換が実現します。こうした互換性の高さから、アプリケーション設計者は、設計に最小限の変更を加えるだけで、評価に使用するインターフェイス・バージョンを切り替えることができます。

### 9.3.1.2.1 シリアル・ペリフェラル・インターフェイス (SPI)

SPIデバイスは、外部コントローラとDRV832xの間でデータを送受信できるシリアル通信バスをサポートしています。これにより、外部コントローラからデバイスの設定を行ったり詳細な障害情報を読み取ったりできます。このインターフェイスはSCLK、SDI、SDO、nSCSの各ピンを使用した4線式インターフェイスです。各ピンの詳細を以下に示します。

- SCLKピンは、SDIピンとSDOピンでのデータの収集および伝搬のタイミングを決めるためにクロック信号を受け取る入力ピンです。
- SDIピンはデータ入力です。
- SDOピンはデータ出力です。SDOピンにはオープン・ドレイン構造が使用されており、外部プルアップ抵抗が必要です。
- nSCSピンはチップ選択入力です。このピンにLow信号を印加すると、DRV832xとのSPI通信が有効になります。

SPIの詳細については、「[SPI通信](#)」セクションを参照してください。

### 9.3.1.2.2 ハードウェア・インターフェイス

ハードウェア・インターフェイス・デバイスでは、4つのSPIピンが抵抗によって設定可能な4つの入力、GAIN、IDRIVE、MODE、VDSに変換されます。この結果、ピンをHighやLowに接続するか、または単純なプルアップ抵抗やプルダウン抵抗を使用することで、ごく一般的なデバイス設定を行えるようになり、外部コントローラにはSPIバスが不要になります。全般的な障害情報は、引き続きnFAULTピンを介して取得できます。

- GAINピンでは電流センス・アンプのゲインを設定します。
- IDRIVEピンではゲート駆動電流の強さを設定します。
- MODEピンではPWM制御モードを設定します。
- VDSピンでは $V_{DS}$ 過電流監視の電圧スレッシュホールドを設定します。

ハードウェア・インターフェイスの詳細については、「[ピン配置](#)」セクションを参照してください。

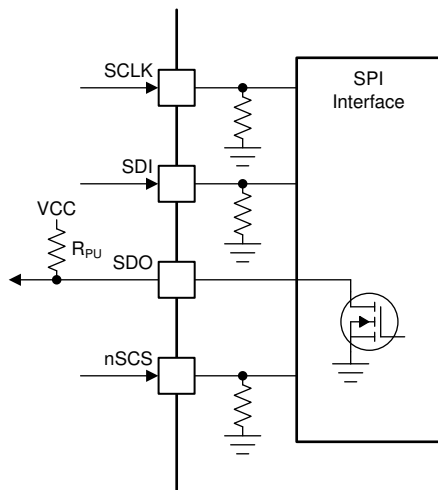


Figure 23. SPI

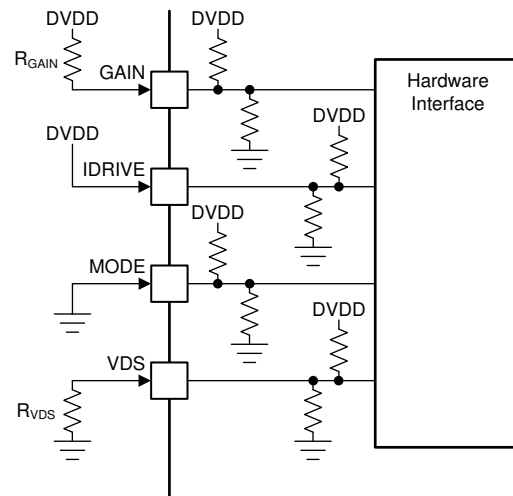


Figure 24. ハードウェア・インターフェイス

### 9.3.1.3 ゲート・ドライバ電源電圧

ハイサイド・ゲート・ドライバの電源電圧は、VM電源電圧の入力によって動作するダブラー・チャージ・ポンプを使用して生成されます。このチャージ・ポンプにより、ゲート・ドライバは幅広い入力電源電圧範囲にわたるソースを基準としてハイサイドMOSFETゲートを正確にバイアスできます。チャージ・ポンプは、 $V_{VM} + 11V$ の固定出力電圧を維持し、25mAの平均出力電流に対応できるようにレギュレートされます。 $V_{VM}$ が12V未満の場合、チャージ・ポンプは完全ダブラー・モードで動作し、無負荷時に $V_{VCP} = 2 \times V_{VM} - 1.5V$ を生成します。低電流状態を検出してMOSFETの駆動不足を防止するため、チャージ・ポンプは継続的に監視されます。このチャージ・ポンプには、VMピン-VCPピン間の蓄積コンデンサとして、X5RまたはX7R、1 $\mu$ F、16Vのセラミック・コンデンサが必要です。また、CPHピン-CPLピン間には、フライング・コンデンサとして、X5RまたはX7R、47nF、VM定格のセラミック・コンデンサが必要です。

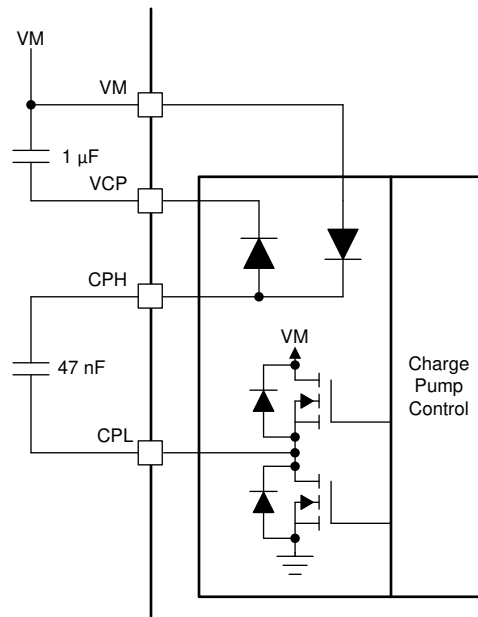


Figure 25. チャージ・ポンプのアーキテクチャ

ローサイド・ゲート・ドライバの電源電圧は、VM電源電圧の入力によって動作するリニア・レギュレータを使用して生成されます。このリニア・レギュレータにより、ゲート・ドライバはグラウンドを基準としてローサイド MOSFETゲートを正確にバイアスできます。リニア・レギュレータの出力は11Vに固定され、25mAの出力電流に対応します。

#### 9.3.1.4 スマート・ゲート・ドライブ・アーキテクチャ

DRV832xゲート・ドライバは、ハイサイドとローサイド両方のドライバに対して、調整可能な相補型のプッシュプル・トポロジが使用されています。このトポロジにより、外部MOSFETゲートのプルアップとプルダウンが両方とも強化できます。

また、ゲート・ドライバでは、スマート・ゲート・ドライブ・アーキテクチャの使用によって、外部パワー MOSFETのより詳細な制御や、MOSFETの保護手法の追加、効率性と堅牢性のバランスの最適化が実現できます。このアーキテクチャはIDRIVEおよびTDRIVEと呼ばれる2つのコンポーネント（「[IDRIVE : MOSFET スルー・レート制御](#)」セクションと「[TDRIVE : MOSFETゲート駆動制御](#)」セクションを参照）によって実装されます。Figure 26は、ゲート・ドライバの概略機能ブロック図です。

IDRIVEゲート駆動電流とTDRIVEゲート駆動時間の最初の設定は、システムで使用する外部パワーMOSFETのパラメータと、目標とする立ち上がりおよび立ち下がり時間に基づき選択する必要があります（「[アプリケーションと実装](#)」セクションを参照）。

MOSFETで外部短絡が発生した場合に外部MOSFETゲートを過電圧状態から保護するために、ハイサイド・ゲート・ドライバにはツェナー・クランプ・ダイオードも実装されています。

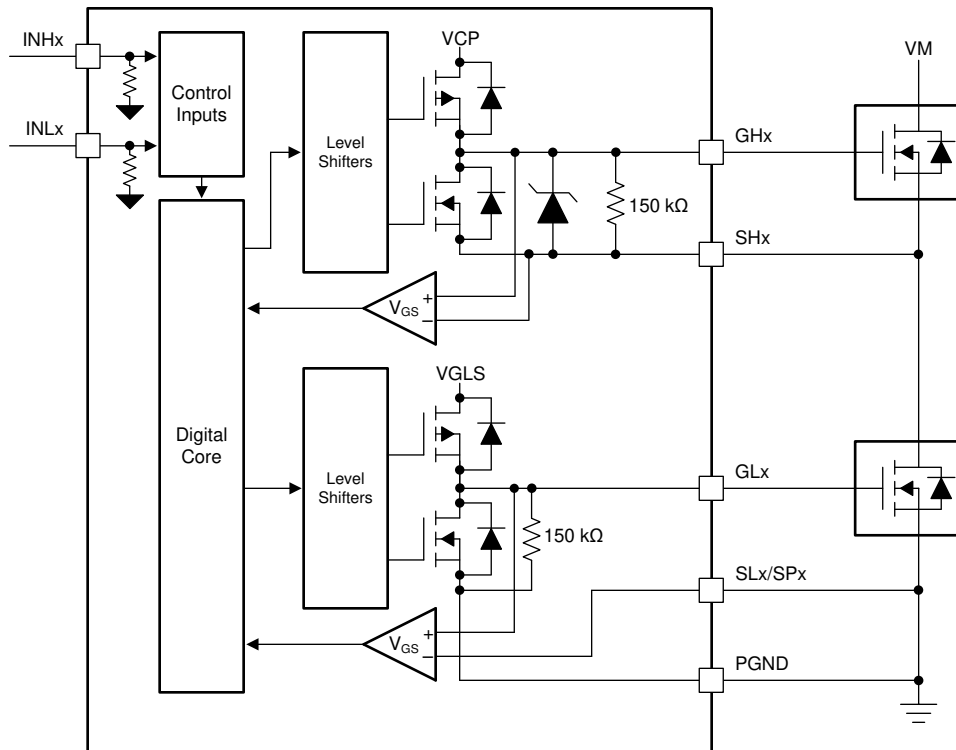


Figure 26. ゲート・ドライバのブロック図

#### 9.3.1.4.1 IDRIVE : MOSFETスルー・レート制御

IDRIVEコンポーネントは、MOSFET  $V_{DS}$ スルー・レートを制御するための調整可能なゲート駆動電流を実装します。MOSFET  $V_{DS}$ スルー・レートは、放射されるエミッションやエネルギー、ダイオードの回復スパイク期間、貫通電流を引き起こすdV/dtゲート・ターンオン、および外部ハーフブリッジの寄生成分に関連するスイッチング過渡電圧を最適化するために不可欠な要素です。IDRIVEコンポーネントは、MOSFET  $V_{DS}$ スルー・レートが主にMOSFET  $Q_{GD}$ またはミラー充電領域中のゲートの充電率（または供給されるゲート電流）によって決まるという原理に基づいて動作します。ゲート電流を調整できるようにすることで、ゲート・ドライバは外部パワーMOSFETのスルー・レートを効果的に制御できます。

IDRIVEコンポーネントを活用することにより、DRV832xファミリのデバイスは、SPIデバイスのレジスタ設定やハードウェア・インターフェイス・デバイスのIDRIVEピンを介してゲート駆動電流を動的に切り替えることができます。SPIデバイスは、10mA~1A（ソース）/20mA~2A（シンク）の範囲内で16個の $I_{DRIVE}$ 設定を備えています。ハードウェア・インターフェイス・デバイスには、同じ範囲内で7個の $I_{DRIVE}$ 設定が用意されています。ゲート駆動電流の設定は、 $t_{DRIVE}$ 期間における外部パワーMOSFETのターンオンおよびターンオフ中にゲートに供給されます。MOSFETのターンオンまたはターンオフ後、ゲート・ドライバは効率性を高めるために $I_{HOLD}$ 保持電流をより小さな値に切り替えます。IDRIVE設定の詳細については、SPIデバイスの場合は「レジスタ・マップ」セクション、ハードウェア・インターフェイス・デバイスの場合は「ピン配置」セクションを参照してください。

#### 9.3.1.4.2 TDRIVE : MOSFETゲート駆動制御

TDRIVEコンポーネントは、統合されたゲート駆動ステート・マシンであり、ハイサイドおよびローサイド・ゲート・ドライバ間でのハンドシェイクによる自動デッド・タイム挿入、寄生成分によるdV/dtゲート・ターンオンの防止、MOSFETゲート障害検出といった機能を備えています。

TDRIVEステート・マシンの最初の構成要素は自動デッド・タイム挿入です。デッド・タイムとは、外部ハイサイドMOSFETとローサイドMOSFETのスイッチング間隔であり、MOSFET間のクロス導通とそれによる貫通電流の発生を防止することを目的としています。DRV832xファミリのデバイスは、固定の時間値を使用するのではなく、 $V_{GS}$ 電圧監視を使用してMOSFETゲート-ソース間電圧を測定することにより、スイッチングの適切なタイミングを決定します。この機能により、ゲート・ドライバのデッド・タイムを、温度ドリフトなどのシステム内の変化やMOSFETパラメータの変動に合わせて調整できます。追加のデジタル・デッド・タイム ( $t_{DEAD}$ ) を挿入することもでき、SPIデバイスのレジスタを介して調整できます。

TDRIVEステート・マシンの2つ目の構成要素は、寄生成分によるdV/dtゲート・ターンオンの防止です。これを実装するため、TDRIVEステート・マシンには、MOSFETのスイッチングが行われるたびに反対側のMOSFETゲートに強いプルダウン電流 ( $I_{STRONG}$ ) を流す機能が用意されています。この強いプルダウンはTDRIVE期間全体にわたって発生します。この機能は、電圧ハーフブリッジ・スイッチ・ノードのスルー・レートが高い場合にMOSFETゲートに結合する寄生電荷を除去するのに役立ちます。

TDRIVEステート・マシンの3つ目の構成要素には、ピン間の半田付け不良、MOSFETゲート障害、MOSFETゲートでの電圧のHigh固着またはLow固着状態を検出するためのゲート障害検出機能が実装されています。この検出機能は、各ハーフブリッジ・ゲート・ドライバの $V_{GS}$ ゲート・ソース間電圧監視とともに実行されます。ハーフブリッジの状態を変更するコマンドを受け取ると、ゲート・ドライバは外部MOSFETのゲート電圧の監視を開始します。 $V_{GS}$ 電圧が $t_{DRIVE}$ 期間の終了時に適切なスレッシュホールドに達していない場合、ゲート・ドライバは障害を通知します。障害が誤って検出されないように、MOSFETゲートの充電または放電に必要な時間より長い $t_{DRIVE}$ 時間を選択する必要があります。 $t_{DRIVE}$ 時間によってPWM時間が延長されることはなく、アクティブ時に別のPWMコマンドを受け取った場合はその時点で終了します。TDRIVE設定の詳細については、SPIデバイスの場合は「レジスタ・マップ」セクション、ハードウェア・インターフェイス・デバイスの場合は「ピン配置」セクションを参照してください。

Figure 27 は、TDRIVEステート・マシンの動作例を示しています。

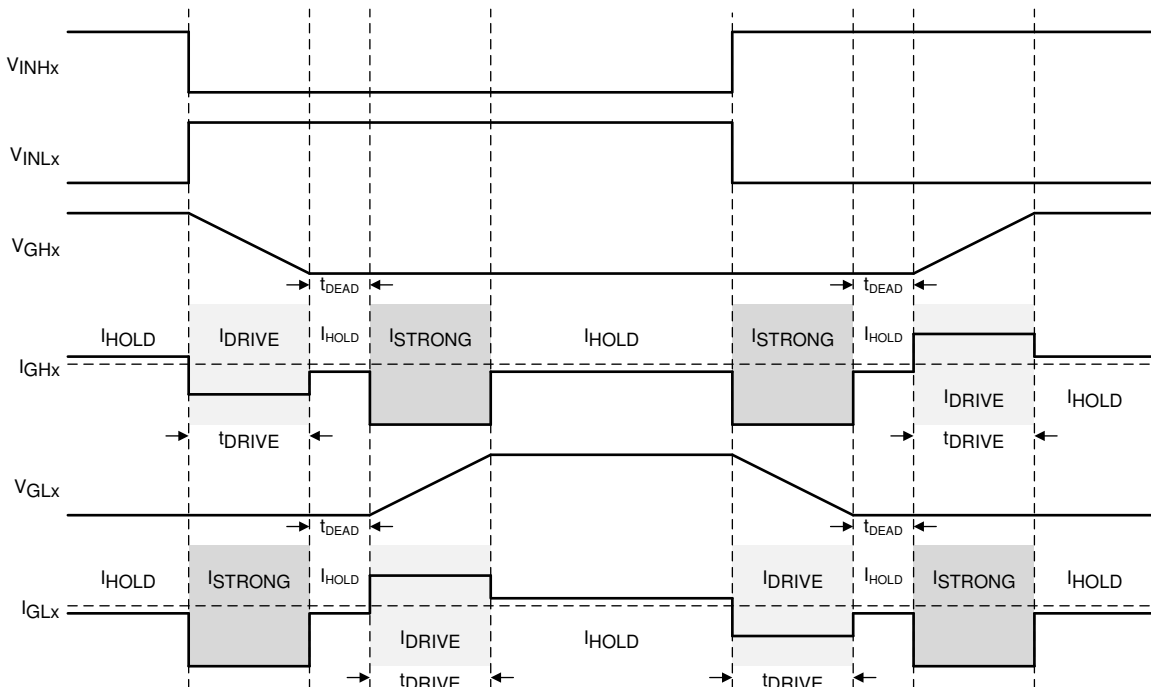


Figure 27. TDRIVEステート・マシン

#### 9.3.1.4.3 伝搬遅延

伝搬遅延時間 ( $t_{pd}$ ) は入力ロジックのエッジから出力の変化が検出されるまでの時間として測定されます。この時間はデジタル入力デグリッチャ遅延、デジタル伝搬遅延、アナログ・ゲート・ドライバによる遅延という3つの要素で構成されています。

入力デグリッチャは、入力ピンでの高周波ノイズがゲート・ドライバの出力状態に影響するのを防止します。複数の制御モードとデッド・タイム挿入をサポートするため、デバイス全体への入力コマンドの伝搬に伴い、わずかなデジタル遅延が追加されます。すまた、アナログ・ゲート・ドライバによるわずかな遅延も、デバイスの全体的な伝搬遅延に含まれます。

#### 9.3.1.4.4 MOSFET $V_{DS}$ 監視

ゲート・ドライバには、外部パワーMOSFETでの過電流状態や短絡状態を検出するために、調整可能な $V_{DS}$ 電圧監視が実装されています。監視対象の電圧が $V_{DS}$ トリップ・ポイント ( $V_{VDS\_OCP}$ ) をデグリッチ時間 ( $t_{OCP}$ ) より長い時間にわたって上回った場合は、過電流状態が検出され、デバイスの $V_{DS}$ 障害モードに基づく処置が実行されます。

ハイサイド $V_{DS}$ 監視ではVDRAINピン-SHxピン間の電圧が測定されます。3つの電流センス・アンプを備えたデバイス ( DRV8323とDRV8323R ) では、ローサイド $V_{DS}$ 監視によってSHxピン-SPxピン間の電圧が測定されます。電流センス・アンプを使用していない場合は、SPピンを外部ハーフブリッジの共通グラウンド・ポイントに接続してください。電流センス・アンプのないデバイス ( DRV8320とDRV8320R ) では、ローサイド $V_{DS}$ 監視によってSHxピン-SLxピン間の電圧が測定されます。

SPIデバイスの場合は、LS\_REFレジスタ設定を使用し、ローサイド $V_{DS}$ 監視の基準点をSPxピンとSNxピンの間で必要に応じて変更できます。

$V_{VDS\_OCP}$ スレッシュホールドは0.06V~1.88Vの範囲内でプログラム可能です。 $V_{DS}$ 監視レベルの詳細については、SPIデバイスの場合は「[レジスタ・マップ](#)」セクション、ハードウェア・インターフェイス・デバイスの場合は「[ピン配置](#)」セクションを参照してください。

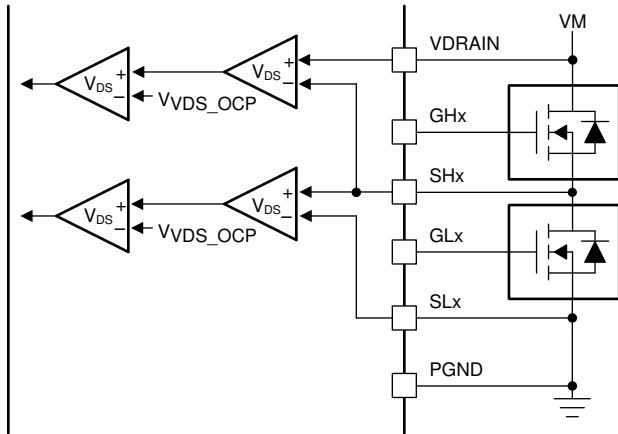


Figure 28. DRV8320とDRV8320Rの $V_{DS}$ 監視

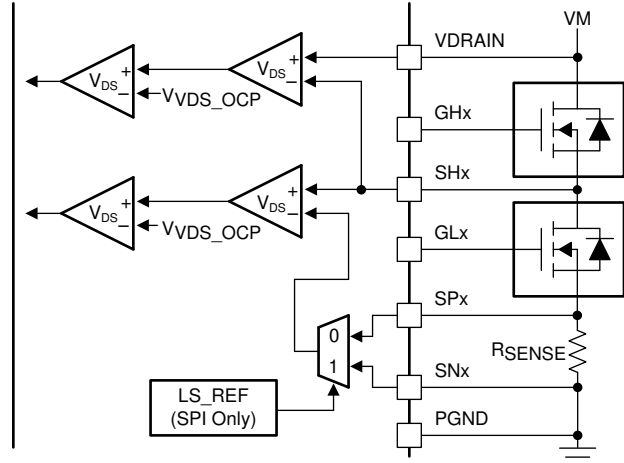


Figure 29. DRV8323とDRV8323Rの $V_{DS}$ 監視

#### 9.3.1.4.5 VDRAINセンス・ピン

DRV832xファミリのデバイスは、ハイサイドMOSFETドレインの共通ポイント用に個別のセンス・ピンを備えています。このピンはVDRAINと呼ばれています。このピンを利用すれば、過電流監視 ( VDRAIN ) のセンス・ラインと電源 ( VM ) を分離したままにして、VDRAINセンス・ラインでのノイズ発生を防止することができます。また、この分離により、必要に応じてゲート・ドライバ電源 ( VM ) への小さなフィルタの実装や昇圧コンバータの挿入も行えるようになり、より低い電圧での動作に対応できます。VMがハイサイド・ゲート駆動電圧 (  $V_{GSH}$  ) を供給するVCPチャージ・ポンプの基準点であることに変わりはないので、フィルタや個別の電源を設計するには注意が必要です。また、外部パワーMOSFETの $V_{GS}$ 電圧仕様を超えることを防止するため、VM電源のドリフトがVDRAIN電源から離れすぎないようにする必要があります。

#### 9.3.2 DVDDリニア電圧レギュレータ

DRV832xファミリのデバイスには3.3V、30mAのリニア・レギュレータが内蔵されており、外部回路から使用できます。このレギュレータは、低消費電力MCUやその他の低電流をサポートしている回路用に電源電圧を供給できます。DVDDレギュレータの出力はDVDDピン付近でX5RまたはX7R、1 $\mu$ F、6.3Vのセラミック・コンデンサを使用してバイパスし、隣接するAGNDグラウンド・ピンに直接配線する必要があります。

DVDDの公称無負荷出力電圧は3.3Vです。DVDD負荷電流が30mAを超えると、レギュレータは定電流源のように機能します。電流負荷が30mAを超えると、出力電圧は大幅に低下します。



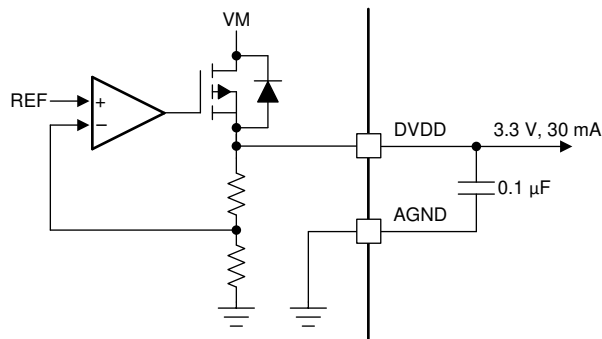


Figure 30. DVDDリニア・レギュレータのブロック図

DVDDリニア・レギュレータによってデバイス内で消費される電力を計算するには、Equation 1を使用します。

$$P = (V_{VM} - V_{DVDD}) \times I_{DVDD} \quad (1)$$

例えば、24Vの $V_{VM}$ で、DVDDから20mAの電流が流れると、消費電力はEquation 2のようになります。

$$P = (24 \text{ V} - 3.3 \text{ V}) \times 20 \text{ mA} = 414 \text{ mW} \quad (2)$$

### 9.3.3 ピン配置

Figure 31 は、論理レベル・ピンであるINHx、INLx、CAL、ENABLE、nSCS、SCLK、SDIの入力構造を示しています。入力は電圧または外部抵抗によって駆動できます。

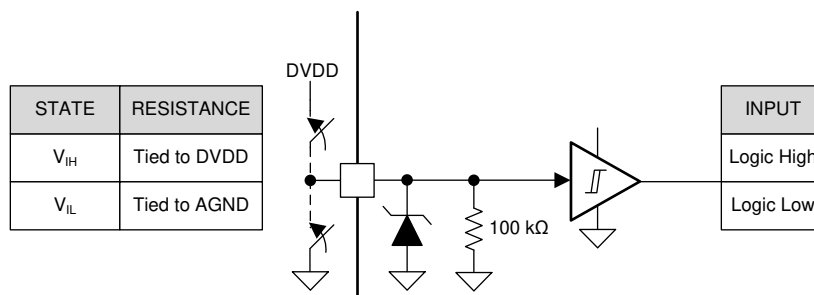


Figure 31. 論理レベル入力ピンの構造

Figure 32 は、ハードウェア・インターフェイス・デバイス上の4レベル入力ピンであるMODEとGAINの構造を示しています。入力は外部抵抗によって設定できます。

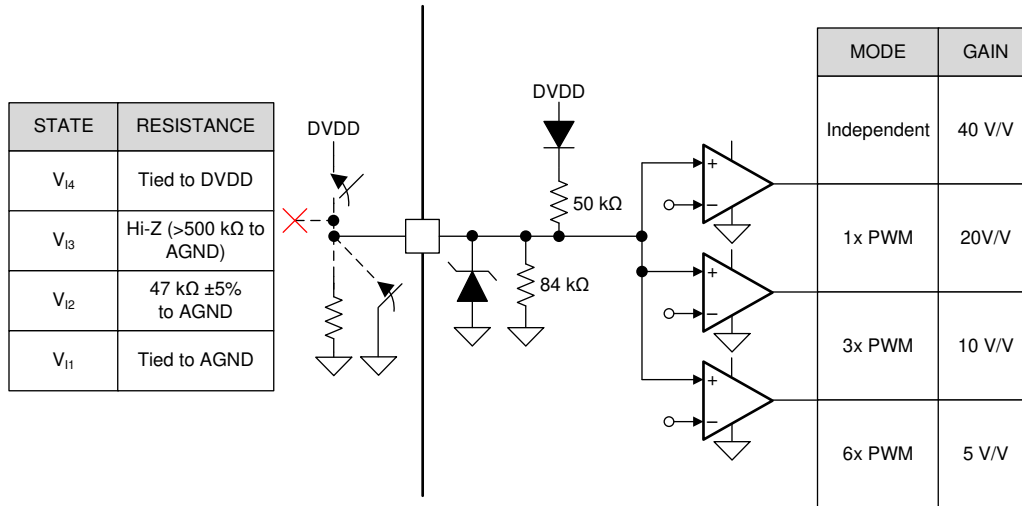


Figure 32. 4レベル入力ピンの構造

Figure 33 は、ハードウェア・インターフェイス・デバイス上の7レベル入力ピンであるIDRIVEとVDSの構造を示しています。入力は外部抵抗によって設定できます。

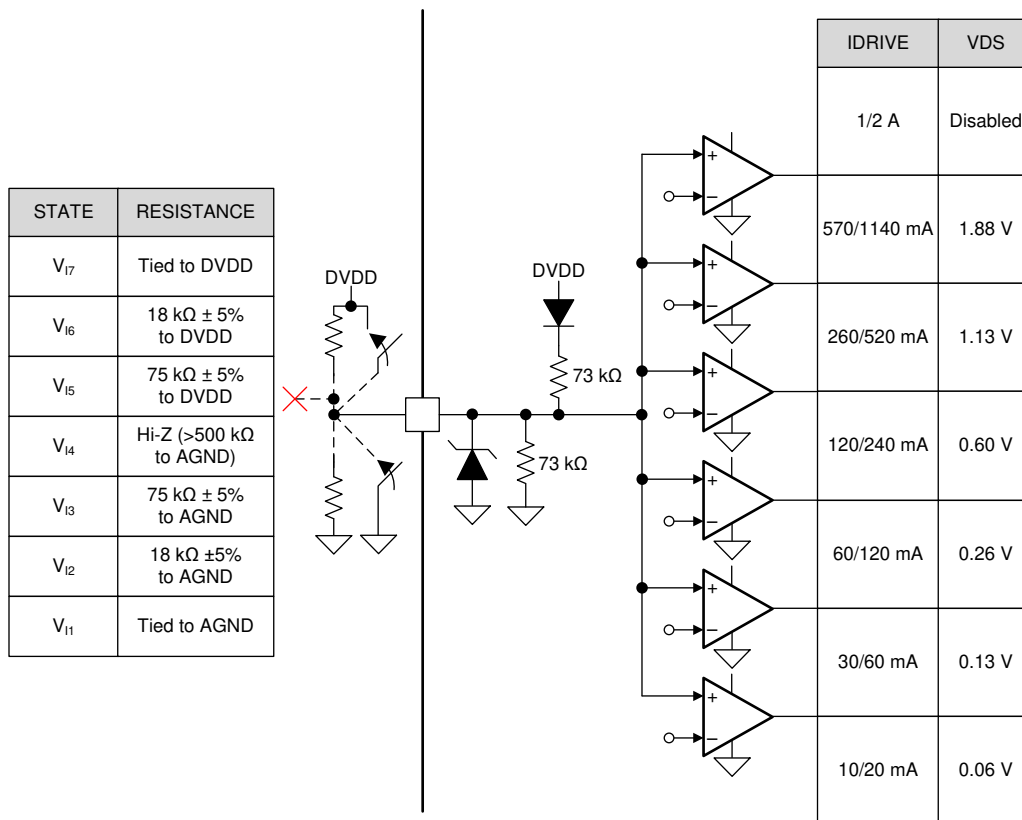


Figure 33. 7レベル入力ピンの構造



Figure 34 は、オープン・ドレイン出力ピンであるnFAULTとSDOの構造を示しています。オープン・ドレイン出力を正しく機能させるためには、外部プルアップ抵抗が必要です。

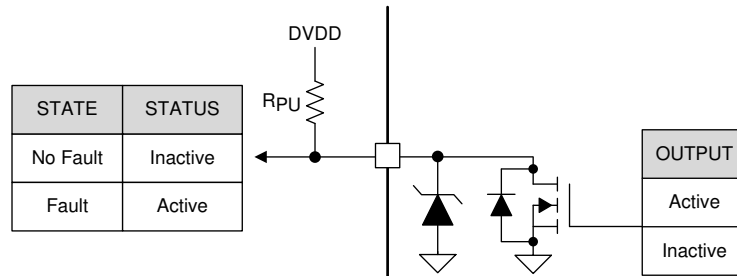


Figure 34. オープン・ドレイン出力ピンの構造

### 9.3.4 ローサイド電流センス・アンプ ( DRV8323とDRV8323Rのみ )

DRV8323とDRV8323Rには、外部ハーフブリッジ内のローサイド・シャント抵抗を使用した電流測定用に、3つの高性能ローサイド電流センス・アンプが内蔵されています。ローサイド電流測定は、一般に過電流保護、外部トルク制御、または外部コントローラによるブラシレスDCの整流を実装するために使用されます。3つのアンプすべてを使用して各ハーフブリッジ・レグ内の電流を検出することも、1つのアンプを使用してハーフブリッジ・レグの合計電流を検出することもできます。電流センス・アンプにはプログラマブル・ゲイン、オフセット較正、単方向と双方向のサポート、電圧リファレンス・ピン ( VREF ) などの機能が含まれています。3つの電流センス・アンプの一部が使用されていない場合は、SNxピンをSPxピンに短絡させてSOxピンを未接続のままにすることで、それらを遮断できます。過電流VDS監視が引き続き機能するよう、忘れずにSPxまたはSNxピンをローサイドFETソースに接続してください。

#### 9.3.4.1 双方向電流センスの動作

DRV8323とDRV8323RのSOxピンは、SPxおよびSNxピン間の電圧にゲイン設定 ( G<sub>CSA</sub> ) を乗算した値に等しいアナログ電圧を出力します。ゲイン設定は4つの異なるレベル ( 5V/V、10V/V、20V/V、40V/V ) に調整できます。シャント抵抗を流れる電流値を計算するには、Equation 3を使用します。

$$I = \frac{V_{VREF} - V_{SOx}}{2 \times G_{CSA} \times R_{SENSE}} \quad (3)$$

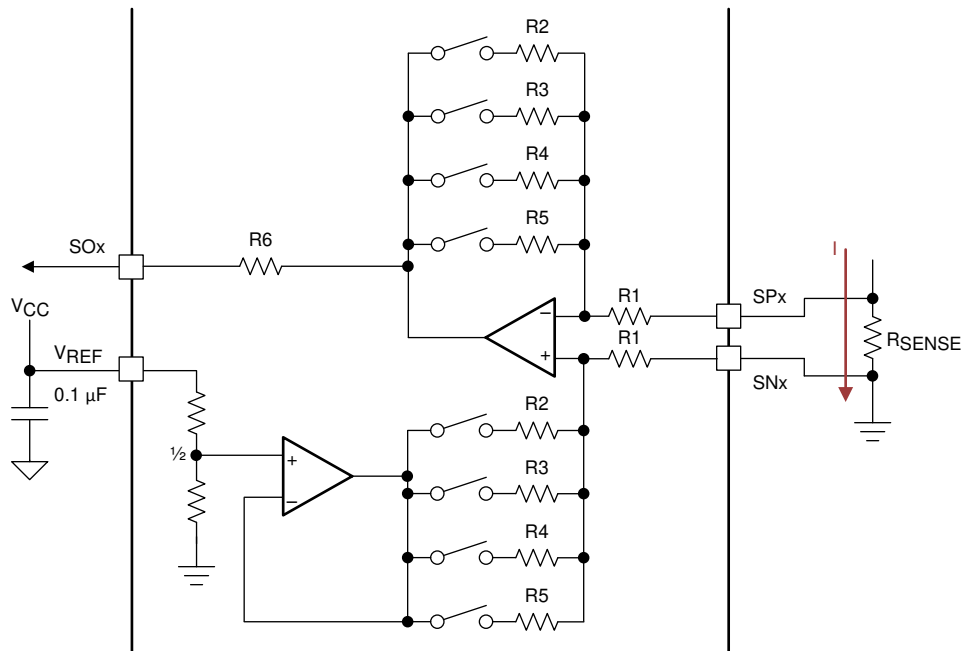


Figure 35. 双方向電流センスの構成

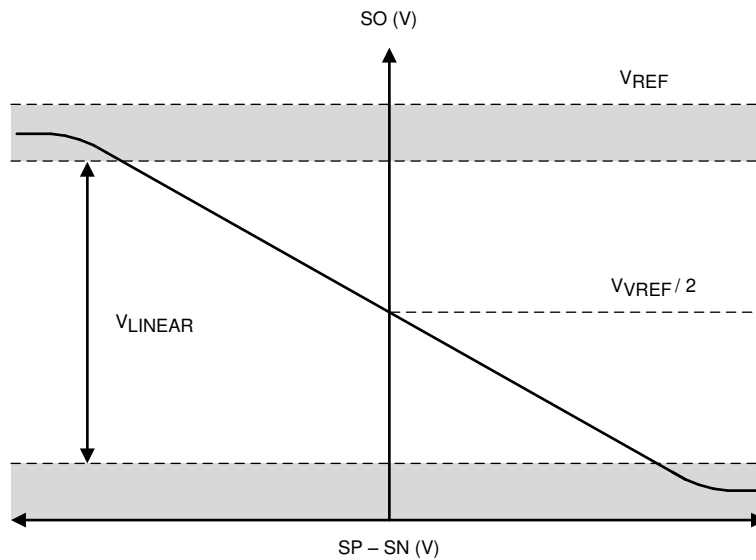


Figure 36. 双方向電流センスの出力

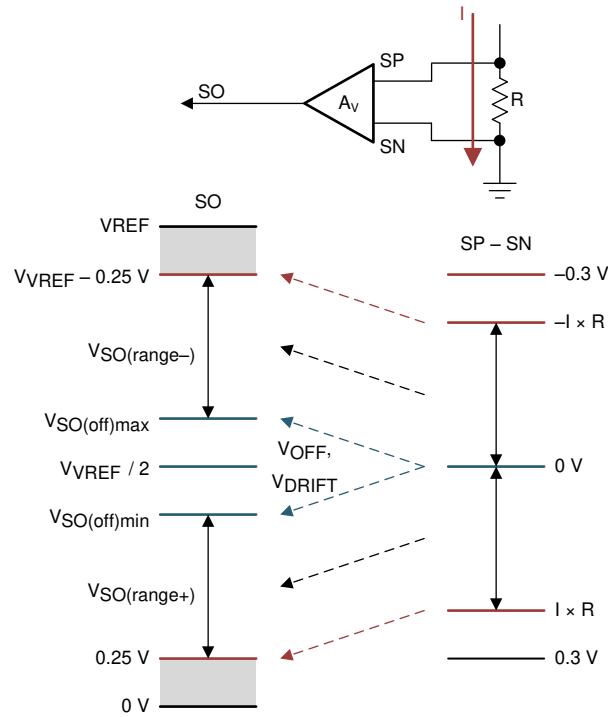


Figure 37. 双方向電流センスの領域

### 9.3.4.2 単方向電流センスの動作 (SPIのみ)

DRV8323とDRV8323Rの各SPIデバイスでは、VREF分圧回路の代わりにVREF\_DIVビットを使用します。この場合、電流センス・アンプは単方向で動作し、SOxピンはSPxおよびSNxピン間の電圧にゲイン設定 ( $G_{CSA}$ ) を乗算した値に等しいアナログ電圧を出力します。シャント抵抗を流れる電流値を計算するには、Equation 4を使用します。

$$I = \frac{V_{VREF} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \quad (4)$$

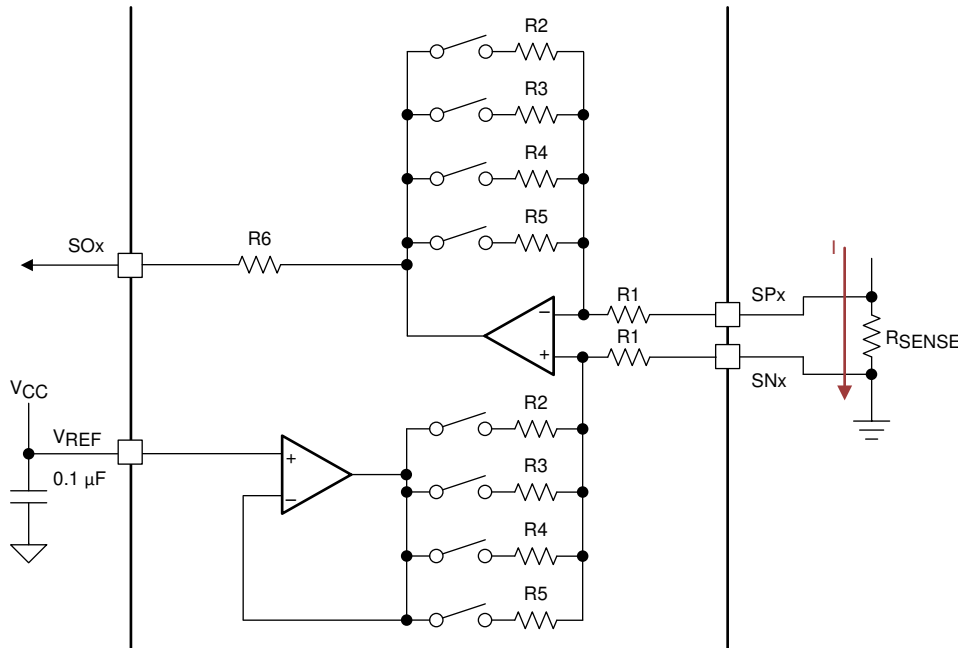


Figure 38. 単方向電流センスの構成

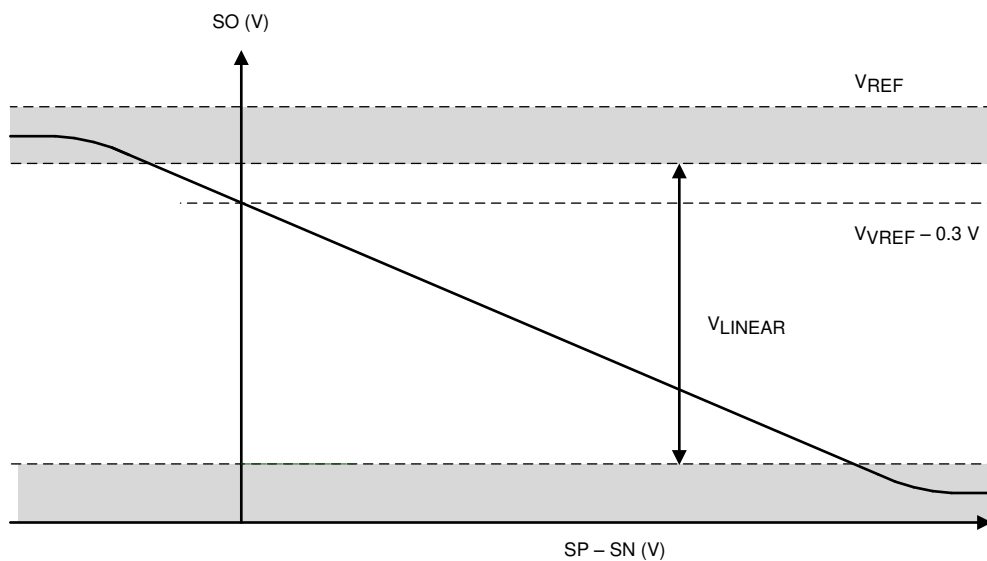


Figure 39. 単方向電流センスの出力

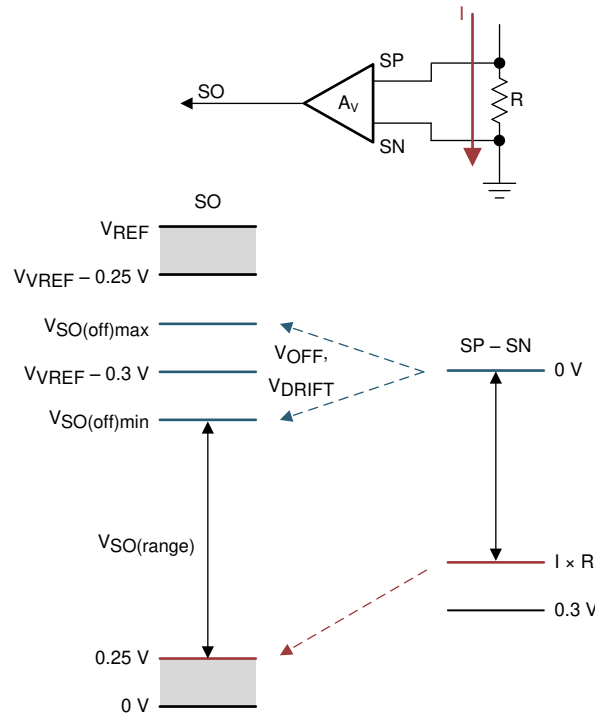


Figure 40. 単方向電流センスの領域

### 9.3.4.3 自動オフセット較正

DCオフセットを最小限に抑えるために、DRV8323とDRV8323Rの各デバイスでは、SPIレジスタ (CSA\_CAL\_X) またはCALピンを介して自動オフセット較正を実行できます。較正がイネーブルになると、アンプへの入力は短絡されて負荷は切り離され、アンプのゲイン ( $G_{CSA}$ ) は40V/V設定に変更されます。その後は入力オフセットを最小化するために、アンプの自動トリム・ルーチンが実行されます。較正がイネーブルになってから自動トリム・ルーチンが完了するまでに100 $\mu$ sかかります。この時間が経過した後、外部コントローラによる追加のオフセット較正を実行する必要がある場合は、引き続きアンプの入力が短絡されて負荷が切り離され、ゲインは40V/Vのまま変更されません。オフセット較正を完了するには、CSA\_CAL\_XレジスタまたはCALピンをLowに戻す必要があります。デバイスが較正を完了すると、ゲインは元のゲイン設定に戻ります。最適な結果が得られるように、オフセット較正は外部MOSFETがスイッチングしていないときに実行し、アンプにノイズの影響が及ぶ可能性を減らしてください。デバイスが単方向モードで構成されている場合は、電流センス・アンプが較正モードに入ると、VREFピンが双方向モードに設定されます。CSA\_CAL\_Xレジスタが設定されていないチャンネルがあったとしても、VREFピンの設定は3つの電流センス・アンプすべてのチャンネルに影響します。

### 9.3.4.4 MOSFET $V_{DS}$ センス・モード (SPIのみ)

DRV8323とDRV8323Rの各SPIデバイスの電流センス・アンプは、外部ローサイドMOSFETの $V_{DS}$ 電圧を増幅するように構成できます。この構成を行うことで、シャント抵抗を使用せずに外部コントローラからMOSFET  $R_{DS(on)}$ での電圧降下を測定し、ハーフブリッジ電流レベルを計算することができます。

このモードを有効にするには、CSA\_FETビットを1に設定します。センス・アンプへの正の入力は、SHxピンに印加される高電圧によってアンプの入力が損傷しないように、内部クランプを使用してSHxピンに内部接続されます。このモードでの動作中、SPxピンは未接続の状態にしておく必要があります。CSA\_FETビットが1に設定されている場合、ローサイド $V_{DS}$ 監視用の負のリファレンスは、LS\_REFビットの状態に関係なく自動的にSNxピンに設定されます。この設定は、ローサイド $V_{DS}$ 監視を無効にするのを防止するために実装されています。

システムがMOSFET  $V_{DS}$ 電流センス・モードで動作する場合は、SHxピンとSNxピンを、外部ローサイドMOSFETのドレインとソースを挟んでゲルピン接続で配線してください。

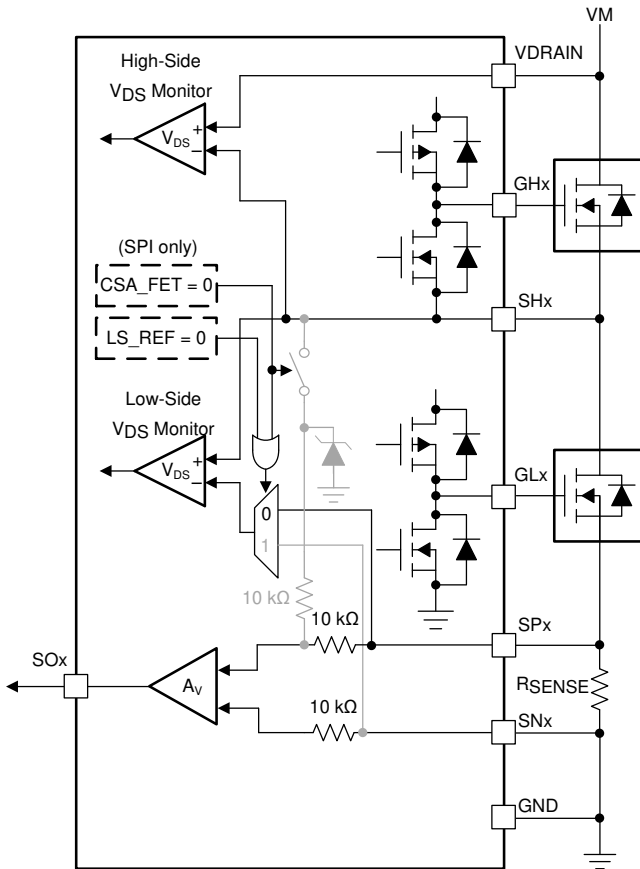


Figure 41. 抵抗センスの構成

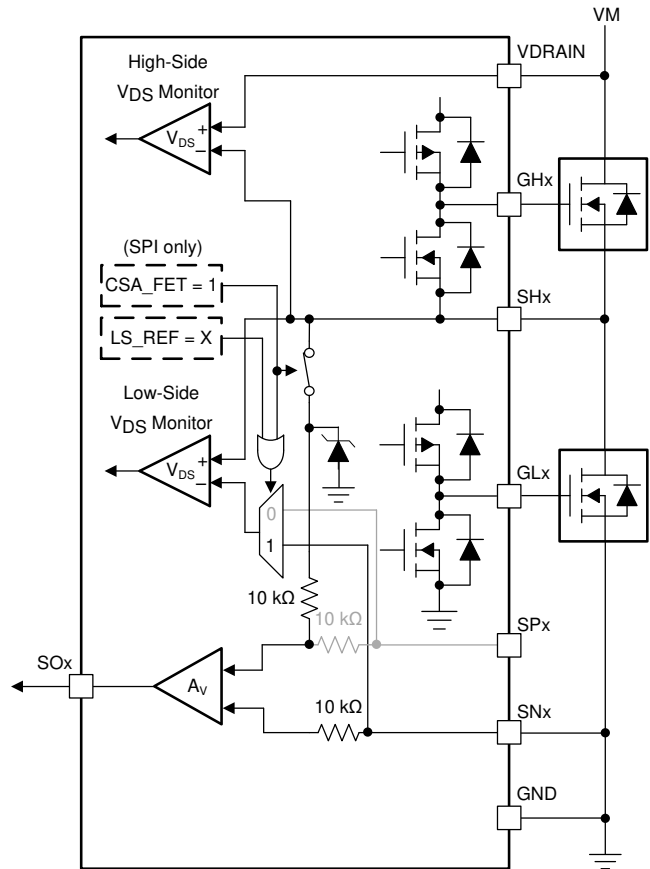


Figure 42.  $V_{DS}$ 電流センス・モード

MOSFET  $V_{DS}$ 電流センス・モードで動作している場合、アンプは $t_{DRIVE}$ 時間の終了時にイネーブルになります。この時点で、アンプの入力はSHxピンに接続され、SOx出力が有効になっています。ローサイドMOSFETがターンオフ信号を受け取ると、アンプの入力であるSPxとSNxが内部で短絡されます。

### 9.3.5 降圧型レギュレータ

DRV8320RとDRV8323Rには、外部コントローラやシステムの電圧レールに電力を供給するために、降圧レギュレータ (LMR16006) が内蔵されています。LMR16006デバイスは、60V、600mAの降圧レギュレータです。

降圧レギュレータは、バッテリーの駆動時間を引き延ばすために、軽負荷時の静止電流が非常に低くなるよう設計されています。LMR16006デバイスは、定周波数の電流モード制御方式で出力容量の低減や周波数補償設計の簡易化を実現することにより、ラインおよび負荷の過渡状態における性能を向上させます。LMR16006は、0.7MHzのスイッチング周波数を使用するバージョンのLMR16006Xデバイスです。

LMR16006デバイスはブートストラップ再充電ダイオードを内蔵しているため、外付け部品数を削減できます。内蔵ハイサイドMOSFETのバイアス電圧は、CBピン-SWピン間のコンデンサによって供給されます。ブートストラップ・コンデンサの電圧はUVLO回路によって監視され、ブート電圧があらかじめ設定されたスレッシュホールドを下回ると、ハイサイドMOSFETがオフになります。

このブートUVLOにより、LMR16006デバイスは高いデューティ・サイクルで動作しつつ、ブート電圧の低下したMOSFETをリフレッシュすることができます。出力電圧は、0.8Vの基準電圧まで降圧させることができます。内部のソフトスタート機能により、突入電流が最小限に抑えられます。

詳細情報、ブート電圧の低下したMOSFETを示すブロック図、および設計情報については、『[LMR16006 SIMPLE SWITCHER® 60V、0.6A、高効率Eco-mode搭載の降圧レギュレータ](#)』データシートを参照してください。

### 9.3.5.1 固定周波数PWM制御

LMR16006デバイスは、固定スイッチング周波数を備え、ピーク電流モード制御が実装されています。内部COMPノードを駆動するエラー・アンプにより、出力電圧がFBピンの外付け抵抗を介して内部電圧リアレンスと比較されます。内部発振器により、ハイサイド・パワー・スイッチのオン動作が開始され、エラー・アンプの出力がハイサイド・パワー・スイッチ電流と比較されます。パワー・スイッチ電流が内部COMP電圧で設定されたレベルに達すると、パワー・スイッチがオフになります。出力電流が増加および減少すると、内部COMPノード電圧も増加および減少します。デバイスではCOMPノード電圧を最大レベルにクランプすることで電流制限を行っています。

### 9.3.5.2 ブートストラップ電圧 (CB)

LMR16006デバイスにはブートストラップ・レギュレータが内蔵されており、ハイサイドMOSFETのゲート駆動電圧を供給するために、CBピンとSWピンの間に小さなセラミック・コンデンサが必要です。CBコンデンサは、ハイサイドMOSFETがオフでローサイド・ダイオードが導通しているときにリフレッシュされます。ドロップアウトを改善するため、LMR16006デバイスは、CBピン-SWピン間の電圧が3Vを上回っている限り100%のデューティ・サイクルで動作するよう設計されています。CBピン-SWピン間の電圧が3Vを下回ると、UVLO回路を使用してハイサイドMOSFETがオフにされることで、ローサイド・ダイオードが導通してCBコンデンサの電荷がリフレッシュされます。CBコンデンサから供給される電源電流が低いため、ハイサイドMOSFETはコンデンサのリフレッシュに必要な時間よりも多くのスイッチング・サイクルにわたってオンに保持できます。そのため、スイッチング・レギュレータの実効デューティ・サイクルは高くなります。軽負荷を使用した最大デューティ・サイクルのアプリケーションでは、注意が必要です。確実にSWピンをグランドにプルダウンしてCBコンデンサをリフレッシュできるように、負荷が軽い場合やデバイスがドロップアウト条件で動作している場合は、内部回路でCBコンデンサを充電します。

### 9.3.5.3 出力電圧設定

図 51に示すように、出力電圧は出力に接続された帰還ピン (FB) と分圧抵抗回路を使用して設定されます。帰還ピンの電圧は0.765Vなので、帰還抵抗の比率により、Equation 5に従って出力電圧が設定されます。

$$V_O = 0.765 \text{ V} \times \left( 1 + \left[ \frac{R_1}{R_2} \right] \right) \quad (5)$$

標準的なR2の開始値は1kΩ ~ 100kΩです。R1の値を計算するには、Equation 6を使用します。

$$R_1 = R_2 \times \left( \left[ \frac{V_O}{0.765 \text{ V}} \right] - 1 \right) \quad (6)$$

### 9.3.5.4 nSHDNおよびVIN低電圧誤動作防止のイネーブル

LMR16006デバイスのnSHDNピンは、内部プルアップ回路による高電圧耐性を備えた入力です。nSHDNピンがフローティング状態でもデバイスはイネーブルにできます。1.23V以上の論理信号を使用すれば、レギュレータをオンにすることもできます。システム上の制限やその他の制限から、さらに高い電圧を使用する必要がある場合は、デバイスを保護するために、電圧の印加点とnSHDNピンの間に100kΩ以上の抵抗を配置することをお勧めします。nSHDNピンを0Vにプルダウンすると、デバイスはオフになり、消費電流の最も低いシャットダウン電流モードに移行します。シャットダウン・モードでは、消費電流が約1μAまで低下します。シャットダウン機能を使用していない場合、nSHDNピンは100kΩの抵抗を介してVINピンに接続しておくことができます。nSHDNピンに印加する最大電圧は60V以下にする必要があります。LMR16006デバイスにはUVLO回路が内蔵されており、内部的に固定されているUVLOスレッショルド・レベル未満まで入力電圧が低下した場合は、この回路が出力をシャットダウンします。この方法で出力をシャットダウンすれば、低入力電圧の状況下でレギュレータが未知の状態にラッチされることはなくなります。入力電圧がこの電圧レベルを超えると、レギュレータはオンになります。UVLO電圧を高くする必要がある場合は、nSHDNピンを使用し、外部抵抗によってシステムUVLOを調整してください。

### 9.3.5.5 電流制限

LMR16006デバイスには、内部COMP電圧を使用してハイサイドMOSFETをサイクルごとにオフにする、電流モード制御が実装されています。各サイクルでは、スイッチ電流と内部COMP電圧の比較が行われます。ピーク・スイッチ電流がCOMP電圧を超えた場合、ハイサイド・スイッチがオフになります。過電流状態で出力電圧がLowに低下すると、エラー・アンプの応答によってCOMPノードがHighになり、スイッチ電流が増加します。エラー・アンプの出力は内部でクランプされるため、スイッチ電流の制限として機能します。



### 9.3.5.6 過電圧過渡保護

LMR16006デバイスには、低出力容量の電源設計において、出力障害状態や強い無負荷過渡事象からの回復時に発生する電圧オーバーシュートを最小限に抑える、過電圧過渡保護 (OVTP) 回路が組み込まれています。例えば、電源出力が過負荷となった場合、エラー・アンプによって実際の出力電圧が内部基準電圧と比較されます。FBピンの電圧が内部基準電圧よりも一定時間にわたって低くなった場合は、エラー・アンプの出力が高電圧にクランプされるため、最大出力電流が要求されます。この状態が解消されると、レギュレータの出力が上昇し、エラー・アンプの出力は定常状態のデューティ・サイクルに遷移します。一部のアプリケーションでは、電源の出力電圧がエラー・アンプの出力よりも速く応答する場合があります、出力のオーバーシュートにつながる可能性があります。OVTP機能では、FBピンの電圧を内部電圧リファレンスの108%であるOVTPスレッショルドと比較する回路を実装することにより、値の小さい出力コンデンサの使用時に出力のオーバーシュートを最小限に抑えます。FBピンの電圧がOVTPスレッショルドより高い場合は、ハイサイドMOSFETがディスエーブルになり、出力に電流が流れるのを防いで、出力オーバーシュートを抑えます。FB電圧がOVTPスレッショルドを下回ると、次のクロック・サイクルでハイサイドMOSFETをオンにできます。

### 9.3.5.7 サーマル・シャットダウン

デバイスには、接合部の温度が170°C (標準値) を超えた場合にデバイス自体を保護するため、内部的なサーマル・シャットダウン機能が実装されています。接合部温度が過熱トリップ・スレッショルドを超えると、デバイスのスイッチングが強制的に停止されます。接合部温度が160°C (標準値) 未満に低下すると、デバイスは電源投入シーケンスを再度開始します。

### 9.3.6 ゲート・ドライバ保護回路

DRV832xファミリのデバイスは、VM低電圧、チャージ・ポンプ低電圧、MOSFET  $V_{DS}$  過電流、ゲート・ドライバ短絡、および過熱状態から保護されています。

Table 7. 障害動作と応答

FAULT	CONDITION	CONFIGURATION	REPORT	GATE DRIVER	LOGIC	RECOVERY
VM undervoltage (UVLO)	$V_{VM} < V_{UVLO}$	—	nFAULT	Hi-Z	Disabled	Automatic: $V_{VM} > V_{UVLO}$
Charge pump undervoltage (CPUV)	$V_{VCP} < V_{CPUV}$	DIS_CPUV = 0b	nFAULT	Hi-Z	Active	Automatic: $V_{VCP} > V_{CPUV}$
		DIS_CPUV = 1b	None	Active	Active	
$V_{DS}$ overcurrent (VDS_OCP)	$V_{DS} > V_{VDS\_OCP}$	OCP_MODE = 00b	nFAULT	Hi-Z	Active	Latched: CLR_FLT, ENABLE Pulse
		OCP_MODE = 01b	nFAULT	Hi-Z	Active	Retry: $t_{RETRY}$
		OCP_MODE = 10b	nFAULT	Active	Active	No action
		OCP_MODE = 11b	None	Active	Active	No action
$V_{SENSE}$ overcurrent (SEN_OCP)	$V_{SP} > V_{SEN\_OCP}$	OCP_MODE = 00b	nFAULT	Hi-Z	Active	Latched: CLR_FLT, ENABLE Pulse
		OCP_MODE = 01b	nFAULT	Hi-Z	Active	Retry: $t_{RETRY}$
		OCP_MODE = 10b	nFAULT	Active	Active	No action
		OCP_MODE = 11b or DIS_SEN = 1b	None	Active	Active	No action
Gate driver fault (GDF)	Gate voltage stuck > $t_{DRIVE}$	DIS_GDF = 0b	nFAULT	Hi-Z	Active	Latched: CLR_FLT, ENABLE Pulse
		DIS_GDF = 1b	None	Active	Active	No action
Thermal warning (OTW)	$T_J > T_{OTW}$	OTW_REP = 0b	None	Active	Active	No action
		OTW_REP = 1b	nFAULT	Active	Active	Automatic: $T_J < T_{OTW} - T_{HYS}$
Thermal shutdown (OTSD)	$T_J > T_{OTSD}$	—	nFAULT	Hi-Z	Active	Automatic: $T_J < T_{OTSD} - T_{HYS}$

#### 9.3.6.1 VM電源の低電圧誤動作防止 (UVLO)

任意の時点でVMピンの入力電源電圧が $V_{UVLO}$ スレッショルド未満に低下した場合は、すべての外部MOSFETとチャージ・ポンプがディスエーブルになり、nFAULTピンがLowになります。また、SPIデバイスのレジスタでは、FAULTビットとVM\_UVLOビットがHighにラッチされます。VMの低電圧状態が解消されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。VM\_UVLOビットの設定は、CLR\_FLTビットまたはENABLEピンのリセット・パルス ( $t_{RST}$ ) によってクリアされるまで保持されます。



### 9.3.6.2 VCPチャージ・ポンプの低電圧誤動作防止 (CPUV)

任意の時点でVCPピン (チャージ・ポンプ) の電圧が $V_{CPUV}$ スレッショルド未満に低下した場合は、すべての外部MOSFETがデイスエーブルになり、nFAULTピンがLowになります。また、SPIデバイスのレジスタでは、FAULTビットとCPUVビットがHighにラッチされます。VCPの低電圧状態が解消されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。CPUVビットの設定は、CLR\_FLTビットまたはENABLEピンのリセット・パルス ( $t_{RST}$ ) によってクリアされるまで保持されます。SPIデバイスのDIS\_CPUVビットをHighに設定すると、この保護機能はデイスエーブルになります。ハードウェア・インターフェイス・デバイスでは、常にCPUV保護がイネーブルになっています。

### 9.3.6.3 MOSFET $V_{DS}$ 過電流保護 (VDS\_OCP)

MOSFET過電流状態は、外部MOSFET  $R_{DS(on)}$ での $V_{DS}$ 電圧降下を監視することによって検出されます。イネーブル状態のMOSFETでの電圧が、 $V_{VDS\_OCP}$ スレッショルドを $t_{OCP\_DEG}$ デグリッチ時間より長い時間にわたって上回った場合は、VDS\_OCPイベントが認識され、OCP\_MODEビットに基づく処置が実行されます。ハードウェア・インターフェイス・デバイスでは、 $V_{VDS\_OCP}$ スレッショルドはVDSピンによって設定され、 $t_{OCP\_DEG}$ は4 $\mu$ sに固定され、OCP\_MODEビットは4msの自動リトライ用に設定されますが、VDSピンをDVDDに接続することでデイスエーブルにできます。SPIデバイスでは、 $V_{VDS\_OCP}$ スレッショルドはVDS\_LVL SPIレジスタ、 $t_{OCP\_DEG}$ はOCP\_DEG SPIレジスタによって設定され、OCP\_MODEビットは $V_{DS}$ ラッチ・シャットダウン、 $V_{DS}$ 自動リトライ、 $V_{DS}$ 通知のみ、 $V_{DS}$ デイスエーブルという4種類のモードで動作できます。

#### 9.3.6.3.1 $V_{DS}$ ラッチ・シャットダウン (OCP\_MODE = 00b)

このモードでは、VDS\_OCPイベント後にすべての外部MOSFETがデイスエーブルになり、nFAULTピンがLowになります。この方法で外部MOSFETがデイスエーブルにされた場合、ドライバでは、プログラムされているIDRIVE設定ではなく、より低いゲート駆動電流用の設定が自動的に使用されます。この設定により、大きな電流が存在する場合は、システム内の寄生容量から発生する誘導性キックバックを最小限に抑えるために、その電流をゆっくりと低下させることができます。SPIレジスタでは、FAULT、VDS\_OCP、および対応するMOSFET OCPビットがHighにラッチされます。VDS\_OCP状態が解消され、CLR\_FLTビットまたはENABLEリセット・パルス ( $t_{RST}$ ) のいずれかによって障害クリア・コマンドが実行されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。

#### 9.3.6.3.2 $V_{DS}$ 自動リトライ (OCP\_MODE = 01b)

このモードでは、VDS\_OCPイベント後にすべての外部MOSFETがデイスエーブルになり、nFAULTピンがLowになります。この方法で外部MOSFETがデイスエーブルにされた場合、ドライバでは、プログラムされているIDRIVE設定ではなく、より低いゲート駆動電流用の設定が自動的に使用されます。この設定により、大きな電流が存在する場合は、システム内の寄生容量から発生する誘導性キックバックを最小限に抑えるために、その電流をゆっくりと低下させることができます。SPIレジスタでは、FAULT、VDS\_OCP、および対応するMOSFET OCPビットがHighにラッチされます。 $t_{RETRY}$ 時間が経過した後は、通常動作が自動的に再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。FAULT、VDS\_OCP、およびMOSFET OCPビットは $t_{RETRY}$ 期間が終了するまでラッチされた状態を保ちます。

#### 9.3.6.3.3 $V_{DS}$ 通知のみ (OCP\_MODE = 10b)

このモードでは、VDS\_OCPイベントの後に保護動作は発生しません。nFAULTピンをLowにし、FAULT、VDS\_OCP、および対応するMOSFET OCPビットをSPIレジスタでHighにラッチすることにより、過電流状態が通知されます。ゲート・ドライバは通常どおり動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。VDS\_OCP状態が解消され、CLR\_FLTビットまたはENABLEリセット・パルス ( $t_{RST}$ ) のいずれかによって障害クリア・コマンドが実行されると、通知がクリアされます (nFAULTピンが解放される)。

#### 9.3.6.3.4 $V_{DS}$ デイスエーブル (OCP\_MODE = 11b)

このモードでは、VDS\_OCPイベントの後に何の動作も発生しません。

### 9.3.6.4 $V_{SENSE}$ 過電流保護 (SEN\_OCP)

外部電流センス抵抗での電圧降下をSPピンで検出することにより、ハーフブリッジの過電流も監視できます。任意の時点でのCSAのSP入力の電圧が、 $V_{SEN\_OCP}$ スレッシュホールドを $t_{OCP\_DEG}$ デグリッチ時間より長い時間にわたって上回った場合は、SEN\_OCPイベントが認識され、OCP\_MODEビットに基づく処置が実行されます。ハードウェア・インターフェイス・デバイスでは、 $V_{SENSE}$ スレッシュホールドが1V、 $t_{OCP\_DEG}$ が4 $\mu$ sに固定され、 $V_{SENSE}$ のOCP\_MODEが4msの自動リトライ用に固定されます。SPIデバイスでは、 $V_{SENSE}$ スレッシュホールドはSEN\_LVL SPIレジスタ、 $t_{OCP\_DEG}$ はOCP\_DEG SPIレジスタによって設定され、OCP\_MODEビットは $V_{SENSE}$ ラッチ・シャットダウン、 $V_{SENSE}$ 自動リトライ、 $V_{SENSE}$ 通知のみ、 $V_{SENSE}$ ディスエーブルという4種類のモードで動作できます。

#### 9.3.6.4.1 $V_{SENSE}$ ラッチ・シャットダウン (OCP\_MODE = 00b)

このモードでは、SEN\_OCPイベント後にすべての外部MOSFETがディスエーブルになり、nFAULTピンがLowになります。SPIレジスタでは、FAULTビットとSEN\_OCPビットがHighにラッチされます。SEN\_OCP状態が解消され、CLR\_FLTビットまたはENABLEリセット・パルス ( $t_{RST}$ ) のいずれかによって障害クリア・コマンドが実行されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。

#### 9.3.6.4.2 $V_{SENSE}$ 自動リトライ (OCP\_MODE = 01b)

このモードでは、SEN\_OCPイベント後にすべての外部MOSFETがディスエーブルになり、nFAULTピンがLowになります。SPIレジスタでは、FAULT、SEN\_OCP、および対応するセンスOCPビットがHighにラッチされます。 $t_{RETRY}$ 時間が経過した後は、通常動作が自動的に再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。FAULT、SEN\_OCP、およびセンスOCPビットは $t_{RETRY}$ 期間が終了するまでラッチされた状態を保ちます。

#### 9.3.6.4.3 $V_{SENSE}$ 通知のみ (OCP\_MODE = 10b)

このモードでは、SEN\_OCPイベントの後に保護動作は発生しません。nFAULTピンをLowにし、FAULTビットとSEN\_OCPビットをSPIレジスタでHighにラッチすることにより、過電流状態が通知されます。ゲート・ドライバは動作を継続します。外部コントローラは適切に動作することによって過電流状態を管理します。SEN\_OCP状態が解消され、CLR\_FLTビットまたはENABLEリセット・パルス ( $t_{RST}$ ) のいずれかによって障害クリア・コマンドが実行されると、通知がクリアされます (nFAULTが解放される)。

#### 9.3.6.4.4 $V_{SENSE}$ ディスエーブル (OCP\_MODE = 11bまたはDIS\_SEN = 1b)

このモードでは、SEN\_OCPイベントの後に何の動作も発生しません。DIS\_SEN SPIレジスタを使用することで、VDS\_OCPビットとは無関係にSEN\_OCPビットをディスエーブルにできます。

### 9.3.6.5 ゲート・ドライバ障害 (GDF)

GHxピンとGLxピンが監視されているため、 $t_{DRIVE}$ 時間の経過後に外部MOSFETゲートの電圧が増加も減少もしなければ、ゲート・ドライバ障害が検出されます。このような障害は、GHxまたはGLxピンがPGND、SHx、またはVMピンと短絡している場合に発生します。また、選択した $I_{DRIVE}$ 設定が外部MOSFETを $t_{DRIVE}$ 期間中にオンにするのに十分ではない場合にも、ゲート・ドライバ障害が発生する可能性があります。ゲート・ドライバ障害が検出されると、すべての外部MOSFETがディスエーブルになり、nFAULTピンがLowになります。さらに、SPIレジスタでは、FAULT、GDF、および対応するVGSビットがHighにラッチされます。ゲート・ドライバの障害状態が解消され、CLR\_FLTビットまたはENABLEリセット・パルス ( $t_{RST}$ ) のいずれかによって障害クリア・コマンドが実行されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。SPIデバイスでは、DIS\_GDFビットをHighに設定すると、この保護機能がディスエーブルになります。

ゲート・ドライバ障害が発生する場合は、選択した $I_{DRIVE}$ または $t_{DRIVE}$ 設定が、外部MOSFETに必要なスルー・レートに対して低すぎる可能性があります。このような場合のゲート・ドライバ障害は、 $I_{DRIVE}$ または $t_{DRIVE}$ の設定値を増やすことで解決できます。また、外部MOSFETのゲート・ソース間で短絡が発生している場合は、MOSFETゲートがオンにならないのでゲート・ドライバ障害が通知されます。

### 9.3.6.6 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ・ポイント ( $T_{OTW}$ ) を上回ると、SPIデバイスのレジスタにOTWビットが設定されます。デバイスの動作は継続され、追加動作が実行されることはありません。ダイ温度が過熱警告のヒステリシス・ポイント未満まで低下すると、OTWビットは自動的にクリアされます。また、SPIレジスタでOTW\_REPビットを1に設定することにより、nFAULTピンで通知するようにOTWビットを構成することもできます。

### 9.3.6.7 サーマル・シャットダウン (OTSD)

ダイ温度がサーマル・シャットダウン制限のトリップ・ポイント ( $T_{OTSD}$ ) を上回ると、すべての外部MOSFETがディスエーブルになり、チャージ・ポンプがシャットダウンされ、nFAULTピンがLowになります。さらに、FAULTビットとTSDビットがHighにラッチされます。過熱状態が解消されると、通常動作が再開されます (ゲート・ドライバの動作が再開され、nFAULTピンが解放される)。TSDビットがHighにラッチされたままになっている場合は、CLR\_FLTビットまたはENABLEリセット・パルス ( $t_{RST}$ ) のいずれかによって障害クリア・コマンドが実行されるまで、過熱状態が発生していたことを示します。この保護機能をディスエーブルにすることはできません。

## 9.4 デバイスの機能モード

### 9.4.1 ゲート・ドライバの機能モード

#### 9.4.1.1 スリープ・モード

ENABLEピンは、DRV832xファミリのデバイスの状態を管理するピンです。ENABLEピンがLowになると、デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべてのゲート・ドライバ、センス・アンプ (使用されている場合)、すべての外部MOSFET、チャージ・ポンプ、DVDDレギュレータ、SPIバスがディスエーブルになります。LMR16006X降圧レギュレータ (使用されている場合) はENABLEピンでは制御されていないため、ゲート・ドライバとは独立して動作できます。ENABLEピンでの立ち下がりエッジの後、 $t_{SLEEP}$ 時間が経過するとデバイスがスリープ・モードに移行します。ENABLEピンがHighになると、デバイスのスリープ・モードは自動的に終了します。 $t_{WAKE}$ 時間が経過すると、デバイスは入力可能な状態になります。

スリープ・モード中や  $V_{VM} < V_{UVLO}$  のときは、すべての外部MOSFETがディスエーブルになります。ハイサイド・ゲート・ピンGHxは内部抵抗によってSHxピンの電位に、ローサイド・ゲート・ピンGLxは内部抵抗によってPGNDピンの電位になります。

#### NOTE

ENABLEピンによるデバイスのオン時やオフ時に内部レギュレータがイネーブルまたはディスエーブルになる間、nFAULTピンはLowに維持されます。レギュレータがイネーブルまたはディスエーブルになった後、nFAULTピンは自動的に解放されます。nFAULTピンがLowになっている時間が、 $t_{SLEEP}$  または  $t_{WAKE}$  時間を上回ることはありません。

#### 9.4.1.2 動作モード

ENABLEピンがHighで  $V_{VM}$  電圧が  $V_{UVLO}$  電圧より大きい場合、デバイスは動作モードに移行します。 $t_{WAKE}$ 時間が経過すると、デバイスは入力可能な状態になります。このモードでは、チャージ・ポンプ、ローサイド・ゲート・レギュレータ、DVDDレギュレータ、SPIバスがアクティブです。

#### 9.4.1.3 障害リセット (CLR\_FLTまたはENABLEリセット・パルス)

デバイスの障害状態がラッチされている場合、DRV832xファミリのデバイスは、外部パワーMOSFETとシステムを保護するために部分的シャットダウン状態に移行します。

障害状態が解消されると、SPIデバイスでCLR\_FLT SPIビットを設定するか、またはいずれかのインターフェイスでENABLEピンにリセット・パルスを印加することにより、デバイスを動作状態に戻すことができます。ENABLEリセット・パルス ( $t_{RST}$ ) は、ENABLEピンでのHigh→Low→Highの遷移で構成されています。このシーケンスのLow期間は $t_{RST}$ 時間枠内に収める必要があり、そうしないとデバイスが完全なシャットダウン・シーケンスを開始することになります。リセット・パルスがレギュレータ、デバイス設定、またはその他の機能ブロックに影響することはありません。

## デバイスの機能モード (continued)

### 9.4.2 降圧レギュレータの機能モード

#### 9.4.2.1 連続導通モード (CCM)

LMR16006統合型降圧レギュレータは、入力電圧を降圧して、より低い出力電圧を生成します。連続導通モードでの降圧レギュレータは2つのサイクルで動作します (CCMでインダクタ電流がゼロにならない場合)。電源スイッチはVINピン-SWピン間に接続されています。最初の動作サイクル中は、トランジスタが閉じられ、ダイオードが逆バイアスされます。インダクタにエネルギーが集められ、C<sub>OUT</sub>コンデンサと、インダクタを介して上昇する電流によって負荷電流が供給されます。2つ目の動作サイクル中は、トランジスタが開かれ、インダクタ電流が瞬時に方向転換できないのでダイオードが順方向にバイアスされます。インダクタに蓄積したエネルギーは負荷と出力コンデンサに伝達されます。これら2つのサイクルの比率によって出力電圧が決まります。Equation 7とEquation 8は、おおよその出力電圧を定義しています。

$$D = \frac{V_o}{V_{VIN}}$$

ここで

- Dはスイッチングのデューティ・サイクルです。 (7)

$$D' = (1 - D) \quad (8)$$

設計の計算にはDとD'の値が必要になります。

#### 9.4.2.2 Eco-mode™制御方式

LMR16006デバイスは、軽負荷電流時にはEco-mode制御方式で動作し、スイッチング損失やゲート駆動損失の低減によって効率を向上させます。LMR16006デバイスは、出力電圧がレギュレーション範囲内のときに、任意のスイッチング・サイクルの終了時点でピーク・スイッチ電流がスリープ電流スレシヨルドI<sub>INDUCTOR</sub> (80mA以下)を下回っている場合、Eco-modeに移行するように設計されています。Eco-mode動作に関して、LMR16006デバイスは (平均電流や負荷電流ではなく)ピーク電流をセンスするため、デバイスがEco-modeに入る負荷電流は入力電圧、出力電圧、出力インダクタ値によって異なります。負荷電流が低く、出力電圧がレギュレーション内のとき、デバイスはEco-modeに入り、静止時入力電流はわずか28μAとなります。

## 9.5 プログラミング

このセクションは、DRV832x SPIデバイスにのみ適用されます。

### 9.5.1 SPI通信

#### 9.5.1.1 SPI

DRV832x SPIデバイスでは、デバイス構成および動作パラメータの設定や診断情報の読み出しにSPIバスを使用します。SPIはスリープ・モードで動作し、マスタ・コントローラに接続します。SPI入力データ (SDI)ワードは16ビットのワード、5ビットのコマンド、11ビットのデータで構成されています。SPI出力データ (SDO)ワードは11ビットのレジスタ・データで構成されています。最初の5ビットはDon't careビットです。

有効なフレームは以下の条件を満たしていなければなりません。

- SCLKピンは、nSCSピンがHighからLow、LowからHighに遷移するときにLowになっている必要がある。
- nSCSピンは、ワード間の400ns以上にわたってHighにプルアップされている必要がある。
- nSCSピンがHighにプルアップされているときは、SCLKピンとSDIピンのすべての信号が無視され、SDOピンがHi-Z状態になる。
- データはSCLKピンの立ち上がりエッジで収集され、SCLKピンの立ち上がりエッジで伝搬される。
- 最上位ビット (MSB) のシフト・イン/シフト・アウトが最初に行われる。
- トランザクションを有効にするには、16 SCLKサイクルすべてが発生しなければならない。
- SDIピンに送信されるデータ・ワードが16ビットより多い/少ない場合は、フレーム・エラーが発生してデータ・ワードが無視される。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、5ビットのコマンド・データに続いてSDOピンでシフト・アウトされる。



## プログラミング (continued)

### 9.5.1.1.1 SPIフォーマット

SDI入力データ・ワードは16ビット長であり、以下のフォーマットで構成されています。

- 1読み取りまたは書き込みビット、W (ビットB15)
- 4アドレス・ビット、A (ビットB14~B11)
- 11データ・ビット、D (ビットB11~B0)

SDO出力データ・ワードは16ビット長であり、最初の5ビットはDon't careビットです。データ・ワードとはアクセス先のレジスタの内容です。

書き込みコマンド (W0 = 0) の場合、SDOピンでの応答ワードはその時点で書き込み先レジスタ内にあるデータです。

読み取りコマンド (W0 = 1) の場合、応答ワードはその時点で読み取り元レジスタ内にあるデータです。

Table 8. SDI入力データ・ワードのフォーマット

R/W	ADDRESS					DATA									
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A3	A2	A1	A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

Table 9. SDO出力データ・ワードのフォーマット

DON'T CARE BITS					DATA										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

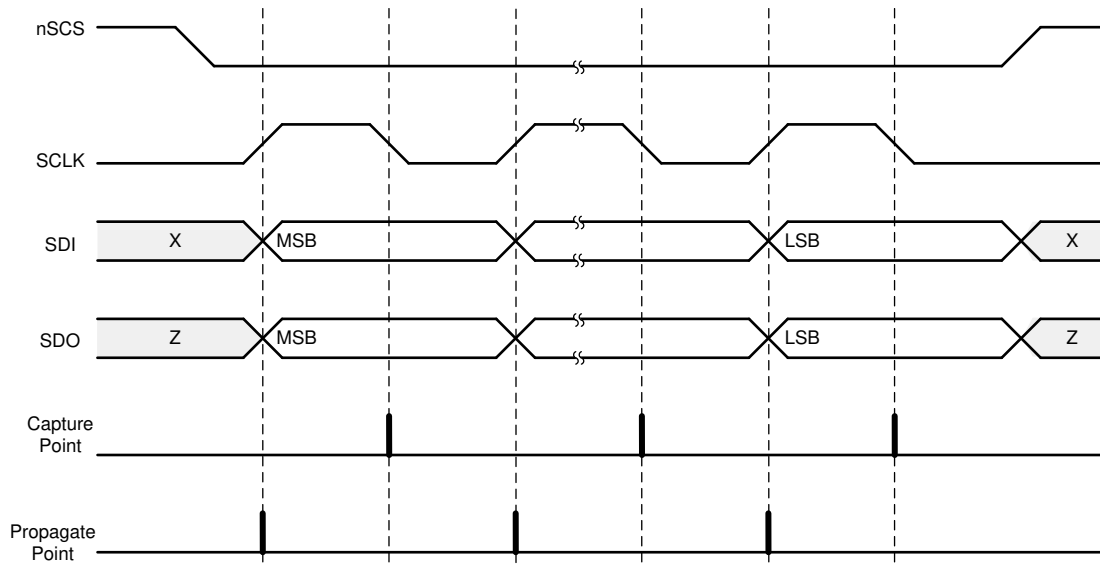


Figure 43. SPIスレーブのタイミング図

## 9.6 レジスタ・マップ

このセクションは、DRV832x SPIデバイスにのみ適用されます。

### NOTE

Reservedと示されたレジスタや、レジスタ・マップ ( Table 10 ) に示されていないアドレスは変更しないでください。そのようなレジスタに書き込みを行うと、予期しない動作が生じる場合があります。すべてのReservedビットのデフォルト値は0です。マスタ・コントローラからの誤ったSPI書き込みを防ぐには、LOCKビットを設定してSPIレジスタをロックしてください。

Table 10. DRV832xSおよびDRV832xRSのレジスタ・マップ

Name	10	9	8	7	6	5	4	3	2	1	0	Type	Address
<b>DRV8320S and DRV8320RS</b>													
Fault Status 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS Status 2	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
Driver Control	Reserved	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
Gate Drive HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
Gate Drive LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP Control	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
Reserved	Reserved											RW	6h
Reserved	Reserved											RW	7h
<b>DRV8323S and DRV8323RS</b>													
Fault Status 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS Status 2	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
Driver Control	Reserved	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
Gate Drive HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
Gate Drive LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP Control	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
CSA Control	CSA_FET	VREF_DIV	LS_REF	CSA_GAIN		DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C	SEN_LVL		RW	6h
Reserved	Reserved											RW	7h

### 9.6.1 ステータス・レジスタ

ステータス・レジスタは、警告および障害状態を示すために使用されます。ステータス・レジスタは読み取り専用レジスタです。

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。Table 11に、このセクションでアクセス・タイプに使用している表記を示します。

**Table 11. ステータス・レジスタのアクセス・タイプ表記**

Access Type	Code	Description
<b>Read Type</b>		
R	R	Read
<b>Reset or Default Value</b>		
-n		Value after reset or the default value

#### 9.6.1.1 障害ステータス・レジスタ1 (アドレス = 0x00)

障害ステータス・レジスタ1をFigure 44に示し、説明をTable 12に示します。

レジスタ・アクセス・タイプ：読み取り専用

**Figure 44. 障害ステータス・レジスタ1**

10	9	8	7	6	5	4	3	2	1	0
FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

**Table 12. 障害ステータス・レジスタ1のフィールド説明**

Bit	Field	Type	Default	Description
10	FAULT	R	0b	Logic OR of FAULT status registers. Mirrors nFAULT pin.
9	VDS_OCP	R	0b	Indicates VDS monitor overcurrent fault condition
8	GDF	R	0b	Indicates gate drive fault condition
7	UVLO	R	0b	Indicates undervoltage lockout fault condition
6	OTSD	R	0b	Indicates overtemperature shutdown
5	VDS_HA	R	0b	Indicates VDS overcurrent fault on the A high-side MOSFET
4	VDS_LA	R	0b	Indicates VDS overcurrent fault on the A low-side MOSFET
3	VDS_HB	R	0b	Indicates VDS overcurrent fault on the B high-side MOSFET
2	VDS_LB	R	0b	Indicates VDS overcurrent fault on the B low-side MOSFET
1	VDS_HC	R	0b	Indicates VDS overcurrent fault on the C high-side MOSFET
0	VDS_LC	R	0b	Indicates VDS overcurrent fault on the C low-side MOSFET

### 9.6.1.2 障害ステータス・レジスタ2 (アドレス = 0x01)

障害ステータス・レジスタ2をFigure 45に示し、説明をTable 13に示します。

レジスタ・アクセス・タイプ : 読み取り専用

Figure 45. 障害ステータス・レジスタ2

10	9	8	7	6	5	4	3	2	1	0
SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

Table 13. 障害ステータス・レジスタ2のフィールド説明

Bit	Field	Type	Default	Description
10	SA_OC	R	0b	Indicates overcurrent on phase A sense amplifier (DRV8323xS)
9	SB_OC	R	0b	Indicates overcurrent on phase B sense amplifier (DRV8323xS)
8	SC_OC	R	0b	Indicates overcurrent on phase C sense amplifier (DRV8323xS)
7	OTW	R	0b	Indicates overtemperature warning
6	CPUV	R	0b	Indicates charge pump undervoltage fault condition
5	VGS_HA	R	0b	Indicates gate drive fault on the A high-side MOSFET
4	VGS_LA	R	0b	Indicates gate drive fault on the A low-side MOSFET
3	VGS_HB	R	0b	Indicates gate drive fault on the B high-side MOSFET
2	VGS_LB	R	0b	Indicates gate drive fault on the B low-side MOSFET
1	VGS_HC	R	0b	Indicates gate drive fault on the C high-side MOSFET
0	VGS_LC	R	0b	Indicates gate drive fault on the C low-side MOSFET



## 9.6.2 制御レジスタ

制御レジスタは、デバイスの設定に使用します。制御レジスタは読み取りと書き込みが可能です。

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。Table 14に、このセクションでアクセス・タイプに使用している表記を示します。

**Table 14. 制御レジスタのアクセス・タイプ表記**

Access Type	Code	Description
<b>Read Type</b>		
R	R	Read
<b>Write Type</b>		
W	W	Write
<b>Reset or Default Value</b>		
-n		Value after reset or the default value

### 9.6.2.1 ドライバ制御レジスタ ( アドレス = 0x02 )

ドライバ制御レジスタをFigure 46に示し、説明をTable 15に示します。

レジスタ・アクセス・タイプ : 読み取り/書き込み

**Figure 46. ドライバ制御レジスタ**

10	9	8	7	6	5	4	3	2	1	0
Reserved	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

**Table 15. ドライバ制御のフィールド説明**

Bit	Field	Type	Default	Description
10	Reserved	R/W	0b	Reserved
9	DIS_CPUV	R/W	0b	<b>0b = Charge pump UVLO fault is enabled</b> 1b = Charge pump UVLO fault is disabled
8	DIS_GDF	R/W	0b	<b>0b = Gate drive fault is enabled</b> 1b = Gate drive fault is disabled
7	OTW_REP	R/W	0b	<b>0b = OTW is not reported on nFAULT or the FAULT bit</b> 1b = OTW is reported on nFAULT and the FAULT bit
6-5	PWM_MODE	R/W	00b	<b>00b = 6x PWM Mode</b> 01b = 3x PWM mode 10b = 1x PWM mode 11b = Independent PWM mode
4	1PWM_COM	R/W	0b	<b>0b = 1x PWM mode uses synchronous rectification</b> 1b = 1x PWM mode uses asynchronous rectification (diode freewheeling)
3	1PWM_DIR	R/W	0b	In 1x PWM mode this bit is ORed with the INHC (DIR) input
2	COAST	R/W	0b	Write a 1 to this bit to put all MOSFETs in the Hi-Z state
1	BRAKE	R/W	0b	Write a 1 to this bit to turn on all three low-side MOSFETs in 1x PWM mode. This bit is ORed with the INLC (BRAKE) input.
0	CLR_FLT	R/W	0b	Write a 1 to this bit to clear latched fault bits. This bit automatically resets after being written.

### 9.6.2.2 ゲート駆動HSレジスタ ( アドレス = 0x03 )

ゲート駆動HSレジスタをFigure 47に示し、説明をTable 16に示します。

レジスタ・アクセス・タイプ : 読み取り/書き込み

Figure 47. ゲート駆動HSレジスタ

10	9	8	7	6	5	4	3	2	1	0
LOCK			IDRIVEP_HS				IDRIVEN_HS			
R/W-011b			R/W-1111b				R/W-1111b			

Table 16. ゲート駆動HSのフィールド説明

Bit	Field	Type	Default	Description
10-8	LOCK	R/W	011b	Write 110b to lock the settings by ignoring further register writes except to these bits and address 0x02 bits 0-2. Writing any sequence other than 110b has no effect when unlocked. Write 011b to this register to unlock all registers. Writing any sequence other than 011b has no effect when locked.
7-4	IDRIVEP_HS	R/W	1111b	0000b = 10 mA 0001b = 30 mA 0010b = 60 mA 0011b = 80 mA 0100b = 120 mA 0101b = 140 mA 0110b = 170 mA 0111b = 190 mA 1000b = 260 mA 1001b = 330 mA 1010b = 370 mA 1011b = 440 mA 1100b = 570 mA 1101b = 680 mA 1110b = 820 mA <b>1111b = 1000 mA</b>
3-0	IDRIVEN_HS	R/W	1111b	0000b = 20 mA 0001b = 60 mA 0010b = 120 mA 0011b = 160 mA 0100b = 240 mA 0101b = 280 mA 0110b = 340 mA 0111b = 380 mA 1000b = 520 mA 1001b = 660 mA 1010b = 740 mA 1011b = 880 mA 1100b = 1140 mA 1101b = 1360 mA 1110b = 1640 mA <b>1111b = 2000 mA</b>

### 9.6.2.3 ゲート駆動LSレジスタ ( アドレス = 0x04 )

ゲート駆動LSレジスタをFigure 48に示し、説明をTable 17に示します。

レジスタ・アクセス・タイプ : 読み取り/書き込み

**Figure 48. ゲート駆動LSレジスタ**

10	9	8	7	6	5	4	3	2	1	0
CBC	TDRIVE		IDRIVEP_LS			IDRIVEN_LS				
R/W-1b	R/W-11b		R/W-1111b			R/W-1111b				

**Table 17. ゲート駆動LSレジスタのフィールド説明**

Bit	Field	Type	Default	Description
10	CBC	R/W	1b	In retry OCP_MODE, for both VDS_OCP and SEN_OCP, the fault is automatically cleared when a PWM input is given
9-8	TDRIVE	R/W	11b	00b = 500-ns peak gate-current drive time 01b = 1000-ns peak gate-current drive time 10b = 2000-ns peak gate-current drive time <b>11b = 4000-ns peak gate-current drive time</b>
7-4	IDRIVEP_LS	R/W	1111b	0000b = 10 mA 0001b = 30 mA 0010b = 60 mA 0011b = 80 mA 0100b = 120 mA 0101b = 140 mA 0110b = 170 mA 0111b = 190 mA 1000b = 260 mA 1001b = 330 mA 1010b = 370 mA 1011b = 440 mA 1100b = 570 mA 1101b = 680 mA 1110b = 820 mA <b>1111b = 1000 mA</b>
3-0	IDRIVEN_LS	R/W	1111b	0000b = 20 mA 0001b = 60 mA 0010b = 120 mA 0011b = 160 mA 0100b = 240 mA 0101b = 280 mA 0110b = 340 mA 0111b = 380 mA 1000b = 520 mA 1001b = 660 mA 1010b = 740 mA 1011b = 880 mA 1100b = 1140 mA 1101b = 1360 mA 1110b = 1640 mA <b>1111b = 2000 mA</b>

### 9.6.2.4 OCP制御レジスタ ( アドレス = 0x05 )

OCP制御レジスタをFigure 49に示し、説明をTable 18に示します。

レジスタ・アクセス・タイプ : 読み取り/書き込み

Figure 49. OCP制御レジスタ

10	9	8	7	6	5	4	3	2	1	0
TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL			
R/W-0b	R/W-01b		R/W-01b		R/W-01b		R/W-1001b			

Table 18. OCP制御のフィールド説明

Bit	Field	Type	Default	Description
10	TRETRY	R/W	0b	<b>0b = VDS_OCP and SEN_OCP retry time is 4 ms</b> 1b = VDS_OCP and SEN_OCP retry time is 50 μs
9-8	DEAD_TIME	R/W	01b	00b = 50-ns dead time <b>01b = 100-ns dead time</b> 10b = 200-ns dead time 11b = 400-ns dead time
7-6	OCP_MODE	R/W	01b	00b = Overcurrent causes a latched fault <b>01b = Overcurrent causes an automatic retrying fault</b> 10b = Overcurrent is report only but no action is taken 11b = Overcurrent is not reported and no action is taken
5-4	OCP_DEG	R/W	01b	00b = Overcurrent deglitch time of 2 μs <b>01b = Overcurrent deglitch time of 4 μs</b> 10b = Overcurrent deglitch time of 6 μs 11b = Overcurrent deglitch time of 8 μs
3-0	VDS_LVL	R/W	1001b	0000b = 0.06 V 0001b = 0.13 V 0010b = 0.2 V 0011b = 0.26 V 0100b = 0.31 V 0101b = 0.45 V 0110b = 0.53 V 0111b = 0.6 V 1000b = 0.68 V <b>1001b = 0.75 V</b> 1010b = 0.94 V 1011b = 1.13 V 1100b = 1.3 V 1101b = 1.5 V 1110b = 1.7 V 1111b = 1.88 V

### 9.6.2.5 CSA制御レジスタ ( DRV8323xのみ ) ( アドレス = 0x06 )

CSA制御レジスタをFigure 50に示し、説明をTable 19に示します。

レジスタ・アクセス・タイプ : 読み取り/書き込み

このレジスタはDRV8323xファミリのデバイスにのみ存在します。

**Figure 50. CSA制御レジスタ**

10	9	8	7	6	5	4	3	2	1	0
CSA_FET	VREF_DIV	LS_REF		CSA_GAIN	DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C		SEN_LVL
R/W-0b	R/W-1b	R/W-0b		R/W-10b	R/W-0b	R/W-0b	R/W-0b	R/W-0b		R/W-11b

**Table 19. CSA制御のフィールド説明**

Bit	Field	Type	Default	Description
10	CSA_FET	R/W	0b	<b>0b = Current sense amplifier positive input is SPx</b> 1b = Current sense amplifier positive input is SHx (also automatically sets the LS_REF bit to 1)
9	VREF_DIV	R/W	1b	0b = Current sense amplifier reference voltage is VREF (unidirectional mode) <b>1b = Current sense amplifier reference voltage is VREF divided by 2</b>
8	LS_REF	R/W	0b	<b>0b = VDS_OCP for the low-side MOSFET is measured across SHx to SPx</b> 1b = VDS_OCP for the low-side MOSFET is measured across SHx to SNx
7-6	CSA_GAIN	R/W	10b	00b = 5-V/V current sense amplifier gain 01b = 10-V/V current sense amplifier gain <b>10b = 20-V/V current sense amplifier gain</b> 11b = 40-V/V current sense amplifier gain
5	DIS_SEN	R/W	0b	<b>0b = Sense overcurrent fault is enabled</b> 1b = Sense overcurrent fault is disabled
4	CSA_CAL_A	R/W	0b	<b>0b = Normal current sense amplifier A operation</b> 1b = Short inputs to current sense amplifier A for offset calibration
3	CSA_CAL_B	R/W	0b	<b>0b = Normal current sense amplifier B operation</b> 1b = Short inputs to current sense amplifier B for offset calibration
2	CSA_CAL_C	R/W	0b	<b>0b = Normal current sense amplifier C operation</b> 1b = Short inputs to current sense amplifier C for offset calibration
1-0	SEN_LVL	R/W	11b	00b = Sense OCP 0.25 V 01b = Sense OCP 0.5 V 10b = Sense OCP 0.75 V <b>11b = Sense OCP 1 V</b>

## 10 アプリケーションと実装

---

### 注

以降のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

---

### 10.1 アプリケーション情報

DRV832xファミリのデバイスは主に、3相ブラシレスDCモーター制御のアプリケーションで使用されます。「[代表的なアプリケーション](#)」セクションの設計手順では、DRV832xファミリのデバイスの使用方法と設定方法を中心に説明します。

### 10.2 代表的なアプリケーション

#### 10.2.1 主要アプリケーション

このアプリケーションでは、DRV8323R SPIデバイスを使用しています。

代表的なアプリケーション (continued)

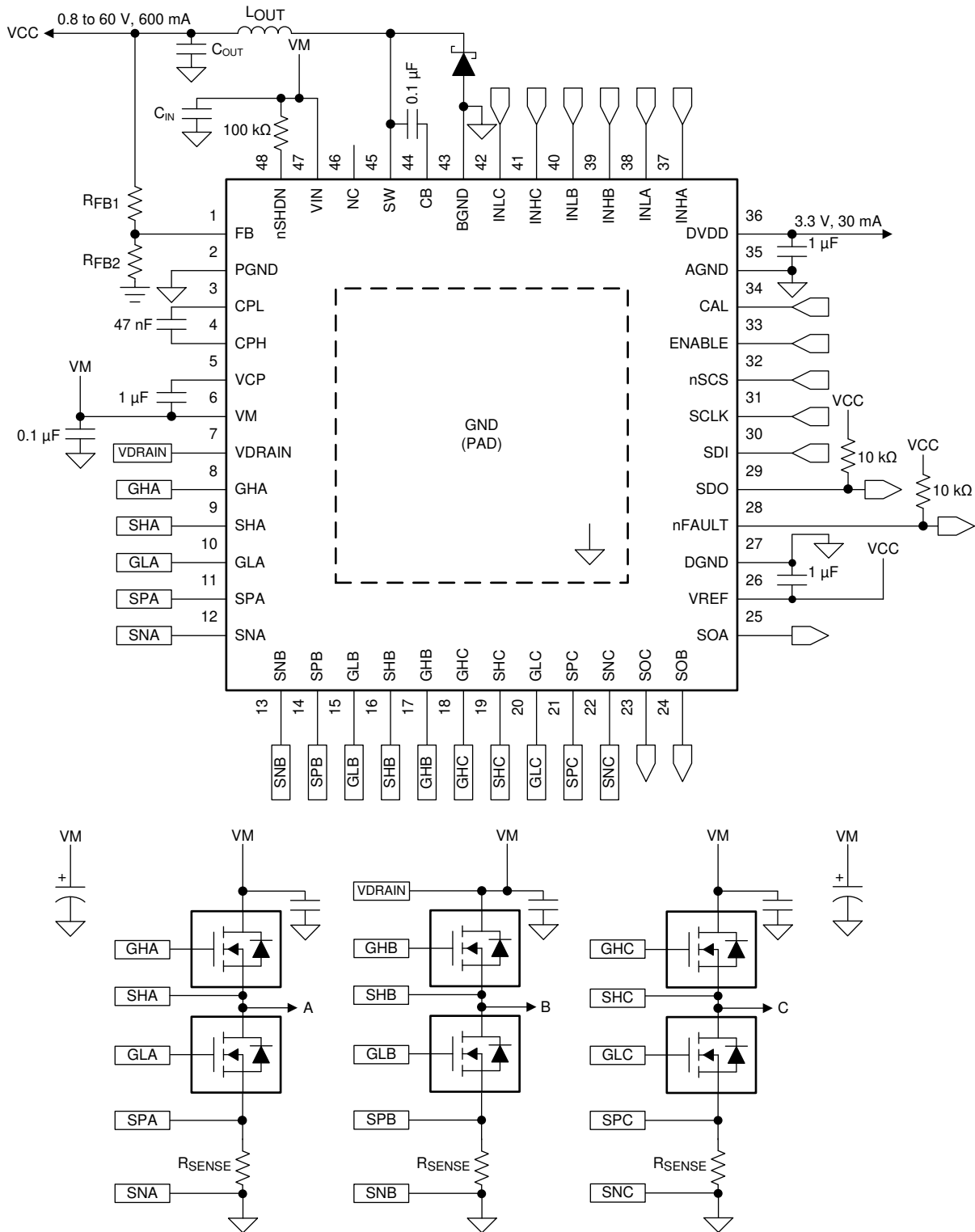


図 51. 主要アプリケーションの回路図

## 代表的なアプリケーション (continued)

### 10.2.1.1 設計要件

表 20 に、システム設計の入力パラメータの例を示します。

表 20. 設計パラメータ

EXAMPLE DESIGN PARAMETER	REFERENCE	EXAMPLE VALUE
Nominal supply voltage	$V_{VM}$	24 V
Supply voltage range		8 V to 45 V
MOSFET part number		CSD18536KCS
MOSFET total gate charge	$Q_g$	83 nC (typical) at $V_{VGS} = 10$ V
MOSFET gate to drain charge	$Q_{gd}$	14 nC (typical)
Target output rise time	$t_r$	100 to 300 ns
Target output fall time	$t_f$	50 to 150 ns
PWM Frequency	$f_{PWM}$	45 kHz
Buck regulator output voltage	$V_{VCC}$	3.3 V
Maximum motor current	$I_{max}$	100 A
ADC reference voltage	$V_{VREF}$	3.3 V
Winding sense current range	$I_{SENSE}$	-40 A to +40 A
Motor RMS current	$I_{RMS}$	28.3 A
Sense resistor power rating	$P_{SENSE}$	2 W
System ambient temperature	$T_A$	-20°C to +105°C

### 10.2.1.2 詳細な設計手順

#### 10.2.1.2.1 外部MOSFETのサポート

DRV832xのMOSFETサポートは、チャージ・ポンプの容量と出力のPWMスイッチング周波数に基づいています。MOSFET駆動能力を簡単に計算するには、3相BLDCモーター・アプリケーションに対して式 9および式 10を使用します。

$$\text{台形波120°整流: } I_{VCP} > Q_g \times f_{PWM}$$

ここで

- $f_{PWM}$ は、必要な最大のPWMスイッチング周波数です。
- $I_{VCP}$ は、VMピンの電圧に依存するチャージ・ポンプ容量です。
- 整流制御方式に基づく乗数は、実装によって異なる場合があります。

(9)

$$\text{正弦波180°整流: } I_{VCP} > 3 \times Q_g \times f_{PWM}$$

(10)

#### 10.2.1.2.1.1 例

$V_{VM}$ 電圧が8V ( $I_{VCP} = 15$ mA) のシステムで、使用する最大PWMスイッチング周波数が45kHzの場合、チャージ・ポンプは $Q_g$ が333nC未満の台形波整流を使用したMOSFET、および $Q_g$ が111nC未満の正弦波整流を使用したMOSFETをサポートできます。

#### 10.2.1.2.2 IDRIVEの設定

ゲート駆動電流 $I_{DRIVE}$ の強さは、外部MOSFETのゲート-ドレイン間電荷と、出力における目標の立ち上がり/立ち下がり時間に基づいて選択します。特定のMOSFETに対して選択した $I_{DRIVE}$ が低すぎると、MOSFETが $t_{DRIVE}$ 時間内に完全にオンにならず、ゲート駆動障害がアサートされる場合があります。また、立ち上がり時間および立ち下がり時間が遅いと、スイッチング電力損失が大きくなります。TIでは、必要なMOSFETおよびモーターとともにシステム内でこれらの値を調整し、アプリケーションに対して可能な最良の設定を決めることを推奨します。

SPIデバイスでは、ローサイドとハイサイド両方のMOSFETに対して $I_{DRIVEP}$ および $I_{DRIVEN}$ 電流をSPIレジスタ経由で独立に調整可能です。ハードウェア・インターフェイス・デバイスでは、IDRIVEピンでソースとシンク両方の設定が同時に選択されます。

MOSFETのゲート-ドレイン間電荷 $Q_{gd}$ 、目標立ち上がり時間 ( $t_r$ )、目標立ち下がり時間 ( $t_f$ ) が既知である場合は、それぞれ式 11および式 12を使用して $I_{DRIVEP}$ および $I_{DRIVEN}$ の値を計算します。



$$I_{\text{DRIVEP}} > \frac{Q_{\text{gd}}}{t_r} \quad (11)$$

$$I_{\text{DRIVEN}} > \frac{Q_{\text{gd}}}{t_f} \quad (12)$$

#### 10.2.1.2.2.1 例

式 13および式 14を使用して、ゲート-ドレイン間電荷が14nC、立ち上がり時間が100~300nsの場合の $I_{\text{DRIVEP1}}$ および $I_{\text{DRIVEP2}}$ の値を計算します。

$$I_{\text{DRIVEP1}} = \frac{14 \text{ nC}}{100 \text{ ns}} = 140 \text{ mA} \quad (13)$$

$$I_{\text{DRIVEP2}} = \frac{14 \text{ nC}}{300 \text{ ns}} = 47 \text{ mA} \quad (14)$$

$I_{\text{DRIVEP}}$ の値は47mA~140mAの範囲で選択します。この例では、 $I_{\text{DRIVEP}}$ の値として120mAソースを選択しています。

式 15および式 16を使用して、ゲート-ドレイン間電荷が14nC、立ち下がり時間が50~150nsの場合の $I_{\text{DRIVEN1}}$ および $I_{\text{DRIVEN2}}$ の値を計算します。

$$I_{\text{DRIVEN1}} = \frac{14 \text{ nC}}{50 \text{ ns}} = 280 \text{ mA} \quad (15)$$

$$I_{\text{DRIVEN2}} = \frac{14 \text{ nC}}{150 \text{ ns}} = 93 \text{ mA} \quad (16)$$

$I_{\text{DRIVEN}}$ の値は93mA~280mAの範囲で選択します。この例では、 $I_{\text{DRIVEN}}$ の値として240mAシンクを選択しています。

#### 10.2.1.2.3 $V_{\text{DS}}$ 過電流監視の設定

$V_{\text{DS}}$ 監視は、式 17に示すように、ワーストケースの監視電流および外部MOSFETの $R_{\text{DS(on)}}$ に基づいて設定されます。

$$V_{\text{DS\_OCP}} > I_{\text{max}} \times R_{\text{DS(on)max}} \quad (17)$$

#### 10.2.1.2.3.1 例

この例の目標は、100Aを超える電流で $V_{\text{DS}}$ 監視が作動するように設定することです。[CSD18536KCS 60V NチャネルNexFET™ Power MOSFETデータシート](#)によると、 $R_{\text{DS(on)}}$ の値は175°Cで1.8倍増加し、また $V_{\text{GS}}$ が10Vのときの $R_{\text{DS(on)}}$ の最大値は1.6mΩです。これらの値から、 $R_{\text{DS(on)}}$ のワーストケースの近似値は $1.8 \times 1.6 \text{ m}\Omega = 2.88 \text{ m}\Omega$ となります。

式 17で $R_{\text{DS(on)}}$ の値を2.88mΩ、ワーストケースの監視電流を100Aとすると、 $V_{\text{DS}}$ 監視の値は式 18のように求められます。

$$\begin{aligned} V_{\text{DS\_OCP}} &> 100 \text{ A} \times 2.88 \text{ m}\Omega \\ V_{\text{DS\_OCP}} &> 0.288 \text{ V} \end{aligned} \quad (18)$$

この例では、 $V_{\text{DS\_OCP}}$ の値として0.31Vを選択しています。

SPIデバイスでは、 $V_{\text{DS}}$ 過電流監視のデグリッチ時間の調整が可能です。デグリッチ時間は2μs、4μs、6μs、または8μsに設定できます。

#### 10.2.1.2.4 センス・アンプの双方向設定 ( DRV8323およびDRV8323R )

DRV8323、DRV8323Rデバイスのセンス・アンプ・ゲインおよびセンス抵抗値は、目標電流範囲、 $V_{\text{REF}}$ 電源電圧、センス抵抗の電力定格、および動作温度範囲に基づいて選択されます。センス・アンプの双方向動作では、出力のダイナミック・レンジは近似的に式 19で計算されます。

$$V_{\text{O}} = (V_{\text{VREF}} - 0.25 \text{ V}) - \frac{V_{\text{VREF}}}{2} \quad (19)$$

式 19で求めた $V_{\text{O}}$ により、選択するセンス抵抗の近似値を式 20で計算します。

$$R = \frac{V_O}{A_V \times I} \quad P_{\text{SENSE}} > I_{\text{RMS}}^2 \times R \quad (20)$$

式 19 と式 20 から、使用するセンス抵抗の電力定格に基づいて目標ゲイン設定を選択します。

#### 10.2.1.2.4.1 例

このシステム例では、センス電流が $-40 \sim +40\text{A}$ でVREF電圧の値が3.3Vです。SOx出力の直線範囲は0.25Vから $V_{\text{VREF}} - 0.25\text{V}$ までです ( $V_{\text{LINEAR}}$  の仕様より)。センス・アンプ入力の差動範囲は $-0.3 \sim +0.3\text{V}$ です ( $V_{\text{DIFF}}$ )。

$$V_O = (3.3\text{ V} - 0.25\text{ V}) - \frac{3.3\text{ V}}{2} = 1.4\text{ V} \quad (21)$$

$$R = \frac{1.4\text{ V}}{A_V \times 40\text{ A}} \quad 2\text{ W} > 28.3^2 \times R \rightarrow R < 2.5\text{ m}\Omega \quad (22)$$

$$2.5\text{ m}\Omega > \frac{1.4\text{ V}}{A_V \times 40\text{ A}} \rightarrow A_V > 14 \quad (23)$$

したがって、ゲイン設定には20V/Vまたは40V/Vを選択し、センス抵抗の電力定格を満たすために、センス抵抗の値は2.5mΩ未満とする必要があります。この例では、ゲイン設定として20V/Vを選択しています。抵抗の値とワーストケースの電流については、 $R < 2.5\text{m}\Omega$ および $I_{\text{max}} = 40\text{A}$ のときにセンス・アンプ入力 ( $V_{\text{SPxD}}$ ) の差動範囲仕様が満たされることが確認できます。

#### 10.2.1.2.5 降圧レギュレータの設定 (DRV8320RおよびDRV8323R)

降圧レギュレータの適切な外部部品の選択に関する詳しい設計手順および情報については、『[LMR16006 SIMPLE SWITCHER® 60V、0.6A、高効率Eco-mode搭載の降圧レギュレータ](#)』データシートを参照してください。

#### 10.2.1.3 アプリケーション曲線

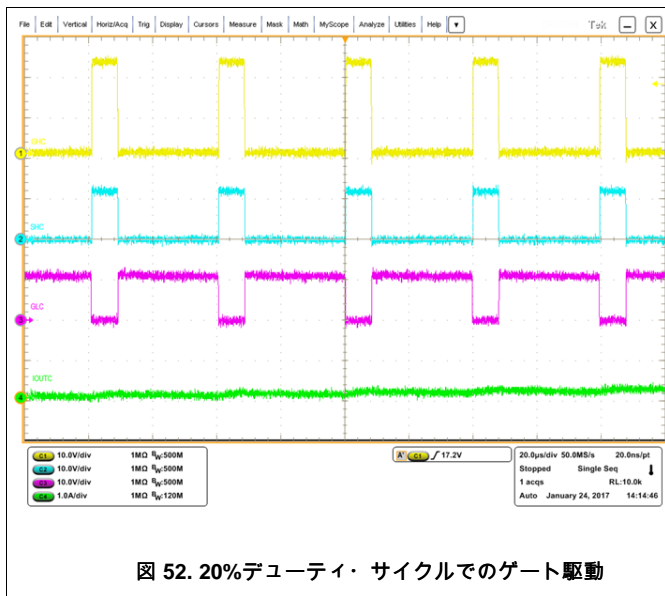


図 52. 20%デューティ・サイクルでのゲート駆動

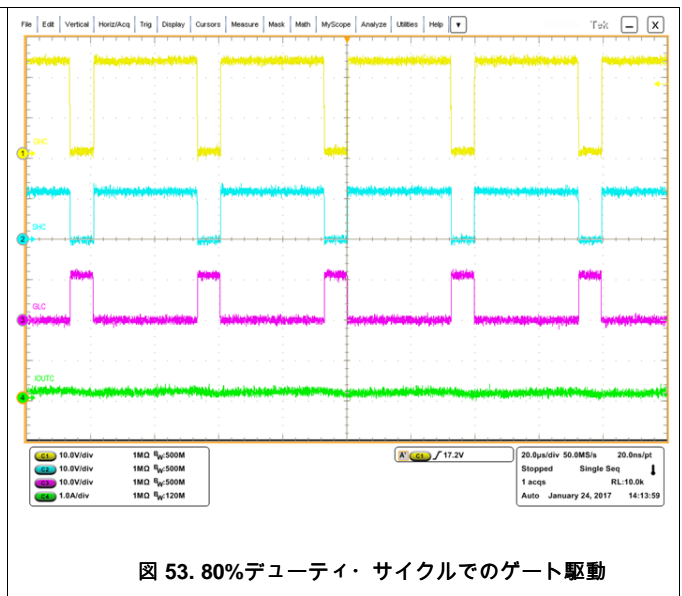


図 53. 80%デューティ・サイクルでのゲート駆動

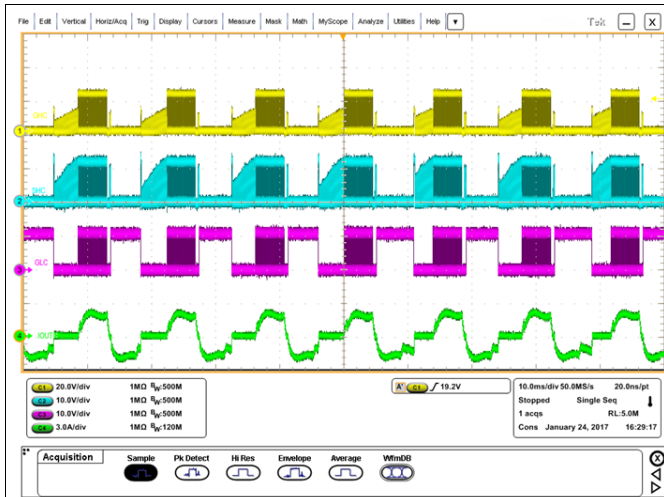


図 54. BLDCモーター整流、1000RPM



図 55. BLDCモーター整流、2000RPM

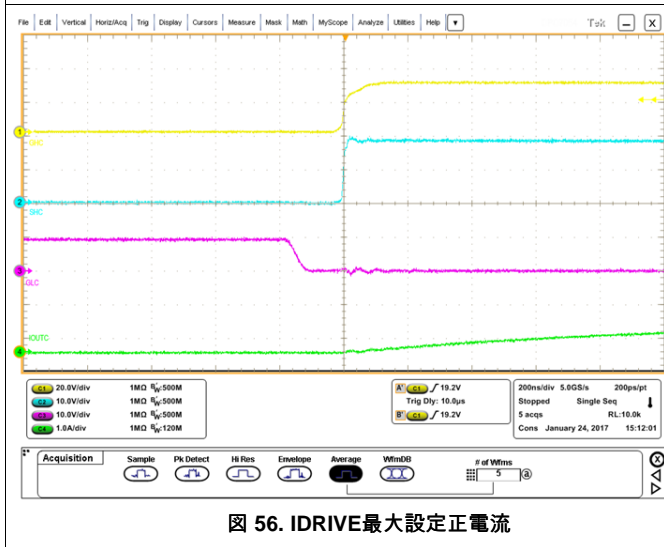


図 56. IDRIVE最大設定正電流

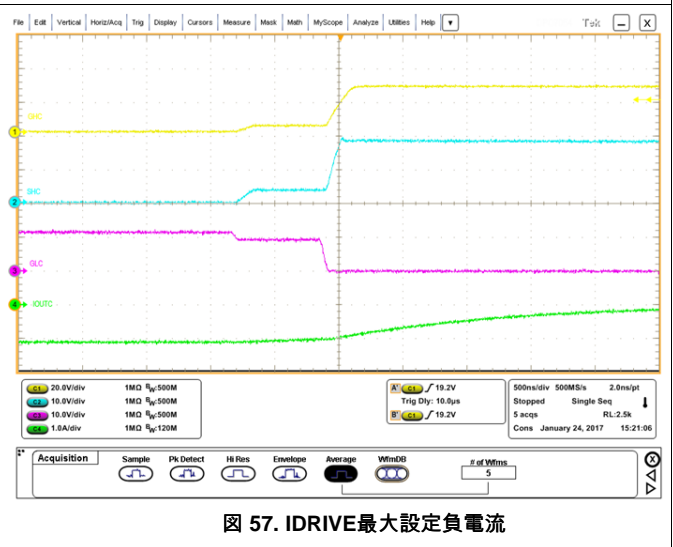


図 57. IDRIVE最大設定負電流

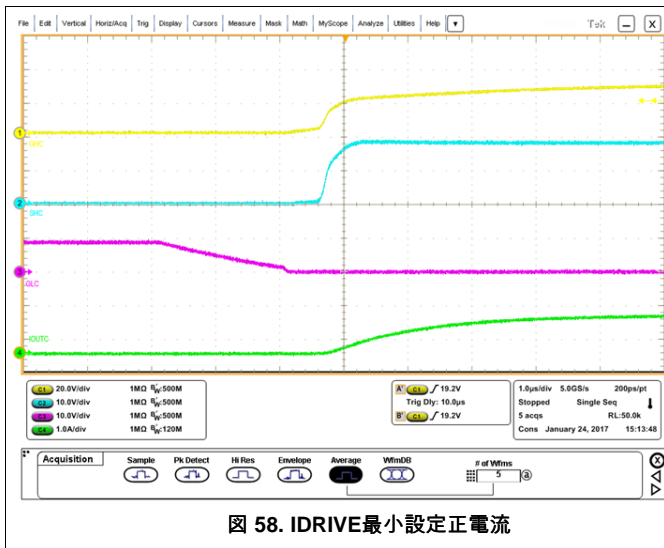


図 58. IDRIVE最小設定正電流

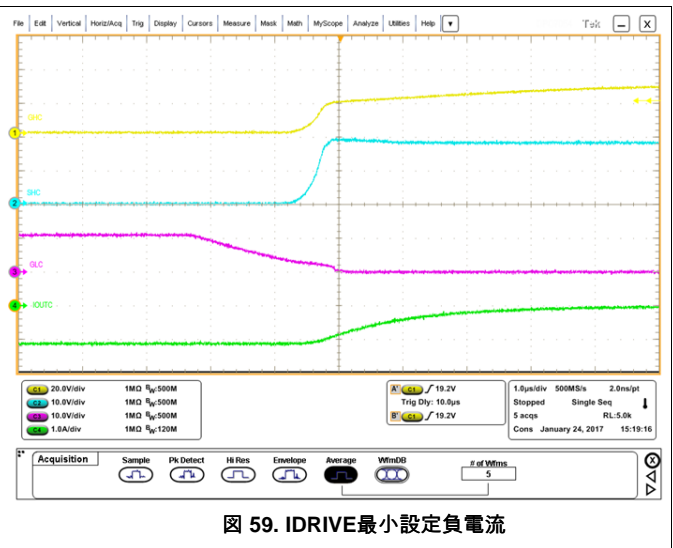


図 59. IDRIVE最小設定負電流

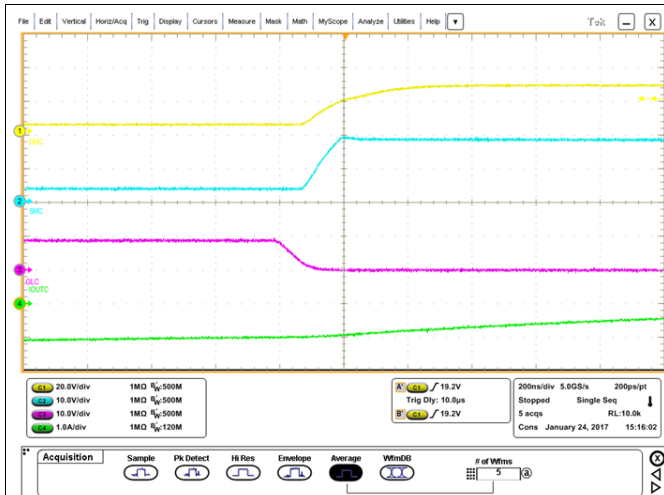


图 60. IDRIVE 260 ~ 520mA 設定負電流

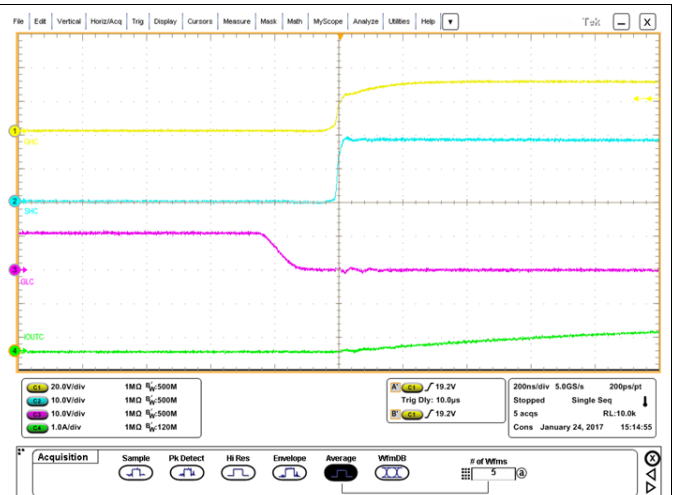


图 61. IDRIVE 260 ~ 520mA 設定正電流

### 10.2.2 代替アプリケーション

このアプリケーションでは、台形波またはホール・ベースのBLDC整流制御でよく使用される加算電流センス方式のために、1つのセンス・アンプを単方向モードで使用します。

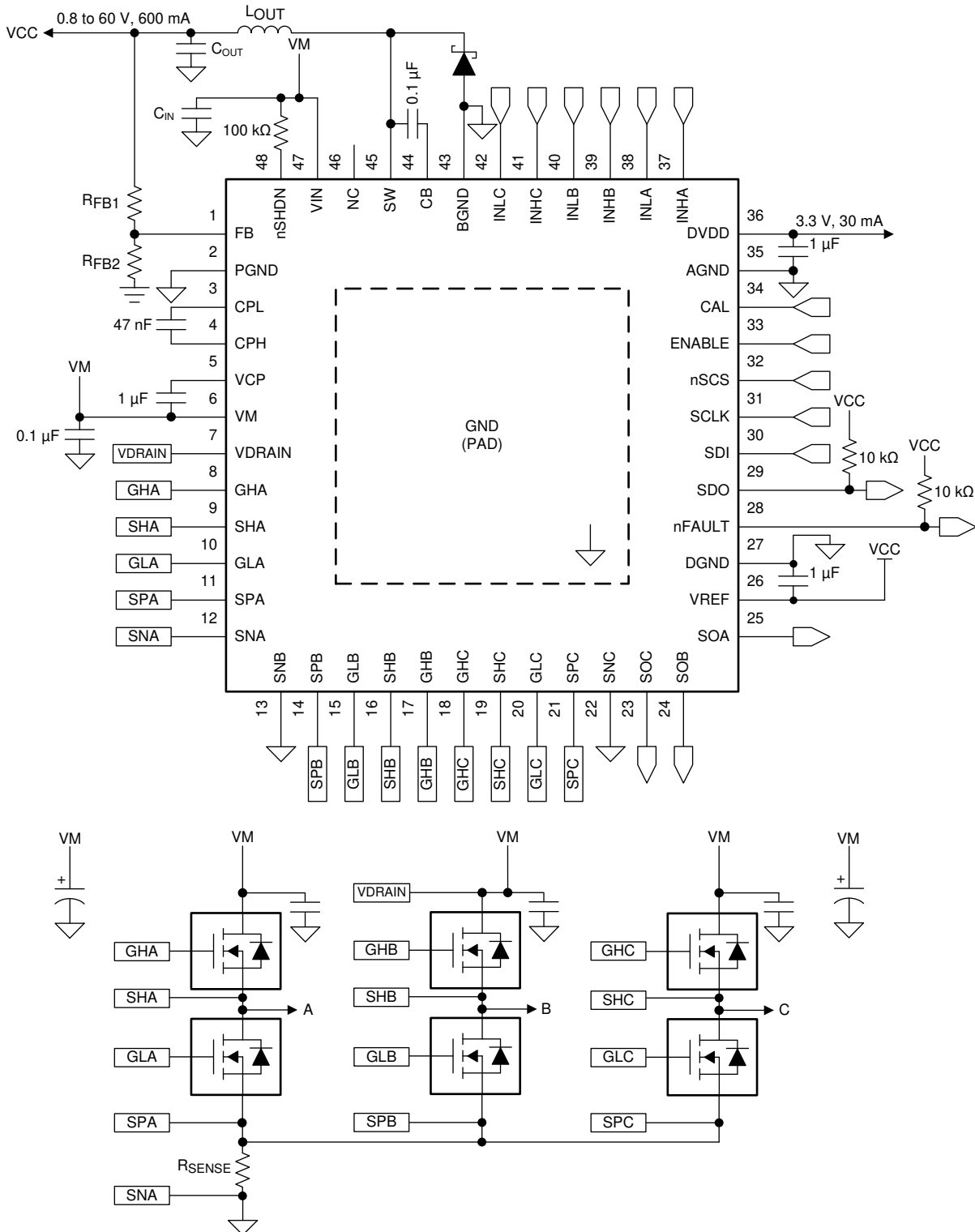


図 62. 代替アプリケーションの回路図

### 10.2.2.1 設計要件

表 21 に、システム設計の入力パラメータ例を示します。

表 21. 設計パラメータ

EXAMPLE DESIGN PARAMETER	REFERENCE	EXAMPLE VALUE
ADC reference voltage	$V_{VREF}$	3.3 V
Sensed current	$I_{SENSE}$	0 to 40 A
Motor RMS current	$I_{RMS}$	28.3 A
Sense-resistor power rating	$P_{SENSE}$	3 W
System ambient temperature	$T_A$	-20°C to +105°C

### 10.2.2.2 詳細な設計手順

#### 10.2.2.2.1 センス・アンプの単方向設定

センス・アンプは、SPIデバイス上のレジスタでVREF\_DIVビットに0を書き込むことにより、単方向に設定されます。

センス・アンプ・ゲインおよびセンス抵抗値は、目標電流範囲、VREF、センス抵抗の電力定格、および動作温度範囲に基づいて選択されます。センス・アンプの単方向動作では、式 24を使用して、出力でのダイナミック・レンジの近似値を計算します。

$$V_O = (V_{VREF} - 0.25 \text{ V}) - 0.25 \text{ V} = V_{VREF} - 0.5 \text{ V} \quad (24)$$

選択するセンス抵抗の近似値を式 25で計算します。

$$R = \frac{V_O}{A_V \times I} \quad P_{SENSE} > I_{RMS}^2 \times R$$

ここで

$$\bullet V_O = V_{VREF} - 0.5 \text{ V} \quad (25)$$

式 24と式 25から、使用するセンス抵抗の電力定格に基づいて目標ゲイン設定を選択します。

#### 10.2.2.2.1.1 例

このシステム例では、センス電流が0~40AでVREF電圧の値が3.3Vです。DRV8323xデバイスのSOx出力の直線範囲は0.25Vから $V_{VREF} - 0.25V$ までです ( $V_{LINEAR}$ の仕様より)。センス・アンプ入力の差動範囲は-0.3~+0.3Vです ( $V_{DIFF}$ )。

$$V_O = 3.3 \text{ V} - 0.5 \text{ V} = 2.8 \text{ V} \quad (26)$$

$$R = \frac{2.8 \text{ V}}{A_V \times 40 \text{ A}} \quad 3 \text{ W} > 28.3^2 \times R \rightarrow R < 3.75 \text{ m}\Omega \quad (27)$$

$$3.75 \text{ m}\Omega > \frac{2.8 \text{ V}}{A_V \times 40 \text{ A}} \rightarrow A_V > 18.7 \quad (28)$$

したがって、ゲイン設定には20V/Vまたは40V/Vを選択し、センス抵抗の電力定格を満たすために、センス抵抗の値は3.75mΩ未満とする必要があります。この例では、ゲイン設定として20V/Vを選択しています。抵抗の値とワーストケースの電流については、 $R < 3.75\text{m}\Omega$ および $I_{max} = 40\text{A}$ のときにセンス・アンプ入力 ( $V_{SPxD}$ ) の差動範囲仕様が満たされることが確認できます。

## 11 電源に関する推奨事項

DRV832xファミリのデバイスは、6V～60Vの入力電圧（VM）範囲で動作するように設計されています。VMの定格を持つ0.1 $\mu$ Fのセラミック・コンデンサをデバイスにできる限り近づけて配置する必要があります。また、VMピンにはバルク・コンデンサを配置する必要がありますが、外部パワーMOSFETのバルク・バイパス容量と共用可能です。外部のハーフブリッジMOSFETをバイパスするために追加のバルク容量が必要となり、その大きさはアプリケーションの要件によって決まります。

### 11.1 バルク容量の決定

適切なローカル・バルク容量を使用することは、モーター駆動システムの設計で重要な要素の1つです。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。ローカル容量の大きさは、以下のようなさまざまな要因に依存します。

- モーター・システムで要求される最大電流
- 電源の種類、容量、および電流ソース能力
- 電源とモーター・システム間の寄生インダクタンスの大きさ
- 許容される電源電圧リップル
- モーターの種類（ブラシ付きDC、ブラシレスDC、ステッパ）
- モーターの始動および制動方法

電源とモーター駆動システム間のインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎると、システムはモーターからの過剰な電流要求やダンピングに対して、電圧の変化によって応答します。十分なバルク容量が使用されていれば、モーターの電圧は安定し、大きな電流をすばやく供給できます。

データシートには推奨される最小値が記載されていますが、バルク・コンデンサの適切な容量を決定するにはシステム・レベルのテストが必要です。

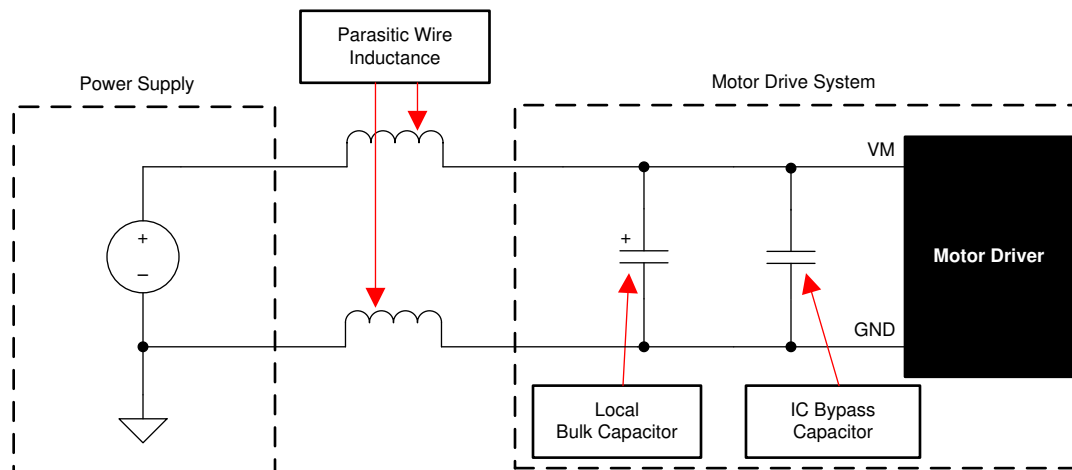


図 63. モーター駆動電源の寄生インダクタンスの例



## 12 レイアウト

### 12.1 レイアウトのガイドライン

推奨値0.1 $\mu$ Fの低ESRセラミック・バイパス・コンデンサを使用して、VMピンをPGNDピンにバイパスします。このコンデンサは、幅の広いパターン、またはPGNDピンに接続されたグランド・プレーンを使用して、VMピンのできるだけ近くに配置してください。また、VMピンは、VMの定格を持つバルク・コンデンサを使用してバイパスします。これには電解コンデンサを使用できます。容量は10 $\mu$ F以上としてください。

外部MOSFET上の高電流バスをバイパスするために、追加のバルク容量が必要です。このバルク容量は、外部MOSFETを通過する高電流バスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできる限り幅広くし、PCBの層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク・コンデンサが高電流を伝達できるようになります。

CPLピンとCPHピンの間に低ESRのセラミック・コンデンサを配置します。これには、VMの定格を持つ47nFのタイプX5RまたはX7Rコンデンサを使用する必要があります。また、VCPピンとVMピンの間にも低ESRのセラミック・コンデンサを配置します。これには、16Vの定格を持つ1 $\mu$ FのタイプX5RまたはX7Rコンデンサを使用する必要があります。

タイプX5RまたはX7Rで6.3Vの定格を持つ1 $\mu$ Fの低ESRセラミック・コンデンサを使用して、DVDDピンをAGNDピンにバイパスします。このコンデンサはピンにできる限り近づけて配置し、コンデンサからAGNDピンまでのパスを最短にします。

VDRAINピンは、直接VMピンに短絡することができます。ただし、デバイスと外部MOSFETの間が大きく離れている場合は、専用のパターンを使用して、ハイサイド外部MOSFETのドレインの共通ポイントに接続します。SLxピンは直接PGNDには接続しないでください。その代わりに、専用のパターンを使用して、これらのピンをローサイド外部MOSFETのソースに接続します。これらの推奨事項に従うことで、過電流検出のために外部MOSFETのV<sub>DS</sub>センシングをより正確に行うことができます。

ハイサイドおよびローサイド・ゲート・ドライバのループ長はできるだけ短くします。ハイサイド・ループはデバイスのGHxピンからハイサイド・パワーMOSFETのゲートまでであり、その後ハイサイドMOSFETのソースを通過してSHxピンへと戻ります。ローサイド・ループはデバイスのGLxピンからローサイド・パワーMOSFETのゲートまでであり、その後ローサイドMOSFETのソースを通過してPGNDピンへと戻ります。

#### 12.1.1 降圧レギュレータのレイアウトのガイドライン

レイアウトは、優れた電源設計のために重要な要素です。以下のガイドラインに従うことで、最高の電力変換性能や熱性能を実現しながら、不要な電磁干渉 (EMI) の発生を最小限に抑えるようなPCBを設計できます。

- 帰還回路抵抗はFBピンに近づけ、インダクタから遠ざけて配置することにより、帰還ピンへの結合ノイズを最小限に抑えます。
- 入力バイパス・コンデンサはVINピンの近くに配置して、デバイスの入力電圧リップルに影響を与える銅パターン抵抗を低減します。
- インダクタはSWピンの近くに配置して、磁気および静電気によるノイズを低減します。
- 出力コンデンサはインダクタとダイオードの接合部の近くに配置します。インダクタ、ダイオード、およびC<sub>OUT</sub>のパターンはできるだけ短くすることにより、伝導および放射ノイズを低減し、全体の効率を高めます。
- ダイオード、C<sub>VIN</sub>、およびC<sub>OUT</sub>のグランド接続はできるだけ小さくし、システム・グランド・プレーンに1箇所だけで接続することにより (C<sub>OUT</sub>グランド・ポイントを推奨)、システム・グランド・プレーンでの伝導ノイズを最小限に抑えます。

スイッチング電源のレイアウトに関する考慮事項の詳細については、『AN-1149 スイッチング電源のレイアウトのガイドライン』アプリケーション・レポートを参照してください。



12.2 レイアウト例

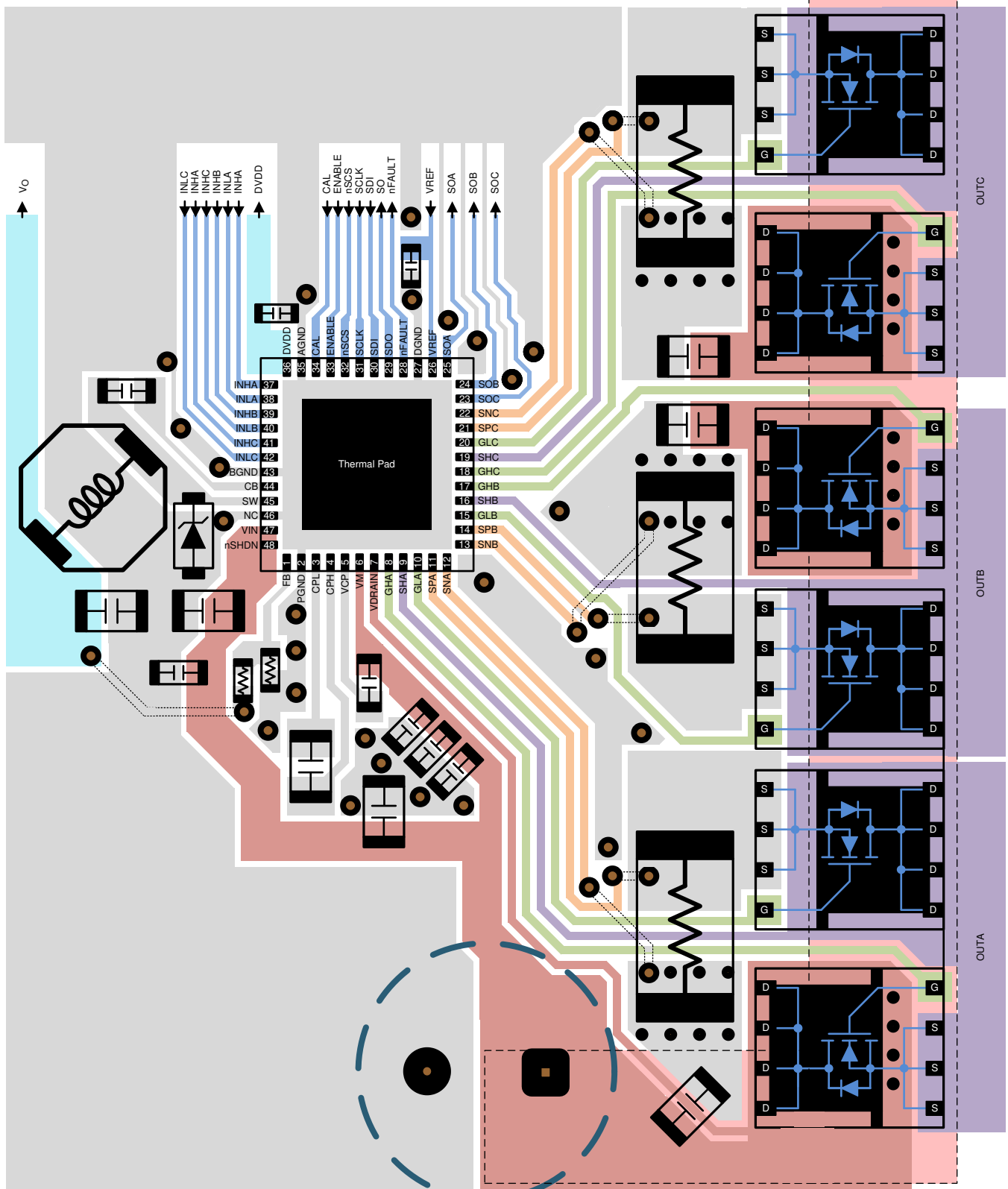


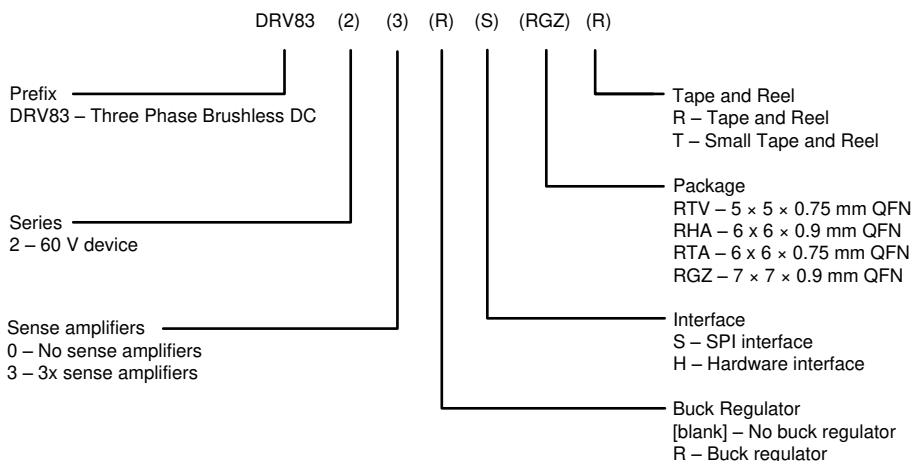
図 64. レイアウト例

## 13 デバイスおよびドキュメントのサポート

### 13.1 デバイス・サポート

#### 13.1.1 デバイスの項目表記

次の図は、完全なデバイス名を解釈するための凡例を示したものです。



### 13.2 ドキュメントのサポート

#### 13.2.1 関連資料

- テキサス・インスツルメンツ、『AN-1149 スイッチング電源のレイアウトのガイドライン』アプリケーション・レポート
- テキサス・インスツルメンツ、『CSD18536KCS 60V NチャネルNexFET™パワーMOSFET』データシート
- テキサス・インスツルメンツ、『BLDCモーターを使用する効率的な掃除機のハードウェア設計の考慮事項』
- テキサス・インスツルメンツ、『BLDCモーターを使用する電動自転車のハードウェア設計の考慮事項』
- テキサス・インスツルメンツ、『産業用モーター・ドライブ・ソリューション・ガイド』
- テキサス・インスツルメンツ、『スイッチング電源のレイアウトのガイドライン』
- テキサス・インスツルメンツ、『LMR16006 SIMPLE SWITCHER® 60V, 0.6A、高効率Eco-mode搭載の降圧レギュレータ』データシート
- テキサス・インスツルメンツ、『QFN/SONのPCB実装』アプリケーション・レポート
- テキサス・インスツルメンツ、『MSP430™を使用するセンサ付き3相BLDCモーター制御』アプリケーション・レポート
- テキサス・インスツルメンツ、『TI製モーター・ゲート・ドライバでのIDRIVEおよびTDRIVEについて』アプリケーション・レポート

### 13.3 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびご注文へのクイック・アクセスが含まれます。

表 22. 関連リンク

製品	プロダクト・フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
DRV8320	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>
DRV8320R	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>
DRV8323	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>
DRV8323R	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>	<a href="#">ここをクリック</a>

### 13.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](http://ti.com)のデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 13.5 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

**TI E2E™オンライン・コミュニティ** *TIのE2E ( Engineer-to-Engineer )* コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

**設計サポート** *TIの設計サポート* 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

### 13.6 商標

Eco-mode, NexFET, MSP430, E2E are trademarks of Texas Instruments.

SIMPLE SWITCHER is a registered trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

### 13.7 静電気放電に関する注意事項



すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

### 13.8 Glossary

**SLYZ022** — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

## 14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8320HRTVR	ACTIVE	WQFN	RTV	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H	<a href="#">Samples</a>
DRV8320HRTVT	ACTIVE	WQFN	RTV	32	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H	<a href="#">Samples</a>
DRV8320RHRHAR	ACTIVE	VQFN	RHA	40	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH	<a href="#">Samples</a>
DRV8320RHRHAT	ACTIVE	VQFN	RHA	40	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH	<a href="#">Samples</a>
DRV8320RSRHAR	ACTIVE	VQFN	RHA	40	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS	<a href="#">Samples</a>
DRV8320RSRHAT	ACTIVE	VQFN	RHA	40	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS	<a href="#">Samples</a>
DRV8320SRTVR	ACTIVE	WQFN	RTV	32	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320S	<a href="#">Samples</a>
DRV8320SRTVT	ACTIVE	WQFN	RTV	32	250	RoHS & Green	Call TI   NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8320S	<a href="#">Samples</a>
DRV8323HRTAR	ACTIVE	WQFN	RTA	40	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H	<a href="#">Samples</a>
DRV8323HRTAT	ACTIVE	WQFN	RTA	40	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H	<a href="#">Samples</a>
DRV8323RHRGZR	ACTIVE	VQFN	RGZ	48	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH	<a href="#">Samples</a>
DRV8323RHRGZT	ACTIVE	VQFN	RGZ	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH	<a href="#">Samples</a>
DRV8323RSRGZR	ACTIVE	VQFN	RGZ	48	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS	<a href="#">Samples</a>
DRV8323RSRGZT	ACTIVE	VQFN	RGZ	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS	<a href="#">Samples</a>
DRV8323SRTAR	ACTIVE	WQFN	RTA	40	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S	<a href="#">Samples</a>
DRV8323SRTAT	ACTIVE	WQFN	RTA	40	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of  $\leq 1000$ ppm threshold. Antimony trioxide based flame retardants must also meet the  $\leq 1000$ ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8320HRTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320HRTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320RHRHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RHRHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RSRHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RSRHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320SRTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320SRTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8323HRTAR	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323HRTAT	WQFN	RTA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323RHRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RHRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323SRTAR	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323SRTAT	WQFN	RTA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8320HRTVR	WQFN	RTV	32	3000	346.0	346.0	33.0
DRV8320HRTVT	WQFN	RTV	32	250	182.0	182.0	20.0
DRV8320RHRHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
DRV8320RHRHAT	VQFN	RHA	40	250	182.0	182.0	20.0
DRV8320RSRHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
DRV8320RSRHAT	VQFN	RHA	40	250	182.0	182.0	20.0
DRV8320SRTVR	WQFN	RTV	32	3000	346.0	346.0	33.0
DRV8320SRTVT	WQFN	RTV	32	250	210.0	185.0	35.0
DRV8323HRTAR	WQFN	RTA	40	2500	367.0	367.0	38.0
DRV8323HRTAT	WQFN	RTA	40	250	182.0	182.0	20.0
DRV8323RHRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RHRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DRV8323RSRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RSRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DRV8323SRTAR	WQFN	RTA	40	2500	367.0	367.0	38.0
DRV8323SRTAT	WQFN	RTA	40	250	182.0	182.0	20.0

## GENERIC PACKAGE VIEW

**RHA 40**

**VQFN - 1 mm max height**

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

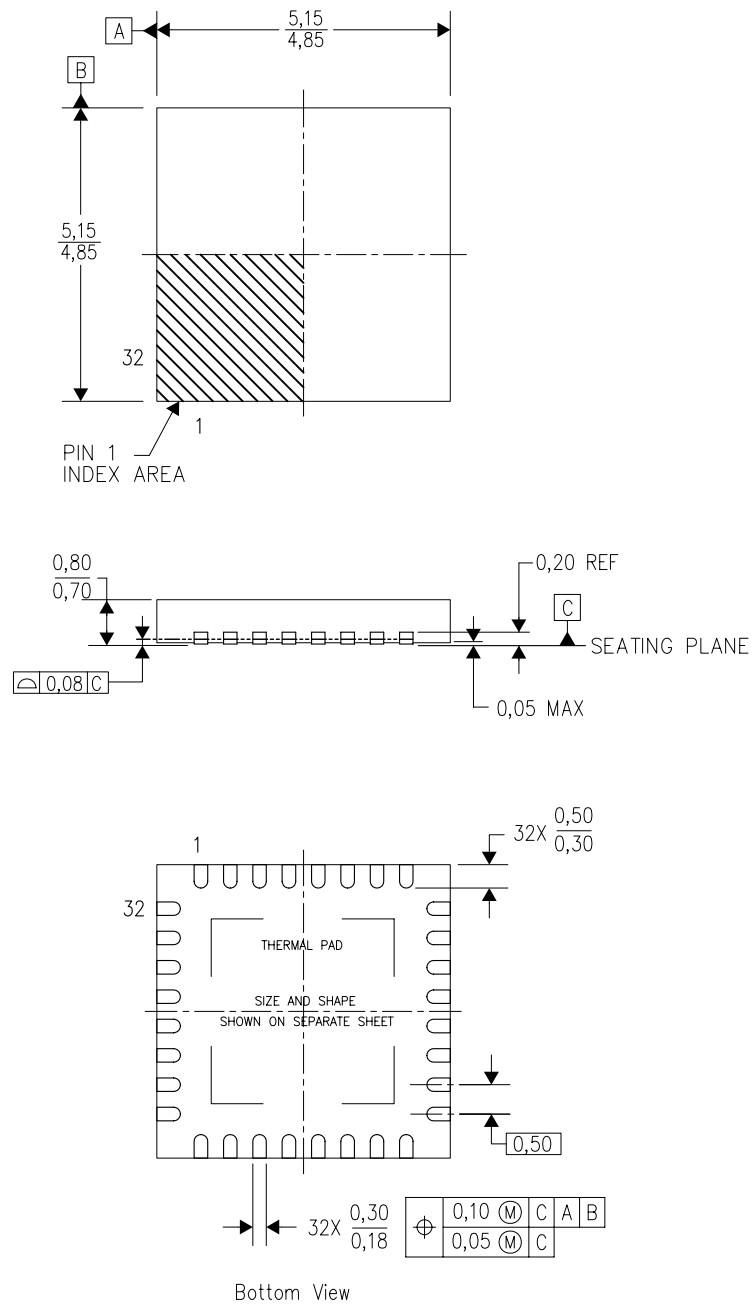


4225870/A



RTV (S-PWQFN-N32)

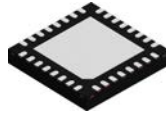
PLASTIC QUAD FLATPACK NO-LEAD



4206245/C 10/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
  - This drawing is subject to change without notice.
  - Quad Flatpack, No-Leads (QFN) package configuration.
  - The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
  - Falls within JEDEC MO-220.

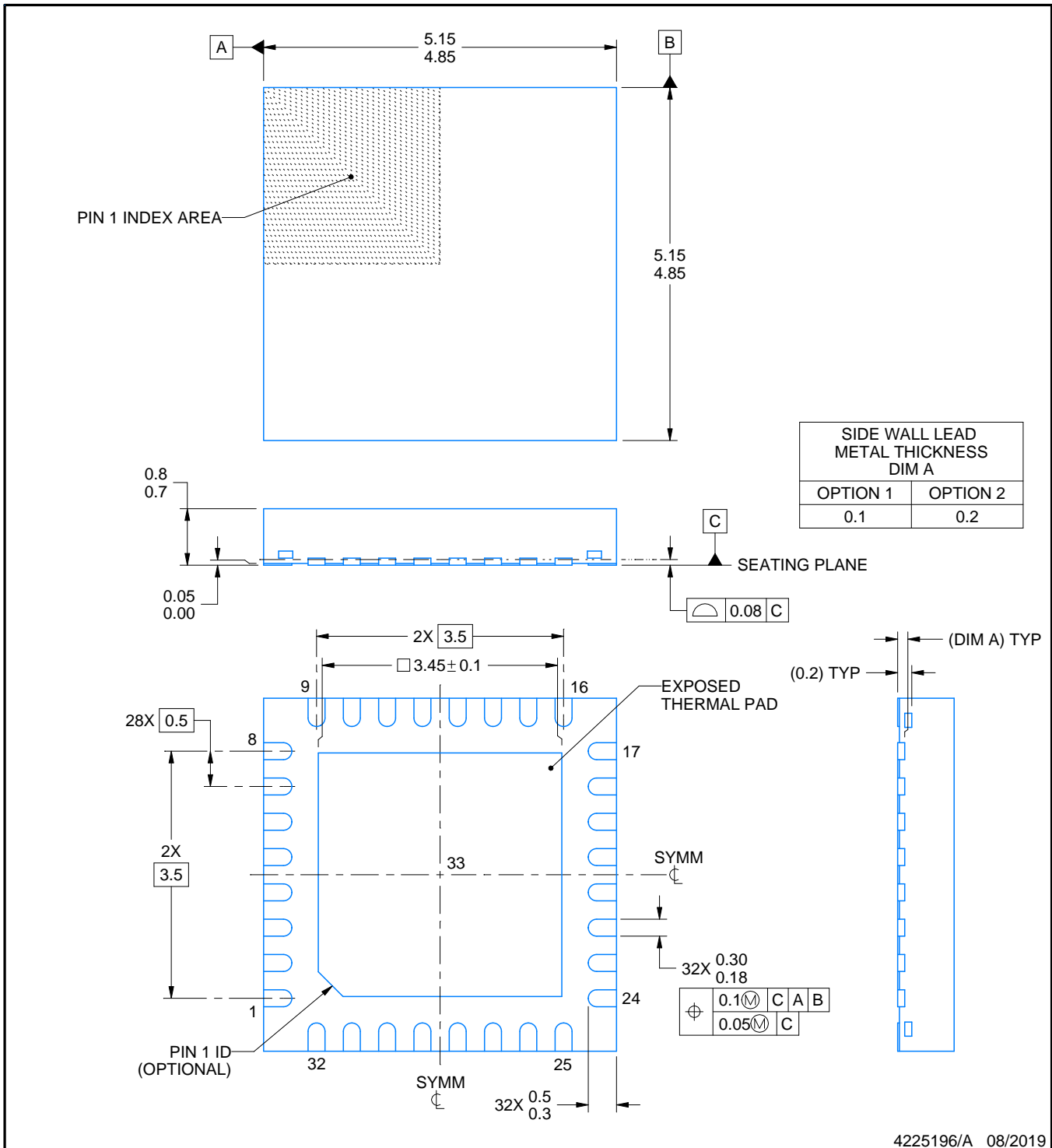
# RTV0032E



## PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

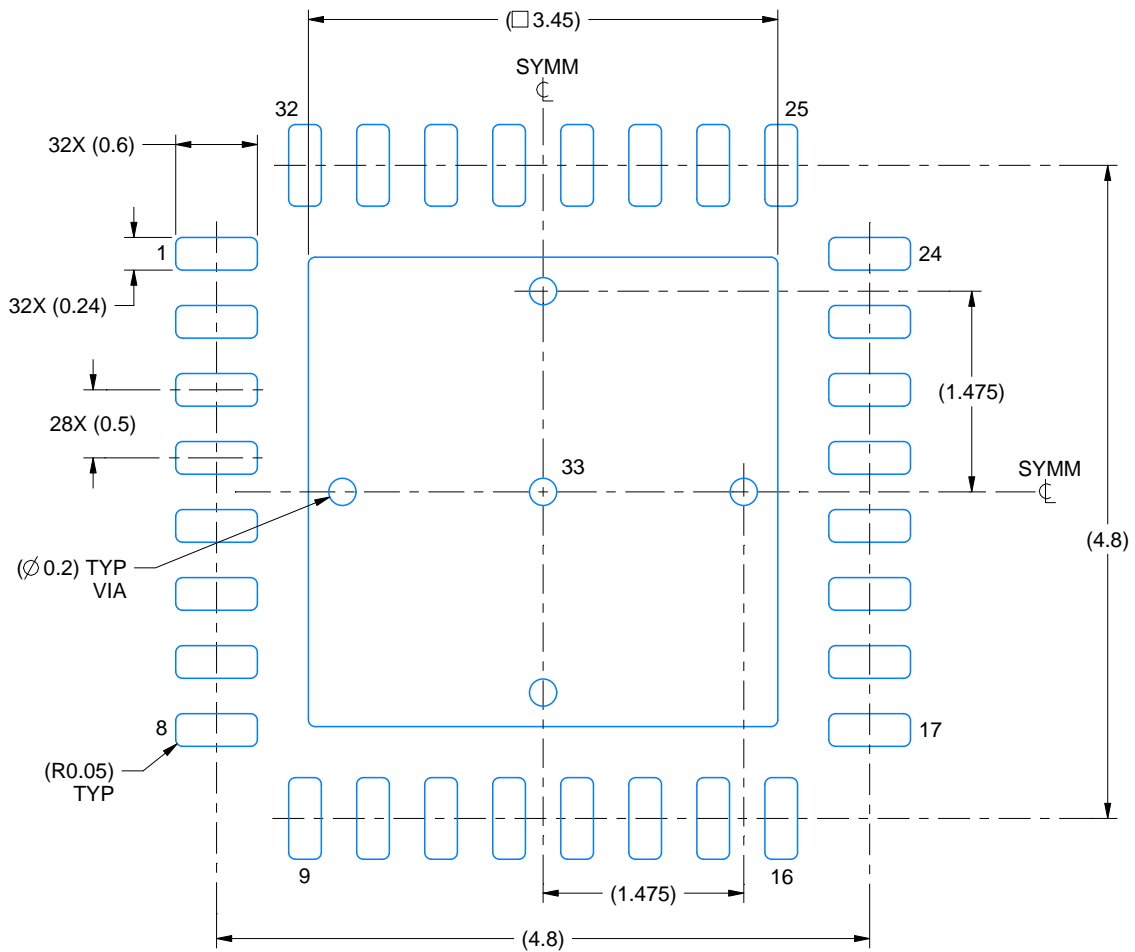
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

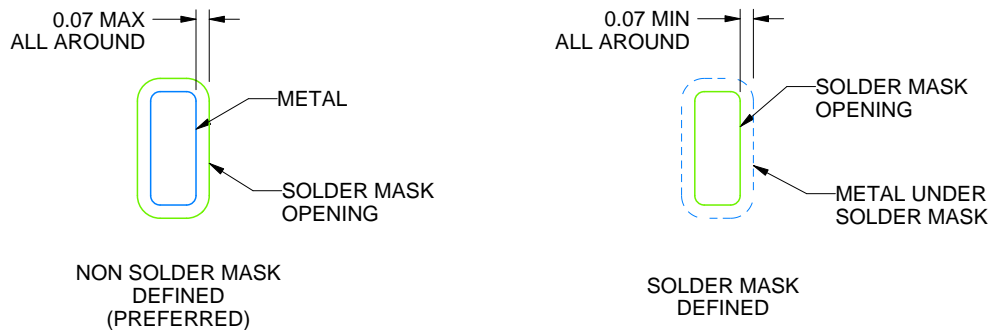
RTV0032E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE  
SCALE:18X



SOLDER MASK DETAILS

4225196/A 08/2019

NOTES: (continued)

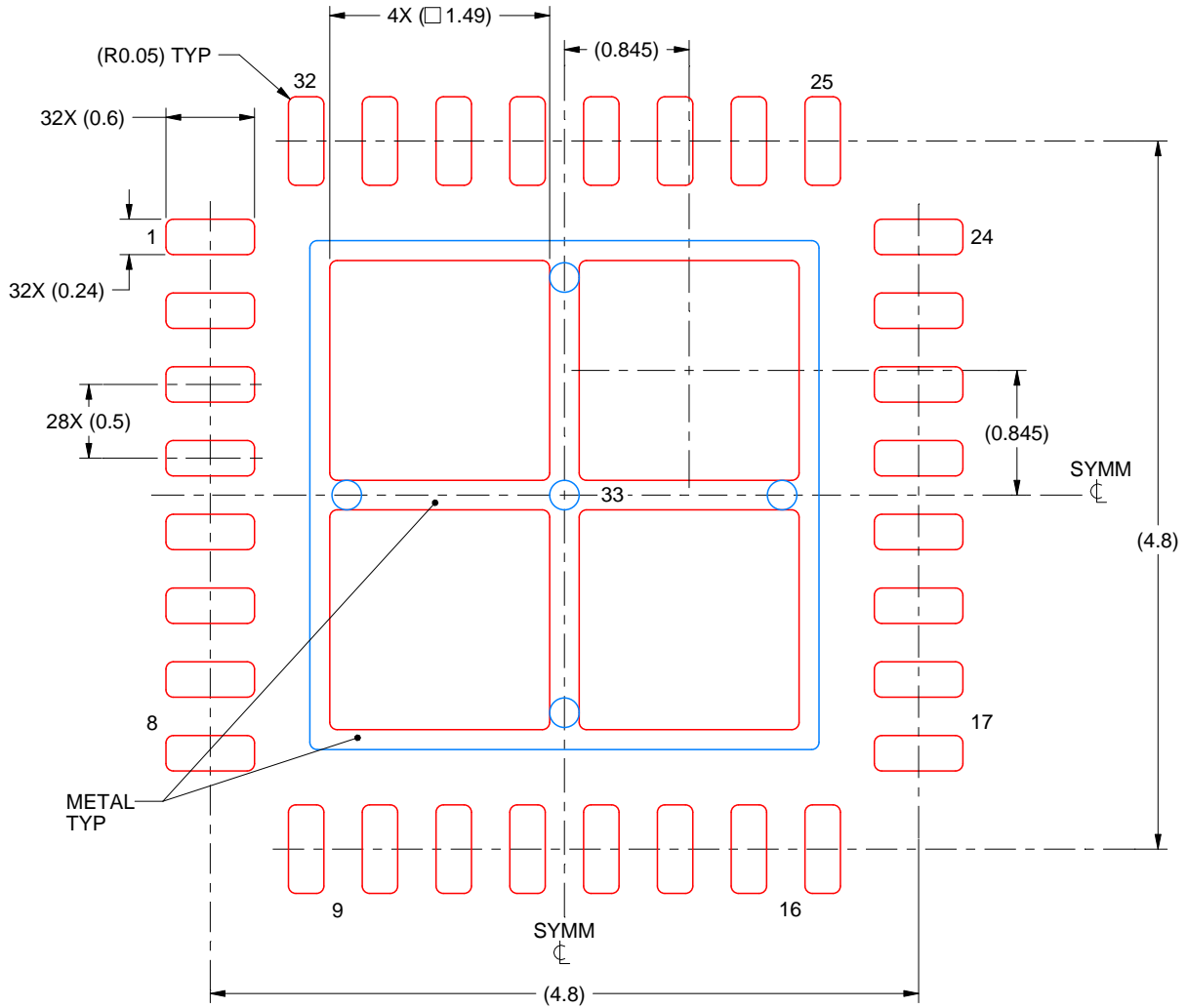
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RTV0032E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:  
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
SCALE:20X

4225196/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## GENERIC PACKAGE VIEW

**RGZ 48**

**VQFN - 1 mm max height**

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

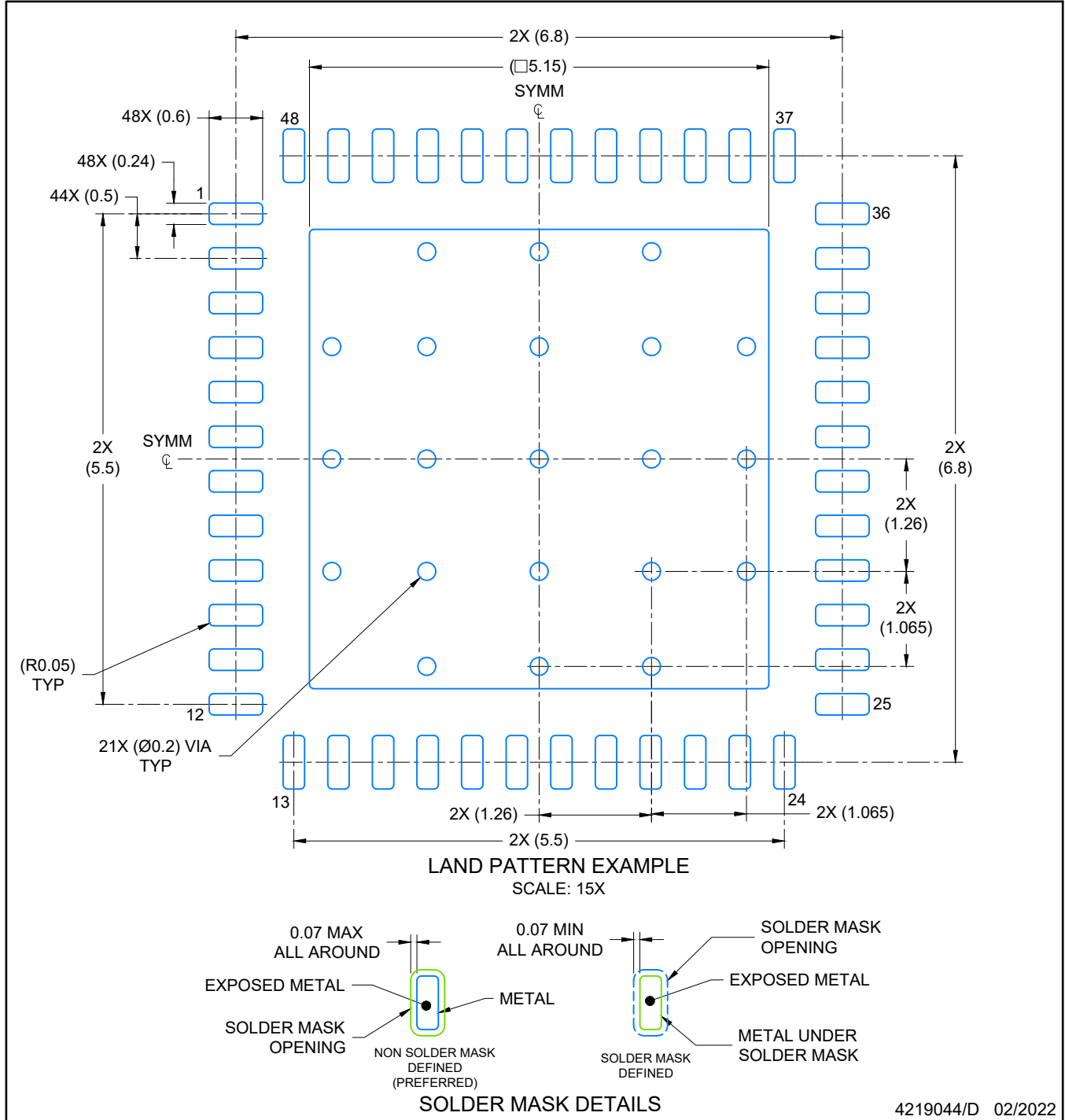
4224671/A



4219044/D 02/2022

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RGZ0048A

VQFN - 1 mm max height

PLASTIC QUADFLAT PACK- NO LEAD



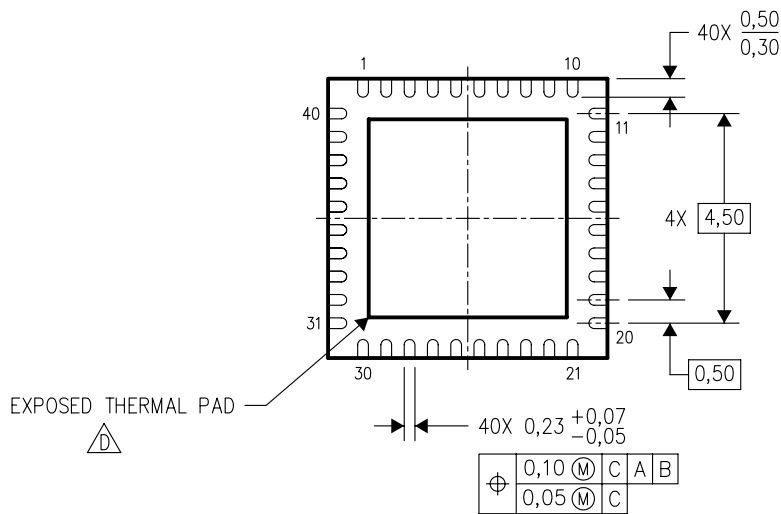
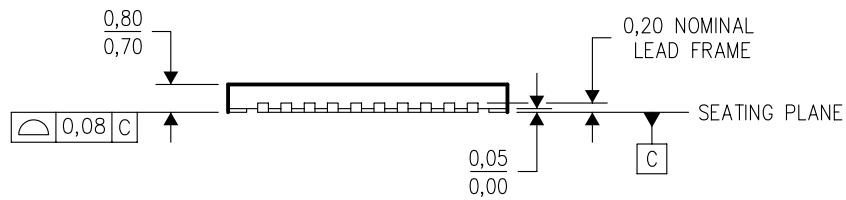
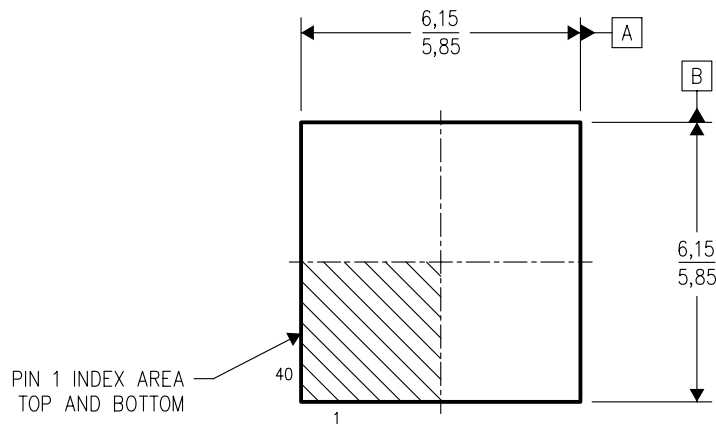
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.




RTA (S-PQFP-N40)

PLASTIC QUAD FLATPACK



4204422/B 11/04

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. QFN (Quad Flatpack No-Lead) Package configuration.
  -  The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated