



14ビット、4チャンネル、超低グリッチ、 電圧出力DAコンバータ、2.5V、2ppm/°C内部リファレンス付き

特長

- 相対精度：1LSB
- グリッチ・エネルギー：0.15nV-s
- 内部リファレンス：
 - リファレンス電圧：2.5V(デフォルトでイネーブル)
 - 初期精度：0.004% (typ)
 - 温度ドリフト：2ppm/°C (typ)
 - 温度ドリフト：5ppm/°C (max)
 - シンク/ソース能力：20mA
- ゼロ・スケールへのパワーオン・リセット
- 超低電力動作：1mA (5V時)
- 幅広い電源範囲：+2.7V ~ +5.5V
- 動作温度範囲で14ビット単調性を維持
- セトリング・タイム：フルスケール範囲 (FSR) の ±0.006%まで10µs
- シュミット・トリガ入力付き低電力シリアル・インターフェイス：最大50MHz
- レール・ツー・レール動作の出力バッファ・アンプ内蔵
- 1.8V ~ 5.5Vロジックに対応
- 温度範囲：-40°C ~ +105°C

アプリケーション

- ポータブル機器
- 閉ループ・サーボ制御
- プロセス制御、PLC
- データ・アキュジション・システム
- プログラマブル・アッテネータ
- PC周辺機器

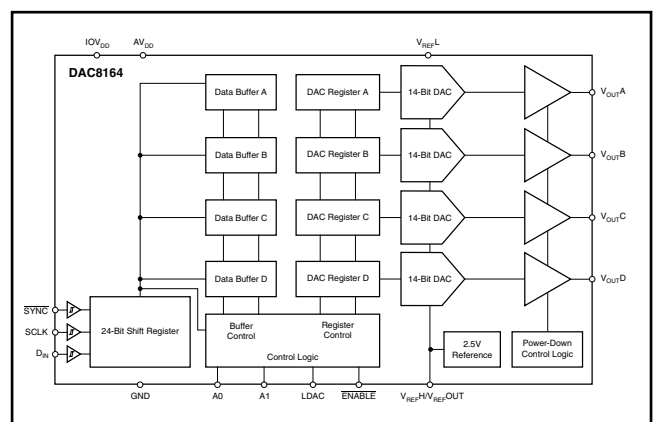
関連デバイス	16ビット	14ビット	12ビット
ピンおよび機能互換	DAC8564	DAC8164	DAC7564
機能互換	DAC8565	DAC8165	DAC7565

概要

DAC8164は、低電力、電圧出力、4チャンネルの14ビットDAコンバータ (DAC) です。2.5V、2ppm/°Cの内部リファレンス (デフォルトでイネーブル) により、2.5Vのフルスケール出力電圧範囲を提供します。内部リファレンスの初期精度は0.004%であり、V_{REFH}/V_{REFOUT}ピンは最大20mAを供給できます。DAC8164は単調な特性を持ち、直線性が非常に優れ、コード間の不要な過渡電圧 (グリッチ) を最小限に抑えます。また、最大50MHzのクロック速度で動作する多用途な3線式シリアル・インターフェイスを備えています。このインターフェイスは、標準のSPI™、QSPI™、Microwire™、およびデジタル信号プロセッサ (DSP) インターフェイスと互換性があります。

DAC8164は、内蔵のパワーオン・リセット回路により、DAC出力はゼロ・スケールで起動し、デバイスに有効なコードが書き込まれるまでその状態を保持します。また、シリアル・インターフェイスでアクセスできるパワーダウン機能により、デバイスの消費電流が5Vで1.3µAまで低減されます。消費電力は3Vで2.6mWであり、パワーダウン・モードでは1.4µWまで低減されます。低消費電力、内部リファレンス、およびコンパクトなサイズにより、DAC8164は携帯型のバッテリー駆動機器に理想的です。

DAC8164は、DAC7564およびDAC8564とドロップインおよび



SPI, QSPIは、Motorola社の商標です。Microwireは、National Semiconductor社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



び機能互換であり、DAC7565、DAC8165、およびDAC8565と機能互換です。これらのデバイスはすべて、TSSOP-16パッケージで供給されます。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	相対精度 (LSB)	微分非直線性 (LSB)	リファレンス・ドリフト (ppm/°C)	パッケージ	パッケージ・コード	仕様温度範囲	パッケージ捺印
DAC8164A	±4	±1	25	TSSOP-16	PW	-40°C ~ +105°C	DAC8164
DAC8164B	±2	±1	25	TSSOP-16	PW	-40°C ~ +105°C	DAC8164B
DAC8164C	±4	±1	5	TSSOP-16	PW	-40°C ~ +105°C	DAC8164
DAC8164D	±2	±1	5	TSSOP-16	PW	-40°C ~ +105°C	DAC8164D

(1) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.comまたはwww.tij.co.jp) をご覧ください。

絶対最大定格⁽¹⁾

	DAC8164	単位	
$A_{V_{DD}} \sim GND$	-0.3 ~ +6	V	
デジタル入力電圧 (対GND)	-0.3 ~ $+V_{DD} + 0.3$	V	
$V_{OUT} \sim GND$	-0.3 ~ $+V_{DD} + 0.3$	V	
$V_{REF} \sim GND$	-0.3 ~ $+V_{DD} + 0.3$	V	
動作温度範囲	-40 ~ +125	°C	
保存温度範囲	-65 ~ +150	°C	
ジャンクション温度範囲 ($T_J \max$)	+150	°C	
消費電力	$(T_{J\max} - T_A)/\theta_{JA}$	W	
熱抵抗、 θ_{JA}	+118	°C/W	
熱抵抗、 θ_{JC}	+29	°C/W	
ESD定格	人体モデル (HBM)	4000	V
	デバイス帯電モデル (CDM)	1500	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を及ぼすことがあります。

電気的特性

AV_{DD} = 2.7V~5.5V、-40°C~+105°Cの範囲内です(特に記述のない限り)。

パラメータ	測定条件	DAC8164			単位	
		MIN	TYP	MAX		
静的性能⁽¹⁾						
分解能		14			ビット	
相対精度	ライン・バス・スルー、コード120および16200で測定	DAC8164A, DAC8164C		±1	±4	LSB
		DAC8164B, DAC8164D		±1	±2	LSB
微分非直線性	14ビット単調性		0.3	±1	LSB	
オフセット誤差	ライン・バス・スルー、コード120および16200で測定		±5	±8	mV	
オフセット誤差ドリフト			±1		μV/°C	
フルスケール誤差			±0.2	±0.5	% of FSR	
ゲイン誤差			±0.05	±0.2	% of FSR	
ゲイン温度係数		AV _{DD} = 5V		±1		ppm of FSR/°C
	AV _{DD} = 2.7V		±2			
PSRR 電源除去比	出力無負荷		1		mV/V	
出力特性⁽²⁾						
出力電圧範囲		0		V _{REF}	V	
出力電圧セトリング・タイム	±0.006% (FSRに対して)、0080hから3F40hへ R _L = 2kΩ, 0pF < C _L < 200pF		8	10	μs	
			12			
スルー・レート			2.2		V/μs	
容量性負荷安定性	R _L = ∞		470		pF	
	R _L = 2kΩ		1000			
コード変化によるグリッチ・インパルス	メジャー・キャリヤ付近の1LSBの変化		0.15		nV-s	
デジタル・フィードスルー	SCLKで、SYN \overline{C} = "High" をトルグ		0.15		nV-s	
チャンネル間DCクロストーク	隣接チャンネルをフルスケール・スイング		0.25		LSB	
チャンネル間ACクロストーク	フルスケールの1kHz正弦波、出力無負荷		-100		dB	
DC出カインピーダンス	ミッド・コード入力		1		Ω	
短絡電流			50		mA	
パワー・アップ時間	パワー・ダウン・モードから、AV _{DD} = 5V		2.5		μs	
	パワー・ダウン・モードから、AV _{DD} = 3V		5			
AC性能⁽²⁾						
SNR	T _A = +25°C、BW = 20kHz、V _{DD} = 5V、f _{OUT} = 1kHz SNRは最初の19の高調波を除く		87		dB	
THD			-78		dB	
SFDR			79		dB	
SINAD			77		dB	
DAC出力ノイズ密度	T _A = +25°C、ミッド・コード入力、f _{OUT} = 1kHz		120		nV/√Hz	
DAC出力ノイズ	T _A = +25°C、ミッド・コード入力、0.1Hz~10Hz		6		μV _{PP}	
リファレンス						
内部リファレンス消費電流	AV _{DD} = 5.5V		360		μA	
	AV _{DD} = 3.6V		348		μA	
外部リファレンス電流	外部V _{REF} = 2.5V、内部リファレンスはディセーブル、全4チャンネルがアクティブ		80		μA	
V _{REFH} 入力電圧範囲	V _{REFL} < V _{REFH} , AV _{DD} - (V _{REFH} + V _{REFL}) / 2 > 1.2V	0		AV _{DD}	V	
V _{REFL} 入力電圧範囲	V _{REFL} < V _{REFH} , AV _{DD} - (V _{REFH} + V _{REFL}) / 2 > 1.2V	0		AV _{DD} /2	V	
リファレンス入カインピーダンス			31		kΩ	

(1) 120~16200の縮小したコード範囲で直線性を計算、出力は無負荷。

(2) 設計値および特性評価による、製造試験は未実施。

電気的特性

AV_{DD} = 2.7V~5.5V、-40°C~+105°Cの範囲内です(特に記述のない限り)。

パラメータ	測定条件	DAC8164			単位
		MIN	TYP	MAX	
リファレンス出力					
出力電圧	T _A = +25°C	2.4995	2.5	2.5005	V
初期精度	T _A = +25°C	-0.02	±0.004	0.02	%
出力電圧温度ドリフト	DAC8164A, DAC8164B ⁽³⁾		5	25	ppm/°C
	DAC8164C, DAC8164D ⁽⁴⁾		2	5	
出力電圧ノイズ	f = 0.1Hz ~ 10Hz		12		μV _{PP}
出力電圧ノイズ密度(高周波ノイズ)	T _A = +25°C, f = 1MHz, C _L = 0μF		50		nV/√Hz
	T _A = +25°C, f = 1MHz, C _L = 1μF		20		
	T _A = +25°C, f = 1MHz, C _L = 4μF		16		
負荷レギュレーション、ソース ⁽⁵⁾	T _A = +25°C		30		μV/mA
負荷レギュレーション、シンク ⁽⁵⁾	T _A = +25°C		15		μV/mA
出力電流負荷性能 ⁽⁶⁾			±20		mA
ラインレギュレーション	T _A = +25°C		10		μV/V
長期的安定性/ドリフト(エージング) ⁽⁵⁾	T _A = +25°C、期間 = 0~1900時間		50		ppm
熱ヒステリシス ⁽⁵⁾	最初のサイクル		100		ppm
	追加サイクル		25		
ロジック入力 ⁽⁶⁾					
入力電流			±1		μA
V _{INL} ロジック入力“Low”電圧	2.7V ≤ IOV _{DD} ≤ 5.5V		0.3 × IOV _{DD}		V
	1.8V ≤ IOV _{DD} ≤ 2.7V		0.1 × IOV _{DD}		
V _{INH} ロジック入力“High”電圧	2.7V ≤ IOV _{DD} ≤ 5.5V		0.7 × IOV _{DD}		V
	1.8V ≤ IOV _{DD} ≤ 2.7V		0.95 × IOV _{DD}		
ピン容量				3	pF
電源					
AV _{DD}		2.7		5.5	V
IOV _{DD}		1.8		5.5	V
IOI _{DD} ⁽⁶⁾			10	20	μA
I _{DD} ⁽⁷⁾	標準モード	AV _{DD} = IOV _{DD} = 3.6V ~ 5.5V V _{INH} = IOV _{DD} and V _{INL} = GND	1	1.6	mA
		AV _{DD} = IOV _{DD} = 2.7V ~ 3.6V V _{INH} = IOV _{DD} and V _{INL} = GND	0.95	1.5	
	すべてのパワーダウンモード	AV _{DD} = IOV _{DD} = 3.6V ~ 5.5V V _{INH} = IOV _{DD} and V _{INL} = GND	1.3	3.5	μA
		AV _{DD} = IOV _{DD} = 2.7V ~ 3.6V V _{INH} = IOV _{DD} and V _{INL} = GND	0.5	2.5	
消費電力 ⁽⁷⁾	標準モード	AV _{DD} = IOV _{DD} = 3.6V ~ 5.5V V _{INH} = IOV _{DD} and V _{INL} = GND	3.6	8.8	mW
		AV _{DD} = IOV _{DD} = 2.7V ~ 3.6V V _{INH} = IOV _{DD} and V _{INL} = GND	2.6	5.4	
	すべてのパワーダウンモード	AV _{DD} = IOV _{DD} = 3.6V ~ 5.5V V _{INH} = IOV _{DD} and V _{INL} = GND	4.7	19	μW
		AV _{DD} = IOV _{DD} = 2.7V ~ 3.6V V _{INH} = IOV _{DD} and V _{INL} = GND	1.4	9	
温度範囲					
仕様温度範囲		-40		+105	°C

(3) リファレンスは室温で調整および試験が行われ、-40°C~+120°Cで仕様が規定されています。

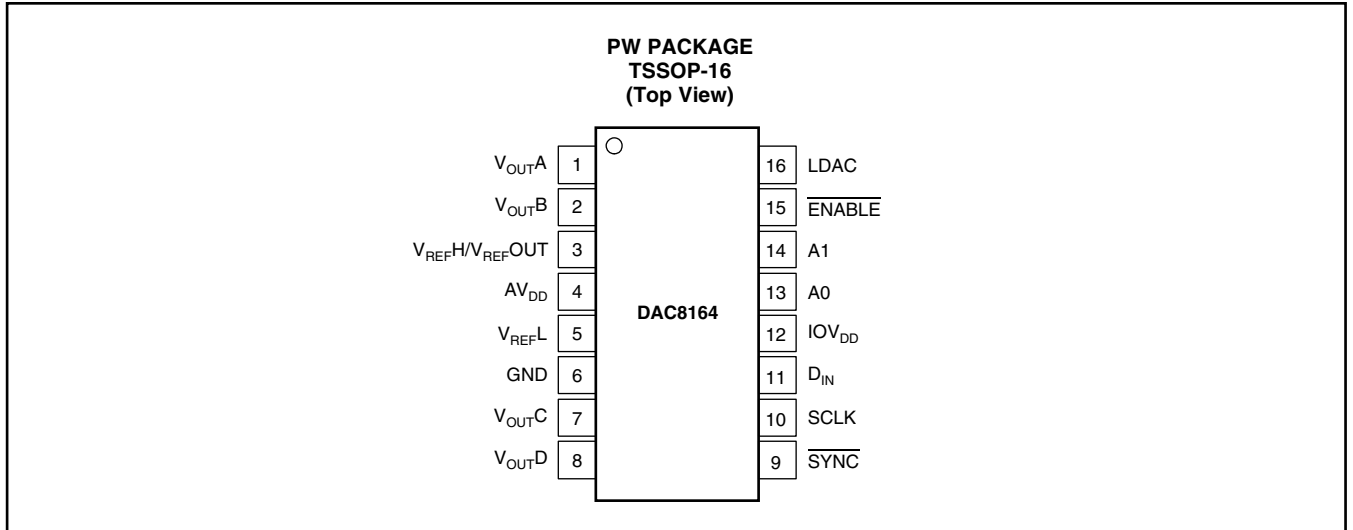
(4) リファレンスは2つの温度(+25°Cおよび+105°C)で調整および試験が行われ、-40°C~+120°Cで仕様が規定されています。

(5) このデータシートの「アプリケーション情報」で詳細に説明されています。

(6) 設計値および特性評価による、製造試験は未実施。

(7) 入力コード = 8192。リファレンス電流を含む。無負荷。

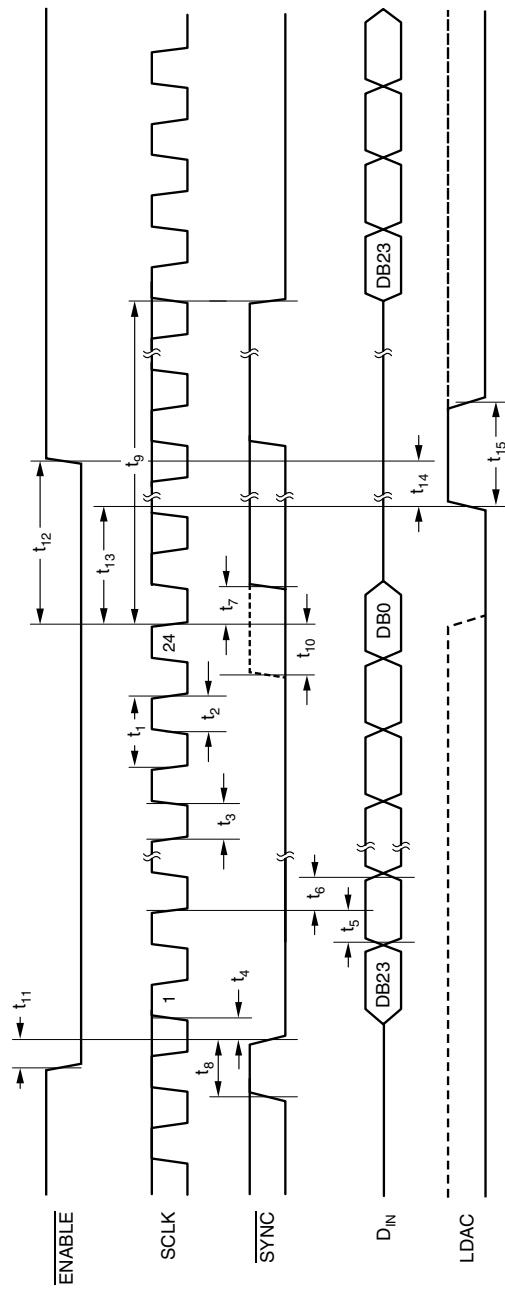
ピン配置



ピン構成

ピン	名称	説明
1	V_{OUTA}	DAC Aからのアナログ出力電圧
2	V_{OUTB}	DAC Bからのアナログ出力電圧
3	V_{REFH}/V_{REFOUT}	正のリファレンス入力 / 内部リファレンス使用時は、リファレンス出力2.5V
4	AV_{DD}	電源入力、2.7V~5.5V
5	V_{REFL}	負のリファレンス入力
6	GND	グランド基準点
7	V_{OUTC}	DAC Cからのアナログ出力電圧
8	V_{OUTD}	DAC Dからのアナログ出力電圧
9	\overline{SYNC}	レベル・トリガ制御入力(アクティブ “Low”)。この入力は、入力データのフレーム同期信号です。 \overline{SYNC} が “Low” になると、入力シフト・レジスタがイネーブルになり、以降のクロック立ち下がりエッジでデータがサンプリングされます。DAC出力は、24回目のクロック後に更新されます。24回目のクロック・エッジより前に \overline{SYNC} が “High” になった場合、 \overline{SYNC} の立ち上がりエッジが割り込みとして機能し、DAC8164は書き込みシーケンスを無視します。シュミット・トリガロジック入力です。
10	SCLK	シリアル・クロック入力。データは最大50MHzで転送できます。シュミット・トリガのロジック入力です。
11	D_{IN}	シリアル・データ入力。シリアル・クロック入力の各立ち下がりエッジで、データが24ビットの入力シフト・レジスタに順次取り込まれます。シュミット・トリガロジック入力です。
12	IOV_{DD}	デジタル入出力電源
13	A0	アドレス0 – デバイス・アドレスを設定します。表5を参照してください。
14	A1	アドレス1 – デバイス・アドレスを設定します。表5を参照してください。
15	\overline{ENABLE}	イネーブル・ピン(アクティブ “Low”)は、SPIインターフェイスをシリアル・ポートに接続します。
16	LDAC	DACのロード。立ち上がりエッジでトリガされ、すべてのDACレジスタにデータをロードします。

シリアル書き込み動作



タイミング特性⁽¹⁾⁽²⁾

$AV_{DD} = IOV_{DD} = 2.7V \sim 5.5V$ 、 $-40^{\circ}C \sim +105^{\circ}C$ の範囲内です(特に記述のない限り)。

パラメータ	テスト条件	DAC8164			単位
		MIN	TYP	MAX	
$t_1^{(3)}$ SCLKサイクル時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	40			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	20			
t_2 SCLK “High” 時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	20			
t_3 SCLK “Low” 時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	20			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			
t_4 \overline{SYNC} からSCLK立ち上がりエッジまでのセットアップ時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	0			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	0			
t_5 データ・セットアップ時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	5			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	5			
t_6 データ・ホールド時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	4.5			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	4.5			
t_7 SCLK立ち下がりエッジから \overline{SYNC} 立ち上がりエッジ	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	0			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	0			
t_8 最小 \overline{SYNC} “High” 時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	40			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	20			
t_9 24回目のSCLK立ち下がりエッジから \overline{SYNC} 立ち下がりエッジ	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	130			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	130			
t_{10} \overline{SYNC} 立ち上がりエッジから24回目のSCLK立ち下がりエッジ(SYNC割り込み成功)	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	15			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	15			
t_{11} \overline{ENABLE} 立ち下がりエッジから \overline{SYNC} 立ち下がりエッジ	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	15			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	15			
t_{12} 24回目のSCLK立ち下がりエッジから \overline{ENABLE} 立ち上がりエッジ	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			
t_{13} 24回目のSCLK立ち下がりエッジからLDAC立ち上がりエッジ	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	50			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	50			
t_{14} LDAC立ち上がりエッジから \overline{ENABLE} 立ち上がりエッジ	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			
t_{15} LDAC “High” 時間	$IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$	10			ns
	$IOV_{DD} = AV_{DD} = 3.6V \sim 5.5V$	10			

(1) すべての入力信号は、 $t_R = t_F = 3ns$ (V_{DD} の10%~90%)、電圧レベル ($V_{IL} + V_{IH}$)/2で規定されます。

(2) 「シリアル書き込み動作」のタイミング図を参照してください。

(3) 最大SCLK周波数は、 $IOV_{DD} = V_{DD} = 3.6V \sim 5.5V$ で50MHz、 $IOV_{DD} = AV_{DD} = 2.7V \sim 3.6V$ で25MHzです。

代表的特性：内部リファレンス

$T_A = +25^\circ\text{C}$ (特に記述のない限り)

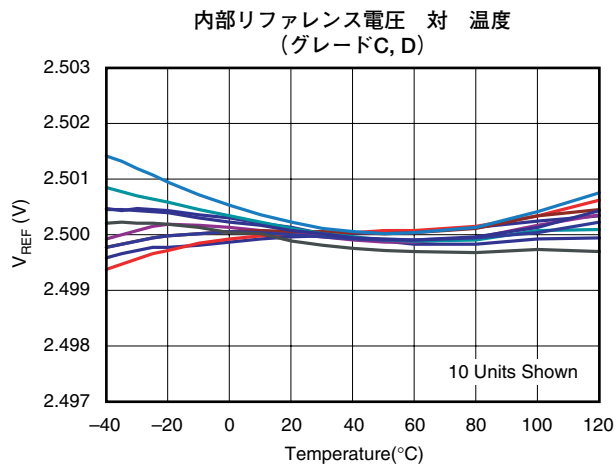


図 1

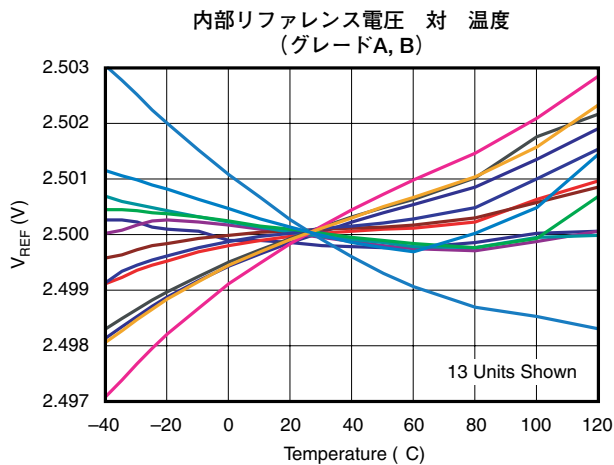


図 2

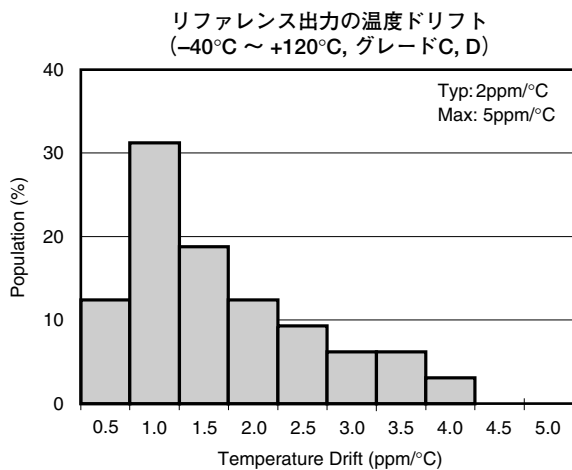


図 3

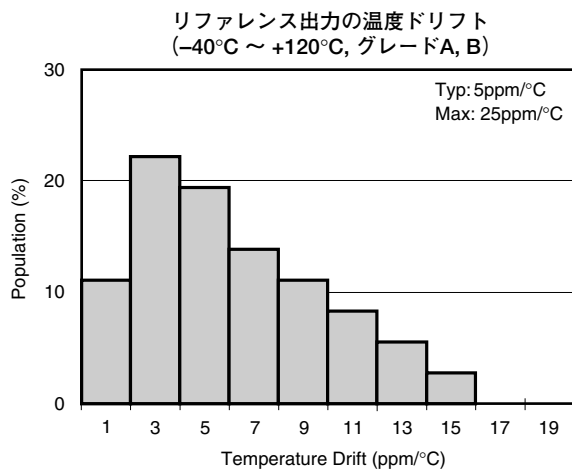


図 4

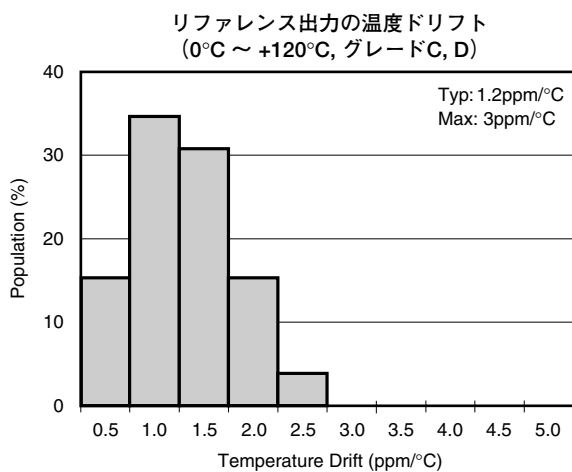


図 5

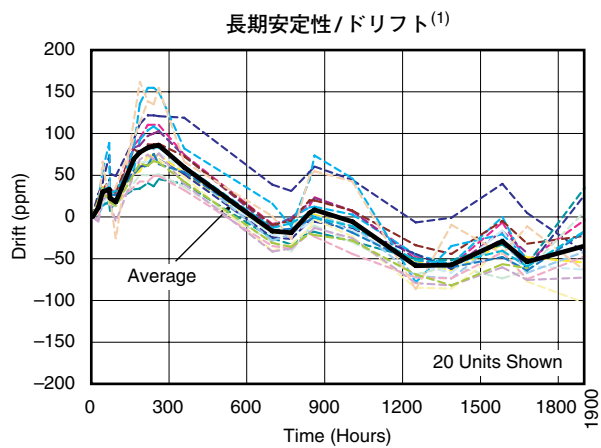


図 6

(1) このデータシートの「アプリケーション情報」で詳細に説明されています。

代表的特性：内部リファレンス

$T_A = +25^\circ\text{C}$ (特に記述のない限り)

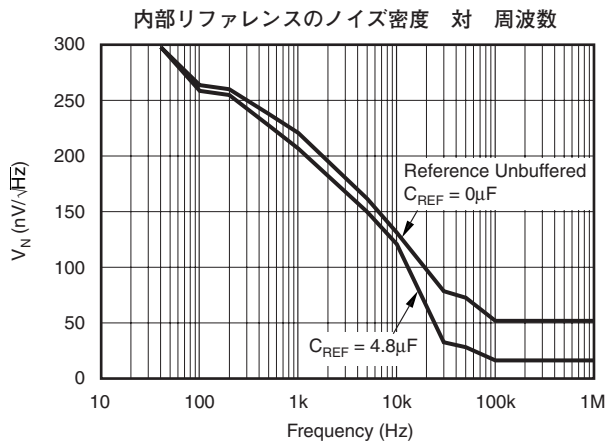


図 7

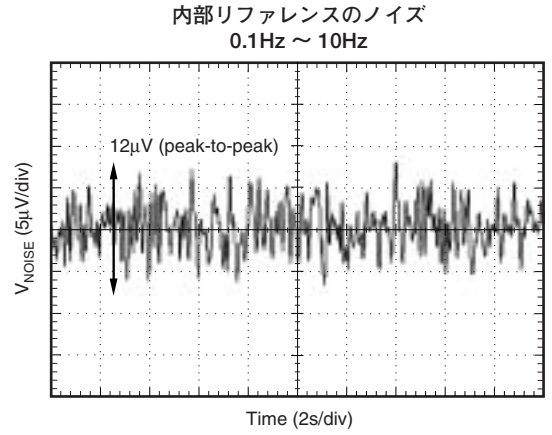


図 8

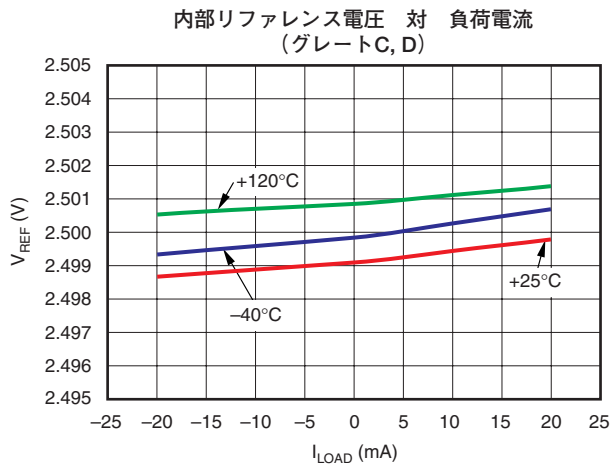


図 9

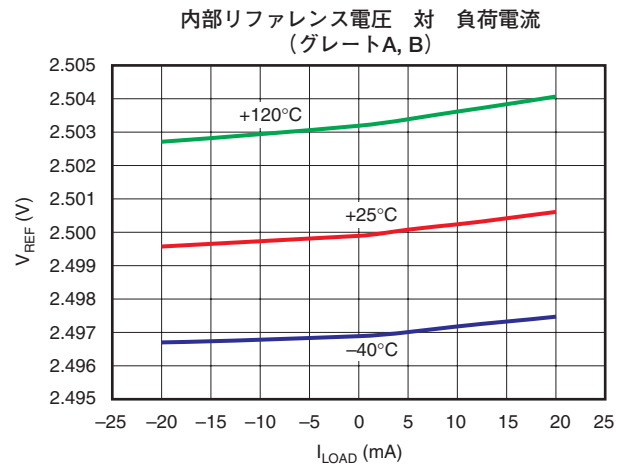


図 10

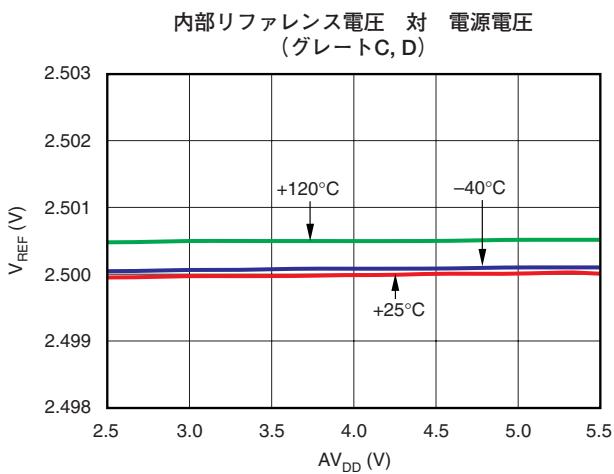


図 11

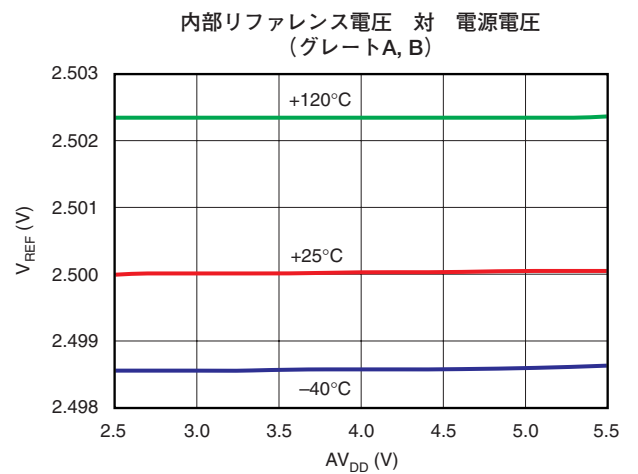


図 12

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

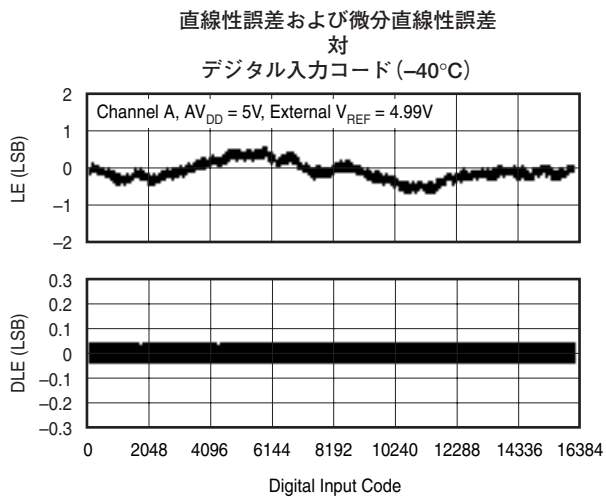


図 13

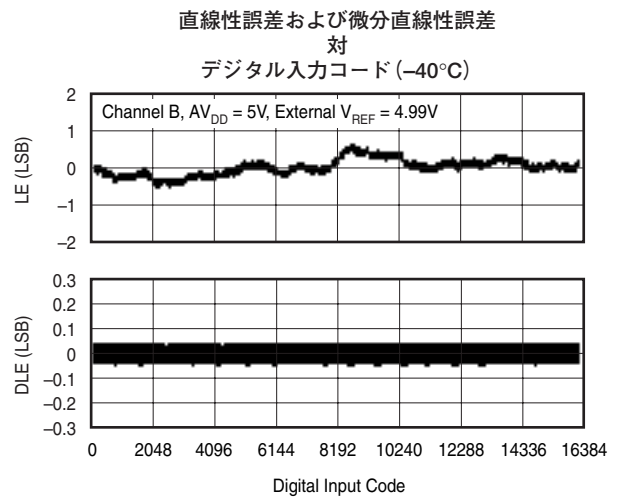


図 14

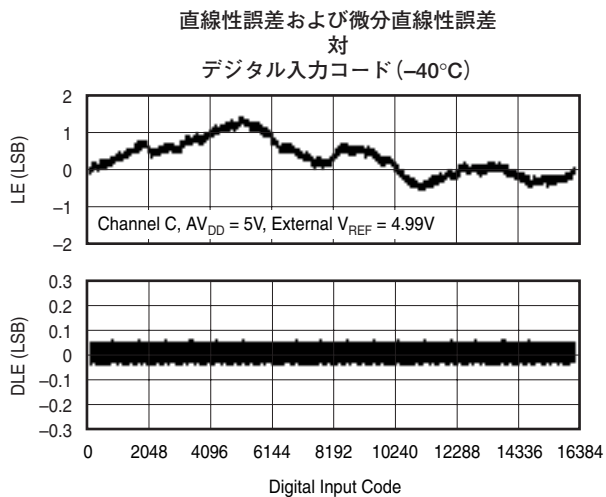


図 15

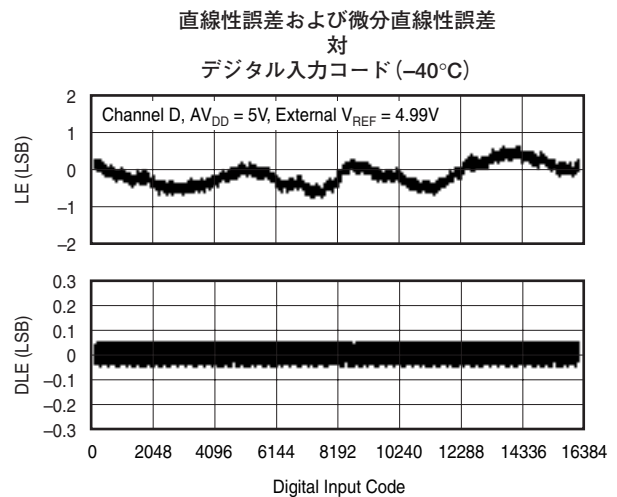


図 16

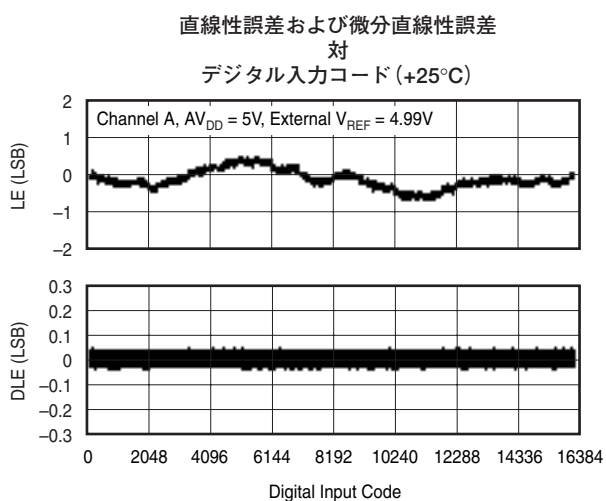


図 17

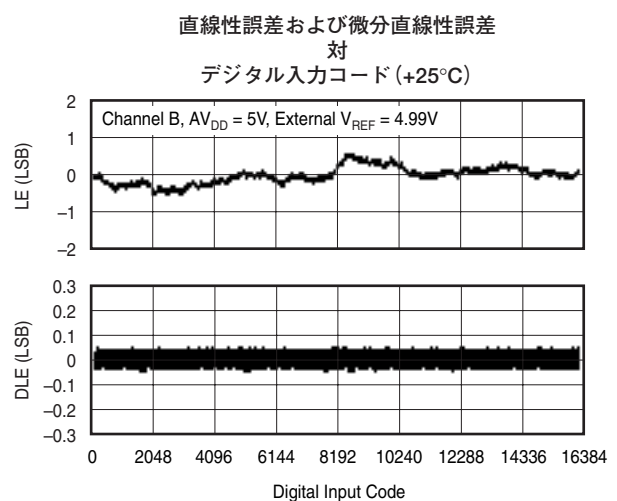


図 18

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

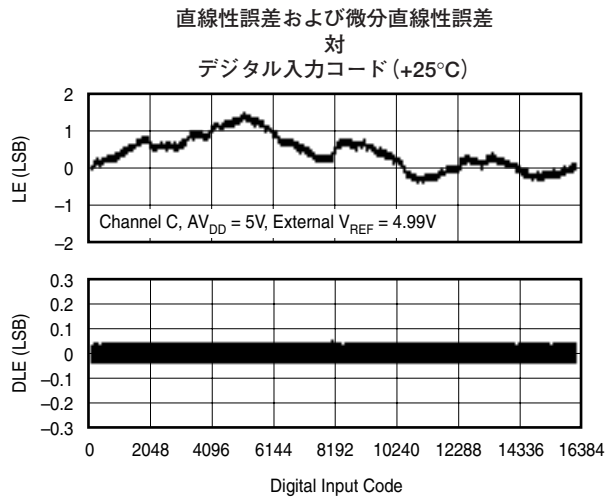


図 19

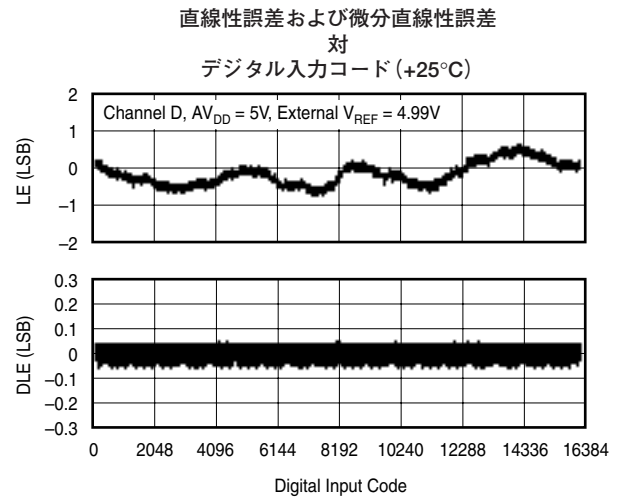


図 20

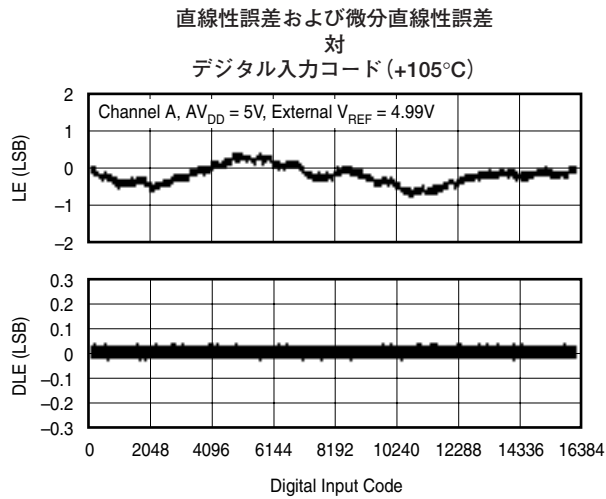


図 21

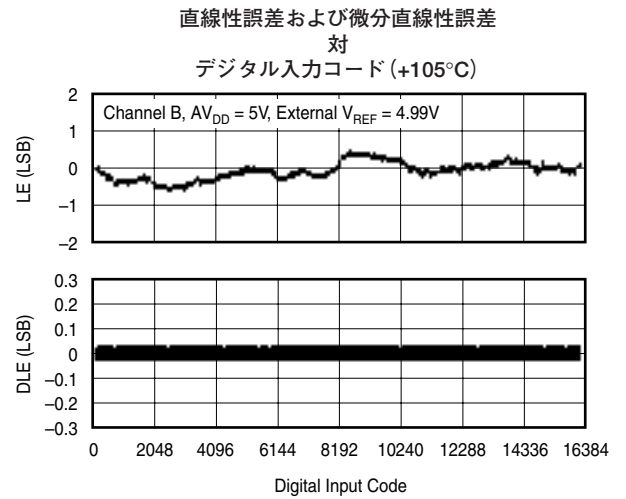


図 22

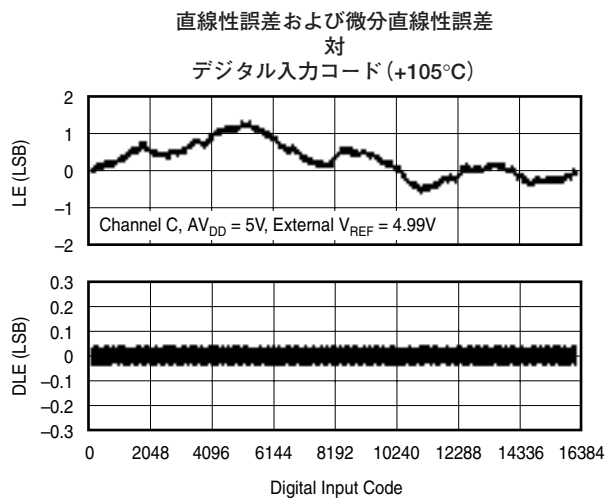


図 23

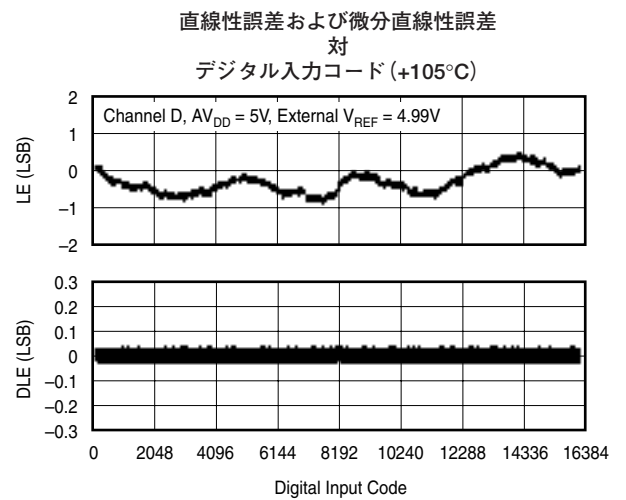


図 24

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

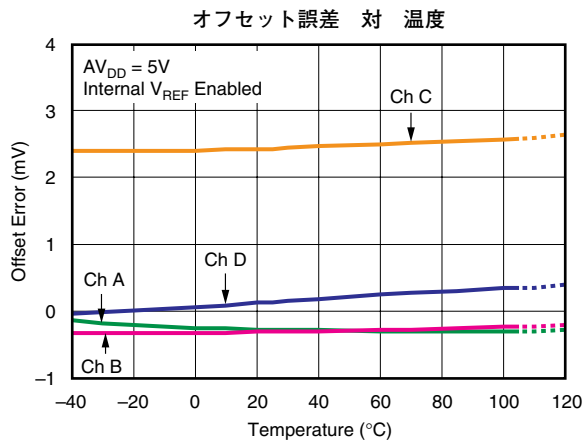


図 25

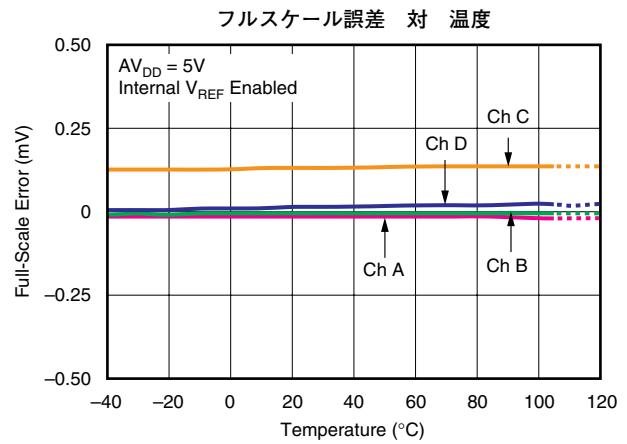


図 26

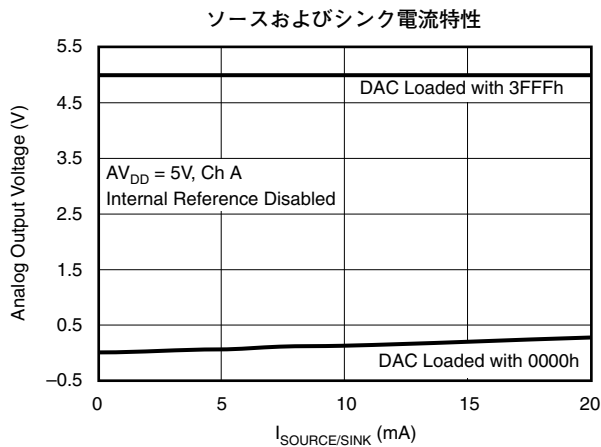


図 27

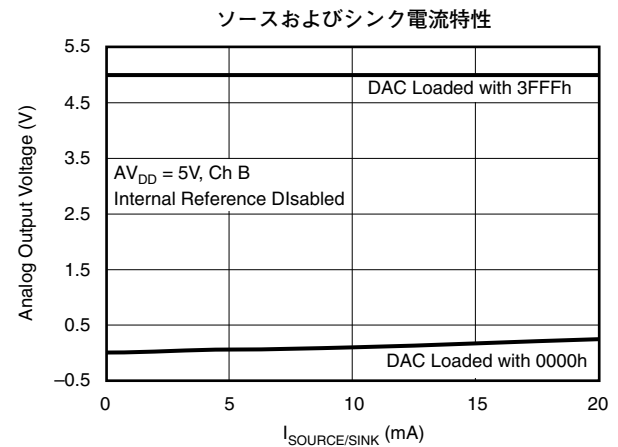


図 28

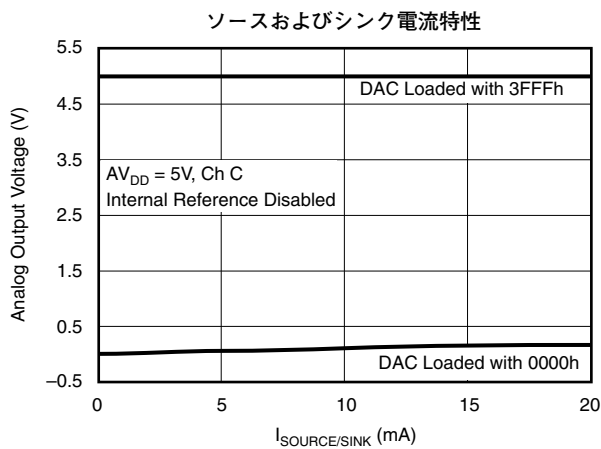


図 29

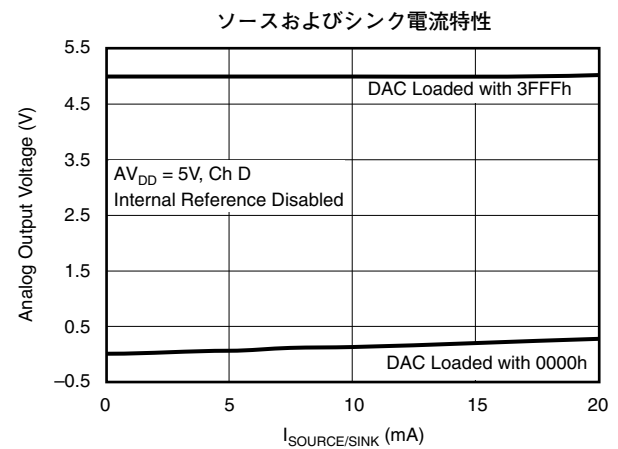


図 30

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

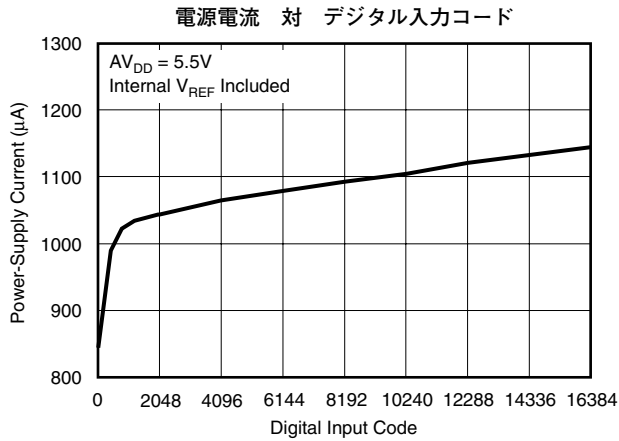


図 31

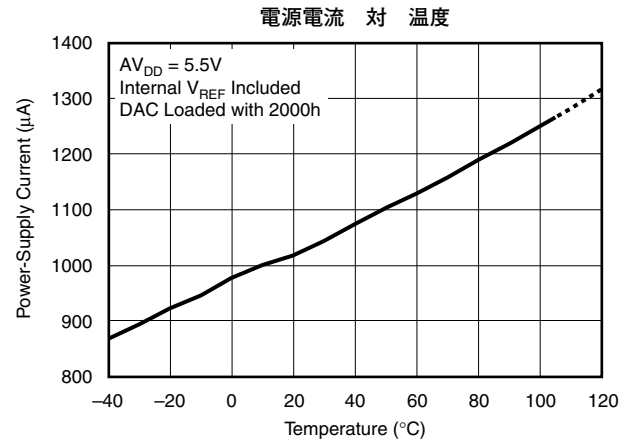


図 32

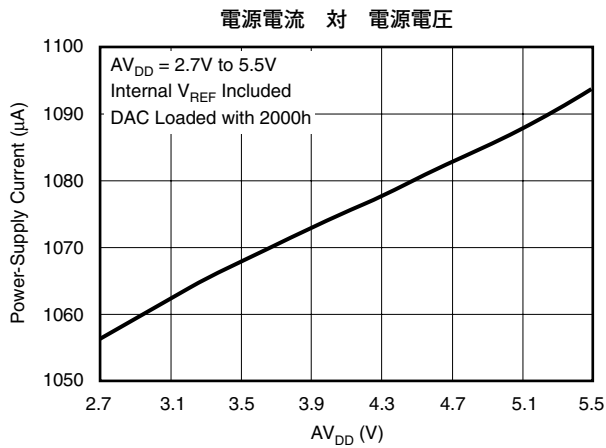


図 33

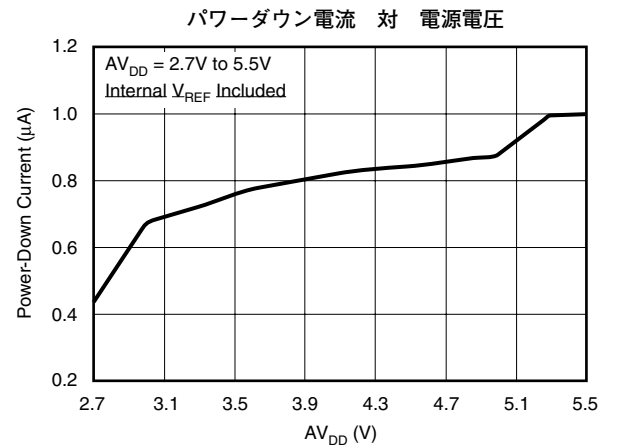


図 34

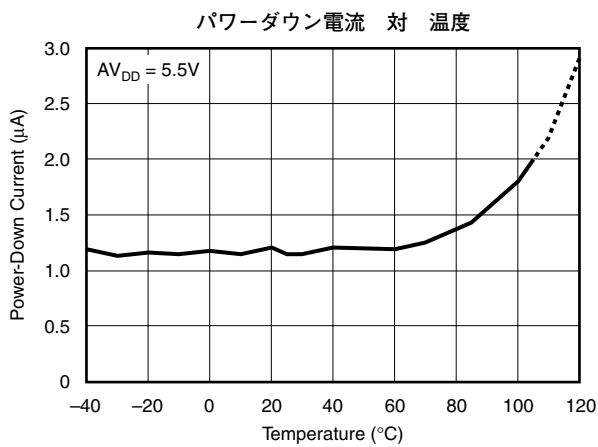


図 35

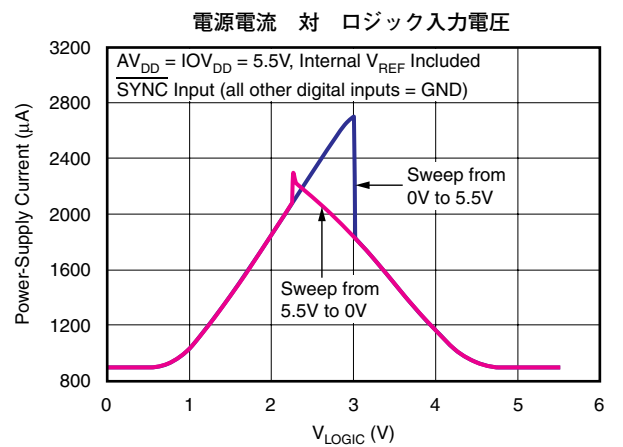


図 36

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

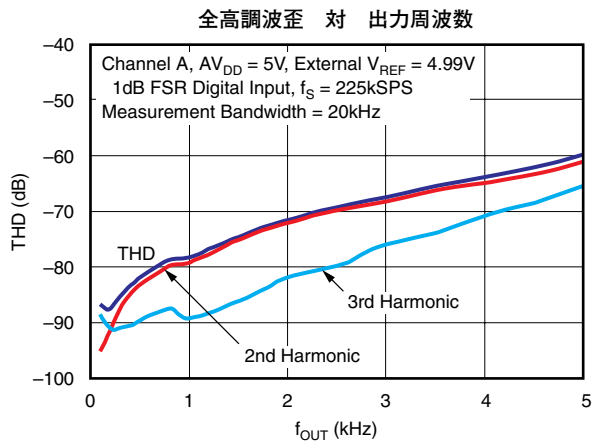


図 37

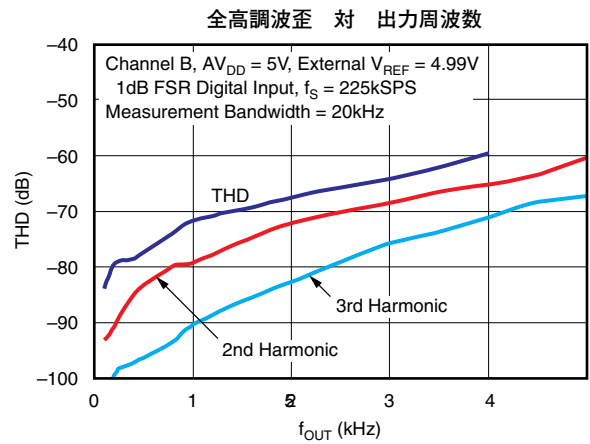


図 38

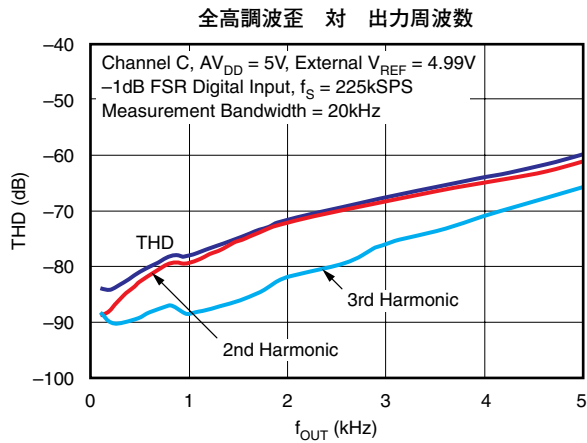


図 39

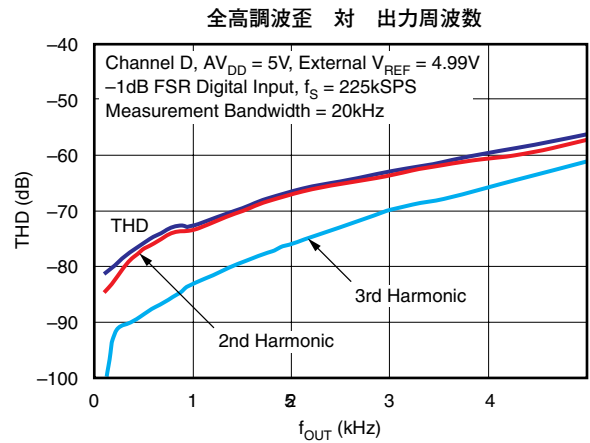


図 40

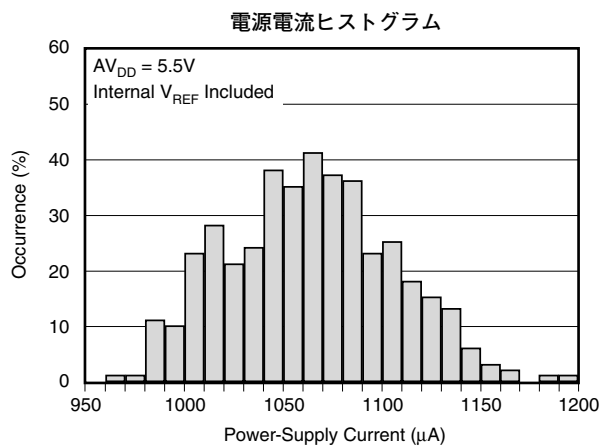


図 40

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

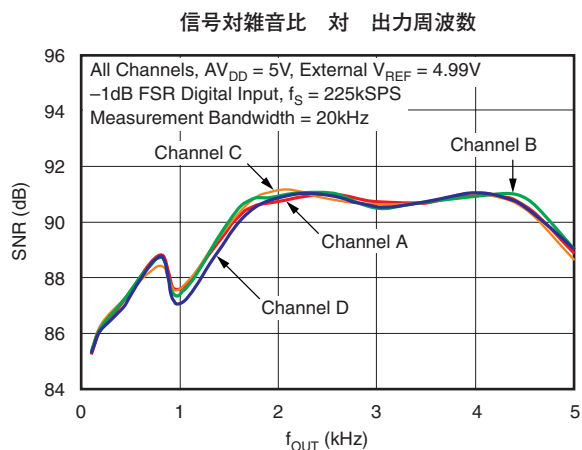


図 42

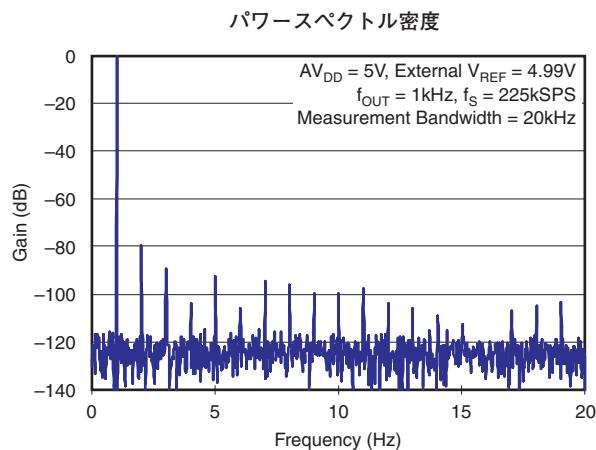


図 43

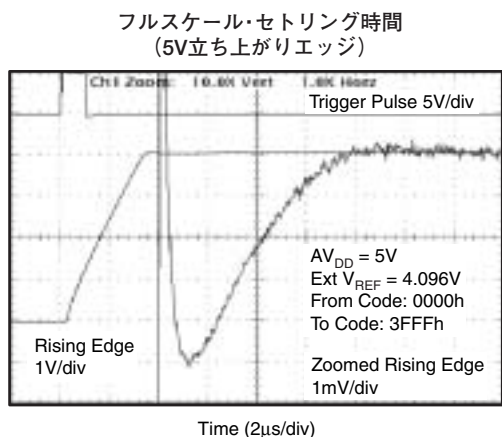


図 44

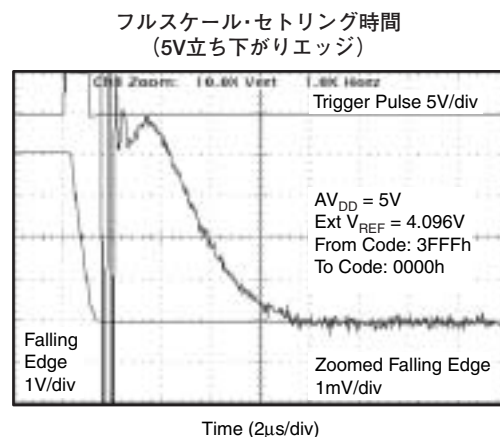


図 45

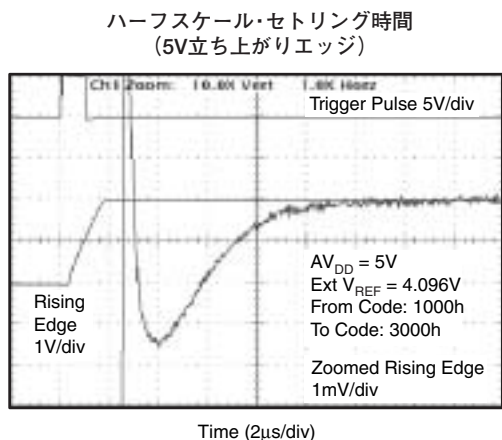


図 46

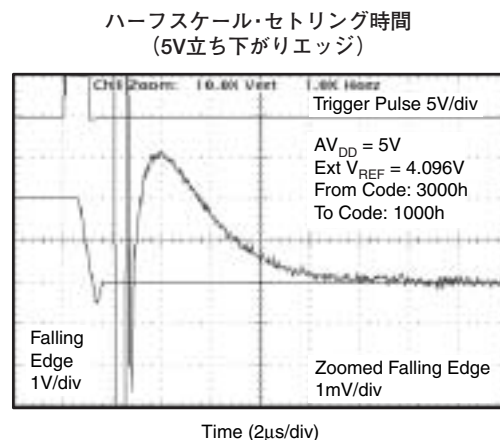


図 47

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

グリッチ・エネルギー
(5V、1LSBステップ、立ち上がりエッジ)

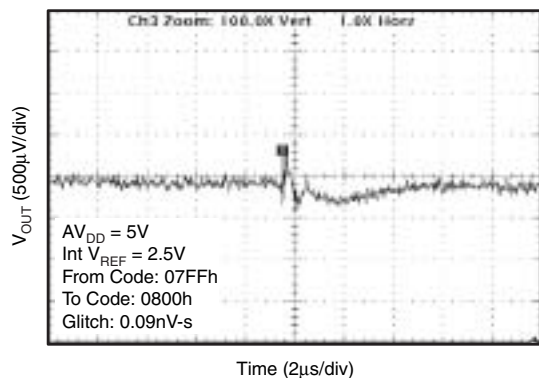


図 48

グリッチ・エネルギー
(5V、1LSBステップ、立ち下がりエッジ)

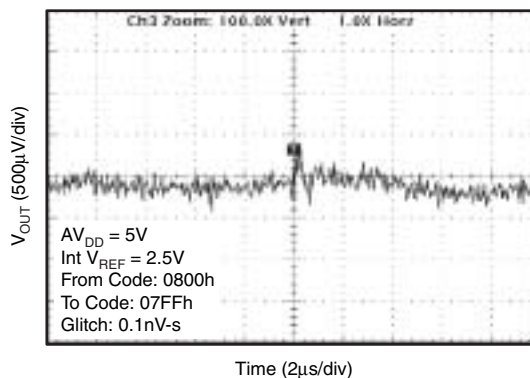


図 49

グリッチ・エネルギー
(5V、16LSBステップ、立ち上がりエッジ)

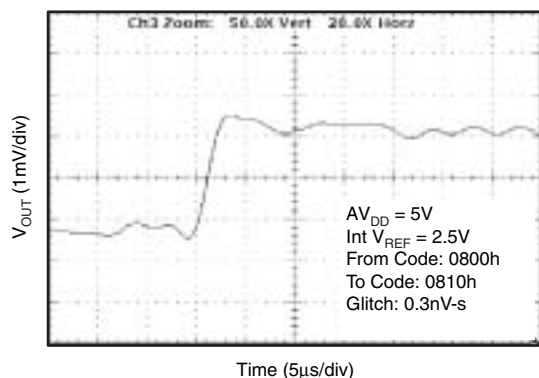


図 50

グリッチ・エネルギー
(5V、16LSBステップ、立ち下がりエッジ)

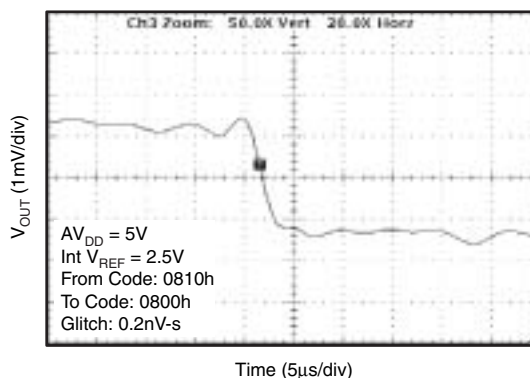


図 51

グリッチ・エネルギー
(5V、64LSBステップ、立ち上がりエッジ)

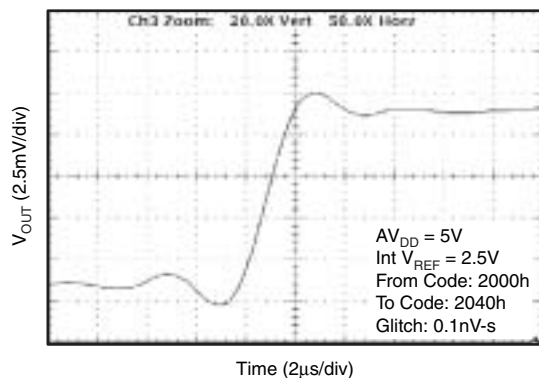


図 52

グリッチ・エネルギー
(5V、64LSBステップ、立ち下がりエッジ)

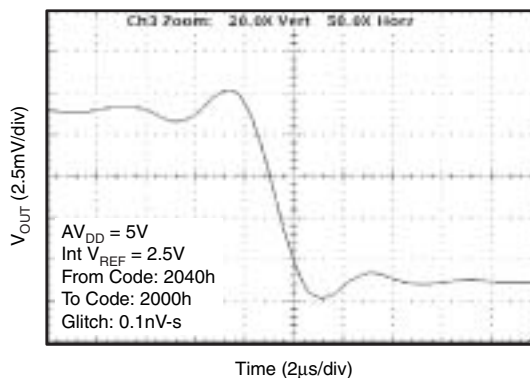


図 53

代表的特性：DAC ($AV_{DD} = 5V$)

$T_A = +25^\circ\text{C}$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードがストレート・バイナリ・データ形式です (特に記述のない限り)。

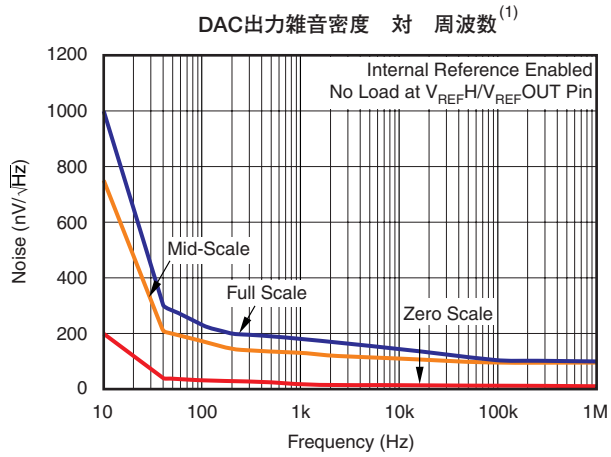


図 54

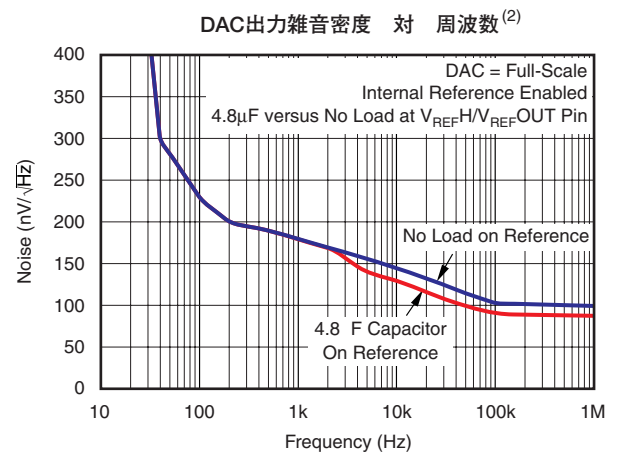


図 55

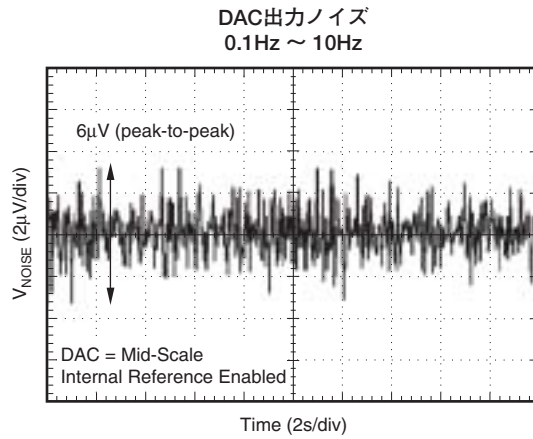


図 56

- (1) このデータシートの「アプリケーション情報」で詳細に説明されています。
- (2) 詳細については、「アプリケーション情報」を参照してください。

代表的特性：DAC ($AV_{DD} = 3.6V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

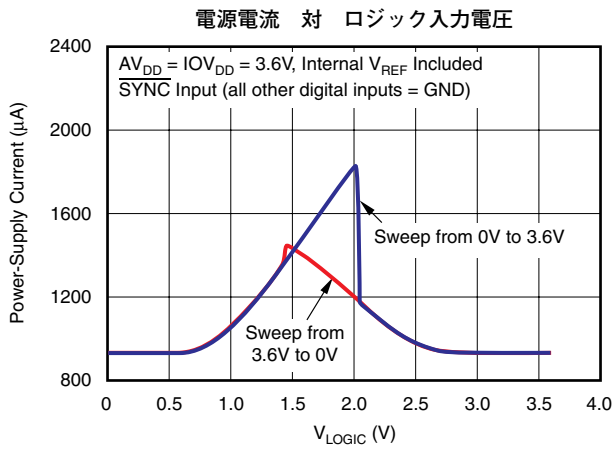


図 57

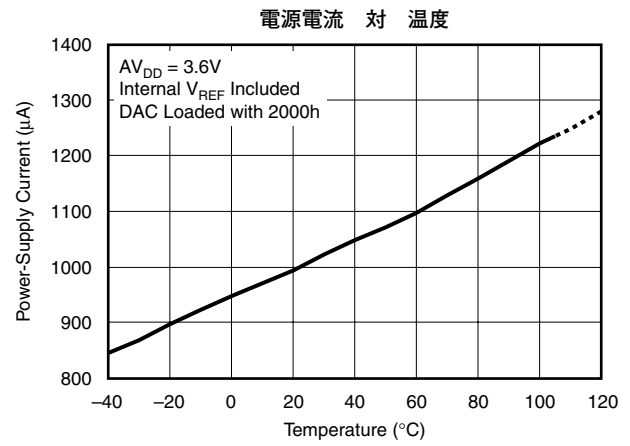


図 58

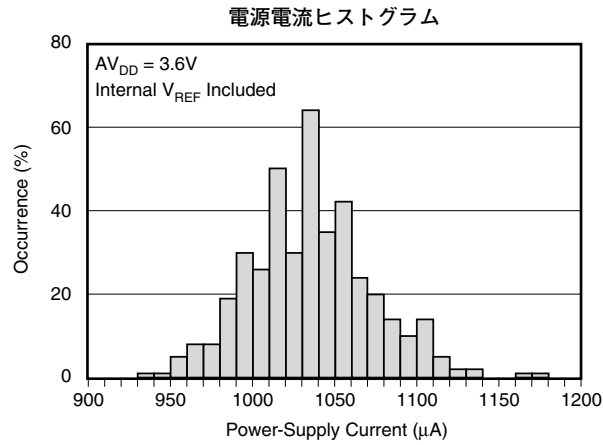


図 59

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

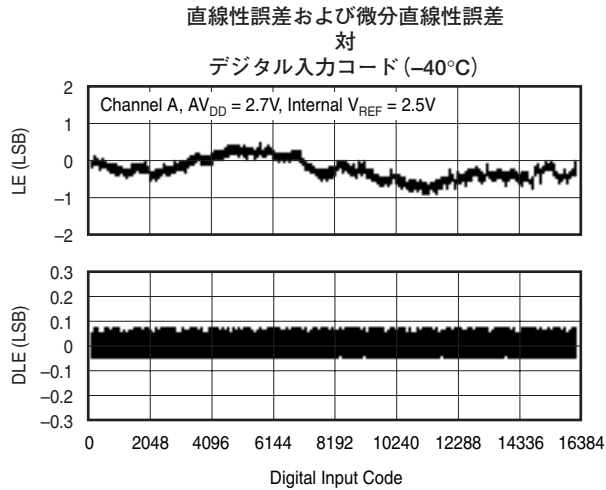


図 60

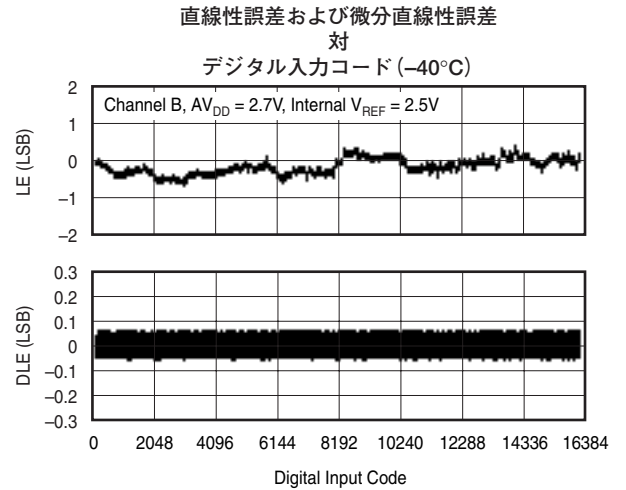


図 61

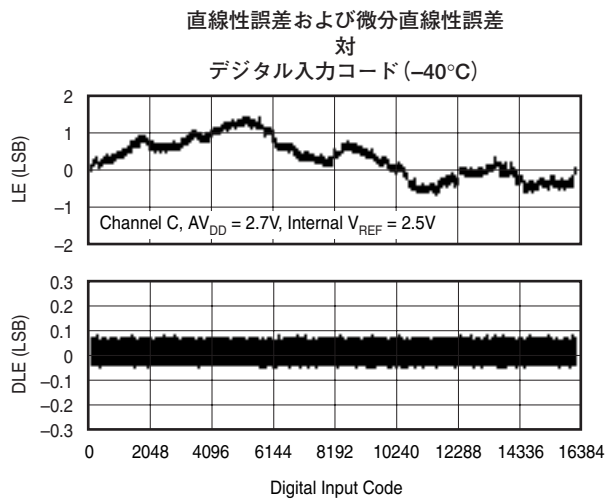


図 62

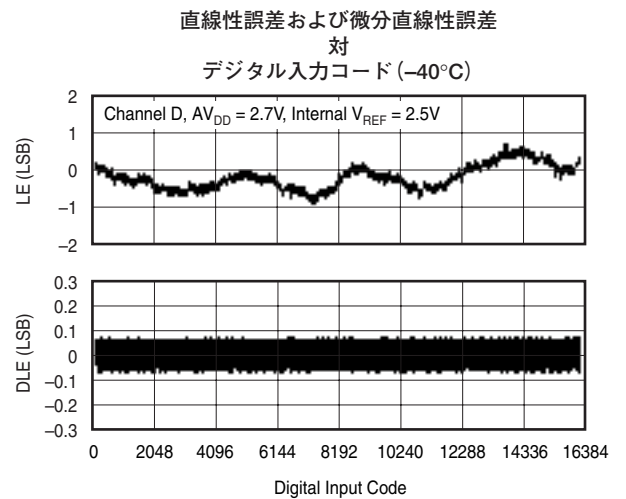


図 63

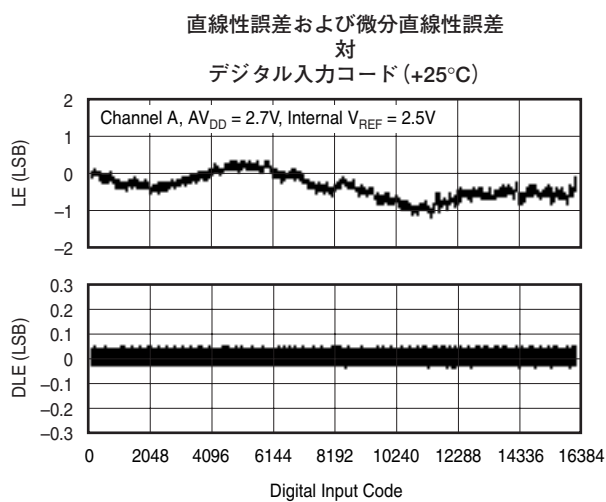


図 64

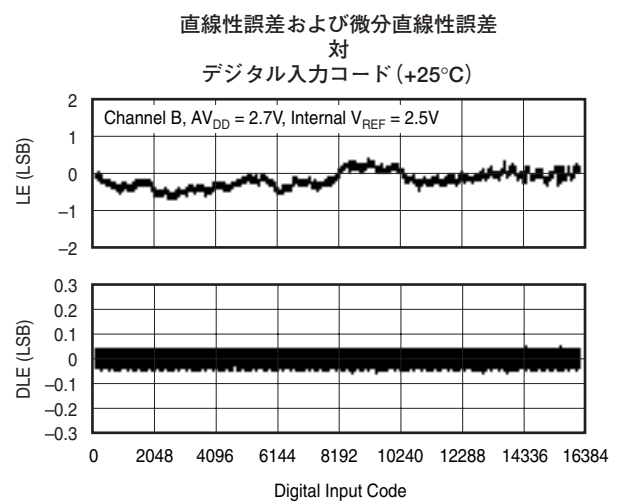


図 65

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

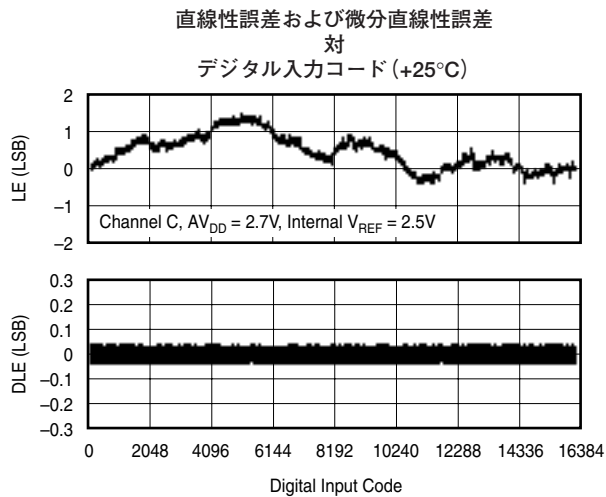


図 66

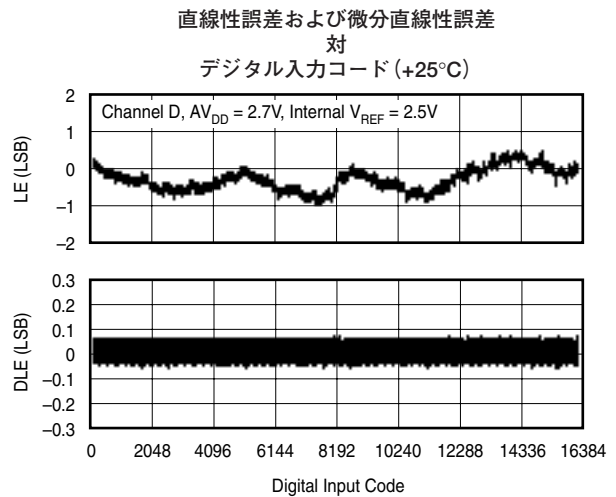


図 67

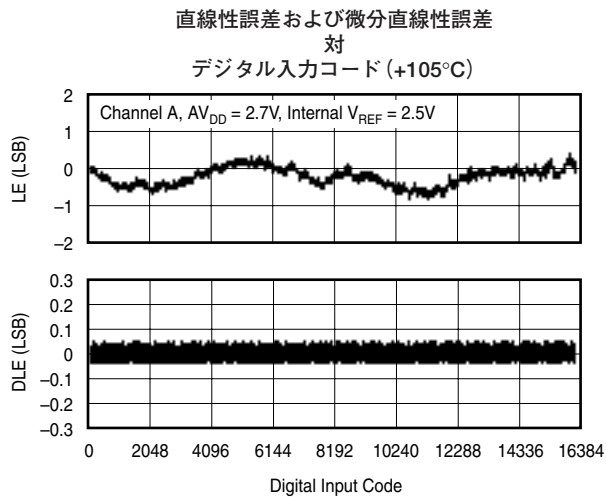


図 68

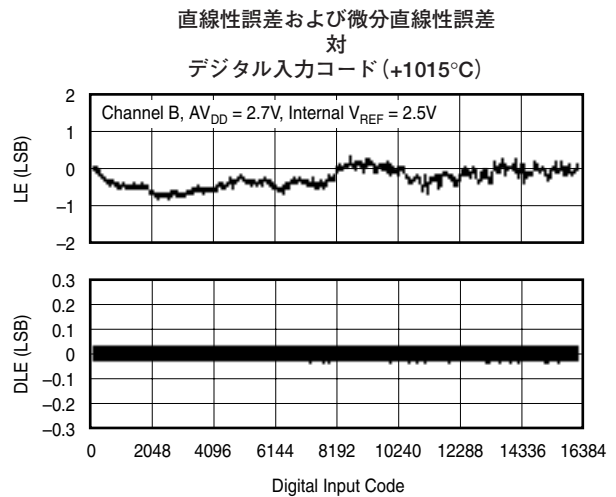


図 69

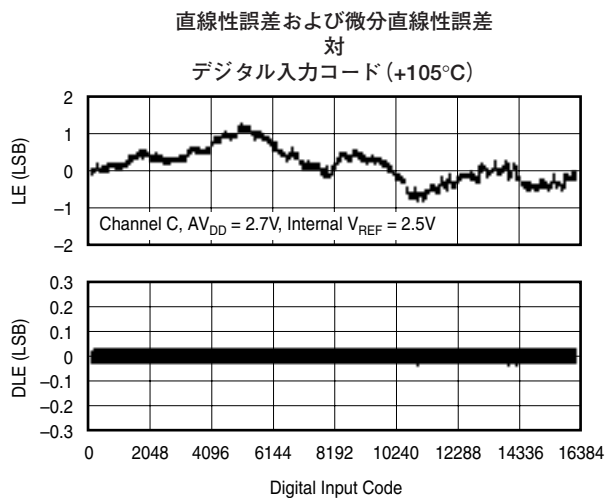


図 70

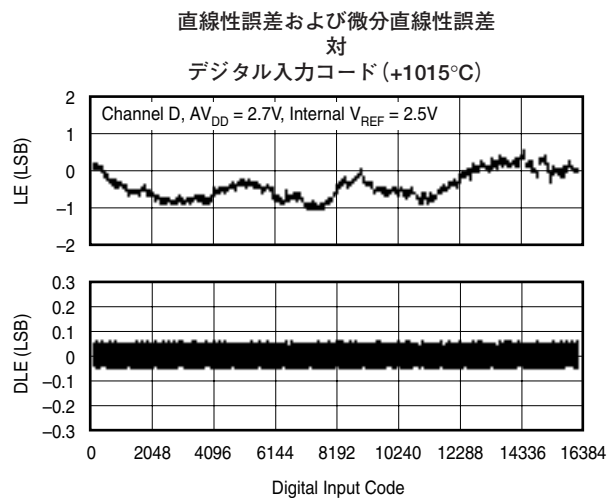


図 71

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

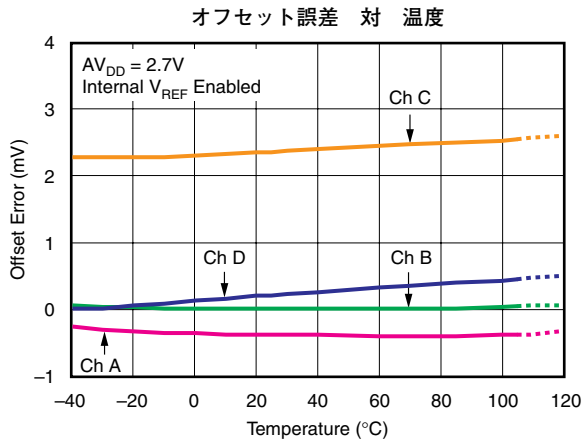


図 72

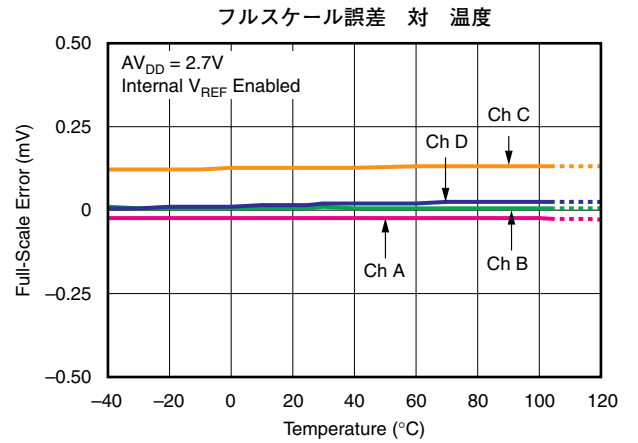


図 73

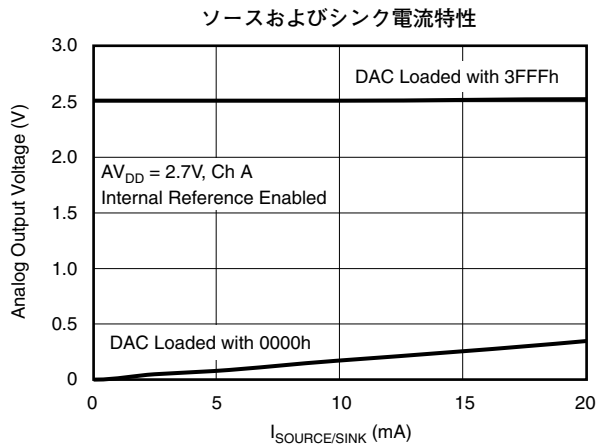


図 74

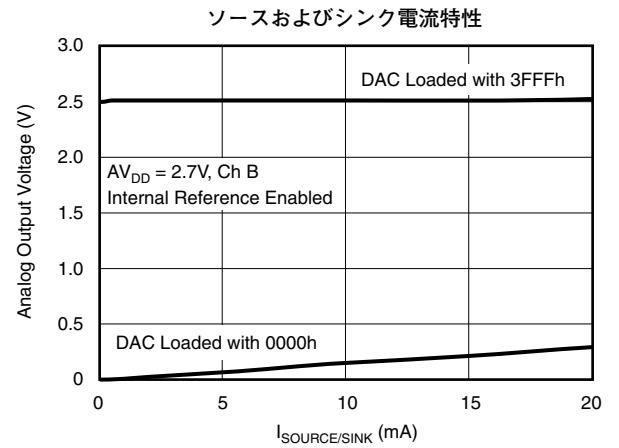


図 75

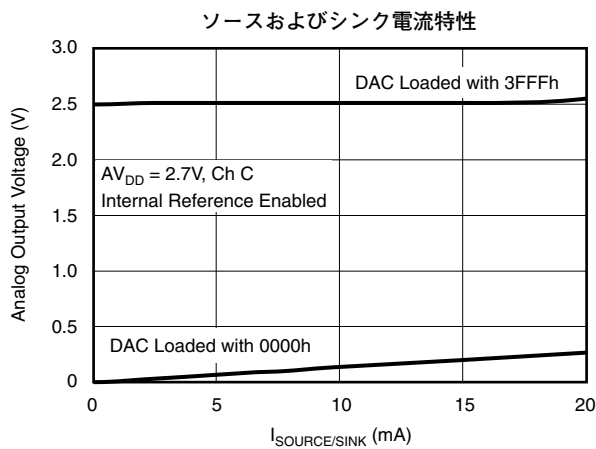


図 76

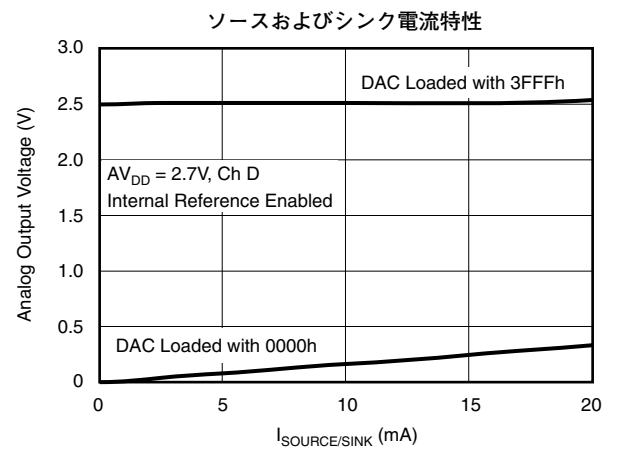


図 77

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

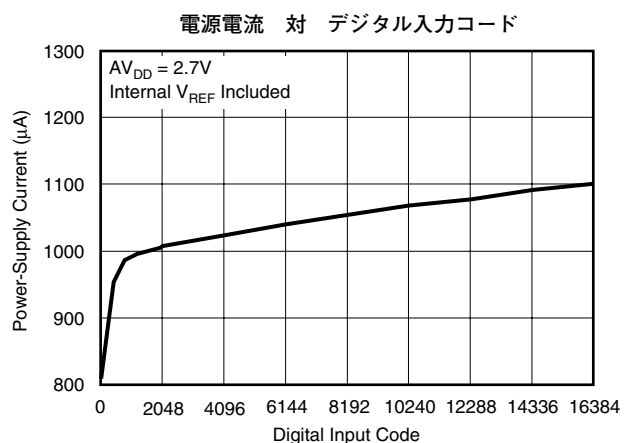


図 78

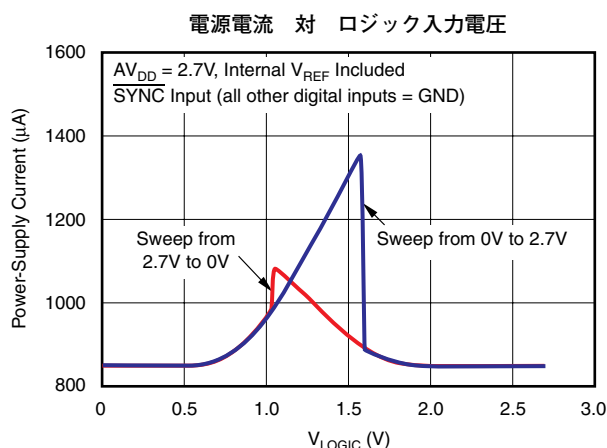


図 79

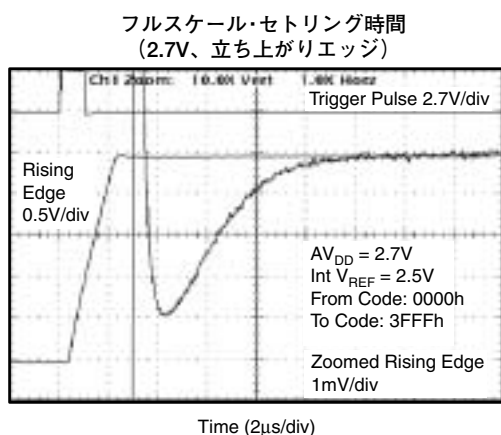


図 80

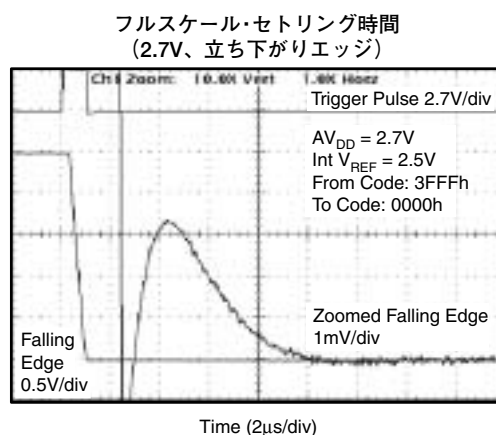


図 81

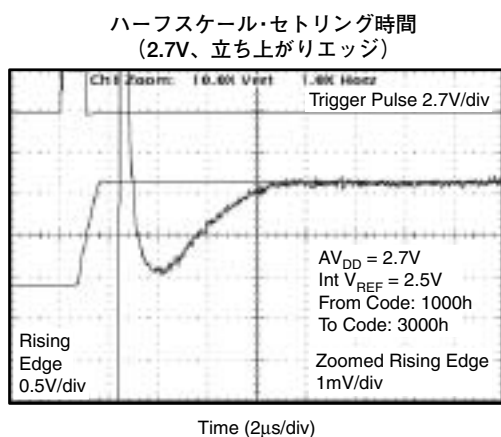


図 82

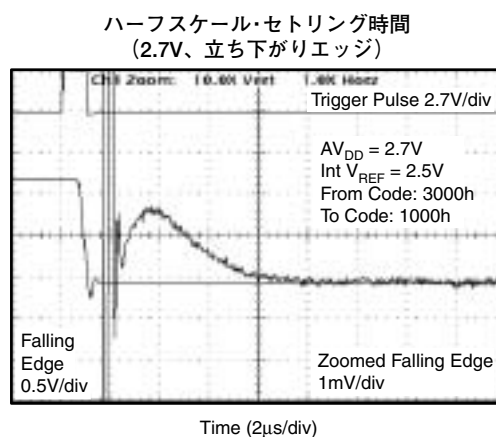


図 83

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

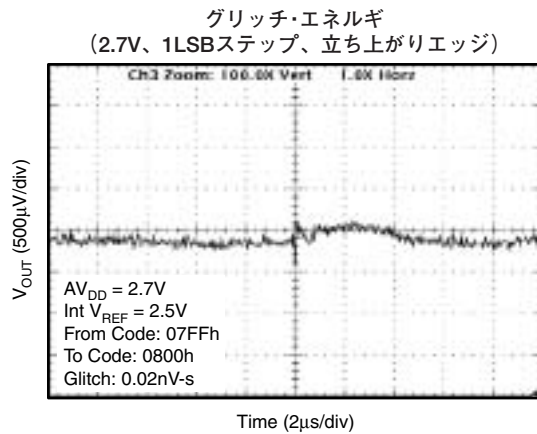


図 84

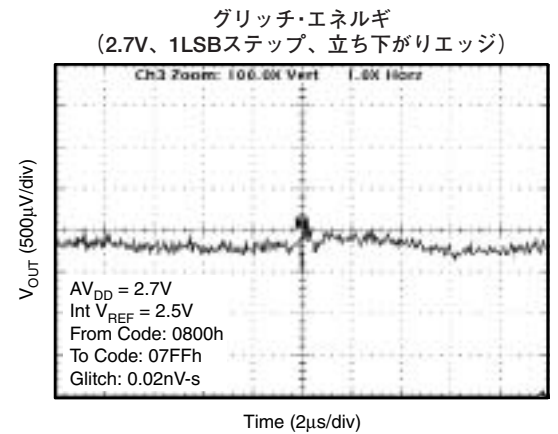


図 84

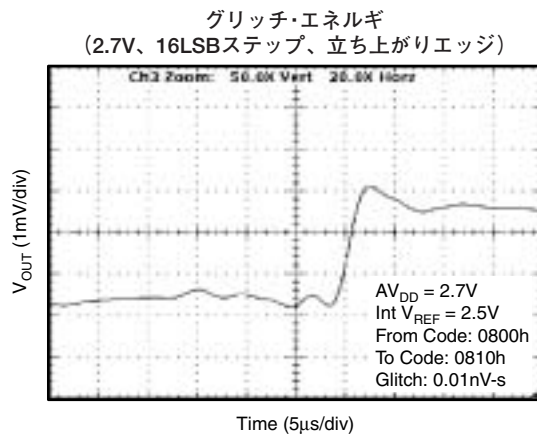


図 86

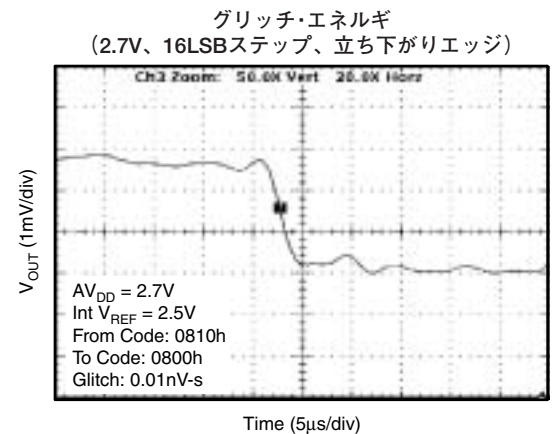


図 87

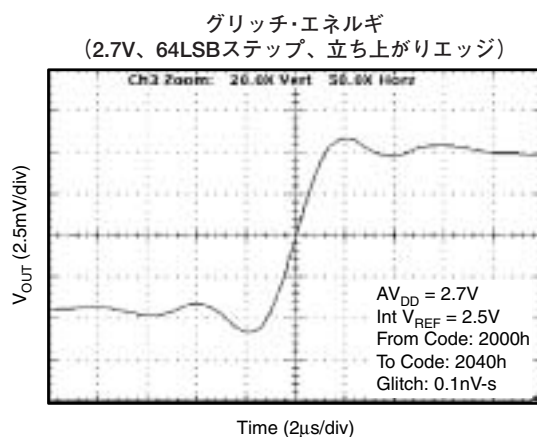


図 88

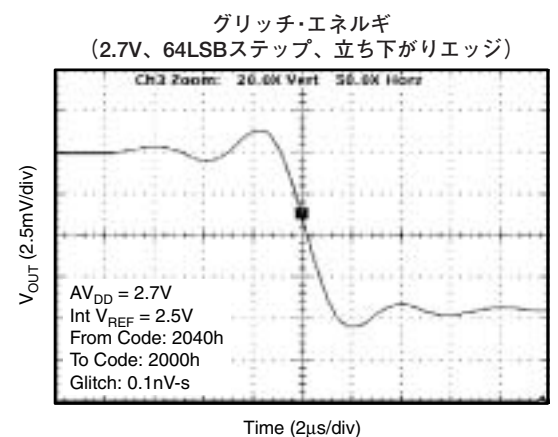


図 89

代表的特性：DAC ($AV_{DD} = 2.7V$)

$T_A = +25^\circ C$ 、外部リファレンス使用、DAC出力は無負荷、すべてのDACコードはストレート・バイナリ・データ形式です (特に記述のない限り)。

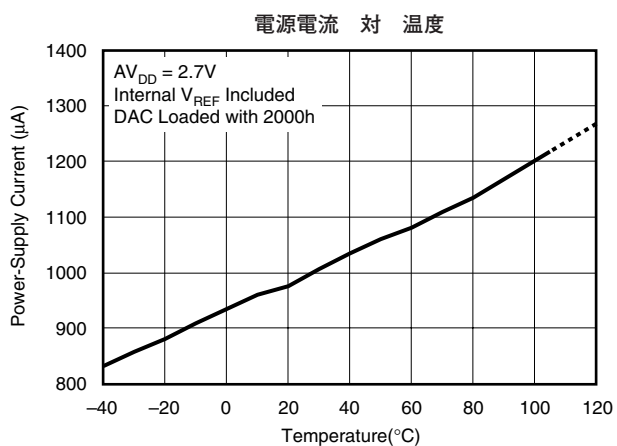


図 90

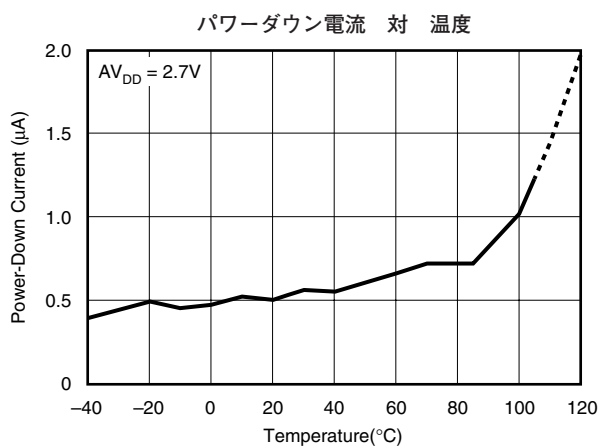


図 91

動作原理

DAコンバータ (DAC)

DAC8164のアーキテクチャは、ストリング型DACと、それに続く出力バッファ・アンプから構成されています。図92に、DACアーキテクチャのブロック図を示します。

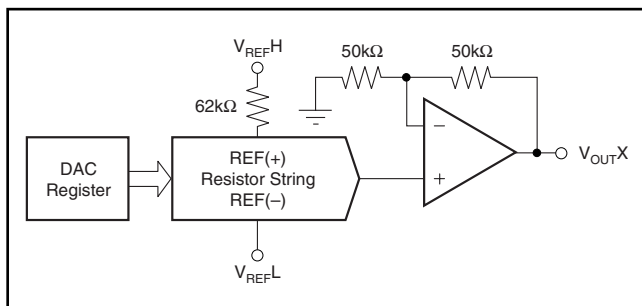


図 92. DAC8164のアーキテクチャ

DAC8164に対する入力コーディングはストレート・バイナリであり、理想的な出力電圧は式(1)で与えられます。

$$V_{OUTX} = 2 \times V_{REFL} + (V_{REFH} - V_{REFL}) \times \frac{D_{IN}}{16384} \quad (1)$$

ここで、 D_{IN} は、DACレジスタにロードされるバイナリ・コードに等価な10進数です。これは、0~16383となります。Xは、チャンネルA、B、C、またはDを表します。

抵抗ストリング

図93に、抵抗ストリング部を示します。これは単純に、それぞれ値Rを持つ抵抗の列です。DACレジスタにロードされたコードに応じて、ストリングをアンプに接続しているスイッチの1つが閉じられ、ストリング上の該当するノードの電圧が出力アンプに印加されます。これは抵抗の列であるため、電圧は単調に変化します。

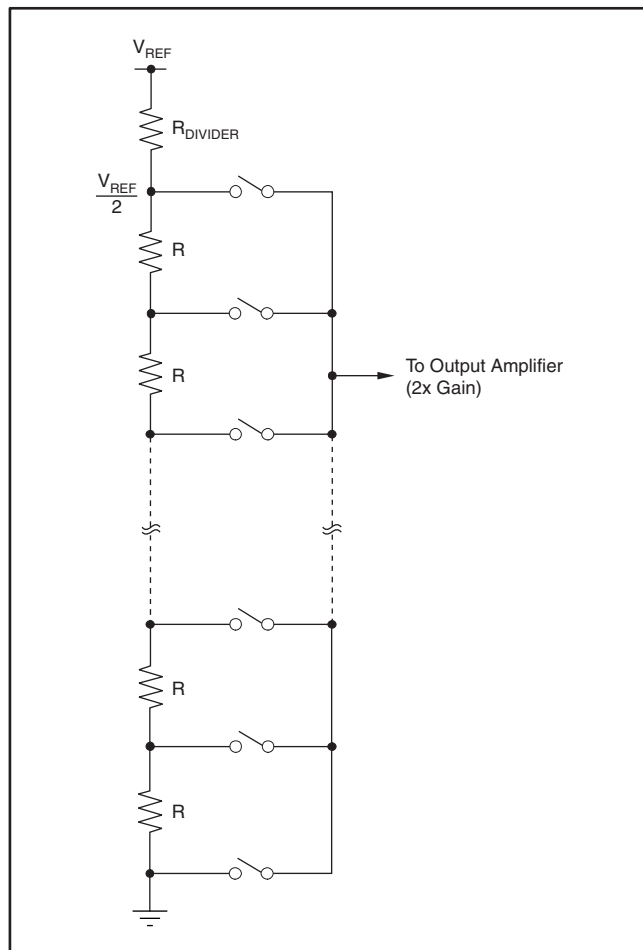


図 93. 抵抗ストリング

出力アンプ

出力バッファ・アンプは、 $0V \sim AV_{DD}$ の出力範囲で、出力にレール・ツー・レールの電圧を生成することができます。GNDに対して $2k\Omega$ および $1000pF$ の並列負荷を駆動可能です。出力アンプのソースおよびシンク能力は、「代表的特性」に示されています。スルー・レートは $2.2V/\mu s$ であり、出力無負荷時のフルスケール・セットリング・タイムは $8\mu s$ です。

シリアル・インターフェイス

DAC8164は、SPI、QSPI、Microwireの各インターフェイス規格およびほとんどのDSPと互換性のある、3線式シリアル・インターフェイス ($\overline{\text{SYNC}}$ 、SCLK、 D_{IN})を備えています。代表的な書き込みシーケンスの例については、「シリアル書き込み動作」のタイミング図を参照してください。

DAC8164の入力シフト・レジスタは24ビット幅であり、8個の制御ビット (DB23~DB16)と14個のデータ・ビット (DB15~DB2)から構成されています。ビットDB0およびDB1はDACによって無視されるため、Don't Careビットとして扱う必要があります。データの24ビットすべてが、シリアル・クロック入力SCLKの制御でDACにロードされます。最初にDB23 (MSB)がDACのシフト・レジスタにロードされ、続けて、24ビット・ワード・パターンの中の残りのビットが左詰めでロードされます。この構成は、データの最初の24ビットがシフト・レジスタにラッチされ、それ以降のデータ・クロックは無視されることを意味します。DAC8164は、データの全24ビットを受け取ると、最初の8ビットをデコードして、DACの動作/制御モードを決定します。データの14ビットをデコードして等価なアナログ出力が決定され、最後の2ビット (DB1およびDB0)は無視されます。データ形式はストレート・バイナリであり、オール '0' が0V出力、オール '1' がフルスケール出力 (つまり、 $V_{\text{REF}} - 1\text{LSB}$) に対応します。DAC8164で必要な左詰め16ビット形式のデータから、使用可能な14ビットのデータが抽出されますが、このドキュメント全体を通じて、データの形式および表記は真の14ビット・パターン (フルスケールが3FFFh)として示されます。

書き込みシーケンスは、 $\overline{\text{SYNC}}$ ラインを“Low”にすることで開始されます。SCLKの各立ち下がりエッジで、 D_{IN} ラインからのデータが24ビット・シフト・レジスタに取り込まれます。シリアル・クロック周波数は最大50MHzに設定でき、高速DSPにも対応可能です。シリアル・クロックの24回目の立ち下がりエッジで、最後のデータ・ビットがシフト・レジスタに取り込まれ、シフト・レジスタがロックされます。それ以降のクロックでは、シフト・レジスタのデータは変更されません。24ビットがシフト・レジスタ内にロックされた後、上位8ビットが制御ビットとして、続く下位14ビットがデータとして使用されます。24回目の立ち下がりエッジを受信すると、DAC8164は $\overline{\text{SYNC}}$ の立ち上がりエッジを待つことなく、8個の制御ビットと14個のデータ・ビットをデコードして必要な機能を実行します。 $\overline{\text{SYNC}}$ の次の立ち下がりエッジで、新しい書き込みシーケンスが開始されます。24ビット・シーケンスが完了する前に $\overline{\text{SYNC}}$ の立ち上がりエッジを受信されると、SPIインターフェイスがリセットされ、データ転送は行われません。SCLKの24回目の立ち下がりエッジの受信後、 $\overline{\text{SYNC}}$ ラインは“Low”に保持す

るか、または“High”にすることができます。いずれも場合も、次のサイクルを適切に開始するには、SCLKの24回目の立ち下がりエッジから $\overline{\text{SYNC}}$ の次の立ち下がりエッジまでの最小遅延時間を遵守する必要があります。デバイスの消費電力を最小にするためには、レベルを各レベルにできるだけ近づけるよう注意が必要です。「代表的特性」の図36、図57、および図79 (電源電流対ロジック入力電圧)を参照してください。

IOV_{DD}と電圧トランスレータ

IOV_{DD}ピンは、DAC8164のデジタル入力回路に電源を供給します。単電源動作の場合は、AV_{DD}に接続できます。デュアル電源動作の場合、IOV_{DD}ピンは各種CMOSロジック/ファミリーとの柔軟なインターフェイスを提供するため、システムのロジック電源に接続する必要があります。DAC8164のアナログ回路および内部ロジックは、電源電圧としてAV_{DD}を使用します。外部のロジック“High”入力が、レベル・シフトでAV_{DD}に変換されます。これらのレベル・シフトは、IOV_{DD}電圧をリファレンスとして使用し、入力されたロジック“High”レベルをAV_{DD}にシフトします。IOV_{DD}は、AV_{DD}電圧に関係なく2.7V~5.5Vで動作し、各種ロジック・ファミリーとの互換性が確保されています。しかし、仕様上では2.7Vですが、タイミングおよび温度性能が劣化するものの、IOV_{DD}は最低1.8Vでの動作が可能です。消費電力を最小限に抑えるためには、ロジックV_{IH}レベルをIOV_{DD}にできる限り近くし、ロジックV_{IL}レベルをGND電圧にできる限り近くする必要があります。

入力シフト・レジスタ

表4に示すように、DAC8164の入力シフト・レジスタ (SR)は24ビット幅であり、8個の制御ビット (DB23~DB16)と14個のデータ・ビット (DB15~DB2)、および2つのDon't Careビットから構成されています。最初の2つの制御ビット (DB23およびDB22)は、アドレス一致ビットです。DAC8164にはハードウェアでイネーブルされるアドレス指定機能があり、特別な中間ロジックなしに1つのホストが1つのSPIバスを通して最大4つのDAC8164と通信でき、最大16チャンネル動作が可能となります。DB23の状態はピンA1の状態と一致する必要があり、同様に、DB22の状態はピンA0の状態と一致する必要があります。一致しない場合、DAC8164は制御コマンドおよびデータ (DB21~DB0)を無視します。つまり、一致しない場合には、DAC8164はアドレス指定されません。ブロードキャスト更新は、アドレス一致よりも優先させることができます。

LD1 (DB21) およびLD0 (DB20)は、指定された14ビット・データ値への設定コマンドまたはパワーダウン・コマンドで、各

DB23										DB12	
A1	A0	LD1	LD0	0	DAC Select 1	DAC Select 0	PD0	D13	D12	D11	D10
DB11										DB0	
D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X

表 4. データ入力レジスタの形式

アナログ出力へのロードを制御します。ビットDB19は、常に '0' にする必要があります。DACチャンネル選択ビット (DB18、DB17) は、データ (またはパワーダウン・コマンド) の格納先を DAC A~DAC Dの中から選択します。最後の制御ビットPD0 (DB16) は、DAC8164の各チャンネルのパワーダウン・モードおよび内部リファレンスのパワーダウン・モードを選択します。

DAC8164は、いくつかの異なるロード・コマンドをサポートします。ロード・コマンドには、SPIバス上のすべてのDAC8164をアドレス指定するブロードキャスト・コマンドも含まれます。各ロード・コマンドについて、以下にまとめます。

DB21 = 0およびDB20 = 0：単一チャンネルのストア。DB18およびDB17で選択されたDACのデータ・バッファに、SRデータの内容 (またはパワーダウン) が書き込まれます。

DB21 = 0およびDB20 = 1：単一チャンネルの更新。DB18およびDB17で選択されたDACのデータ・バッファおよびDACレジスタが、SRデータの内容 (またはパワーダウン) で更新されます。

DB21 = 1およびDB20 = 0：同時更新。DB18およびDB17で選択されたチャンネルがSRデータで更新されます。同時に、他のすべてのチャンネルが、データ・バッファに以前にストアされたデータ (またはパワーダウン) で更新されます。

DB21 = 1およびDB20 = 1：ブロードキャスト更新。アドレス一致に関係なく、SPIバス上のすべてのDAC8164が応答します。DB18 = 0の場合、SRデータは無視され、すべてのDAC8164のすべてのチャンネルが、以前にストアされたデータ (またはパワーダウン) で更新されます。DB18 = 1の場合、システム内のすべてのDAC8164のすべてのチャンネルがSRデータ (またはパワーダウン) で更新されます。このブロードキャスト更新機能では、最大16チャンネルを同時に更新することができます。

詳細については、表5を参照してください。

DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13-DB2	DB1-DB0	説明
A1	A0	LD 1	LD 0	0	DAC Sel 1	DAC Sel 0	PD0	MSB	MSB-1	MSB-2...LSB	Don't Care	
(アドレス選択)												
0/1	0/1	下記参照										このアドレスは、各デバイスのアドレス・ピンの状態に基づいて、1つのSPIデータ・バス上で可能な4つのデバイスのうち1つを選択します。
A0およびA1は、ピン13および14で設定されたパッケージ・アドレスに対応する必要があります。	0	0	0	0	0	0	0	データ			X	バッファAにデータを書き込みます。
	0	0	0	0	0	1	0	データ			X	バッファBにデータを書き込みます。
	0	0	0	1	0	0	データ			X	バッファCにデータを書き込みます。	
	0	0	0	1	1	0	データ			X	バッファDにデータを書き込みます。	
	0	0	0	(00, 01, 10, or 11)		1	表6参照	0	X		(DB17およびDB18で選択された) バッファにパワーダウン・コマンドを書き込みます。	
	0	1	0	(00, 01, 10, or 11)		0	データ			X	(DB17およびDB18で選択された) バッファにデータを書き込んでDACにロードします。	
	0	1	0	(00, 01, 10, or 11)		1	表6参照	0	X		(DB17およびDB18で選択された) バッファにパワーダウン・コマンドを書き込んでDACにロードします。	
	1	0	0	(00, 01, 10, or 11)		0	データ			X	(DB17およびDB18で選択された) バッファにデータを書き込んだ後、すべてのDACに対して同時に、対応するバッファからデータをロードします。	
1	0	0	(00, 01, 10, or 11)		1	表6参照	0	X		(DB17およびDB18で選択された) バッファにパワーダウン・コマンドを書き込んだ後、すべてのDACに対して同時に、対応するバッファからデータをロードします。		
ブロードキャスト・モード												
X	X	1	1	0	0	X	X	X			X	システム内のすべてのDAC8164デバイスのすべてのチャンネルを同時に、各チャンネルのデータ・バッファに格納されたデータで更新します。
X	X	1	1	0	1	X	0	データ			X	すべてのデバイスに書き込み、すべてのDACにSRデータをロードします。
X	X	1	1	0	1	X	1	表6参照	0		X	SR内のパワーダウン・コマンドをすべてのデバイスに書き込み、すべてのDACにロードします。

表 5. DAC8164の制御マトリックス

SYNC割り込み

通常書き込みシーケンスでは、最低24回のSCLKの立ち下がりエッジの間、 $\overline{\text{SYNC}}$ ラインが“Low”に保持され、24回目の立ち下がりエッジで、アドレス指定されたDACレジスタが更新されます。ただし、24回目の立ち下がりエッジより前に $\overline{\text{SYNC}}$ が“High”になった場合は、書き込みシーケンスへの割り込みとして機能し、シフトレジスタがリセットされて書き込みシーケンスが破棄されます。データバッファおよびDACレジスタの内容は更新されず、動作モードも変化しません(図95を参照)。

ゼロ・スケールへのパワーオン・リセット

DAC8164には、電源投入時の出力電圧を制御するパワーオン・リセット回路が搭載されています。電源投入時には、DACレジスタにゼロが格納され、出力電圧はゼロ・スケールに設定されます。これらの状態は、対応するDACチャンネルに有効な書き込みシーケンスおよびロード・コマンドが実行されるまで維持されます。パワーオン・リセットは、デバイスの電源投入プロセス中に各DACの出力状態を知る必要があるようなアプリケーションで有用です。

デバイスに電源が供給される前には、どのデバイス・ピンも“High”にしないでください。内部リファレンスはデフォルトでオンになり、有効なリファレンス変更コマンドが実行されるまでオン状態に保持されます。

LDAC機能

DAC8164には、ソフトウェアとハードウェアの両方の同時更新機能があります。DACのダブル・バッファ・アーキテクチャは、アナログ出力に影響を与えることなく各DACに新しいデータを入力できるように設計されています。

DAC8164のデータ更新は、 $\overline{\text{SYNC}}$ の立ち下がりエッジに続く24回目のSCLKサイクルの立ち下がりエッジに同期されます。そのような同期更新には、LDACピンは不要であり、GNDに固定接続する必要があります。LDACピンは、非同期DAC更新用の正エッジ・トリガのタイミング信号として使用されます。LDAC動作を行うには、LD0およびLD1を‘0’に設定して、単一チャンネルのストアを実行(DACバッファのロード)する必要があります。複数の単一チャンネル更新を実行することで、複数の異なるチャンネル・バッファを目的の値に設定してから、LDACの立ち上がりエッジを発生させることができます。LDACの立ち上がりエッジの前に、すべてのチャンネルのデータ・バッファに目的のデータをロードしておく必要があります。LDACの“Low”から“High”への遷移の後、すべてのDACが同時に、対応するデータ・バッファの内容で更新されます。データ・バッファの内容がシリアル・インターフェイスで変更されていない場合、対応するDAC出力はLDACのトリガ後も変化しません。

イネーブル・ピン

通常動作を行う場合、イネーブル・ピンは“Low”にする必要があります。イネーブル・ピンが“High”になると、DAC8164はシリアル・ポートの監視を停止します。ただし、SCLK、 $\overline{\text{SYNC}}$ 、および D_{IN} はフローティングにはせず、特定のロジック・レベルに固定する必要があります。この機能は、複数のアプリケーションが同じシリアル・ポートを共有する場合に有用です。

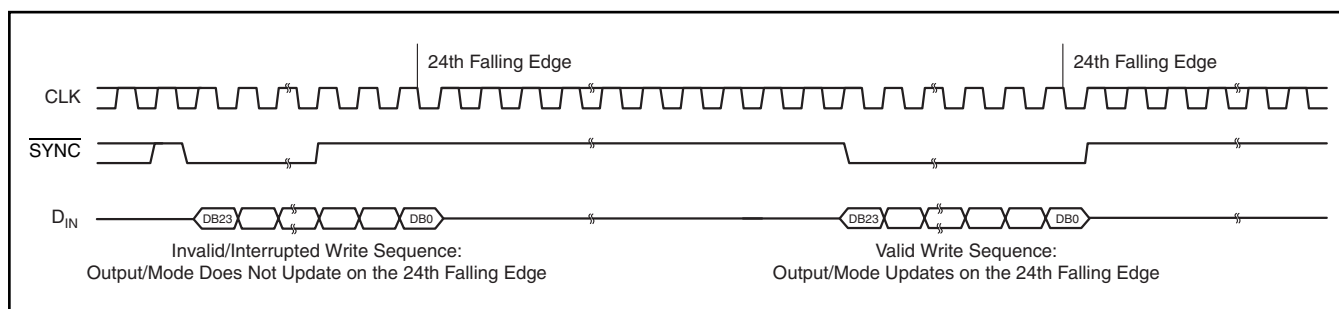


図 95. $\overline{\text{SYNC}}$ 割り込み機能

パワーダウン・モード

DAC8164には、2つの独立したパワーダウン・コマンドのセットがあります。1つはDACチャンネル用であり、もう1つは内部リファレンス用です。リファレンスのパワーダウンの詳細については、「内部リファレンスのイネーブル/ディセーブル」を参照してください。

DACパワーダウン・コマンド

DAC8164は、4つの動作モードを使用します。これらのモードには、シフトレジスタの3つのビット (PD2, PD1, PD0) を設定することでアクセスできます。表6に、データビットPD0 (DB16)、PD1 (DB15)、およびPD2 (DB14) で動作モードを制御する方法を示します。

PD0 (DB16)	PD1 (DB15)	PD2 (DB14)	DAC動作モード
0	X	X	通常動作
1	0	1	標準1kΩ (対GND) 出力
1	1	0	標準100kΩ (対GND) 出力
1	1	1	ハイインピーダンス出力

表 6. DACの動作モード

DAC8164は、パワーダウン状態をデータとして扱います。すべての動作モードがパワーダウンに対して引き続き有効です。システム内のすべてのDAC8164に対してパワーダウン状態をブロードキャストすることが可能です。また、あるチャンネルのデータを更新しながら、同時に他のチャンネルをパワーダウンすることも可能です。

PD0ビットが '0' に設定されていると、デバイスは通常、標準1mAの消費電流 (5.5V、入力コード = 8192) で動作します。4つのDACすべての動作に、リファレンス電流が含まれます。ただし、3つのパワーダウン・モードでは、電源電流が5.5Vで1.3μA (3.6Vで0.5μA) に低下します。電源電流が低下するだけでなく、出力段もアンプ出力から既知の値の抵抗ネットワークへと内部で切り替えられます。

この切り替えの利点は、パワーダウン・モード中でもデバイスの出力インピーダンスが既知であることです。表6に示されるように、3つの異なるパワーダウン・オプションがあります。V_{OUT}は、内部で1kΩまたは100kΩの抵抗を介してGNDに接続するか、またはオープン (ハイインピーダンス) にできます。出力段を図96に示します。DB16、DB15、DB14 = '111' である場合は、選択されたチャンネルの出力がハイインピーダンスであるパワーダウン条件を表しています。'101' は出力インピーダンスが1kΩのパワーダウン条件、'110' は出力インピーダンスが100kΩのパワーダウン条件を表しています。

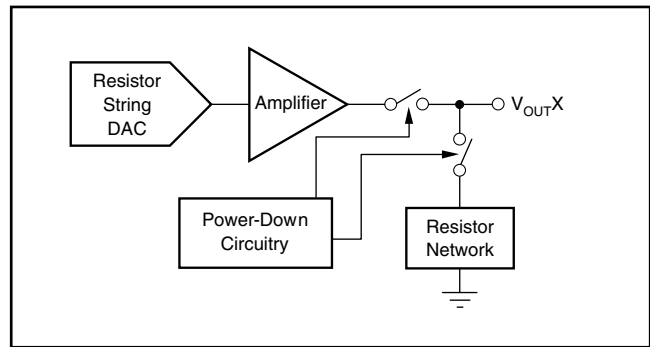


図 96. パワーダウン中の出力段

パワーダウン・モードに入ると、すべてのアナログ・チャンネル回路がシャットダウンされます。ただし、DACレジスタの内容はパワーダウン中も保持されます。パワーダウン・モードから出るのにかかる標準時間は、V_{DD} = 5Vの場合は2.5μs、V_{DD} = 3Vの場合は5μsです。詳細については、「代表的特性」を参照してください。

動作例：DAC8164

以下の例では、DACのピンA0およびA1が両方ともグランドに接続されている必要があります。ピンA0およびA1は、SPI書き込みシーケンス/プロトコル内のデータ・ビットDB22およびDB23と常に一致する必要があります。XはDon't careビットで、値は '0' と '1' のいずれでもかまいません。

例1：データ・バッファA～Dに書き込み、DAC A～Dに同時にロード

- 1回目：データ・バッファAに書き込み：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	0	0	0	0	0	D13	D12	D11	D10-D0	X

- 2回目：データ・バッファBに書き込み：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	0	0	0	1	0	D13	D12	D11	D10-D0	X

- 3回目：データ・バッファCに書き込み：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	0	0	1	0	0	D13	D12	D11	D10-D0	X

- 4回目：データ・バッファDに書き込み、同時にすべてのDACを更新：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	1	0	0	1	1	0	D13	D12	D11	D10-D0	X

4回目の書き込みシーケンスの完了後、DAC A、DAC B、DAC C、およびDAC Dのアナログ出力が同時に、指定された値に設定されます。(4回目の書き込みサイクルの24回目のSCLK立ち下がりエッジの後、各DAC電圧が同時に更新されます。)

例2：DAC A～DAC Dにシーケンシャルに新しいデータをロード

- 1回目：データ・バッファAに書き込み、DAC Aにロード：完了後、DAC Aの出力が指定値に設定される：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	0	0	0	D13	D12	D11	D10-D0	X

- 2回目：データ・バッファBに書き込み、DAC Bにロード：完了後、DAC Bの出力が指定値に設定される：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	0	1	0	D13	D12	D11	D10-D0	X

- 3回目：データ・バッファCに書き込み、DAC Cにロード：完了後、DAC Cの出力が指定値に設定される：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	1	0	0	D13	D12	D11	D10-D0	X

- 4回目：データ・バッファDに書き込み、DAC Dにロード：完了後、DAC Dの出力が指定値に設定される：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	1	1	0	D13	D12	D11	D10-D0	X

各書き込みサイクルの完了後に、DACのアナログ出力が指定された電圧に設定されます。

例3：DAC AおよびBを1kΩにパワーダウン、同時にDAC CおよびDを100kΩにパワーダウン

- 1回目：データ・バッファAにパワーダウン・コマンドを書き込み：DAC Aを1kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	0	0	0	0	1	0	1	X	X	X

- 2回目：データ・バッファBにパワーダウン・コマンドを書き込み：DAC Bを1kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	0	0	0	1	1	0	1	X	X	X

- 3回目：データ・バッファCにパワーダウン・コマンドを書き込み：DAC Cを100kΩ。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	0	0	1	0	1	1	0	X	X	X

- 4回目：データ・バッファDにパワーダウン・コマンドを書き込み：DAC Dを100kΩ、同時にすべてのDACを更新。

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	1	0	0	1	1	1	1	0	X	X	X

4回目の書き込みシーケンスの完了後、DAC A、DAC B、DAC C、およびDAC Dのアナログ出力が同時に、それぞれ指定されたモードにパワーダウンされます。

例4：DAC A～DAC Dをシーケンシャルにハイ・インピーダンスにパワーダウン

- 1回目：データ・バッファAにパワーダウン・コマンドを書き込み、DAC Aにロード：DAC A出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	0	0	1	1	1	X	X	X

- 2回目：データ・バッファBにパワーダウン・コマンドを書き込み、DAC Bにロード：DAC B出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	0	1	1	1	1	X	X	X

- 3回目：データ・バッファCにパワーダウン・コマンドを書き込み、DAC Cにロード：DAC C出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	1	0	1	1	1	X	X	X

- 4回目：データ・バッファDにパワーダウン・コマンドを書き込み、DAC Dにロード：DAC D出力 = Hi-Z：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12-DB2	DB1-DB0
0	0	0	1	0	1	1	1	1	1	X	X	X

1回目、2回目、3回目、4回目の各書き込みシーケンスの完了後、DAC A、DAC B、DAC C、DAC Dのアナログ出力がそれぞれハイ・インピーダンスにパワーダウンされます。

例5：リファレンスは常時オンにして、すべてのチャンネルを同時にパワーダウン

- 1回目：DAC8164内部リファレンスを常時イネーブルにするための書き込みシーケンス：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	0	0	0	0	0	1	0	0	0	1	X	X

- 2回目：すべてのDACをハイ・インピーダンスにパワーダウンするための書き込みシーケンス：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	1	1	0	1	0	1	1	1	X	X	X	X

1回目と2回目の各書き込みシーケンスの完了後、DAC A、DAC B、DAC C、DAC Dのアナログ出力がそれぞれハイ・インピーダンスにパワーダウンされます。

例6：リファレンスを常時パワーダウンにしておき、すべてのDACに特定の値を書き込み

- 1回目：DAC8164の内部リファレンスを常時ディセーブルにするための書き込みシーケンス
(このシーケンスの後、DAC8164の動作には外部リファレンス・ソースが必要)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	0	0	0	0	0	1	0	0	1	0	X	X

- 2回目：すべてのDACに指定されたデータを書き込むための書き込みシーケンス：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	1	1	0	1	0	0	D13	D12	D11	D10	D9-D0	X

2回目の書き込みシーケンスの完了後、DAC A、DAC B、DAC C、およびDAC Dのアナログ出力が同時に、指定された値に設定されます。(4回目の書き込みサイクルの24回目のSCLK立ち下がりエッジの後、各DAC電圧が同時に更新されます。)リファレンスは常時パワーダウン状態です。

例7：DAC Aに特定の値を書き込み、リファレンスはデフォルト・モード、他のすべてのDACをハイ・インピーダンスにパワーダウン

- 1回目：DAC8164内部リファレンスをデフォルト・モードにするための書き込みシーケンス：
または、この手順の代わりにパワーオン・リセットを実行(「パワーオン・リセット」の項を参照)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	0	0	0	0	0	1	0	0	0	0	X	X

- 2回目：すべてのDACをハイ・インピーダンスにパワーダウンするための書き込みシーケンス
(このシーケンスの後、DAC8164の内部リファレンスは自動的にパワーダウン)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	1	1	0	1	0	1	1	1	X	X	X	X

- 3回目：DAC Aを指定値にパワーオンするための書き込みシーケンス
(このシーケンスの後、DAC8164の内部リファレンスは自動的にパワーオン)：

DB23 (A1)	DB22 (A0)	DB21 (LD1)	DB20 (LD0)	DB19	DB18 (DAC Sel 1)	DB17 (DAC Sel 0)	DB16 (PD0)	DB15	DB14	DB13	DB12	DB11-DB2	DB1-DB0
0	0	0	1	0	0	0	0	D13	D12	D11	D10	D9-D0	X

完了後、DAC B、DAC C、DAC Dのアナログ出力が同時にハイ・インピーダンスにパワーダウンされ、DAC Aは指定された値に設定されます。

アプリケーション情報

内部リファレンス

DAC8164の内部リファレンスは、任意の容量性負荷に対して安定であるため、安定化のための外部負荷コンデンサを必要としません。ただし、ノイズ性能を向上させるために、150nF以上の外部負荷コンデンサをV_{REFH}/V_{REFOUT}出力に接続することを推奨します。図97に、DAC8164の内部リファレンスの動作に必要な代表的な接続を示します。AV_{DD}入力に電源バイパスコンデンサを接続することも推奨します。

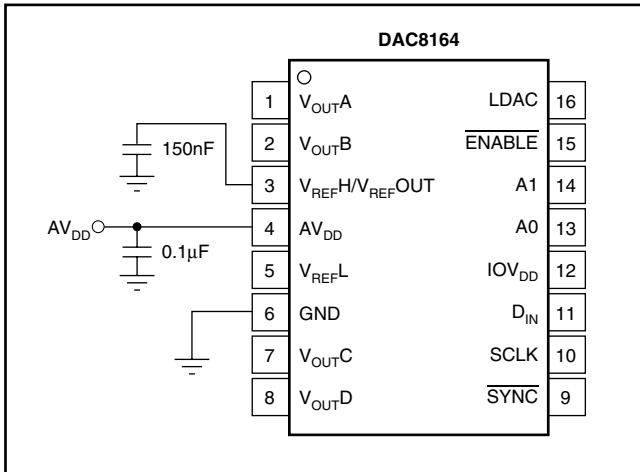


図 97. DAC8164の内部リファレンス動作の代表的接続

電源電圧

内部リファレンスのドロップアウト電圧は非常に低くなっています。無負荷状態では、リファレンス出力電圧よりわずか5mV高い電源で動作できます。負荷を接続した場合については、「負荷レギュレーション」の項を参照してください。電源電圧の変動に対する内部リファレンスの安定性(ラインレギュレーション、DC PSRR)も非常に優れています。仕様の電源電圧範囲内(2.7V~5.5V)において、V_{REFH}/V_{REFOUT}での変動は10µV/V未満です。「代表的特性」を参照してください。

温度ドリフト

内部リファレンスはドリフト誤差を最小限にするよう設計されています。ドリフト誤差は、温度の変化に対するリファレンス出力電圧の変化として定義されます。ドリフトは、式(2)で表されるボックス法を用いて計算されます。

$$\text{ドリフト誤差} = \left[\frac{V_{\text{REF_MAX}} - V_{\text{REF_MIN}}}{V_{\text{REF}} \times T_{\text{RANGE}}} \right] \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (2)$$

ここで

V_{REF_MAX} = 温度範囲T_{RANGE}内で測定される最大のリファレンス電圧

V_{REF_MIN} = 温度範囲T_{RANGE}内で測定される最小のリファレンス電圧

V_{REF} = 2.5V (リファレンス出力電圧の目標値)

内部リファレンス(グレードCおよびD)の標準ドリフト係数は、-40°C~+120°Cの範囲で2ppm/°Cと非常に優れています。多数のユニットの特性評価では、最大で5ppm/°C(グレードCおよびD)のドリフト係数が測定されました。温度ドリフトの結果は、「代表的特性」にまとめられています。

ノイズ性能

図8(内部リファレンス・ノイズ)では、標準で0.1Hz~10Hzの電圧ノイズが見られます。追加のフィルタリングを使用すれば出力ノイズレベルを改善できますが、出力インピーダンスによってAC性能が低下しないように注意する必要があります。図7(内部リファレンス・ノイズ密度対周波数)には、外部部品なしでのV_{REFH}/V_{REFOUT}における出力ノイズ・スペクトルを示しています。図7には、別のノイズ密度スペクトルも示されています。これは、ノイズ・フィルタリングのためにV_{REFH}/V_{REFOUT}に4.8µFの負荷コンデンサを使用した場合のスペクトルです。内部リファレンス・ノイズは、DAC出力ノイズに影響を与えます。詳細については、「DACのノイズ性能」を参照してください。

負荷レギュレーション

負荷レギュレーションは、負荷電流の変化に起因するリファレンス出力電圧の変化として定義されます。内部リファレンスの負荷レギュレーションは、図98に示されるようなフォースおよびセンス接点を用いて測定されます。これらのフォース・ラインとセンス・ラインは、接点抵抗およびパターン抵抗の影響を低減するので、内部リファレンスのみの寄与による負荷レギュレーションを正確に測定することができます。測定結果は、「代表的特性」にまとめられています。負荷レギュレーションの向上が必要なアプリケーションでは、フォース・ラインおよびセンス・ラインを使用する必要があります。

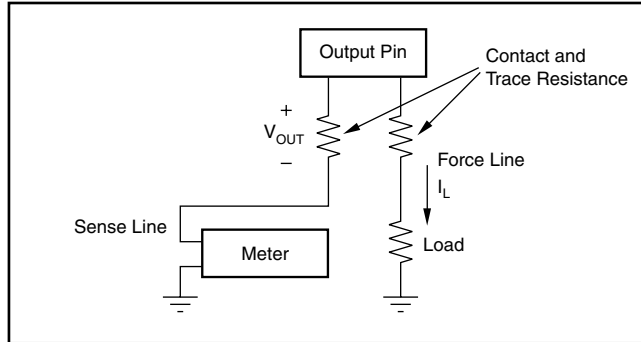


図 98. DAC8164の内部リファレンスの正確な負荷レギュレーション

長期的な安定性

長期的な安定性/エージングとは、数ヶ月間または数年間という期間でのリファレンス出力電圧の変化を示すものです。この影響は、時間がたつにつれて低下します(図6の長期的安定性の代表的曲線を参照)。内部リファレンスの標準的なドリフト値は、0~1900時間の期間で50ppmです。このパラメータは、1900時間にわたり、20個のユニットの電源投入と測定を定期的な間隔で繰り返すことで求めています。

熱ヒステリシス

リファレンスの熱ヒステリシスとは、デバイスを+25°Cで稼働させ、その後動作温度範囲全体を通過させてから、再び+25°Cに戻した後の、出力電圧の変化として定義されます。ヒステリシスは式(3)で表されます。

$$V_{\text{HYST}} = \left[\frac{|V_{\text{REF_PRE}} - V_{\text{REF_POST}}|}{V_{\text{REF_NOM}}} \right] \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (3)$$

ここで

V_{HYST} = 熱ヒステリシス

$V_{\text{REF_PRE}}$ = 温度サイクル前に+25°Cで測定した出力電圧

$V_{\text{REF_POST}}$ = -40°C~+120°Cの温度範囲通過後、デバイスを+25°Cに戻した後に測定した出力電圧

DACのノイズ性能

内部リファレンスがイネーブルのときのDAC8164の標準ノイズ性能を図54~図56に示します。図54には、周波数に対する V_{OUT} ピンの出力ノイズ・スペクトル密度を、フルスケール、ミッドスケール、およびゼロ・スケールの入力コードについて示しています。ミッドスケール・コードに対するノイズ密度は、1kHzで120nV/ $\sqrt{\text{Hz}}$ 、1MHzで100nV/ $\sqrt{\text{Hz}}$ です。図55に示すように、リファレンス・ノイズをフィルタリングすることで高周波ノイズを改善できます。ここでは、4.8 μF の負荷コンデンサを $V_{\text{REFH}}/V_{\text{REFOUT}}$ ピンに接続し、無負荷状態の場合と比較しています。図56に示されるように、0.1Hz~10Hzでの合計ノイズは約6 μV_{PP} (ミッドスケール)です。

DAC8164を使用したバイポーラ動作

DAC8164は、単電源動作用に設計されていますが、図99または図100に示す回路を使用して、バイポーラ出力範囲を実現することもできます。この回路では、出力電圧範囲が $\pm V_{REF}$ となります。OPA703を出力アンプとして使用することにより、アンプ出力でレール・ツー・レール動作を実現できます。

与えられた入力コードに対する出力電圧は、式(4)で計算できます。

$$V_O = \left[V_{REF} \times \left[\frac{D}{16384} \right] \times \left[\frac{R_1 + R_2}{R_1} \right] - V_{REF} \times \left[\frac{R_2}{R_1} \right] \right] \quad (4)$$

ここで、Dは入力コードを10進数で表した値です(0~16383)。 $V_{REFH} = 5V$ 、 $R_1 = R_2 = 10k\Omega$ の場合は、次のようになります。

$$V_O = \left[\frac{10 \times D}{16384} \right] - 5V \quad (5)$$

図99に示されるように、この出力範囲は $\pm 5V$ であり、0000hが $-5V$ 出力、3FFFhが $+5V$ 出力に対応します。同様に、内部リファレンスを使用する場合は、図100に示すように、 $\pm 2.5V$ の出力電圧範囲が得られます。

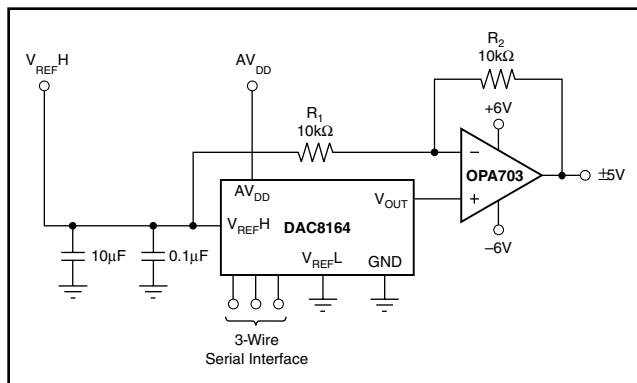


図 99. 5Vの外部リファレンスを使用した場合のバイポーラ出力範囲

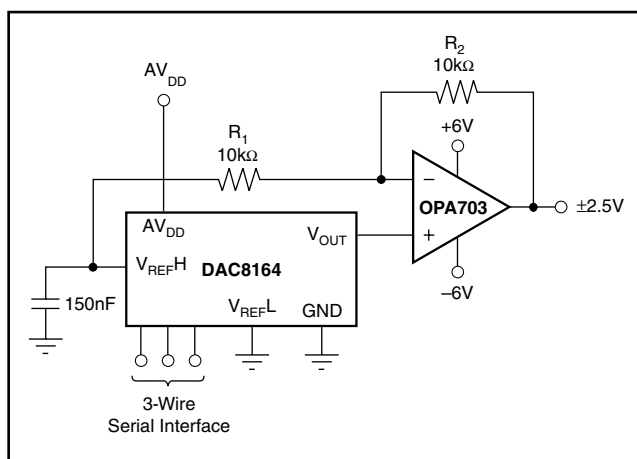


図 100. 内部リファレンスを使用した場合のバイポーラ出力範囲

マイクロプロセッサとのインターフェイス

DAC8164から8051へのインターフェイス

図101に、DAC8164と標準的な8051タイプのマイクロコントローラ間へのシリアル・インターフェイスを示します。このインターフェイスの構成は次のとおりです。8051のTXDがDAC8164のSCLKを駆動し、RXDがシリアル・データ・ラインを駆動します。SYNC信号は、8051のポート上のビット・プログラマブル・ピンから供給されます。この例では、ポート・ラインP3.3を使用しています。DAC8164にデータを送信するときには、P3.3を“Low”にします。8051は8ビット・バイトでデータを送信するため、送信サイクルでは立ち下がりクロック・エッジが8回しか発生しません。DACにデータをロードするために、最初の8ビットの送信後P3.3は“Low”に維持します。その後、データの2番目のバイトを送信するために次の書き込みサイクルが開始されます。3回目の書き込みサイクルの完了後、P3.3を“High”にします。8051は、シリアル・データをLSBファースト形式で出力します。一方、DAC8164は、最初のビットとしてMSBを受け取る必要があります。したがって、8051の送信ルーチンではこの要件を考慮し、データの順序を逆転させる必要があります。

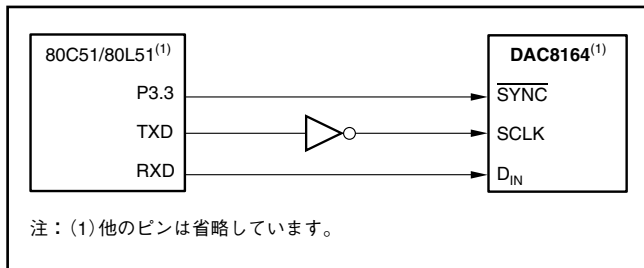


図 101. DAC8164から80C51/80L51へのインターフェイス

DAC8164からMicrowireへのインターフェイス

図102は、DAC8164と任意のMicrowire互換デバイスとの間のインターフェイスを示しています。シリアル・クロックの立ち下がりエッジでシリアル・データがシフト・アウトされ、SK信号の立ち上がりエッジでDAC8164に取り込まれます。

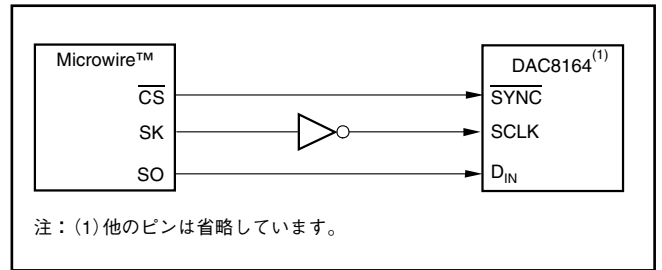


図 102. DAC8164からMicrowireへのインターフェイス

DAC8164から68HC11へのインターフェイス

図103に、DAC8164と68HC11マイクロコントローラとの間のシリアル・インターフェイスを示します。68HC11のSCKがDAC8164のSCLKを駆動し、MOSI出力がDACのシリアル・データ・ラインを駆動します。8051の場合と同様に、SYNC信号はポート・ライン(PC7)から供給されます。

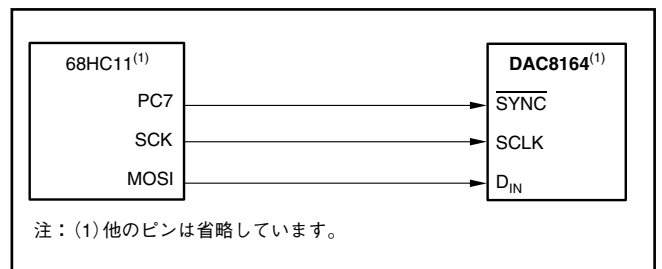


図 103. DAC8164から68HC11へのインターフェイス

68HC11では、CPOLビットを‘0’およびCPHAビットを‘1’に設定する必要があります。この設定により、MOSIの出力データがSCKの立ち下がりエッジで有効になります。DACにデータを送信するときには、SYNCラインを“Low”にします(PC7)。68HC11からのシリアル・データは8ビット・バイトで送信されるため、送信サイクルでは立ち下がりクロック・エッジが8回しか発生しません。(データは、MSBファーストで送信されます)。DAC8164にデータをロードするために、最初の8ビットの送信後PC7は“Low”に維持します。その後、DACに対して2回目および3回目の書き込み動作が行われます。この手順の終了後、PC7を“High”にします。

レイアウト

高精度のアナログ部品に対しては、注意深いレイアウトと、適切なバイパス、およびクリーンで十分にレギュレーションされた電源が必要となります。

DAC8164は単電源動作が可能であり、多くの場合、デジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサの近くで使用されます。設計に含まれるデジタル・ロジックが増え、スイッチング速度が高くなるにつれ、出力からデジタル・ノイズを分離することが難しくなります。

DAC8164はグラウンド・ピンが1本であるため、すべてのリターン電流 (DACのデジタルおよびアナログ・リターン電流を含む) が1点を通して流れる必要があります。理想的には、GNDをアナログ・グラウンド・プレーンに直接接続します。このプレーンは、デジタル部品がシステムの電源入力ポイントに接続されるまで、デジタル部品のグラウンド接続から切り離されている必要があります。

V_{DD} に印加する電源は、適切にレギュレーションされ、低ノイズである必要があります。スイッチング電源やDC/DCコンバータの場合、出力電圧に高周波グリッチやスパイクが見られることが多くあります。また、デジタル部品はその内部ロジック状態が変化するとき、同様な高周波スパイクを発生させる場合があります。このノイズは、電源接続とアナログ出力との間のさまざまな経路を通じてDACの出力電圧に容易にカップリングされます。

GND接続と同様に、 V_{DD} を接続する電源プレーンまたはパターンは、電源入力ポイントに接続されるまでデジタル・ロジックの接続から切り離されている必要があります。それに加えて、 $1\mu\text{F}\sim 10\mu\text{F}$ のコンデンサおよび $0.1\mu\text{F}$ のバイパス・コンデンサを使用することを強く推奨します。状況によっては、さらにバイパスが必要な場合もあります。 $100\mu\text{F}$ の電解コンデンサや、場合によってはインダクタとコンデンサで構成される π フィルタが必要になります。基本的に、これらはすべて電源から高周波ノイズを排除するためのローパス・フィルタとして使用されます。

パラメータの定義

製品データシートには多くの異なる仕様が含まれ複雑さが増しているため、ここでは、D/Aコンバータに関連する主要な仕様についてまとめています。

静特性

静特性パラメータには、微分非直線性 (DNL) や積分非直線性 (INL) などの仕様が含まれます。これらはDC仕様であり、DACの精度に関する情報を提供します。これらのパラメータは、信号が低速で変化し、正確さが要求されるアプリケーションで最も重要となります。

分解能

一般に、DACの分解能はいくつかの異なる形式で表現できます。IEC 60748-4などの仕様では、数値分解能、アナログ分解能、および相対分解能が使用されます。数値分解能は、伝達特性の全ステップ数を表現するために必要な、選択された記数法の桁数として定義されます。ここでステップは、デジタル入力コードおよび対応する離散アナログ出力値の両方を表します。データシートに記載される最も一般的な分解能の定義は、ビットで表現された数値分解能です。

最下位ビット (LSB)

最下位ビット (LSB) は、2進符号化における最小の値として定義されます。LSBの値は、フルスケール出力電圧を 2^n で割ることにより求められます。nはコンバータの分解能です。

最上位ビット (MSB)

最上位ビット (MSB) は、2進符号化における最大の値として定義されます。MSBの値は、フルスケール出力電圧を2で割ることにより求められます。つまり、フルスケールの1/2となります。

相対精度または積分非直線性 (INL)

相対精度または積分非直線性 (INL) は、実際の伝達関数と、理想的なDAC伝達関数の端点を通る直線との間の、最大偏差として定義されます。INLはLSB単位で測定されます。

微分非直線性 (DNL)

微分非直線性 (DNL) は、理想的な1LSBステップからの実際のLSBステップの最大偏差として定義されます。理想的には、任意の2つの隣接するデジタルコードが、正確に1LSBだけ離れた出力アナログ電圧に対応します。DNLが1LSB未満の場合、DACは“単調”となります。

フルスケール誤差

フルスケール誤差は、DACのレジスタにフルスケールコードをロードしたときの、理想的な出力電圧に対する実際のフルスケール出力電圧の偏差として定義されます。理想的には、出力は $(V_{DD} - 1LSB)$ となります。フルスケール誤差は、フルスケール範囲に対するパーセンテージ (%FSR) で表されます。

オフセット誤差

オフセット誤差は、伝達関数の直線領域における実際の出力電圧と理想的な出力電圧の差として定義されます。この差は、2つのコードで定義される直線を使って求められます。オフセット誤差は直線によって定義されるため、負または正の値を持ちます。オフセット誤差の単位はmVです。

ゼロコード誤差

ゼロコード誤差は、DACのレジスタにオール '0' がロードされたときのDAC出力電圧として定義されます。ゼロコード誤差は、実際の出力電圧と理想的な出力電圧 (0V) との差を示すものです。単位はmVです。この誤差は、主に出力アンプ内のオフセットによって生じます。

ゲイン誤差

ゲイン誤差は、理想的な伝達関数からの実際のDAC伝達特性勾配の偏差として定義されます。ゲイン誤差は、フルスケール範囲に対するパーセンテージ (%FSR) で表されます。

フルスケール誤差ドリフト

フルスケール誤差ドリフトは、温度の変化によって生じるフルスケール誤差の変化として定義されます。単位は%FSR/°Cです。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度の変化によって生じるオフセット誤差の変化として定義されます。単位は $\mu V/^\circ C$ です。

ゼロコード誤差ドリフト

ゼロコード誤差ドリフトは、温度の変化によって生じるゼロコード誤差の変化として定義されます。単位は $\mu V/^\circ C$ です。

ゲイン温度係数

ゲイン温度係数は、温度の変化によって生じるゲイン誤差の変化として定義されます。ゲイン温度係数は、FSR/°Cのppmで表されます。

電源除去比 (PSRR)

電源除去比 (PSRR) は、DACのフルスケール出力時の、電源電圧の変化に対する出力電圧の変化の比として定義されます。デバイスのPSRRは、DACの出力が電源電圧の変化によってどの程度影響を受けるかを示します。PSRRの単位はデシベル (dB) です。

単調性

単調性は、符号が変化しない勾配として定義されます。DACが単調である場合、入力コード内の各増加(または減少)ステップに対して、出力は常に同じ方向に変化するか、または少なくとも一定に保持されます。

動的性能

動的性能パラメータは、セトリング・タイムやスルー・レートなどの仕様であり、信号が高速で変化するアプリケーションや高周波信号が存在するアプリケーションで重要です。

スルー・レート

アンプまたは他の電子回路の出力スルー・レート (SR) は、すべての可能な入力信号に対する出力電圧の最大変化レートとして定義されます。

$$SR = \max \left(\left| \frac{\Delta V_{OUT}(t)}{\Delta t} \right| \right)$$

ここで $\Delta V_{OUT}(t)$ は、アンプから生成される出力で、時間 t の関数です。

出力電圧セトリング・タイム

セトリング・タイムは、入力の変化後に、DAC出力がその最終値の特定の誤差幅以内まで安定するのにかかる合計時間(スルー時間を含む)です。セトリング・タイムは、フルスケール範囲 (FSR) の $\pm 0.003\%$ 以内(または明記された値)として規定されています。

コード変化/デジタル-アナログ-グリッチ-エネルギー

デジタル-アナログ-グリッチ-インパルスは、DACレジスタ内の入力コードの状態が変化したときに、アナログ出力に注入されるインパルスです。これは通常、ナノボルト秒 (nV-s) 単位のグリッチ面積として表され、デジタル入力コードがメジャー・キャリア-遷移時に1LSB変化するときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DACのデジタル入力から見た、DACの出力におけるインパルスとして定義されます。これは、DAC出力が更新されないときに測定されます。単位はnV-sであり、データ・バス上でのフルスケールのコード変化、つまりオール '0' からオール '1' (またはその逆)のときに測定されます。

チャンネル間DCクロストーク

チャンネル間DCクロストークは、1つのDACチャンネルの出力の変化に対する、別のDACチャンネルの出力レベルのDC変化として定義されます。これは、一方のDACチャンネルをミッドスケールに保持しながら、他のDACチャンネルにフルスケール出力変化を与えることで測定され、LSB単位で表されます。

チャンネル間ACクロストーク

マルチチャンネルDACのACクロストークは、あるチャンネルの出力値が周波数 f で変化したときに隣接チャンネルの出力に現れる、周波数 f (およびその高調波)のAC干渉量として定義されます。これは、あるチャンネルの出力を周波数1kHzの正弦波で発振させながら、隣接DACチャンネル出力(ゼロ・スケールに保持)上の1kHz高調波の振幅を監視することで測定されます。単位はdBです。

信号対雑音比 (SNR)

信号対雑音比 (SNR) は、出力信号の2乗平均平方根 (RMS) 値を、出力周波数の1/2未満の他のすべてのスペクトル成分(高調波とDCを除く)の和のRMS値で割った比として定義されます。単位はdBです。

全高調波歪 (THD)

全高調波歪 + ノイズは、基本周波数の値に対する、高調波とノイズのRMS値の比として定義されます。これは、サンプリング・レートが f_s のときの基本周波数振幅に対するパーセンテージで表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

スプリアスフリー・ダイナミック・レンジ (SFDR) は、スプリアス・ノイズによって基本波信号が干渉を受けたり歪んだりすることのないDACのダイナミック・レンジです。SFDRは、DCからフル・ナイキスト帯域幅 (DACサンプリング・レートの1/2、または $f_s/2$) までの高調波または非高調波の最大スパークの振幅と、基本波の振幅との差を表します。スパークとは、スペクトル・アナライザまたはフーリエ変換で確認される、DACのアナログ出力の任意の周波数成分です。SFDRは、dBc(搬送波に対するdB) 単位で表されます。

信号対(雑音+歪) (SINAD)

SINADでは、内部のランダム・ノイズ電力の量子化に加えて、すべての高調波および顕著なスプリアス成分が、出力ノイズ電力の定義に含まれます。SINADは、指定された入力周波数およびサンプリング・レート f_s におけるdBとして表されます。

DAC出力ノイズ密度

出力ノイズ密度は、内部で発生したランダム・ノイズとして定義されます。ランダム・ノイズは、スペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) として定義されます。この値は、DACにミッドスケールの負荷を与えて出力のノイズを測定することにより得られます。

DAC出力ノイズ

DAC出力ノイズは、DAC出力における目的の値からの任意の電圧偏差として定義されます(特定の周波数帯域内)。この値は、DACチャンネルをミッドスケールに保持しながら、出力電圧を0.1Hz~10Hzの帯域内にフィルタリングし、その振幅ピークを測定することで得られます。DAC出力ノイズはピーク・ツー・ピーク電圧 (V_{pp}) で表されます。

フルスケール範囲 (FSR)

フルスケール範囲 (FSR) は、DACが提供するよう規定されている最大アナログ出力値と最小アナログ出力値との差です。一般には、最大値と最小値も指定されます。nビットDACの場合、これらの値は通常、コード0および 2^n に一致する値として与えられます。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DAC8164IAPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IAPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IAPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IAPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IBPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IBPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IBPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IBPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164ICPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164ICPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164ICPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164ICPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IDPW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IDPWG4	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IDPWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
DAC8164IDPWRG4	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

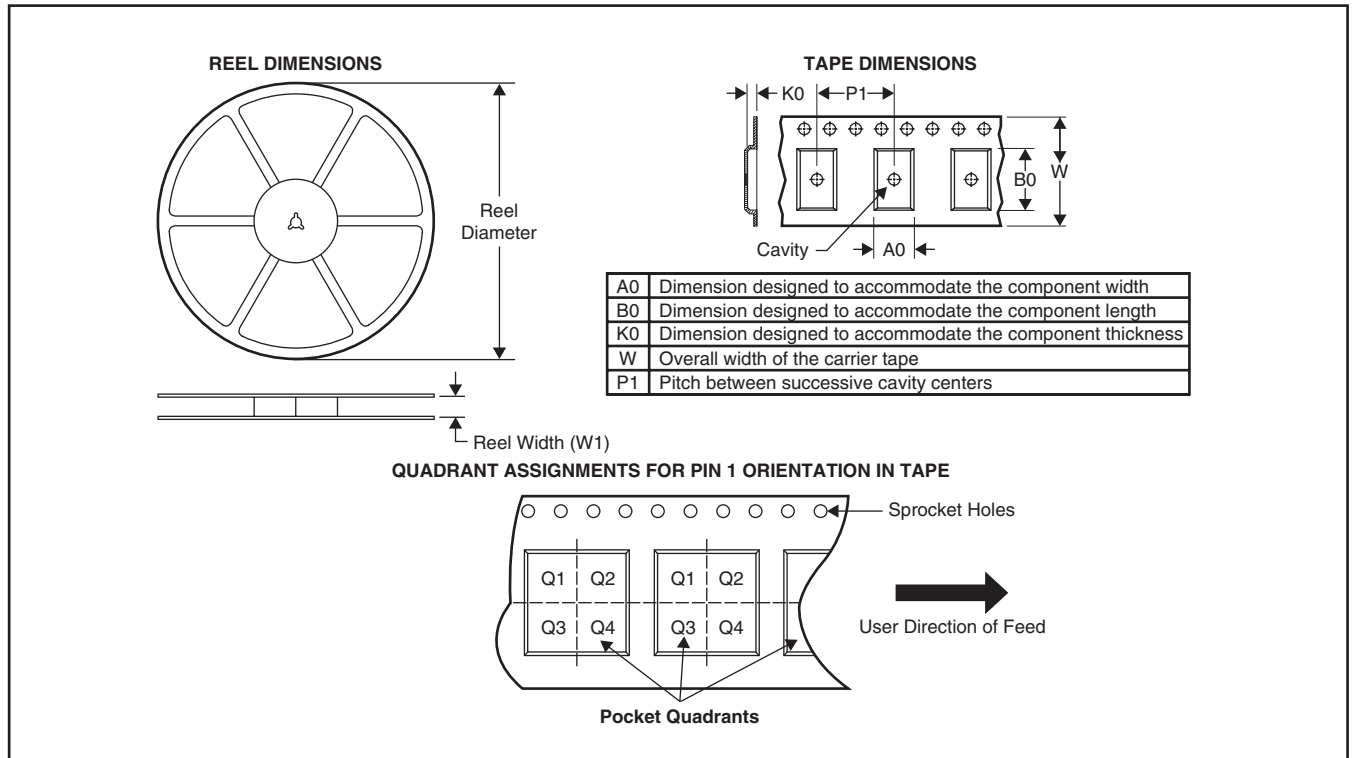
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

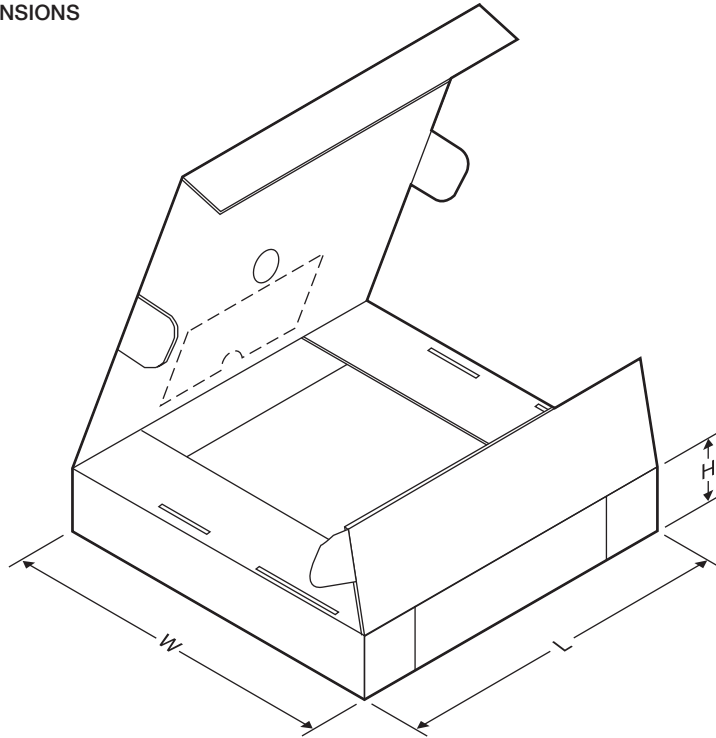


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DAC8164IAPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
DAC8164IBPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
DAC8164ICPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1
DAC8164IDPWR	TSSOP	PW	16	2000	330.0	12.4	7.0	5.6	1.6	8.0	12.0	Q1

パッケージ・材料情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

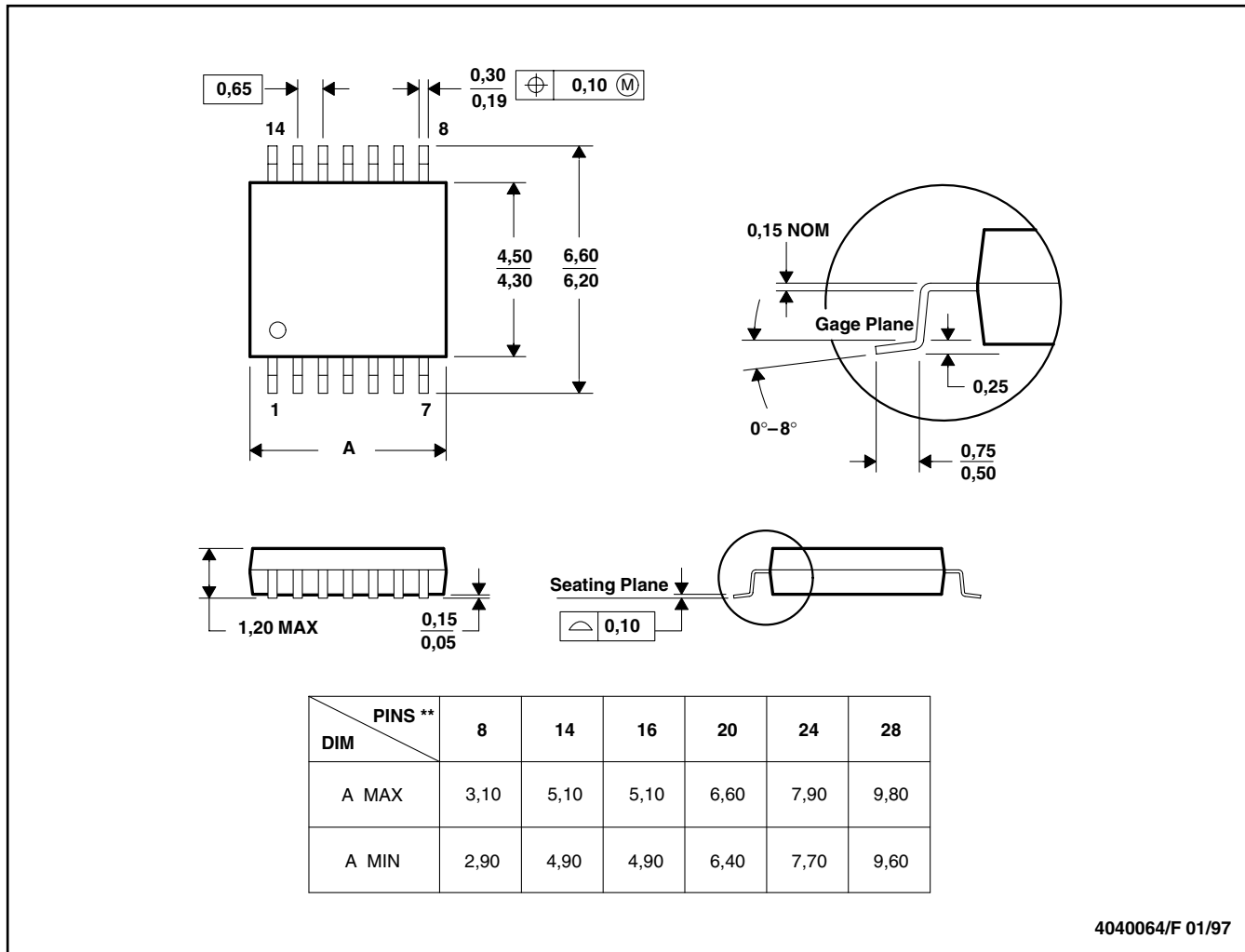
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DAC8164IAPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
DAC8164IBPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
DAC8164ICPWR	TSSOP	PW	16	2000	346.0	346.0	29.0
DAC8164IDPWR	TSSOP	PW	16	2000	346.0	346.0	29.0

メカニカル・データ

PW (R-PDSO-G**)

14 PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



4040064/F 01/97

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体の寸法はモールド・フラッシュや突起を含みません。モールド・フラッシュや突起は、0,15を超えてはなりません。
 D. JEDEC MO-153に準拠します

(SBAS410A)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認ということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2010, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様の実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

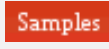

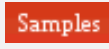
2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DAC8164IAPW	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	DAC 8164	
DAC8164IBPW	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	DAC 8164 B	
DAC8164IDPW	ACTIVE	TSSOP	PW	16	90	RoHS & Green	Call TI	Level-2-260C-1 YEAR	-40 to 105	DAC 8164 D	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021, Texas Instruments Incorporated