

CSD87501L 30V デュアル共通ドレイン N チャネル NexFET™ パワー MOSFET

1 特長

- 低オン抵抗
- 3.37mm × 1.47mm の小さな占有面積
- 超低プロファイル - 高さ 0.2mm
- 鉛不使用
- RoHS に準拠
- ハロゲン不使用
- ゲート ESD 保護

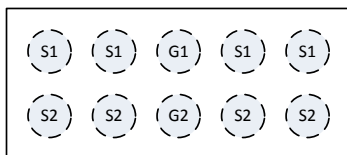
2 アプリケーション

- バッテリー管理
- バッテリー保護
- USB Type-C/PD

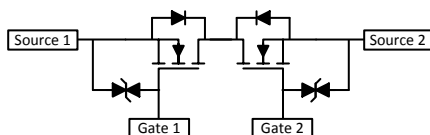
3 概要

この 30V、6.6mΩ、3.37mm × 1.47mm LGA のデュアル NexFET™ パワー MOSFET は、小さな占有面積で抵抗およびゲート電荷を最小化するよう設計されています。サイズが小さく共通ドレインの構成なので、このデバイスはマルチセルのバッテリー・パック・アプリケーションや小型のハンドヘルド・デバイスに理想的です。

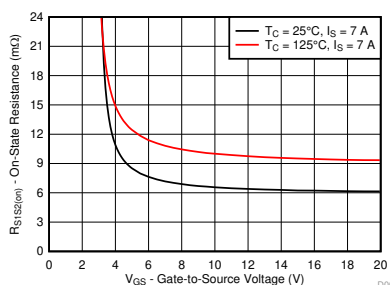
上面図



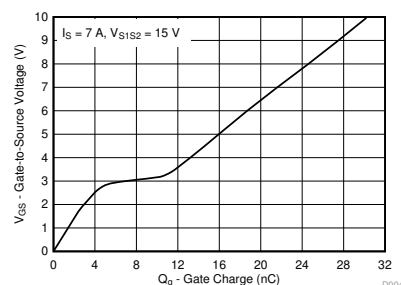
構成



$R_{S1S2(on)}$ と V_{GS} との関係



ゲート電荷



製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{S1S2}	ソース間電圧	30	V
Q_g	ゲートの合計電荷(4.5V)	15	nC
Q_{gd}	ゲート電荷、ゲートドレイン間	6.0	nC
$R_{S1S2(on)}$	ソース間のオン抵抗	$V_{GS} = 4.5\text{V}$	9.3
		$V_{GS} = 10\text{V}$	6.6
$V_{GS(th)}$	スレッシュホールド電圧	1.8	V

製品情報(1)

デバイス	メディア	数量	パッケージ	出荷
CSD87501L	7インチ・リール	3000	3.37mm × 1.47mm ランド・グリッド・アレイ ・パッケージ	テープ および リール
CSD87501LT	7インチ・リール	250		

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	UNIT
V_{S1S2}	ソース間電圧	30	V
V_{GS}	ゲート-ソース間電圧	±20	V
I_S	連続ソース電流(1)	14	A
I_{SM}	パルス・ソース電流(2)	72	A
P_D	消費電力	2.5	W
$V_{(ESD)}$	人体モデル(HBM)	2	kV
T_J , T_{stg}	動作時の接合部、 保管温度	-55~150	°C

(1) 厚さ 0.06in の FR4 PCB 上に構築された面積 1in²、2 オンスの Cu パッド上で、標準値 $R_{\theta JA} = 50^\circ\text{C/W}$ です。

(2) 標準的な最小 Cu $R_{\theta JA} = 135^\circ\text{C/W}$ 、パルス期間 ≤ 100μs、デューティ・サイクル ≤ 1%。

目次

1	特長	1	6.1	ドキュメントの更新通知を受け取る方法.....	7
2	アプリケーション	1	6.2	コミュニティ・リソース	7
3	概要	1	6.3	商標	7
4	改訂履歴.....	2	6.4	静電気放電に関する注意事項	7
5	Specifications	3	6.5	Glossary	7
	5.1 Electrical Characteristics.....	3	7	メカニカル、パッケージ、および注文情報	8
	5.2 Thermal Information	3	7.1	パッケージ寸法.....	8
	5.3 Typical MOSFET Characteristics.....	4	7.2	推奨される PCB パターン	9
6	デバイスおよびドキュメントのサポート.....	7	7.3	推奨されるステンシル・パターン	9

4 改訂履歴

Revision A (April 2015) から Revision B に変更 Page

•	追加「ドキュメントの更新通知を受け取る方法」セクションおよび「コミュニティ・リソース」セクション.....	7
•	追加「メカニカル、パッケージ、および注文情報」セクションのピン構成の表.....	8

2015年2月発行のものから更新 Page

•	Extended Y axis in Figure 9 down to 0.01 A	4
---	--	---

5 Specifications

5.1 Electrical Characteristics

 $T_A = 25^\circ\text{C}$ unless otherwise stated

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV_{S1S2}	Source-to-source voltage	$V_{GS} = 0\text{ V}, I_S = 250\ \mu\text{A}$	30			V
I_{S1S2}	Source-to-source leakage current	$V_{GS} = 0\text{ V}, V_{S1S2} = 24\text{ V}$			1	μA
I_{GSS}	Gate-to-source leakage current	$V_{S1S2} = 0\text{ V}, V_{GS} = 20\text{ V}$			10	μA
$V_{GS(th)}$	Gate-to-source threshold voltage	$V_{S1S2} = V_{GS}, I_S = 250\ \mu\text{A}$	1.3	1.8	2.3	V
$R_{S1S2(on)}$	Source-to-source on-resistance	$V_{GS} = 4.5\text{ V}, I_S = 7\text{ A}$		9.3	11.0	m Ω
		$V_{GS} = 10\text{ V}, I_S = 7\text{ A}$		6.6	7.8	
g_{fs}	Transconductance	$V_{S1S2} = 3\text{ V}, I_S = 7\text{ A}$		48		S
DYNAMIC CHARACTERISTICS⁽¹⁾						
C_{iss}	Input capacitance	$V_{GS} = 0\text{ V}, V_{S1S2} = 15\text{ V}, f = 1\text{ MHz}$		1620	2110	pF
C_{oss}	Output capacitance			189	246	pF
C_{rss}	Reverse transfer capacitance			152	198	pF
R_G	Series gate resistance			300	450	Ω
Q_g	Gate charge total (4.5 V)	$V_{S1S2} = 15\text{ V}, I_S = 7\text{ A}$		15	20	nC
Q_g	Gate charge total (10 V)			31	40	nC
Q_{gd}	Gate charge gate-to-drain			6.0		nC
Q_{gs}	Gate charge gate-to-source			5.0		nC
$Q_{g(th)}$	Gate charge at V_{th}			2.5		nC
Q_{oss}	Output charge		$V_{S1S2} = 15\text{ V}, V_{GS} = 0\text{ V}$		7.6	
$t_{d(on)}$	Turn on delay time	$V_{S1S2} = 15\text{ V}, V_{GS} = 10\text{ V}, I_{S1S2} = 7\text{ A}, R_G = 0\ \Omega$		164		ns
t_r	Rise time			260		ns
$t_{d(off)}$	Turn off delay time			709		ns
t_f	Fall time			712		ns

(1) Dynamic characteristics values specified are per single FET.

5.2 Thermal Information

 $T_A = 25^\circ\text{C}$ unless otherwise stated

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾		135		$^\circ\text{C/W}$
	Junction-to-ambient thermal resistance ⁽²⁾		50		

(1) Device mounted on FR4 material with minimum Cu mounting area.

(2) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm thick) Cu.

5.3 Typical MOSFET Characteristics

T_A = 25°C unless otherwise stated

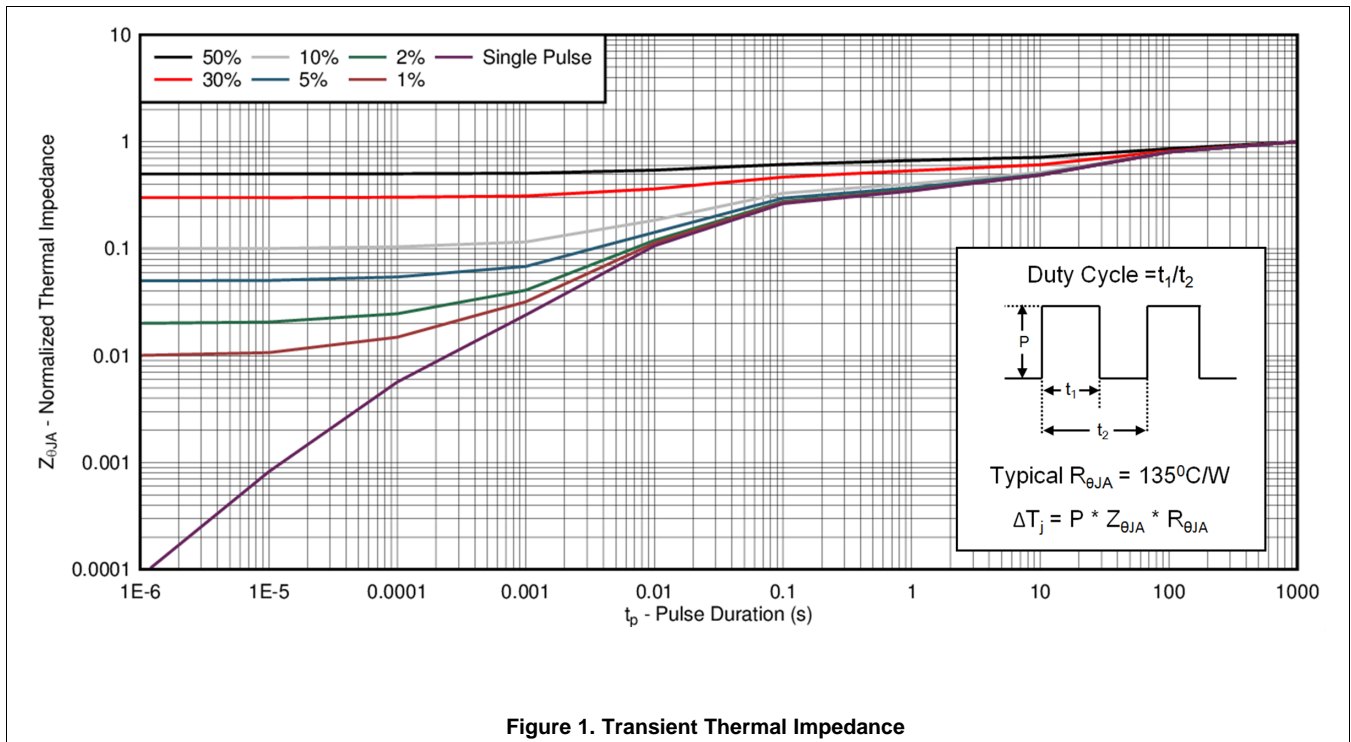


Figure 1. Transient Thermal Impedance

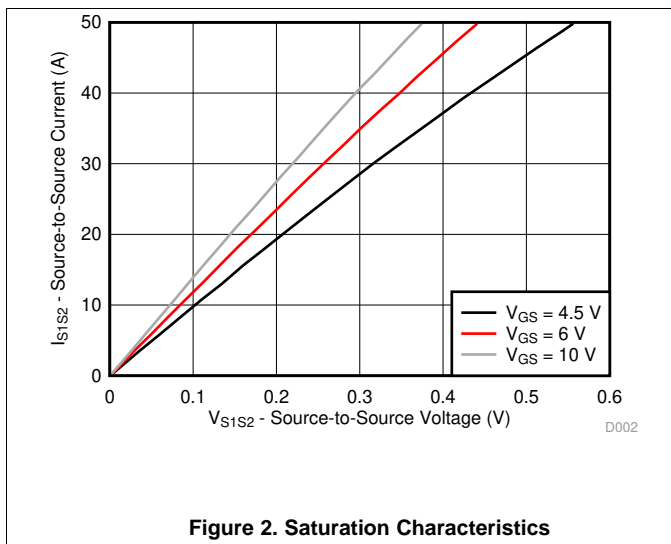


Figure 2. Saturation Characteristics

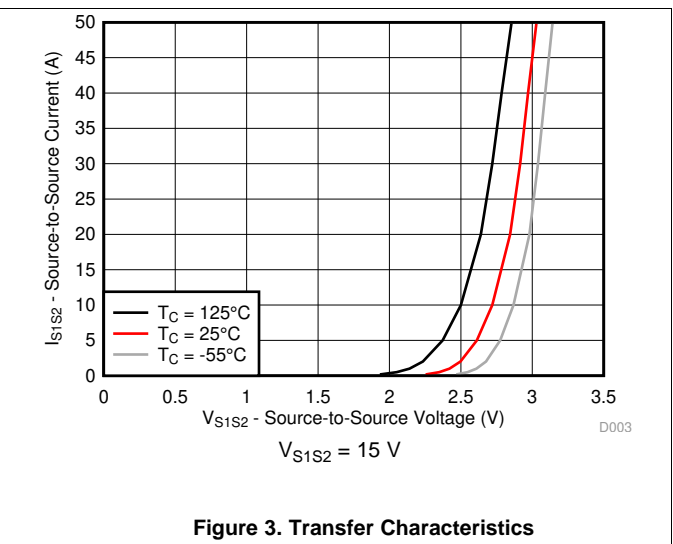


Figure 3. Transfer Characteristics

Typical MOSFET Characteristics (continued)

T_A = 25°C unless otherwise stated

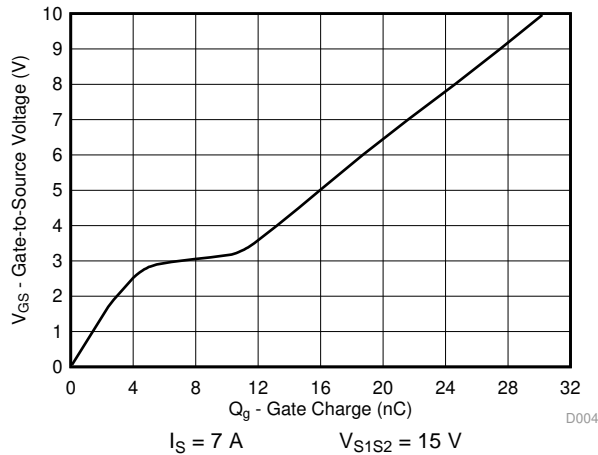


Figure 4. Gate Charge

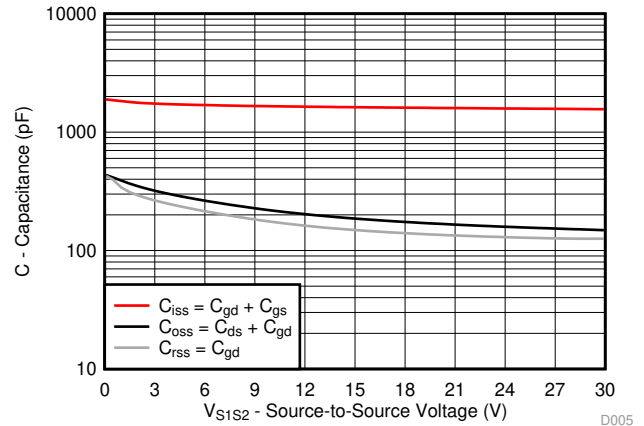


Figure 5. Capacitance

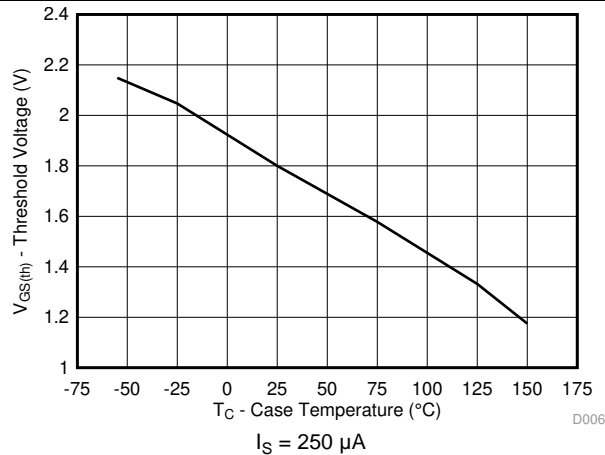


Figure 6. Threshold Voltage vs Temperature

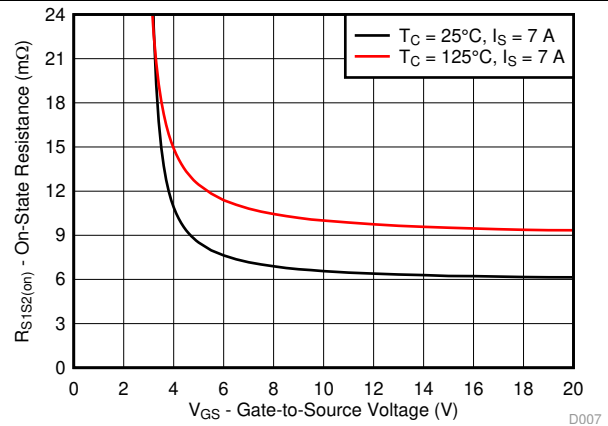


Figure 7. On-State Source-to-Source Resistance vs Gate-to-Source Voltage

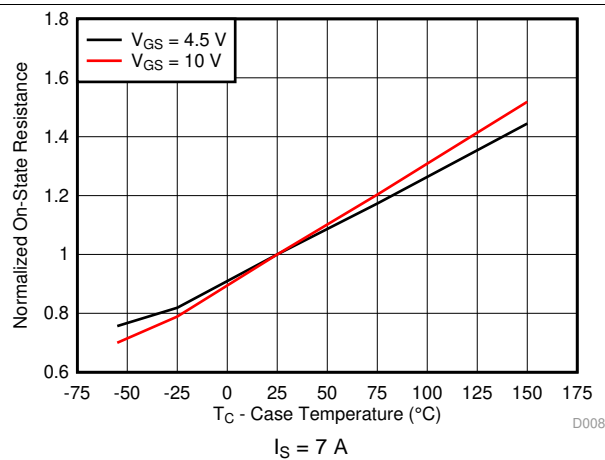


Figure 8. Normalized On-State Resistance vs Temperature

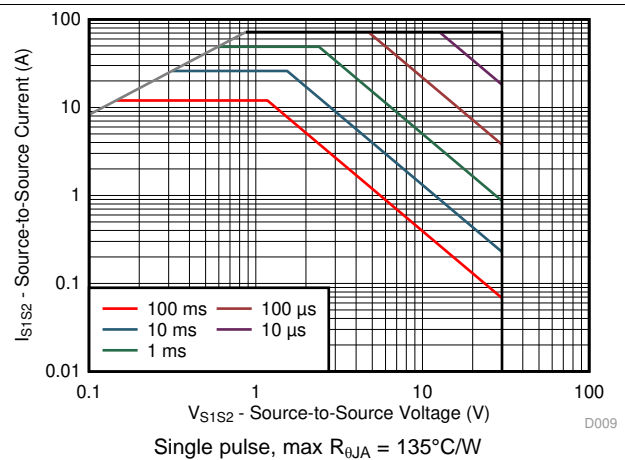


Figure 9. Maximum Safe Operating Area

Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ unless otherwise stated

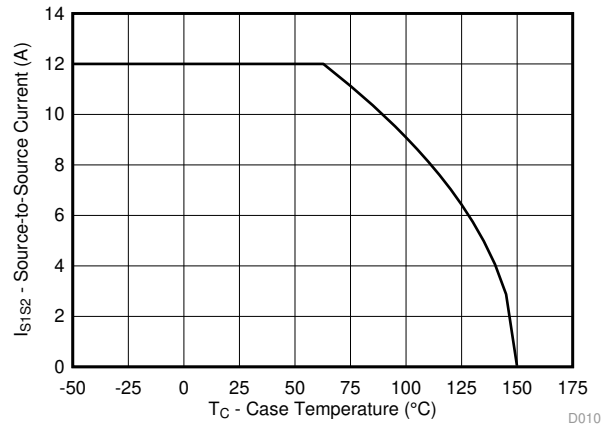


Figure 10. Maximum Source Current vs Temperature

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

6.3 商標

NexFET, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

6.5 Glossary

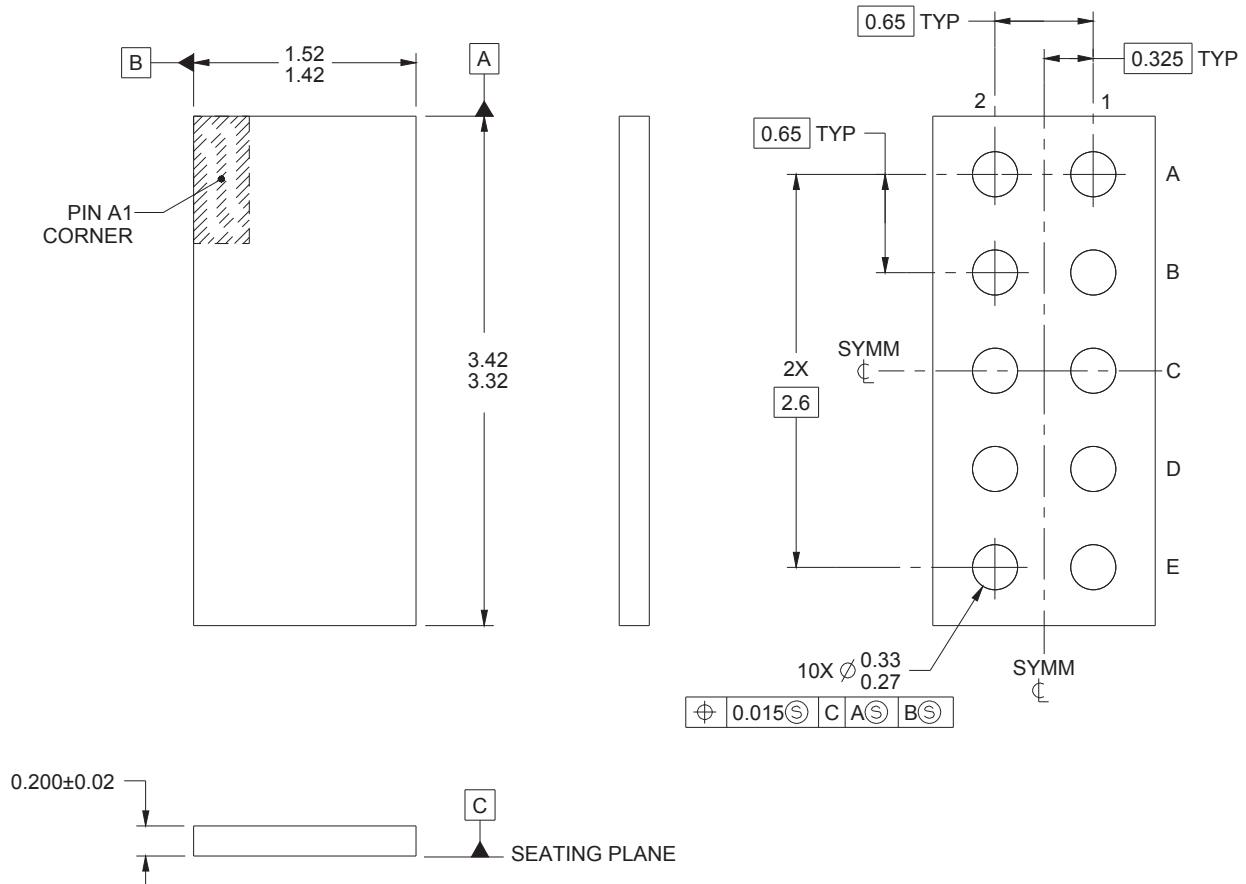
SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

7.1 パッケージ寸法

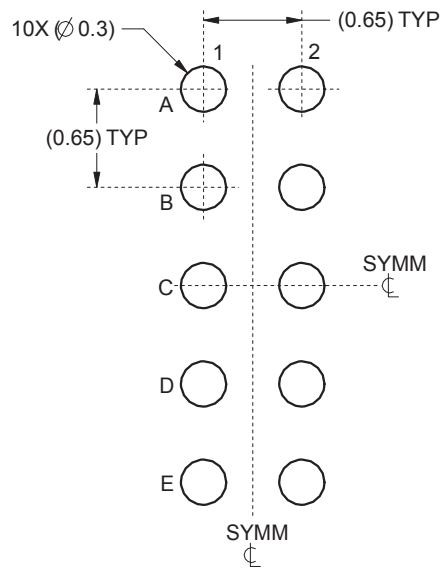


すべての寸法はミリメートル (mm) 単位です。

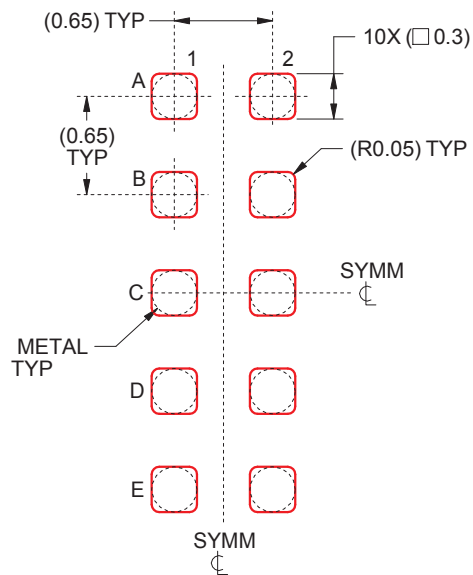
表 1. ピンの設定

位置	割り当て
A1、B1、D1、E1	ソース 1
C1	ゲート 1
A2、B2、D2、E2	ソース 2
C2	ゲート 2

7.2 推奨される PCB パターン



7.3 推奨されるステンシル・パターン



特記のない限り、すべての寸法はミリメートル (mm) 単位です。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD87501L	ACTIVE	PICOSTAR	YJG	10	3000	RoHS & Green	NIAU SNAGCU	Level-1-260C-UNLIM		CSD87501	Samples
CSD87501LT	ACTIVE	PICOSTAR	YJG	10	250	RoHS & Green	NIAU SNAGCU	Level-1-260C-UNLIM	-55 to 150	CSD87501	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD87501L	PICOSTAR	YJG	10	3000	330.0	12.4	1.62	3.62	0.37	8.0	12.0	Q1
CSD87501LT	PICOSTAR	YJG	10	250	330.0	12.4	1.62	3.62	0.37	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD87501L	PICOSTAR	YJG	10	3000	335.0	335.0	25.0
CSD87501LT	PICOSTAR	YJG	10	250	335.0	335.0	25.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated