

CSD17318Q2 30V N チャネル NexFET™ パワー MOSFET

1 特長

- 5V ゲートドライブに最適化
- 低い容量と電荷
- 低い $R_{DS(on)}$
- 低い熱抵抗
- 鉛不使用
- RoHS に準拠
- ハロゲン不使用
- SON 2mm × 2mm プラスチック パッケージ

2 アプリケーション

- ストレージ、タブレット、ハンドヘルド機器
- 負荷スイッチ アプリケーションに最適化
- DC/DC コンバータ
- バッテリおよび負荷管理アプリケーション

3 概要

この 30V、12.6mΩ、2mm × 2mm SON NexFET™ パワー MOSFET は、電力変換アプリケーションでの損失を最小限に抑えるように設計され、5V ゲートドライブ アプリケーションに最適化されています。2mm × 2mm SON により、このサイズのパッケージでは非常に優れた熱特性を実現しています。

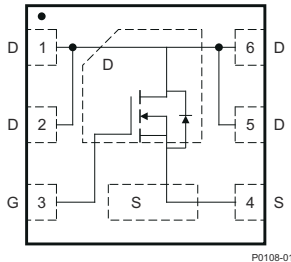
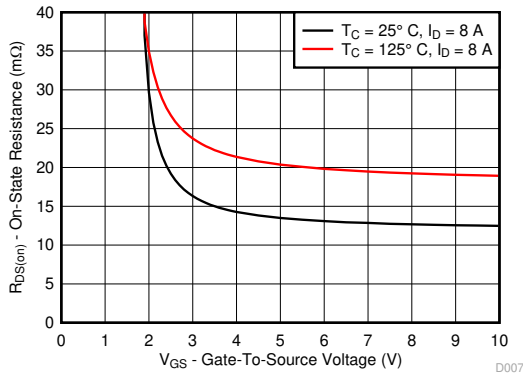


図 3-1. 上面図



オン状態の抵抗とゲート-ソース間電圧との関係

製品概要

$T_A = 25^\circ C$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
Q_g	ゲートの合計電荷 (4.5V)	6.0	nC
Q_{gd}	ゲート-ドレイン間ゲート電荷	1.3	nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 2.5V$	20
		$V_{GS} = 4.5V$	13.9
		$V_{GS} = 8V$	12.6
$V_{GS(th)}$	スレッショルド電圧	0.9	V

製品情報 (1)

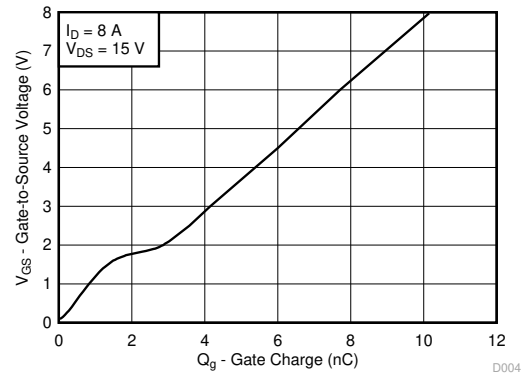
部品番号	数量	メディア	パッケージ	出荷形態
CSD17318Q2	3000	7 インチリール	SON	テープア ンドリール
CSD17318Q2T	250		2.00mm × 2.00mm プラスチック パッケージ	

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ C$		値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
V_{GS}	ゲート - ソース間電圧	±10	V
I_D	連続ドレイン電流 (パッケージ制限)	21.5	A
	連続ドレイン電流 (シリコン制限、 $T_C = 25^\circ C$)	25	
	連続ドレイン電流 ⁽¹⁾	10	
I_{DM}	パルスドレイン電流、 $T_A = 25^\circ C$ ⁽²⁾	68	A
P_D	消費電力 ⁽¹⁾	2.5	W
	消費電力、 $T_C = 25^\circ C$	16	
T_J , T_{STG}	動作時の接合部温度、 保存温度	-55~150	°C
E_{AS}	アバランシェ エネルギー、単一パルス、 $I_D = 12.4A, L = 0.1mH, R_G = 25\Omega$	7.7	mJ

- (1) 厚さ 0.06 インチの FR4 PCB 上に構築された面積 1 平方インチ、2 オンスの Cu パッド上で、標準値 $R_{\theta JA} = 55^\circ C/W$ です。
- (2) 最大 $R_{\theta JC} = 7^\circ C/W$ 、パルス期間 $\leq 100\mu s$ 、デューティ サイクル $\leq 1\%$



ゲート電荷



Table of Contents

1 特長	1	5 Device and Documentation Support	7
2 アプリケーション	1	5.1 ドキュメントの更新通知を受け取る方法.....	7
3 概要	1	5.2 サポート・リソース.....	7
4 Specifications	3	5.3 Trademarks.....	7
4.1 Electrical Characteristics.....	3	6 Revision History	7
4.2 Thermal Characteristics.....	3	7 Mechanical, Packaging, and Orderable Information	8
4.3 Typical MOSFET Characteristics.....	4		

4 Specifications

4.1 Electrical Characteristics

T_A = 25°C (unless otherwise noted)

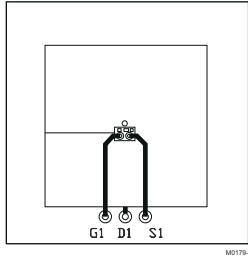
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
B _V DSS	Drain-to-source voltage	V _{GS} = 0V, I _D = 250μA	30			V
I _{DSS}	Drain-to-source leakage	V _{GS} = 0V, V _{DS} = 24V			1	μA
I _{GSS}	Gate-to-source leakage	V _{DS} = 0V, V _{GS} = 10V			100	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _D = 250μA	0.6	0.9	1.2	V
R _{DS(on)}	Drain-to-source on-resistance	V _{GS} = 2.5V, I _D = 8A		20	30	mΩ
		V _{GS} = 4.5V, I _D = 8A		13.9	16.9	
		V _{GS} = 8V, I _D = 8A		12.6	15.1	
g _{fs}	Transconductance	V _{DS} = 3V, I _D = 8A		42		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input capacitance	V _{GS} = 0V, V _{DS} = 15V, f = 1MHz		676	879	pF
C _{oss}	Output capacitance			71	92	pF
C _{rss}	Reverse transfer capacitance			39	51	pF
R _G	Series gate resistance		1.0	2.0		Ω
Q _g	Gate charge total (4.5 V)	V _{DS} = 15V, I _D = 8A		6.0		nC
Q _{gd}	Gate charge gate-to-drain			1.3		nC
Q _{gs}	Gate charge gate-to-source			1.5		nC
Q _{g(th)}	Gate charge at V _{th}			0.7		nC
Q _{oss}	Output charge	V _{DS} = 15V, V _{GS} = 0V		2.7		nC
t _{d(on)}	Turnon delay time	V _{DS} = 15V, V _{GS} = 4.5V, I _D = 8A, R _G = 2Ω		5		ns
t _r	Rise time			16		ns
t _{d(off)}	Turnoff delay time			13		ns
t _f	Fall time			4		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{SD} = 8A, V _{GS} = 0V		0.8	1.0	V
Q _{rr}	Reverse recovery charge	V _{DD} = 15V, I _F = 8A, di/dt = 300A/μs		2.9		nC
t _{rr}	Reverse recovery time			12		ns

4.2 Thermal Characteristics

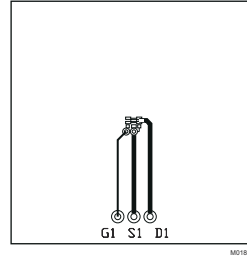
T_A = 25°C (unless otherwise noted)

PARAMETER		MIN	TYP	MAX	UNIT
R _{θJC}	Thermal resistance junction-to-case ⁽¹⁾			7.9	°C/W
R _{θJA}	Thermal resistance junction-to-ambient ^{(1) (2)}			65	°C/W

- (1) R_{θJC} is determined with the device mounted on a 1in² (6.45cm²), 2oz (0.071mm) thick Cu pad on a 1.5in × 1.5in (3.81cm × 3.81cm), 0.06in (1.52mm) thick FR4 PCB. R_{θJC} is specified by design, whereas R_{θJA} is determined by the user's board design.
- (2) Device mounted on FR4 material with 1in² (6.45cm²), 2oz (0.071mm) thick Cu.



Max $R_{\theta JA}$ = 65°C/W when mounted on 1in² (6.45cm²) of 2oz (0.071mm) thick Cu.



Max $R_{\theta JA}$ = 250°C/W when mounted on a minimum pad area of 2oz (0.071mm) thick Cu.

4.3 Typical MOSFET Characteristics

T_A = 25°C (unless otherwise noted)

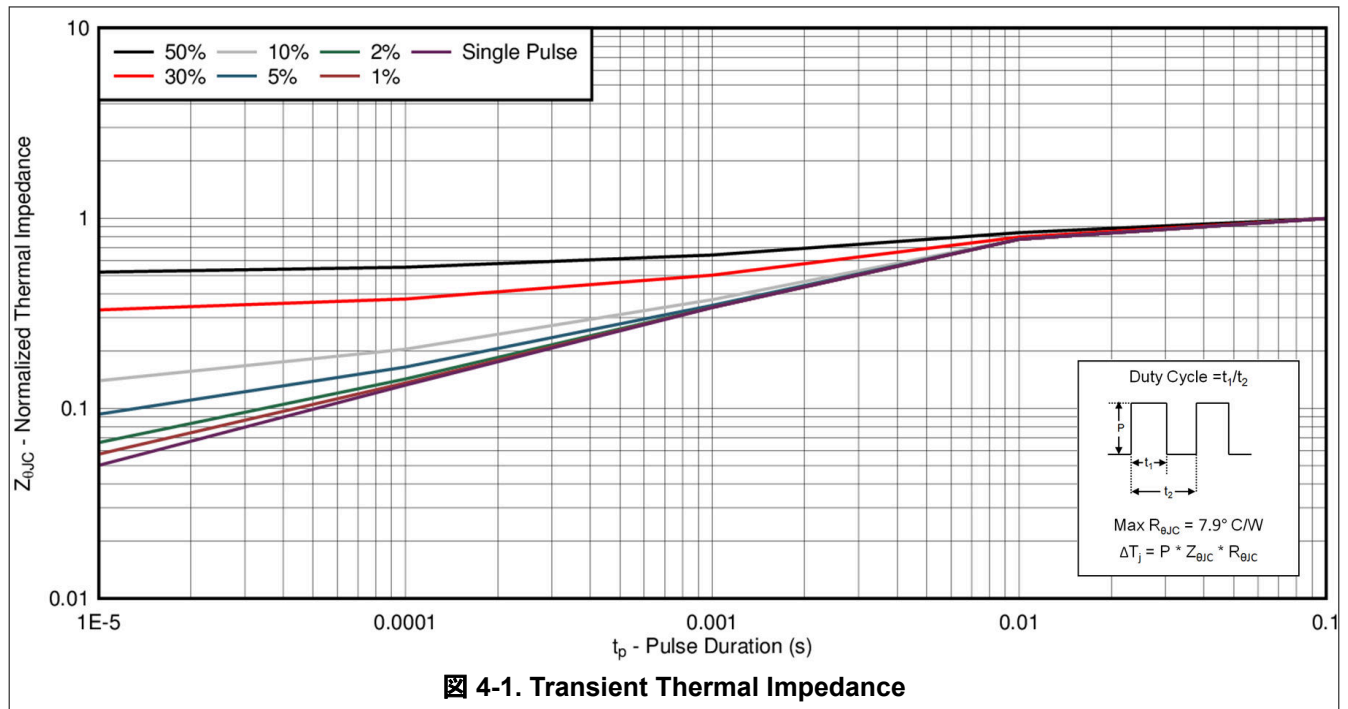


Figure 4-1. Transient Thermal Impedance

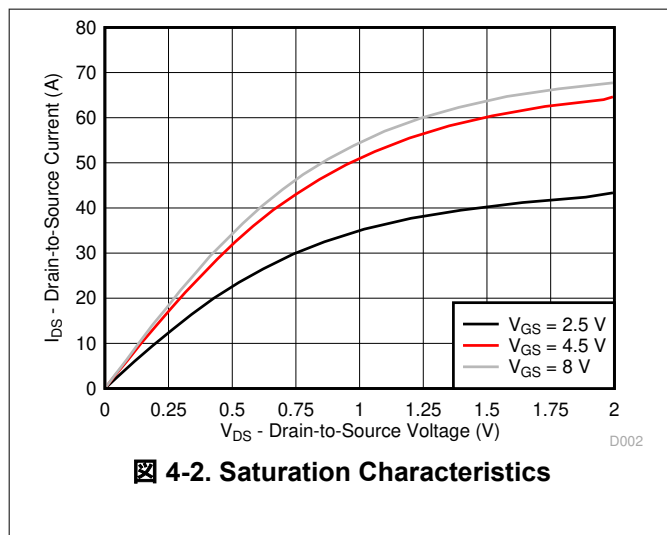


Figure 4-2. Saturation Characteristics

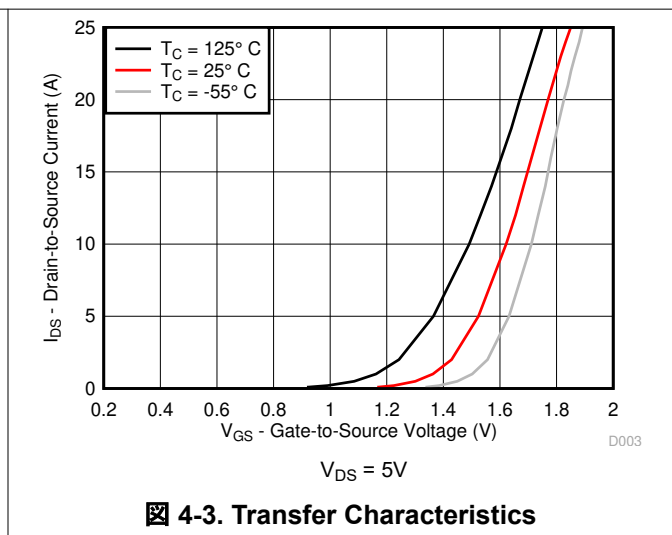
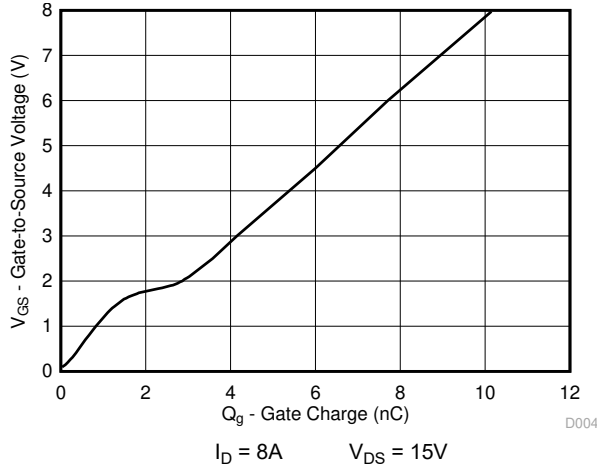
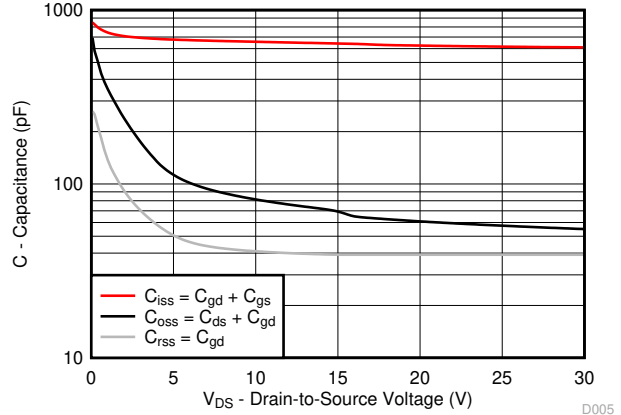


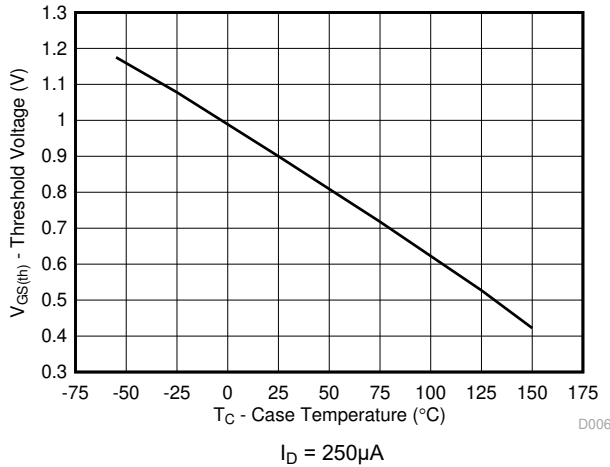
Figure 4-3. Transfer Characteristics



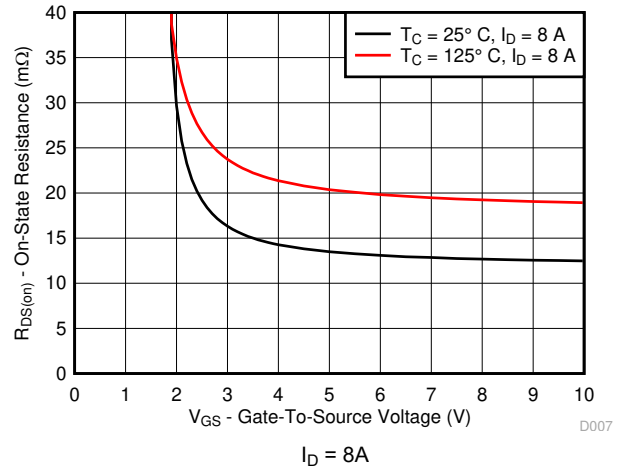
4-4. Gate Charge



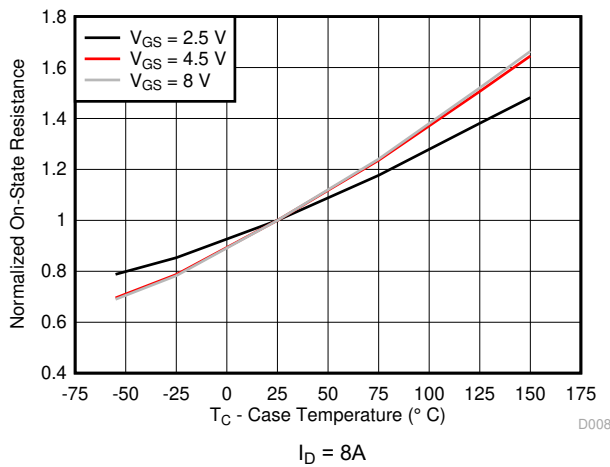
4-5. Capacitance



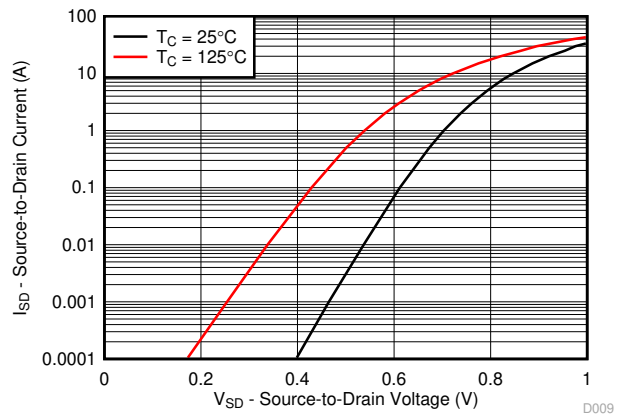
4-6. Threshold Voltage vs Temperature



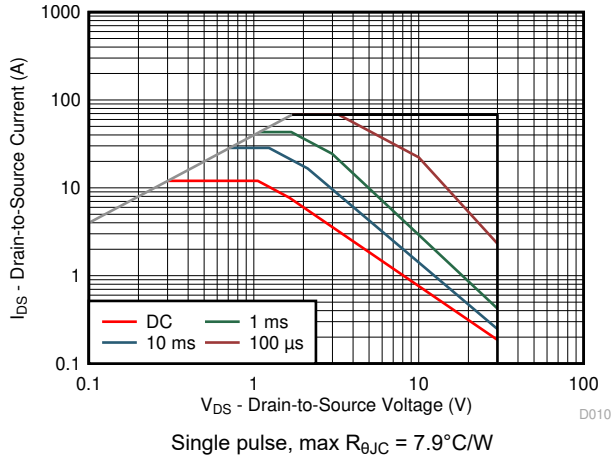
4-7. On-State Resistance vs Gate-to-Source Voltage



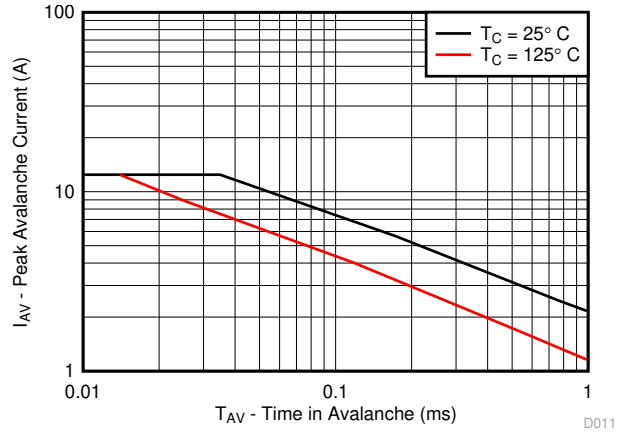
4-8. Normalized On-State Resistance vs Temperature



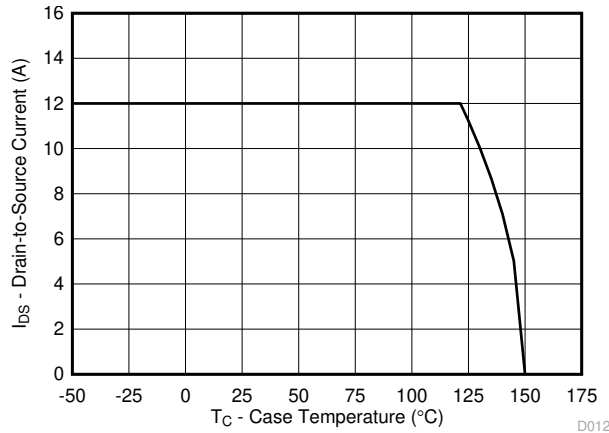
4-9. Typical Diode Forward Voltage



4-10. Maximum Safe Operating Area



4-11. Single Pulse Unclamped Inductive Switching



4-12. Maximum Drain Current vs Temperature

5 Device and Documentation Support

5.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

5.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

5.3 Trademarks

NexFET™ is a trademark of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6 Revision History

Changes from Revision A (February 2017) to Revision B (June 2024)

Page

- | Changes from Revision A (February 2017) to Revision B (June 2024) | Page |
|---|------|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新..... | 1 |

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD17318Q2	ACTIVE	WSON	DQK	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	1718	Samples
CSD17318Q2T	ACTIVE	WSON	DQK	6	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	1718	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD17318Q2	WSO	DQK	6	3000	180.0	9.5	2.3	2.3	1.0	4.0	8.0	Q1
CSD17318Q2T	WSO	DQK	6	250	180.0	9.5	2.3	2.3	1.0	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD17318Q2	WSON	DQK	6	3000	189.0	185.0	36.0
CSD17318Q2T	WSON	DQK	6	250	189.0	185.0	36.0

GENERIC PACKAGE VIEW

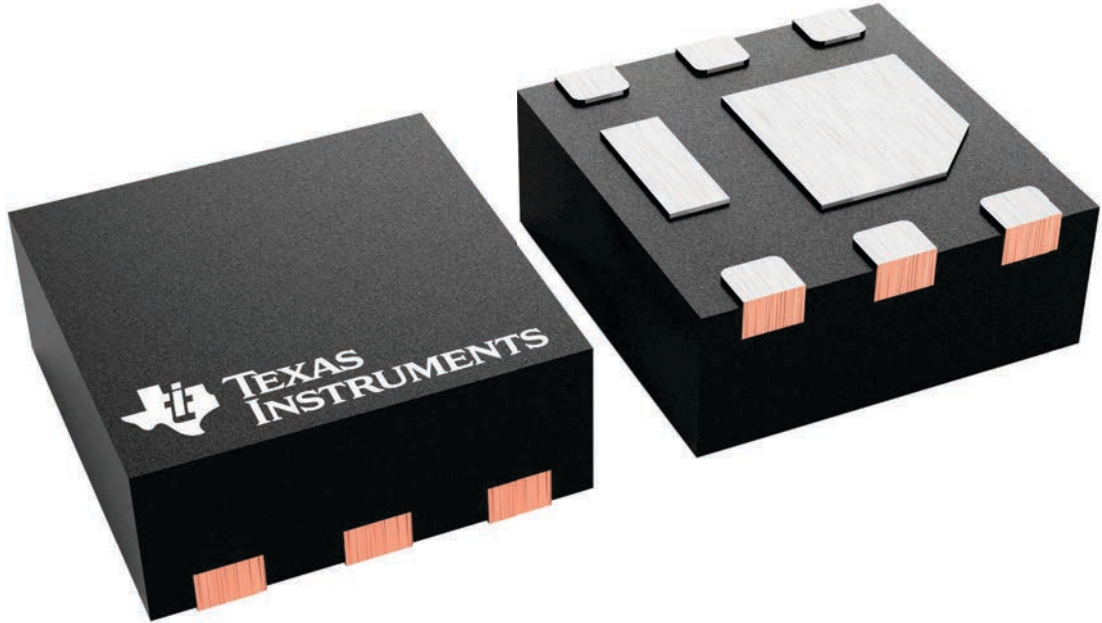
DQK 6

WSON - 0.8 mm max height

2 x 2, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

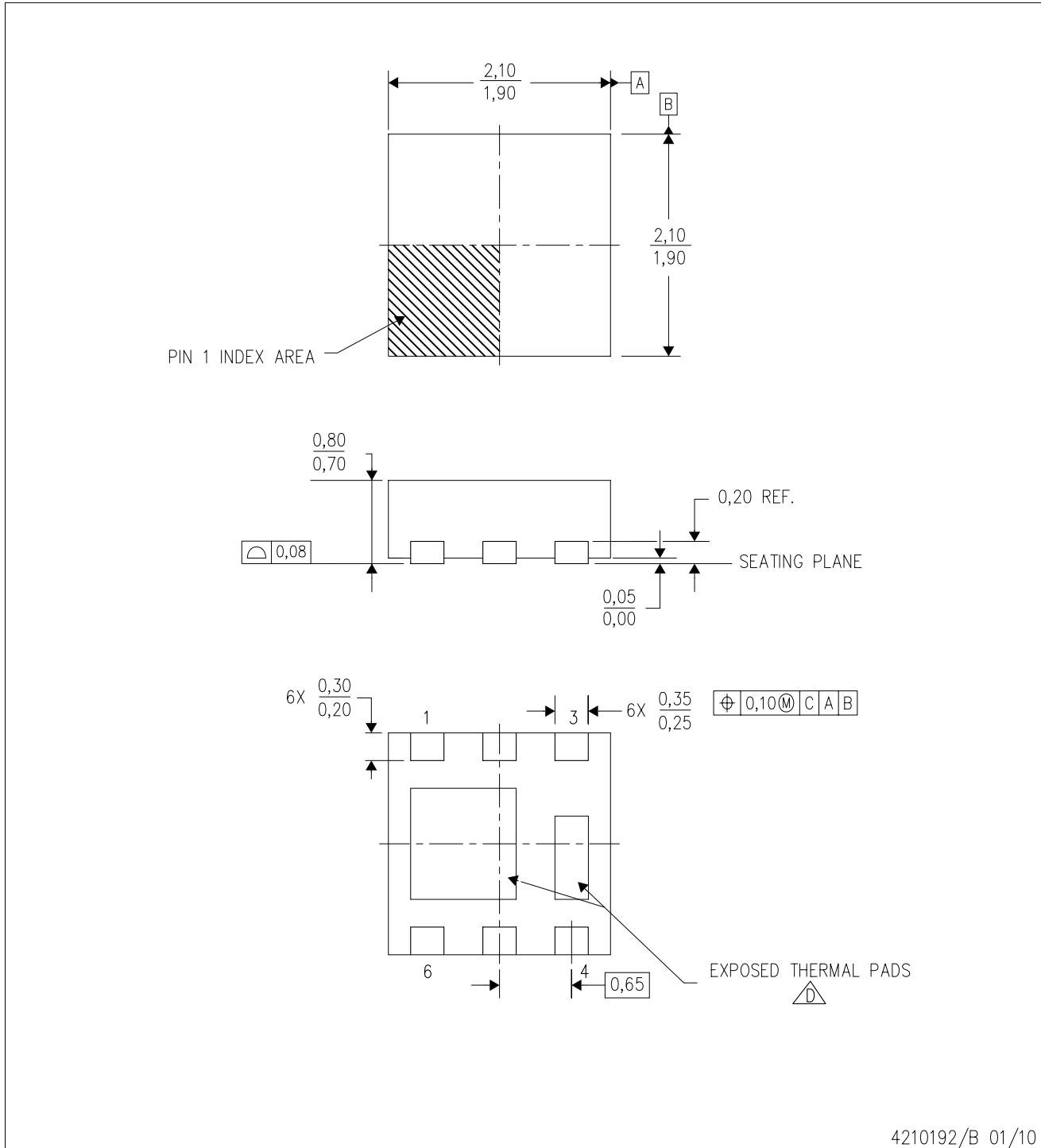
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.




4229807/A

DQK (S-PWSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



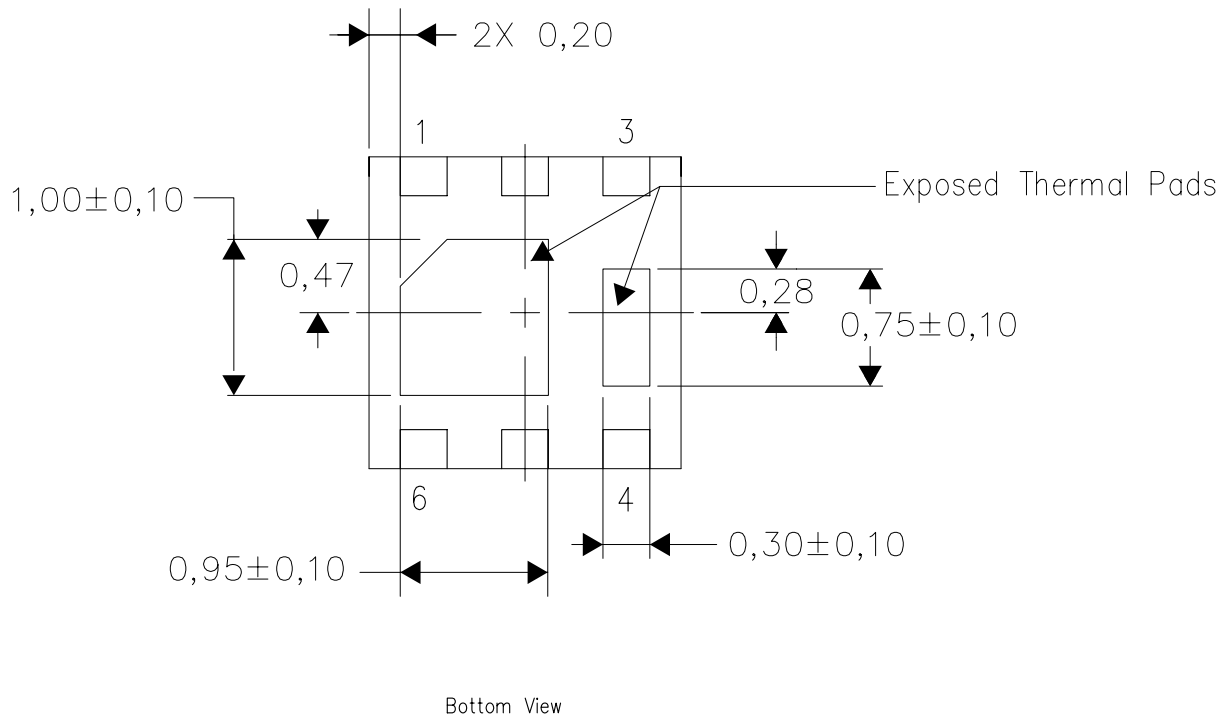
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Small Outline No-Lead (SON) package configuration.
 -  D. The package thermal pads must be soldered to the board for thermal and mechanical performance.

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated