

CDCS504-Q1 クロック・バッファおよびクロック・マルチプライヤ

1 特長

- 車載アプリケーションに対応
- AEC-Q100テスト・ガイドで以下の結果
 - デバイス温度グレード2: 動作時周囲温度範囲 -40°C~105°C
 - デバイスHBM ESD分類レベルH2
 - デバイスCDM ESD分類レベルC3B
- 使いやすいクロック・ジェネレータ・デバイス・ファミリの一員
- 出力周波数を選択可能なクロック・マルチプライヤ
- 1つの外付け制御ピンにより、周波数倍率をx1からx4の間で選択可能
- 制御ピンによる出力ディセーブル
- 単一の3.3Vのデバイス電源
- 広い温度範囲: -40°C~105°C
- 省スペースの8ピンTSSOPパッケージ
- WEBENCH® Power Designerにより、CDCS504-Q1を使用するカスタム設計を作成

2 アプリケーション

クロックの通倍を必要とする車載用アプリケーション

3 概要

CDCS504-Q1デバイスは、LVCMOS入力クロック・バッファで、周波数倍率を選択可能です。

CDCS504-Q1には出力イネーブル・ピンがあります。

このデバイスは、入力で3.3VのLVCMOS信号を受け付けます。

入力信号は、フェーズロック・ループ(PLL)で処理され、この出力周波数は入力周波数と同じ、または4倍になります。

これによって、デバイスは2MHz~108MHzの出力周波数を生成できます。

個別の制御ピンを使用して、出力をイネーブルまたはディセーブルできます。CDCS504-Q1デバイスは、3.3V環境で動作します。

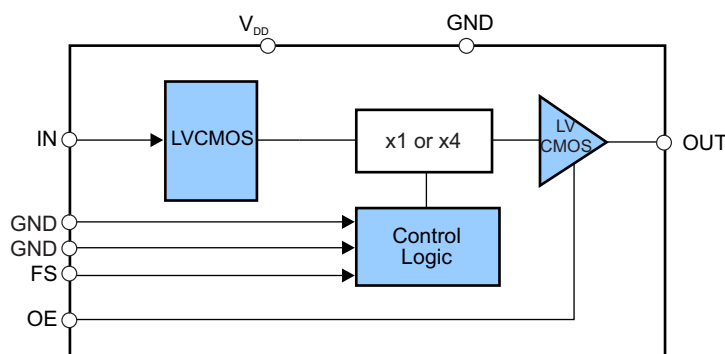
-40°C~105°Cでの動作が特性評価されており、8ピンのTSSOPパッケージで供給されます。

製品情報⁽¹⁾

型番	パッケージ	本体サイズ(公称)
CDCS504-Q1	TSSOP (8)	3.00mmx4.40mm

(1) 提供されているすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

ブロック図



Copyright © 2017, Texas Instruments Incorporated

目次

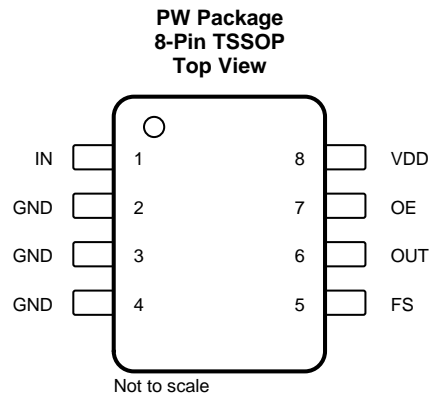
1	特長	1	8.3	Feature Description	7
2	アプリケーション	1	8.4	Device Functional Modes	7
3	概要	1	9	Application and Implementation	8
4	改訂履歴	2	9.1	Application Information	8
5	Pin Configuration and Functions	3	9.2	Typical Application	8
6	Specifications	3	10	Power Supply Recommendations	9
6.1	Absolute Maximum Ratings	3	11	Layout	9
6.2	ESD Ratings	3	11.1	Layout Guidelines	9
6.3	Recommended Operating Conditions	4	11.2	Layout Example	9
6.4	Thermal Information	4	12	デバイスおよびドキュメントのサポート	10
6.5	Electrical Characteristics – Device Characteristics	4	12.1	デバイス・サポート	10
6.6	Typical Characteristics	5	12.2	ドキュメントの更新通知を受け取る方法	10
7	Parameter Measurement Information	6	12.3	コミュニティ・リソース	10
7.1	Measurement Circuits	6	12.4	商標	10
8	Detailed Description	7	12.5	静電気放電に関する注意事項	10
8.1	Overview	7	12.6	Glossary	10
8.2	Functional Block Diagram	7	13	メカニカル、パッケージ、および注文情報	11

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂内容	注
2017年4月	*	初版

5 Pin Configuration and Functions



Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
FS	5	I	Frequency multiplication selection, internal pullup
GND	2, 3, 4	Ground	Ground
IN	1	I	LVC MOS clock input
OE	7	I	Output enable, internal pullup
OUT	6	O	LVC MOS clock output
VDD	8	Power	3.3-V power supply

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V_{DD}	Supply voltage	-0.5	4.6	V
V_{IN}	Input voltage	-0.5	4.6	V
V_{out}	Output voltage	-0.5	4.6	V
I_{IN}	Input current ($V_I < 0$, $V_I > V_{DD}$)		20	mA
I_{out}	Continuous output current		50	mA
T_J	Maximum junction temperature		125	°C
T_{stg}	Storage temperature	-65	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

6.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human-body model (HBM), per AEC Q100-002 ⁽¹⁾	±1500
		Charged-device model (CDM), per AEC Q100-011	±750

(1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

6.3 Recommended Operating Conditions

		MIN	NOM	MAX	UNIT
V _{DD}	Supply voltage	3		3.6	V
f _{IN}	Input frequency	FS = 0		27	MHz
		FS = 1	2	27	
V _{IL}	Low-level input voltage LVCMOS			0.3 × V _{DD}	V
V _{IH}	High-level input voltage LVCMOS	0.7 × V _{DD}			V
V _I	Input voltage threshold LVCMOS		0.5 × V _{DD}		V
C _L	Output load test LVCMOS			15	pF
I _{OH} /I _{OL}	Output current			±12	mA
T _A	Operating free-air temperature	-40		105	°C

6.4 Thermal Information

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

THERMAL METRIC ⁽²⁾		CDCS504-Q1		UNIT	
		PW (TSSOP)			
		8 PINS			
R _{θJA}	Junction-to-ambient thermal resistance		179.9	°C/W	
		High K	Thermal Airflow (CFM) 0		149
			Thermal Airflow (CFM) 150		142
			Thermal Airflow (CFM) 250		138
			Thermal Airflow (CFM) 500		132
		Low K	Thermal Airflow (CFM) 0		230
			Thermal Airflow (CFM) 150		185
			Thermal Airflow (CFM) 250		170
Thermal Airflow (CFM) 500	150				
R _{θJC(top)}	Junction-to-case (top) thermal resistance		64.9	°C/W	
		High K	65		
		Low K	69		
R _{θJB}	Junction-to-board thermal resistance		108.7	°C/W	
ψ _{JT}	Junction-to-top characterization parameter		9	°C/W	
ψ _{JB}	Junction-to-board characterization parameter		107	°C/W	
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance		n/a	°C/W	

(1) The package thermal impedance is calculated in accordance with JESD 51 and JEDEC2S2P (high-k board).

(2) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

6.5 Electrical Characteristics – Device Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I _{DD}	Device supply current		24		mA
f _{OUT}	Output frequency	f _{in} = 3.072 MHz; FS = 1			MHz
		FS = 0	2	27	
		FS = 1	8	108	
I _{IH}	LVCMOS input current	V _I = V _{DD} ; V _{DD} = 3.6 V		10	μA
I _{IL}	LVCMOS input current	V _I = 0 V; V _{DD} = 3.6 V		-10	μA
V _{OH}	LVCMOS high-level output voltage	I _{OH} = -0.1 mA	2.9		V
		I _{OH} = -8 mA	2.4		
		I _{OH} = -12 mA	2.2		

Electrical Characteristics – Device Characteristics (continued)

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OL} LVCMOS low-level output voltage	I _{OL} = 0.1 mA			0.1	V
	I _{OL} = 8 mA			0.5	
	I _{OL} = 12 mA			0.8	
I _{OZ} High-impedance-state output current	OE = Low	-2		2	μA
t _{JIT(C-C)} Cycle to cycle jitter ⁽¹⁾	f _{out} = 11.264 MHz; FS = 1, 10000 Cycles		144		ps
t _r Rise time ⁽¹⁾	20%–80%		0.65		ns
t _f Fall time ⁽¹⁾	20%–80%		0.55		ns
O _{dc} Output duty cycle ⁽²⁾		45%		55%	

- (1) Measured with Test Load, see Figure 4.
- (2) Not production tested.

6.6 Typical Characteristics

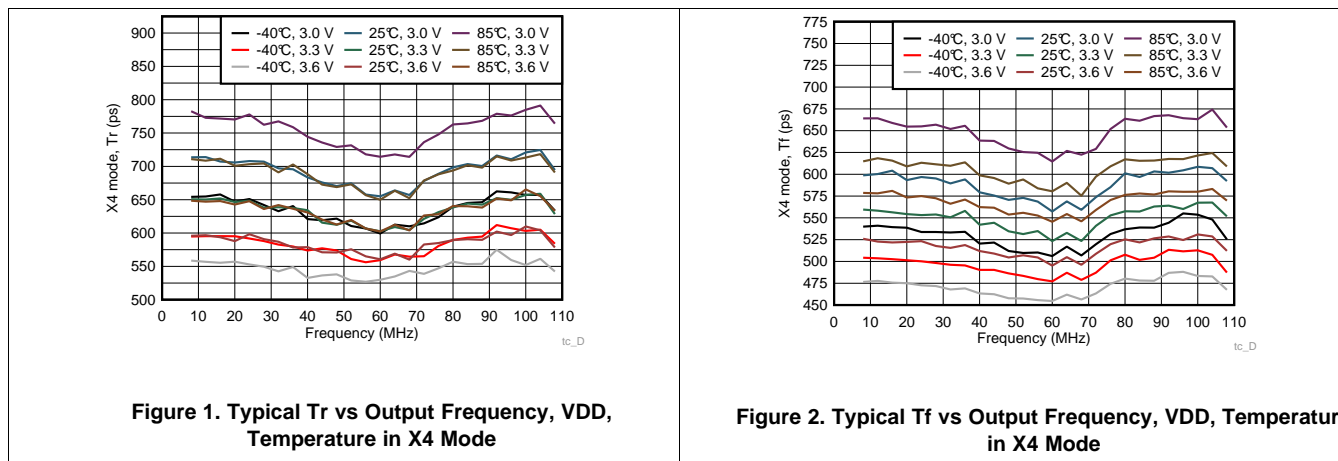
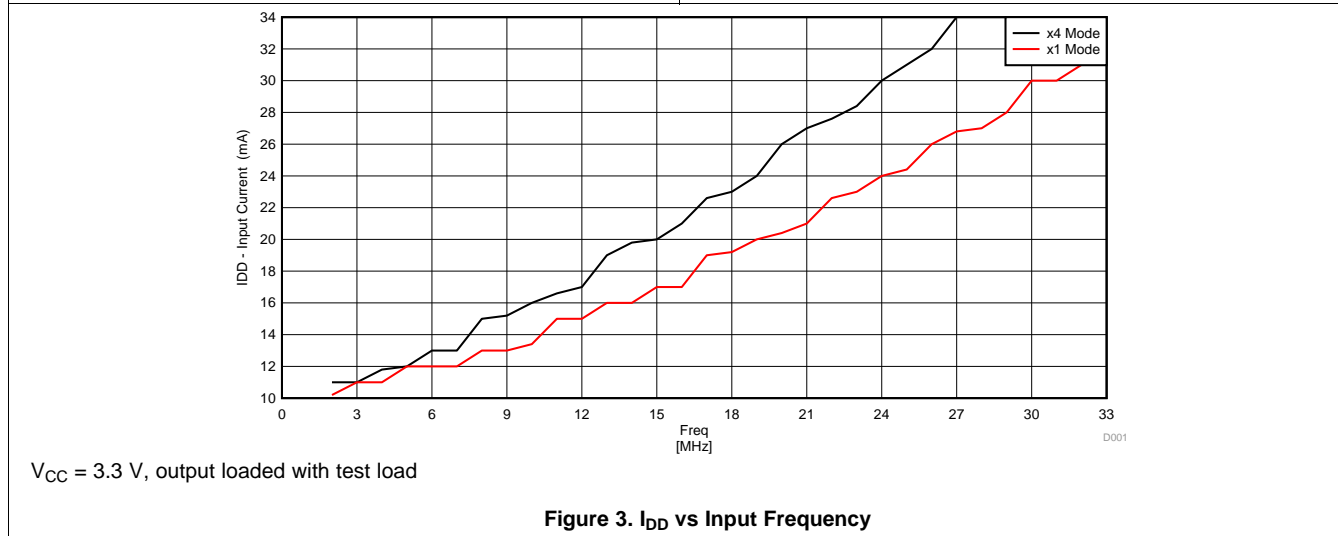


Figure 1. Typical Tr vs Output Frequency, VDD, Temperature in X4 Mode

Figure 2. Typical Tf vs Output Frequency, VDD, Temperature in X4 Mode

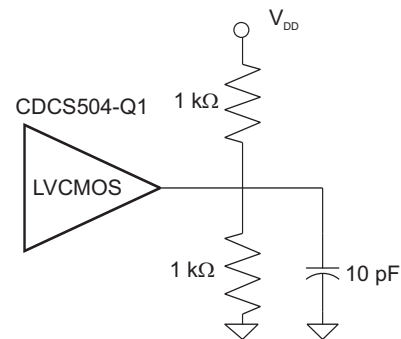


V_{CC} = 3.3 V, output loaded with test load

Figure 3. I_{DD} vs Input Frequency

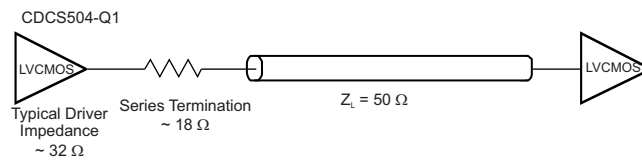
7 Parameter Measurement Information

7.1 Measurement Circuits



Copyright © 2017, Texas Instruments Incorporated

Figure 4. Test Load



Copyright © 2017, Texas Instruments Incorporated

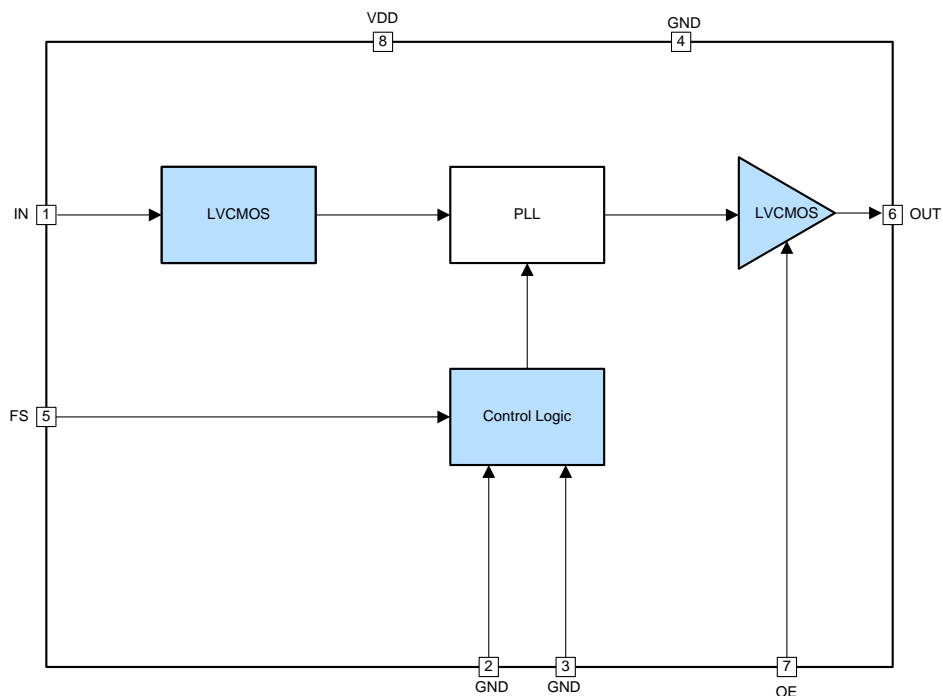
Figure 5. Load for 50-Ω Board Environment

8 Detailed Description

8.1 Overview

The CDCS504-Q1 is a LVCMOS clock buffer (x1 mode) or quadrupler (x4 mode). It integrates an internal PLL and generates a LVCMOS clock frequency range from 2 MHz to 108 MHz.

8.2 Functional Block Diagram



Copyright © 2017, Texas Instruments Incorporated

8.3 Feature Description

The CDCS504-Q1 is qualified for automotive applications with AEC-Q100 test, which could support wide temperature range from -40°C to 105°C . The device is easy to use, only need single 3.3-V power supply. The output enable or disable mode, along with frequency multiplication, could be controlled by external controls pins.

8.4 Device Functional Modes

When pin 7 OE is in low, the CDCS504-Q1 outputs 3-state. When pin 7 OE is set in high, the device would output clocks, output frequency depends on pin 5 FS status. FS = high enables frequency $\times 4$ mode. FS = low makes output frequency equal to input frequency. If no input clock is provided, it is recommended to set OE = low in order to avoid random clock pulses from the internal PLL at the outputs.

Table 1. Function Table

OE	FS	$f_{\text{OUT}}/f_{\text{IN}}$	f_{OUT} at $f_{\text{in}} = 27 \text{ MHz}$
0	x	x	3-state
1	0	1	27 MHz
1	1	4	108 MHz

9 Application and Implementation

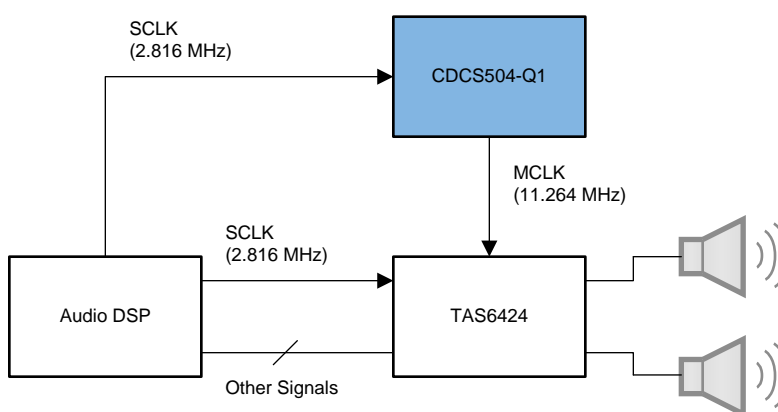
NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

9.1 Application Information

The CDCS504-Q1 is a clock buffer or multiplier for automotive amplifiers and infotainment. It is fit for the TAS6424-Q1, a four-channel, class-D, digital-input audio-amplifier, when the applications are without available MCLK. See [Figure 6](#) for more details.

9.2 Typical Application



Copyright © 2017, Texas Instruments Incorporated

Figure 6. Clock for Automotive Amplifiers

9.2.1 Design Requirements

The CDCS504-Q1 is supplied with a single-power 3.3 V. The device supports minimum input frequency to 2 MHz. For maximum input frequency, it is 32 MHz in $\times 1$ mode, and 27 MHz in $\times 4$ mode. The input clock is LVCMOS type and should satisfy requirements in the [Recommended Operating Conditions](#).

9.2.2 Detailed Design Procedure

In some applications, the clock input for CDCS504-Q1 is not always presented. In case there is an unexpected clock output without clock input, TI recommends setting OE pin to low. When it gets clock input ready, set OE pin to high to get expected clock output. If the other application presents continuous clock input for CDCS504-Q1, the OE pin could be floated, internal pullup brings output enable, or an external pullup circuits could be used fixedly.

9.2.2.1 Custom Design With WEBENCH® Tools

[Click here](#) to create a custom design using the CDCS504-Q1 device with the WEBENCH® Power Designer.

1. Start by entering the input voltage (V_{IN}), output voltage (V_{OUT}), and output current (I_{OUT}) requirements.
2. Optimize the design for key parameters such as efficiency, footprint, and cost using the optimizer dial.
3. Compare the generated design with other possible solutions from Texas Instruments.

The WEBENCH Power Designer provides a customized schematic along with a list of materials with real-time pricing and component availability.

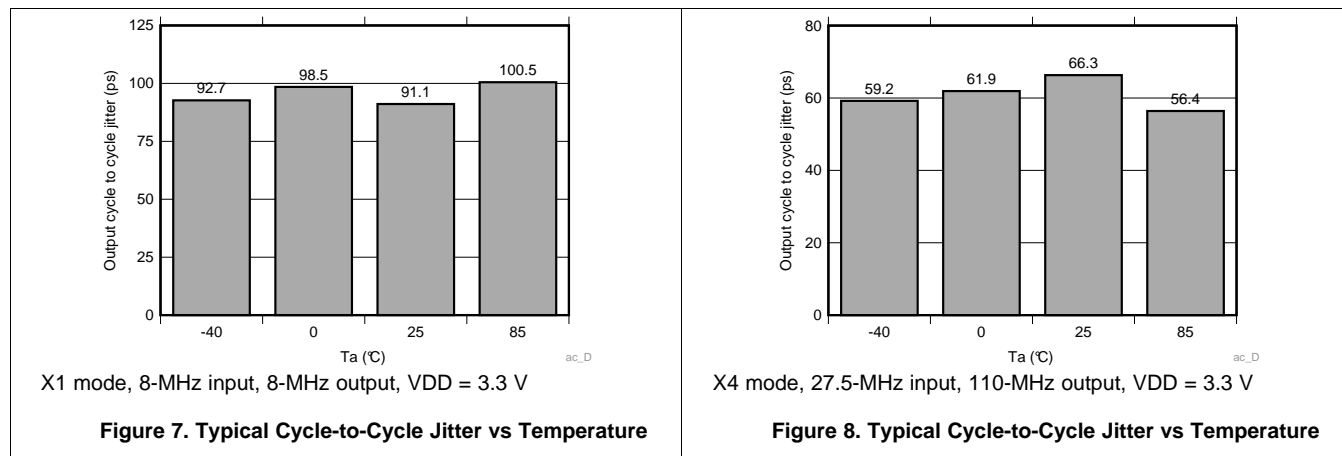
Typical Application (continued)

In most cases, these actions are available:

- Run electrical simulations to see important waveforms and circuit performance
- Run thermal simulations to understand board thermal performance
- Export customized schematic and layout into popular CAD formats
- Print PDF reports for the design, and share the design with colleagues

Get more information about WEBENCH tools at www.ti.com/WEBENCH.

9.2.3 Application Curves



10 Power Supply Recommendations

The CDCS504-Q1 requires a 3.3-V supply.

11 Layout

11.1 Layout Guidelines

The CDCS504-Q1 only has typical 20-mA supply current, so there is no thermal design challenge. A 0.01-μF capacitor may be placed close to VDD pin as a bypass capacitor.

11.2 Layout Example

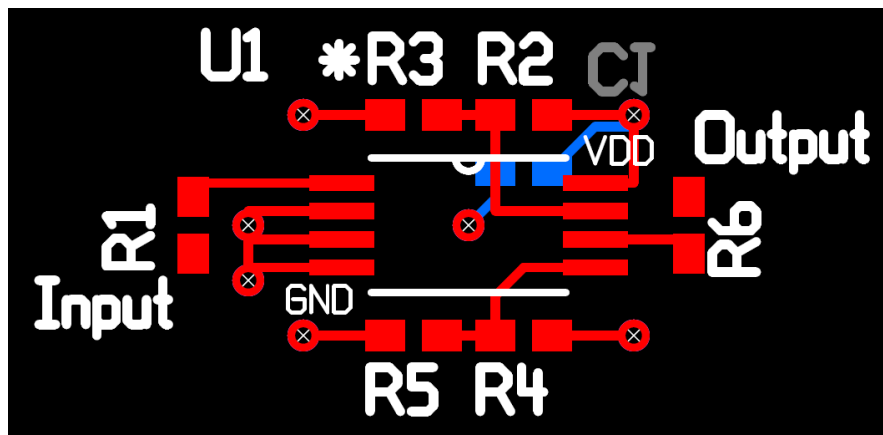


Figure 9. Layout Example

12 デバイスおよびドキュメントのサポート

12.1 デバイス・サポート

12.1.1 開発サポート

12.1.1.1 WEBENCH®ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designerにより、CDCS504-Q1デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧(V_{IN})、出力電圧(V_{OUT})、出力電流(I_{OUT})の要件を入力します。
- オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他のソリューションと比較します。

WEBENCH Power Designerでは、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

ほとんどの場合、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握する。
- カスタマイズされた回路図やレイアウトを、一般的なCADフォーマットでエクスポートする。
- 設計のレポートをPDFで印刷し、同僚と設計を共有する。

WEBENCHツールの詳細は、www.ti.com/WEBENCHでご覧になれます。

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™オンライン・コミュニティ TIのE2E (*Engineer-to-Engineer*) コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート TIの設計サポート役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

12.4 商標

E2E is a trademark of Texas Instruments.

WEBENCH is a registered trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

12.5 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

12.6 Glossary

[SLYZ022](#) — TI Glossary.

This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CDCS504TPWRQ1	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 105	CS504Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCS504TPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCS504TPWRQ1	TSSOP	PW	8	2000	356.0	356.0	35.0

PW0008A



PACKAGE OUTLINE
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

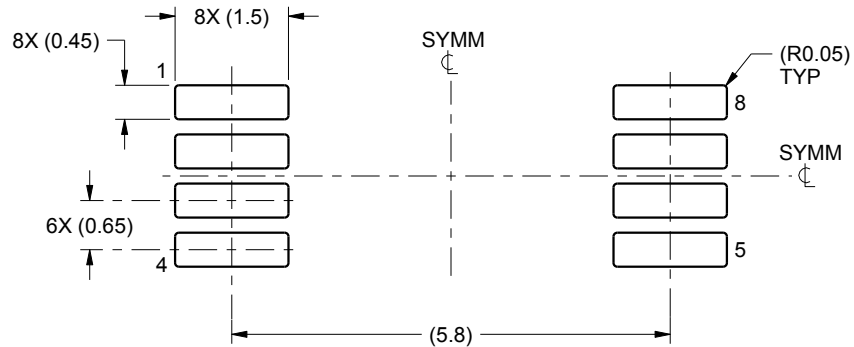
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

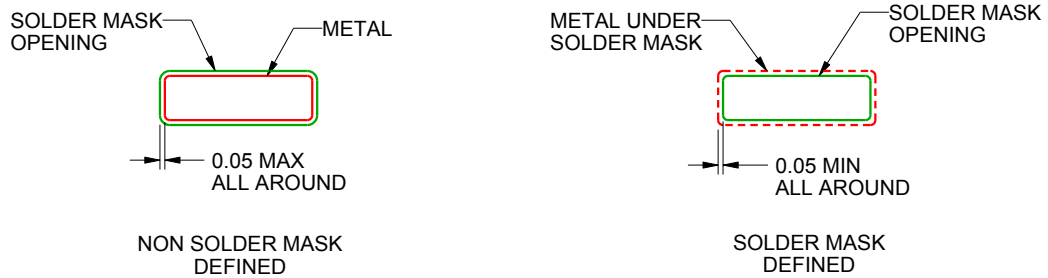
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated