

CDx4AC574、CDx4ACT574 オクタール D タイプ フリップフロップ、3 ステート ポジティブ エッジ トリガ

1 特長

- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST*/AS/S の速度
- 伝搬遅延時間の平衡化
- AC タイプは 1.5V~5.5V で動作し、バランスのとれたノイズ耐性を電源の 30% で実現
- $\pm 24\text{mA}$ 出力駆動電流
 - 15 個の FAST* IC にファンアウト
 - 50 Ω 伝送ラインを駆動

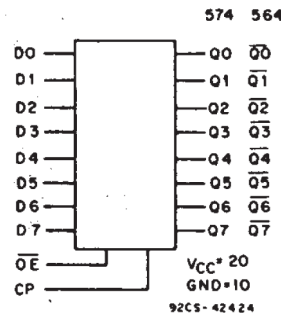
2 概要

CDx4AC574 および CDx4ACT574 は、RCA アドバンスド CMOS テクノロジーを使用したオクタール D タイプ、3 ステート、ポジティブ エッジトリガ フリップフロップです。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
CDx4AC/ACT574	DW (SOIC, 20)	12.80mm × 10.3mm	12.80mm × 7.50mm
	N (PDIP, 20)	24.33mm × 9.4mm	24.33mm × 6.35mm

- (1) 供給されているすべてのパッケージについては、[セクション 10](#) を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



*FAST は Fairchild Semiconductor Corp. の登録商標です。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長	1	6.1 Overview.....	11
2 概要	1	6.2 Functional Block Diagram.....	11
3 Pin Configuration and Functions	3	6.3 Device Functional Modes.....	11
4 Specifications	4	7 Application and Implementation	12
4.1 Absolute Maximum Ratings.....	4	7.1 Power Supply Recommendations.....	12
4.2 ESD Ratings.....	4	7.2 Layout.....	12
4.3 Recommended Operating Conditions.....	4	8 Device and Documentation Support	13
4.4 Thermal Information.....	4	8.1 Documentation Support (Analog).....	13
4.5 Static Electrical Characteristics: AC Series.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	13
4.6 Static Electrical Characteristics: ACT Series.....	5	8.3 サポート・リソース.....	13
4.7 Prerequisite for Switching: AC Series.....	6	8.4 Trademarks.....	13
4.8 Switching Characteristics: AC Series.....	7	8.5 静電気放電に関する注意事項.....	13
4.9 Prerequisite for Switching: ACT Series.....	7	8.6 用語集.....	13
4.10 Switching Characteristics: ACT Series.....	7	9 Revision History	13
5 Parameter Measurement Information	9	10 Mechanical, Packaging, and Orderable Information	14
6 Detailed Description	11		

3 Pin Configuration and Functions

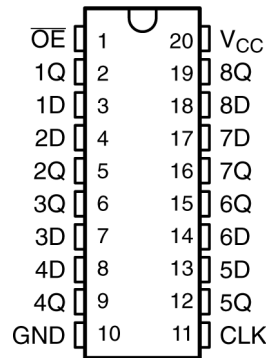


図 3-1. CDx4AC/ACT574 DW Package, 20-Pin SOIC; N Package, 20-Pin PDIP (Top View)

表 3-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
OE	1	I	Active low enable
1Q	2	O	Data output
1D	3	I	Data input
2D	4	I	Data input
2Q	5	O	Data output
3Q	6	O	Data output
3D	7	I	Data input
4D	8	I	Data input
4Q	9	O	Data output
GND	10	-	Ground pin
CLK	11	I	Clock pin
5Q	12	O	Data output
5D	13	I	Data input
6D	14	I	Data input
6Q	15	O	Data output
7Q	16	O	Data output
7D	17	I	Data input
8D	18	I	Data input
8Q	19	O	Data output
V _{CC}	20	-	Power pin

4 Specifications

4.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply-voltage	-0.5	6	V
I _{IK}	Input diode current	(V _I < -0.5 V or V _I > V _{CC} + 0.5 V)	±20	mA
I _{OK}	Output diode current	(V _O < -0.5 V or V _O > V _{CC} + 0.5 V)	±50	mA
I _O	Output source or sink current per output pin	(V _O > -0.5 V or V _O < V _{CC} ± 0.5 V)	±50	mA
V _{CC} or ground current (I _{CC} or I _{GND})			±100	mA ⁽²⁾
T _{stg}	Storage temperature	-65	+150	°C

- (1) Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under Recommended Operating Conditions is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) For up to 4 outputs per device; add ± 25 mA for each additional output.

4.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾	±2000 V

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

4.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

CHARACTERISTIC		MIN	MAX	UNIT
V _{CC} ⁽²⁾	Supply-voltage range: (For T _A = full package-temperature range)			
	AC types	1.5	5.5	V
	ACT types	4.5	5.5	V
V _I , V _O	Input or output voltage	0	V _{CC}	V
T _A	Operating temperature	-55	+ 125	°C
dt/dv	Input rise and fall slew rate			
	at 1.5 V to 3 V (AC types)	0	50	ns/V
	at 3.6 V to 5.5 V (AC types)	0	20	ns/V
	at 4.5 V to 5.5 V (ACT types)	0	10	ns/V

- (1) All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report: [Implications of Slow or Floating CMOS Inputs](#).
- (2) Unless otherwise specified, all voltages are referenced to ground.

4.4 Thermal Information

THERMAL METRIC ⁽¹⁾		CDx4AC/ACT574		UNIT
		DW (SOIC)	N (PDIP)	
		20 PINS	20 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	101.2	50	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

4.5 Static Electrical Characteristics: AC Series

CHARACTERISTICS		TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
					+25		-40 to +85		-55 to +125		
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH}	High-Level Input Voltage			1.5	1.2	—	1.2	—	1.2	V	
				3	2.1	—	2.1	—	2.1		
				5.5	3.85	—	3.85	—	3.85		
V _{IL}	Low-Level Input Voltage			1.5	—	0.3	—	0.3	—	0.3	V
				3	—	0.9	—	0.9	—	0.9	
				5.5	—	1.65	—	1.65	—	1.65	
V _{OH}	High-Level Output Voltage	V _{IH} or V _{IL} (1), (2)	-0.05	1.5	1.4	—	1.4	—	1.4	V	
			-0.05	3	2.9	—	2.9	—	2.9		
			-0.05	4.5	4.4	—	4.4	—	4.4		
			-4	3	2.58	—	2.48	—	2.4		
			-24	4.5	3.94	—	3.8	—	3.7		
			-75	5.5	—	—	3.85	—	—		
V _{OL}	Low-Level Output Voltage	V _{IH} or V _{IL} (1), (2)	0.05	1.5	—	0.1	—	0.1	—	0.1	V
			0.05	3	—	0.1	—	0.1	—	0.1	
			0.05	4.5	—	0.1	—	0.1	—	0.1	
			12	3	—	0.36	—	0.44	—	0.5	
			24	4.5	—	0.36	—	0.44	—	0.5	
			75	5.5	—	—	—	1.65	—	—	
I _I	Input Leakage Current	V _{CC} or GND		5.5	—	±0.1	—	±1	—	±1	μA
I _{OZ}	3-State Leakage Current	V _{IH} or V _{IL} V _O = V _{CC} or GND		5.5	—	±0.5	—	±5	—	±10	μA
I _{CC}	Quiescent Supply Current, MSI	V _{CC} or GND	0	5.5	—	8	—	80	—	160	μA

(1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.

(2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C. 75 ohms at +125°C.

4.6 Static Electrical Characteristics: ACT Series

CHARACTERISTICS		TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
					+25		-40 to +85		-55 to +125		
		V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{IH}	High-Level Input Voltage			4.5 to 5.5	2	—	2	—	2	—	V
V _{IL}	Low-Level Input Voltage			4.5 to 5.5	—	0.8	—	0.8	—	0.8	V
V _{OH}	High-Level Output Voltage	V _{IH} or V _{IL} (1), (2)	-0.05	4.5	4.4	—	4.4	—	4.4	—	V
			-24	4.5	3.94	—	3.8	—	3.7		
			-75	5.5	—	—	3.85	—	—		
			-50	5.5	—	—	—	—	3.85		

CHARACTERISTICS	TEST CONDITIONS		V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C						UNIT
				+25		-40 to +85		-55 to +125		
	V _I (V)	I _O (mA)		MIN	MAX	MIN	MAX	MIN	MAX	
V _{OL} Low-Level Output Voltage	V _{IH} or V _{IL} (1), (2)	0.05	4.5	—	±0.1	—	±1	—	±1	V
		24	4.5	—	0.36	—	0.44	—	0.5	
		75	5.5	—	—	—	1.65	—	—	
		50	5.5	—	—	—	—	—	1.65	
I _I Input Leakage Current	V _{CC} or GND		5.5	—	±0.1	—	±1	—	±1	μA
I _{OZ} 3-State Leakage Current	V _{IH} or V _{IL} V _O = V _{CC} or GND		5.5	—	±0.5	—	±5	—	±10	μA
I _{CC} Quiescent Supply Current, MSI	V _{CC} or GND	0	5.5	—	8	—	80	—	160	μA
ΔI _{CC} Additional Quiescent Supply Current per Input Pin	V _{CC} -2.1		4.5 to 5.5	—	2.4	—	2.8	—	3	mA
		TTL Inputs High								
		1 Unit Load								

- (1) Test one output at a time for a 1-second maximum duration. Measurement is made by forcing current and measuring voltage to minimize power dissipation.
 (2) Test verifies a minimum 50-ohm transmission-line-drive capability at +85°C, 75 ohms at +125°C.

表 4-1. Act Input Loading Table

INPUT	UNIT LOADS ⁽¹⁾
D, OE	0-7
CP	1.17

- (1) Unit load is ΔI_{CC} limit specified in Static Characteristics Chart, e.g., 2.4 mA max. @ 25°C.

4.7 Prerequisite for Switching: AC Series

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) - °C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _w	Clock Pulse Width	1.5	44	—	50	—	ns
		3.3 ⁽¹⁾	4.9	—	5.6	—	
		5 ⁽²⁾	3.5	—	4	—	
t _{SU}	Setup Time Data to Clock	1.5	2	—	2	—	ns
		3.3	2	—	2	—	
		5	2	—	2	—	
t _H	Hold Time Data to Clock	1.5	2	—	2	—	ns
		3.3	2	—	2	—	
		5	2	—	2	—	
f _{MAX}	Maximum Clock Frequency	1.5	11	—	10	—	MHz
		3.3	101	—	89	—	
		5	143	—	125	—	

- (1) 3.3 V; min. is @ 3 V
 (2) 5 V; min. is @ 4.5 V

4.8 Switching Characteristics: AC Series

$t_r, t_f = 3 \text{ ns}, C_L = 50 \text{ pF}$

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) -°C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _{PLH} t _{PHL}	Propagation Delays: Clock to Q AC574	1.5	—	123	—	135	ns
		3.3 ⁽¹⁾	4	13.7	3.8	15.1	
		5 ⁽²⁾	2.9	9.8	2.7	10.8	
t _{PLH} t _{PHL}	Clock to \bar{Q} AC564	1.5	—	128	—	141	ns
		3.3	4.1	14.4	4	15.8	
		5	2.9	10.3	2.8	11.3	
t _{PZL} t _{PZH}	Output Enable to Q, \bar{O}	1.5	—	165	—	181	ns
		3.3	5.6	19.2	5.5	21.8	
		5	3.7	13.2	3.6	14.5	
t _{PLZ} t _{PHZ}	Output Disable to Q, \bar{Q}	1.5	—	165	—	181	ns
		3.3	4.7	16.5	4.5	18.1	
		5	3.7	13.2	3.6	14.5	
C _{PD} ⁽³⁾	Power Dissipation Capacitance	—	67 Typ.		67 Typ.		pF
V _{OHV}	Min. (Valley) V _{OH}	—	4 Typ. @25°C				V
	During Switching of Other Outputs (Output Under Test Not Switching)	5					
V _{OLP}	Max. (Peak) V _{OL}	—	1 Typ. @25°C				V
	During Switching of Other Outputs (Output Under Test Not Switching)	5					
C _I	Input Capacitance	—	—	10	—	10	pF
C _O	3-State Output Capacitance	—	—	15	—	15	pF

(1) 3.3 V: min. is @ 3.6 V

(2) 5 V: min. is @ 5.5 V

(3) C_{PD} is used to determine the dynamic power consumption, per flip flop.

4.9 Prerequisite for Switching: ACT Series

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) -°C				UNIT
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _W	Clock Pulse Width	5 ⁽¹⁾	3.9	—	4.5	—	ns
t _{SU}	Setup Time Data to Clock	5	2	—	2	—	ns
t _H	Hold Time Data to Clock	5	2.6	—	3	—	ns
f _{MAX}	Maximum Clock Frequency	5	125	—	110	—	MHz

(1) 5 V: min. is @ 4.5 V

4.10 Switching Characteristics: ACT Series

$t_r, t_f = 3 \text{ ns}, C_L = 50 \text{ pF}$

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) -°C				UNITS
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _{PLH} t _{PHL}	Propagation Delays: Clock to Q ACT574	5 ⁽¹⁾	2.9	10.2	2.8	11.2	ns
t _{PLH} t _{PHL}	Clock to \bar{Q} ACT564	5	3	10.6	2.9	11.7	ns

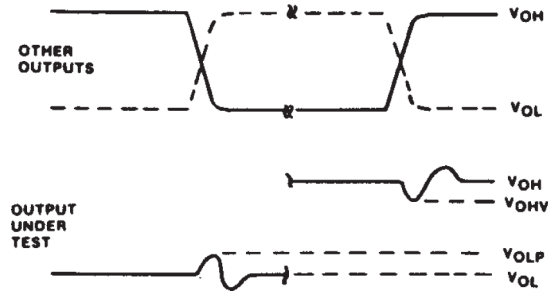
$t_r, t_f = 3 \text{ ns}, C_L = 50 \text{ pF}$

SYMBOL	CHARACTERISTICS	V _{CC} (V)	AMBIENT TEMPERATURE (T _A) -°C				UNITS
			-40 to +85		-55 to +125		
			MIN	MAX	MIN	MAX	
t _{PLZ} t _{PHZ} t _{PZL} t _{PZH}	Output Enable and Disable to Q ACT574	5	3.7	13.2	3.6	14.5	ns
t _{PLZ} t _{PHZ} t _{PZL} t _{PZH}	Output Enable and Disable to \bar{Q} ACT564	5	3.7	13.2	3.6	14.5	ns
C _{PD} ⁽²⁾	Power Dissipation Capacitance	—	67 Typ.		67 Typ.		pF
V _{OHV}	Min. (Valley) V _{OH} During Switching of Other Outputs (Output Under Test Not Switching)	5	4 Typ. @25°C				V
V _{OLP}	Max. (Peak) V _{OL} During Switching of Other Outputs (Output Under Test Not Switching)	5	1 Typ. @ 25°C				V
C _I	Input Capacitance	—	—	10	—	10	pF
C _O	3-State Output Capacitance	—	—	15	—	15	pF

(1) 5 V: min. is @ 5.5 V

(2) C_{PD} is used to determine the dynamic power consumption, per flip flop.

5 Parameter Measurement Information



- V_{OHV} AND V_{OLP} are measured with respect to a ground REFERENCE NEAR THE OUTPUT UNDER TEST.
- INPUT PULSES HAVE THE FOLLOWING CHARACTERISTICS: PRR \leq 1 MHz, $t_r = 3$ ns, $t_f = 3$ ns, SKEW 1 ns.
- R.F. FIXTURE WITH 700-MHz DESIGN RULES REQUIRED. IC SHOULD BE SOLDERED INTO TEST BOARD AND BYPASSED WITH $0.1 \mu\text{F}$ CAPACITOR. SCOPE AND PROBES REQUIRE 700-MHz BANDWIDTH.
- 92CS-42406

图 5-1. Simultaneous Switching Transient Waveforms.

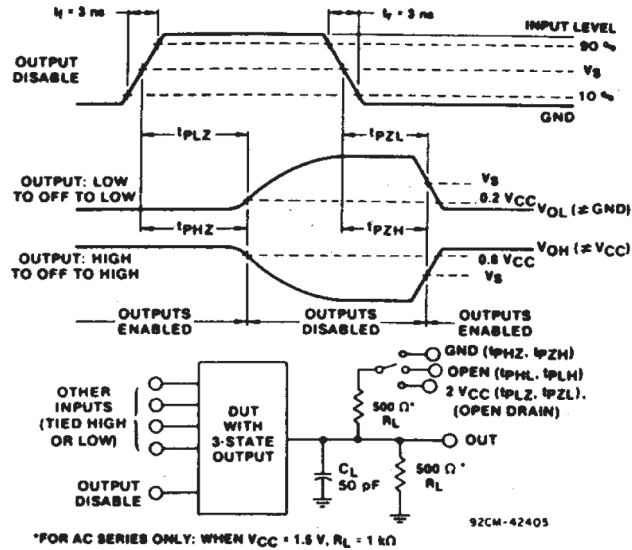
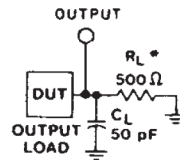
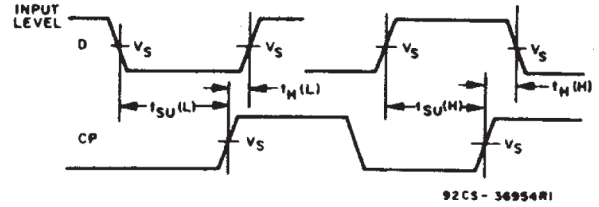
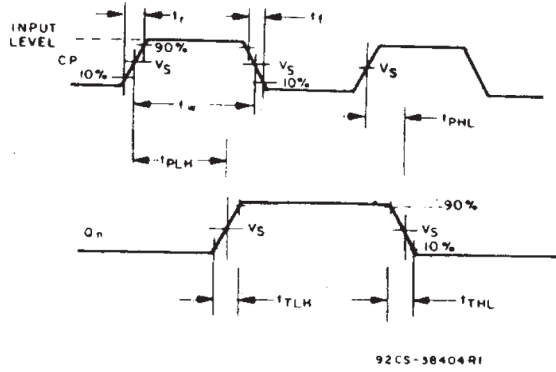


图 5-2. Three-state Propagation Delay Waveforms and Test Circuit.



*FOR AC SERIES ONLY: WHEN
 $V_{CC} = 1.5\text{ V}$, $R_L = 1\text{ k}\Omega$

92LS-42189

图 5-3. Propagation Delays Times and Test Circuit.

	CD54/74AC	CD54/74ACT
Input Level	V_{CC}	3 V
Input Switching Voltage, V_S	$0.5 V_{CC}$	1.5 V
Output Switching Voltage, V_S	$0.5 V_{CC}$	$0.5 V_{CC}$

6 Detailed Description

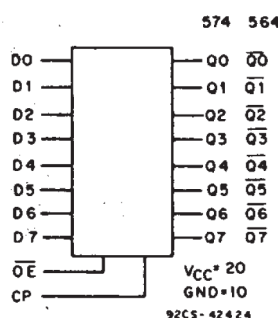
6.1 Overview

The CD54/74AC574 and the CD54/74ACT574 octal D-type, 3-state, positive-edge-triggered flip-flops use the RCA ADVANCED CMOS technology. The eight flip-flops enter data into their registers on the LOW-to-HIGH transition of the clock (CP). The Output Enable (\overline{OE}) controls the 3-state outputs and is independent of the register operation. When the Output Enable (\overline{OE}) is HIGH, the outputs are in the high-impedance state. The CD54/74AC/ACT574 share the same pin configurations, and the CD54/74AC/ACT574 has non-inverted outputs.

The CD74AC/ACT574 are supplied in 20-lead dual-in-line plastic packages (E suffix) and in 20-lead dual-in-line small-outline plastic packages (M suffix). Both package types are operable over the following temperature ranges: Commercial (0 to 70°C); Industrial (-40 to +85°C); and Extended Industrial/Military (-55 to +125°C).

The CD54AC/ACT574, available in chip form (H suffix), are operable over the -55 to +125°C temperature range.

6.2 Functional Block Diagram



6.3 Device Functional Modes

表 6-1. Truth Table

Output Enable	Latch Enable	Data	AC/ACT373 Output
L	H	H	H
L	H	L	L
L	L	l	L
L	L	h	H
H	X	X	Z

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Power Supply Recommendations

The power supply can be any voltage between the min and max supply voltage rating located in [セクション 4.3](#).

Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, TI recommends 0.1 μF and if there are multiple V_{CC} terminals, then TI recommends .01 μF or .022 μF for each power terminal. It is okay to parallel multiple bypass capacitors to reject different frequencies of noise. A 0.1 μF and 1 μF are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

7.2 Layout

7.2.1 Layout Guidelines

When using multiple bit logic devices inputs should not ever float. In many cases, functions or parts of functions of digital logic devices are unused, for example, when only two inputs of a triple-input AND gate are used or only three of the four buffer gates are used. Such input pins should not be left unconnected because the undefined voltages at the outside connections result in undefined operational states. Specified below are the rules that must be observed under all circumstances. All unused inputs of digital logic devices must be connected to a high or low bias to prevent them from floating. The logic level that should be applied to any particular unused input depends on the function of the device. Generally they will be tied to GND or V_{CC} whichever make more sense or is more convenient. Floating outputs is generally acceptable, unless the part is a transceiver. If the transceiver has an output enable pin it will disable the outputs section of the part when asserted. This will not disable the input section of the I.O's so they also cannot float when disabled.

8 Device and Documentation Support

8.1 Documentation Support (Analog)

8.1.1 Related Documentation

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

表 8-1. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
CD54AC574	Click here	Click here	Click here	Click here	Click here
CD74AC574	Click here	Click here	Click here	Click here	Click here
CD54ACT574	Click here	Click here	Click here	Click here	Click here
CD74ACT574	Click here	Click here	Click here	Click here	Click here

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 1998) to Revision A (May 2024)	Page
• 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加	1
• Updated RθJA values: DW = 40 to 101.2, all values in °C/W	4

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated